群馬大学 エ学部 電気電子工学科 「集積回路システム工学」 講義資料 (6)

アナログ集積回路 基本回路(3)

担当 小林春夫

講義資料pdf ダウンロード 小林研究室HP http://www.el.gunma-u.ac.jp/~kobaweb/ 画面下のMenu Bar の「講義資料」をクリック

> この資料はATN 麻殖生健二氏および 小林研究室学生の協力のもと作成された

- 1. 能動負荷回路
 - 1.1 ソース接地、エミッタ接地回路
 - 1.2 差動回路
- 2. バイアス電流回路
- 3. 基準電圧回路
- 4. 出力回路
- 5. 付録
 - 5.1 出力回路の電力効率
 - 5.2 出力回路の歪





ダイオード接続素子を負荷とするソース接地増幅回路

<u>ダイオード負荷ソース接地アンプの回路構成</u>

上図(a)に回路構成を示す。ダイオード接続素子とは上図(b)に示す ようにトランジスタのドレインとゲートを短絡した素子を言う。PMOSを 使う場合とNMOSの場合がある。

ダイオード接続素子の小信号動作抵抗解析

ゲイン解析には負荷の小信号動作抵抗値が必要である。このため、 本ダイオード素子の動作抵抗を小信号モデルを使って求めてみよう。 動作抵抗を求めるには上図(c)のように外部に電圧Vxを印加し、そ の時流れる電流Ixから、Vx / Ix として求めることができる。上図(d) のモデルから次のように求まる。

$$V_1 = V_x, \quad I_x = \frac{V_x}{r_o} + g_m V_x \Longrightarrow \therefore \frac{V_x}{I_x} = \left(\frac{1}{g_m}\right) / / r_o \approx \frac{1}{g_m}$$

また、基板バイアス効果も考慮すると、上図(e)の等価回路から次のようになる。

$$\frac{V_x}{I_x} = \left(\frac{1}{g_m + g_{mb}}\right) / r_o \approx \frac{1}{g_m + g_{mb}}$$

ゲイン解析ーNMOS負荷の場合(チャネル長変調は無視)

NMOSダイオード負荷の場合は次のようになる。

$$A_{v} = -g_{m1} \frac{1}{g_{m2} + g_{mb2}} = -\frac{g_{m1}}{g_{m2}} \cdot \frac{1}{1 + \eta}$$

$$= -\sqrt{\frac{(W/L)_{1}}{(W/L)_{2}}} \cdot \frac{1}{1+\eta} \approx -\sqrt{\frac{(W/L)_{1}}{(W/L)_{2}}}$$

ゲインがバイアス電流やバイアス電圧
に無関係に一定

ゲイン解析ーPMOS負荷の場合(チャネル長変調は無視)

PMOSダイオード負荷の場合はVs=Vb=Vddのため基板バイアス効果はない。すなわち gmb=0。したがって、ゲインは次のようになる。





アナログ技術シリーズ

定電流回路を負荷とする エミッタ接地増幅回路、ソース接地増幅回路



エミッタ接地増幅回路



ソース接地増幅回路





負荷の特性を重ね合わせたI-V特性









小信号解析



バイポーラの場合の電圧ゲインの典型的な値は 1000から2000である

MOSの場合の電圧ゲインの典型的な値は 10から100であり、バイポーラよりずっと少ない





電流源負荷のソース接地増幅回路



(a) 電流源負荷のソース接地回路

(b) 動作点の動き

<u>電流源負荷のソース接地アンプ</u>

回路構成を上図(a)に示す。また、上図(b)に、そのI-V特性上の動作点の動きおよび電圧増幅のイメージをしめした。

M1およびM2の ro が大きいため、I-V特性上では勾配が小さい。この結果、入力電圧がVgs1⇔Vgs2の間で変化した場合、∆Voutは、同図のように大きい。

M1およびM2の出力抵抗をro1, ro2とすると、ゲインは次式となる。

$$\begin{split} A_{v} &= -g_{m1}(r_{o1} // r_{o2}) \\ r_{o1} << r_{o2} / c b / c , \end{split}$$

$$A_{v} = -g_{m1}r_{o1} = -\sqrt{2\left(\frac{W}{L}\right)_{1}\mu_{n}C_{ox}I_{d}} \cdot \frac{1}{\lambda I_{d}} = -\sqrt{2\left(\frac{W}{L}\right)_{1}\mu_{n}C_{ox}\frac{1}{\underline{I}_{d}}} \cdot \frac{1}{\lambda} = \frac{2V_{A}}{V_{ov}}$$

(計算例)

gm1=10mS, ro1=10kΩ, ro2=100kΩ の場合のゲインは、 Av=10m •10k//100k=91

上式より、<u>高ゲイン化するには Id を低減するのが効果的だが、応</u> <u>答速度が低下することに注意</u>が必要である。

また、この回路は出力バイアス点が定まりにくい。通常、この回路は <u>負帰還(後述)をかけて、バイアス点を安定化</u>させて使う。



電流源負荷を有するカスコード増幅回路



(a) 定電流源負荷のカスコード回路





定電流源負荷のカスコード回路

上図(a)に定電流源負荷のカスコード回路の回路構成を示す。

(1) ゲイン解析(定電流源負荷)

ゲインは次式のように解析できる。ゲインは通常の定電流源負荷ソース接地アンプに比べかなり大きい。

ゲイン
$$A_v \approx g_{m1}R_{out}$$

一方、出力抵抗 は前述の式より、
 $R_{out} \approx (g_{m2} + g_{mb2})r_{o2}r_{o1}$
したがって
 $A_v \approx g_{m1}r_{o1}(g_{m2} + g_{mb2})r_{o2}$

〔計算例〕

gm1=gm2=10mS, ro1=ro2=10kΩ, gmb2は無視, 定電流源は理 想(=出力抵抗が∞)の場合のゲインを計算してみよう。 上式から Av=100x100=10000⇒80dB

(カスコードがない場合は、 Av=100⇒40dB)



- (2) 定電流源負荷の出力抵抗を考慮した場合 ゲインは次式のように解析できる。
 - 定電流源の出力抵抗 r_{oL} を考慮すると、 $A_v \approx g_{m1} [r_{o1}(g_{m2} + g_{mb2})r_{o2} // r_{oL}]$

roLが低い場合は、カスコードの効果が低下する。これを回避するために後述のように定電流源部にもカスコード回路を適用する。

アナログ技術シリーズ

高ゲイン・カスコード増幅回路



<u>ゲイン解析</u> $R_{out2} \approx [1 + (g_{m3} + g_{mb3})r_{o3}]r_{o4} + r_{o3}$ $\approx g_{m3}r_{o3}r_{o4}$

:
$$A_v \approx g_{m1} [(g_{m2}r_{o2}r_{o1}) / / (g_{m3}r_{o3}r_{o4})]$$

アナログ技術シリーズ

フォールデッドカスコード回路



<u>フォールデッドカスコードの狙い</u>

- ・入出力電圧範囲の増大(低電源電圧向き)
- ・レベルシフト
- ・高ゲイン化

(M1電流とM2電流の独立制御)

・欠点:非フォールデッドに比べ、電流大

応用:インバータのゲイン



$$\begin{split} V_{in} = V_{dd} / 2\mathcal{O} \geq \mathbb{E} \, \mathbb{K}, \quad V_{out} = V_{dd} / 2(=V1) \geq \mathbb{E} \mathbb{E} \, \mathbb{E} \,$$

応用:インバータのしきい電圧



$V_{in} = V_{dd} / 2$ のとき、 $V_{out} = V_{dd} / 2(=V1)$ とすると、
$\left I_{d,n} \right = \frac{1}{2} \mu_n C_{ox} (W / L)_n (V1 - V_{TH,n})^2 (1 + \lambda_n V1)$
$\left I_{d,p} \right = \frac{1}{2} \mu_p C_{ox} (W / L)_p (V1 - V_{TH,p})^2 (1 + \lambda_p V1)$
$\left I_{d,n}\right = \left I_{d,p}\right \mathcal{C}\mathcal{B}\mathcal{S}\mathcal{O}\mathcal{C}$
$\frac{(W/L)_{n}}{(W/L)_{p}} = \frac{\mu_{p} (V1 - V_{TH,p})^{2} (1 + \lambda_{p} V1)}{\mu_{n} (V1 - V_{TH,n})^{2} (1 + \lambda_{n} V1)}$
(1) $ V_{TH,p} = V_{TH,n} , \lambda_p = \lambda_n \mathcal{O}$ 場合、
$\frac{\left(W/L\right)_{n}}{\left(W/L\right)_{p}} = \frac{\mu_{p}}{\mu_{n}} \approx \frac{1}{2}$
$(W/L)_p \delta(W/L)_n 02$ 倍に設定すれば、しきい値は $V_{dd}/2$
(2) $ V_{TH,p} \neq V_{TH,n} , \lambda_p \neq \lambda_n $ の場合、
上式から算出



プロセス		3um	1.5um	0.8um	0.4um
μ_n	cm²/V∙s	700	650	550	450
μ_{p}	cm²/V∙s	350	300	250	150



- 1. 能動負荷回路
 - 1.1 ソース接地、エミッタ接地回路
 - 1.2 差動回路
- 2. バイアス電流回路
- 3. 基準電圧回路
- 4. 出力回路
- 5. 付録
 - 5.1 出力回路の電力効率
 - 5.2 出力回路の歪



アナログ技術シリーズ

<u>MOSトランジスタを負荷とする差動アンプ</u>



(a) ダイオード負荷・差動アンプ



(b) 定電流負荷・差動アンプ

能動負荷の差動アンプ

前述の抵抗負荷では、ゲインが低い、動作範囲が狭い(出力振幅が十分とれない)等の欠点を持つ。これを解決する手段として、 以下のようなアクティブ負荷を使った回路が一般的に使用される。

(1) ダイオード接続トランジスタ負荷の差動アンプ

上図(a)において、Voutから負荷(M3 or M4)側をみたインピーダンスZoutは、近似的に、

Zout = 1 / gmP

ただし、ここで、M1~M4の出力抵抗は1/gmPに比べて十分小さいとして無視した。

したがって、ゲインAvは、半回路を使うと

$$A_{v} \approx -g_{mN} \cdot Z_{out} = -\frac{g_{mN}}{g_{mP}} = -\sqrt{\frac{\mu_{n}(W/L)_{N}}{\mu_{p}(W/L)_{P}}}$$

このように、ゲインはMOSトランジスタのサイズ比で決定でき、製造プロセスの影響を受けにくい。ただ、ゲインがサイズ比の√に比例しているため、数10倍以上の高ゲインを達成するのは難しい。

(2) 定電流源負荷の差動アンプ

ゲインおよび出力振幅の両者を大きくできる方法として、上図 (b)に示す定電流負荷の差動アンプがある。

半回路の概念を使うと、ゲインAvは、定電流源を使ったソース 接地アンプと同じになり、次式となる。

$$A_{v} = -g_{mN}(r_{oN} // r_{oP})$$

もちろん、シングルエンド出力(Voutの片側だけ使う場合)では、 ゲインは、1/2となる。



基本的なオペアンプの入力差動回路



(a) 差動アンプの構成

(b) 入出力特性

基本的なオペアンプの入力差動回路

<u>特徴</u>

本回路は、負荷の一方がダイオード接続、他方がミラー回路になっているため、

・前述の定電流負荷のように外部に定電流用のバイアス回路が不 要

- ・ シングル出力でありながらゲインも差動と同等(後述)
- シングル出力のため位相補償(後述)が一つでよい
 等、から基本的なオペアンプの入力段に使用される。

<u>動作</u>

+Vin << -Vin の場合、M1:off ⇒ M3,M4:off ,
 一方、M2:on ⇒ Vout=0
 +Vin ≒-Vin の場合、M1~M4 は飽和領域 ⇒ 高利得
 +Vin >> -Vin の場合、I_{D1}(= I_{D3})が増加 ⇒ I_{D4}も増加。一方I_{D2} は
 減少 ⇒ Voutは上昇 ⇒ Vout=Vdd





<u>差動ゲインの解析</u>



<u>差動利得の解析</u>

本回路は左右アンバランスのため半回路は使用できない。このため、 全体のトランスコンダクタンスGm、と出力抵抗Routを別々にもとめ、そ の積としてゲインを求める。

まず、 <i>G</i> _を求める。	
$I_{d1} = I_{d3} = I_{d4}$	
$I_{d1} = g_{m1} \cdot \frac{V_{in}}{2}$	
$I_{d2} = -g_{m2} \cdot \frac{V_{in}}{2}$	
$I_{out} = I_{d2} - I_{d4} = -g_{m1} \cdot V_{in}$	
$\therefore G_m \equiv \frac{I_{out}}{V_{in}} = g_{m1,2}$	
次に、V _{out} での出力抵抗を求める。	
$I_{x} = I_{1} + I_{3} + \frac{V_{x}}{r_{o4}} = \frac{2V_{x}}{2r_{o1,2} + (1/g_{m3})//r_{o3}} + \frac{V_{x}}{r_{o4}}$	
$R_{out} = \frac{V_x}{I_x} \approx r_{o1,2} // r_{o4}$	シングル出力であるにもかかわらず、 ゲインが1/2にならない点に注意
$\therefore A_{v} = -G_{m}R_{out} = -g_{m1,2}(r_{o1,2} // r_{o4})$	



同相利得の解析およびCMRR



同相利得およびCMRRの解析

(1) 同相利得

上図(a)のように同相入力が印加された場合、差動回路の負荷には 左右同じ電流が流れるため、負荷のM3およびM4は同じバイアス条 件で動作する。したがって、Vout=Vfとなり、等価的には上図(b)の ように書ける。これを使うと、同相利得は、簡単に以下のようにもとま る 同相利得は、

$$A_{v,CM} = \frac{\Delta V_{out}}{\Delta V_{in,CM}} \approx -\frac{(1/2g_{m3})/(r_{o4}/2)}{(1/2g_{m2}) + R_{ss}} \approx -\frac{1/2g_{m3}}{R_{ss}}$$

一方、差動利得は

$$A_{v,DM} = \frac{\Delta V_{out}}{\Delta V_{in,DM}} \approx g_{m2} (r_{o4} // r_{02})$$

(2) CMRR

同相除去比*CMRR*は、

$$CMRR = \left| \frac{A_{v,DM}}{A_{v,CM}} \right|$$

$$\approx g_{m2} (r_{o2} // r_{o4}) \frac{g_{m3} (1 + 2g_{m2} R_{ss})}{g_{m2}}$$

$$\approx (1 + 2g_{m2} R_{ss}) g_{m3} (r_{o2} // r_{o4})$$



- 1. 能動負荷回路
 - 1.1 ソース接地、エミッタ接地回路
 - 1.2 差動回路
- 2. バイアス電流回路
- 3. 基準電圧回路
- 4. 出力回路
- 5. 付録
 - 5.1 出力回路の電力効率
 - 5.2 出力回路の歪





Q1,Q2が等しい場合 出力電流と入力電流は等しくなる

アナログ技術シリーズ

Q1とQ2のエミッタ面積を変えて コレクタ電流を等しくせず、 一定の比にすることが可能

この面積比が5対1よりも大きい場合

非常に大きな抵抗が必要となり 大きなチップ面積を必要とする







<u> 定電流回路</u>

上図にワイドラー低電流回路を示す。これは微少出力電流を発生する回路としてよく利用される。

出力電流は以下の通りである。

MOSの場合

$$\sqrt{I_{oUT}} = \frac{-\sqrt{\frac{2}{k'(W/L)_2}} + \sqrt{\frac{2}{k'(W/L)_2} + 4R_2V_{ov1}}}{2R_2}$$

$$\Xi \subseteq \mathcal{C}, \ k' = \mu C_{ox}$$

バイポーラの場合、

$$V_T \ln \frac{I_{IN}}{I_{OUT}} = I_{OUT} R_2$$

MOSの場合は抵抗を決めると一意的に出力電流が決まるが、バイポーラの場合は Iin と Iout を与え、それに見合う抵抗を算出する。

<u>例題(MOSの例)</u>

lin=100uA, R2=4k, k'=200uA/V², (W/L)5=(W/L)2=25 のときの loutを求める。ただし、T=25°C, n=1.5とする。

 $Vov1=\sqrt{(200/200x25)}=0.2V$

$\sqrt{Iout} = \left[-\sqrt{(2/200/25)} + \sqrt{(2/200/25 + 4 \cdot 0.004 \cdot 0.2)}\right]/2/0.004$ = $5\sqrt{uA}$: Iout=25uA



アナログ技術シリーズ

ピーキング電流源



アナログ集積回路

LIOUT

M2



基本定電流回路の電源電圧感度 S



ワイドラー電流源の電源電圧感度





<u>ワイドラー定電流バイアス回路の電源電圧感度</u>

上図において、Q1、Q2が順方向活性領域動作していると仮定

$$V_{BE1} - V_{BE2} - \frac{\beta_F + 1}{\beta_F} I_{OUT} R_2 = 0$$

VA→∞ならば

$$V_T \ln \frac{I_{C1}}{I_{S1}} - V_T \ln \frac{I_{OUT}}{I_{S2}} - \frac{\beta_F + 1}{\beta_F} I_{OUT} R_2 = 0$$

β F→∞ならば

$$V_T \ln \frac{I_{IN}}{I_{S1}} - V_T \ln \frac{I_{OUT}}{I_{S2}} - I_{OUT} R_2 = 0$$

同ートランジスタではIS1とIS2は等しいので

$$V_T \ln \frac{I_{IN}}{I_{OUT}} = I_{OUT} R_2$$

電源電圧に対するIOUTの感度を定義するため、この式をVCCに関して微分すると

$$V_{T} \frac{\partial}{\partial V_{CC}} \ln \frac{I_{IN}}{I_{OUT}} = R_{2} \frac{\partial I_{OUT}}{\partial V_{CC}}$$

$$V_{T} \left(\frac{I_{OUT}}{I_{IN}}\right) \left(\frac{1}{I_{OUT}} \frac{\partial I_{IN}}{\partial V_{CC}} - \frac{I_{IN}}{I_{OUT}^{2}} \frac{\partial I_{OUT}}{\partial V_{CC}}\right) = R_{2} \frac{\partial I_{OUT}}{\partial V_{CC}}$$

$$\frac{\partial I_{OUT}}{\partial V_{CC}} = \left(\frac{1}{1 + \frac{I_{OUT}R_{2}}{V_{T}}}\right) \frac{I_{OUT}}{I_{IN}} \frac{\partial I_{IN}}{\partial V_{CC}}$$

電源電圧感度を求めると

$$S_{V_{CC}}^{I_{OUT}} = \left(\frac{1}{1 + \frac{I_{OUT}R_2}{V_T}}\right) \frac{V_{CC}}{I_{IN}} \frac{\partial I_{IN}}{\partial V_{CC}}$$
$$= \left(\frac{1}{1 + \frac{I_{OUT}R_2}{V_T}}\right) S_{V_{CC}}^{I_{IN}}$$

VCC>>VBE(ON),IIN=VCC/R1なら、基本的なカレントミ ラーと同様VCCに対するIINの感度はほとんど1

〔例題〕IIN=1mA, IOUT=5uA,R2=27.4kΩの場合

$$S_{V_{CC}}^{I_{OUT}} = \frac{V_{CC}}{I_{OUT}} \frac{\partial I_{OUT}}{\partial V_{CC}} \cong \frac{1}{1 + \frac{137mV}{26mV}} \cong 0.16$$

したがって、この場合10%の電源電圧の変化によりIOUTは1. 6%の変化しか起こらない




ベース・エミッタ電圧を基準とする電流源の電源電圧感度

T1に流れる入力電流にとってT2は、T1のベース-エミッタ電圧が

 $V_{BE1} = V_T \ln \frac{I_{IN}}{I_S}$

となるようにR2に十分な電流を供給しなければならない。 ベース電流を無視すればIOUTはR2に流れる電流に等しくなる。 R2での電圧降下がVBE1なので出力電流は、このベース-エ ミッタ電圧に比例する。

$$I_{OUT} = \frac{V_{BE1}}{R_2} = \frac{V_T}{R_2} \ln \frac{I_{IN}}{I_{S1}}$$

電源電圧感度を求めると

$$S_{V_{CC}}^{I_{OUT}} = \frac{V_T}{I_{OUT}R_2} S_{V_{CC}}^{I_{IN}} = \frac{V_T}{V_{BE(ON)}} S_{V_{CC}}^{I_{IN}}$$

VCC>>2VBE(ON)ならばVCCに対するIINの感度は、ほぼ1。

VBE(ON)=0. 7Vのとき

$$S_{V_{CC}}^{I_{OUT}} = \frac{0.026V}{0.7V} \cong 0.037$$

したがって、 10%の電源電圧の変化によりIOUTが0.37%の変化する

ちなみに、MOSの場合も同様に計算していくと、10%の電源電 圧の変化によりIOUTは0.45%の変化が生じる





<u>自己バイアス法による電流源の電源電圧感度</u>



<u>自己バイアス法による電流源の電源電圧感度</u>







トランジスタに電流が 常に流れる事を保障するため 起動回路を用いる



アナログ技術シリーズ





アナログ技術シリーズ





バイアス回路の温度依存性

微分温度係数TCF

温度変化の1度あたりの出力電流の変化の割合

$$TC_F = \frac{1}{I_{OUT}} \frac{\partial I_{OUT}}{\partial T}$$



- 1. 能動負荷回路
 - 1.1 ソース接地、エミッタ接地回路
 - 1.2 差動回路
- 2. バイアス電流回路
- 3. 基準電圧回路
- 4. 出力回路
- 5. 付録
 - 5.1 出力回路の電力効率
 - 5.2 出力回路の歪

アナログ技術シリーズ



バンドギャップ基準電圧回路

(1) 原理

上図(a)にバンドギャップ基準電圧回路を示す。これは負の温度係数をもつVbeと、正の温度係数を持つVTに適当な係数Mを掛けて加算することにより、温度依存性をなくす方法であり、出力電圧がシリコンのバンドギャップ電圧で決まることからそのように呼ばれる。

VBEの温度依存性は、

$$I_{C} = I_{S} \cdot \exp(V_{BE} / V_{T})$$

$$\therefore V_{BE} = V_{T} \cdot \ln(I_{C} / I_{S})$$

$$\therefore \frac{dV_{BE}}{dT} = \frac{k}{q} \cdot \ln(I_{C} / I_{S}) = \frac{V_{BE}}{T} \approx -1.5 \sim -2mV / ^{\circ}C$$

$$V_{T} \mathcal{O} 温度依存性は、$$

$$V_{T} = kT / q$$

$$\therefore \frac{dV_{T}}{dT} = \frac{k}{q} = \frac{1.38 \times 10^{-23}}{1.6 \times 10^{-19}} \approx 0.087 mV / ^{\circ}C$$

C Gunma University

実効温度係数

TCFはある温度においての温度に対する感度しか表さない

広い温度範囲にわたる回路動作の特性を表すには 別のパラメータを用意する必要がある

実効的なTCFを次のよう定義する

$$TC_{F(eff)} = \frac{1}{V_{OUT}} \left(\frac{V_{MAX} - V_{MIN}}{T_{MAX} - T_{MIN}} \right)$$

VMAXとVMINは温度範囲のなかで測定される 最大出力電圧と最小出力電圧であり、 TMAX-TMINは温度変化の範囲である



この回路では、VBE(ON)と2つのベース-エミッタ電圧の差に比 例する電圧の和に出力電圧が等しくなるよう回路の動作点を設 定する帰還ループを用いている



アナログ技術シリーズ

ワイドラー型バンドギャップ基準電圧 サブ回路



<u>ワイドラー型バンドギャップ基準電圧回路</u>

<u>動作原理</u>

V1=0のときQ1とQ2は導通していない。⇒V2=0、 V1が増える(0.6Vに達するまで)

⇒Q1とQ2は大きな電流をださない。V1く0.6VのときR2の電圧降下 は0なので、V1=V2

⇒0. 6Vを超えると、Q1に①に対応する電流が流れ始める。Q1の電 流の大きさは、およそ(V1-0. 6V)/R1に等しくなる。 この電流が小さいときR3での電圧降下は無視できる。

⇒Q1とQ2には同じ電流が流れる。R2はR1よりもずっと大きいのでR 2の電圧降下は(V1-0.6V)よりずっと大きく、②に対応する点でQ2 は飽和する

⇒R3が存在するため、順方向活性領域ならばQ2に流れるであろうコレクタ電流は、ワイドラー電流源と全く同様にV1に対してほぼ対数関数的に変化する。

⇒このようにしてV1がさらに増加すると、V1はR2の電圧降下より早く 増加するため、Q2が飽和点から外れる点に達するこれが③点である。

<u>ここで全体回路を考える</u>

Q3が導通していなければ、トランジスタQ4はV1を正の方向に持ち上 げる。この動作はQ3のベース電位が高くなって、Q3のコレクタ電流が ほぼIに等しくなるまで続く。

つまりこの回路は電圧V2がダイオード接合1つ分、すなわち、Q3の ベース-エミッタ電圧となるように安定化するのである。 回路が④の安定動作点にあると仮定すると、 出力電圧VoutはQ3のベース-エミッタ間電圧とR2の電圧降 下分との和。

⇒Q2のコレクタ電流がエミッタ電流とほぼ等しいことから、R2 での電圧降下は、R3での電圧降下に(R2/R3)を掛けた値。

⇒R3での電圧降下はQ1とQ2のベース-エミッタ間電圧の差に等しい。

$$V_{OUT} = V_{BE3} + R_2 \cdot I_{C2}$$

= $V_{BE3} + (V_{BE1} - V_{BE2}) \frac{R_2}{R_3} = V_{BE3} + M \cdot V_T$
 $\subset \subset \subset (V_{BE1} - V_{BE2}) \propto V_T$

この基準電圧の欠点として電流Iが電源から作られており、電源電圧変動によって変化してしまう。

確実に④で動作させるためにスタートアップ回路が必要である



アナログ集積回路

ワイドラー型バンドギャップ基準電圧回路 の改良



実際の基準電圧回路例

上図にワイドラー型基準電圧回路を示す。R3に流れるのと同じ電流がR2にも流れるので

$$V_{R2} = \frac{R_2}{R_3} V_{R3} = \frac{R_2}{R_3} \Delta V_{BE} = \frac{R_2}{R_3} V_T \ln \frac{R_2}{R_1} \frac{I_{S2}}{I_{S1}}$$

この式は熱電圧の温度依存性により、R2の電圧が絶対温度に比例 することを示している。オペアンプはR1とR2の電圧が等しくなるよう にする。R2とR1の比がI1とI2の比を決定。出力電圧はQ2とR3とR 2の電圧の和となり

このようにして、R2/R3とR2/R1とnにより設定されるMの値をもって、回路はバンドギャップ基準電圧として振る舞う



Bandgap基準電圧発生回路

アナログ技術シリーズ





Op-ampのオフセット電圧









アナログ技術シリーズ

オフセット電圧の影響



アナログ技術シリーズ

Bandgap基準電圧発生回路(Brokaw型)



A. P. Brokaw, IEEE J. SSC, SC-9, p.388, Dec. 1974.

アナログ技術シリーズ

Brokaw型回路のオフセット電圧の影響



1. 能動負荷回路

- 1.1 ソース接地、エミッタ接地回路
- 1.2 差動回路
- 2. バイアス電流回路
- 3. 基準電圧回路
- 4. 出力回路
- 5. 付録
 - 5.1 出力回路の電力効率
 - 5.2 出力回路の歪



出力回路の種類

<u>・A級出力回路(ソースフォロア)</u>

構成が簡単 効率が悪い(25%、待機電力:大)

<u>・B級出力回路(プッシュプル回路)</u>
 効率がよい(78%、待機電力:なし)
 クロスオーバ歪あり

<u>・AB級出力回路(プッシュプル回路)</u>

構成は複雑 出力電圧範囲が狭い 効率が比較的良い クロスオーバ歪なし

・ソース接地出力回路

出力抵抗大(容量負荷、負帰還で使用) rail to rail出力 効率が良い



A級出力回路(ソースフォロワ)



⁽b) 入出力特性

アナログ技術シリーズ

ソースフォロア、エミッタフォロワの動作波形



<u>出力回路</u>

出力回路の種類

- ・A級出力回路(ソースフォロア)
 構成が簡単
 効率が悪い(25%、待機電力:大)
- B級出力回路(プッシュプル回路)
 効率がよい(78%、待機電力:なし)
 クロスオーバ歪あり
- ・AB級出力回路(プッシュプル回路)
 構成は複雑
 出力電圧範囲が狭い
 効率が比較的良い
 クロスオーバ歪なし
- ・ソース接地出力回路
 出力抵抗大(容量負荷、負帰還で使用)
 rail to rail出力
 効率が良い

<u>A級出力回路</u>

上図(a)にA級出力回路を示す。これはソースフォロアやエミッタフォ ロアのように、常に定電流IQを出力回路内で消費し続けているような 回路に代表される。

入出力特性を上図(b)に示す。

(1) Vi > Vgs1 では、Vo = Vi - Vgs1 である。このとき、負荷抵抗を流れる電流は、M1から供給され、M1を流れる電流Im1は

Im1 = Vo / RL + IQ

である。

 (2) Vo > (Vdd - Vov1), すなわちM1のVdsがVov以下になると、出 力は飽和する。

(3) 逆に、Vi < Vgs1 では、負荷抵抗RL電流は定電流源側に流れる。

(4) 負荷抵抗RLが大きい場合、すなわち、

(-Vdd+Vov2)/RL < IQ

の場合、出力電圧は –Vdd + Vov2 まで延びる。 (5) 負荷抵抗RLが小さい場合、すなわち、

(-Vdd+Vov2)/RL > IQ

の場合、出力電圧は

 $Vo = -RL \cdot IQ$

で飽和する。



A級出力回路(エミッタフォロワ)



エミッタフォロワの伝達特性



Vi = Vbe1 + Vo

負荷抵抗RLがトランジスタの出力抵抗 に比べて小さく、Q1が順方向活性領 域にあれば、

$$Vbe1 = V_T \ln\left(\frac{Ic1}{Is}\right)$$

Q2が順方向活性領域にあり、

$$Ic1 = I_Q + \frac{Vo}{R_L}$$

$$Vi = V_T \ln \left(\frac{I_Q + \frac{Vo}{R_L}}{Is} \right) + Vo$$

アナログ技術シリーズ

エミッタフォロワの伝達特性



RLが大きい場合 → RL=RL1

・Viが正に大きくなった場合

VoはQ1が飽和動作となる点 Vo=Vcc-VCE1(sat) までViに追 従して変化 ・Viが負に大きくなった場合 VoはQ2が飽和動作となる点 Vo=Vcc-VCE2(sat) までViに追 従して変化

RLが比較的小さい場合 → RL=RL2

負荷から流れ出す電流がIoに等しくなり、Q2に流れるIoはすべて 負荷から流れ込む。Q1非導通状態になる

Viをさらに減少させてもVoは変化しなくなる

エミッタフォロワを駆動するための注意点

エミッタフォロワ出力段の前段はドライバー段と呼ばれる。

エミッタフォロワの出力電圧Voを正の最大値まで駆動したい場合、電源電圧よりいくらか大きな入力電圧が必要になる。

ドライバー段は出力段と同じ電源電圧に接続されているので、より大きな電圧を発生できない。

これは、エミッタフォロワの電圧ゲインが1であって、ドライバー段が出力段と同じ電圧振幅を扱わざるをえないからである。

しかしながら、ドライバー段が出力段に供給する電流がエミッタフォロワのベース電流(エミッタ電流の1/βF)なので、ドライバー段は出力段に比べ、はるかに低消費電力である。



エミッタフォロワという回路は電圧ゲインは1であるが、 出力段として要求される十分な電力ゲインを持っている。 アナログ技術シリーズ

B級出力回路(プッシュプル回路)



(a) B級出力回路

(b)入出力特性 様々な振幅の入力信号に対する出力波形

<u>B級出力回路(プッシュプル回路)</u>

上図(a)にB級出力回路を示す。これはp型とn型トランジスタのソースフォロア(またはエミッタフォロア)を組み合わせたプッシュプル回路に代表される。

入出力特性を上図(b)に示す。

 (1) -Vbe (or -Vgs) < Vi < +Vbe(or +Vgs) では、Q1およびQ2と
 もカットオフ状態になり、Vo =0 である。すなわち、この領域は不 感帯となる。

(2) Vi > Vbe (or Vgs) ならば Q1のみリニア状態になり、Q2は カットオフ状態である。このとき、Vo= Vi - Vbe(or Vgs)

(3) Vo > (Vdd – Vsat), すなわちM1のVceが飽和電圧Vsat(or Vov)以下になると、出力は飽和する。

(3) 逆に、Vi < Vbe(or Vgs) では、Q2のみリニア状態になり、
 Q1はカットオフ状態である。このとき、Vo= Vi + Vbe(or Vgs)

このような回路に種々の振幅の正弦波を入力すると、上図のようになり、クロスオーバ歪を生じる。

信号振幅が小さいほど歪が顕著になり、大きくなるほど相対 的に歪みも小さくなる

さらに信号振幅が大きくなるとクリッピングが起こる





AB級出力回路







(b) バイポーラ・AB級出力回路

<u>AB級出力回路</u>

上図にAB級出力回路を示す。これはA級の効率の悪さとB級のクロ スオーバ歪をなくした回路であり、オペアンプの出力としてよく利用される。

B級のクロスオーバ歪をなくすため、ダイオード接続のM4およびM5 を設置した構成である。この結果、Vo=0の場合でも、M1およびM2 に電流(アイドリング電流)が流れるため、クロスオーバ歪が解消され る。

上図(a)のMOS出力電圧範囲は以下の通りである。 最大/最小出力電圧は

 $V_{out,\max} = V_{dd} - \left| V_{ov3} \right| - V_{GS1}$

 $V_{out,\min} = |V_{ov6}| + V_{GS2}$

(計算例)

 $V_{dd} = 3V, V_{ov3} = V_{ov6} = 0.4V, V_{GS1} = V_{GS2} = 0.8V$ の場合、 V_{out} の範囲は、次のように極めて狭い。 $1.2V \le V_{out} \le 1.8V$

この回路の欠点は、上記計算例のように、低電源電圧回路では、 出力電圧振幅が小さい点である。

上図(b)のバイポーラ出力回路の動作範囲を右に図示した。



バイポーラ・AB級出力回路の動作範囲

<u>ソース接地出力回路</u>





(a) ソース接地アンプを使った出力回路 (CMOSオペアンプ出力段として一般的) (b) 誤差アンプを使ったプッシュプル出力回路

Rail to Rail 出力回路

上図(a)にRail to Rail 出力回路を示す。これはA級やAB級回路の 出力振幅が小さい点を改善した方式であり、低電源電圧動作オペア ンプの出力としてよく利用される。

本回路は定電流負荷のソース接地アンプをそのまま出力段として利用したものである。

出力電圧範囲は以下の通りである。

$$\begin{aligned} V_{out,\max} &= V_{dd} - \left| V_{ov3} \right| \\ V_{out,\min} &= \left| V_{ov6} \right| \end{aligned}$$

(計算例)

Vdd=3.3V, Vov3 = Vov6 = 0.3V の場合、 Voは 0.3V~3Vまで振れる。

本回路の欠点は、負荷を接続するとアンプ全体の特性が変化して しまう点である。したがって、本回路は負荷が決まっているLSI内部 回路に限定される。 上図(b)は、(a)の動作が常時定電流を流して非効率な点を改善した 回路である。

Viが高くなるにつれて、誤差アンプにより、V1およびV2は減少す る。その結果、M2がよりONし、M1がオフする。 逆にViが低下すると、M1がよりONし、M2がオフする。 このように、電流がプッシュプルに流れ、効率がよい。




- 1. 能動負荷回路
 - 1.1 ソース接地、エミッタ接地回路
 - 1.2 差動回路
- 2. バイアス電流回路
- 3. 基準電圧回路
- 4. 出力回路
- 5. 付録
 - 5.1 出力回路の電力効率
 - 5.2 出力回路の歪



A級出力回路(エミッタフォロア)の 出力電力と効率



 $Vce1 = Vcc - (Ic1 - I_Q)R_L$

動作点Q → Ic1=IQ, Vce1=Vcc

トランジスタの動作点はViの変化に 追従して負荷直線上を上下に動く

Viが増加してVce1が減少 → Q1が飽和

Viが減少してVce1が増加

→Vce1 → RL=RL1のときQ2が飽和

Vce1の最大値は2Vcc-VCE2(sat)

→ RL=RL2のときVoの負の最大値は-IQRL2 Vce1の最大値はVcc+IQRL2

Vilこ正弦波信号が入力される場合の負荷RLで取り出される平均出力電力 $P_L = \frac{1}{2} \hat{V_o} \hat{I_o} \qquad \hat{V_o}, \hat{I_o} : 正弦波出力の電圧、電流振幅$

正弦波信号にクリッピングを起こさず取り出し得るPLの最大値

$$P_L\Big|_{\max} = \frac{1}{2}\hat{V}_{om}\hat{I}_{om}$$
 $\hat{V}_{om},\hat{I}_{om}$: クリッピングがない状態の \hat{V}_{o},\hat{I}_{o} の最大値



アナログ技術シリーズ

A級出力電力と効率(小負荷電流の場合)



$$P_L\big|_{\max} = \frac{1}{2}\hat{V}_{om}\hat{I}_{om}$$

小さな負荷電流RL1の場合 (Q1とQ2の飽和電圧が等しいと仮定)



A級出力電力と効率(大負荷電流の場合)



$$P_L\big|_{\max} = \frac{1}{2}\hat{V}_{om}\hat{I}_{om}$$

大きな負荷電流RL2の場合 $\hat{V}_{om} = I_Q R_{L2}$ $\hat{I}_{om} = I_Q$ 電力は三角形②の面積

RLがさらに減少すると、三角形が小さくなり 最大平均出力電力が減少

A級出力電力と効率(最大効率の場合)



$$P_L\big|_{\max} = \frac{1}{2}\hat{V}_{om}\hat{I}_{om}$$

負荷電流RL3の場合 $Vce1 = Vcc - (Ic1 - I_Q)R_{L3}$ $R_{L3} = \frac{V_{CC} - V_{CE(sat)}}{I_Q}$ $\hat{V}_{om} = V_{CC} - V_{CE(sat)}$ $\hat{I}_{om} = I_Q$

電力は三角形③の面積

RL3の負荷直線のときに最も三角形の面積が 大きいので平均出力電力も最も大きくなる

アナログ技術シリーズ

A級出力電力と効率

正の電源から流れ出る電流はQ1のコレクタ電流となるが、これは 平均値IQをもった正弦波 負に流れ込む電流も一定でIQに等しい(バイアス電流IRは無視) 各電源の電圧も一定 2つの電源から供給される全電力は $P_{\sup ply} = 2V_{CC}I_Q$

電力変換効率 η cは電源から供給される平均電力 に対する負荷で取り出せる平均電力の比 $\eta_{C} = \frac{P_{L}}{P_{\sup ply}}$

RL=RL3のとき最大効率になる

$$P_L|_{\max} = \frac{1}{2} \left[V_{CC} - V_{CE(sat)} \right] I_Q$$
 $\eta_{\max} = \frac{1}{4} \left(1 - \frac{V_{CE(sat)}}{V_{CC}} \right)$
VCE(sat) ≪ Vccとすれば、エミッタフォロワの最大効率 $\eta_{\max} = \frac{1}{4} = 25\%$



アナログ技術シリーズ

A級出力電力と効率



負荷がRL=RL3で出力が最大振幅となったときの Q1における(VCE2(sat)≒0と仮定)

- (a)コレクターエミッタ間の電圧波形
- (b)コレクタ電流波形
- (c)コレクタの消費電力波形



Pc1の平均値はVccIQ/2となり、最大出力時 にQ1で消費される平均電力は無信号時の直 流消費電力の半分

アナログ技術シリーズ

A級出力電力と効率



P2の場合の電力双曲線は直流動作点Qを通る

RL=RL3に対するQ1の瞬時消費電力の最大値は Qで生じる

VCE(sat)≪Vccとすると負荷直線の中点となる 電力双曲線に接するどんな負荷直線も負荷直線 の中点で双曲線に接する



どんな負荷直線に対してもその中 点でトランジスタの瞬間電力が最大 になる

この節で述べたような出力トランジスタに かなりの電流を常時流している出力段の 形式をA級出力段といい、効率は最大で も25%である



アナログ技術シリーズ

B級出力段の電力出力と効率



B級出力段における電圧波形と電流波形 (クロスオーバー歪みは省略)

各々のトランジスタは半周期ごとに負荷RLに 電流を供給している

それらの波形を正弦波の半波形であると仮定 すると、+Vccから流れ出す平均電流は

$$I_{\sup ply} = \frac{1}{T} \int_0^T I_{c1}(t) dt$$

$$= \frac{1}{T} \int_0^T \frac{V_o}{R_L} \sin\left(\frac{2\pi t}{T}\right) dt$$
$$= \frac{1}{\pi} \frac{\hat{V_o}}{R_L} = \frac{1}{\pi} \frac{\hat{V_o}}{R_L} = \frac{1}{\pi} \hat{I_o} \qquad \dots \text{(1)}$$

2つの電源から供給される全平均電力は

$$P_{\text{supply}} = 2V_{cc}I_{\text{supply}} = \frac{2}{\pi} \frac{V_{cc}}{R_L} \hat{V}_o \cdots 2$$

A級出力段と違い、B級出力段では、電源から
供給される平均電力が信号の大きさによって
変化する。

アナログ技術シリーズ





負荷RLで取り出せる平均電力は $P_L = \frac{1}{2} \frac{\hat{V}_o^2}{R_*} \cdots ③$

回路効率の定義に、②と③を代入して $\eta_C = \frac{P_L}{P_{supply}} = \frac{\pi}{4} \frac{\hat{V_o}}{V_{CC}} \cdots$ ④

B級出力段の効率はRLに依存しないが、出力 電圧振幅Voのに比例して線形に増加する

B級出力段における電圧波形と電流波形

(クロスオーバー歪みは省略)

B級出力段の伝達特性において、クリッピングを起こさずに得られるVoの最大値は

 $\hat{V}_{om} = (V_{CC} - V_{CE(sat)})$

したがって、正弦波信号を用いたとき、RLで取り出せる平均信号電力の最大値は、③式を用いて、

$$P_L\Big|_{\text{max}} = \frac{1}{2} \frac{[V_{CC} - V_{CE(sat)}]^2}{R_L}$$

このときの最大効率は、式④より次のようになる

$$\eta_{\max} = \frac{\pi}{4} \left(\frac{V_{CC} - V_{CE(sat)}}{V_{CC}} \right)$$

VCE(sat)がVccに比べて非常に小さいとすれば、B級出力段で得られる 最大効率は0.786、つまり78.6%となる

A級出力段で得られる25%という値に比べるとはるかに高い

B級出力段はスタンバイでの消費電力が本質的にゼロであり、B級や AB級の出力段が広く使われている





Vccよりも小さいVceに対しては、負荷直線は傾き-1/RL

Vccよりも大きなVceに対しては、負荷直線はVceに沿って存在

これはVceがVccよりも大きくなったときには、もう一つのトランジスタが 導通状態になっていることを意味している

ーつのトランジスタで消費される瞬時電力は

 $P_c = V_{ce}I_c$ …① Vceは次のように表わされるので

 $V_{ce} = V_{CC} - I_c R_L \cdots \textcircled{2}$

式②を式①に代入すると、瞬時消費電力Pcは

 $P_{c} = I_{c}(V_{CC} - I_{c}R_{L}) = I_{c}V_{CC} - I_{c}^{2}R_{L} \quad \cdots 3$

式③を微分して得られる次式のIcのときに、Pcは極値となる $I_c = \frac{v_{CC}}{2R_I}$

この極値となる点はIc軸とVce軸と交わる負荷直線の中間点に位置し、 A級出力段の結果と一致する

A級出力段と同じように、負荷直線も消費電力が最大となる点で電力双曲線に正接する

B級出力段でも、出力電圧が最大振幅のおよそ半分のときにトランジス タでの瞬時消費電力が最大となる



アナログ集積回路



アナログ技術シリーズ

ここでは、クロスオーバー歪みは生じないものとし、かつVce(sat)=0と仮定

トランジスタが導通しているとき、その 消費電力は信号周波数の2倍の周波数 で変化するが、非導通となる半周期の 消費電力はゼロとなる

負荷が開放されている場合には、負荷 直線がVce軸にくるためにトランジスタ の消費電力はゼロとなる

1. 能動負荷回路

- 1.1 ソース接地、エミッタ接地回路
- 1.2 差動回路
- 2. バイアス電流回路
- 3. 基準電圧回路
- 4. 出力回路
- 5. 付録
 - 5.1 出力回路の電力効率
 - 5.2 出力回路の歪



アナログ技術シリーズ

ソースフォロワにおける歪み

テイラー級数展開

$$f(x) = f(a) + \frac{f'(a)}{1!}(x-a) + \frac{f''(a)}{2!}(x-a)^2 + \dots + \frac{f^{(n)}(a)}{n!}(x-a)^n + \dots$$

テイラー級数展開を用いると、入力電圧は

$$V_i = V_I + v_i = \sum_{n=0}^{\infty} \frac{f^{(n)}(V_o = V_o)(V_o - V_o)^n}{n!}$$
 (V_I : 直流成分 v_i : 交流成分)
 $v_o = V_o - V_o$ なので、次式のように書き換えられる
 $V_i = V_I + v_i = \sum_{n=0}^{\infty} b_n (v_0)^n$
ここで、 $b_n = \frac{f^{(n)}(V_o = V_o)}{n!}$
さらに簡略化して、 $R_L \to \infty$ と仮定する

$$V_{t} = f(V_{o}) = V_{o} + V_{t0} + \gamma(\sqrt{2\phi_{f} + V_{o} + V_{DD}} - \sqrt{2\phi_{f}}) + V_{ov1}$$

上式を微分すると、次式が得られる $f'(V_o) = 1 + \frac{\gamma}{2} (V_o + V_{DD} + 2\phi_f)^{-1/2}$ $f''(V_o) = -\frac{\gamma}{4} (V_o + V_{DD} + 2\phi_f)^{-3/2}$ $f'''(V_o) = \frac{3\gamma}{8} (V_o + V_{DD} + 2\phi_f)^{-5/2}$

したがって、
$$b_n = \frac{f^{(n)}(V_o = V_O)}{n!}$$
は
 $b_0 = f(V_o = V_O) = V_O + V_{t0} + \gamma(\sqrt{2\phi_f + V_O + V_{DD}} - \sqrt{2\phi_f}) + V_{ov1}$
 $b_1 = f'(V_o = V_O) = 1 + \frac{\gamma}{2}(2\phi_f + V_O + V_{DD})^{-1/2}$
 $b_2 = \frac{f''(V_o = V_O)}{2} = -\frac{\gamma}{8}(2\phi_f + V_O + V_{DD})^{-3/2}$
 $b_3 = \frac{f''(V_o = V_O)}{3!} = \frac{\gamma}{16}(2\phi_f + V_O + V_{DD})^{-5/2}$

定数b₀は入力電圧の直流成分V₁であるので

$$v_i = \sum_{n=1}^{\infty} b_n (v_o)^n = b_1 v_0 + b_1 v_1 + b_2 v_2 + \cdots$$

歪みを求めるために、この式を次の公式を用いて変形する

$$v_o = \sum_{n=1}^{\infty} a_n (v_i)^n = a_1 v_i + a_2 v_i^2 + a_3 v_i^3 + \cdots$$

この式を代入すると、次式が得られる

$$v_i = b_1(a_1v_i + a_2v_i^2 + a_3v_i^3 + \cdots) + b_2(a_1v_i + a_2v_i^2 + a_3v_i^3 + \cdots)^2 + b_3(a_1v_i + a_2v_i^2 + a_3v_i^3 + \cdots)^3 + \cdots$$

 $= b_1a_1v_i + (b_1a_2 + b_2a_1^2)v_i^2 + (b_1a_3 + 2b_2a_1a_2 + b_3a_1^3)v_i^3 + \cdots$

係数どうしを比較すると次の関係が得られる $1=b_1a_1$, $0=b_1a_2+b_2a_1^2$, $0=b_1a_3+2b_2a_1a_2+b_3a_1^3$

これらの3式より

$$a_1 = \frac{1}{b_1}$$
, $a_2 = \frac{b_2}{b_1^3}$, $a_3 = \frac{2b_2^2}{b_1^5} - \frac{b_3}{b_1^4}$

この
$$a_1, a_2, a_3$$
に b_1, b_2, b_3 を代入すると
 $a_1 = \frac{1}{1 + \frac{\gamma}{2} (2\phi_f + V_o + V_{DD})^{-1/2}}$
 $a_2 = \frac{-\frac{\gamma}{8} (2\phi_f + V_o + V_{DD})^{-3/2}}{\left(1 + \frac{\gamma}{2} (2\phi_f + V_o + V_{DD})^{-1/2}\right)^3}$
 $a_3 = -\frac{\frac{\gamma}{16} (2\phi_f + V_o + V_{DD})^{-5/2}}{\left(1 + \frac{\gamma}{2} (2\phi_f + V_o + V_{DD})^{-1/2}\right)^5}$



増幅器の非線形性を説明する手段として、高調波歪みで規定する方法がある。これは増幅器 に単一周波数の正弦波を入力した場合の定義である。

公式
$$v_o = \sum_{n=1}^{\infty} a_n (v_i)^n = a_1 v_i + a_2 v_i^2 + a_3 v_i^3 + \cdots$$
に
 $v_i = \hat{v}_i \sin \omega t$ を代入すると
 $v_o = a_1 \hat{v}_i \sin \omega t + a_2 \hat{v}_i^2 \sin^2 \omega t + a_3 \hat{v}_i^3 \sin^3 \omega t + \cdots$
 $= a_1 \hat{v}_i \sin \omega t + \frac{a_2 \hat{v}_i^2}{2} (1 - \cos 2\omega t) + \frac{a_3 \hat{v}_i^3}{2} (3\sin \omega t - \sin 3\omega t) + \cdots$

この式は基本周波数ω(入力周波数)と高調波周波数2ω、3ωなどの周波数成分をもつ 出力電圧を示している

2次高調波歪みHD2は出力信号成分における周波数ωの1次高調波の振幅に対する周波数 2ωの振幅の比で定義される

$$HD_2 = \frac{a_2 \hat{v}_i^2}{2} \frac{1}{a_1 \hat{v}_i} = \frac{1}{2} \frac{a_2}{a_1} \hat{v}_i$$

$$HD_2 = \frac{a_2 \hat{v}_i^2}{2} \frac{1}{a_1 \hat{v}_i} = \frac{1}{2} \frac{a_2}{a_1} \hat{v}_i$$

この式に a_1, a_2 を代入すると

$$\begin{split} HD_{2} &= \frac{\gamma}{16} \frac{(2\phi_{f} + V_{O} + V_{DD})^{-3/2}(\hat{v}_{i})}{\left(1 + \frac{\gamma}{2}(2\phi_{f} + V_{O} + V_{DD})^{-1/2}\right)^{2}}\\ \gamma &<< 2\sqrt{2\phi_{f} + V_{O} + V_{DD}}$$
ならば、次式のようになる

$$HD_{2} &= \frac{\gamma}{16}(2\phi_{f} + V_{O} + V_{DD})^{-3/2}(\hat{v}_{i}) \quad a_{1} \end{split}$$

この式は、出力電圧の直流成分Voが増加すれば2次高調波歪が低減することを示している



同じように、3次高調波歪みは1次高調波に対する周波数3ωの出力信号成分の比で定義される

$$HD_3 = \frac{a_3 \hat{v}_i^3}{4} \frac{1}{a_1 \hat{v}_i} = \frac{1}{4} \frac{a_3}{a_1} \hat{v}_i^2$$

この式にa1,a3を代入すると

$$HD_{3} = \frac{\gamma}{16} \frac{(2\phi_{f} + V_{O} + V_{DD})^{-5/2} (\hat{v}_{i}^{2})}{\left(1 + \frac{\gamma}{2} (2\phi_{f} + V_{O} + V_{DD})^{-1/2}\right)^{4}}$$



演習4一

下図において、ΔVは十分小さく、すべてのトランジスタは常に飽和領域に保たれている。 このとき、時定数、およびVoutの初期値と最終値を求めよ。 ただし、M1,M2の出力抵抗およびgmをro1およびgm1、M4の出力抵抗をro4とする。





下図において、ΔVは十分小さく、すべてのトラ ンジスタは常に飽和領域に保たれている。この とき、時定数、およびVoutの初期値と最終値を 求めよ。

ただし、M1,M2の出力抵抗およびgmをro1および gm1、M4の出力抵抗をro4とする。



(1) ステップ応答の時定数は? ステップ応答は、トランジスタが常 に飽和領域にあることから、その時 定数は、出力抵抗Routと容量Cの 積で求められる。(注意、飽和領域 にないときは、スルーレートを考慮 する必要がある)。したがって、

時定数=Rout·C=(ro1//ro4)·C

(2)Voutの初期値は?

初期状態はM1,M2の入力は両方 ともV1である。したがって、差動回 路が平衡状態にあるため、M1,M2 のドレイン電圧は等しい。 したがって

初期值=Vx

(3) Voutの最終値は?最終値は初期値を基準に∆Vのゲイン倍下降する。

最終値=Vx-Av•ΔV=Vx-gm• (ro1//ro4)•ΔV





下図(a)に示すイコライザがある。トランジスタは飽和領域にあり、 $\lambda = \gamma = 0$,寄生容量は無視できるものとする。下図(b)のイコライズ特性において、

(1) f1、f2、A1、A2をgm, Rd, Rs, Cで表せ。

(2) gm=10mS, Rd=300Ωとしてf1=100MHz, A1=-10dB を実現せよ。また、その時のf2, A2を求めよ。







A1

f1

f2

(b)イコライズ特性

 $f(\log)$

演習4-2解説

下図(a)に示すイコライザがある。トランジスタは飽和領域に あり、 $\lambda = \gamma = 0$,寄生容量は無視できるものとする。下図(b) のイコライズ特性において、

(1) f1、f2、A1、A2をgm, Rd, Rs, Cで表せ。

(2) gm=10mS, Rd=300Ωとしてf1=100MHz, A1=-10dB を実 現せよ。また、その時のf2, A2を求めよ。



半回路の概念を使って、等価回路を作 成して解く。動作は、低周波ではCを無 視して解析。また、高周波では容量2C のインピーダンスが非常に小さくなるこ とを考慮して解析。f1は2Cのインピーダ ンスがRs/2になる周波数を求めればよ い。

(1)

f1=1/(2 π (Rs/2)·2C)=1/(2 π Rs·C) A1=Rd/((1/gm)+(Rs/2)) A2=gm·Rd f2=f1·A2/A1=

(2)dB表現をリニア表現に換算するには、
A(dB)=20LogA(lin), A(lin)=10^{A(dB)/20}
∴A1=1/1√10≒0.32
従って、上記(1)のA1の式から
Rs≒1.7kΩ
従って、上記(1)のf1の式から
C≒0.94pF
一方、A2=gm・Rd=3
従って、上記(1)のf2の式から
f2≒940MHz

演習4-3

下図に示す基準電流発生回路において、Vdd = 1.8V, Vref = Vomax = 1V, オペアンプは理想として、基 準電流Iref = 100uA, Io = 50uA になるように回路図を完成せよ。このとき、定電流MOSがVds≧4・Vovで 動作するようにWr, Woも決定せよ。

ただし、L= 1um, k' (= μ p·Cox) = 200uA/V² とし、 γ や λ は無視できるものとする。



定電流回路





下図に示す基準電流発生回路において、Vdd = 1.8V, Vref = Vomax = 1V, オペアンプは理想として、基準電流 Iref = 100uA, Io = 50uA になるように回路図を完成せよ。このとき、定電流MOSがVds \geq 4·Vovで動作するように Wr, Woも決定せよ。ただし、L= 1um, k' (= μ p·Cox) = 200uA/V² とし、 γ や λ は無視できるものとする。



<u>解説</u>

定電流回路

アナログ技術シリーズ



安定なシステムにフィードバックをかける。 安定にも不安定にもなりうる。 不安定なシステムにフィードバックをかける。 安定にも不安定にもなりうる。



Harry Nyquist (AT&T, 1889-1976)

1927年 米国ベル研究所 Harold Black により、 Negative Feedback による電子管増幅器が考案される。 出力から入力へのフィードバック量により増幅器が 安定、不安定になることが経験される。 1932年 Nyquist によりこの問題が理論的に検討され、

安定になるための条件が明らかになる。

電気通信の技術課題を解決するためのもの

(ナイキストの安定判別)

アナログ集積回路

Harry Nyquist

名前が残る多くの研究業績

Nyquist plot Nyquist–Shannon sampling theorem Nyquist frequency Nyquist stability criterion Nyquist ISI criterion Johnson–Nyquist noise



Harold Black (1898 - 1983)

Harold Stephen Black was

an American electrical engineer who revolutionized the field of applied electronics by inventing the negative feedback amplifier in 1927.



By sacrificing gain, it also has an additional effect of increasing the bandwidth of the amplifier. However, a negative feedback amplifier can be unstable such that it may oscillate. Once the stability problem is solved, the negative feedback amplifier is extremely useful in the field of electronics.

Black published a famous paper "Stabilized feedback amplifiers" in 1934.

