

仕様書、設計書の書き方

- 大規模なシステムを作るために

仕様 (Specification)

何を作るか

設計・実現 (Implementation)

どのように作るか。

By 小林春夫

- 仕様 (Specification)
- 設計・実現 (Implementation)

両者は分けてかく。

仕様記述の中に

実現法に関する記述を含めてはいけない。

設計書

設計変更があることを前提。

⇒記述の変更が容易となるようにする。

トップダウン、階層構造に記述

各モジュールと

インターフェースの入出力信号を

全て記述

仕様書、設計書の例

By 小川智彦

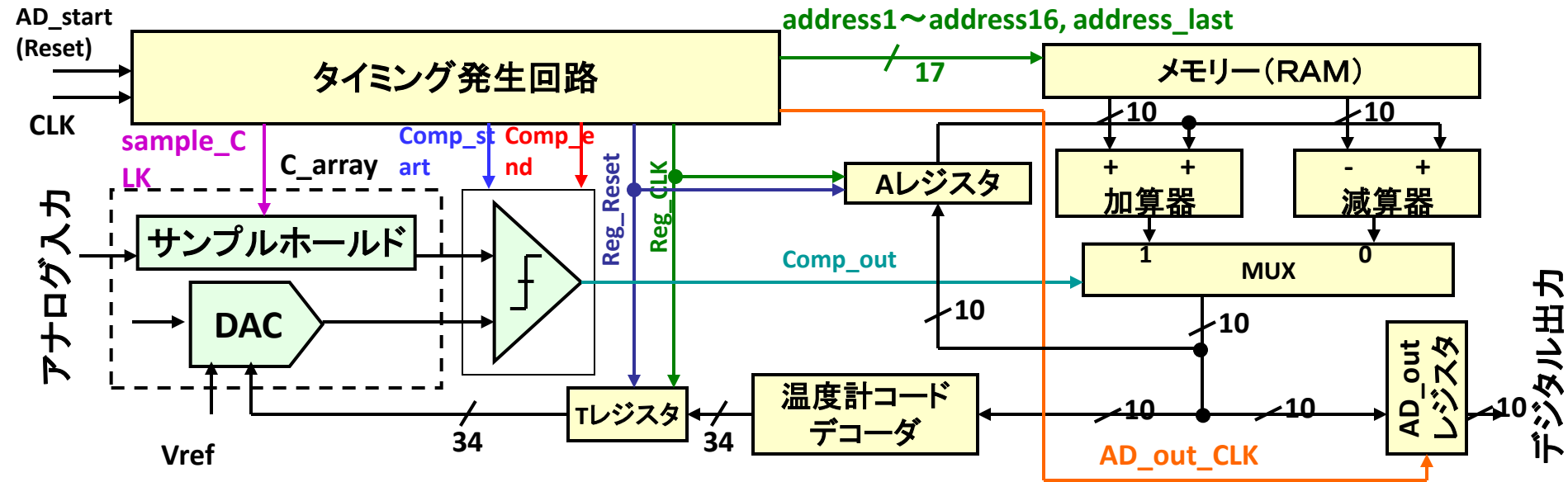
試作SAR ADCの目標仕様

コンパレータ1個を用いた,

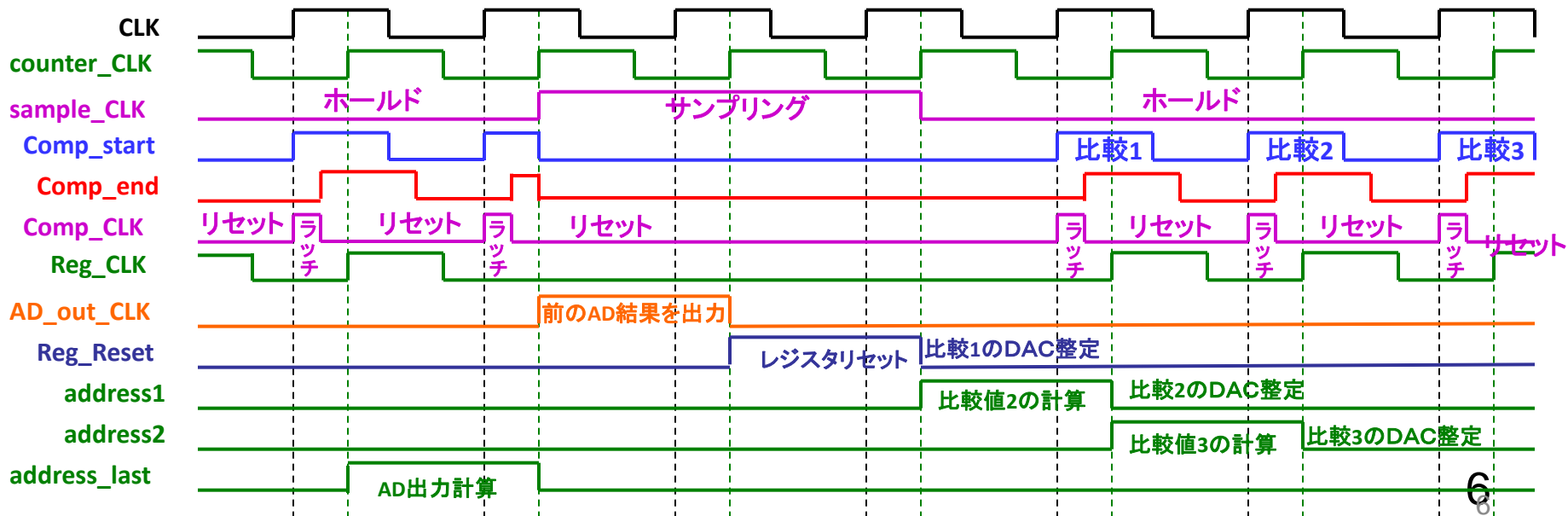
一般化非2進探索アルゴリズム SAR ADC

- 分解能: 10ビット
- 電源電圧: 1.5V
- 消費電力: 1mW
- サンプルング周波数: 10MS/s
- プロセス: TSMC 0.18um CMOS
- 比較サイクル10~17ステップ可変

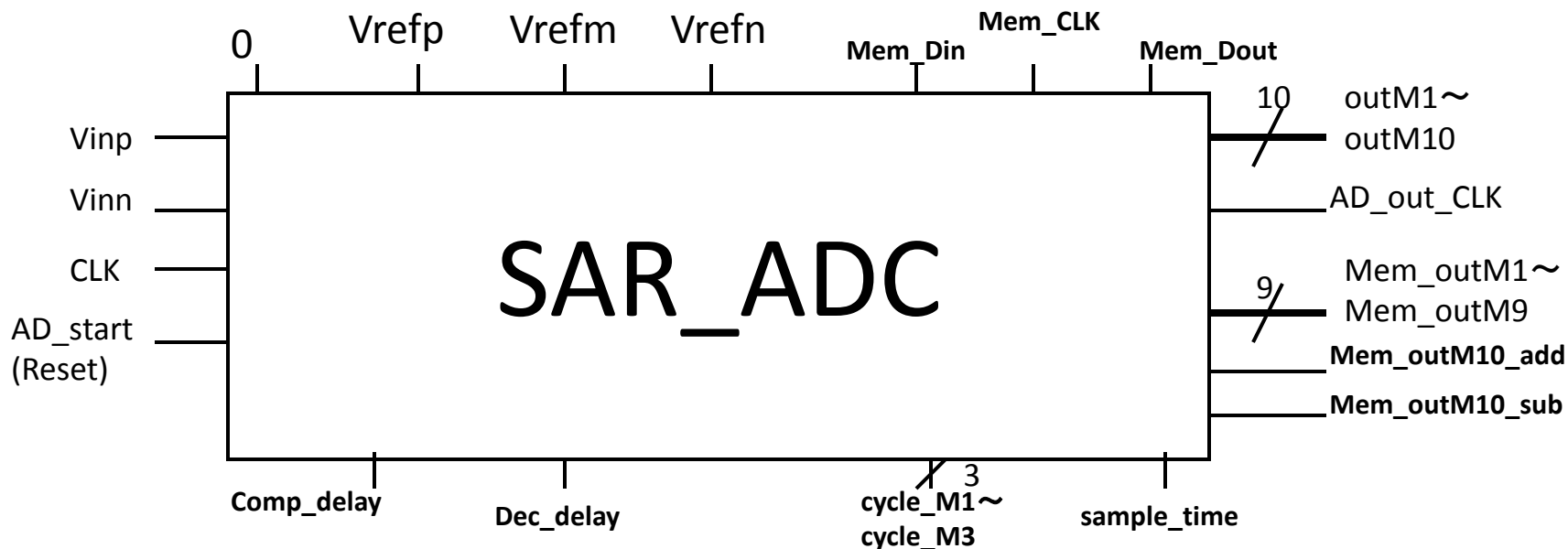
概要ブロック図



連続動作時 タイミングチャート

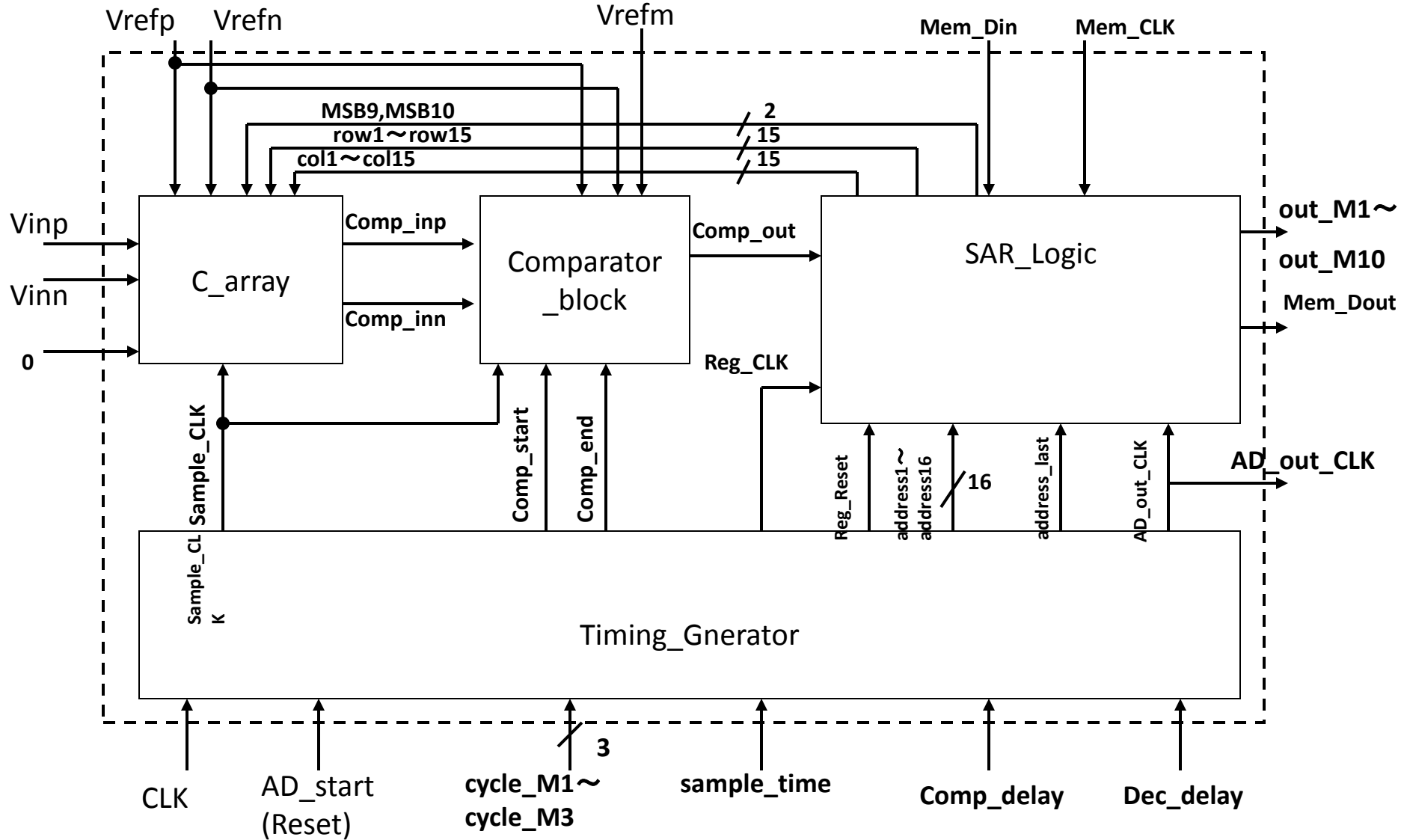


SAR_ADC(インターフェース)

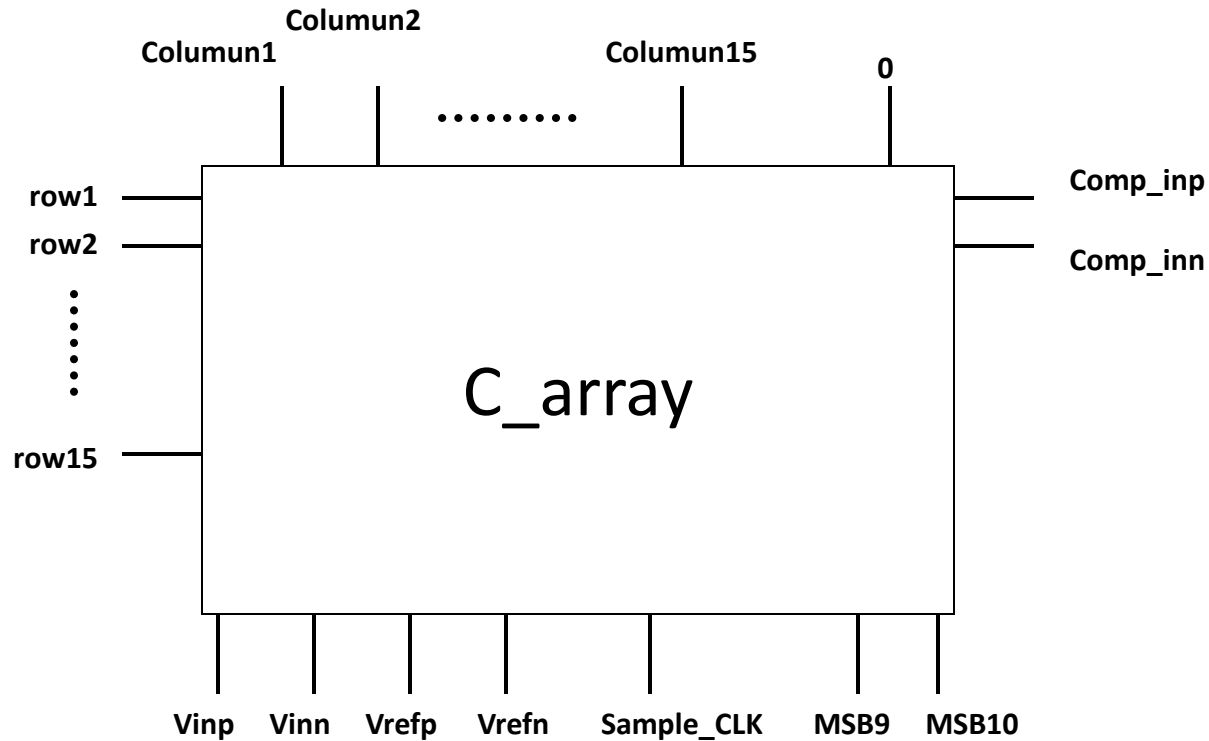


- | | | |
|----------|---------------------|--------------------------------|
| 入力 アナログ: | Vinp, Vinn | : ADC差動入力 |
| | Vrefp, Vrefn, Vrefm | : DAC差動参照電圧 |
| デジタル: | CLK | : 基準クロック |
| | AD_start(Reset) | : ADC動作開始のリセット |
| | Mem_Din | : Memory書き込み入力 |
| | MW_CLK | : Memory書き込みシフトクロック |
| | cycle_M1~cycle_M3 | : 比較サイクル数可変2進コード |
| | sample_time | : サンプル時間制御 (0のとき2CLK、1のとき5CLK) |
| | Comp_delay | : コンパレータ比較時間遅延(0のとき1倍、1のとき2倍) |
| | Dec_delay | : デコーダ動作時間遅延(0のとき1倍、1のとき2倍) |
| 出力 デジタル: | outM1~outM10 | : 10ビットADCデジタル出力 |
| | AD_out_CLK | : AD出力タイミングクロック |
| | Mem_Dout | : Memoryシフトレジスタの最後の出力 |

SAR_ADC(構成)



C_array (インターフェース)

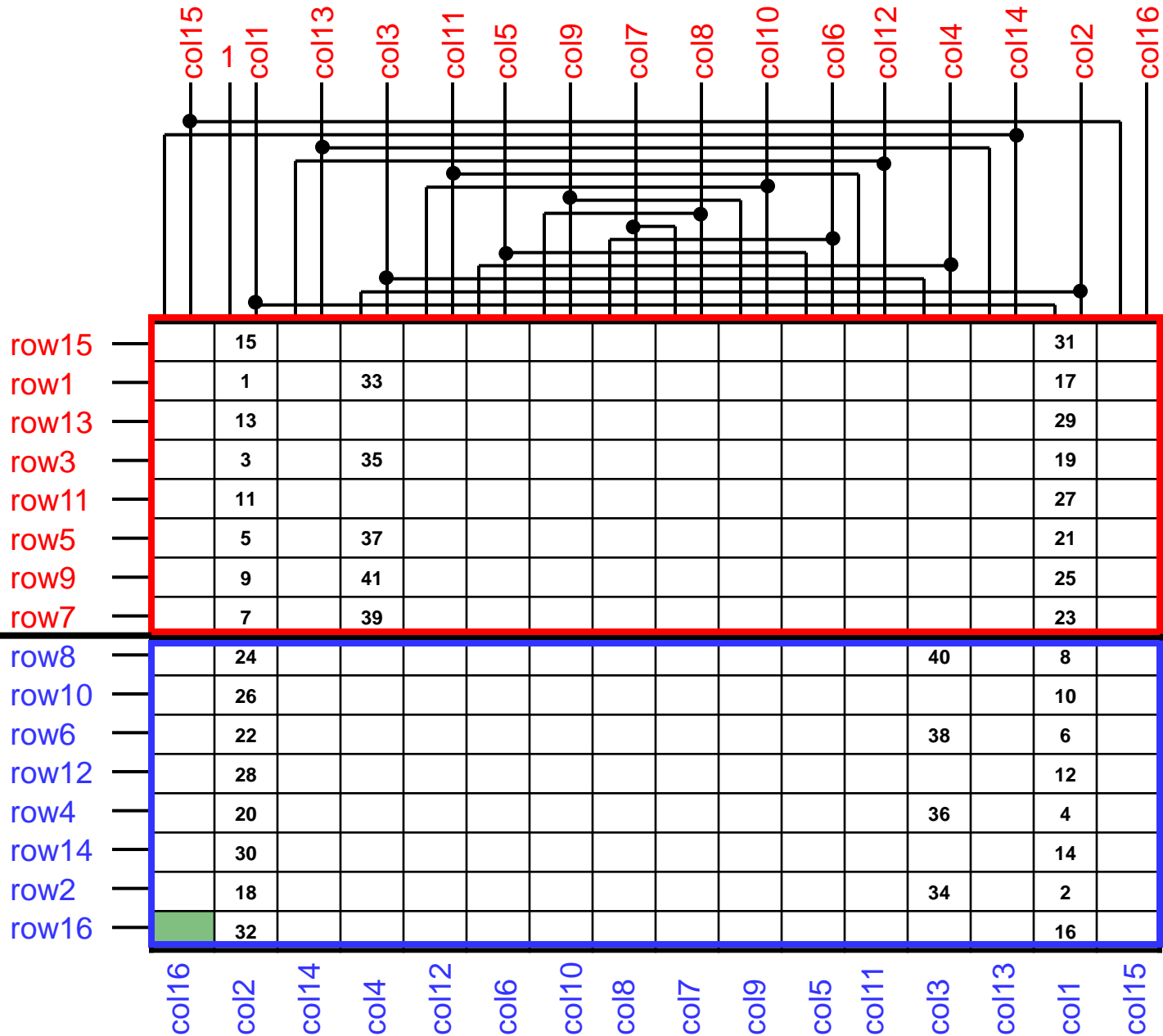


入力アナログ	Vinp, Vinn	: ADC差動入力
	Vrefp, Vrefn	: DAC差動参照電圧
デジタル	Sample_CLK	: 入力サンプリングタイミングクロック
	columun1 ~ columun15	: セグメントDAC制御縦列
	row1 ~ row15	: セグメントDAC制御横列
	MSB9, MSB10	: LSB2進容量DAC制御
	0	: デジタル入力0
出力アナログ	Comp_inp, Comp_inn	: コンパレータへの差動入力

C_array(仕様)

- ・電源電圧: 1.5V
- ・消費電力:
- ・最小容量 20 fF (mim_cap 4um × 4um)
- ・C_cell容量 80 fF(4個セット),
255個を温度計コード(col1~col16,row1~row16)で制御
- ・LSB_C_cell容量, 40fF(2個セット), 20fF, 20fF
を2進コード(MSB9, MSB10)で制御
- ・差動構成で合計容量: 約40pF
- ・sample_CLKが1のときサンプリング動作
Vinp, Vinnを全容量セルにサンプリング
- ・sample_CLKが0のときDAC動作
DAC入力(columun1~columun16,row1~row16,MSB9, MSB10)
にしたがって、サンプリング電圧との差電圧をComp_inp, Comp_innから出力。

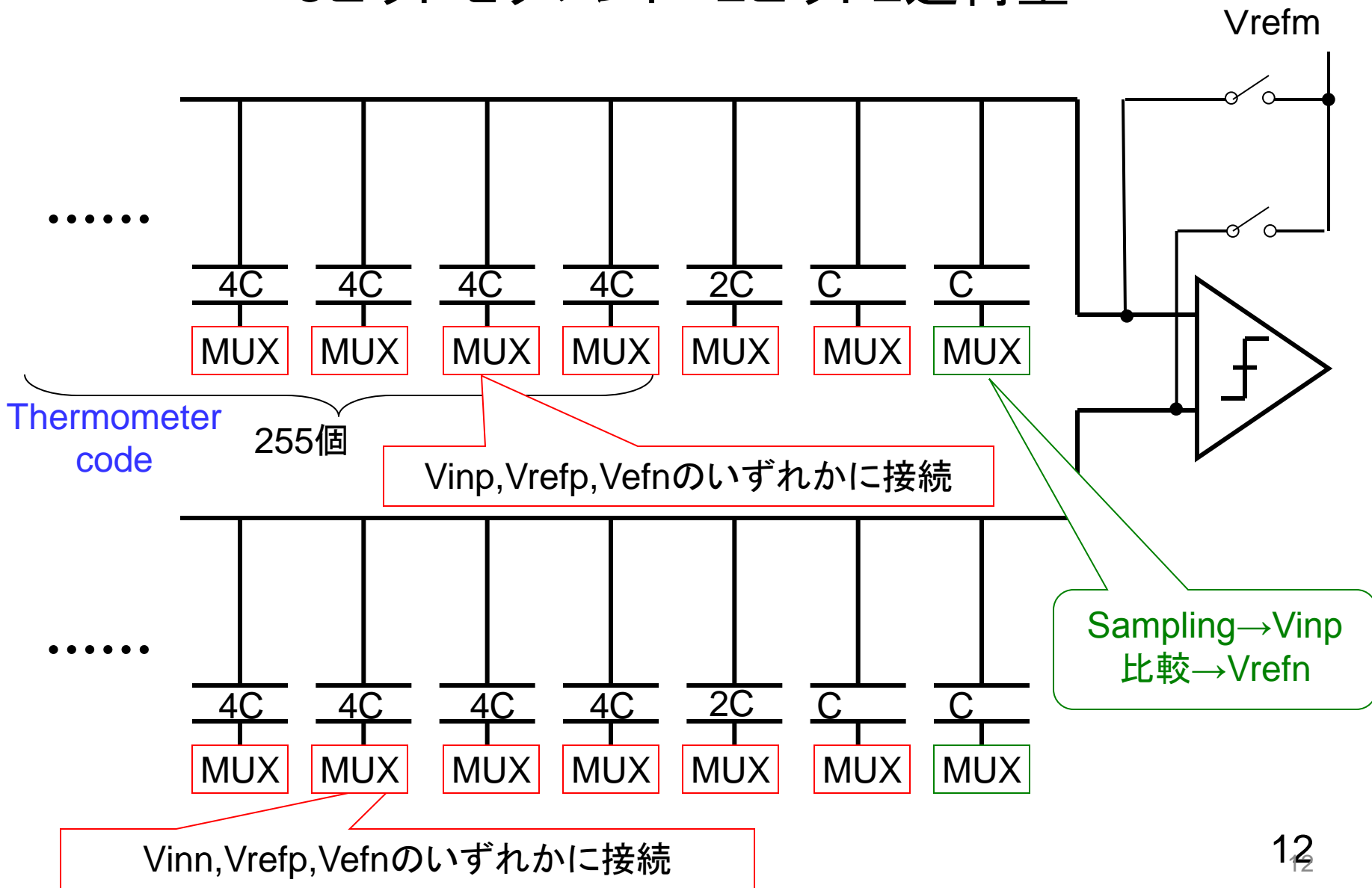
C_array レイアウトでのcell選択方法



反対向きに配線

C_array差動電荷再配分の動作

8ビットセグメント 2ビット2進荷重

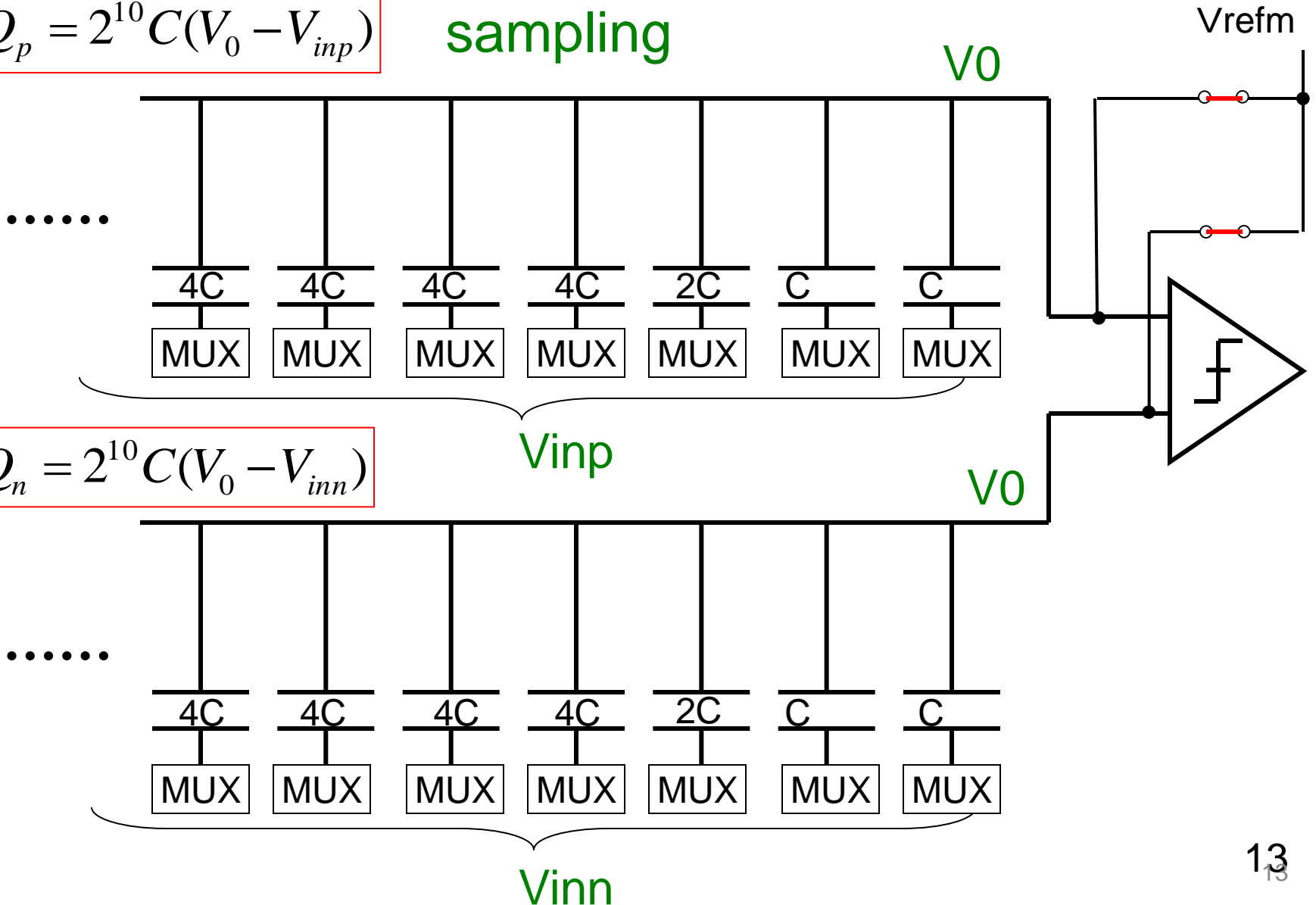


C_array差動電荷再配分の動作

8ビットセグメント 2ビット2進荷重

$$Q_p = 2^{10} C (V_0 - V_{inp})$$

sampling



$$Q_n = 2^{10} C (V_0 - V_{inn})$$

V_{inp}

V_0

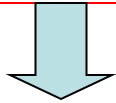
V_{inn}

C_array差動電荷再配分の動作

8ビットセグメント 2ビット2進荷重

$$Q_p = nC(V_{mp} - V_{refp}) + (1024 - n)C(V_{mp} - V_{refn})$$

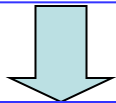
$$= 1024C(V_{refn} - V_{inp})$$



$$V_{mp} = V_{refn} - V_{inp} + \frac{n}{1024}(V_{refp} - V_{refn}) + V_{refn}$$

$$Q_n = nC(V_{mn} - V_{refn}) + (512 - n)C(V_{mn} - V_{refp})$$

$$= 512C(V_{refn} - V_{inn})$$



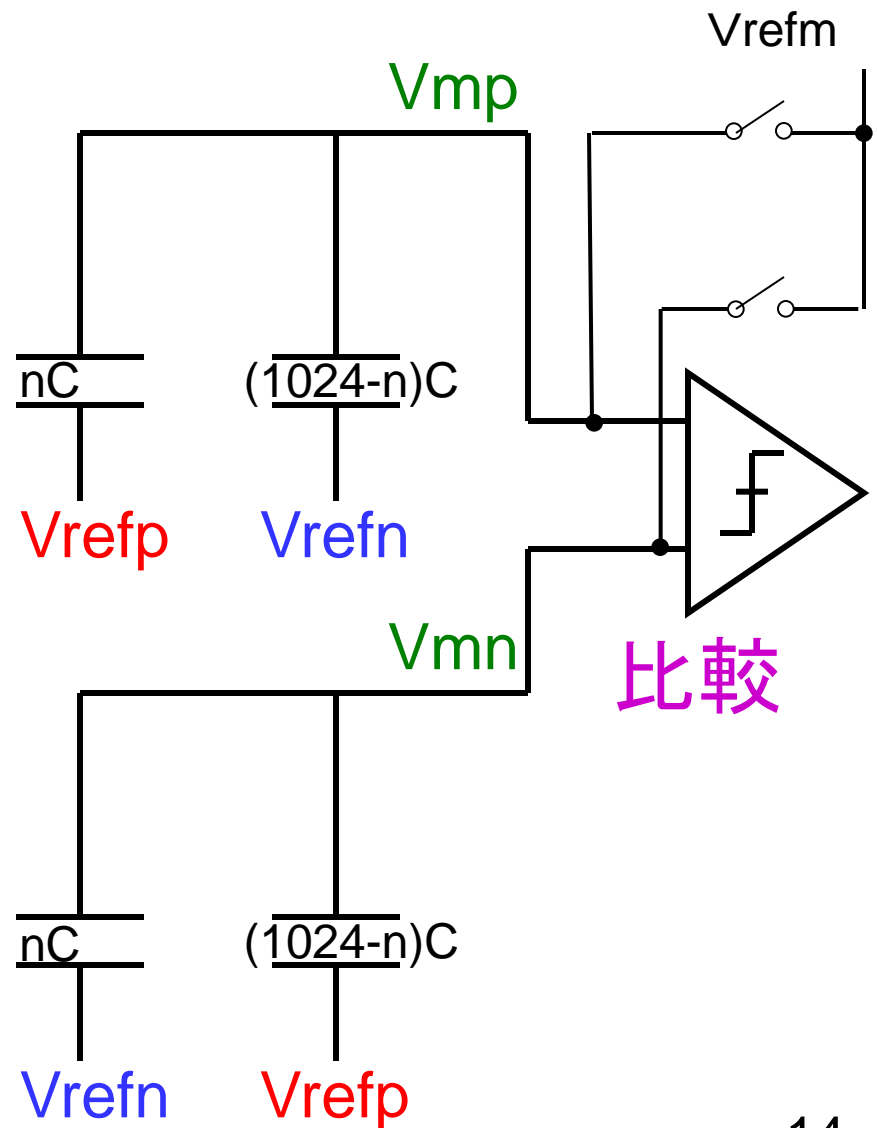
$$V_{mn} = V_{refn} - V_{inn} + \frac{n}{1024}(V_{refn} - V_{refp}) + V_{refp}$$

$$V_{mp} - V_{mn} = -(V_{inp} - V_{inn}) + \left(\frac{n}{512} - 1\right)(V_{refp} - V_{refn})$$

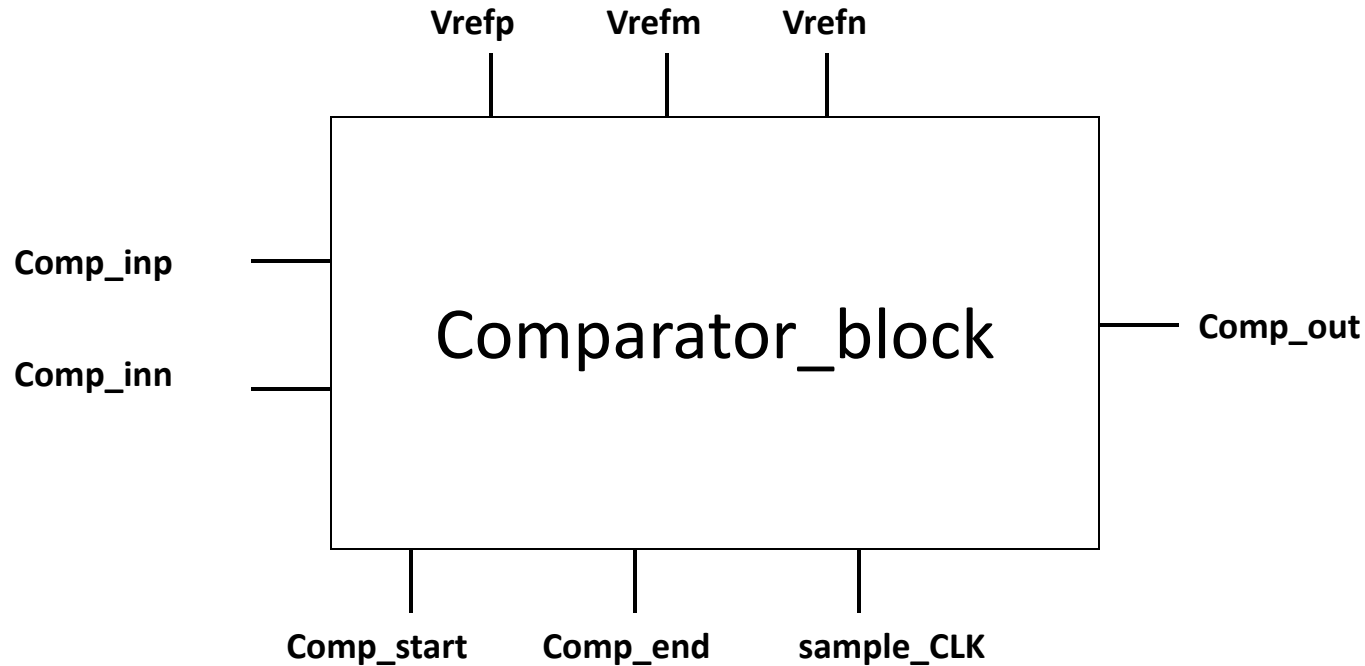
サンプリング電圧とDAC出力との差電圧を出力

$n: 0 \sim 1023$

→ 比較電圧 : $-512 \sim 511$ [LSB]



Comparator_block(インターフェース)



入力アナログ	Comp_inp, Comp_inn	:コンパレータ差動入力
	Vrefp, Vrefm, Vren	:参照電圧
デジタル	Comp_start	:コンパレータ動作開始クロック
	Comp_end	:コンパレータ動作終了クロック
	Sample_CLK	:入力サンプリングクロック
出力 デジタル	Comp_out	:コンパレータ比較終了信号

Comparator_block(仕様)

目標仕様

- ・電源電圧: 1.5V
- ・消費電力:
- ・差動入力電圧範囲: 0.25~1.25V (2.0 Vppd)
- ・コンパレータ動作はリセットモード
とラッチモードの2フェーズで行う。
- ・Comp_startで比較動作開始
- ・Comp_endでリセット動作開始

Comparator_block (動作)

- C_arrayで生成された入力電圧とDAC電圧の差電圧(Comp_inp, Comp_inn)の正負を判定する。
- 判定終了信号(Valid)が1になったところ比較判定結果をレジスタに保持。
- sample_CLKが1のときComp_inp, Comp_innをVrefp, Vrefnの中間電位にする。
- コンパレータはリセットモードとラッチモードの2フェーズで動作する。

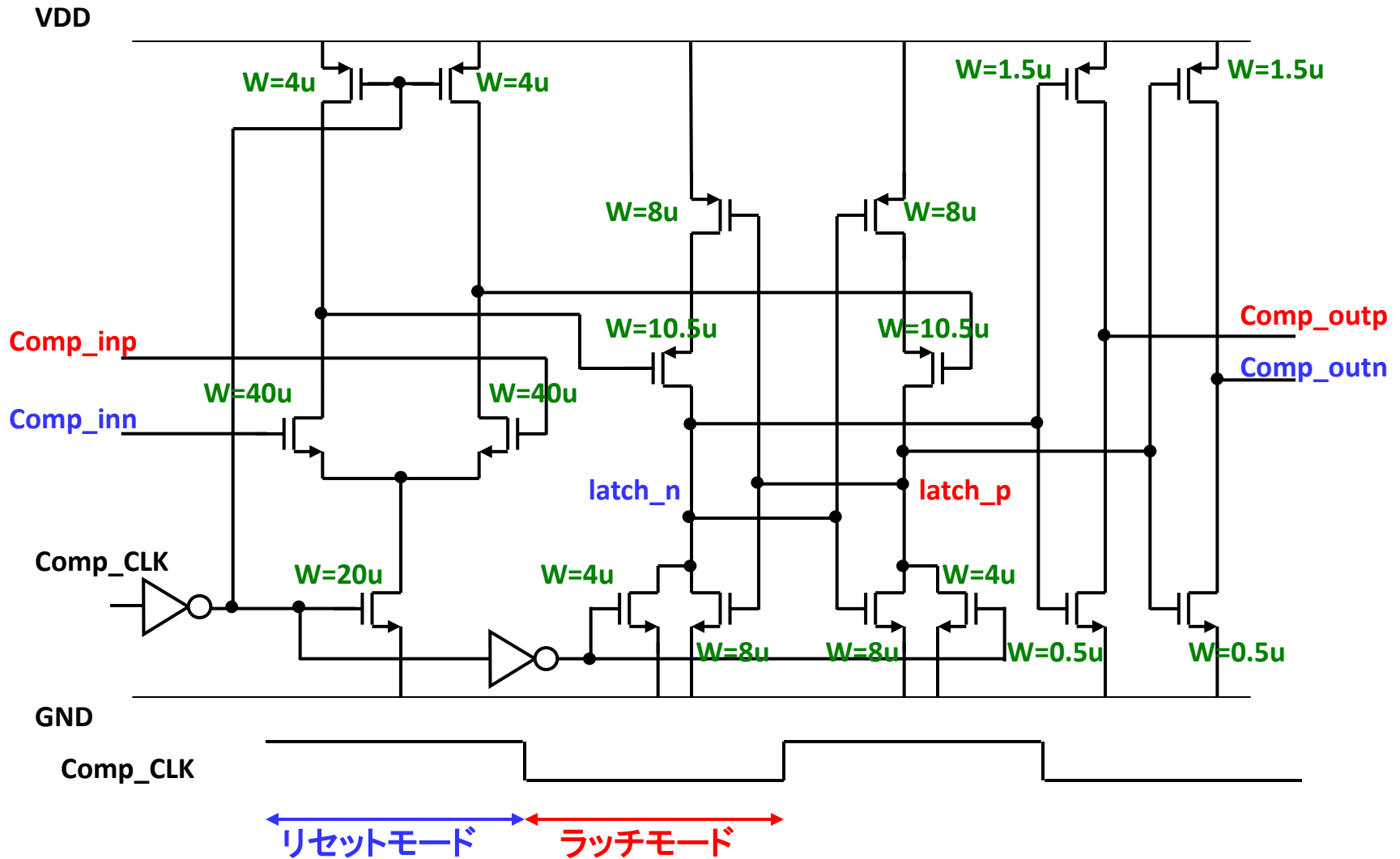
比較時間

	T=27°C	T=100°C
ff	0.44ns	0.48ns
tt	0.58ns	0.64ns
ss	0.79ns	0.86ns

リセット時間

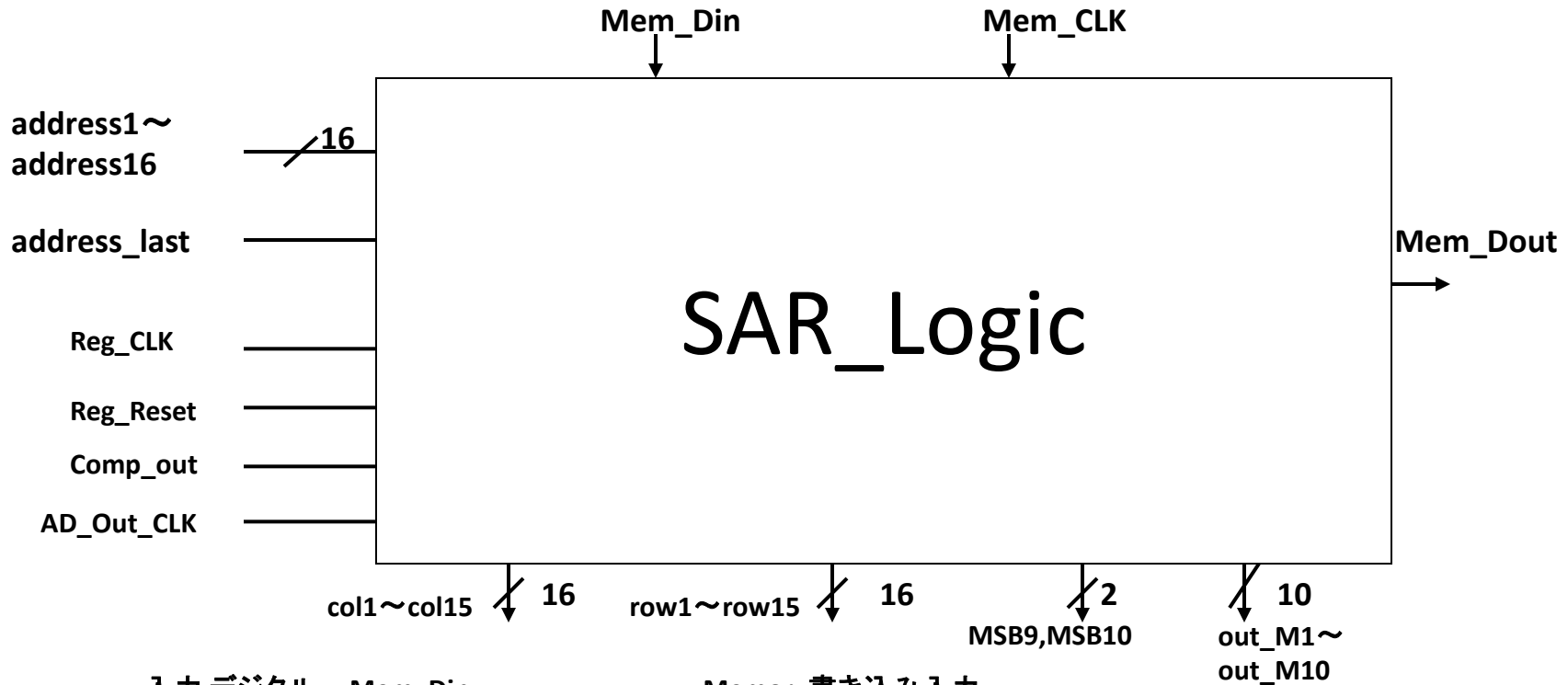
	T=27°C	T=100°C
ff	0.4ns	0.4ns
tt	0.5ns	0.5ns
ss	1.0ns	1.0ns

Comparator(構成)



出典: M.van Elzakker, Ed van Tuijl, P.Geraedts, D.Schinkel, E.Klumperink, B.Nauta,
 "A 1.9uW 4.4f J/Conversion-step 10b 1MS/s Charge-Redistribution ADC,"
 IEEE ISSCC2008, Dig. of Tech. Papers, pp.244-245, Feb.2008

SAR_Logic(インターフェース)



入力 デジタル	Mem_Din	: Memory書き込み入力	
	Mem_CLK	: Memory書き込みクロック	
	address1~address16	: Memory読み出しアドレス	
	address_last	: 最終Memory読み出しアドレス	
	Reg_CLK	: 加算器, 温度計コードデコーダ後のレジスタクロック	
	Reg_Reset	: 加算器, 温度計コードデコーダ後のレジスタリセットクロック	
	Comp_out	: 加算器出力と減算器出力を選択する信号	
	AD_out_CLK	: ADC出力タイミングクロック	
	出力 デジタル	columun1~columun15	: セグメントDAC制御縦列
		row1~row15	: セグメントDAC制御横列
MSB9, MSB10		: LSB2進容量DAC制御	
out_M1~out_M10		: ADCデジタル出力	
Mem_Dout		: Memoryシフトレジスタ最後の出力	

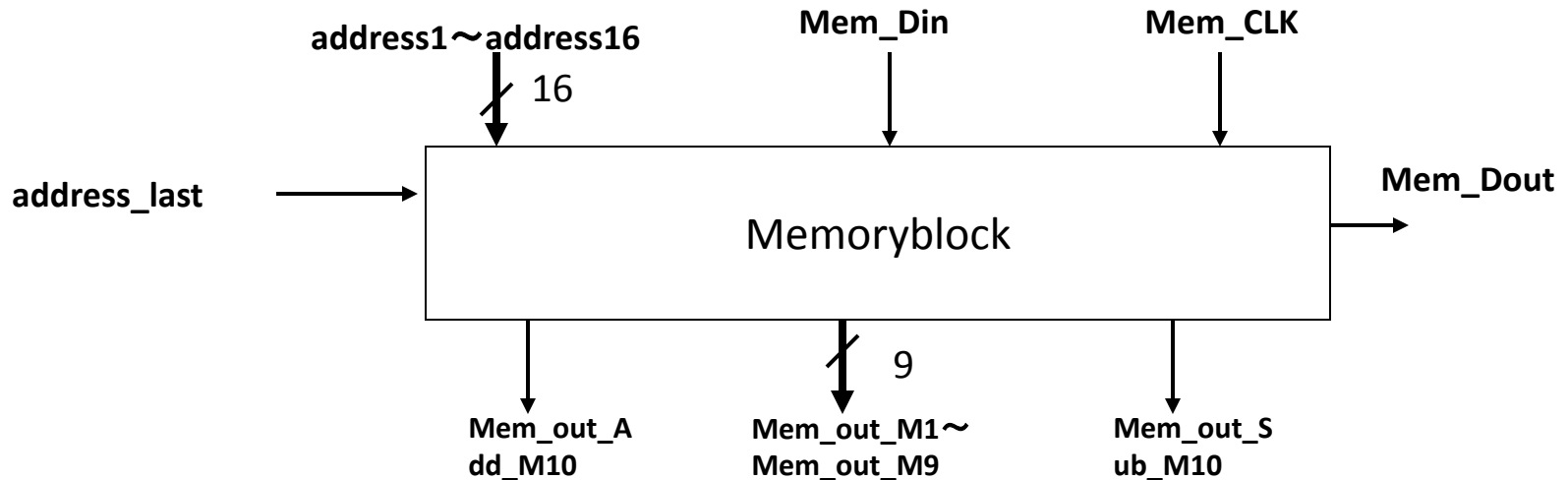
SAR_Logic(仕様)

目標仕様

- ・電源電圧:1.5V
- ・消費電力:

- ・冗長アルゴリズムを記憶するMemory_Block(RAM),
- ・比較値を計算する加算器,減算器で構成されるAdd_Sub_Block
- ・2進コードを温度計コードに直すThermometer_code_Decoder
- ・出力を保持するAD_out_Register
で構成される。
- ・比較値とADC出力の計算し、DAC入力の温度計コードを作る。
- ・Memory_Blockには任意の非2進アルゴリズムを書き込むことができる。

Memory_Block (インターフェース)



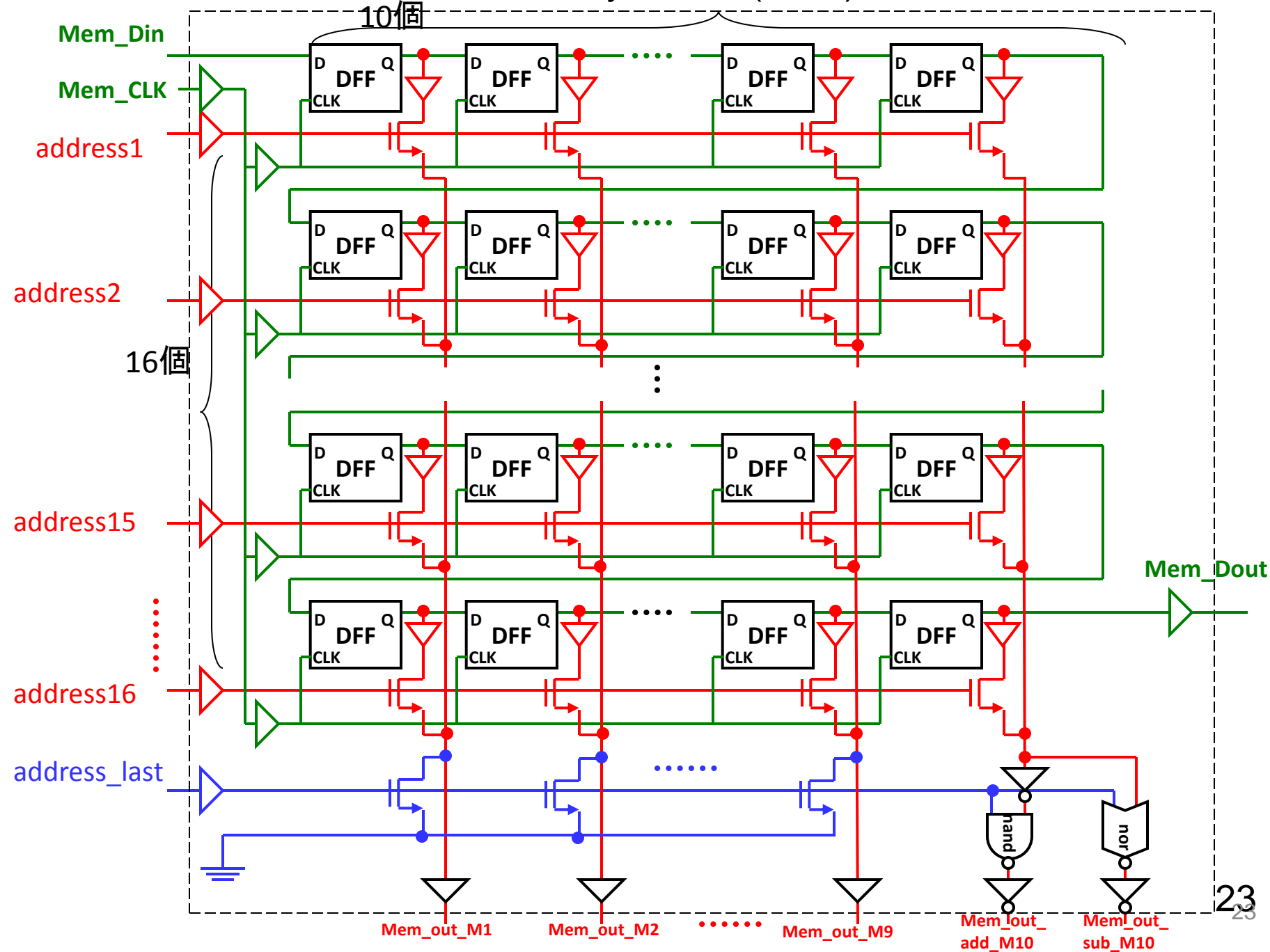
入力 デジタル	Mem_Din	: Memory書き込み入力
	Mem_CLK	: Memory書き込みクロック
	address1~address16	: Memory読み出しアドレス
	address_last	: 最終Memory読み出しアドレス
出力 デジタル	Mem_out_M1~M9	: Memory出力データMSB1~MSB9
	Mem_out_Add_M10	: 加算器入力加算値MSB10
	Mem_out_Sub_M10	: 減算器入力減算値MSB10
	Mem_Dout	: Memoryシフトレジスタの最後の出力

Memory_Block(仕様)

目標仕様

- ・電源電圧:1.5V
- ・消費電力:
- ・電源を入れた後にA/D変換の動作を開始する前に、メモリーに冗長アルゴリズムを書き込む。
- ・書き込み動作はA/D変換動作とは独立して行われる。
 - ・MW_Resetでメモリーをリセットする。
 - ・MW_inからシフトレジスタに書き込むデータを入力する。
 - ・MW_CLKで入力データをシフトして書き込んでいく。
- ・A/D変換動作時にaddress1～address16にしたがって、データを読み出す。
- ・address_lastがHighのとき加算器に0を入力し、減算器に1を入力する。

Memory_Block(構成)



Memory_Block(動作)

- ・電源を入れた後にA/D変換の動作を開始する前に、メモリーに冗長アルゴリズムを書き込む。
- ・A/D変換動作前にMem_Din, Mem_CLKでメモリーに冗長アルゴリズムを書き込む。
 - ・Mem_Dinからシフトレジスタに書き込むデータを入力する。
 - ・Mem_CLKで入力データをシフトして書き込んでいく。
- ・A/D変換動作時に(address1～address16)にしたがって、加算器と減算器に入力するデータ(Mem_out_M1～Mem_out_M9, Mem_out_Add_M10, Mem_out_Sub_M10)を出力する。
- ・最終のaddress_lastでは加算器に0(十進)を減算器に1(十進)のデータを送る。

以下 省略