

群馬大学 工学部 電気電子工学科
「集積回路システム工学」 講義資料 (3)

CMOSデジタル集積回路

担当 小林春夫

連絡先: 〒376-8515 群馬県桐生市天神町1丁目5番1号

群馬大学工学部電気電子工学科

電話 0277 (30) 1788 FAX: 0277 (30)1707

e-mail: k_haruo@el.gunma-u.ac.jp

<http://www.el.gunma-u.ac.jp/~kobaweb/>

内 容

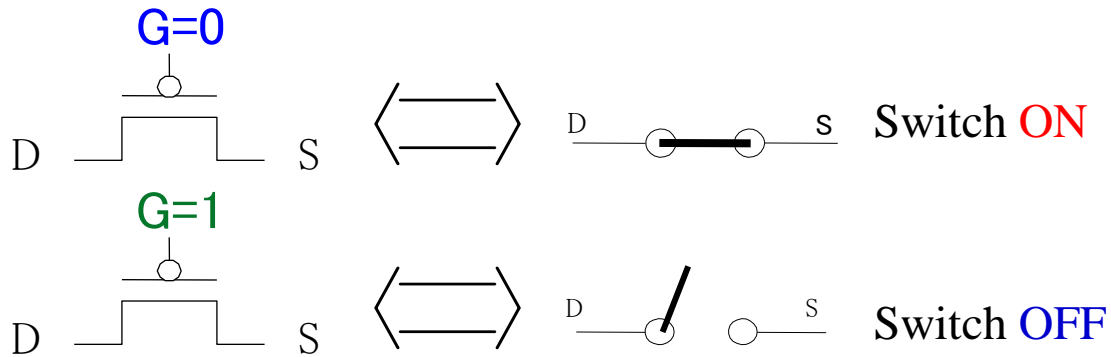
- トランジスタレベル デジタルCMOS回路
- デジタルCMOS回路の性能
 - 消費電力
 - スピード
- スイッチド・キャパシタ回路

内 容

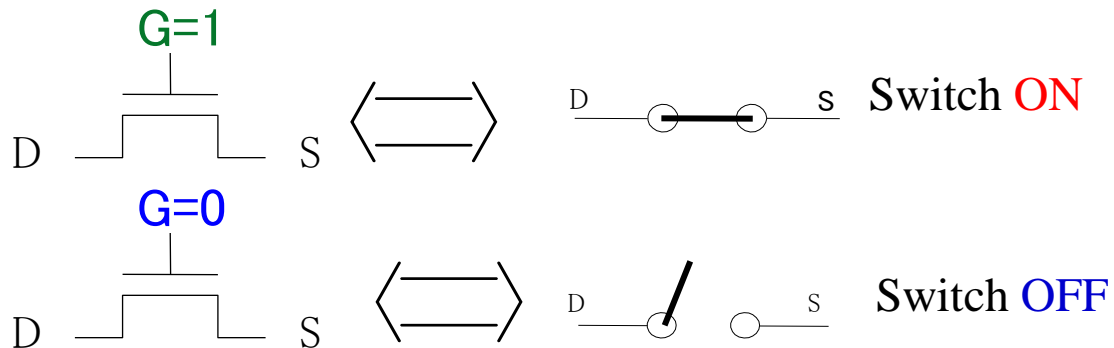
- トランジタレベル デジタルCMOS回路
- デジタルCMOS回路の性能
 - 消費電力
 - スピード
- スイッチド・キャパシタ回路

PMOS, NMOS スイッチ

(1) PMOS

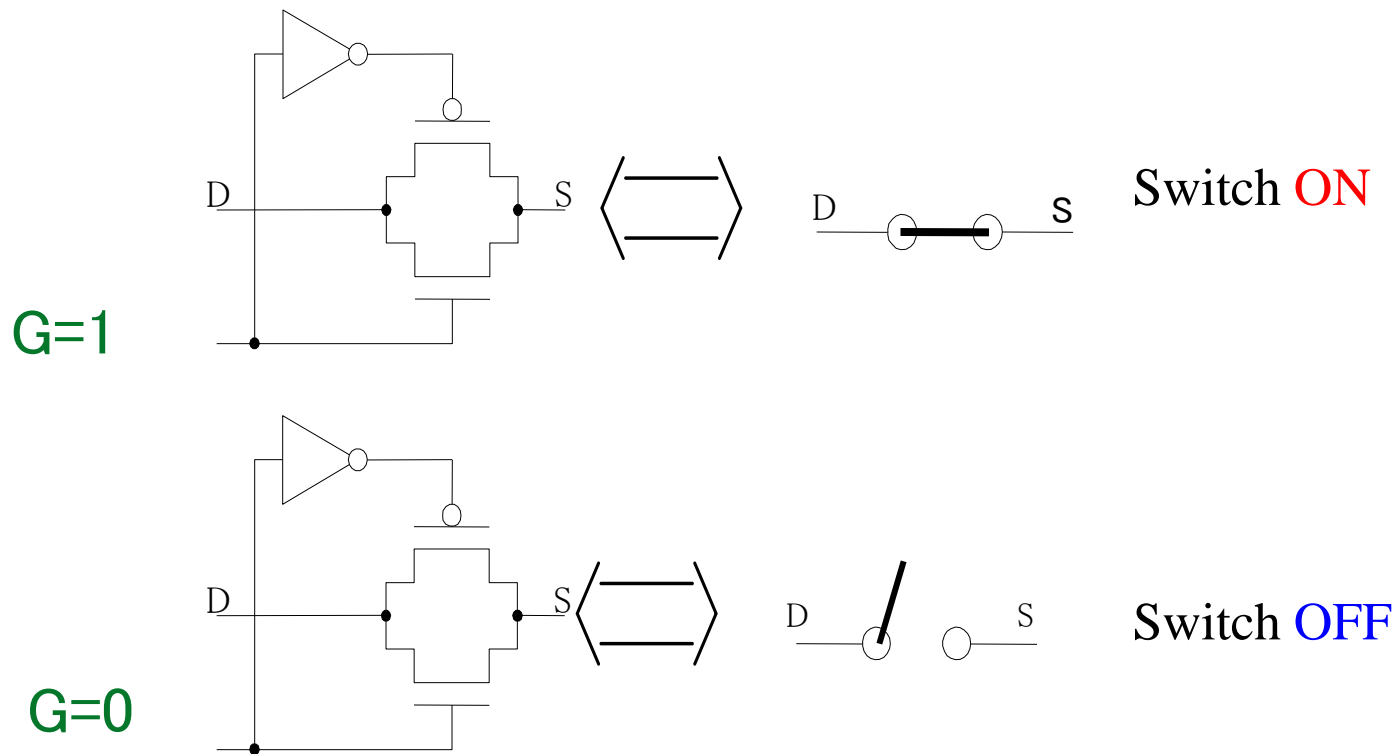


(2) NMOS



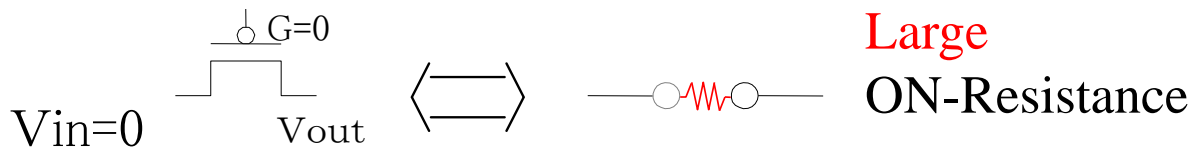
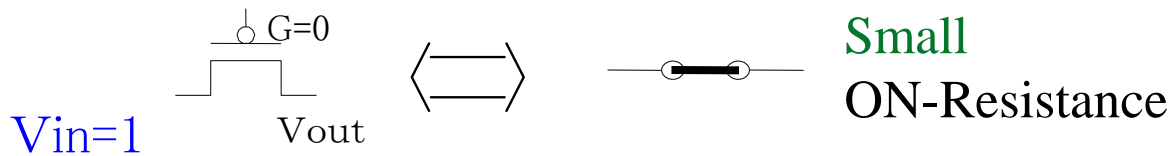
CMOSスイッチ

(3) CMOS



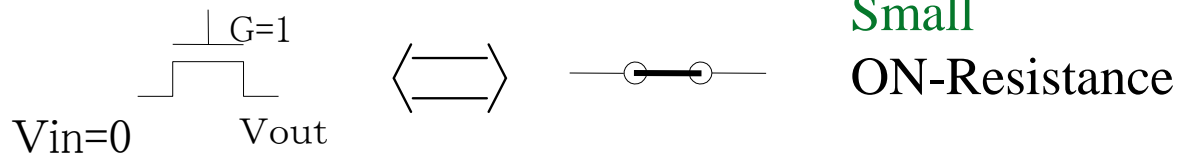
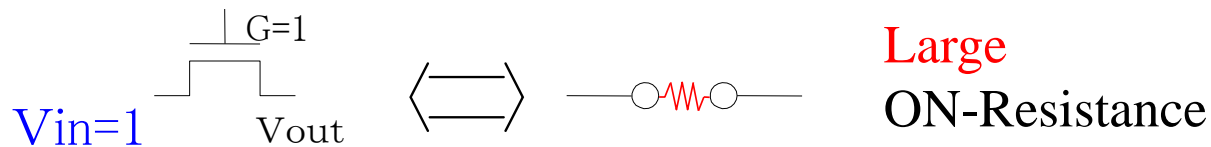
PMOS, NMOSスイッチの オン抵抗

(1) PMOS



PMOSは
正電源側で
用いる

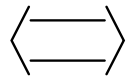
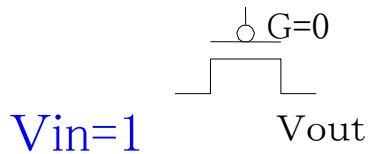
(2) NMOS



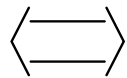
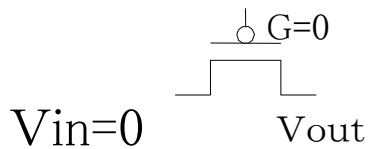
NMOSは
GND側で
用いる

PMOS, NMOSスイッチの 出力電圧

(1) PMOS



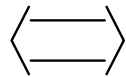
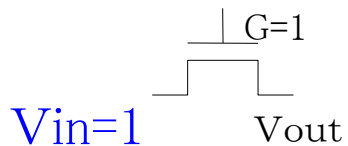
$$V_{out}=V_{dd}$$



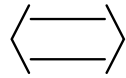
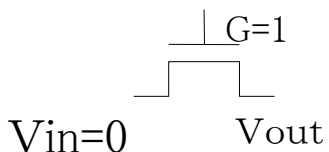
$$V_{out}=|V_{th}|$$

PMOSは
Voutは
GNDまで
下がらない。

(2) NMOS



$$V_{out}=V_{dd}-V_{th}$$

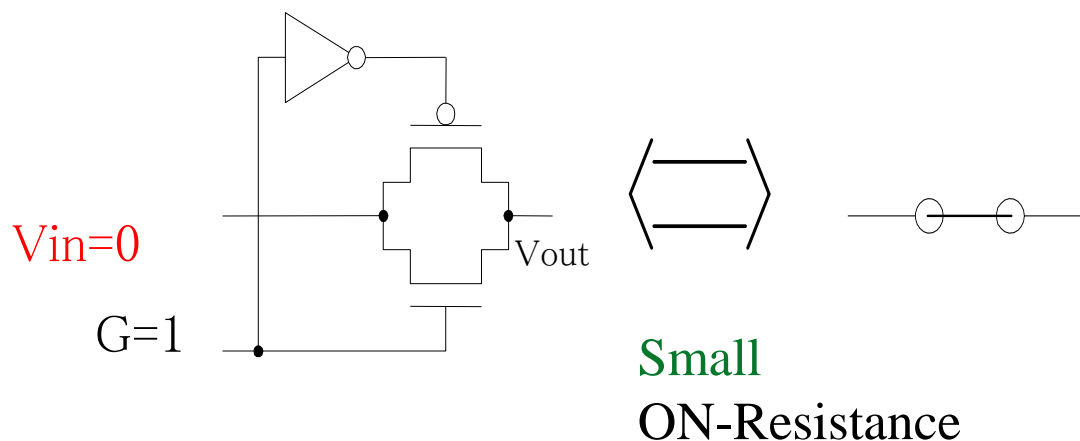
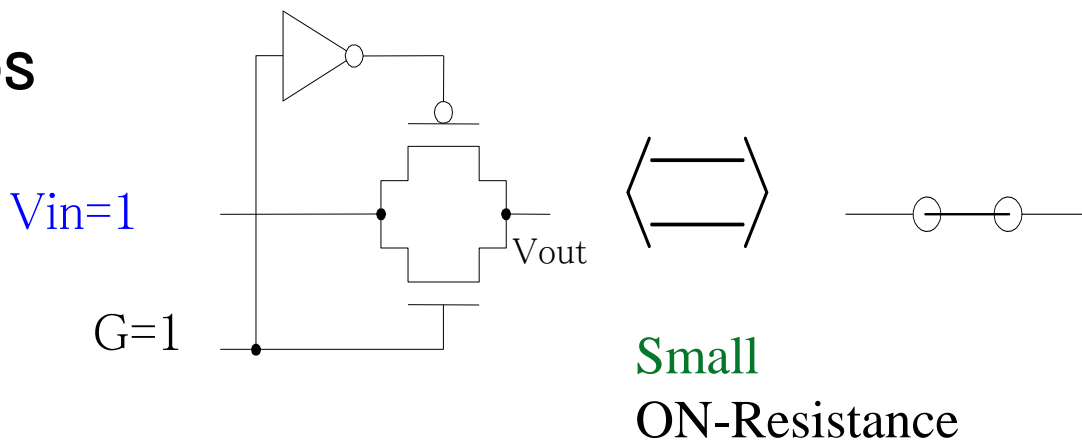


$$V_{out}=0$$

NMOSは
Voutが
Vddまで
上がらない。

CMOSスイッチのオン抵抗

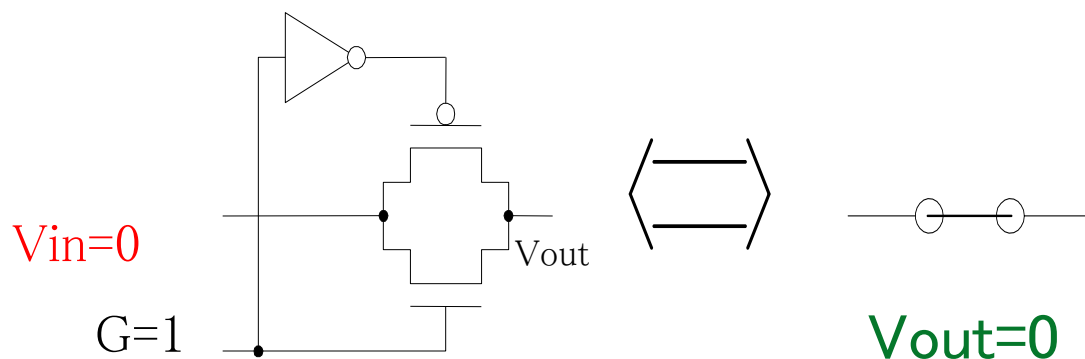
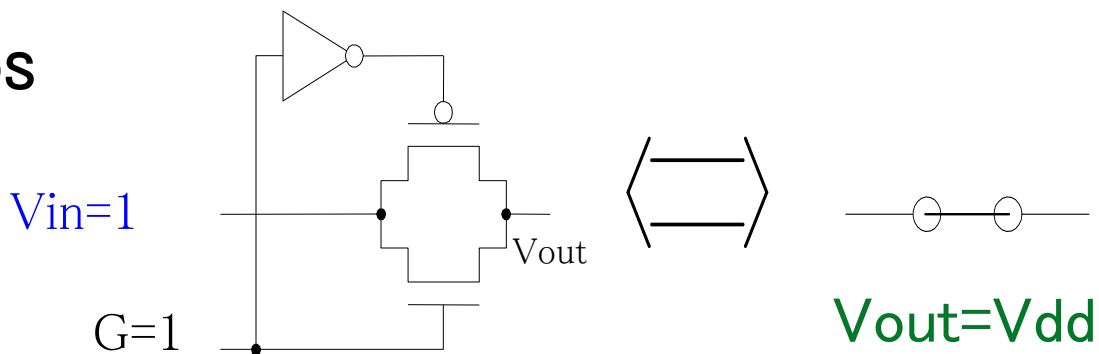
(3) CMOS



CMOSは
GND側でも
正電源側でも
オン抵抗が
小さいが、
トランジスタ数
が増える。

CMOSスイッチの出力電圧

(3) CMOS



CMOSでは
出力電圧 V_{out} が
GND, V_{dd} 間を
フルスイング。

論理否定 (NOT)


論理変数 A, Z

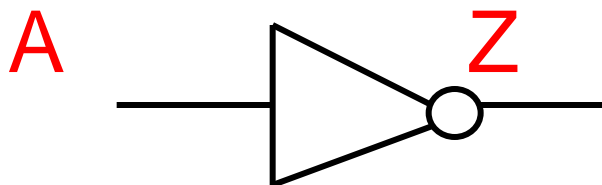
真理値表

A : 入力, Z : 出力

$$Z = \overline{A}$$

A	Z
0	1
1	0

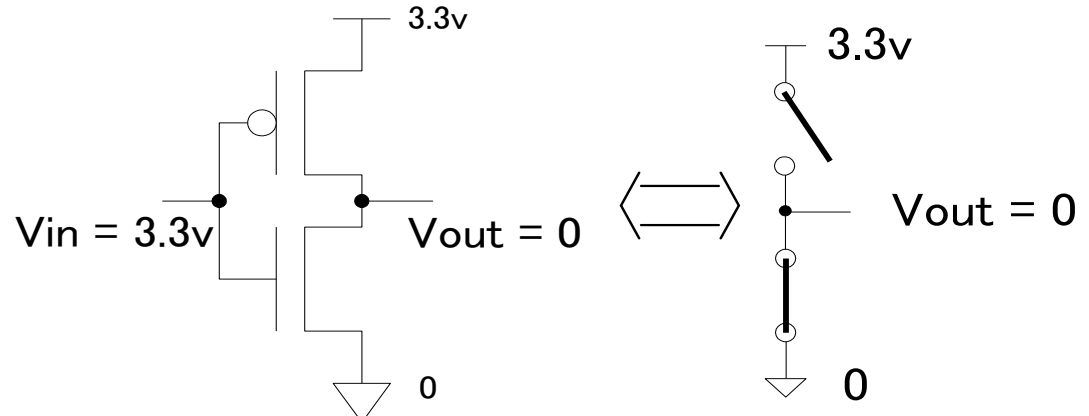
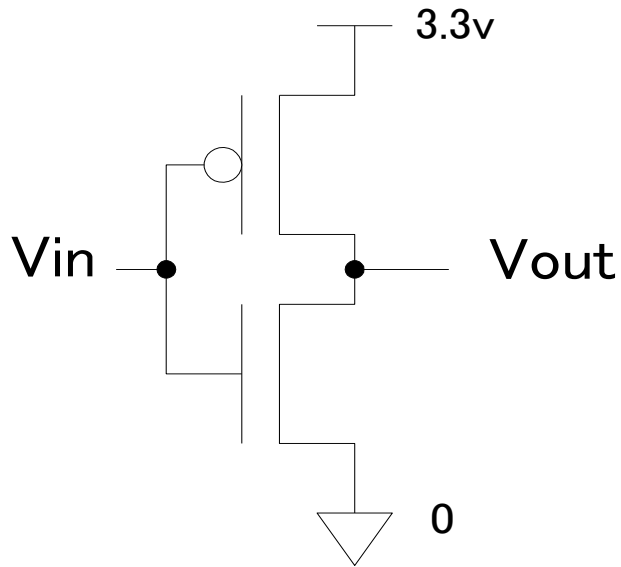
NOT を実現する回路  インバータ回路



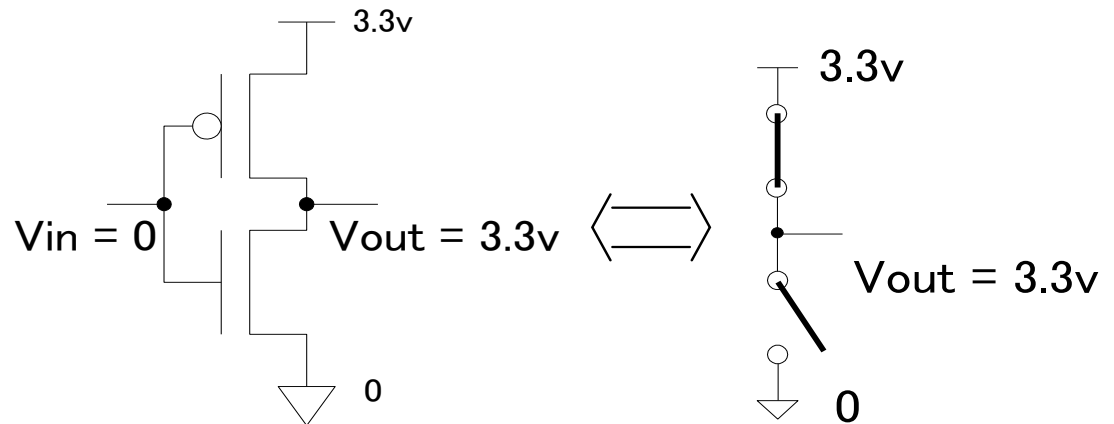
CMOSインバータ回路

a) when $V_{in} = 1$ (3.3v)

Inverter



b) when $V_{in} = 0$



NAND (NAND = AND + NOT)

論理変数 A, B, Z

A, B: 入力, Z: 出力

$$Z = \overline{A \cdot B}$$

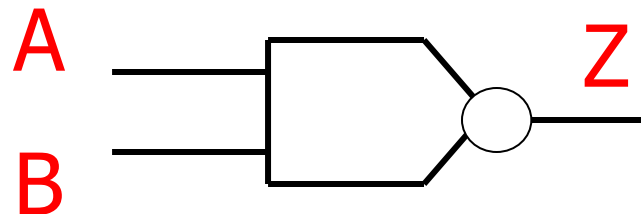
A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

真理値表

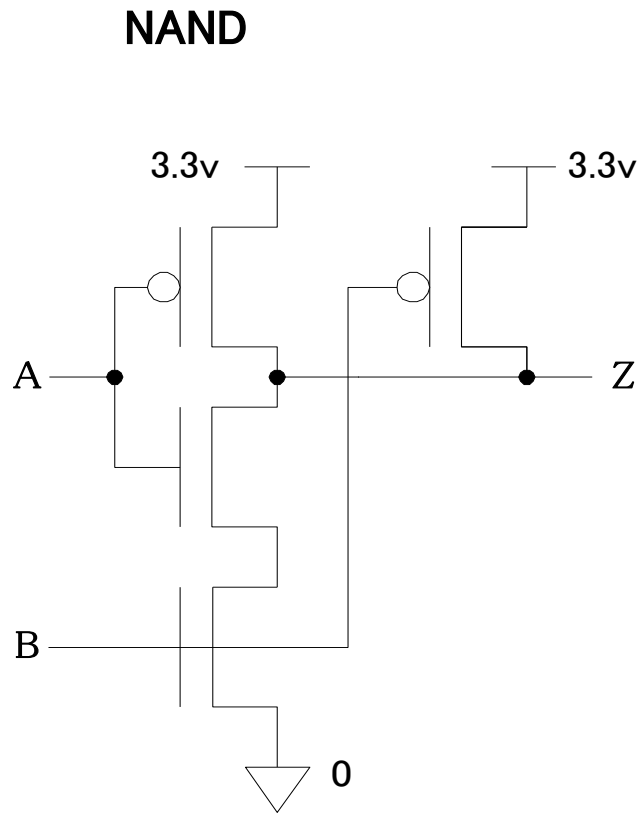
NANDを実現する回路



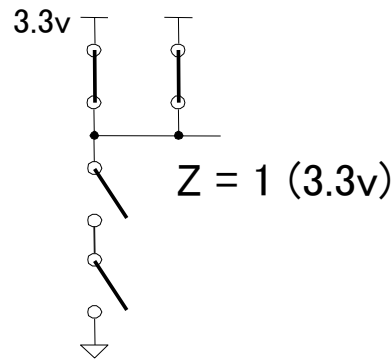
NAND回路



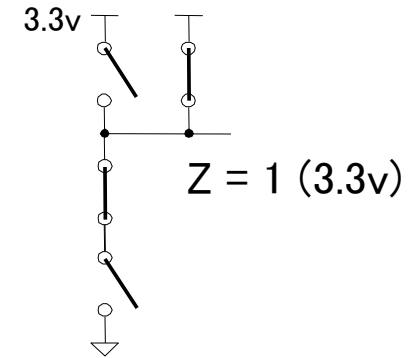
CMOS NAND回路



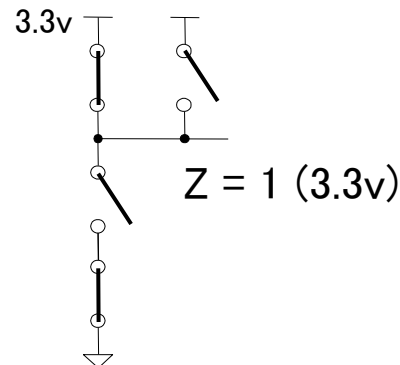
a) when A=0, B=0



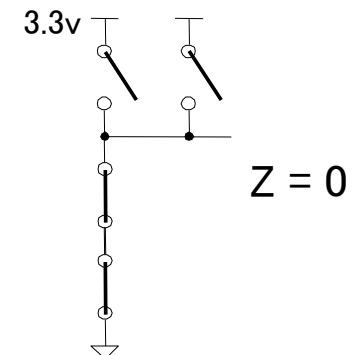
b) when A=1, B=0



c) when A=0, B=1



d) when A=1, B=1



NOR (NOR = OR + NOT)

論理変数 A, B, Z

A, B : 入力, Z : 出力

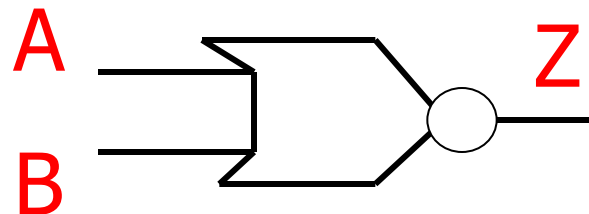
$$Z = \overline{A+B}$$

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

真理値表

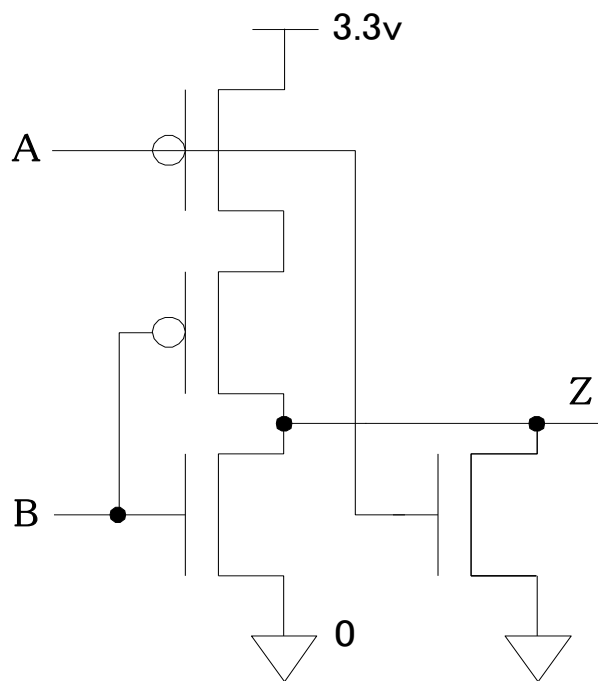
NORを実現する回路

➡ NOR回路

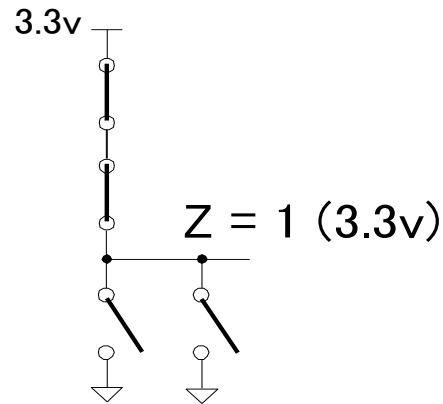


CMOS NOR回路

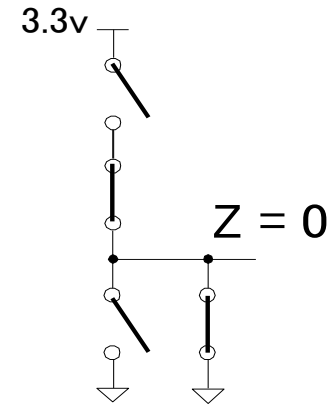
NOR回路



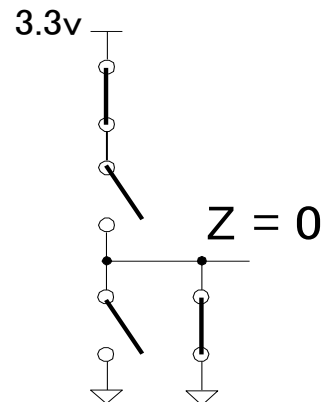
a) when $A=0, B=0$



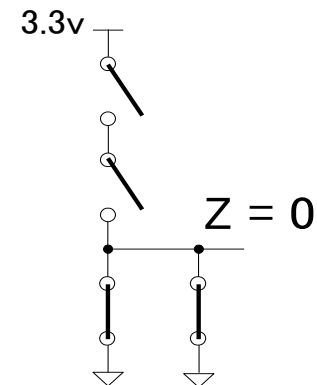
b) when $A=1, B=0$



c) when $A=0, B=1$



d) when $A=1, B=1$



マルチプレクサ

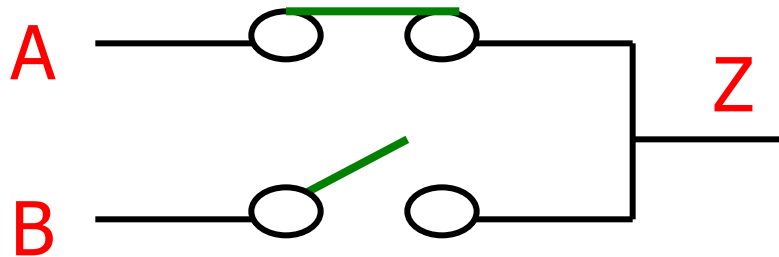
論理変数 A, B, S, Z

A, B, S : 入力, Z : 出力

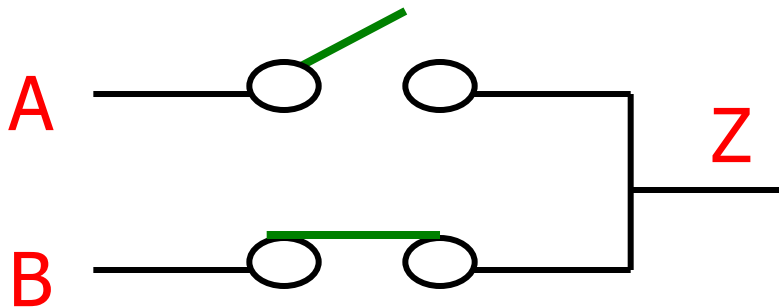
S	Z
0	A
1	B

真理値表

$S=0$ のとき

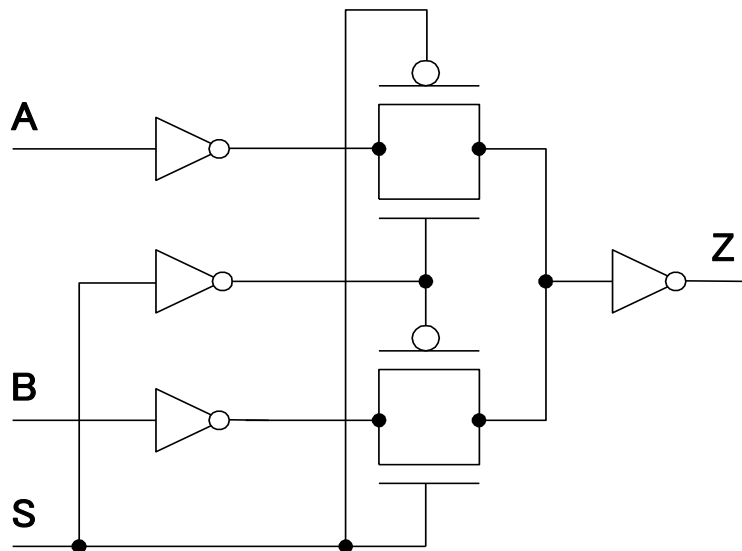


$S=1$ のとき

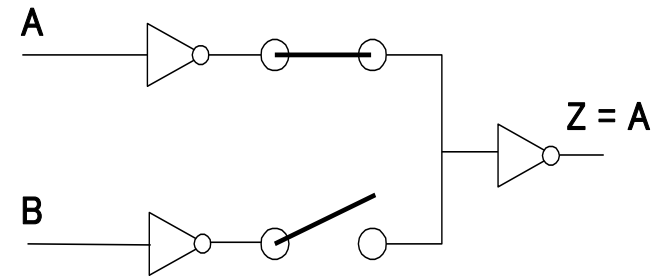


CMOS マルチプレクサ回路

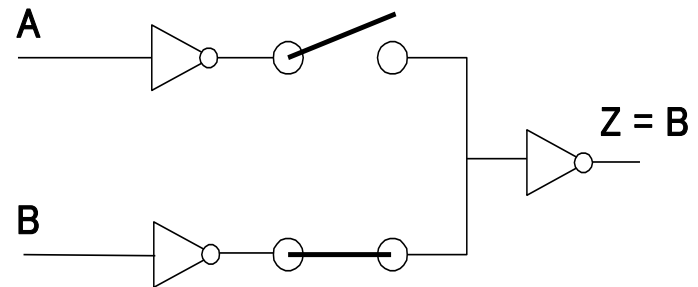
Multiplexer



a) when $S=0$



b) when $S=1$



排他的論理和 (EXOR)

論理変数 A, B, Z

A, B : 入力, Z : 出力

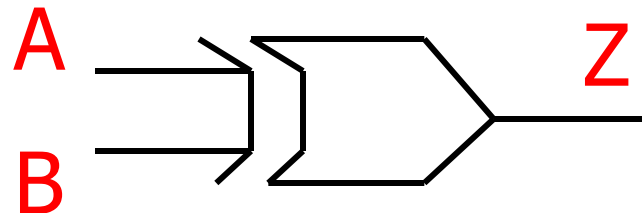
$$Z = A \oplus B$$

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	0

真理値表

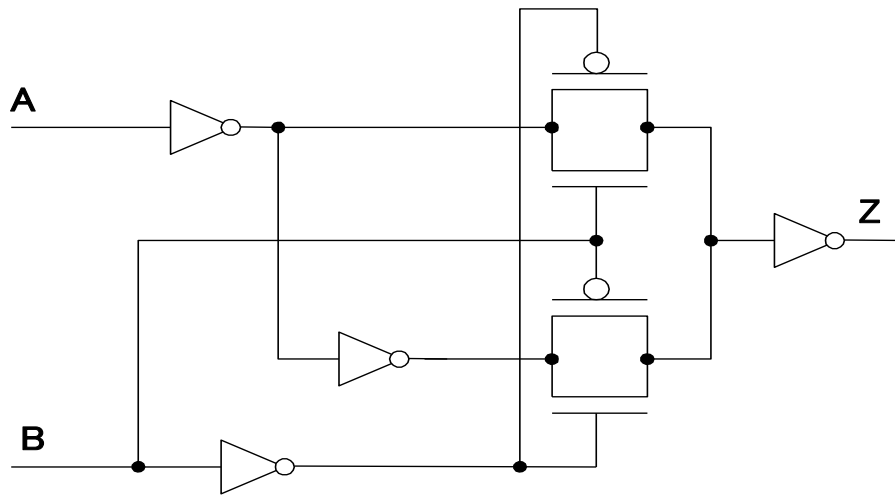
EXORを実現する回路

➡ EXOR回路

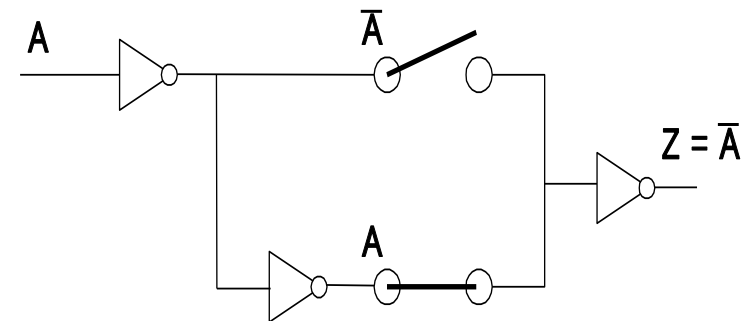


CMOS EXNOR回路

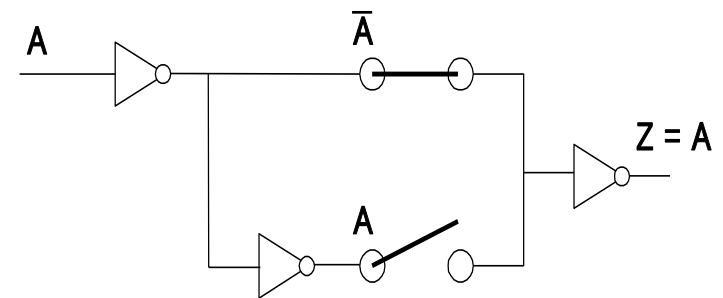
$$Z = AB + \bar{A}\bar{B}$$



a) when $B = 0$



b) when $B = 1$



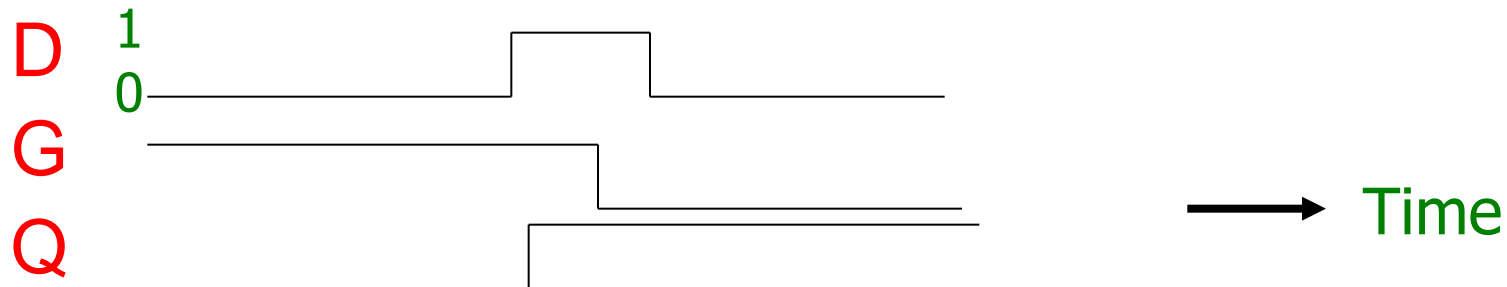
情報記憶素子(ラッチ)

論理変数 D, G, Q

D, G : 入力, Q : 出力

$G=1$ のとき $Q=D$

$G=0$ のとき Q は G が1から0になる瞬間の
 D の値(1 or 0)を保持(記憶)している。

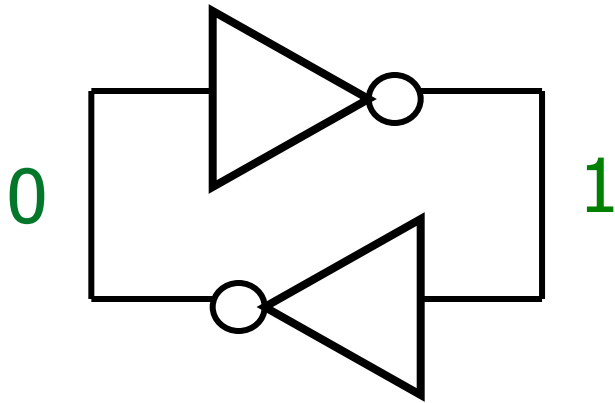


2つのインバータのリング接続 メモリ回路

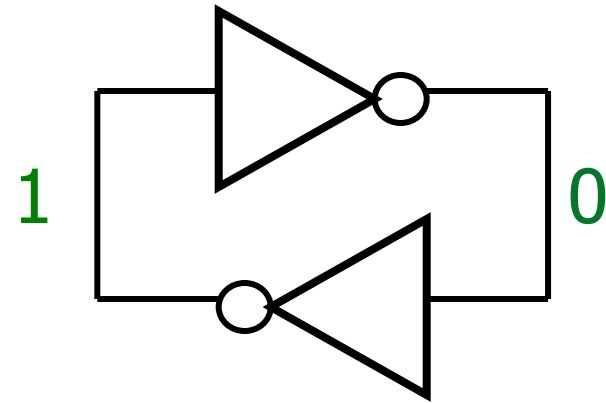


2つの安定状態

データ“1”を記憶



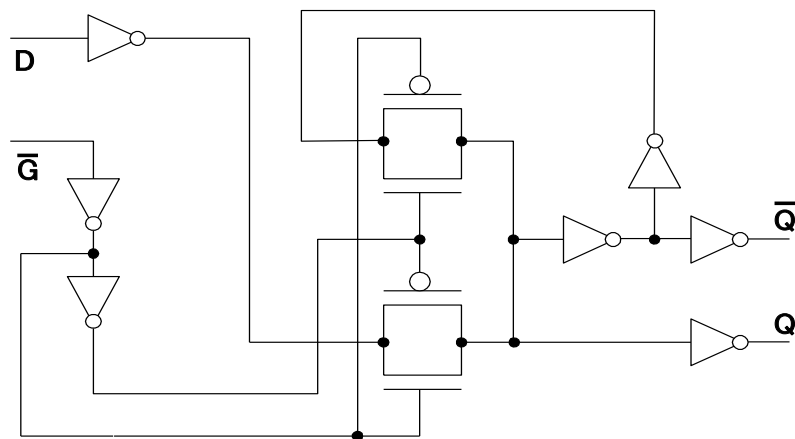
データ“0”を記憶



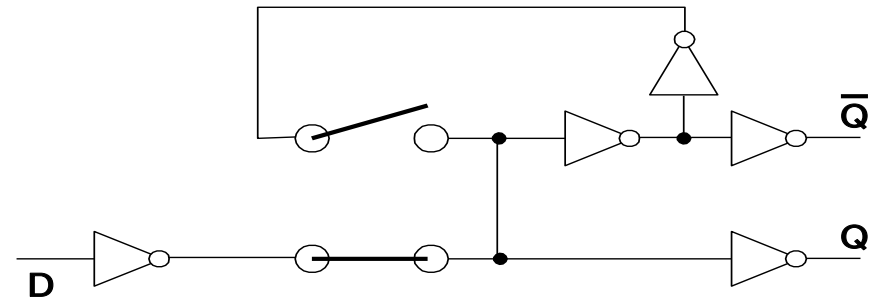
- SRAM (Static ランダム・アクセス・メモリ) Latch, Flip-Flop 等のメモリ素子はこれを利用している。

CMOS ラッチ回路

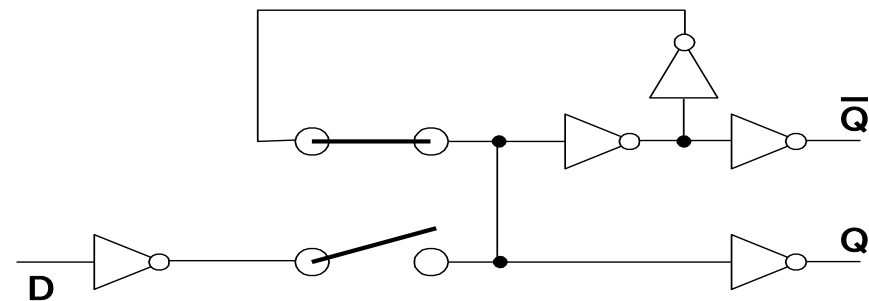
Latch回路
(メモリ素子)



a) when $\bar{G} = 0$



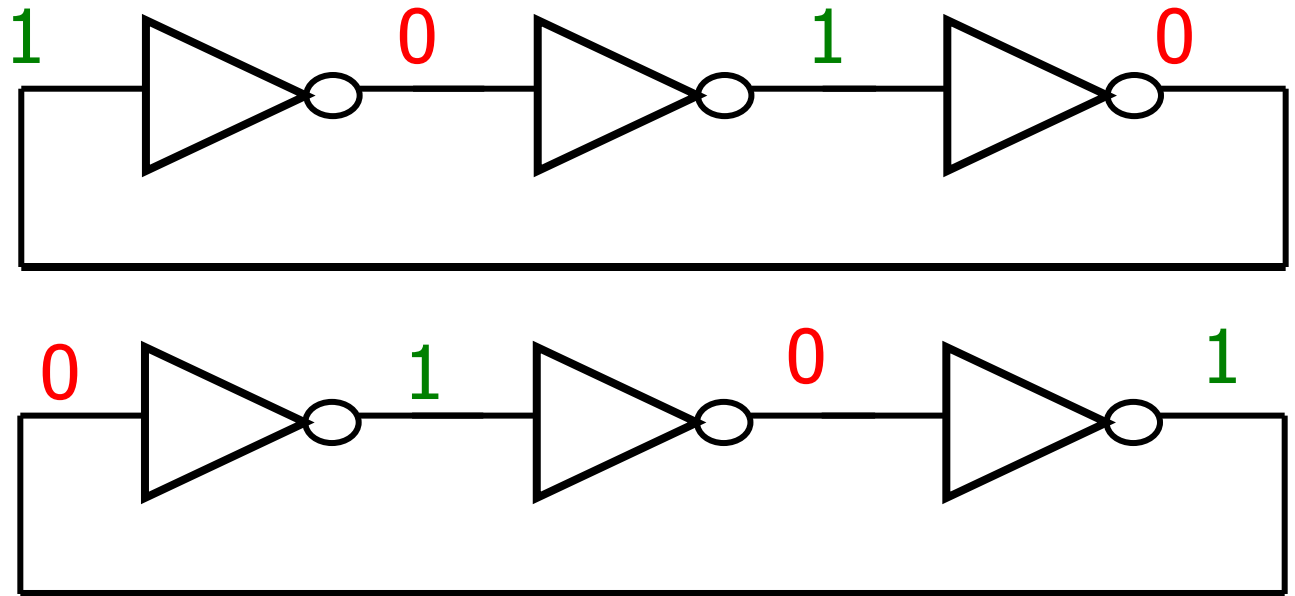
b) when $\bar{G} = 1$



奇数個インバータのリング接続 リング発振器



安定状態
なし

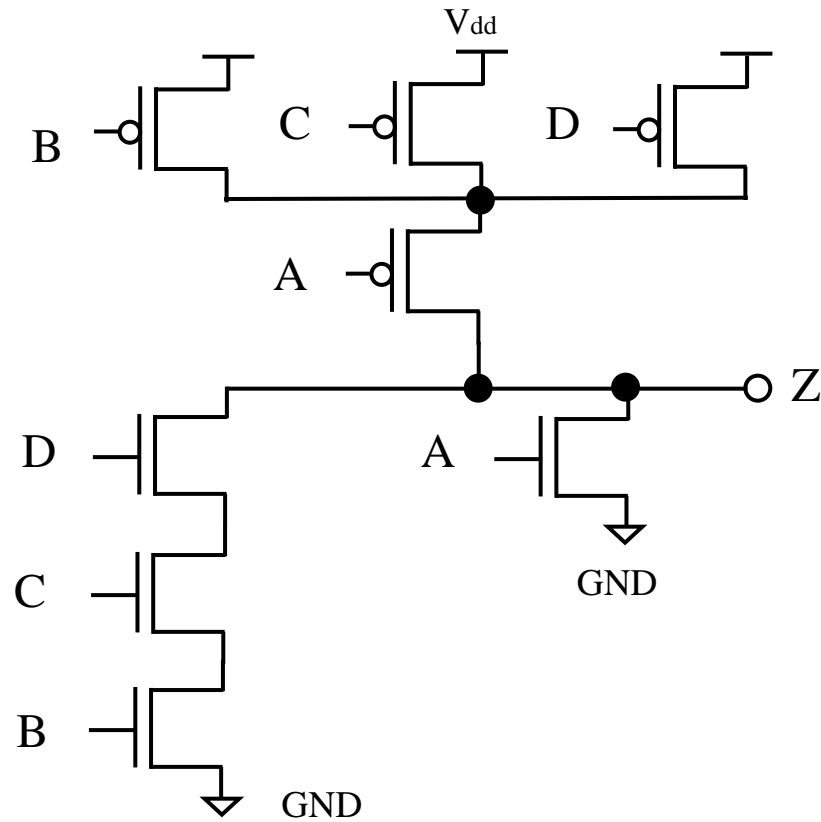


T: インバータ遅延、 $2N+1$ 個のインバータリング接続

$$\text{周波数 } f = \frac{1}{2(2N+1)T} \quad \text{で発振する。}$$

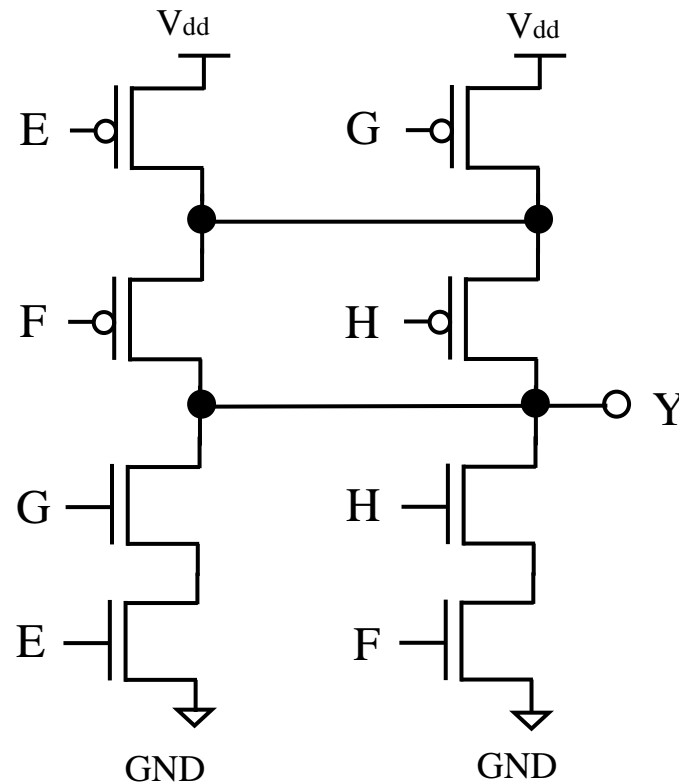
複合論理素子 例1

Z を A, B, C, D の論理式で表せ。



複合論理素子 例2

Y を E, F, G, H の論理式で表せ。



複合論理CMOS回路

	論理積	論理和
PMOS	並列	直列
NMOS	直列	並列

例: $Z = \overline{A \cdot B + C \cdot D \cdot E}$

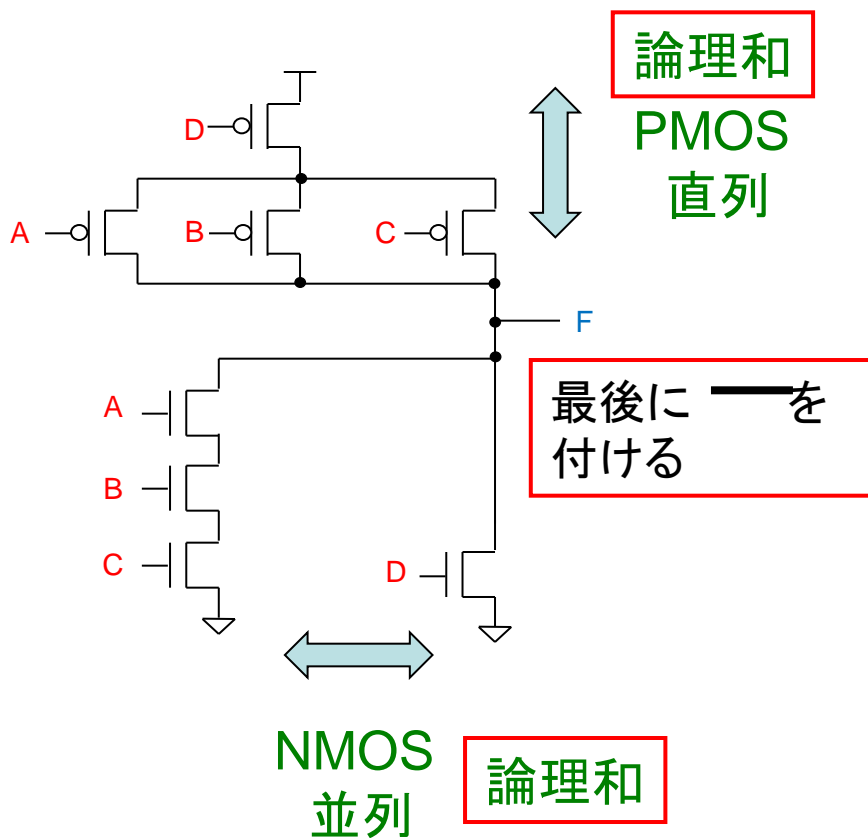
複合論理CMOS回路 例

$$F = \overline{A \cdot B \cdot C} + D$$

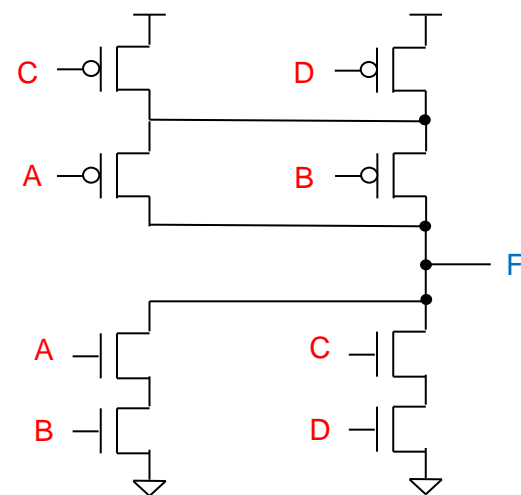
PMOS
並列

論理積

NMOS
直列



$$F = \overline{AB + CD}$$



内 容

- トランジスタレベル デジタルCMOS回路
- デジタルCMOS回路の性能
 - 消費電力
 - スピード
- スイッチド・キャパシタ回路

エネルギーとパワー

- エネルギー [Joule]

- 電力(パワー) [Watt]

$$\text{Joule} = \text{Watt} \cdot \text{s}$$

電力は単位時間当たりに消費されるエネルギー

$$\text{電力} = \text{電圧} \cdot \text{電流} \quad P = V \cdot I$$

- 電流： 単位時間当たりに流れる電荷量

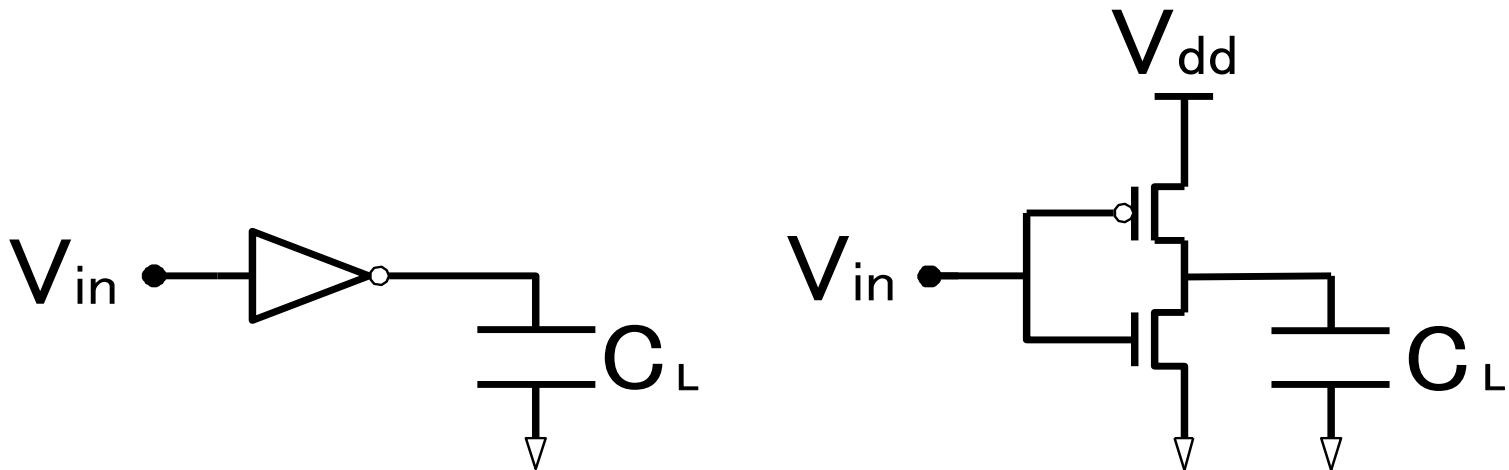
デジタルCMOS回路の電力消費

デジタルCMOS回路(インバータ)

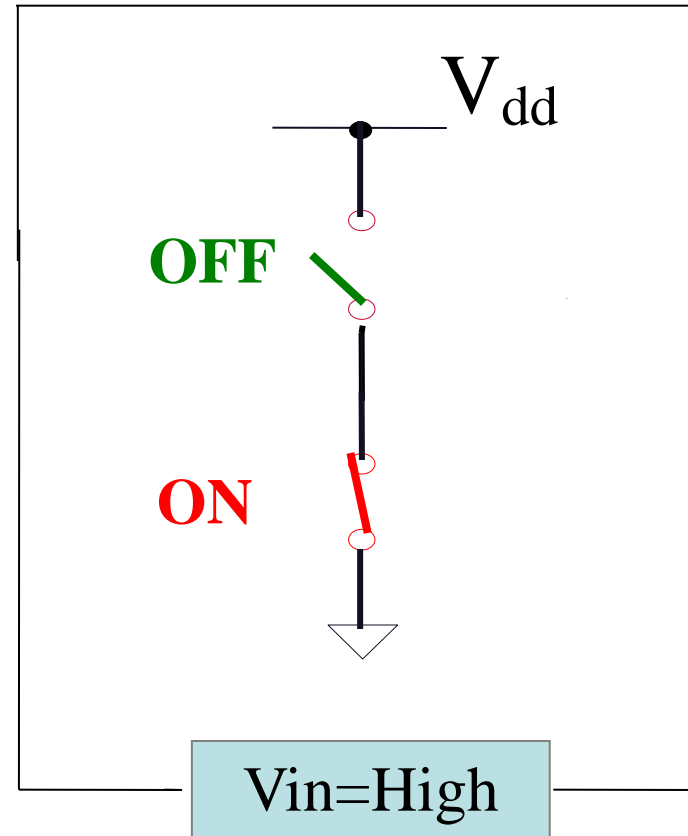
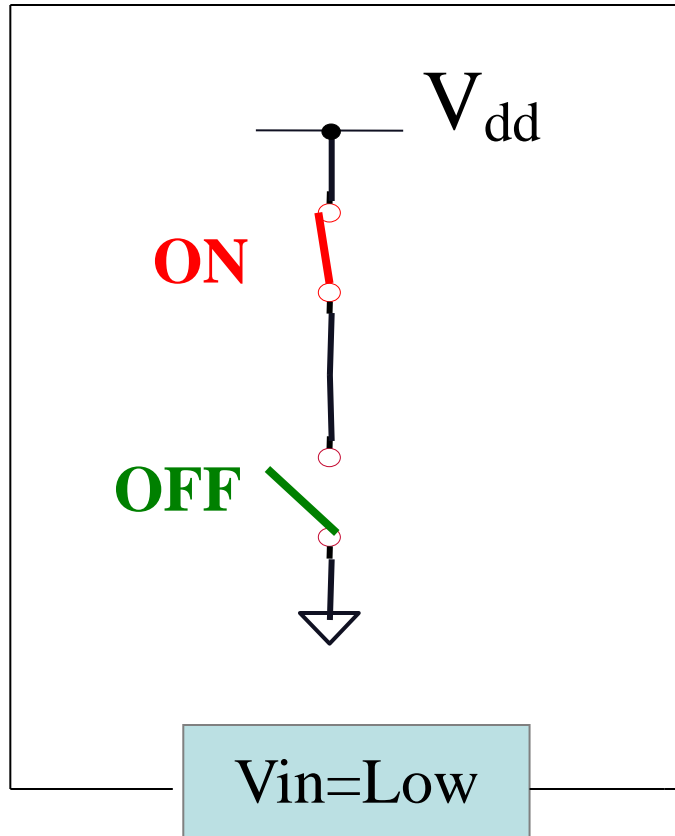
V_{dd} : 電源電圧

V_{in} : 入力、 V_{out} : 出力

C_L : 負荷容量

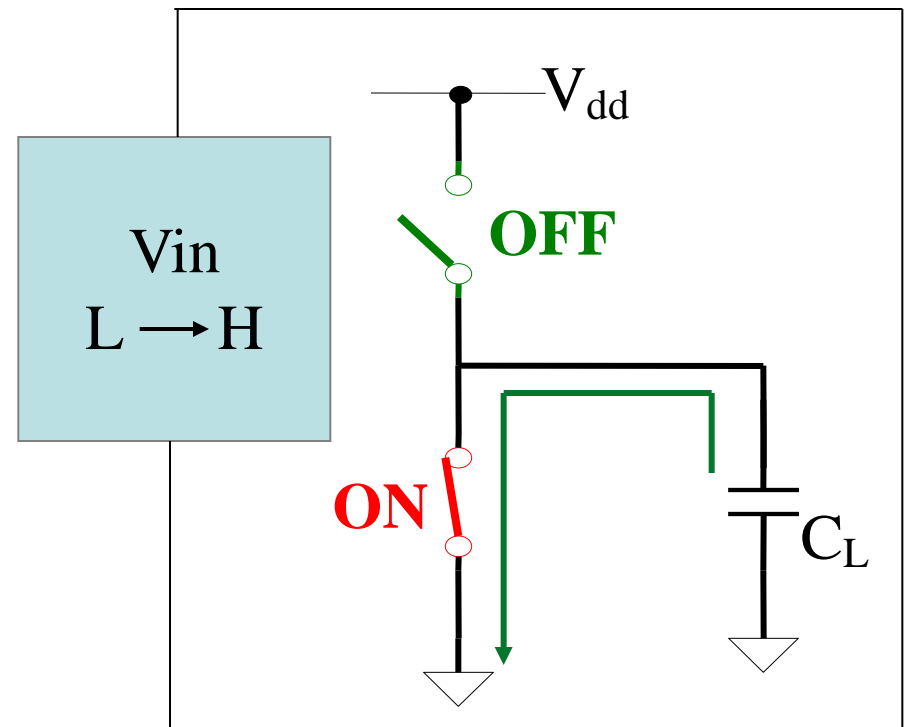
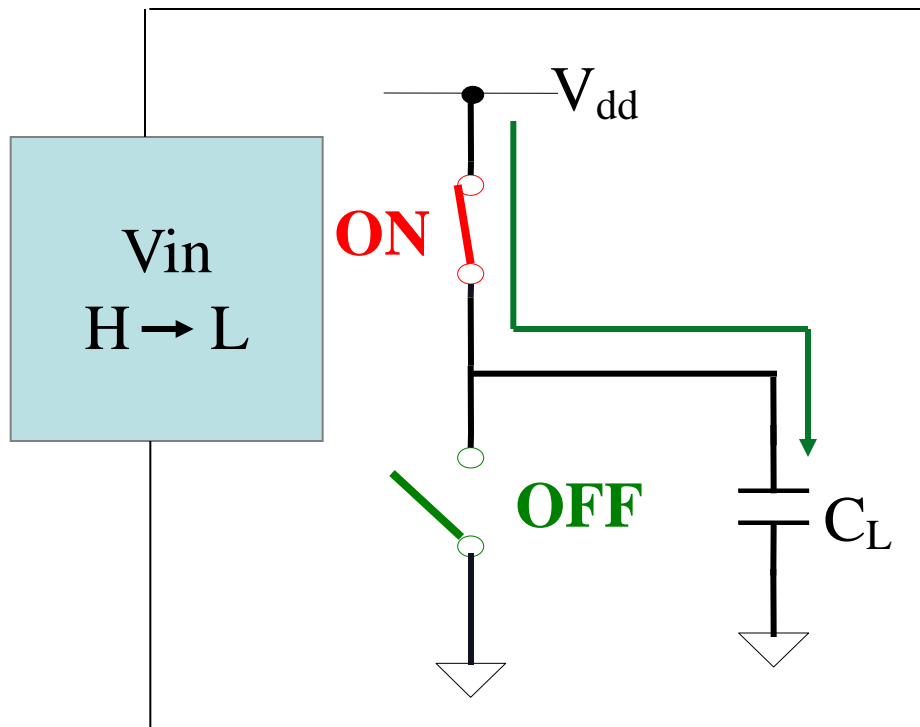


静的電力消費はゼロ

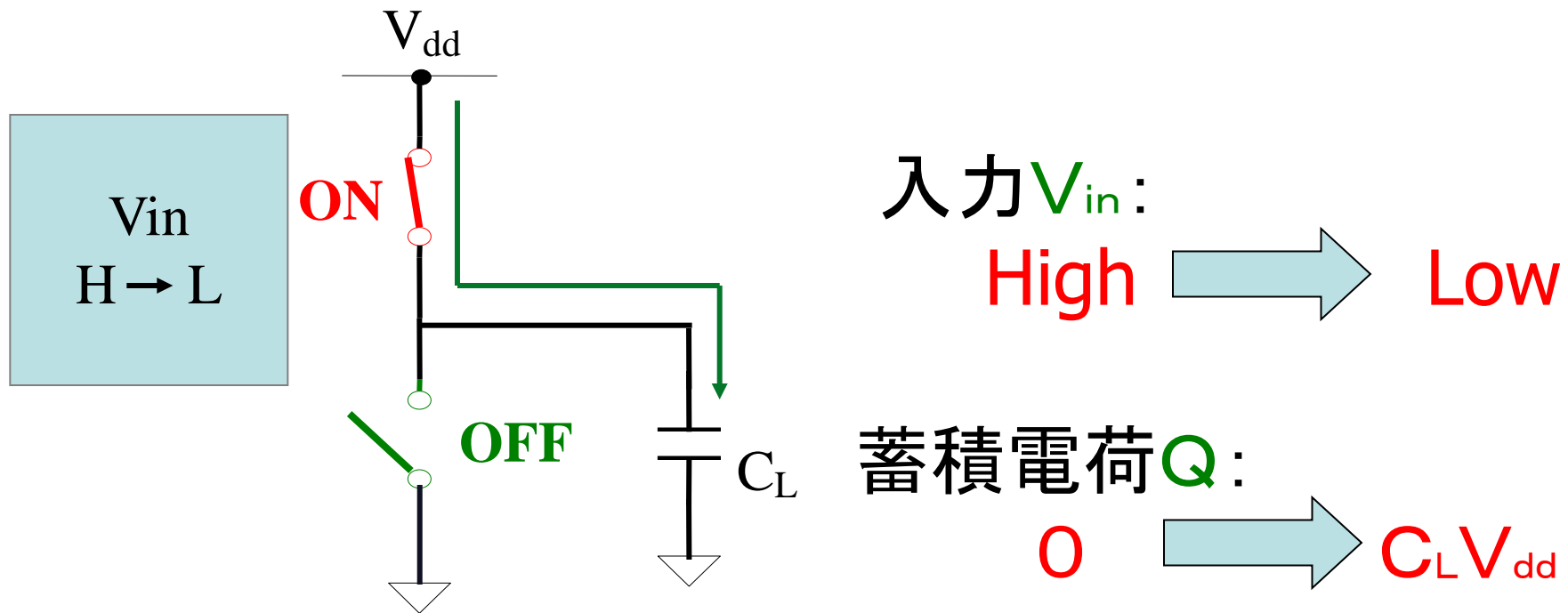


(注) 最近の微細CMOSデジタル回路では リーク電流が大きくなり、静的電力消費の占める割合が増えてきている。

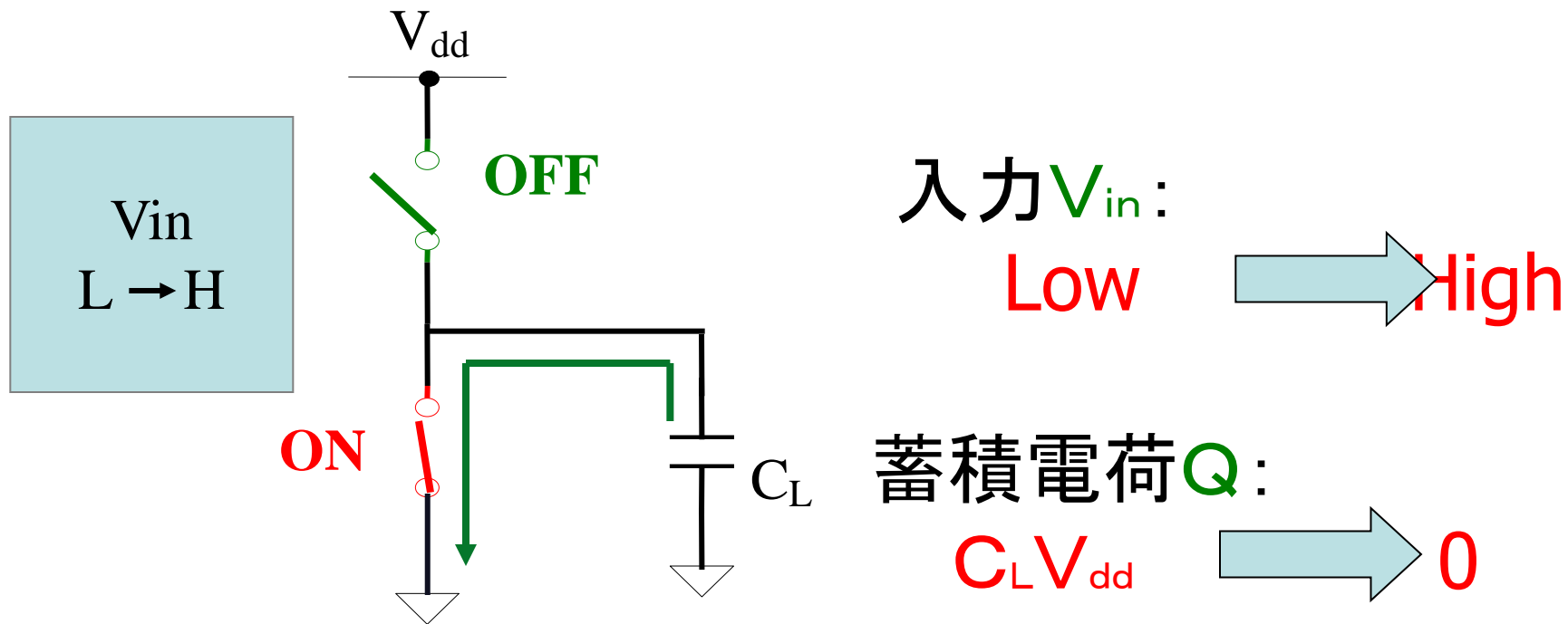
動的消費電力 (1)



動的消費電力 (2)



動的消費電力 (3)



動的消費電力 (4)

$V_{in} : H \longrightarrow L \longrightarrow H$ のとき

電荷 $Q = C_L V_{dd}$ が電源 V_{dd} から GND へ流れる。

一秒間に出力が f 回のトグルするとき

V_{dd} から GND へ流れるトータルの電荷 $Q_{total} = f C_L V_{dd}$

$$\begin{aligned} \therefore \text{消費電力} \quad P &= V_{dd} \cdot I \\ &= V_{dd} (f \cdot C_L \cdot V_{dd}) \\ &= f \cdot C_L \cdot V_{dd}^2 \end{aligned}$$

f : 出力トグル周波数 C_L : 負荷容量

V_{dd} : 電源電圧

デジタルCMOS VLSIの低消費電力化

低消費電力化は大きな技術的課題

例：携帯電話 \Rightarrow バッテリーが長持ちさせる

低消費電力化技術 \Rightarrow f , CL , V_{dd} を小さくする。

技術のトレンド:

周波数 f : マイクロプロセッサのクロック周波数はより高くなる。

X

寄生容量 CL : 半導体の微細化により寄生容量は小さくなりつつある。

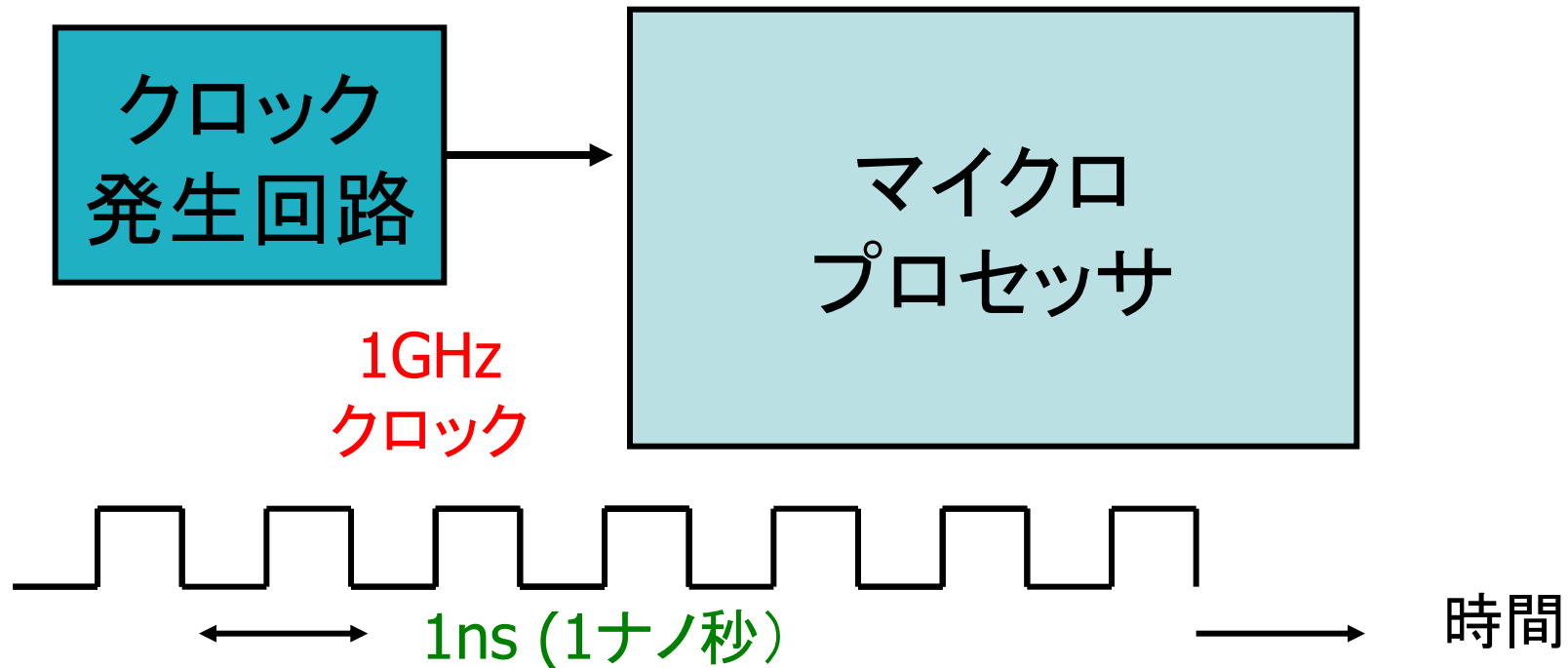
O

電源電圧 V_{dd} : より低くして用いる。

5V \Rightarrow 3.3V \Rightarrow 1.8V \Rightarrow 1V O

マイクロプロセッサのクロック

- クロックに同期して動作 (**同期回路**)
クロックの立ち上がりで論理回路はトグル。
- より**高い周波数**になってきている。

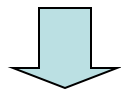


デジタルCMOS 回路のスピード

電源電圧 V_{dd} :

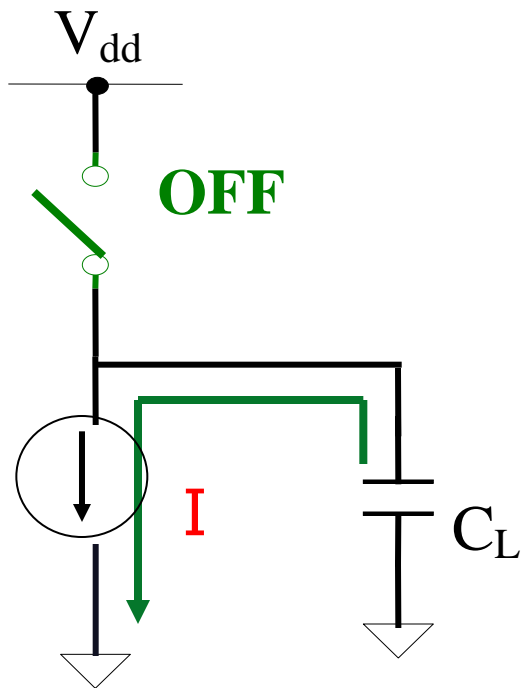
- 低消費電力化のため電源電圧を下げるとスピードは遅くなる。
- スピードは電源電圧に比例
- 消費電力は電源電圧の2乗に比例

温度: スピードは温度にほぼ反比例。



低温環境化でコンピュータを高速化する試みあり。

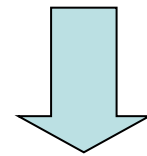
なぜ電源電圧を上げると デジタルCMOS回路は高速化するのか？



引き抜く電荷
 $Q = C V_{dd}$

MOSの2乗則

$$I = K (V_{dd} - V_{th})^2$$
$$\approx K V_{dd}^2$$



ゲート遅延

$$T = Q / I$$
$$= C / (K V_{dd})$$

デジタル回路の Figure of Merit (FOM)

FOM = スピード/消費エネルギー

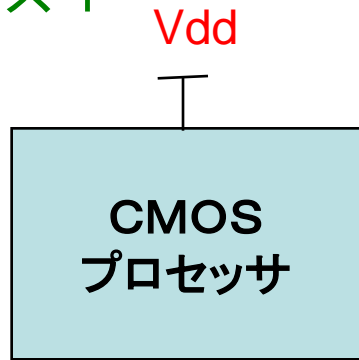
「A」のエネルギーを消費し「B」のスピードの回路と、
「2A」のエネルギーを消費し「2B」のスピードの回路の
FOM は同じ。

工学設計: **トレードオフ** (Trade-off, 妥協)
の考え方が重要

デジタルCMOS回路:
電源電圧を小さくして使用するとFOMが良。

マルチプロセッサ構成による 低消費電力化

ケース 1

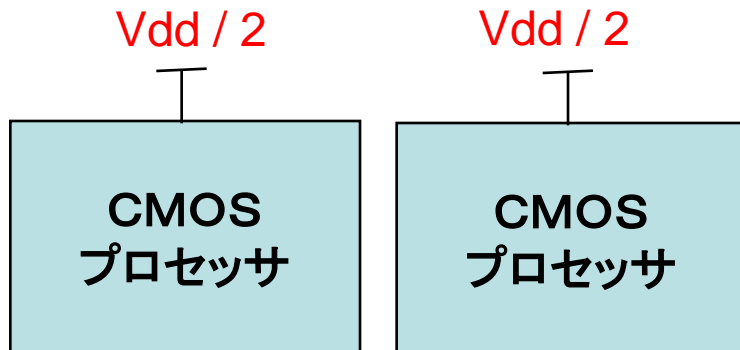


$$\text{消費電力 } P1 = A (Vdd)^2$$

$$\text{スピード } S1 = B Vdd$$

ケース2 は ケース 1 と
スピード同等で
消費電力が2分の1

ケース 2

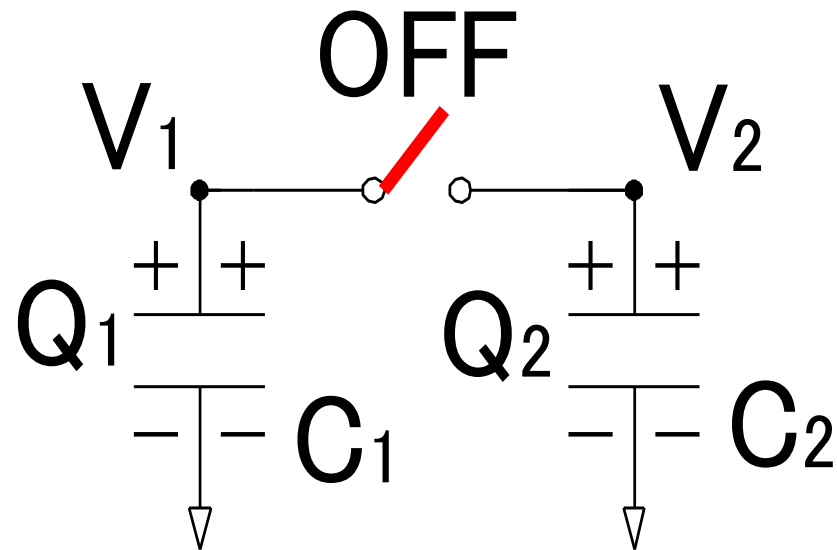


$$\begin{aligned} P2 &= A (Vdd / 2)^2 + A (Vdd / 2)^2 \\ &= (1 / 2) A Vdd^2 \end{aligned}$$

$$\begin{aligned} S2 &= B (Vdd / 2) + B (Vdd / 2) \\ &= B Vdd \end{aligned}$$

スイッチと容量のエネルギー問題(1)

● スイッチ OFF 時



電荷：

$$Q_1 = C_1 \cdot V_1$$

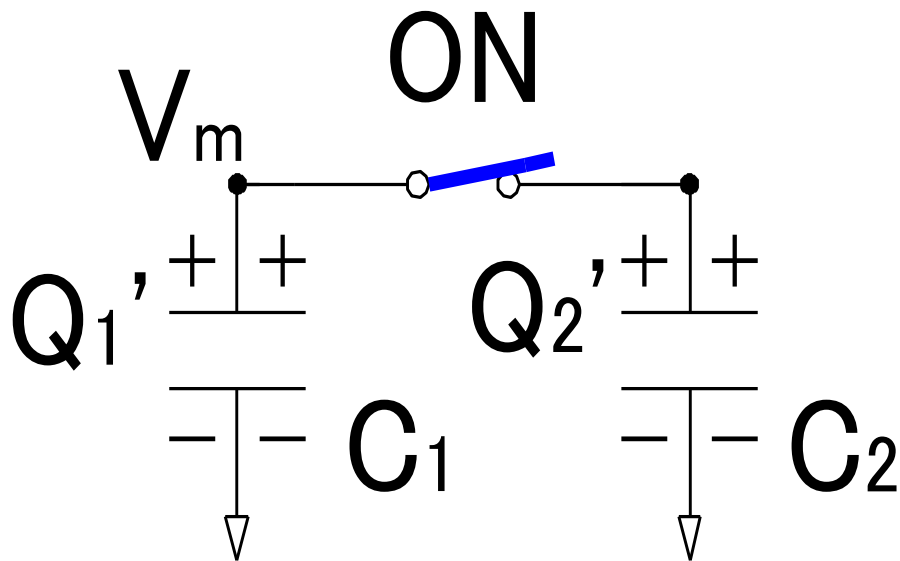
$$Q_2 = C_2 \cdot V_2$$

エネルギー：

$$E = \frac{1}{2} C_1 \cdot V_1^2 + \frac{1}{2} C_2 \cdot V_2^2$$

スイッチと容量のエネルギー問題(2)

● スイッチ ON 時



電荷：

$$Q_1' = C_1 \cdot V_m$$

$$Q_2' = C_2 \cdot V_m$$

エネルギー：

$$E' = \frac{1}{2} (C_1 + C_2) V_m^2$$

エネルギーロスの計算

- 電荷保存則

SW OFF 時の電荷 $Q_1 + Q_2$

ON 時の電荷 $Q_1' + Q_2'$

$$\therefore V_m = \frac{1}{C_1 + C_2} (C_1 \cdot V_1 + C_2 \cdot V_2)$$

- SW OFF 時と ON 時の蓄積エネルギーは異なる。

SW ON時のスイッチでのエネルギー・ロス

$$E_{loss} = E - E' = \frac{1}{2} \frac{C_1 \cdot C_2}{C_1 + C_2} (V_1 - V_2)^2$$

力学問題との相似性

2つの物質の衝突問題

電荷保存則 \longleftrightarrow 運動量保存則

スイッチオフ時: 電荷エネルギー $E1$

スイッチオン時:

電荷エネルギー $E2a$ + 熱エネルギー $E2b$

$$E1 = E2a + E2b$$

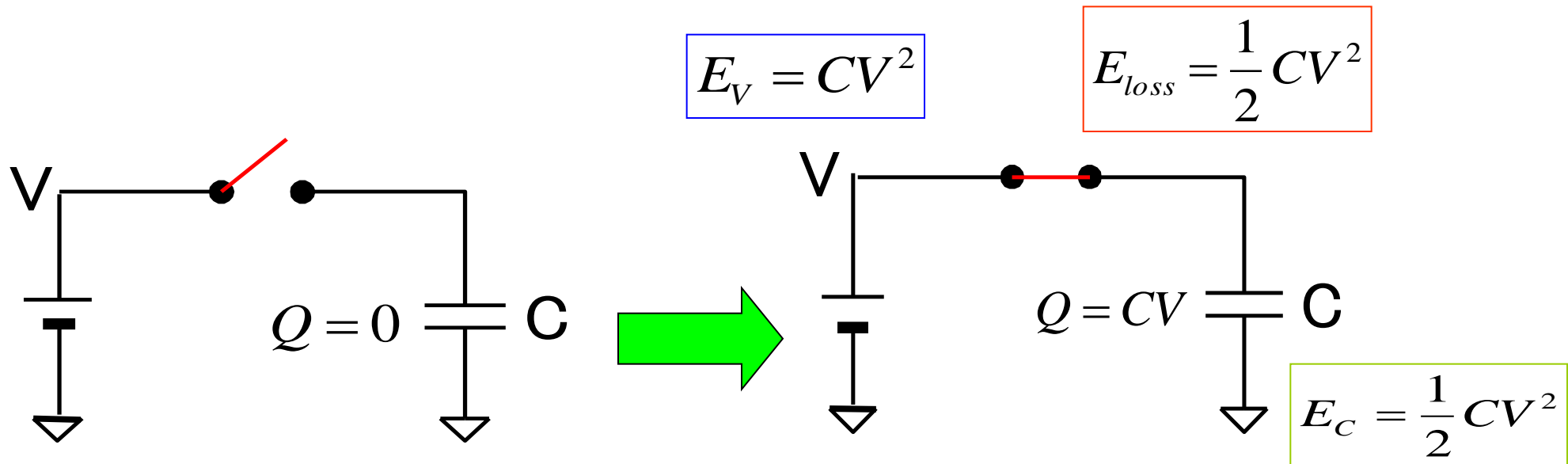
衝突前: 運動エネルギー $E3$

衝突後:

運動エネルギー $E4a$ + 熱エネルギー $E4b$

$$E3 = E4a + E4b$$

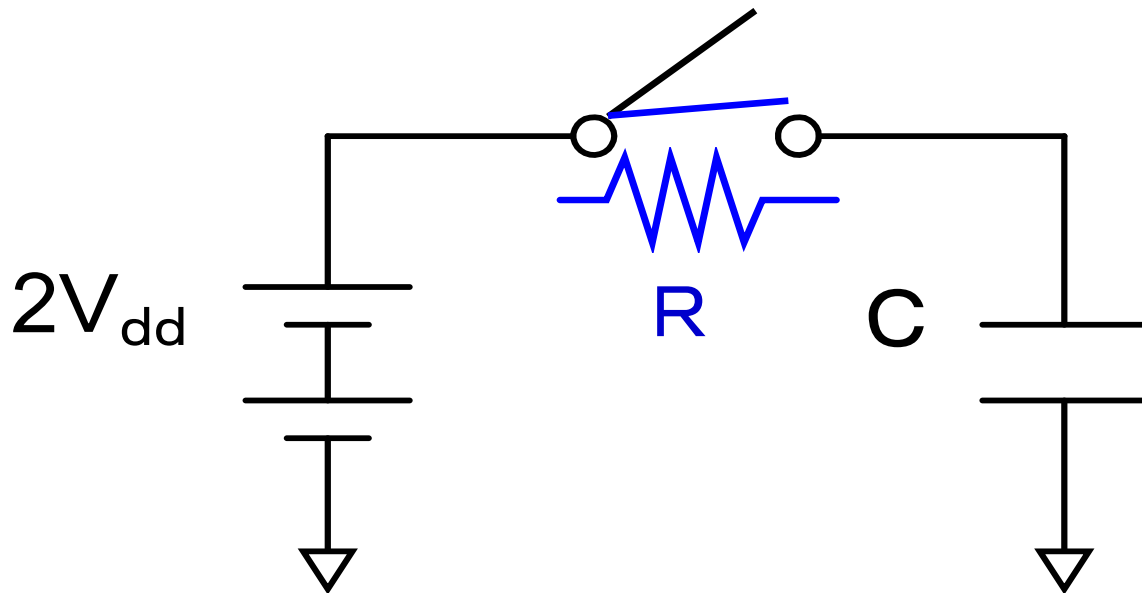
容量Cに充電する場合の エネルギー消費



$$E_V = E_{loss} + E_C$$

$$E_{loss} = E_C$$

容量への単純な充電法



供給するエネルギー

蓄えられるエネルギー

$$E_{total} = 2V_{dd} \int_0^{\infty} i(t) dt = V_{dd} Q = 4CV_{dd}^2$$

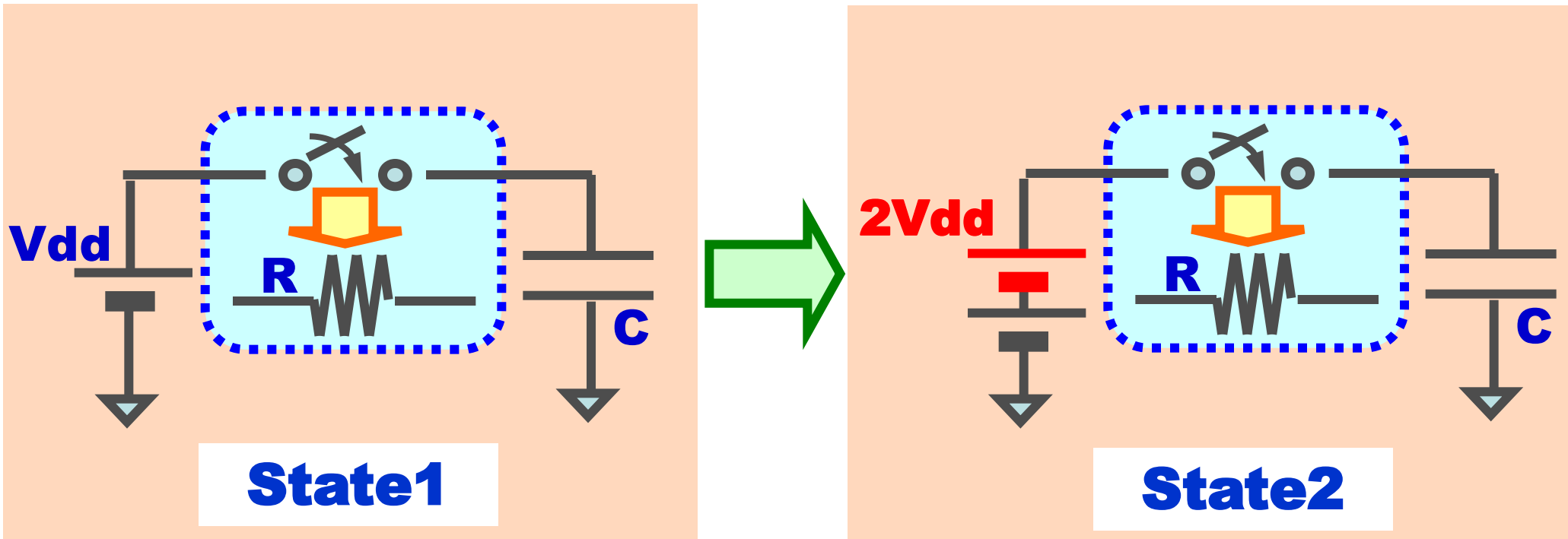
$$E_c = \frac{1}{2} C (2V_{dd})^2 = 2CV_{dd}^2$$

損失するエネルギー = 蓄えられるエネルギー

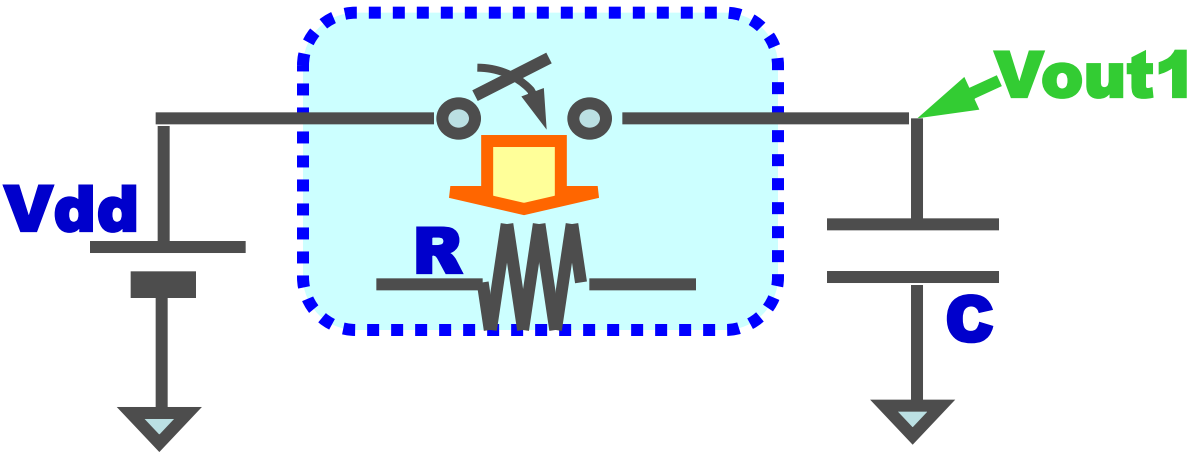
$$E_R = 2CV_{dd}^2$$

容量への高効率 充電法

- 徐々に電圧を上げる→スイッチング損失が抑えられる



ステップ1



$$V_{out1}(t) = V_{dd} \left(1 - \exp\left(-\frac{t}{\tau}\right) \right)$$

$$i(t) = \frac{V_{dd}}{R} \exp\left(-\frac{t}{\tau}\right)$$

$$(\tau = RC)$$

$$\begin{aligned} E_{R1} &= \int_0^{\infty} i(t)(V_{dd} - V_{out1}(t))dt \\ &= \frac{1}{R} \int_0^{\infty} (V_{dd} - V_{out1}(t))^2 dt \\ &= \frac{1}{2} CV_{dd}^2 \end{aligned}$$

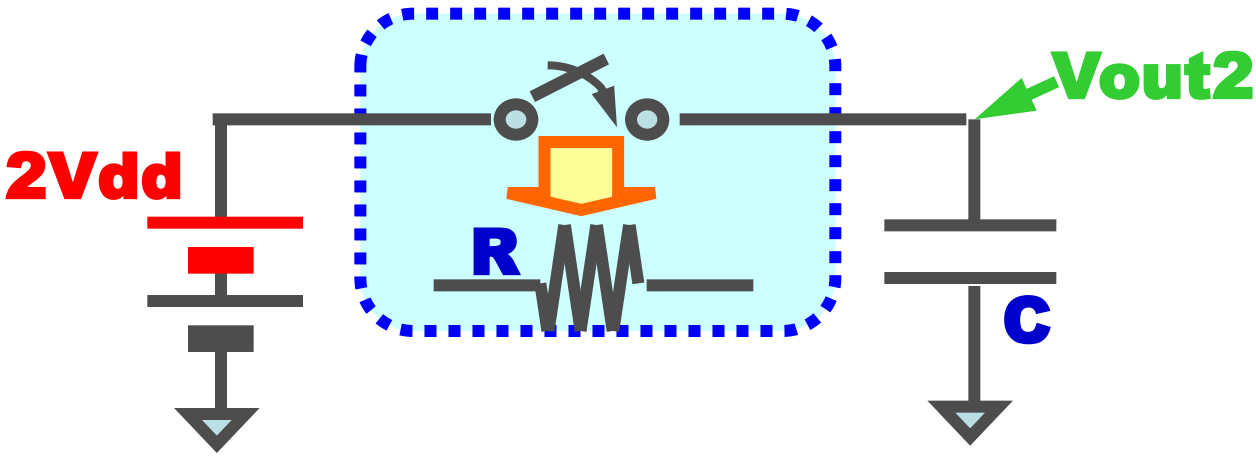
$$\begin{aligned} E_{C1} &= \int_0^{\infty} i(t)V_{out1}(t)dt \\ &= \frac{1}{2} CV_{dd}^2 \end{aligned}$$

ステップ1

Sw損失: $E_{R1} = \frac{1}{2} CV_{dd}^2$

蓄積エネルギー: $E_{C1} = \frac{1}{2} CV_{dd}^2$

ステップ2



$$V_{out2}(t) = V_{dd} \left(1 - \exp\left(-\frac{t}{\tau}\right) \right) + V_{dd}$$

$$= V_{dd} \left(2 - \exp\left(-\frac{t}{\tau}\right) \right)$$

$$i(t) = \frac{2V_{dd} - V_{out2}(t)}{R}$$

$$= \frac{V_{dd}}{R} \exp\left(-\frac{t}{\tau}\right) \quad (\tau = RC)$$

$$E_{R2} = \int_0^{\infty} i(t)(V_{dd} - V_{out2}(t))dt$$

$$= \frac{1}{R} \int_0^{\infty} (V_{dd} - V_{out2}(t))^2 dt$$

$$= \frac{1}{2} CV_{dd}^2$$

$$E_{C2} = \int_0^{\infty} i(t)V_{out2}(t)dt$$

$$= \frac{3}{2} CV_{dd}^2$$

ステップ2

Sw損失: $E_{R2} = \frac{1}{2} CV_{dd}^2$

蓄積エネルギー: $E_{C2} = \frac{3}{2} CV_{dd}^2$

全体のロス & 蓄積エネルギー

スイッチ損失: $E_{Total_R} = E_{R1} + E_{R2}$
 $= CV_{dd}^2$

蓄積
エネルギー : $E_{Total_C} = E_{C1} + E_{C2}$
 $= 2CV_{dd}^2$

2つの充電方法の効率比較

高効率
充電方法

Sw損失: $E_{Total_R} = CV_{dd}^2$

蓄積エネルギー: $E_{Total_C} = 2CV_{dd}^2$

改善

単純な
充電方法

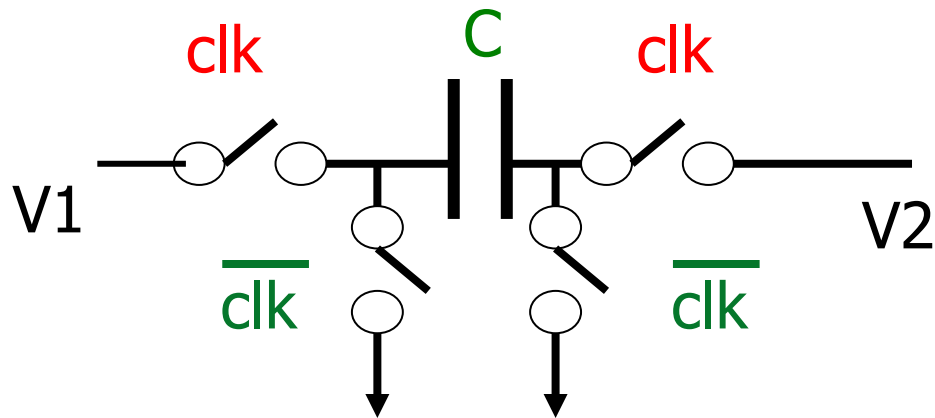
Sw損失: $E_{Total_R} = 2CV_{dd}^2$

蓄積エネルギー: $E_{Total_C} = 2CV_{dd}^2$

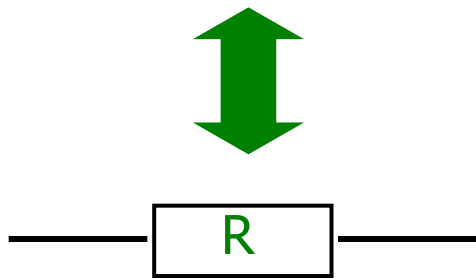
内 容

- トランジスタレベル デジタルCMOS回路
- デジタルCMOS回路の性能
 - 消費電力
 - スピード
- スイッチド・キャパシタ回路

スイッチド・キャパシタ回路

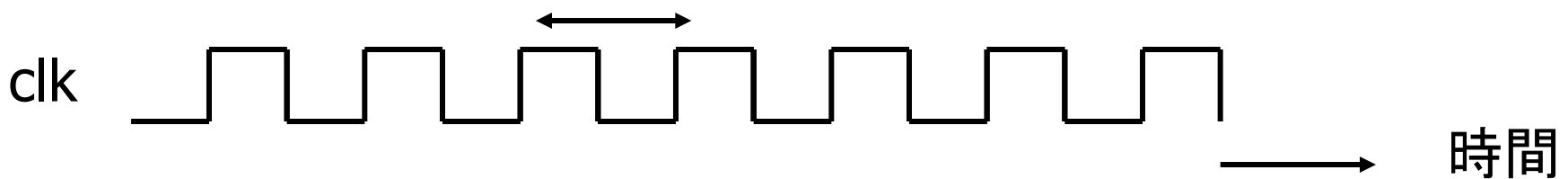


- 容量 C とスイッチで等価的に抵抗 R を実現
- MOSスイッチ使用
- **バイポーラでは実現困難**
- 米国カルフォルニア大学の大学院生が考案
- 多くの製品に使用。



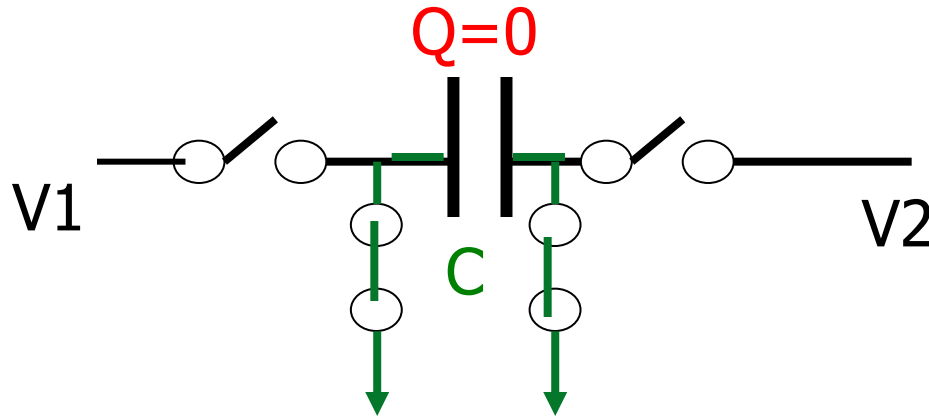
$$R = T / C$$

T : clk 周期

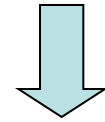


スイッチド・キャパシタ回路 動作原理(バタフライ型)

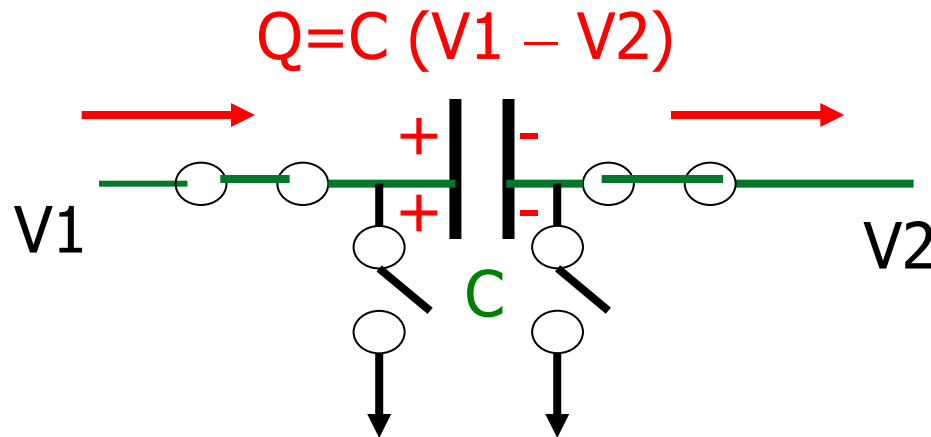
clk=low
のとき



時間Tに電荷
 $Q = C (V1 - V2)$
が流れる。



clk=high
のとき

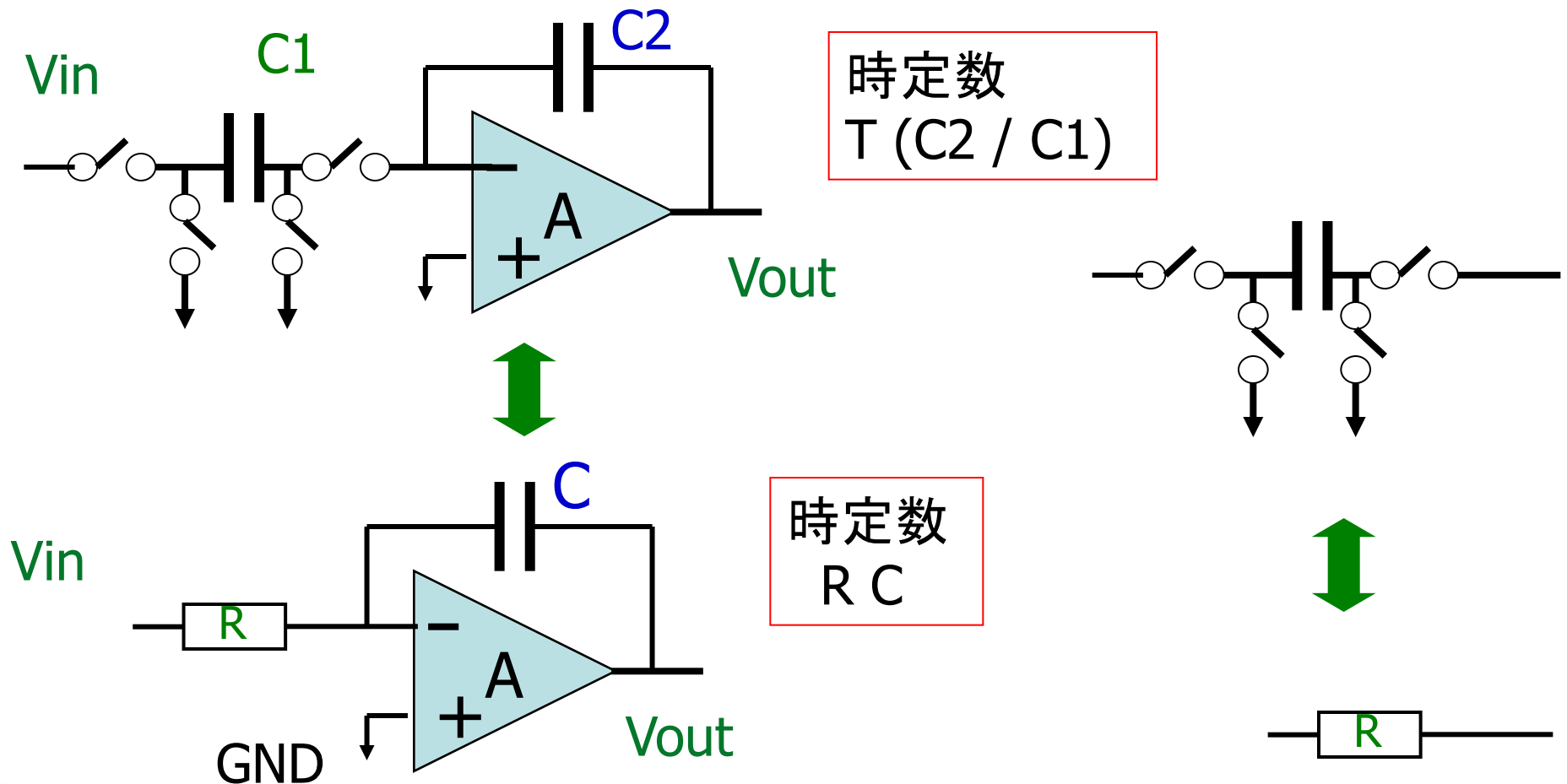


$$I = \frac{C}{T} (V1 - V2)$$

$$= \frac{1}{R} (V1 - V2)$$

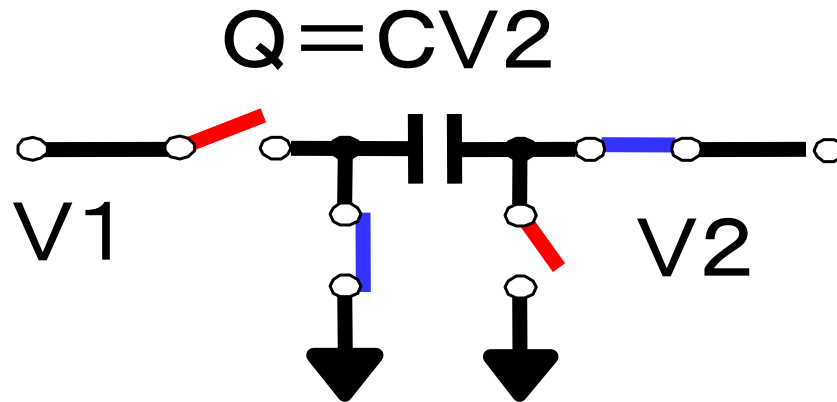
$$\therefore R = \frac{T}{C}$$

スイッチド・キャパシタ回路を用いた積分回路(バタフライ型)

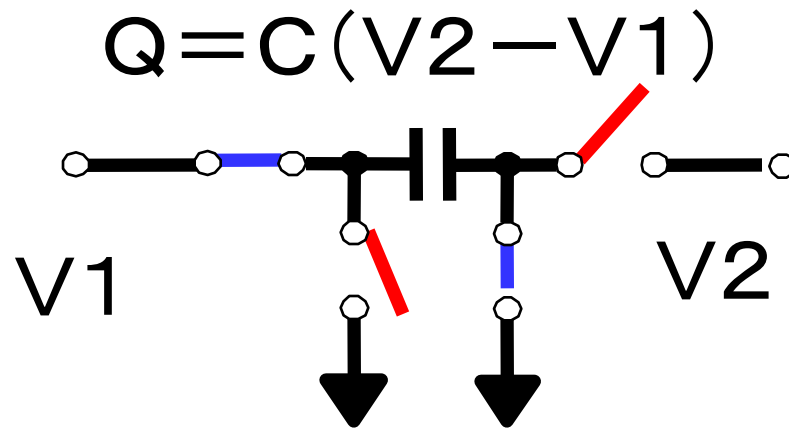


スイッチド・キャパシタ (クローラ型)

CLK=0



CLK=1



時間Tに電荷
 $Q=(V_2 - V_1)$ が
流れる。

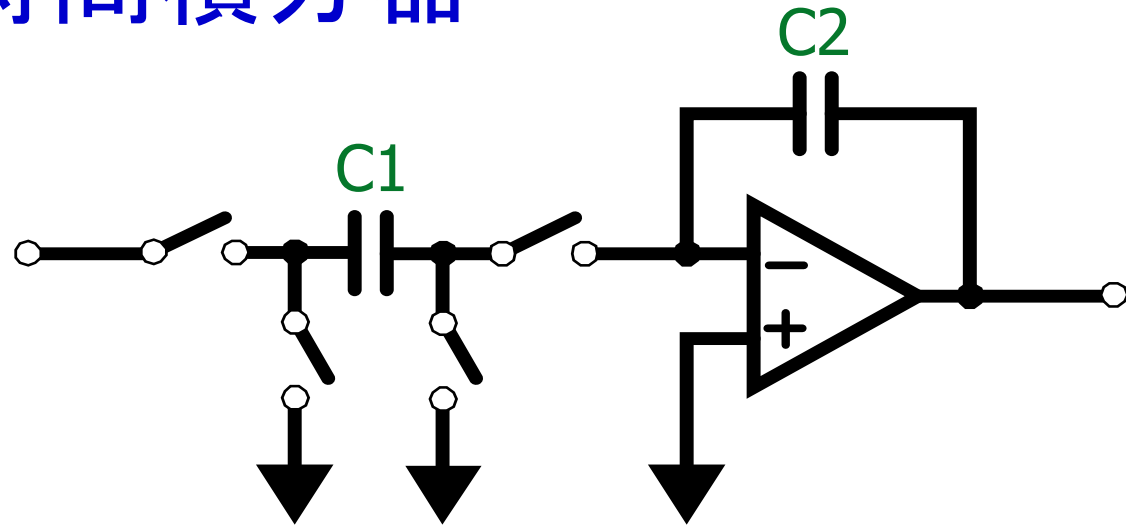
$$I = \frac{C}{T}(V_2 - V_1)$$

$$R = -T/C$$

スイッチドキャパシタ VS. 連続時間積分器

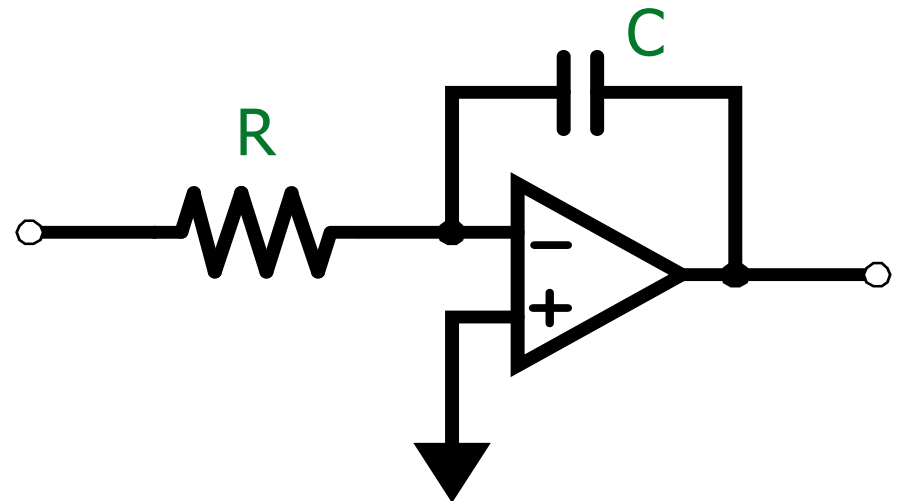
離散時間積分器

- 時定数が安定
- 容量比で決定
- クロック周期 T で制御可
- 消費電力大
- 低速・低周波信号しか扱えない



連続時間積分器

- 時定数がチップ毎にばらつく
- 調整回路が必要
- 低消費電力
- 高速・高周波信号を扱える



なぜスイッチド・キャパシタ回路 を用いるのか？

- スイッチド・キャパシタ積分回路 時定数 T ($C2 / C1$)
 - クロック周期 T で制御可能
 - 集積回路内では $C2 / C1$ は高精度に実現可能
集積回路内では 絶対精度は良くないが
比精度は良い。
 - $C2 / C1$ の値は温度が変化しても一定
- 連続時間積分回路 時定数 RC
 - 集積回路内で RC の値の高精度な実現が困難
 - RC の値は温度が変化すると変わる。

デジタル回路、アナログ回路、 スイッチド・キャパシタ回路

- デジタル信号:
信号レベルの量子化(離散信号レベル)
時間レベルの量子化(離散時間)
- スイッチド・キャパシタ回路
➡ 離散時間アナログ回路

信号レベル \ 時間レベル	連続	離散
連続	アナログ	PWM
離散	スイッチド キャパシタ	デジタル

トランジスタの発明者 ウィリアム・ショックレー

米国の物理学者。

1910年2月13日、

英国生まれ。

「トランジスタの父」と呼ばれている。

1989年8月12日没。



シリコン・バレーの発祥

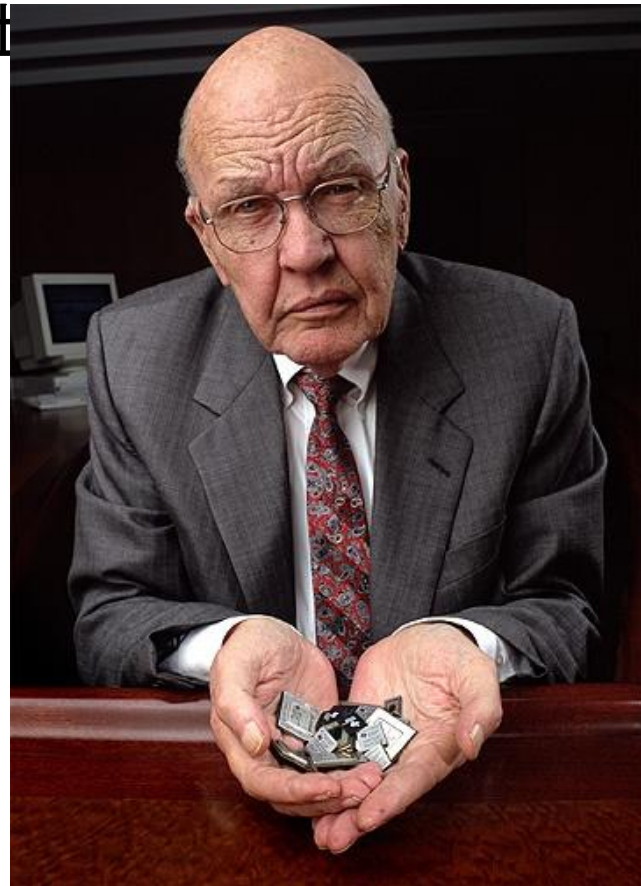
- スタンフォード大学卒業後、AT&Tのベル研究所に入る。1947年に研究員の仲間と接合型トランジスタを発明。
- この業績が評価され、ショックレー、ジョン・バーディーン、ウォルター・ブラッテンに、1956年にノーベル物理学賞が授与。
- 1953年、ベル研究所を去り、
1955年にはサンフランシスコ郊外にショックレー半導体研究所を設立。
同研究所の周辺に半導体産業が集まりはじめ、
シリコンバレーと呼ばれる半導体産業のメッカを形成。

ICの発明者 ジャック・キルビー

Texas Instruments(テキサス・インスツルメンツ)社のJack Kilby(ジャック・キルビー)氏が半導体集積回路を発明。

1958年の発明、
アメリカでは1959年に出願、1964年に登録。
日本では1960年に出願、1965年に公告。

この業績により2000年にノーベル賞を受賞。



ICの発明者 ジャック・キルビー とキルビー 特許

特許の内容は、半導体でできた一枚の基板の上に抵抗やトランジスタ、配線などを形成し、全体として特定の機能をこなす電子回路を構成する方法。

すべてのICが対象となる基本特許であった。

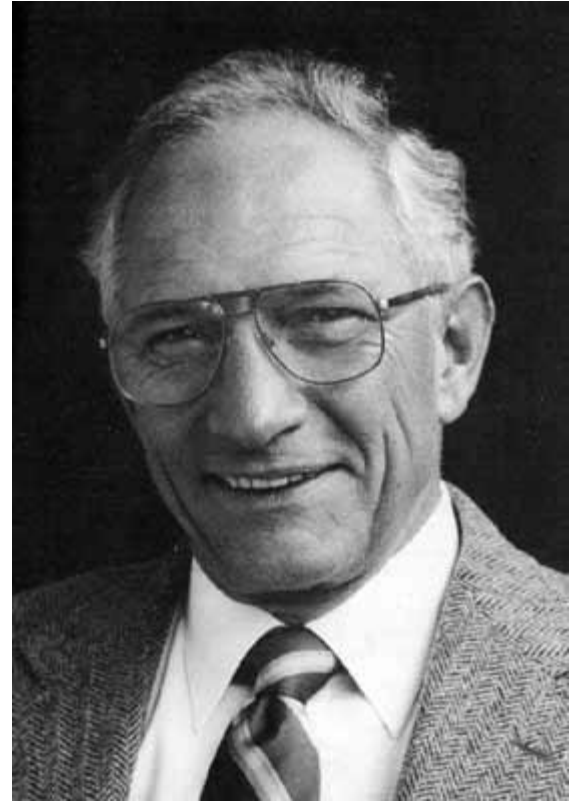
TI社は日本において、特許出願を分割する手法を駆使して特許の一部の成立を遅らせ、1986年に最後の特許が公告。「キルビー275特許」と呼ばれる。

この特許により、親特許が1980年に失効しているにも関わらず、半導体メーカーは2001年までTI社に特許使用料を支払わなければならなくなっていました。

これを「キルビー特許事件」という。

もう一人のICの発明者 ロバート・ノイス

米国の半導体技術者。
1927年12月12日、
アイオワ州バーリントン生まれ。
半導体集積回路の発明者の
一人として、
Intel社の共同創業者として
知られている。
1990年6月3日没。



ロバート・ノイス

マサチューセッツ工科大学を卒業したノイスは、ウィリアム・ショックレー博士の直接の誘いを受けて、1956年からショックレー研究所に勤めた。しかしショックレーとの方針の違いが顕著になると、ゴードン・ムーアらと共に同研究所を去り、1957年、新たにFairchild Semiconductor社を創立。Fairchild社で半導体メモリーの研究開発と普及に努める。ほどなくして出資親会社と意見が衝突。ノイスはムーアと共にFairchild社を去り、Intel社を創設。

インテル社とロバート・ノイス

Intel社で半導体メモリーを中心に集積回路の研究開発を続けた。

トランジスタの表面を酸化シリコンの皮膜で覆うプレーナー法を開発し、特許を取得。

マイクロプロセッサの研究開発も進められ、1970年にはIntelが世界初のDRAMを販売するなど、世界一の半導体企業の名声を揺るぎないものにした。ノイスは1970年まで社長・会長職に就き、「シリコンバレーの主」と称された。