

LSIのテスト設計とその自動化 (発展編及び先端技術)

畠山 一実

2015.02.04 Kazumi Hatayama

1

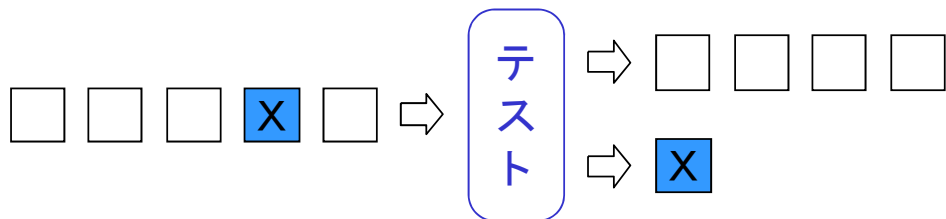
アウトライン

◆はじめに

- ◇低電力設計対応テスト技術
- ◇ITC2014における先端技術動向
- ◇おわりに

LSIのテストとは

LSIのテストとは製造されたチップに
含まれる不良品を選別する作業



X : 不良品

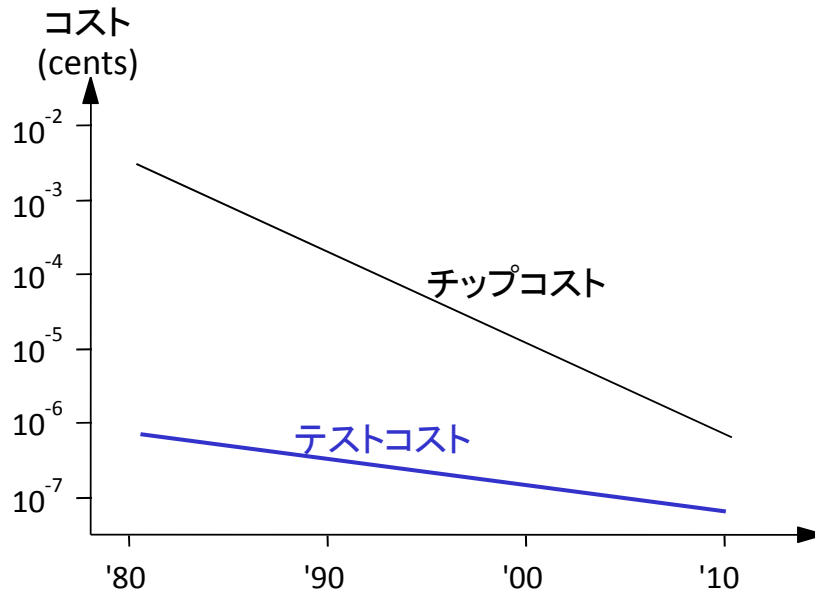
LSIテストの課題

LSIの高集積化に伴って以下の課題が重大化

- ・テストコスト
- ・テスト品質

テスト・クライシス

LSIの大規模・高集積化とともにテストコストが爆発



トランジスタ当たりのチップコストとテストコスト

テスト品質の重要性

テスト品質は製品の不良レベルに直接かわる

$$DL = 1 - Y^{(1-T)}$$

DL: 不良レベル

良品と判定されたLSI中の不良品の割合

Y: 歩留り

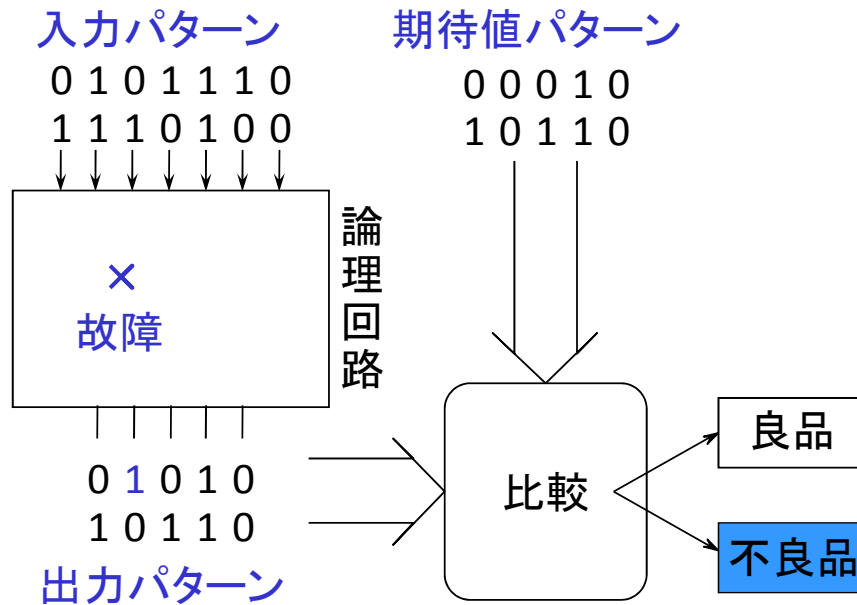
製造LSI中の良品の割合

T: テスト品質

不良品を選別できる確率

論理回路のテストの仕組み

出力パターンと期待値パターンを比較して良否を判定

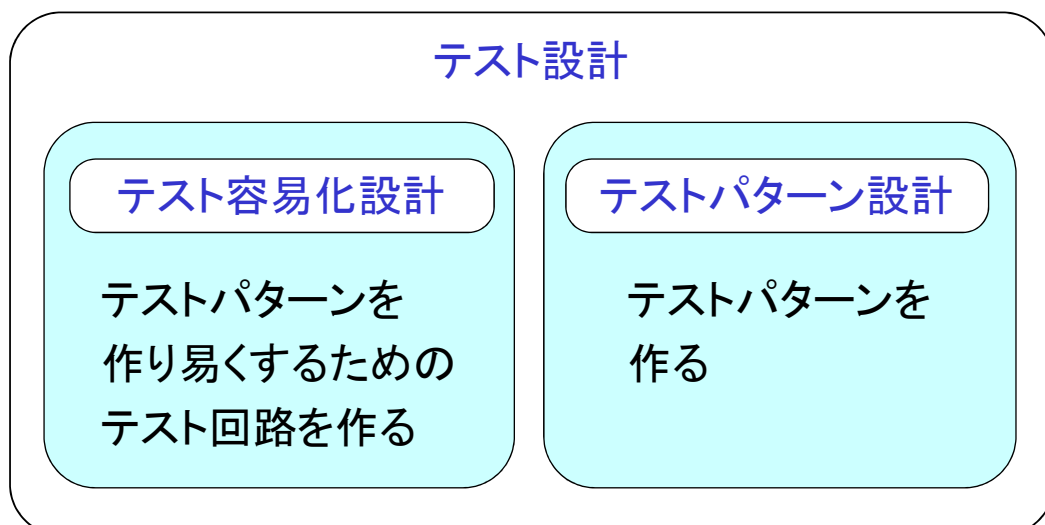


2015.02.04 Kazumi Hatayama

7

広い意味でのテスト設計

テスト設計は広義には2つの内容を含む



2015.02.04 Kazumi Hatayama

8

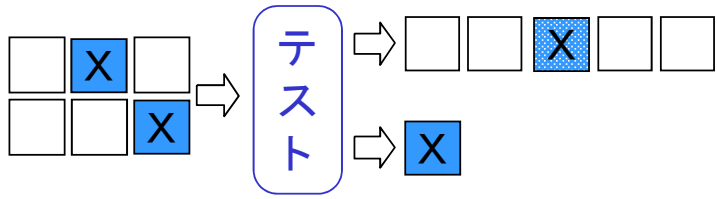
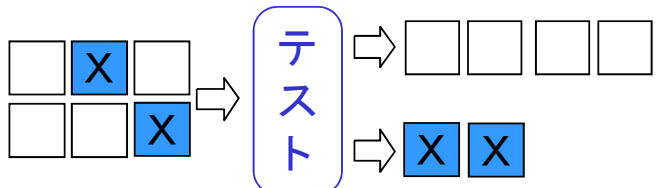
テスト設計とテストコストの関係

テスト設計はテストコスト全般に大きな影響を与える

- ・**テスト設計コスト**
テスト設計がまずいと計算機処理時間が爆発
- ・**テスト回路のコスト**
テスト回路を下手に入れるとオーバヘッドが増大
- ・**テストコスト**
テストパターンが長くなるとテスト使用時間が増大
- ・**不良品のペナルティ**
テスト設計がまずいと不良品の流失が増大

テスト品質の良し悪し

テスト**品質の良し悪し**はテストパターンの良し悪しによる

テストパターンの良し悪し	テストの結果
良くない	
良い	

良いテストパターンを作るには

良いテストパターンを作るには様々な工夫が必要

・テスト生成手法の改良

- ・故障検出能力の向上
- ・故障モデルの拡張
- ・テストパターン数の削減

・テスト容易化設計の活用

- ・テスト生成時間の短縮
- ・テスト実行時間の短縮
- ・テストパターン品質の向上

故障モデルの分類

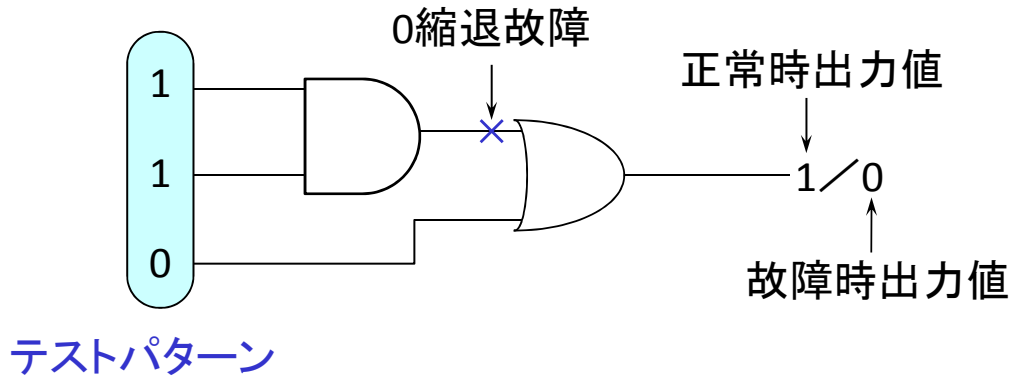
テスト設計を考える際には故障のモデル化が必要

◎故障のタイプによる分類

- ・縮退故障(stuck-at) : 信号線が一定レベルに固定
- ・短絡故障(short/bridge) : 信号線が他の信号線と短絡
- ・開放故障(open) : 信号線が断線
- ・トランジスタ故障(stuck-open/short): トランジスタが開放/短絡
- ・遅延故障(delay) : 信号伝播遅延が増大
[遷移故障(transition) : 遅延が大幅に増大]
- ・その他の故障:
メモリ故障, 機能故障, . . .

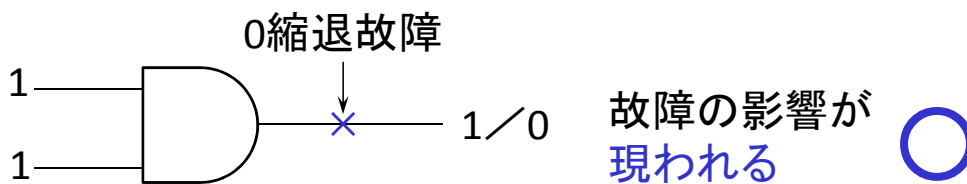
縮退故障のテスト方法

縮退故障はスタティックなパターンでテスト可能

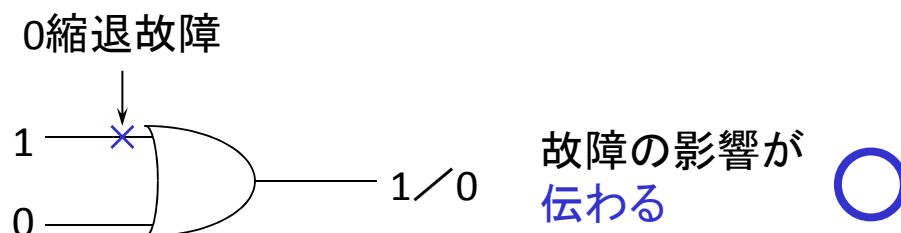


故障の顕現化と伝搬

テストするためには故障の影響の顕現化が必要

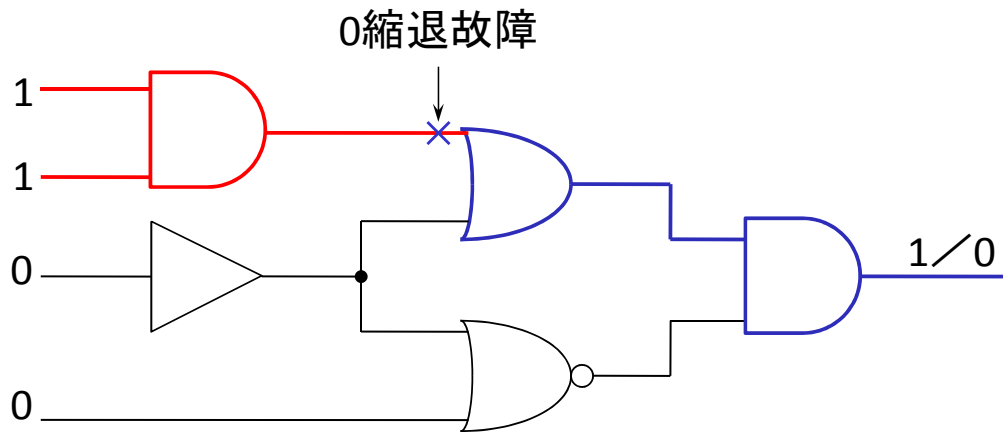


テストするためには故障の影響の伝播も必要



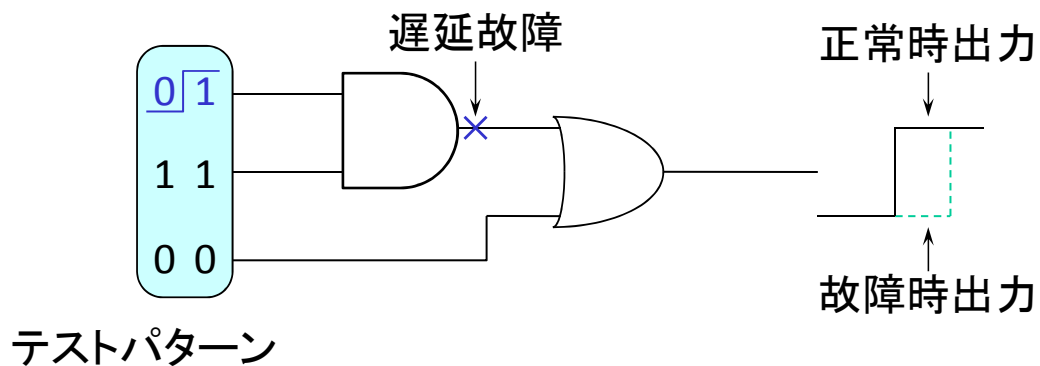
縮退故障のテストの例

故障を顕現化させてそれを伝播する



遅延故障のテスト方法

遅延故障はダイナミックなパターンでテスト
(出力を観測するタイミングが重要)



故障検出率

テストパターン品質の尺度として故障検出率を用いる

故障検出率の定義

あるテストパターンTPに対してTPの故障検出率
FCを次式で定義する

$$FC = N_{df} / N_{af}$$

ここで, N_{af} : モデル化された故障の総数

N_{df} : モデル化された故障のうち,
TPで検出される故障の総数

テスト生成

テスト生成: 各故障に対してテストパターンを作成
テスト生成基本アルゴリズムとしては以下のものがある

組合せ回路用アルゴリズム

- ・一次元経路活性化法
- ・Dアルゴリズム
- ・PODEM法
- ・FANアルゴリズム

:

順序回路用アルゴリズム

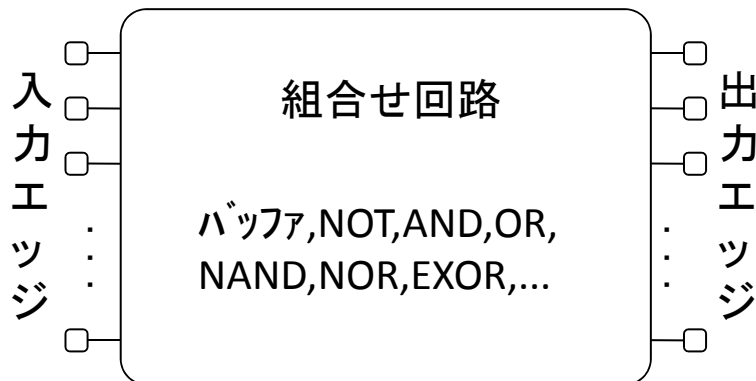
- ・拡張Dアルゴリズム

:

組合せ回路用アルゴリズム

組合せ回路モデルに対してテストパターンを生成

ある信号線に0(または1)縮退故障を仮定し,
これを検出するための入力パターンを求める



テスト容易化設計

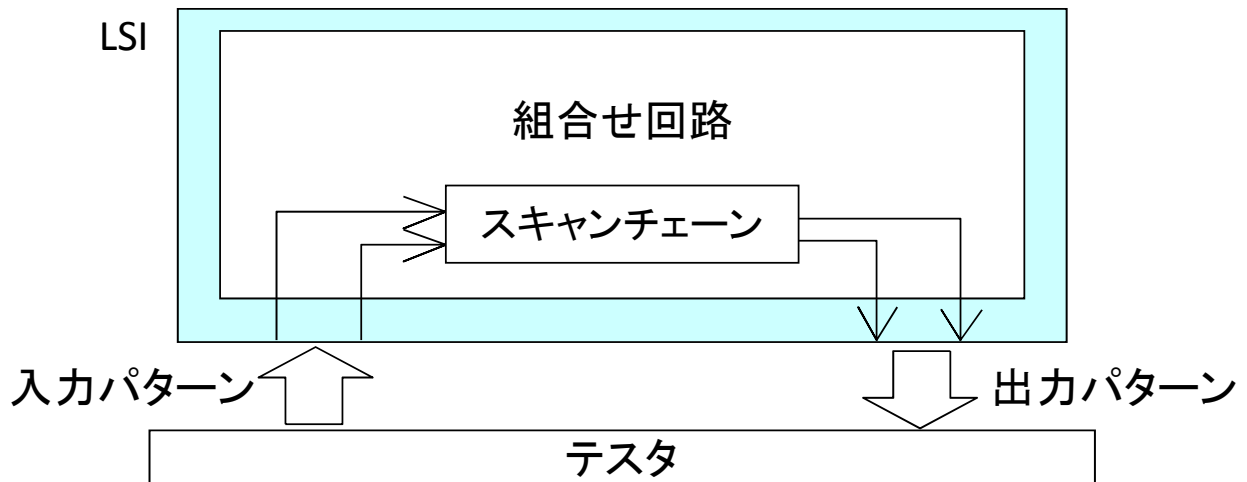
大規模かつ高機能なLSIでは方策なしにテスト設計に
取り組むことは不可能 (テスト生成コストが莫大)

テスト容易化のアプローチ

- ・問題をより易しい問題に変換する
スキャン設計方式,
階層型テスト容易化方式
- ・テスト生成をできるだけしないようにする
組込み自己テスト方式,
万能テスト方式

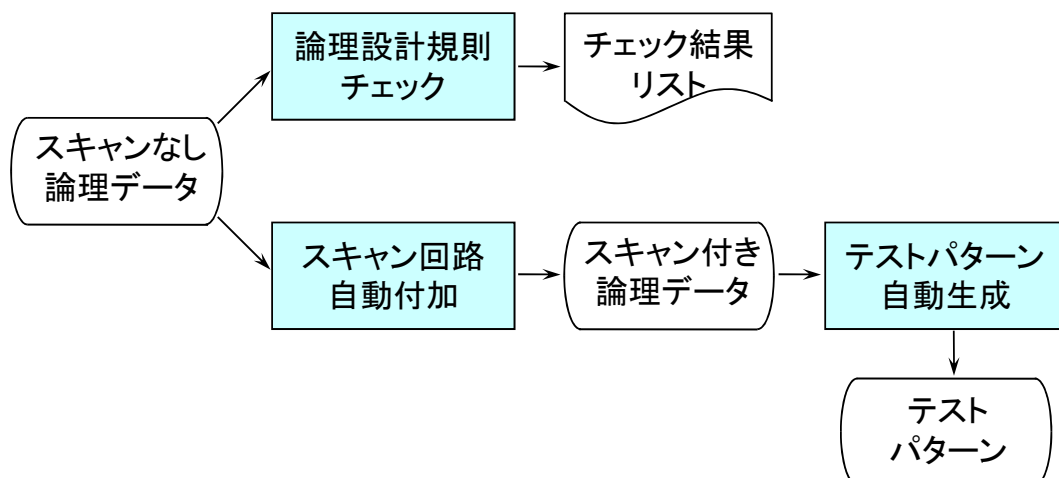
スキャン設計によるテスト容易化

スキャン設計ではテストからの入力パターンを**スキャンチェーン** (一般に複数)を通してフリップフロップ(FF)に書込むことにより**内部状態を設定し**, FFでの出力パターンを**スキャンチェーンを通して**テストに読出すことにより**内部状態を観測する**



フルスキャン方式サポートツール

フルスキャン方式をサポートする設計自動化(EDA)ツールが完備されており, テスト設計を自動化できる

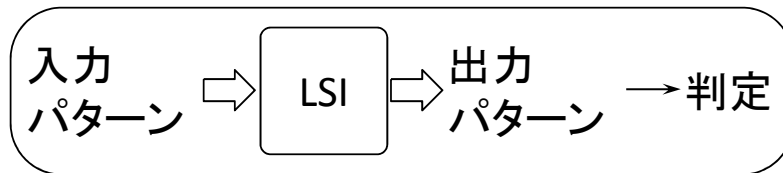


組み込み自己テスト(BIST)方式

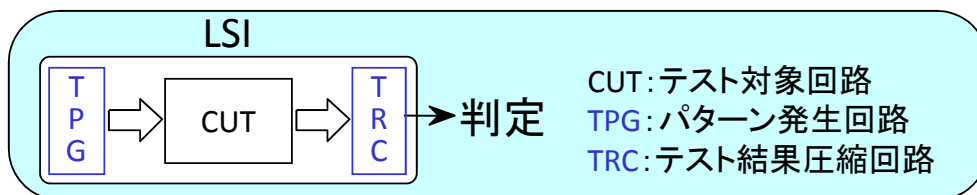
BISTはテストパターン印加を省略するための手段

(BIST : Built-In Self Test)

通常のテスト方法



BIST方式によるテスト方法

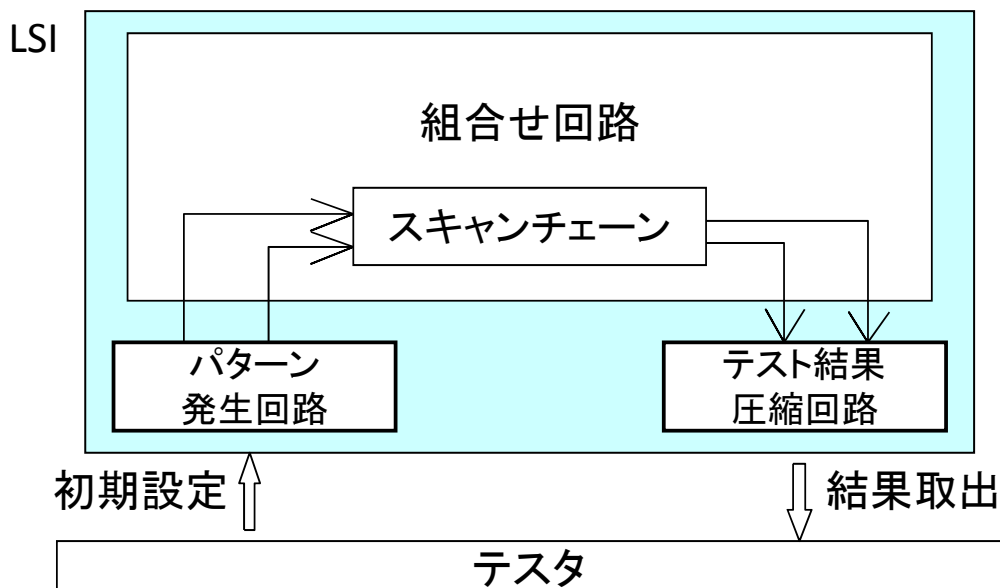


2015.02.04 Kazumi Hatayama

23

スキャンベースBIST方式

スキャンベースBIST方式はTPGの出力をスキャンチェーンに接続しスキャンチェーンを通して内部状態を設定する方式



2015.02.04 Kazumi Hatayama

24

アウトライン

◇はじめに

◆低電力設計対応テスト技術

◇ITC2014における先端技術動向

◇おわりに

低電力設計対応テスト技術

1. はじめに

2. スキャン利用テスト時の消費電力の問題

3. スキャン利用テスト時の消費電力の制御

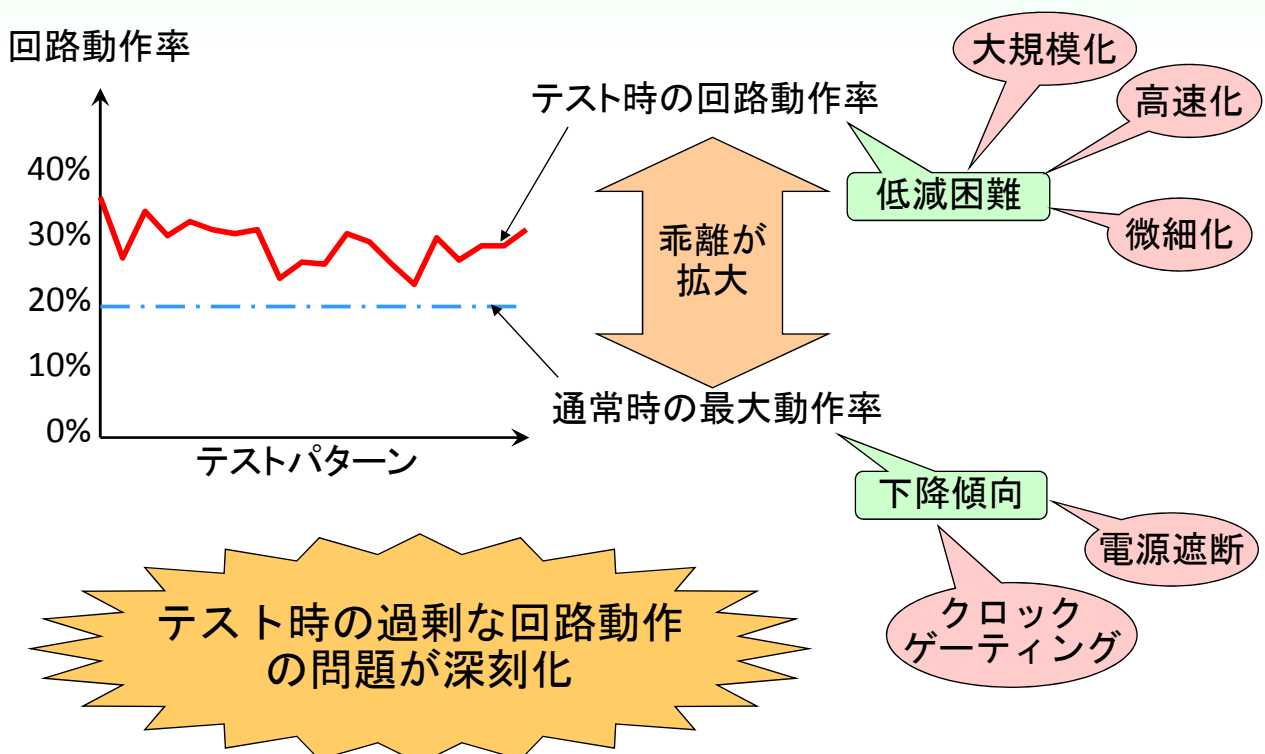
4. 低電力セルのテスト

5. まとめ

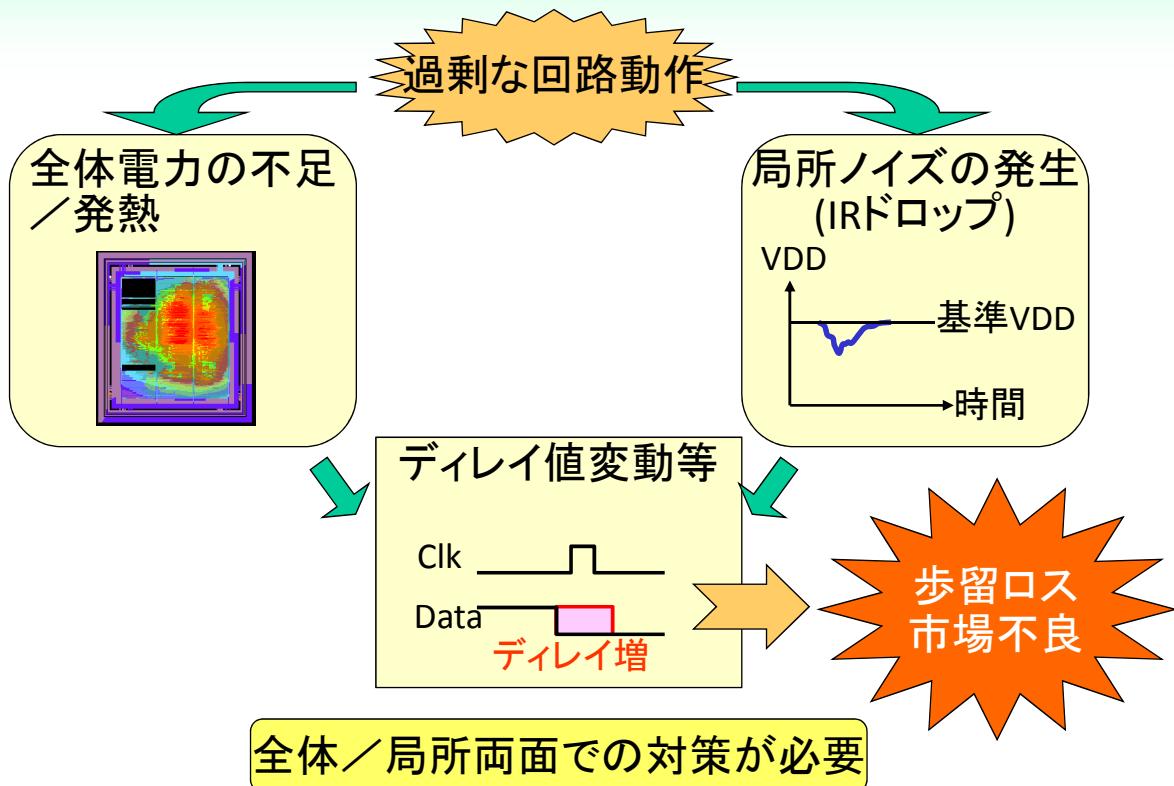
低電力設計とテスト

- ・低電力設計におけるテストの問題点
 - ・スキャンテスト時の過剰電力消費
→テスト時消費電力制御
 - ・低電力設計用セルのテスト
→低電力セルテスト
- ・低電力設計フローに適合したテスト設計フロー
→低電力設計対応テスト設計フロー

スキャンテスト時の過剰回路動作



スキャンテスト時の電力の問題



2015.02.04 Kazumi Hatayama

29

具体的事例(Texas Instruments社)

出典：J. Saxena他, ITC2003 paper 42.2

現象：遷移テスト時に、特定パターンの特定FF群で、仕様上のVmin (最小動作電圧(=1.35V))において、しばしばフェイルが発生

状況：'静かな'パターン(信号変化率を低減したもの)でパスを確認
→IRドロップによるものと判明(シミュレーションで確認)

Pattern name	% Nets Switching	Vmin
quiet0.pat(original)	22.75	1.44V
quiet10.pat	21.90	1.38V
quiet20.pat	21.88	1.37V
quiet30.pat	21.35	1.31V
quiet40.pat	18.37	1.32V
quiet50.pat	15.16	1.31V
quiet60.pat	13.05	1.31V
quiet70.pat	14.52	1.29V
quiet80.pat	10.82	1.27V
quiet90.pat	6.12	1.24V
quiet100.pat	1.47	1.21V

2015.02.04 Kazumi Hatayama

30

低電力設計対応テスト技術

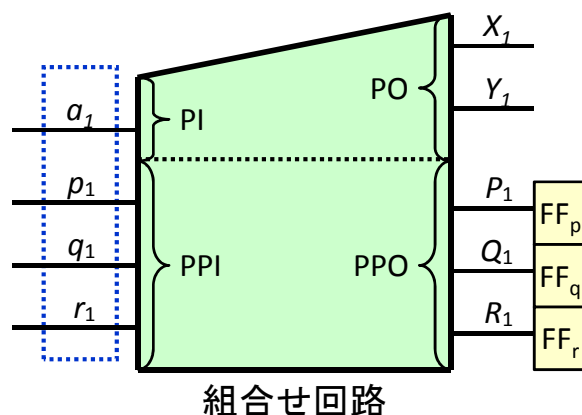
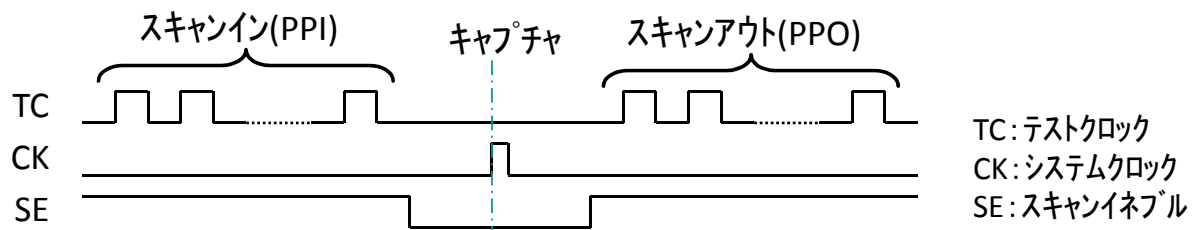
1. はじめに
2. スキャン利用テスト時の消費電力の問題
3. スキャン利用テスト時の消費電力の制御
4. 低電力セルのテスト
5. まとめ

2015.02.04 Kazumi Hatayama

31

スキャンを利用した縮退故障テスト

- ・通常のスキャン利用テストは1パターンテスト



PI: Primary Input	: 入力
PO: Primary Output	: 出力
PPI: Pseudo PI	: 疑似入力
PPO: Pseudo PO	: 疑似出力

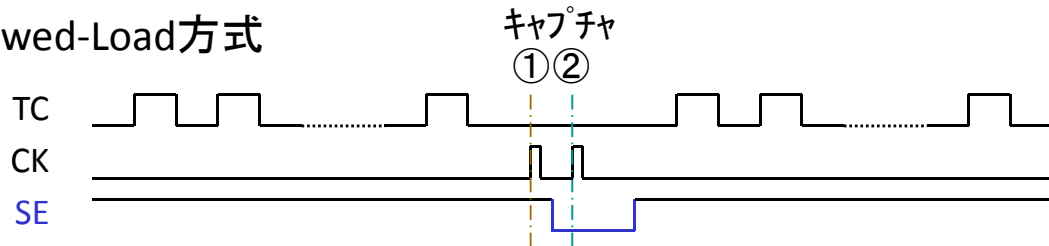
2015.02.04 Kazumi Hatayama

32

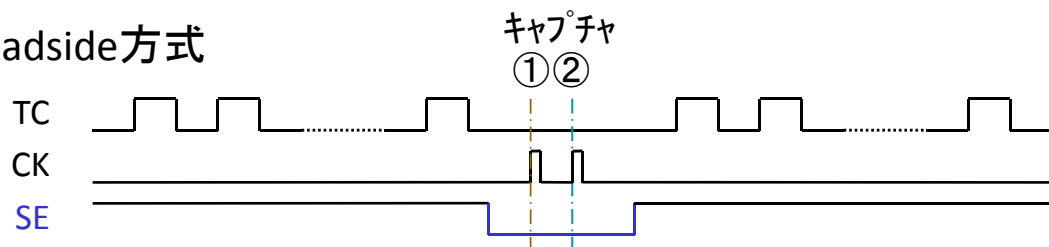
スキャンを利用した遅延故障テスト

- スキャン利用の遅延テストでは2パターン必要・・・2つの方式
 - Skewed-Load方式 (Launch-on-Shift) : 最終シフトで変化信号を発生
 - Broadside方式 (Launch-on-Capture) : システムクロックで変化信号を発生

Skewed-Load方式



Broadside方式

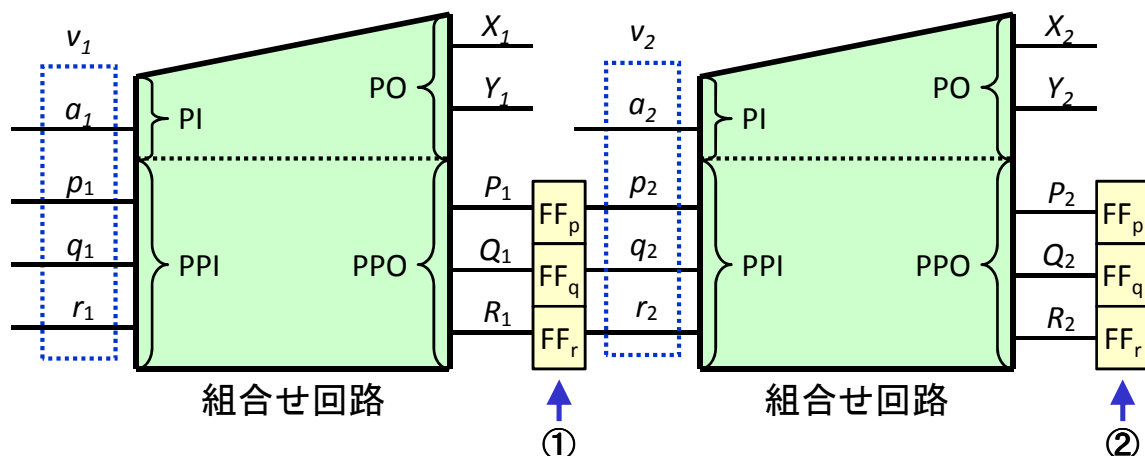


2015.02.04 Kazumi Hatayama

33

Broadside方式のテスト生成

- 2パターンテスト: (v_1, v_2)
 - 2時刻展開モデルを使用
 - v_1 の疑似入力(PPI)はスキャンインにより設定
 - v_1 入力時の疑似出力(PPO)をクロック①でキャプチャして v_2 を生成
 - v_2 入力時の疑似出力(PPO)をクロック②でキャプチャしてスキャンアウト



2015.02.04 Kazumi Hatayama

34

スキャン利用テスト時の消費電力問題

- ・スキャンテスト時の過剰電力消費による誤動作
 - ・シフト時の誤動作:
 - ・発熱やIRドロップによりクロックスキューが増大
→間違ったテストパターンの設定
 - ・キャプチャ時の誤動作(とくに実速度テスト(注)時):
 - ・IRドロップによりパステイレイが増加
→間違ったテスト結果の取り込み

注: 実速度テスト: 実際のシステムクロックの速度での遅延故障テスト

低電力設計対応テスト技術

1. はじめに
2. スキャン利用テスト時の消費電力の問題
3. スキャン利用テスト時の消費電力の制御
4. 低電力セルのテスト
5. まとめ

スキャンテスト時の消費電力対策

- ・消費電力対策のアプローチ
 - ・テスト容易化設計(DFT)による対策
 - ・テスト生成(ATPG)による対策
- ・消費電力対策の対象
 - ・全体電力／発熱
 - ・局所ノイズ(IRドロップ)
- ・消費電力対策の動作フェーズ
 - ・シフト動作
 - ・キャプチャ動作

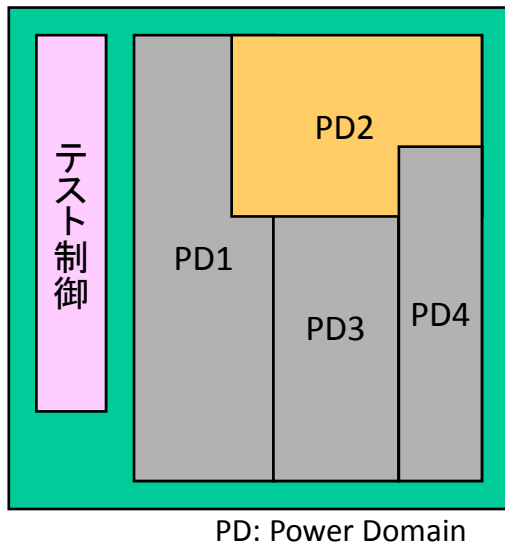
テスト時電力対策：DFT

- ・テスト容易化設計(DFT)による対策
 - ・全体電力対策
 - ・電源ドメイン単位テスト(シフト/キャプチャ)
 - ・マルチデューティースキャン(シフト)
 - ・スキャンチェーン分割(シフト)
 - ・低電力パターン発生回路(シフト(/キャプチャ))
 - ・局所ノイズ対策
 - ・FF出力動作抑止(シフト)

電源ドメイン単位テスト

・電源ドメイン単位でテスト

テスト制御回路の工夫により電源ドメイン単位でのテストを可能にする

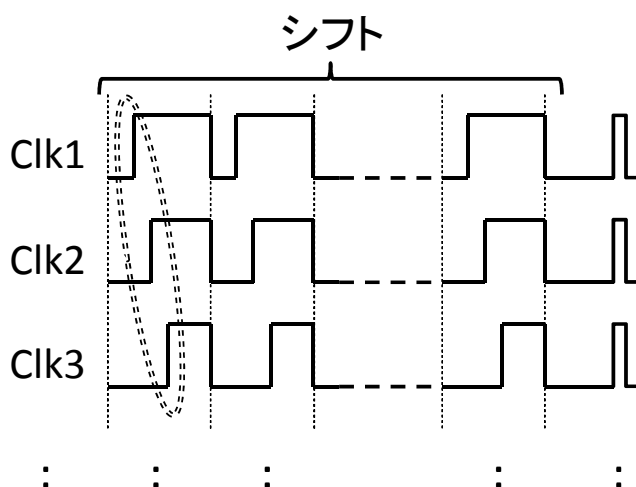


- ・テスト領域を分割することにより
平均／ピーク電力を低減
- ◇テストパターン数増加の抑制が
課題

マルチデューティースキャン

・シフトクロックのデューティ(クロック幅)を複数化

シフト時の信号変化のタイミングをずらす

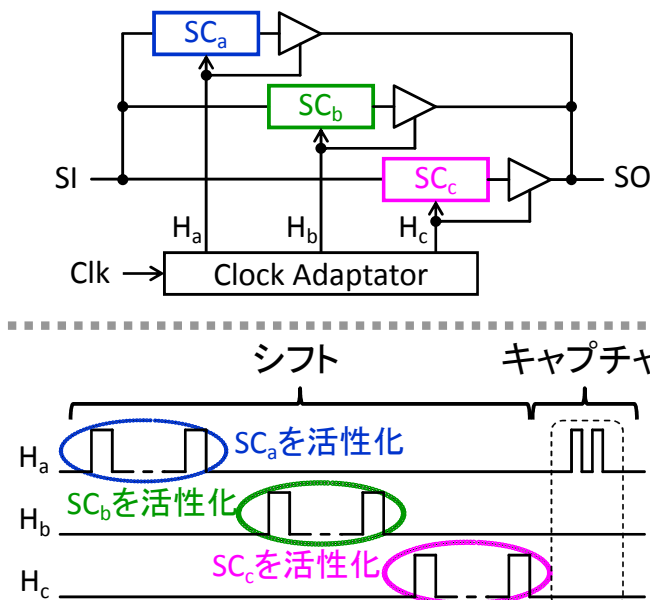


- ・FF出力の信号変化を
分散させることにより
ピーク電力を低減
- ◇クロック制御の複雑化の
回避が課題

スキャンチェーン分割

・スキャンチェーン(SC)を分割

シフト時の信号変化のタイミングを分散させる



・FF出力の信号変化を分散させることによりピーク電力を低減

◇シフト時間増大の抑制が課題

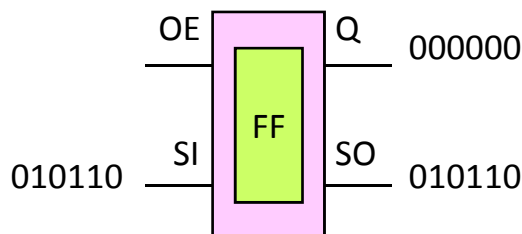
2015.02.04 Kazumi Hatayama

41

FF出力動作抑止

・シフト中FFの出力を固定

電力・ノイズを考慮してスキャン中の回路動作を抑制するようにシフト中のFFの出力を固定



FF: flip-flop
SI/SO: scan-in/out
OE: output enable

・全FFを対象に適用するのは回路増の問題あり
◇効果的なDFTの適用が重要

2015.02.04 Kazumi Hatayama

42

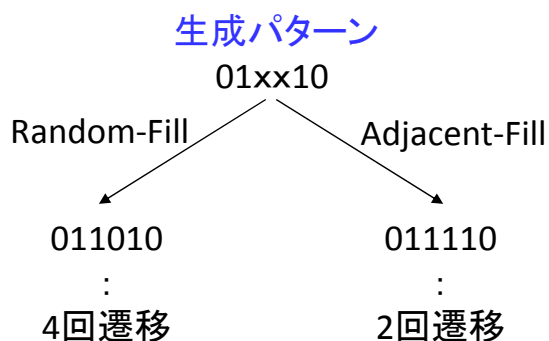
テスト時電力対策: ATPG

- ・テスト生成(ATPG)時の工夫による対策
 - ・全体電力対策
 - ・低電力X-Fill処理(シフト)
 - ・クロックゲーティング利用(キャプチャ)
 - ・局所ノイズ対策
 - ・電力・ノイズ考慮パターン変換(キャプチャ)

低電力X-Fill処理

・X-Fill処理による信号変化の抑制

生成されたテストパターン中の'x'(don't care)に'0'または'1'を割り当てる操作において, シフト中の回路動作を抑制するように工夫

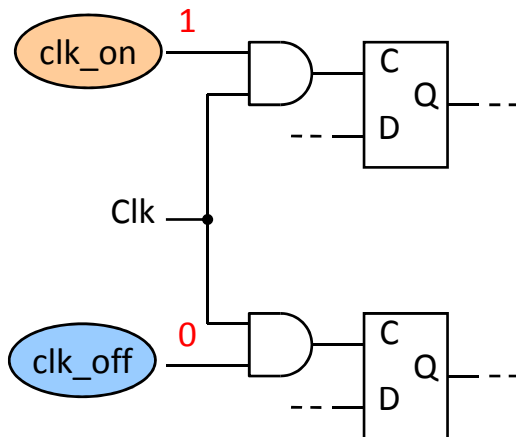


- ・ 'x'に'0'と'1'をうまく割り当てることにより, FF出力での信号変化を抑制
- ◆既に実用中, ただし効果に限界あり

クロックゲーティング利用

・クロックゲーティング回路の利用

回路中に存在するクロックゲーティング回路を利用して、キャプチャクロックを限定的に印加するようにパターンを生成

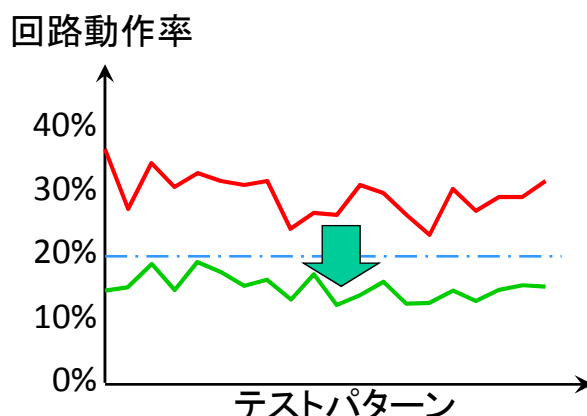


・キャプチャの限定により
ピーク電力を低減
◇テストパターン数増加
の抑制が課題

電力考慮パターン変換

・消費電力を考慮してテストパターンを変換

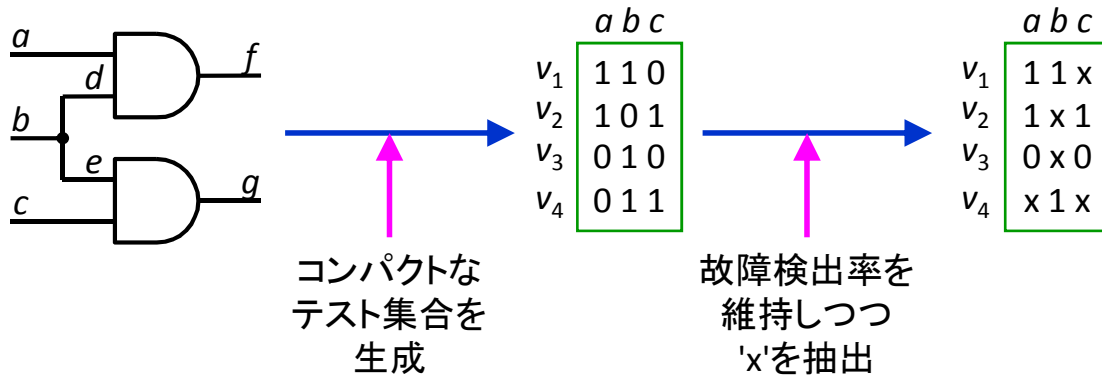
生成された各テストパターンを低電力パターンに変換することによりキャプチャ時の動作率を低減



・故障検出率を維持する
ように各パターンを変換
◇局所ノイズの効率的な
削減が課題

電力考慮パターン変換の例-1

- ・ 'x'(don't care)を抽出し(下図), 得られた'x'を利用してキャプチャ電力低減のためのX-Fill(次ページ以下)を実施

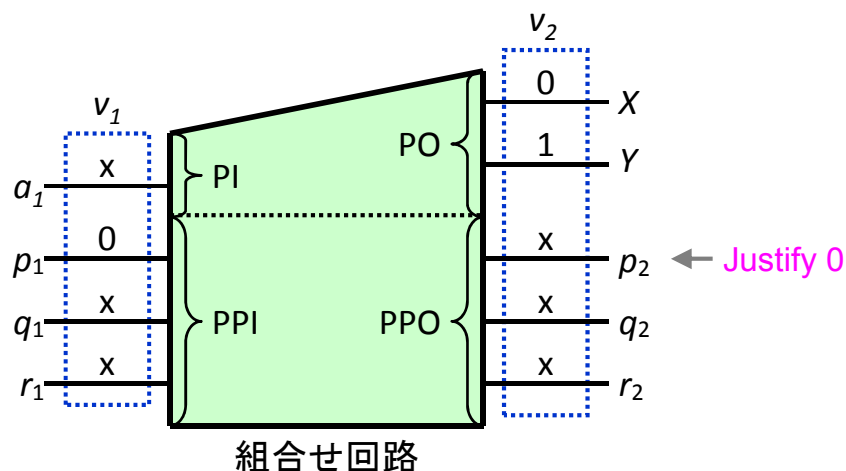


2015.02.04 Kazumi Hatayama

47

電力考慮パターン変換の例-2.1

- ・ 低キャプチャ電力X-Fillの例・・・正当化ベース(J-Fill)
- ・ v1とv2の間での信号変化がなるべく少なくなるように正当化操作を用いてX-Fillを行う
- ・ Step1_1: p2をp1と同じ'0'にすることを正当化操作の目標に設定

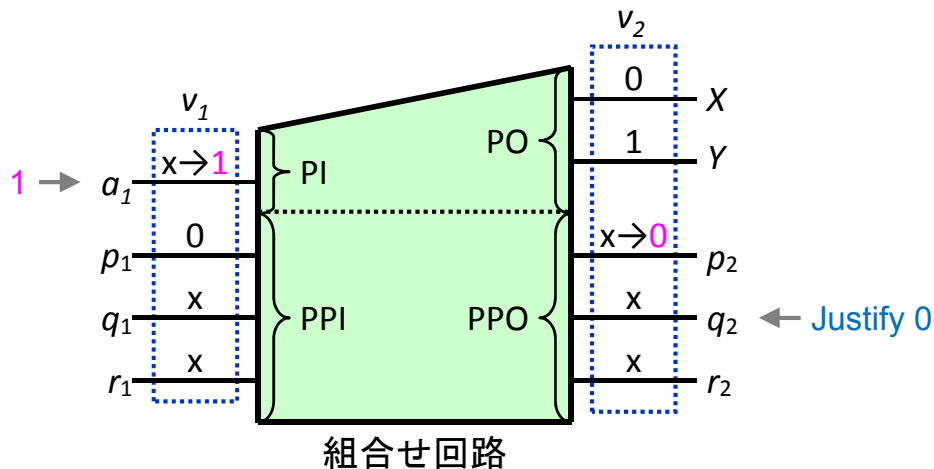


2015.02.04 Kazumi Hatayama

48

電力考慮パターン変換の例-2.2

- Step1_2: 正当化操作の結果, a_1 が '1' に, p_2 が '0' に決定
- Step2_1: 次に q_2 を '0' にすることを正当化操作の目標に設定
(とくに対象とすべき出力/論理値がないので任意に選択)

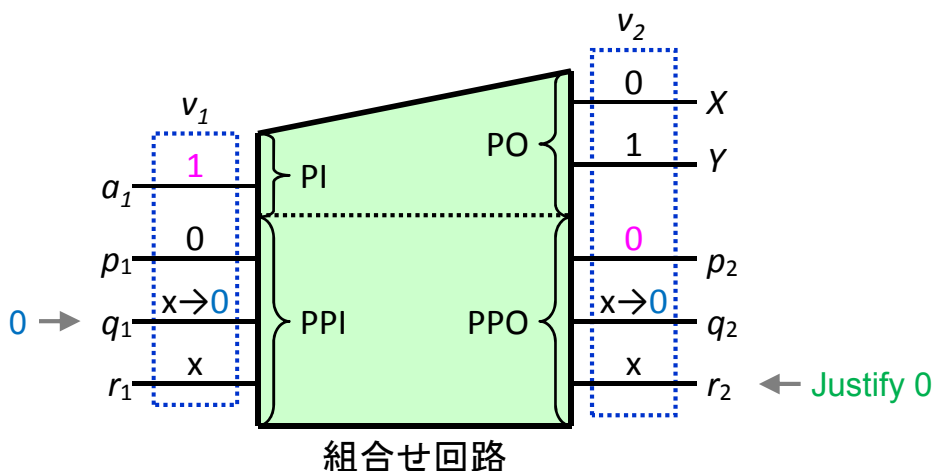


2015.02.04 Kazumi Hatayama

49

電力考慮パターン変換の例-2.3

- Step2_2: 正当化操作の結果, q_1 が '0' に, q_2 が '0' に決定
- Step3_1: 次に r_2 を '0' にすることを正当化操作の目標に設定
(とくに対象とすべき論理値がないので任意に選択)

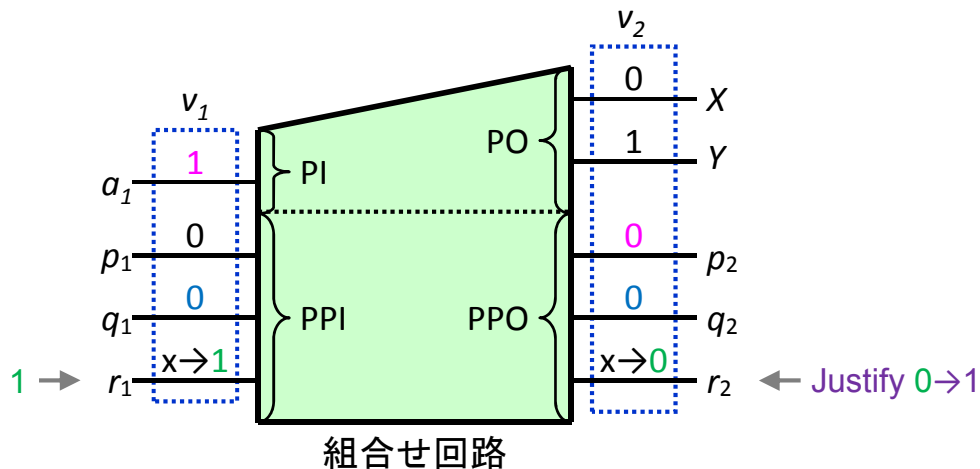


2015.02.04 Kazumi Hatayama

50

電力考慮パターン変換の例-2.4

- Step3_2: 正当化操作の結果 r_1 が'1'に, r_2 が'0'に決定
- Step3'_1: r_1 次に r_2 で信号変化が発生したので正当化操作の目標を r_2 を'1'にすることに変更

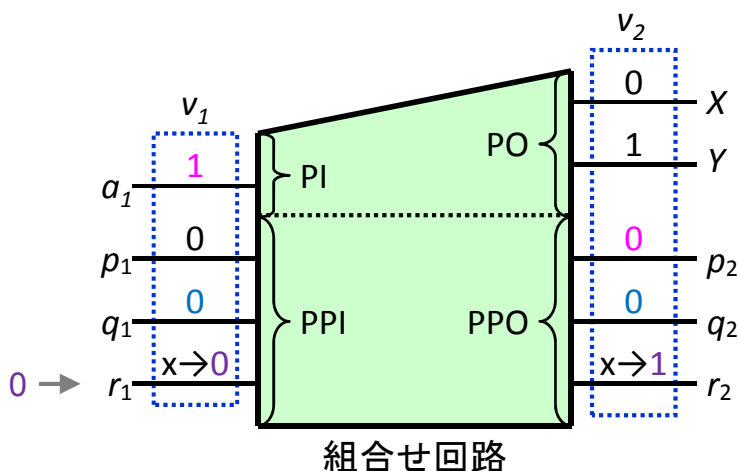


2015.02.04 Kazumi Hatayama

51

電力考慮パターン変換の例-2.5

- Step3'_2: 正当化操作の結果 r_1 が'0'に, r_2 が'1'に決定
Step3_2と同様に信号変化が発生するが t に選択肢がないため
この結果を採用



2015.02.04 Kazumi Hatayama

52

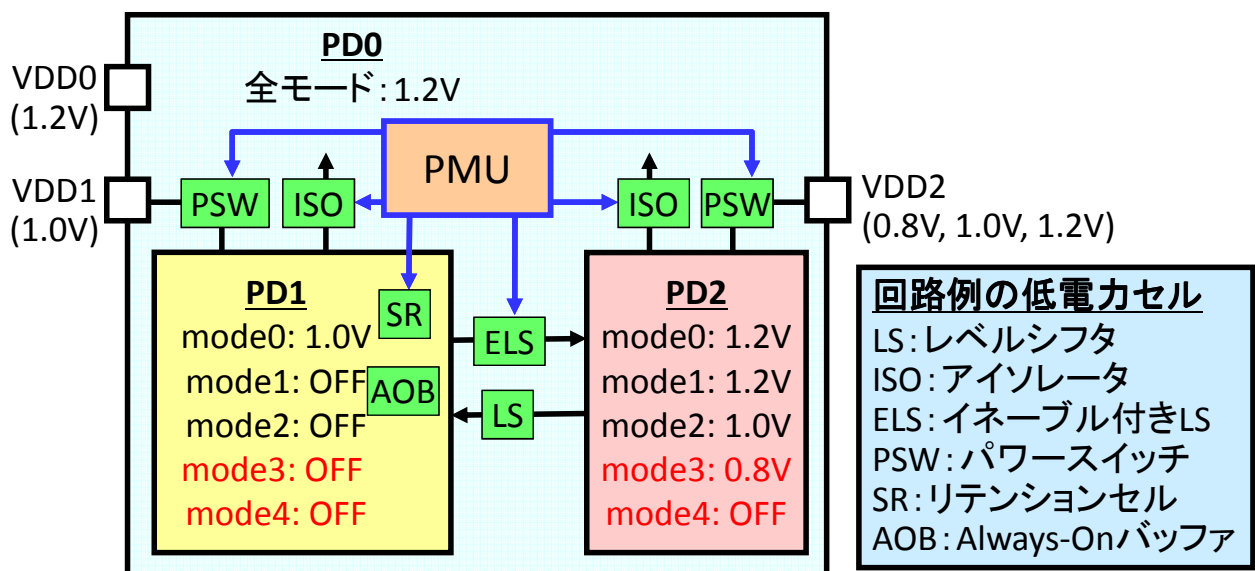
低電力設計対応テスト技術

1. はじめに
2. スキャン利用テスト時の消費電力の問題
3. スキャン利用テスト時の消費電力の制御
4. 低電力セルのテスト
5. まとめ

低電力セルテスト: 低電力設計例

・低電力設計の例

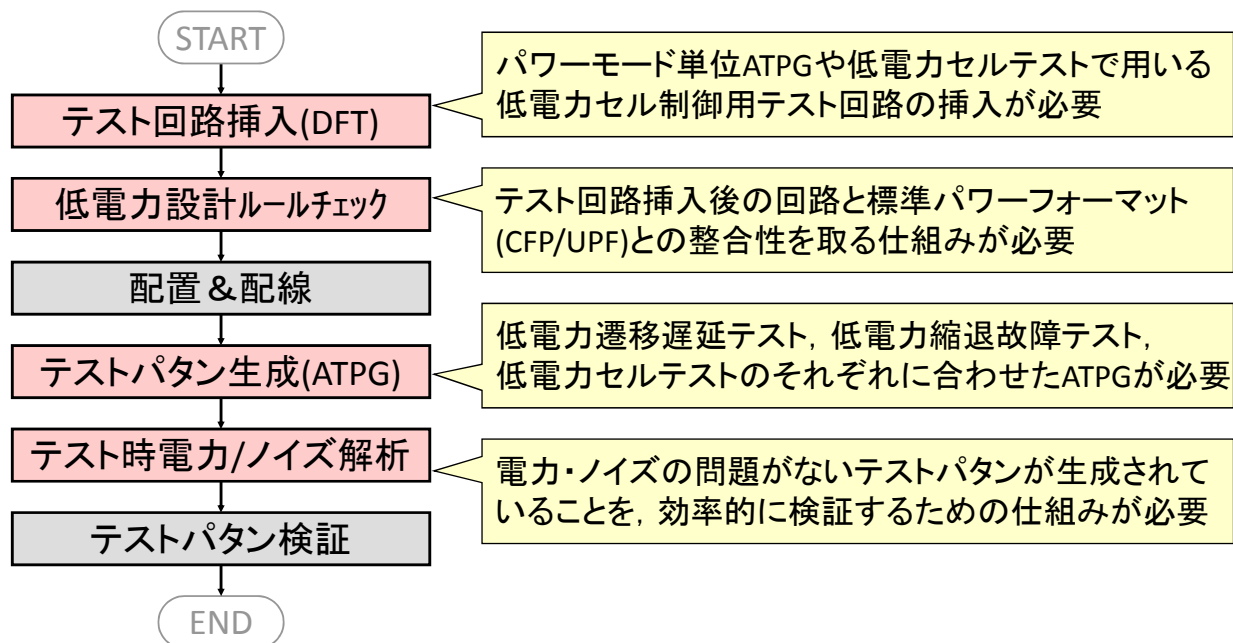
種々の低電力設計用セル(低電力セル)を使用



低電力テスト設計フロー

・低電力設計の例

種々の低電力設計用セル(低電力セル)を使用

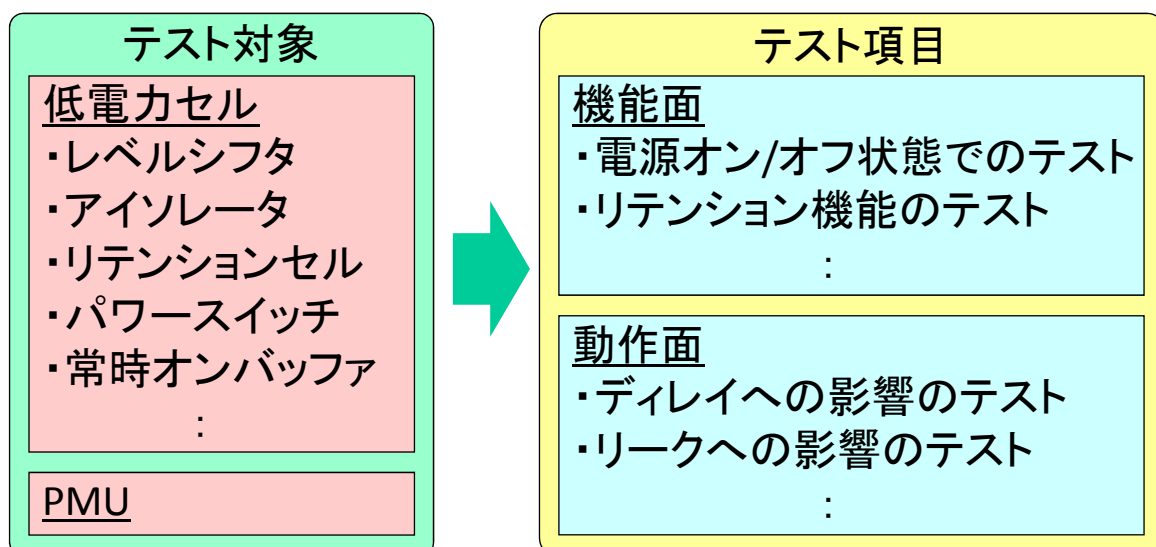


2015.02.04 Kazumi Hatayama

55

低電力セルテスト

・それぞれの低電力セルの低電力対応機能についてテスト



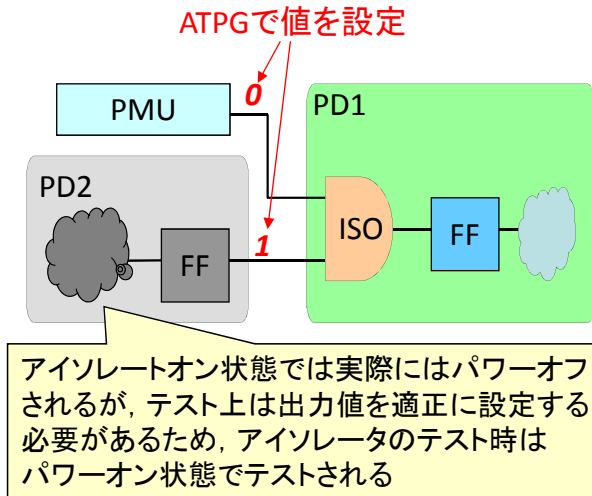
2015.02.04 Kazumi Hatayama

56

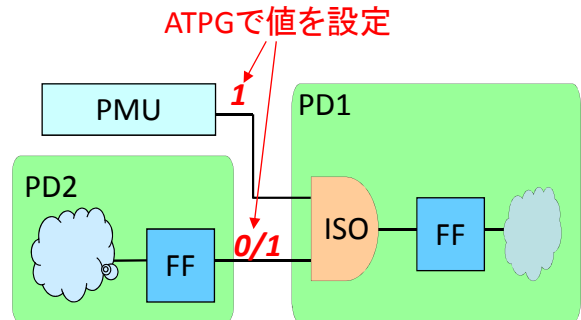
低電力セルテストの例: ISO

- ・アイソレータは, アイソレートオンとアイソレートオフのそれぞれの状態でテスト

アイソレートオン状態でのテスト



アイソレートオフ状態でのテスト



FFの出力に加えてPMUの出力にも必要な値を設定

2015.02.04 Kazumi Hatayama

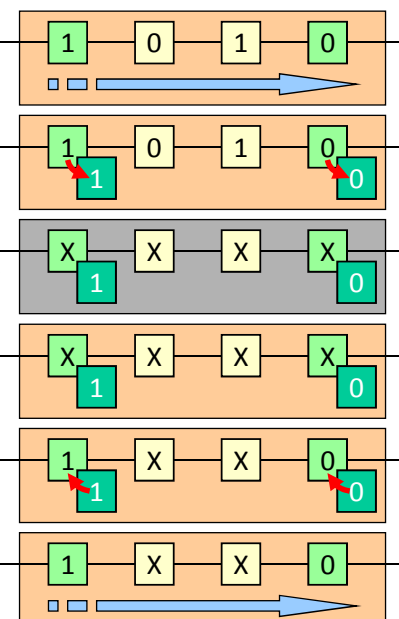
57

低電力セルテストの例: SR

- ・リテンションセルのリテンション機能のテストはバイパスモードで以下に示すテストシーケンスを適用

リテンション機能のテストシーケンス

- ①ロード／アンロード・シーケンス
- ②キャプチャ・シーケンス
 - a. アイソレートオン
 - b. セーブ
 - c. パワーオフ
 - d. パワーオン
 - e. リストア
 - f. アイソレートオフ
- ③ロード／アンロード・シーケンス



■ : リテンションセル ■ : 通常スキャンFF

2015.02.04 Kazumi Hatayama

58

低電力設計対応テスト技術

1. はじめに
2. スキャン利用テスト時の消費電力の問題
3. スキャン利用テスト時の消費電力の制御
4. 低電力セルのテスト
5. まとめ

低電力設計対応テスト技術：まとめ

- ・低電力設計におけるテストの課題
 - ・スキャンテスト時の消費電力低減
 - ・種々の対策：電力・ノイズ対策DFT／ATPG
 - ☆それぞれに課題があり，複数の対策をうまく組み合わせる等の工夫が必要
- ・低電力設計用セルのテスト
 - ・低電力セルテストの低電力機能のテスト
 - ☆それぞれのセルごとのテスト方法が必要

アウトライン

- ◇はじめに
- ◇低電力設計対応テスト技術
- ◆ITC2014における先端技術動向
- ◇おわりに

ITC2014における先端技術動向

1. ITCについて
2. ITC2014の概要
3. 論文発表の全体動向
4. 注目セッションの紹介
5. まとめ

ITC (International Test Conference)

- ・ITCの沿革および概要
 - ・1970年にIC Testに関するSymposiumとしてスタート
 - ・1981年からは現在の名称を使用
 - ・LSIを含む電子回路のテスト分野では最大規模かつ最重要な国際会議
 - ・VTS(VLSI Test Symposium)がどちらかといえばアカデミックであるのに対して、ITCは企業が主体
 - ・論文発表の3日間を中心とした6日間を、ITC Test Week(TM)と呼び、様々なテスト関連イベントを実施

ITC開催一覧

	Year	Date	Location
14th	1983	10/18-10/20	Philadelphia
15th	1984	10/16-10/18	Philadelphia
16th	1985	11/19-11/21	Philadelphia
17th	1986	09/08-09/11	Washington
18th	1987	09/01-09/03	Washington
19th	1988	09/12-09/14	Washington
20th	1989	08/29-08/31	Washington
21st	1990	09/10-09/14	Washington
22nd	1991	10/26-10/30	Nashville
23rd	1992	09/20-09/24	Baltimore
24th	1993	10/17-10/21	Baltimore
25th	1994	10/02-10/06	Washington
26th	1995	10/21-10/25	Washington
27th	1996	10/20-10/25	Washington
28th	1997	11/01-11/06	Washington
29th	1998	10/18-10/23	Washington
30th	1999	10/26-10/31	Atlantic City

	Year	Date	Location
31st	2000	10/01-10/06	Atlantic City
32nd	2001	10/28-11/02	Baltimore
33rd	2002	10/06-10/11	Baltimore
34th	2003	09/28-10/03	Charlotte
35th	2004	10/24-10/29	Charlotte
36th	2005	11/06-11/11	Austin
37th	2006	10/22-10/27	Santa Clara
38th	2007	10/21-10/26	Santa Clara
39th	2008	10/26-10/31	Santa Clara
40th	2009	11/01-11/06	Austin
41st	2010	10/31-11/05	Austin
42nd	2011	09/18-09/23	Anaheim
43rd	2012	11/04-11/09	Anaheim
44th	2013	09/08-09/13	Anaheim
45th	2014	10/19-10/24	Seattle
46th	2015	10/04-10/09	Anaheim

2000-2010: プログラム委員

1997-2014: ITCアジア委員会委員

2000-2001は副委員長, 2002-2003は委員長

参考：VTS開催一覧

	Year	Date	Location
1st	1983	03/30-03/31	Atlantic City
2nd	1984	03/21-03/22	Atlantic City
3rd	1985	04/01-04/02	Atlantic City
4th	1986	03/18-03/19	Atlantic City
5th	1987	03/24-03/25	Atlantic City
6th	1988	03/22-03/23	Atlantic City
7th	1989	04/11-04/13	Atlantic City
8th	1990	04/10-04/11	Atlantic City
9th	1991	04/16-04/18	Atlantic City
10th	1992	04/07-04/09	Atlantic City
11th	1993	04/06-04/08	Atlantic City
12th	1994	04/25-04/28	Atlantic City
13th	1995	04/30-05/03	Atlantic City
14th	1996	04/28-05/01	Atlantic City
15th	1997	04/27-04/30	Monterey
16th	1998	04/26-04/30	Monterey
17th	1999	04/25-04/29	Dana Point

	Year	Date	Location
18th	2000	04/30-05/04	Montreal
19th	2001	04/29-05/03	Los Angeles
20th	2002	04/28-05/02	Monterey
21st	2003	04/27-05/01	Napa Valley
22nd	2004	04/25-04/29	Napa Valley
23rd	2005	05/01-05/05	Palm Springs
24th	2006	04/30-05/04	Berkeley
25th	2007	05/06-05/10	Berkeley
26th	2008	04/27-05/01	San Diego
27th	2009	05/03-05/07	Santa Cruz
28th	2010	04/19-04/22	Santa Cruz
29th	2011	05/01-05/04	Dana Point
30th	2012	04/23-04/26	Maui
31st	2013	04/29-05/02	Berkeley
32nd	2014	04/13-04/16	Napa Valley
33rd	2015	04/26-04/29	Napa Valley

2003-2006：プログラム委員

2007-2015：実行委員

2010年まではIP Track, 2011年からはSpecial Sessions
2015年はPublicity

2015.02.04 Kazumi Hatayama

65

ITC2014における先端技術動向

1. ITCについて
2. ITC2014の概要
3. 論文発表の全体動向
4. 注目セッションの紹介
5. まとめ

ITC2014概要

- ・開催日 : 2014年10月19日(日)～24日(金)
- ・開催場所 : Seattle, WA, USA
- ・参加者 : 1600名程度(日本からは30名程度)
- ・基調講演 : 2件(10/21-23)
- ・論文発表 : 28セッション84件(10/21-23)
 - 一般論文57件(採択率≒24%), 招待論文27件
- ・チュートリアル : 12件(10/19-20)・・・すべてHalf Day
- ・ポスター : 43件(10/22)
- ・特別セッション : 4件(10/21-22)
- ・パネル : 3件(10/20-22)
- ・展示会 : 58社(10/21-23)
- ・ワークショップ : 2件(10/23-24)
 - 3D-TEST : Testing Three-Dimensional Stacked ICs
 - DATA : Defects, Adaptive Test and Data Analysis
(昨年はDigital and Analog Test and Data Analysis)

2015.02.04 Kazumi Hatayama

67

ITC2014 At-a-Glance

SUNDAY, OCTOBER 19 – HALF-DAY TUTORIALS			
8:30–12:00	<u>Tutorial 1</u> Testing of TSV-based 2.5D- and 3D-Stacked ICs—Basic	<u>Tutorial 2</u> Mixed-Signal DFT and BIST: Trends, Principles and Solutions	<u>Tutorial 3</u> Hardware Security and Test
13:00–16:30	<u>Tutorial 4</u> Testing of TSV-based 2.5D- and 3D-Stacked ICs—Advanced	<u>Tutorial 5</u> Practices in High-Speed I/O Testing	
MONDAY, OCTOBER 20 – HALF-DAY TUTORIALS			
8:30–12:00	<u>Tutorial 7</u> Hierarchical Test for Today’s SoCs	<u>Tutorial 8</u> Statistical and Adaptive Test Methods Targeting “Zero Defect” IC Quality and Reliability	<u>Tutorial 9</u> Test, Diagnosis and Root-Cause Identification of Failures for Boards and Systems
13:00–16:30	<u>Tutorial 10</u> Hierarchical Scan Compression	<u>Tutorial 11</u> Memory Test and Repair in the Nanometer Era	<u>Tutorial 12</u> Practices in RF IC Testing
MONDAY, OCTOBER 20 – SPECIAL PANEL			
16:30–18:00	<u>Panel 1</u> Analog Design-for-Test: What’s the Real Story?		
TUESDAY, OCTOBER 21 – TECHNICAL SESSIONS			
9:00–10:30	<u>Plenary</u> – Keynote Address Testing Positive ... For Complexity!		
10:30–17:30	<u>Exhibits</u>		
11:00–14:00	<u>Corporate Forum</u>		
14:00–15:30	<u>Session 1</u> What New Defects Will New Technologies Bring?	<u>Session 2</u> Modeling and Measuring Complex Analog Behaviors	<u>Session 3</u> Security: From Chips to the Internet of Things
			<u>Session 4</u> Robust Energy Systems
16:00–17:30	<u>Session 5</u> Discussion Session: Has Adaptive Test Lived Up To Its Expectations?		<u>Panel 2</u> Open Problems in Design, Verification and Test: Why Is It (Not) Business as Usual?

2015.02.04 Kazumi Hatayama

68

ITC2014 At-a-Glance (つづき)

WEDNESDAY, OCTOBER 22 – TECHNICAL SESSIONS					
8:30–10:00	<u>Session 6</u> More Test Compression: Cadence, Mentor, Synopsys	<u>Session 7</u> Tackling Timing and Power During Test	<u>Session 8</u> Learn From The Experts: High Volume Manufacturing	<u>Session 9</u> RF Test: Digital ATE, Radios, Radars	<u>Ph.D Competition Final Round</u>
9:30–16:30	<u>Exhibits</u>				
10:30–12:00	<u>Session 10</u> “Fool” Nyquist, Fix Nonlinearity, Tolerate Jitter	<u>Session 11</u> Embedded Systems: From Firmware to Large-Scale Applications	<u>Session 12</u> Test Enables Technology Bringup	<u>Session 13</u> Discussion Session: Challenges in Testing MEMS Devices	<u>Elevator Talk</u>
12:00–14:00	<u>Poster Session</u>				
12:20–13:40	<u>Corporate Forum</u>				
14:00–15:30	<u>Session 14</u> Advances in Packaging and Probing	<u>Session 15</u> Building Robust Systems: Under Test and in the Wild	<u>Session 16</u> Emerging SoC Challenges: Design, Quality, Reliability	<u>Session 17</u> Coding, Coverage, Vmin and Repair: Tradeoffs in Today’s Embedded Memories	<u>Session 18</u> Big Data: Big Problem or Opportunity for Test?
16:00–17:30	<u>Plenary Panel Wisdom from the Giants</u>				

2015.02.04 Kazumi Hatayama

69

ITC2014 At-a-Glance (つづき)

THURSDAY, OCTOBER 23 – TECHNICAL SESSIONS				
9:00–10:30	<u>Session 19</u> Statistical Approaches to AMS Design and Test	<u>Session 20</u> Test and Yield Go 3-D	<u>Session 21</u> Boards and Test: Not Your Dad’s Board Test	<u>Session 22</u> Validation: Pre-Silicon, Emulation, Post-Silicon
9:30–13:00	<u>Exhibits</u>			
11:00–12:00	<u>Keynote Address Automated Software Testing for the 21st Century</u>			
13:00–14:30	<u>Session 23</u> RAM Test and Repair: Today and Tomorrow	<u>Session 24</u> Connecting Process Variation, Yield, and Diagnosis	<u>Session 25</u> Functional Testing: A Fresh Look	<u>Session 26</u> Think You Know ATPG? Think Again
15:00–16:30	<u>Session 27</u> Stay “Tuned” for Analog Testing	<u>Session 28</u> Attacks and Countermeasures for Secure Chips	<u>Session 29</u> Logic test compression + Logic BIST	<u>Session 30</u> What’s Wrong with My Chip?
THURSDAY, OCTOBER 23 – WORKSHOPS				
16:00–18:30	<u>Testing Three-Dimensional Stacked ICs (3D-TEST)</u>		<u>Defects, Adaptive Test and Data Analysis (DATA)</u>	
FRIDAY, OCTOBER 24 – WORKSHOPS				
8:00–16:00	<u>Testing Three-Dimensional Stacked ICs (3D-TEST)</u>		<u>Defects, Adaptive Test and Data Analysis (DATA)</u>	

2015.02.04 Kazumi Hatayama

70

基調講演-1

- A. de Geus (Chairman and CEO, Synopsys)

「複雑化に対するテストの役割」

- トレンド: 複雑化の進展・10xの複雑化に対する挑戦が続く
- テストの課題: 様々な微小欠陥への対応・抵抗性open/short
「欠陥挿入→新故障タイプ特定→ツール改良」が必要
 - 微細化→より高い欠陥検出能力が要求される
- ブレークスルー: 論理合成('86)→物理最適化('00)→Zroute('06)→???
- テスト: Scan('70s)→MBIST('80s)→Compression('90s)→MBISR('00s)→???
- お金と技術
 - クラウド, スマホ, . . . ; 相違点(EDA&Test)→価値(生産性)
- 複雑化へのテストの対応
 - IPコア: ロジック・圧縮率向上, 省ピン化; メモリ・リペア; I/F・ラッパ
 - SoC: エコシステム(Siデバッグ, 歩留り解析, . . .)
- IoT(Internet of Things): 処理+モバイル通信→集約化, 関連付け
- 集約化・Smart Everything (徐々に脳の模倣に近づきつつある)

☆次の10xに向けて体系的な協業が重要

2015.02.04 Kazumi Hatayama

71

基調講演-2

- P. Godefroid (Principal Researcher, Microsoft Research)

「21世紀におけるソフトウェアテストの自動化」

- 自動化の実現方法:
 - 静的テスト生成: 入力空間の静的解析→非実用的
 - 動的テスト生成: プログラムを実行して制約を収集
- ファジング: 予測不可能なデータで意図的に例外を発生させて挙動を確認
 - Blackbox(BB)・ランダム, 文法ベース, Whitebox(WB)・初期入力をよく吟味
- SAGE(Scalable Automated Guided Execution): セキュリティテスト手法, WB方式
 - 2007年以降適用し数多くのセキュリティバグを発見
 - すべてのWindowsパーサのすべてのバッファオーバーフローをチェック
- 次のステップは?
 - より深く: 形式検証へ向かう
 - より広く: ファジングの先の応用を目指す
- 最近のソフト会社のトレンド
 - テレメトリ(エラーレポート等), ビッグデータ(クラウドでのプログラム解析)

☆ソフトウェアテスト自動化はトレンドの影響を受けつつも着実に進展

2015.02.04 Kazumi Hatayama

72

ITC2014における先端技術動向

1. ITCについて
2. ITC2014の概要
3. 論文発表の全体動向
4. 注目セッションの紹介
5. まとめ

論文発表一全体傾向

- ・採択論文数: 57件 (採択率は約24%)
日本からは3件 (採択率不明)
国別採択論文数は右図のとおり
- ・分野別論文数: 次ページのとおり
 - ・ATPG/テスト圧縮関連・・・11件
 - ・アナログ/M-S, RF/高速IO関連・・・12件
 - ・メモリテスト関連・・・5件
 - ・3D-ICテスト・・・3件
 - ・マイクロプロセッサ/SoCテスト・・・0件
 - ・ボード/システムテスト・・・2件
 - ・診断, デバッグ関連・・・6件
 - ・高信頼化関連・・・7件
 - ・ATE関連・・・3件
 - ・DFT関連・・・3件
 - ・アダプティブテスト・・・3件

	ITC2014	ITC2013
USA	34	31
Japan	3	3
Taiwan	5	4
Hong Kong	0	1
China	0	1
Korea	1	0
India	3	0
Germany	4	3
France	1	1
Poland	1	1
Spain	0	1
Italy	0	1
Belgium	2	0
Sweden	1	0
Canada	2	1
Total	57	48

論文発表: ITC2013との比較

・前回(ITC2013)との比較

		ITC2014	ITC2013
採択率		24% (57/238)	32% (48/150)
分野別論文数	ディレイテスト／電力・温度考慮テスト	2 (1)	0
	欠陥ベーステスト	2 (1)	0
	ATPG(テスト生成)／テストデータ圧縮	7 (0)	7
	マイクロプロセッサ／SoCテスト	0 (0)	3
	メモリ／FPGAテスト	5 (2)	3
	アナログ／ミックスシグナルテスト	8 (3)	2
	高速I/O／RFテスト	4 (1)	4
	3D-ICテスト	3 (1)	6
	DFT(テスト容易化)/BIST(組込み自己テスト)	3 (0)	6
	ATE(テスト装置)	3 (0)	4
	ボード／システムテスト	2 (1)	4
	デバッグ／故障診断／歩留改善	6 (2)	6
	アダプティブテスト	3 (0)	0
	高信頼化／劣化対応／セキュリティ	7 (5)	3
	ファンクショナルテスト	2 (1)	0
	その他	0 (9)	0
	合計	57 (27)	48

論文数のカッコ内は招待論文数

2015.02.04 Kazumi Hatayama

75

論文発表の動向

- ・全体構成: 件数はやや増加したが, 分野としては減少したものもあり, かなり動きがあった
- ・アナログ／ミックスシグナルテストが大幅に増加
(昨年大幅に減少したがすぐに回復)
- ・3D-ICテストが減少 (一時の勢いにかげりが見える?)
- ・DFTとして分類されるものはゼロ (3件はいずれもBIST関連)
- ・セキュリティがホットピックとして目立つ (招待論文も含めて)
- ・アダプティブテストもホットなトピックス
- ・マイクロプロセッサテストがゼロになったのは時代の流れか?
- ・ファンクショナルテストが見直されている (様々な要因?)

参考: VTSの前年比較

・VTS2014とVTS2013の比較

		VTS2014	VTS2013
採択率		43% (45/105)	45% (41/91)
トピック別 論文数／ セッション数	ディレイ／性能テスト	2 / 0.7	3 / 1.0
	電力考慮テスト	4 / 1.3	4 / 1.0
	ATPG／テストデータ圧縮	5 / 1.7	4 / 1.0
	メモリテスト	4 / 1.3	6 / 2.0
	アナログ／MSテスト	5 / 1.7	3 / 1.0
	高速I/O／RFテスト	7 / 2.3	6 / 2.0
	3D-ICテスト	6 / 2.0	5 / 1.7
	その他のデバイステスト	4 / 1.3	1 / 0.3
	デバッグ／故障診断／歩留改善	3 / 1.0	3 / 1.0
	システム高信頼化／劣化対応	2 / 0.7	5 / 1.7
	セキュリティ	3 / 1.0	1 / 0.3
	合計	45 / 15.0	41 / 13.0

ITC2014における先端技術動向

1. ITCについて
2. ITC2014の概要
3. 論文発表の全体動向
4. 注目セッションの紹介
5. まとめ

テストデータ圧縮／BIST関連

- Session 6: More Test Compression: Cadence, Mentor, Synopsys
- Session 29: Logic Test Compression + Logic BIST
 - テストデータ圧縮／BIST関連では2セッションで6件の講演
 - 興味深かった6.1及び29.3をメインに紹介

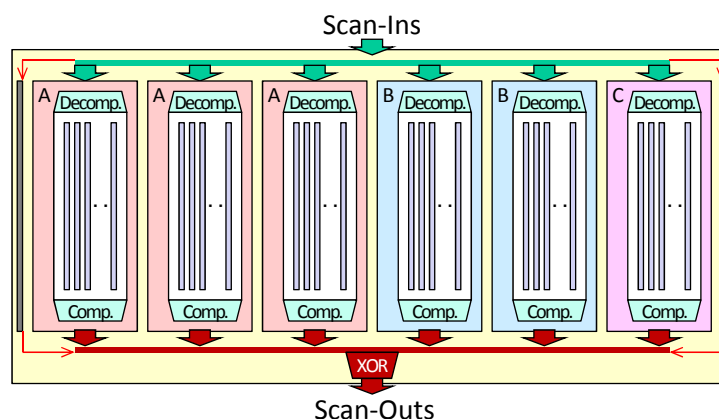
講演No.	タイトル	著者	所属
6.1	Efficient Testing of Hierarchical Core-based SOCs	B. Keller, et al.	Cadence
6.2	Isometric Test Compression with Low Toggling Activity	J. Tyszer, et al.	Poznan U. Tech., Mentor, U. Iowa
6.3	Achieving Extreme Scan Compression for SoC Designs	P. Wohl, et al.	Synopsys, NVIDIA
29.1	Improving Test Compression with Scan Feedforward Techniques	S. Muthyala, N. Touba	UT-Austin
29.2	A Diagnosis-friendly LBIST Architecture with Property Checking	S. Prabhu, et al.	Virginia Tech
29.3	FAST-BIST: Faster-than-At-Speed BIST Targeting Hidden Delay Defects	S. Hellebrand, et al.	U. Paderborn, U. Stuttgart

2015.02.04 Kazumi Hatayama

79

主な講演の概要: 6.1

- B. Keller (Cadence): 階層型コアベースSoCのテスト効率化
 - 階層設計に対応したテスト圧縮技術: 多くの要請から期待大
 - 回路規模増大対応, テスト圧縮率向上, 低電力設計対応, ATPGメモリ削減
 - 各コアのラッパ回路を利用した階層テストを提案
国際規格IEEE1500対応でも独自仕様でも可
 - コンカレントテスト対応: スキャン入力/出力信号の共用が可能,
コア単位での良否判定⇒部分良品選別も可能



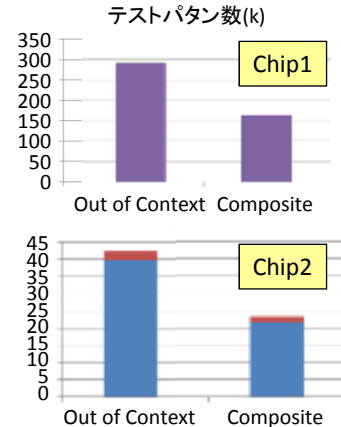
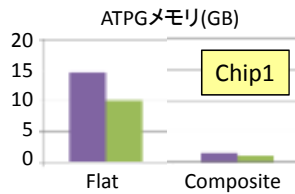
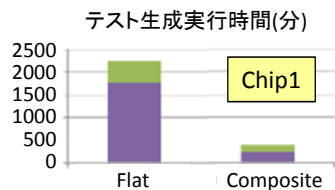
2015.02.04 Kazumi Hatayama

80

主な講演の概要: 6.1 (つづき)

- 実験結果: 2種の評価回路を使用
 - Chip1: コアAの変形3種を各10個含む
 - Chip2: コアB,C,Dを各10個含む
- フラットモデルとの比較(Chip1の結果のみ)
 - テスト生成時間を大幅削減: 約1/5
 - ATPGメモリを大幅削減: 約1/10
 - テストパターン数も若干削減: 約10%
- 3種コア逐次テスト時との比較
 - テストパターン数を大幅削減: 約1/2(両ケースとも)

コア	A	B	C	D
FF数	97k	20k	200k	17k
ゲート数	209k	151k	1.44M	39k
故障数	2.48M	1.23M	12.4M	401k



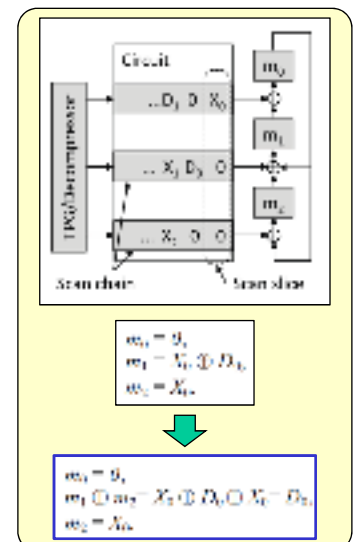
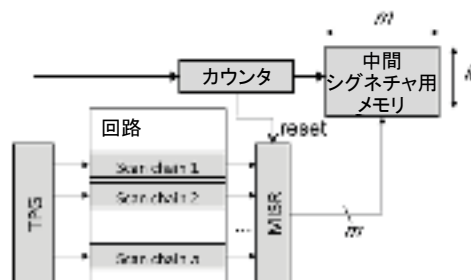
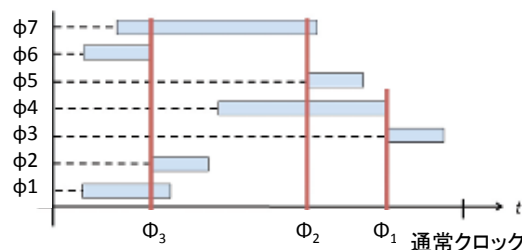
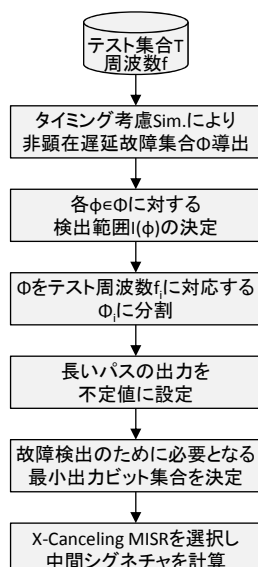
2015.02.04 Kazumi Hatayama

81

主な講演の概要: 29.3

FAST: Faster-than-At-Speed Test

- S. Hellebrand (Paderborn大): FAST-BISTによる微小遅延故障検出
 - FAST-BISTによる非顕在遅延故障の検出を目指した2つのアイデアを提案
 - 少ないクロックタイミング数で効率的にテストするためのグループ化手法
 - 早すぎるタイミングに伴う不定値発生への対策手法(X-Cancelingを利用)



2015.02.04 Kazumi Hatayama

82

主な講演の概要: 29.3 (つづき)

- ・評価実験: ITC'99及びNXPベンチマーク(10種)を使用
 - ・ATPGパターン(1000パターン)を使用, 最速クロックは通常の30%の周期
 - ・通常速度での検出故障と未検出(非顕在)故障を比較分析
 - ・実験結果: グループ化・・・最大10グループ(=10テストタイミング)
非顕在故障の検出率・・・最大で約82%(ただし大半は50%未満)
☆検出率は初期パターンへの依存度が大きく工夫が必要

回路名	ゲート数	PPI数	PPO数	最大 スキャン チェーン長	通常クロック 周期(ps)	回路名	該当故障 検出率	非顕在 該当 故障数	FAST グループ 数	非顕在故障 検出率
b14_1	12,428	260	214	4	4.124	b14_1	0.02%	22,146	3	24.11%
b17_1	21,858	1,827	1,348	22	3.576	b17_1	2.02%	70,637	4	22.20%
b18_1	75,618	4,116	3,085	49	4.484	b18_1	0.04%	180,885	5	41.51%
b20_1	25,547	533	450	8	4.269	b20_1	0.09%	53,939	4	33.34%
b21_1	25,561	534	450	8	4.276	b21_1	0.22%	54,304	4	33.69%
b22_1	38,568	786	664	11	4.445	b22_1	0.02%	85,590	7	34.69%
p35k	22,803	2,861	2,229	35	3.159	p35k	0.09%	55,259	10	3.44%
p45k	22,414	3,739	2,550	40	3.499	p45k	0.02%	79,07	2	11.67%
p78k	46,504	3,148	3,484	58	1.475	p78k	1.85%	251,367	8	82.08%
p81k	78,665	4,029	3,952	62	1586	p81k	1.29%	208,676	5	76.88%

2015.02.04 Kazumi Hatayama

83

その他の講演の概要

- ・6.2 J. Rajski (Mentor): 低トグル率テスト圧縮方式
 - ・スキャンチェーン中の信号変化箇所をテンプレートにより限定
→コード化処理を省力化しつつテスト電力を削減
 - ・実験結果: 故障検出率を落とさずにテストデータ量を大幅に削減
- ・6.3 P. Wohl (Synopsys): SoC設計に対する高圧縮率の実現方式
 - ・3レベル圧縮: ブロックレベル(通常圧縮), トップレベル(命令デコード回路),
チップレベル(シリアライザ/デシリアライザ回路)
 - ・実験結果(150Mゲート): テストデータ量・・・1000x, テスト実行時間・・・7000x
- ・29.1 S. Muthyala (UT-Austin): スキャンフィードフォワードによる圧縮率向上
 - ・スキャンチェーンを分割して途中FFからスキャンフィードフォワード
→シフト時間短縮と同時にコード化成功率向上を図っている
 - ・実験結果: コード化成功率向上→テスト圧縮の効率改善を確認
- ・29.2 S. Prabhu (Virginia Tech.): 特性チェックによるLBIST診断容易化
 - ・簡単なチェック回路を設置→BISTで問題となる故障診断の困難性に対処
 - ・特性: 故障の影響を受け易い信号を(ゲートして)モニタ
 - ・実験結果: 15%程度のオーバーヘッドで非BISTに近い診断分解能を達成

2015.02.04 Kazumi Hatayama

84

テスト結果データ活用関連

- Session 18: Big Data: Big Problem or Opportunity for Test?
- データマイニング技術のテスト結果データへの応用に関して3件の講演(内1件は招待講演)
- 注目の高かった18.1をメインに紹介

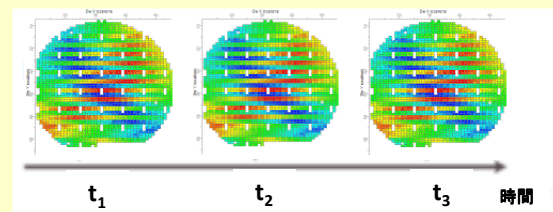
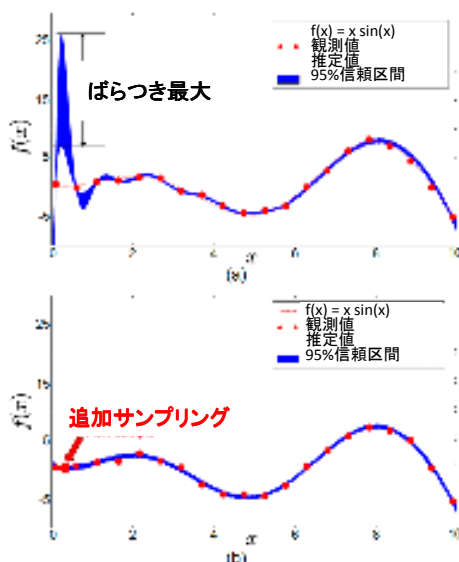
講演No.	タイトル	著者	所属
18.1	Spatiotemporal Wafer-level Correlation Modeling with Progressive Sampling: A Pathway to HVM Yield Estimation	A. Ahmadi, K. Huang, Y. Makris, S. Natarajan, J. Carulli	UT Dallas, Intel, TI
18.2	Yield Optimization Using Advanced Statistical Correlation Methods	L. Wang, J. Tikkenan, S. Siatkowski, N. Sumikawa, M. Abadir	UCSB, Freescale, Independent
18.3 (Invited)	Big Data and Test	A. Gattiker	IBM

2015.02.04 Kazumi Hatayama

85

主な講演の概要: 18.1

- A. Ahmadi (UT-Dallas): 量産歩留り推定のためのウェハレベル相関解析
 - ウェハ内の位置情報との相関を活用したテストコスト削減手法
 - ガウス過程(GP)の効率的利用のため, 適応型サンプリング(PS)を導入
 - 空間的情報に加えて時間的情報も活用する空間・時間モデル(ST)へ拡張



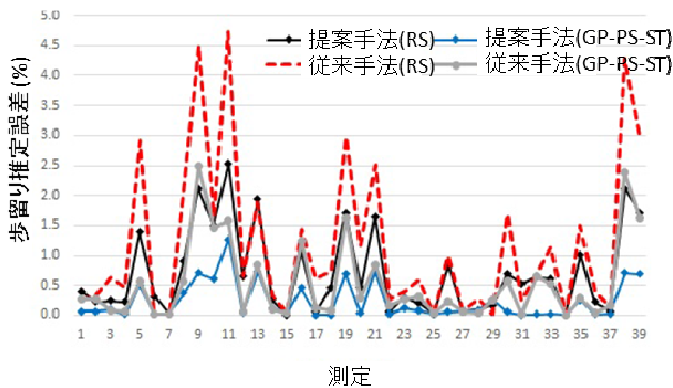
推測: 同一ロット内のウェハ間にも相関あり
 理由: プロセスパラメータが同じ,
 装置の状態も同レベル
 手法: ウェハIDで時間を代用

2015.02.04 Kazumi Hatayama

86

主な講演の概要: 18.1 (つづき)

- ・評価実験: TI社RFレシーバ(65nm)のデータ(ウェハ300枚, 測定項目39種)使用
- ・提案モデル(GP-PS-ST)は従来のGPと比較して, 測定値見積り誤差を16%削減
- ・ポストシリコンデバッグ等の少量データから量産時の歩留りを推定
 - ・最初の5枚のウェハをもとにモデルを構築し300枚のウェハ全体で見積り
 - ・従来手法に比べて平均誤差を1/5以下(1.16%→0.21%)に低減



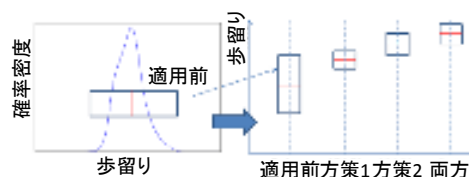
	従来手法 (RS)	従来手法 (GP-ST-PS)	提案手法 (RS)	提案手法 (GP-ST-PS)
歩留り誤差	1.16%	0.63%	0.61%	0.21%

2015.02.04 Kazumi Hatayama

87

その他の講演の概要

- ・18.2 L.-C. Wang (UCSB): 統計的相関手法を用いた歩留り最適化
 - ・狙い: プロセスパラメータとフェールとの相関解析→歩留り最適化・安定化
 - ・フェール数の多いテストビンを解析; 多変量線形相関解析を利用
 - ・適用結果(Si): 歩留りを向上, 変動幅を低減



- ・18.3 A. Gattiker (IBM): ビッグデータとテスト
 - ・ビッグデータとは? ..大規模(PB), 高次元, 多様性, 早い流れ, 適応的
 - ・テスト結果はビッグデータか? ..大規模OK, 適応性OK, あとは???
 - ・テストデータ解析のドライバ: 微細な欠陥の検出, 歩留り学習
 - ・課題: データの構造化 ..意図の抽出が必要
 - ・テストでもテキストでも, 我々は“Gold”を探している

2015.02.04 Kazumi Hatayama

88

Industry Test Challenges

- ・Industry Test Challenges Meeting: 10/20(月) 7:30～16:15
 - ・IBM 社のP. Nigh氏主宰のITC併設イベントで本会議前の月曜日に開催
 - ・参加者は100名超, 講演は企業の先端事例紹介をメインに10件程度
- ・今回のメインテーマはアダプティブテスト: 10件中5件
 - ・Huawei社, Roos Instruments社, Optimal Plus社, UCSB, PSUから関連講演
- ・主な講演内容は以下のとおり。
 - ・X. Gu (Huawei): データの関連付けに基づくアダプティブテストの適用
 - ・NTF故障の要因: テストプログラム不備, テストと実動作の環境のミスマッチ
 - ・これらの問題に対してアダプティブテスト技術を適用
 - ・部品レベルからシステムレベルまでの全体を通したテスト最適化
 - ・故障挿入を含めた根本原因説明によるテストの完全化
 - ・全体を通したデータの収集が必要・標準化の重要性を強調
 - ・M. Roos (Roos): RITdb(Rich Interactive Test Database)の紹介
 - ・RITdb: SEMI CASTのSTDFの発展形, アダプティブテスト対応を含めて検討中
 - ・STDFからRITdbへのマッピング方法は定義済
 - ・外れ値検出手法についても検討が進行中
 - ・ウェアハマップへの対応等も進める予定

2015.02.04 Kazumi Hatayama

89

Industry Test Challenges (つづき)

- ・M. Schuldenfrei (Optimal Plus): テストビッグデータ活用によるROIの最大化
 - ・テストデータのROI=歩留り+品質+生産性-データ解析コスト-その他コスト
 - ・定量化は難しい: 実データに基づく顧客による検証が必要
- ・L.-C. Wang (UCSB): 顧客返品(CQI)に対する外れ値検出手法
 - ・外れ値検出手法は役に立つ・各CQIに適切なテストの発見
 - ・製品事例: 歩留り損失を1.0%未満に(分布ベースの手法(DPAT)利用)
- ・R. Daasch (PSU): チップからシステムまでの全体を通したデータ収集
 - ・ICの故障を以前のトラブルと関連付け: データの不備等の課題が多い
 - ・修復時の旧データ損失も問題→データ収集・蓄積・回復が重要
- ・C.-Y. Cher (IBM): 冗長コアを持つハイエンドプロセッサ向けテスト手法
 - ・BlueGene/Q: 18プロセッサ・16(ユーザ用), 1(サービス用), 1(冗長)
 - ・冗長利用により約2.5%のエリア増で1.4~1.5倍の歩留り向上を実現
 - ・ロジックに対する冗長利用による歩留り向上事例として高い注目

☆論文としては発表が難しい内容についても気軽に発表可能

→最新の企業事例を知る良い機会

- ・来年以降もITCに併設される予定, 是非参加ください

CQI: Customer Quality Incident
DPAT: Dynamic Part Average Testing

2015.02.04 Kazumi Hatayama

90

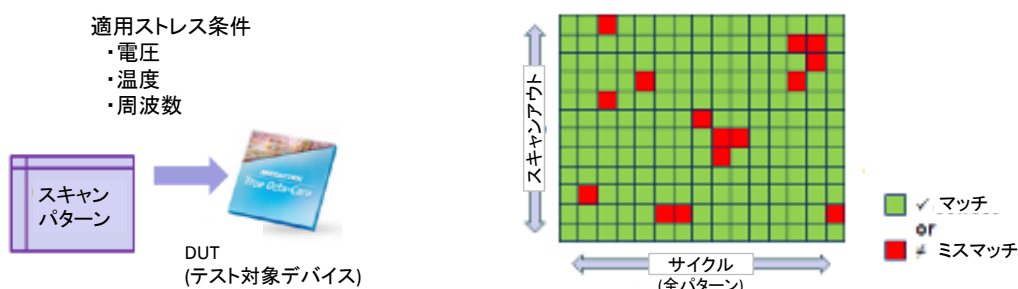
機能テスト関連

- Session 25: Functional Testing: A Fresh Look
 - 機能テストの活用に関連する3件の講演(1件は招待講演)
 - 招待講演の25.3をメインに紹介

講演No.	タイトル	著者	所属
25.1 (Invited)	The Case for Analyzing System-level Failures Using Structural Patterns	H. Chen	MediaTek
25.2	EAGLE: A Regression Model for Fault Coverage Estimation Using a Simulation-based Metric	S. Mirkhani, J. Abraham	U. Texas - Austin
25.3	Comparing the Effectiveness of Cache-resident Tests Against Cycle-accurate Deterministic Functional Patterns	S. Gurumurthy, M. Pratapgarhwala, C. Gilgan, J. Rearick	AMD

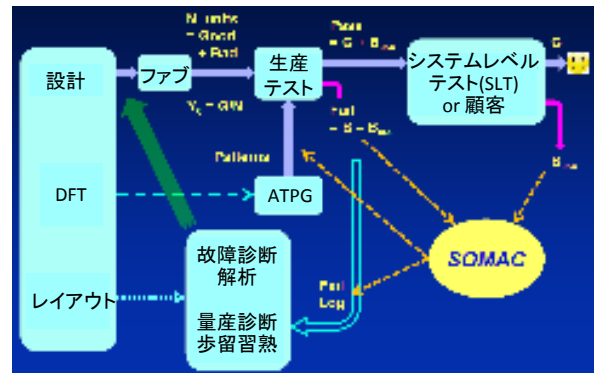
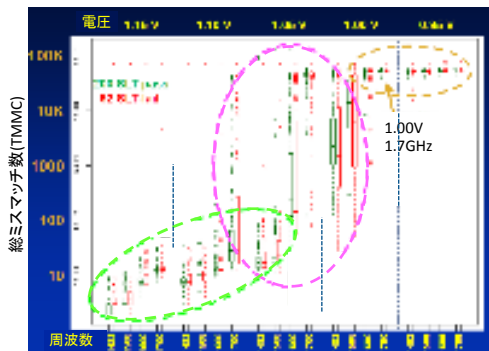
主な講演の概要: 25.1

- H.H. Chen (Mediatek): システムレベル故障の解析事例
 - SoCテストとシステムにギャップ・・・システムレベルテスト(SLT)のDPPMが高い
 - 今日のソリューション: 検出率向上, 故障モデル強化, パタン追加, 量産解析
 - 微妙な見逃し不良の理由: 設計複雑度, ばらつき, ATEとフィールドの違い, ...
 - 検出方法: 仕様外のテスト, 非破壊検査・・・チップ内深部の可視化が必要
 - 研究の3フェーズ: シグネチャ生成, SLT故障へのリンク, シグネチャ利用
 - SOMAC: Stressed On-chip-clock test Mismatch Count
 - 非破壊ストレス条件で構造テスト→FFでディレイ値判定(パス/フェール)
低電圧, オーバークロック フェールストップなし



主な講演の概要: 25.1 (つづき)

- ・適用実験: SoCのQuad-core CPU, 28nm, 1.2V, 1.2GHz, 124k FF, 8 SOピン
- ・60kパターン(240サイクル/パターン); 1ロット(40kチップ)→92 SLTフェール
- ・SOMACデータ取得: 92フェール+200パス, 20 V_{DD} - F_{max} コーナー
- ・データサイズ(各チップ, 各コーナー): $60k \times 240 \times 8 (=115.2Mb)$
- ・評価: 総ミスマッチ数計測→ランダムフォレスト手法でキーフィーチャ抽出
 - ・総ミスマッチ数(TMMC): コーナーにより異なった様相(下左図)
 - ・キーフィーチャ抽出: 27項目を抽出→CPUフェール(21チップ)を指摘
- ・結論: SOMACによりギャップを埋めることが可能(下右図)



2015.02.04 Kazumi Hatayama

93

その他の講演の概要

- ・25.2 S. Mirkhani (テキサス大): 検出率推定の回帰モデル(EAGLE)
 - ・機能テストの検出率評価: 故障Sim.は莫大な時間が必要→推定手法を提案
 - ・EAGLE (linEAr reGression-based fauLt coverage Estimation)
 - ・部分的な故障Sim.のみであり, 高速で使い易い
 - ・GIC(Gate Input Combination)尺度・検出率との相関大
 - ・実験結果: 36種の回路(ISCAS'89他)で評価
 - ・34/36の回路で5%の推定範囲に実際の検出率が存在
 - ・平均で10倍の高速化を達成
- ・25.3 C. Gilgan (AMD): キャッシュレジデントテストの有効性評価
 - ・キャッシュレジデントテストを従来の機能テストと比較対照
 - ・CReST (Cache Resident Self Test)
 - ・キャッシュイメージをテストI/O経由でATEからロードして実行(機能I/O不使用)
 - ・制約: キャッシュミス不可, I/Oアクセス不可
 - ・主にランダムパターンを使用(アプリケーションからの流用も可能(?))
 - ・実験結果: 2種の量産x86プロセッサに適用
 - ・少数のIPテスト追加で従来機能テストと同等レベルの有効性が実現可能

2015.02.04 Kazumi Hatayama

94

MEMSテスト関連

- Session 13: [Discussion Session] Challenges in Testing MEMS Devices
 - 通常の論文セッションでなく、「講演＋パネル討論」
 - 講演者及び講演内容は下記のとおり
 - R. Chrusciel (Focus Test)・・・座長兼任, MEMSテスト概要
 - R. Poitras (Analog Devices)・・・MEMSデバイステストの課題
 - D. Brown (Advantest)・・・MEMS&センサテストのソリューション
 - H. Nozawa (TESEC)・・・MEMSテストハンドラ
 - M. Dewey (Marvin Test Solution)・・・MEMSテストの課題
 - それぞれの講演内容及び討論の内容について紹介

講演の概要

- R. Chrusciel (Focus Test): MEMSテスト概要
 - MEMSデバイス: センサー, 他; 応用はスマホ, 自動車等どこにでも
 - 市場規模: 10B\$('11), 15B\$('14), 20B\$('17)・・・年率12%の増加
 - 次の巨大市場はウェアラブル
 - MEMSテスト: 問題は機械的入力が必要である点
 - テスト時間＝校正時間+検証時間 (加速度センサの例では8～12秒)
 - 自由度(DOF)が増加するとテストすべき条件も増える
 - ATEの問題点: ピンエレ・・・MEMSは5MHz以下, ピン数(96個同側で768 I/O)
 - 初期校正時計算(収束, 相関, 等)が必要; 小パッケージ (2mm², 3mm²)
 - コストを誰がもつか: テストコストはMEMS製造の重大問題
- R. Poitras (Analog Devices): MEMSデバイステストの課題
 - テストコスト大: 入力操作のための時間が長い, 複数パスが必要, ...
 - Pre-Si Sim.(仮想テスト): TTM改善可能, ただしテスト環境確認等の課題あり
 - ハンドラと入力操作装置に関わる課題が多数(信頼性, 精度, 等)

講演の概要 (つづき)

- ・D. Brown (Advantest)・・・MEMS&センサテストのソリューション
 - ・MEMSテストの課題: 非電氣的入力, 市場からのコストに対する圧力
 - ・V9300 MEMS & Sensor Solution: 8スロットテストヘッド, ユニバーサルピン
- ・H. Nozawa (TESEC)・・・MEMSテストハンドラ 4664-IH ULTRA P
 - ・テストとハンドリングの分離で安定化, 温度環境も安定($\pm 1^{\circ}$)
 - ・小チップ(3mm $\square$)にも対応 (SSDP(Super Small Device Placement))
- ・M. Dewey (Marvin Test Solution)・・・MEMSテストの課題
 - ・テストとハンドリングの集約が必要
 - ・ATEの要件: メモリテスト並の価格&同測(>64), SoC並の能力
 - ・マルチサイト・オープンアーキテクチャテストソリューションを提供
最大1024チャンネル, 小サイズ対応, WindowsベースSW

討論の概要

- ・会場を交えた討論の主な内容は以下のとおり
 - ・MEMSデバイスの成長の影響は
 - テストコストへの圧力が高まる,
 - テスト環境が非常に重要となる,
 - コストと機能のミスマッチが問題となる
 - ・リソースの有効活用方法は?
 - ???

パネル討論

- ・以下の3つのテーマでパネル討論
 - ・アナログ回路のDFT
 - ・設計・検証・テストの未解決問題
 - ・テストの巨人たちの見識
- ・2件パネル討論について概要を紹介

Panel No.	タイトル
Panel 1	Analog Design-for-Test: What's the Real Story?
Panel 2	Open Problems in Design, Verification and Test: Why Is It (NOT) Business as Usual?
Plenary Panel	Wisdom from the Giants

2015.02.04 Kazumi Hatayama

99

パネル1の概要

- ・「アナログDFT一何が本当の話か？」
 - ・AMSのDFTはここ数年で急速に進歩→実用化が進んでいない理由を議論
 - ・モデレータはARM社のR. Aitken氏(ITC'13のプログラム委員長)
 - ・各パネリストのポジショントークの主な内容は以下のとおり
 - ・Mentor社 S. Sunter氏 (アナログDFT開発)
 - ・アナログ設計者はなぜDFT手法を用いないのか
 - ・自己回復, 自己校正などがあり故障シミュレーションが困難
 - ・複雑な方法の採用はリスク大→単純な方法(自動化?)が必要
 - ・Silicon Labs社 S. Kumar氏 (ミクストシグナルSoC製品開発)
 - ・良い企業の設計者はアナログDFTを使用している
 - ・ただし個別対応の技術であり, 学会での発表も少ない
 - ・CMU J. Paramesh氏 (RF回路研究)
 - ・設計者の優先順位: 性能 > 日程 > 評価テスト > 量産テスト
 - ・すべてに適用できるDFT手法はない→低コスト技術の開発が必要
 - ・Oregon州立大 T. Fiez氏 (アナログ回路研究)
 - ・上位のトレンド: アナログのデジタル化→タイミング考慮が重要
 - ・問題点: 性能とテストの違いが大, テスト技術者は設計を助けない

2015.02.04 Kazumi Hatayama

100

パネル1の概要(つづき)

- ・会場を交えた討論の主な内容は以下のとおり
 - ・設計者は回路特性を評価レベルで測定するための配慮
(何ものなければ)量産時のテスト容易化までは考慮しないのが一般的
 - ・自己校正, 自己回復, 自己適応の研究は活発
アナログ回路研究者とアナログテスト研究者の接点になる
 - ・アナログDFTは並列テストの効率を向上する上で有用
うまく活用すれば同測数向上の可能性あり
 - ・アナログ回路のデジタル化が進展
デジタル回路と同様のシステムティックなアプローチが必要
 - ・IoTや超高速I/Fなどの大きな波→開発期間短縮が課題
アナログ回路においてもDFTを含めたIPリユースが重要
 - ・Qualcommではテスト技術者の地位が高く,アナログDFTもうまくいっている
 - ・アナログDFTの魅力を高めるため工夫が必要
テストできないデザインの設計者は何もしていないのと同じ

全体パネルの概要

- ・「巨人たちの見識」
 - ・合わせて200(300)年以上の経歴を持つ7名の巨人たちの話に基づき議論
 - ・モデレータはCornell大のK. Fuchs教授
 - ・各パネリストのポジショントークの主な内容は以下のとおり
 - ・Texas大 J. Abraham教授: テストは難しい
 - ・過去のキーブレイクスルー: 縮退故障, DFT/BIST
 - ・テストは困難化・故障動作は非論理的, 種々の搭載回路(A, RF, MEMS,...)
 - ・テストの将来: 関連分野の知見, フィールドBIST, 新DFT(高速デジタル用)
 - ・Auburn大 V. Agrawal教授 (元AT&T社): テストの初仕事・ILLIAC IV ('70)
 - ・テスト技術の進歩: 縮退故障, スキャン, Dアルゴリズム, BIST, ...
 - ・将来は過去の経験の上に立つ, 大学と企業の協力が必要
 - ・3rd Millennium B. Bottoms氏: 信頼性保証はますます複雑化
 - ・今日のテスト技術では明日の信頼性保証不可→大学発の新技術が必須
 - ・課題が続々: PGD(Partially/Probably Good Die), 3Dテストアクセス, ...
 - ・USC M. Breuer教授: 技術トレンド
 - ・トレンドは微細化, 大規模化→冗長&再構成による歩留り向上が重要
 - モジュールレベル冗長と再構成を考慮した設計が必要

全体パネルの概要(つづき)

- ・CMU W. Maly教授: 過去・現在・未来
 - ・ナノスケールICテストは維持不可→まったく新しいパラダイムが必要
- ・Iowa大 S. Reddy教授: テスト研究を促進するために何ができるか
 - ・よく考えられた長期の共同研究を設立する必要あり
 - 学生, 企業, 教員がwin-win-winになるべき
 - ・18年余りで6企業と共同研究・すべて担当のPh.Dの学生がその企業へ
- ・元Synopsys社 T. W. Williams氏 (元IBM社): クラークの三法則(下記)
 - ・LSSD/Scanは大きな進歩であるがファンクションモードとは全く異なる
 - ・ファンクションテストが必要・Back to the Future – But Better

1. 高名だが年配の科学者が可能であると言った場合、その主張はほぼ間違いない。
また不可能であると言った場合には、その主張はまず間違っている。
2. 可能性の限界を測る唯一の方法は、不可能であるとされることまでやってみることである。
3. 十分に発達した科学技術は、魔法と見分けが付かない。

全体パネルの概要(つづき)

- ・会場を交えた討論の主な内容は以下のとおり
 - ・1990年代と比べてITCの参加者が少ない, 興味の低下では?
 - ITC参加者数だけが関心の指標でない。多くのシンポジウム等もある。
 - ・テスト技術のけん引役が変化(大型計算機/通信機器→自動車, 医療)
 - ・良い未来のためには何が必要か?
 - 設計コミュニティとテストコミュニティの集約, テストの価値のアピール
 - ・ソフトウェアのテストについては?
 - 機能面ではハードウェアとソフトウェアは多くの類似点あり,
大きな違いは対象(設計不良(SW), 製造不良(HW))



Synopsys Test SIG

- ・Synopsys Test SIG : 10/20(月) 18:30～21:30
 - ・約20年前からITC併設イベントとして開催(今回で22回目)
 - ・参加者:100名超, ユーザ企業の講演3件(Avago社, TSMC社, Realtek社)
 - ・講演内容は以下のとおり。
 - ・N. Mysore (Avago): Slack-Based and Cell-Aware Test適用事例
 - ・要求:<15DPPM, ロバスト実速度テスト, テスト実行時間短縮
 - ・適用結果:最小スラック故障・2x(SBT), セル内故障検出率67.4%(SBCAT)
 - ・S. Adham (TSMC): STAR Memory System(SMS)適用事例
 - ・SMS使用理由:顧客要求, 特徴, 柔軟性, 自動化, 標準I/F, ...
 - ・適用事例:CoretexA15 4個 + SoC SRAM 4個・多くの問題があったが完遂
 - ・エンハンス要求:IEEE 1450.6.2 (Memory CTL)対応, eFlash BIST(柔軟性)
 - ・Y.-Y. Chan(Realtek): DFTMAX Ultra適用事例
 - ・DFTの課題:多様な設計への対応, 新たな故障への対応, 高い圧縮率
 - ・DFTMAX Ultra: 省ピン設計にも対応可能
 - ・適用事例:0.82%のオーバヘッドで90xのテスト時間短縮(DFTMAX比4-13x)
- ☆ユーザ事例紹介の場として活用されており, 今後とも要チェックのイベント

2015.02.04 Kazumi Hatayama

105

ITC2014における先端技術動向

1. ITCについて
2. ITC2014の概要
3. 論文発表の全体動向
4. 注目セッションの紹介
5. まとめ

2015.02.04 Kazumi Hatayama

106

ITC2014の特徴

・今回のITCの特徴をまとめると以下のとおり。

(1) ITCでもIoTがキーワードに

- ・基調講演をはじめ、パネル討論、論文発表、展示会場等、でIoTに言及
- ・テスト分野においても今後の技術ドライバーとしてIoTに期待
- ・IoT対応も含めてセキュリティもITCの重要分野として高い関心

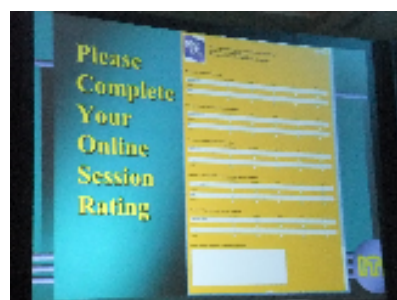
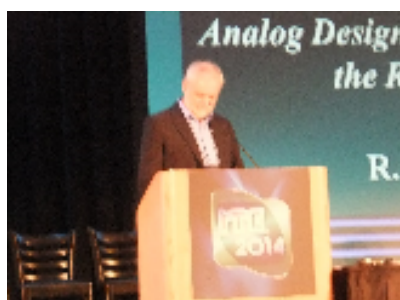
(2) テスト圧縮/ロジックBISTはまだまだ進化する

- ・2件の論文発表セッション(EDAベンダ大手3社、大学)で様々な発表
- ・技術への高い需要と一層の高度化に関する市場要請がドライブフォース
- ・まだまだ将来に向けた技術革新のニーズが高い

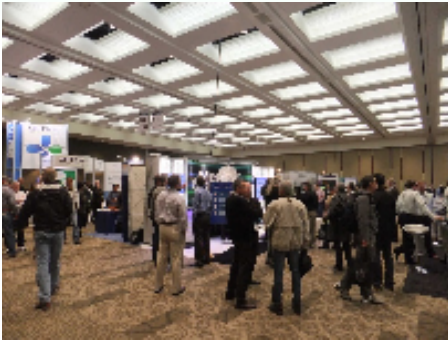
(3) テストデータの活用がますます重要に

- ・大量データを活用した歩留り改善やテストコスト削減は一段と地位が向上
- ・論文発表、併設ワークショップ、併設イベントでも高い注目
- ・世間の流れと相まって急速に発展→今後も注視が必要

ITC2014雑景-1



ITC2014雑景-2



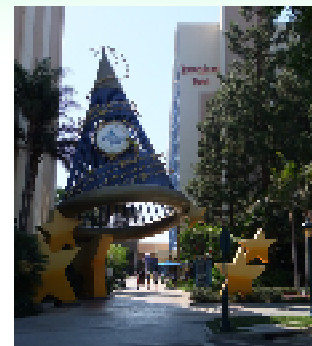
2015.02.04 Kazumi Hatayama

109

ITC2015はアナハイムに戻って

ITC2015はAnaheimに戻って10/4(日)～9(金)に開催されます。

詳細はWeb(<http://www.itctestweek.org>)に掲載されています。



ITC2015 Call For Papers

October 6-8, 2015
Test Week™: October 4-9, 2015

Disneyland Hotel
Anaheim, California, USA

Paper submission deadline: February 22, 2015 (Submission deadline is firm.)
Author notification: May 22, 2015
Final manuscript due: July 17, 2015

アウトライン

- ◇はじめに
- ◇低電力設計対応テスト技術
- ◇ITC2014における先端技術動向
- ◆おわりに

おわりに

テストは価値を生み出す宝の山

