



# スイッチトキャパシタ回路

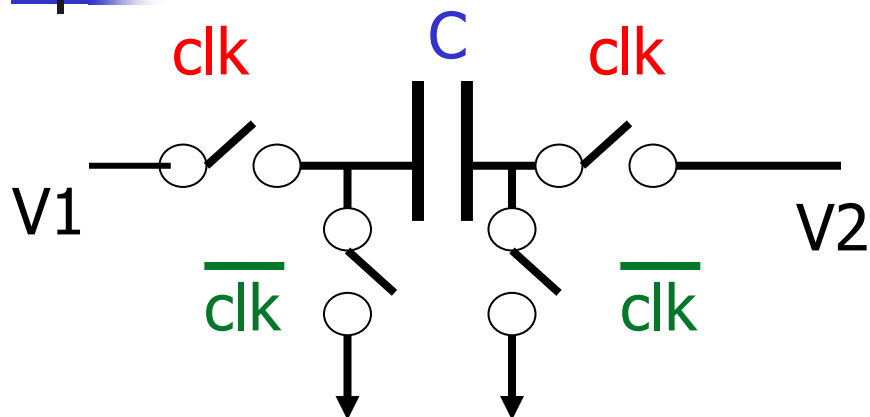
---

群馬大学大学院 理工学府

電子情報部門

小林春夫

# スイッチド・キャパシタ回路

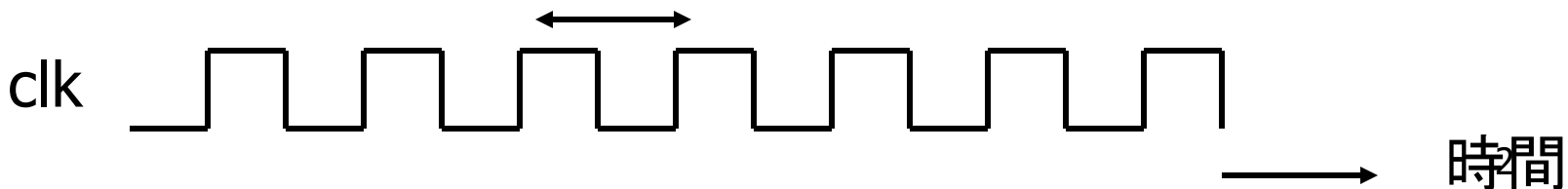


- 容量  $C$  とスイッチで等価的に抵抗  $R$  を実現
- MOSスイッチ使用
- **バイポーラでは実現困難**
- 米国カルフォルニア大学の大学院生が考案
- 多くの製品に使用。



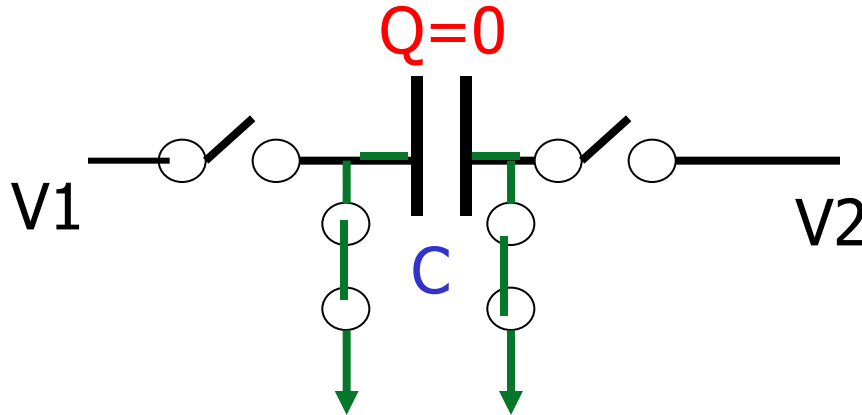
$$R = T / C$$

$T$ : clk 周期

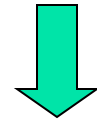


# スイッチド・キャパシタ回路の 動作原理(バタフライ型)

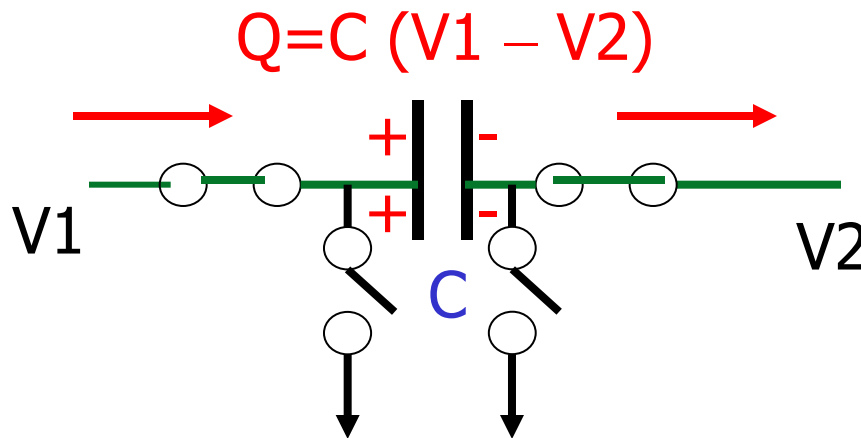
clk=low  
のとき



時間Tに電荷  
 $Q=C(V1 - V2)$   
が流れる。



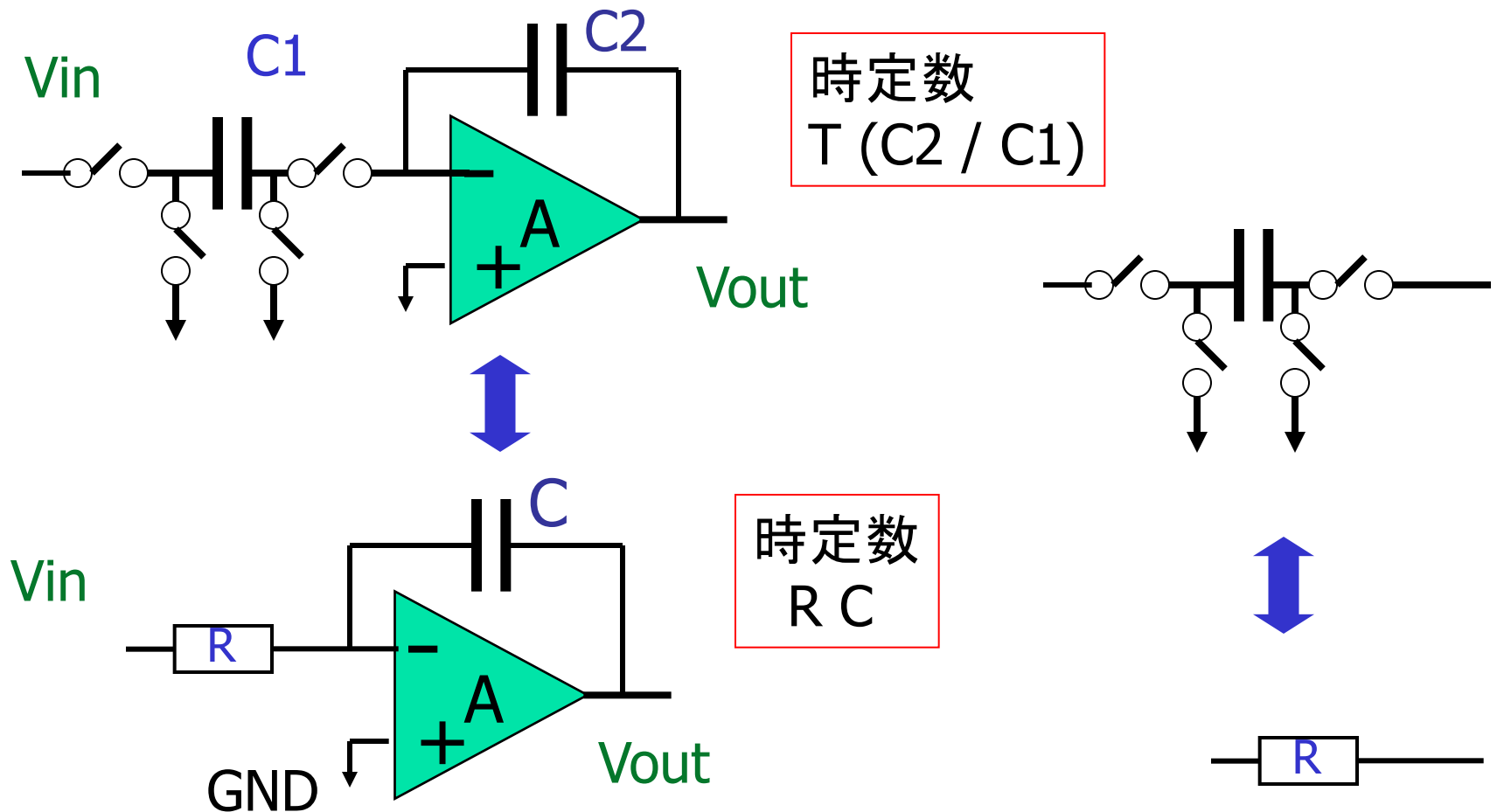
clk=high  
のとき



$$I = \frac{C}{T}(V1 - V2)$$
$$= \frac{1}{R}(V1 - V2)$$

$$\therefore R = \frac{T}{C}$$

# スイッチド・キャパシタ回路を用いた積分回路(バタフライ型)



# なぜスイッチド・キャパシタ回路を用いるのか？

- スイッチド・キャパシタ積分回路 時定数 $T$  ( $C2 / C1$ )
  - クロック周期 $T$ で制御可能
  - 集積回路内では  $C2 / C1$  は高精度に実現可能
  - 集積回路内では 絶対精度は良くないが  
比精度は良い。
  - $C2 / C1$  の値は温度が変化しても一定
- 連続時間積分回路 時定数  $RC$ 
  - 集積回路内で $RC$  の値の高精度な実現が困難
  - $RC$  の値は温度が変化すると変わる。

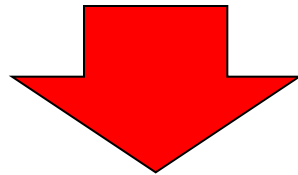
# デジタル回路、アナログ回路、 スイッチド・キャパシタ回路

- デジタル信号：  
信号レベルの量子化（離散信号レベル）  
時間レベルの量子化（離散時間）
- スイッチド・キャパシタ回路  
➡ 離散時間アナログ回路

	信号レベル	連続	離散
時間レベル			
連続		アナログ	PWM等
離散		スイッチド キャパシタ	デジタル

# スイッチトキャパシタ回路

MOS集積回路技術では、  
帰還増幅器の受動素子として抵抗の代わりに  
キャパシタが用いられることが多い。

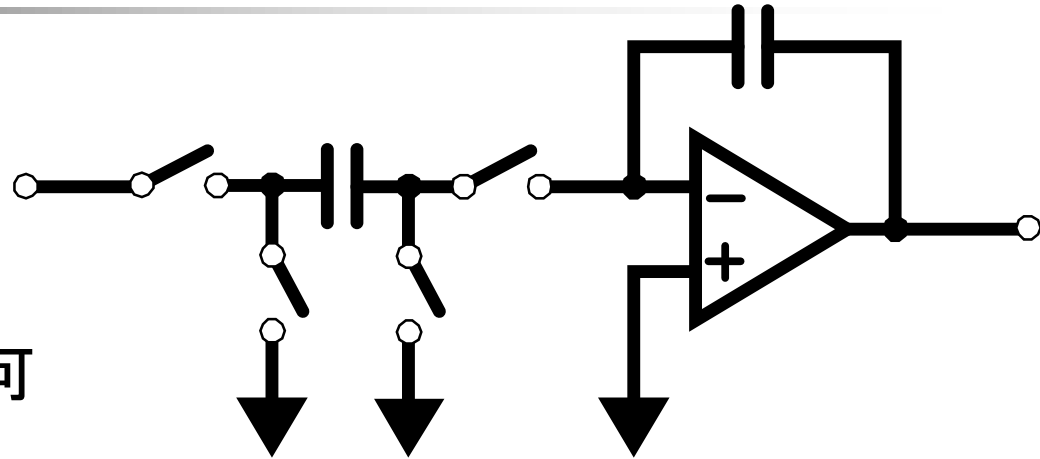


- Cは集積回路内の最も特性の良い受動素子。
- Cに扱うアナログ信号に比例した電荷を保存。
- MOS をキャパシタに接続するスイッチとして動作。
- MOSのゲート電流ゼロ(漏れ電流なし)。
- **離散時間信号処理**を実現。

# スイッチドキャパシタ VS. 連続時間積分器

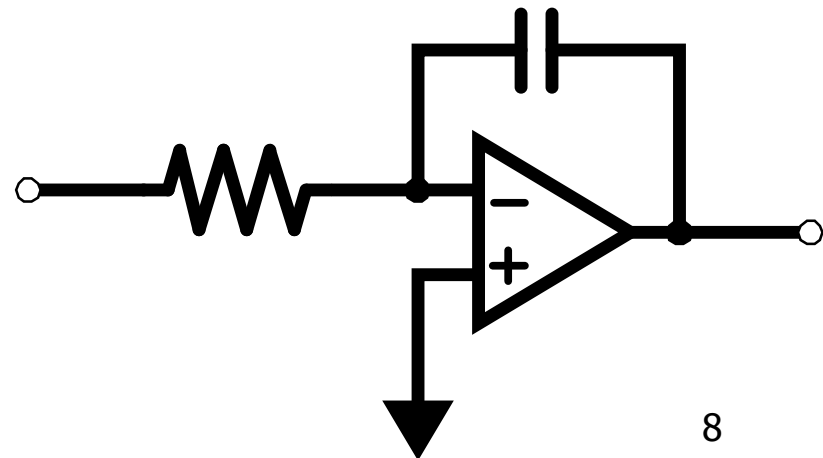
## ■ 離散時間積分器

- 時定数が安定
  - 容量比で決定
  - クロック周期 $T$ で制御可
- 消費電力大
- 低速・低周波信号しか扱えない



## ■ 連続時間積分器

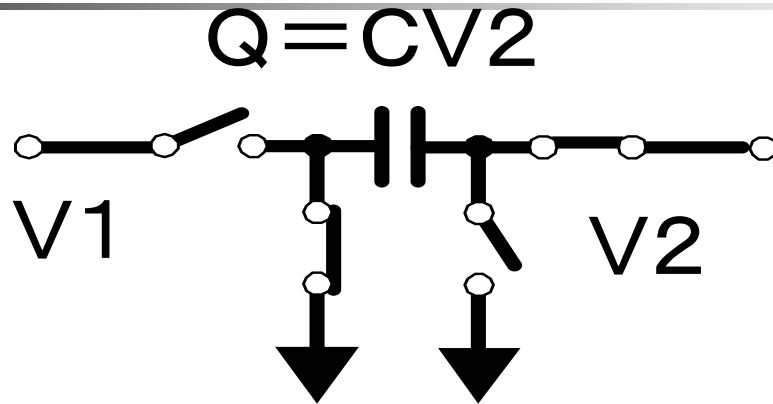
- 時定数がチップ毎にばらつく
  - 調整回路が必要
- 低消費電力
- 高速・高周波信号を扱える





# スイッチド・キャパシタの動作原理 (クローラ型)

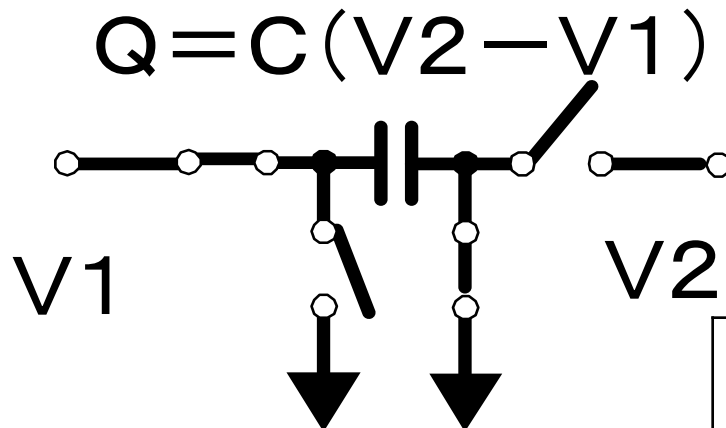
Clk=low  
のとき



時間Tに電荷  
 $Q = (V_2 - V_1)$   
が流れる。



Clk=high  
のとき



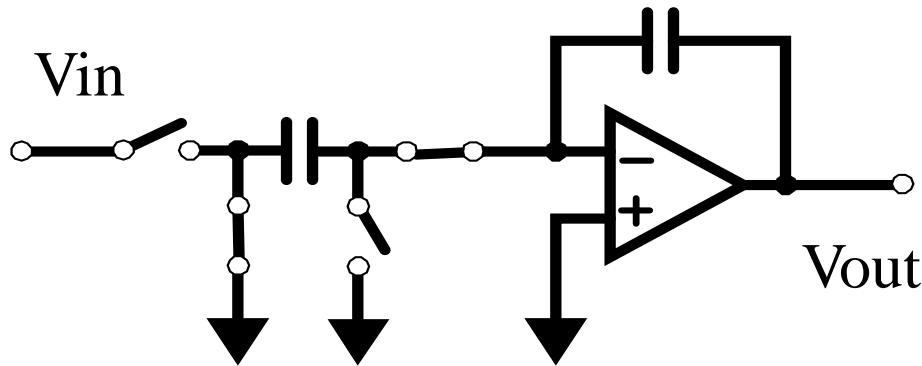
$$I = \frac{C}{T} (V_2 - V_1)$$

$$I = \frac{V_1 - V_2}{R}$$

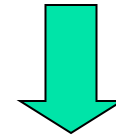
二式より

$$R = -\frac{T}{C}$$

# スイッチド・キャパシタ回路 (クローラ型)を用いた積分回路



時定数が $T = -RC$ となるため、  
積分回路の出力の式は



$$V_{out} = \frac{1}{CR} \int V_{in}(\tau) d\tau$$

