

# LSIテスト技術の基礎と動向

- －LSIテスト技術の基礎
- －ITC(International Test Conference) 2015報告

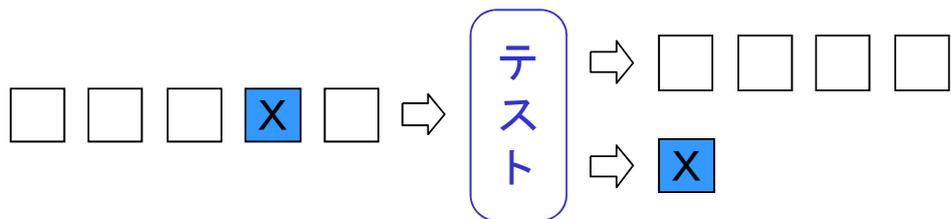
畠山 一実

## アウトライン

- ◆はじめに
- ◇LSIテスト技術の基礎
  - －論理回路テスト生成手法
  - －テスト容易化設計
- ◇ITC2015報告

# LSIのテストとは

LSIのテストとは製造されたチップに  
含まれる不良品を選別する作業



X : 不良品

# テスト装置 : テスタ



高性能SoCテスタ



低価格テスタ

SoC: System-on-a-Chip

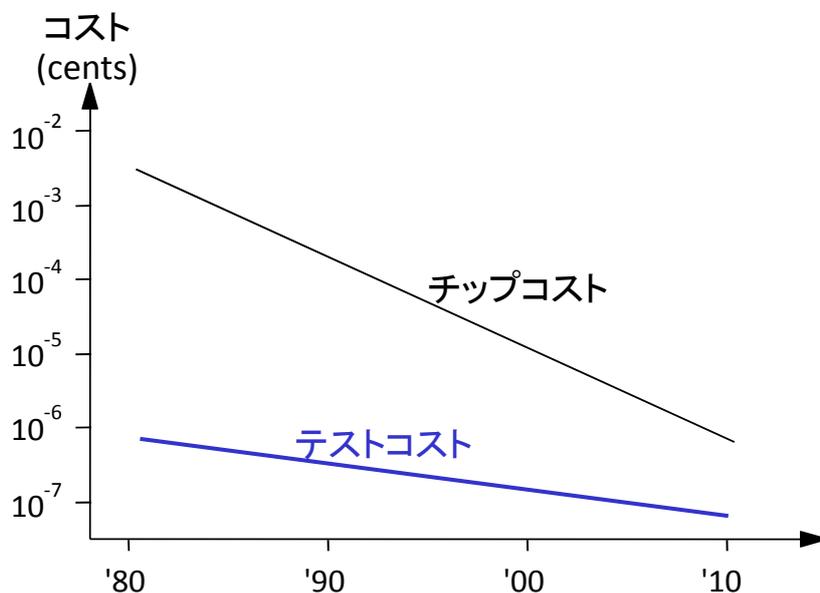
# LSIテストの課題

LSIの高集積化に伴って以下の課題が重大化

- ・テストコスト
- ・テスト品質

# テスト・クライシス

LSIの大規模・高集積化とともにテストコストが爆発



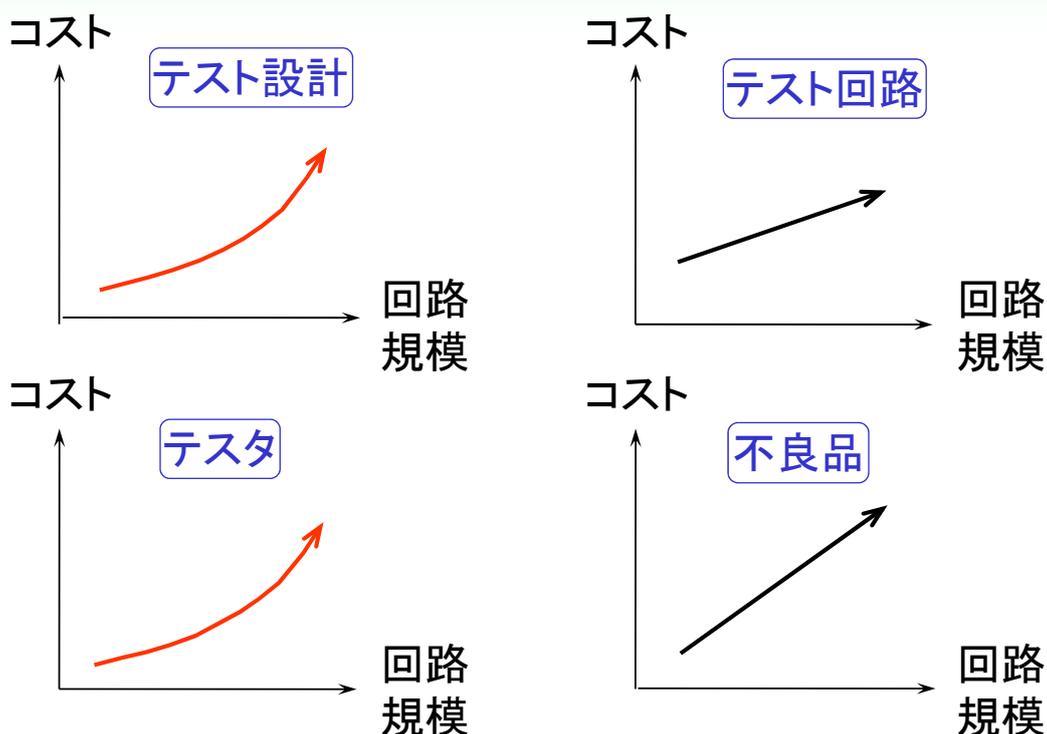
トランジスタ当たりのチップコストとテストコスト

# テストコストとその要因

全体テストコストには様々な要因が係わり  
何が重要かは場合によって異なる

- ・**テスト設計コスト**  
計算機処理時間, 人手作業工数, ツール費用
- ・**テスト回路のコスト**  
エリアオーバヘッド, 配線オーバヘッド
- ・**テストコスト**  
テスト使用時間, テスタ性能向上
- ・**不良品のペナルティ**  
補償, 信用失墜, 不良解析工数

# テストコストと回路規模の関係



# テスト品質の重要性

テスト品質は製品の不良レベルに直接かかわる

$$DL = 1 - Y^{(1-T)}$$

DL: 不良レベル

良品と判定されたLSI中の不良品の割合

Y: 歩留り

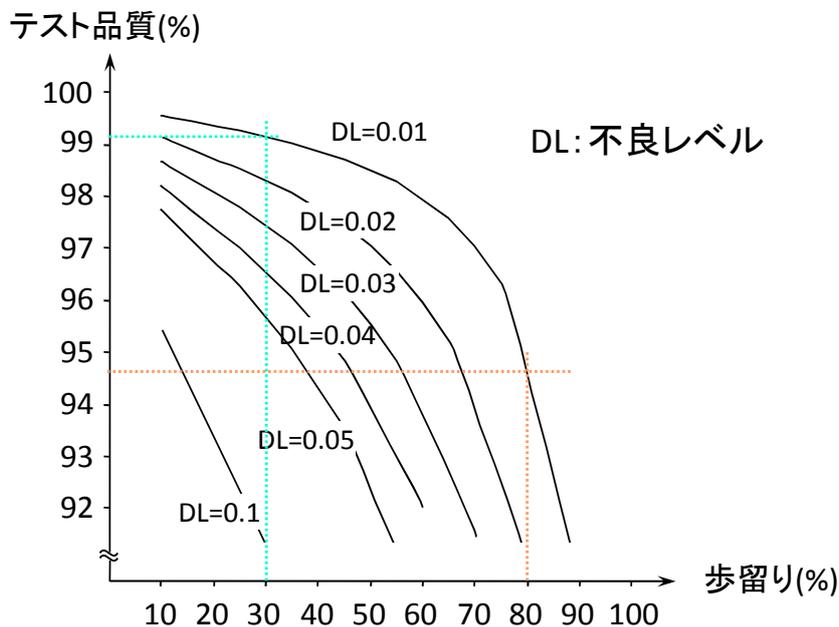
製造LSI中の良品の割合

T: テスト品質

不良品を選別できる確率

# テスト品質と不良レベルの関係

歩留りが下がると高いテスト品質が必要になる



# テスト品質の要求水準の例

大規模LSIではテスト品質の要求水準も高い

- ・中規模LSIの場合  
歩留り:80%, 基準不良レベル:0.01  
→要求テスト品質:95%
- ・大規模LSIの場合  
歩留り:60%(面積2倍, プロセス複雑化),  
基準不良レベル:0.01  
→要求テスト品質:98%

# テスト戦略決定要因

テスト戦略はテストコスト間のトレードオフ及びチップコストとの関連を考えて決める必要がある

- ・**テストコスト**がクリティカルな場合  
テストコストを削減できるテスト方法が必要
- ・**テスト設計コスト**がクリティカルな場合  
テスト設計コストを削減できるテスト方法が必要
- ・生産数量が**多い**場合  
チップコストの増加を抑制できるテスト方法が必要
- ・生産数量が**少ない**場合  
ある程度チップコストを増加させることも必要

# アウトライン

◇はじめに

◆LSIテスト技術の基礎

—論理回路テスト生成手法

—テスト容易化設計

◇ITC2015報告

# 論理回路テスト生成手法

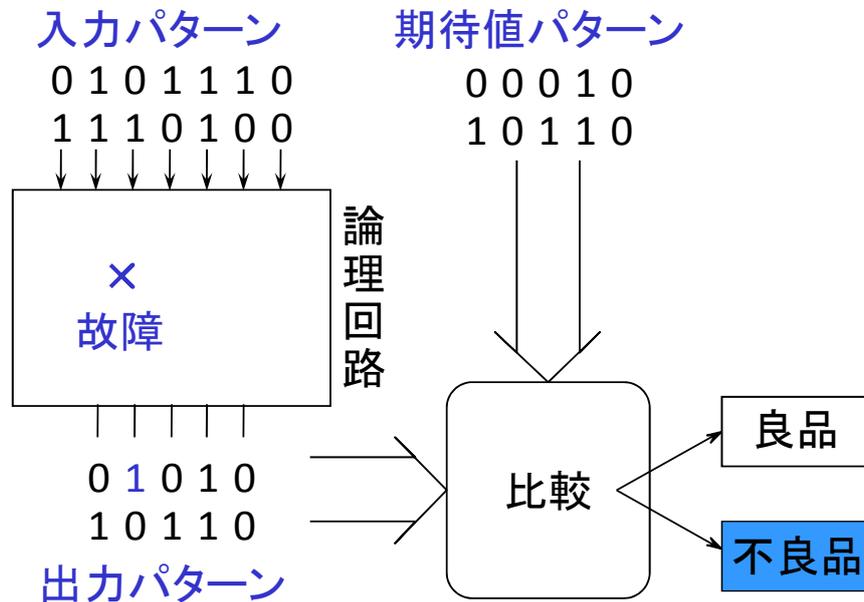
1. 論理回路のテストとは

2. 故障モデルとテスト方法

3. テスト生成基本アルゴリズム

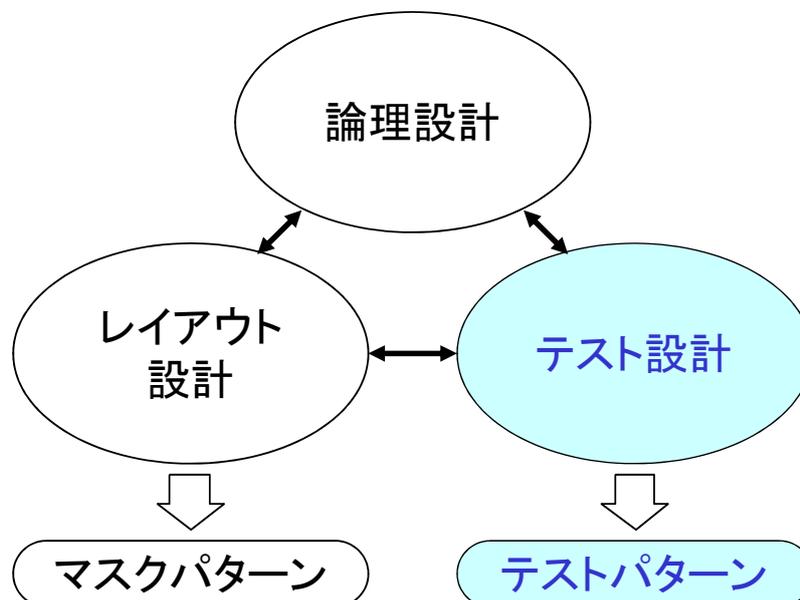
# 論理回路のテストの仕組み

出力パターンと期待値パターンを比較して良否を判定



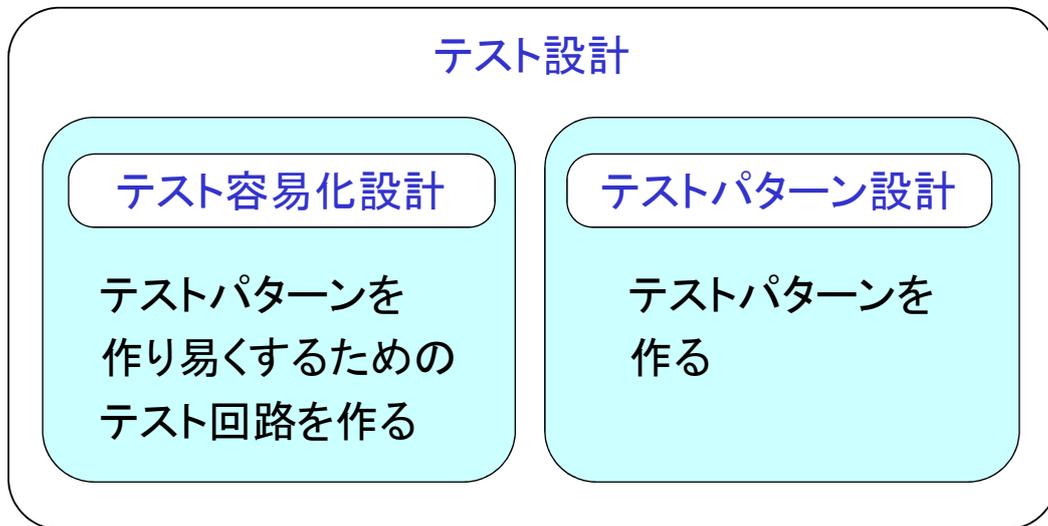
# テスト設計の位置づけ

テスト設計とはテストのための入力パターンの設計



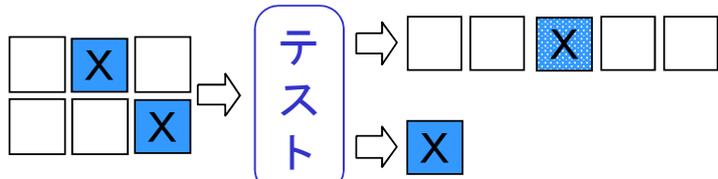
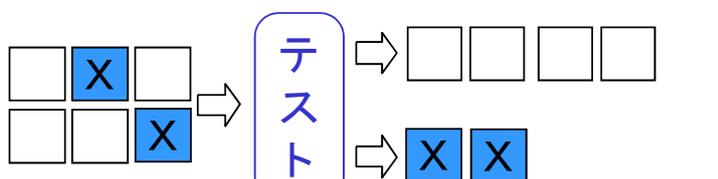
# 広い意味でのテスト設計

テスト設計は広義には2つの内容を含む



# テスト品質の良し悪し

テスト品質の良し悪しはテストパターンの良し悪しによる

テストパターンの良し悪し	テストの結果
良くない	
良い	

# 良いテストパターンを作るには

良いテストパターンを作るには様々な工夫が必要

## ・テスト生成手法の改良

- ・故障検出能力の向上
- ・故障モデルの拡張
- ・テストパターン数の削減

## ・テスト容易化設計の活用

- ・テスト生成時間の短縮
- ・テスト実行時間の短縮
- ・テストパターン品質の向上

# 論理回路テスト生成手法

1. 論理回路のテストとは

2. 故障モデルとテスト方法

3. テスト生成基本アルゴリズム

# 故障モデルの分類

テスト設計を考える際には故障のモデル化が必要

## ◎故障のタイプによる分類

- ・縮退故障(stuck-at) : 信号線が一定レベルに固定
- ・短絡故障(short/bridge) : 信号線が他の信号線と短絡
- ・開放故障(open) : 信号線が断線
- ・遅延故障(delay) : 信号伝播遅延が増大  
[遷移故障(transition) : 遅延が大幅に増大]
- ・その他の故障: トランジスタ故障, メモリ故障, 機能故障, . . .

## ◎故障の数による分類

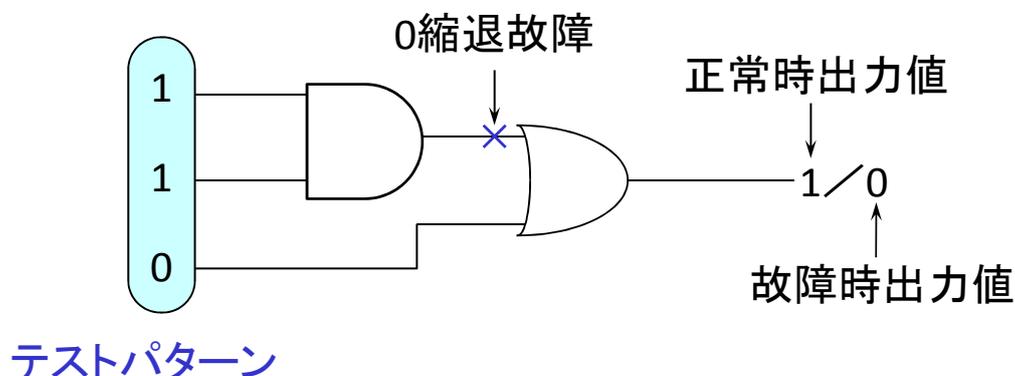
単一故障(single), 多重故障(multiple)

## ◎故障の状態による分類

永久故障(permanent), 間欠故障(intermittent), 過渡故障(transient)

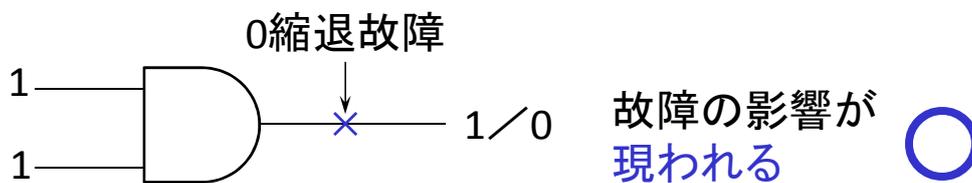
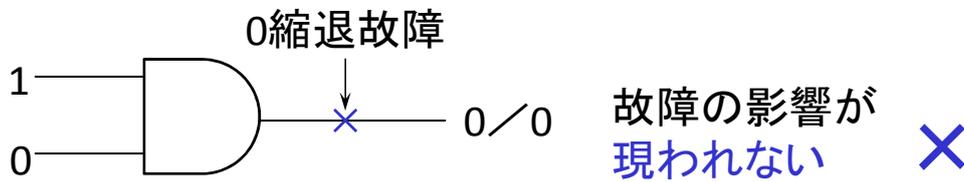
# 縮退故障のテスト方法

縮退故障はスタティックなパターンでテスト可能



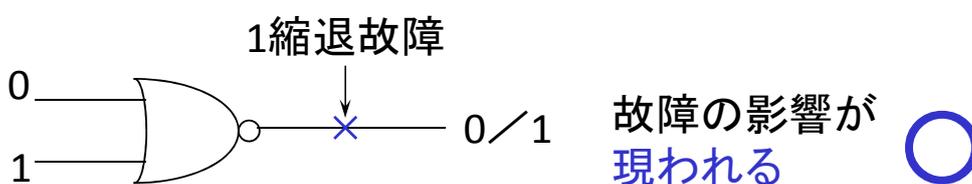
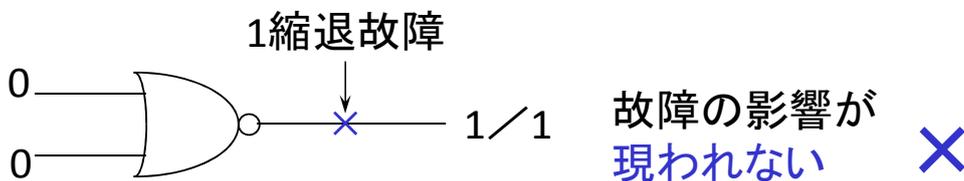
# 故障の顕現化－1

テストするためには故障の影響の**顕現化**が必要



# 故障の顕現化－2

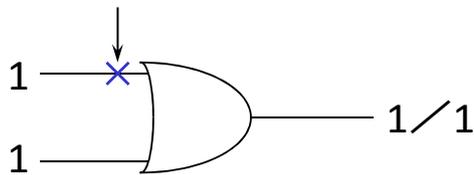
テストするためには故障の影響の**顕現化**が必要



# 故障の伝播 - 1

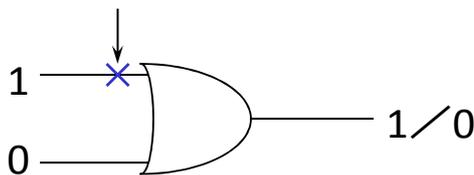
テストするためには故障の影響の伝播が必要

0縮退故障



故障の影響が  
伝わらない ×

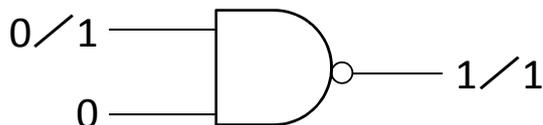
0縮退故障



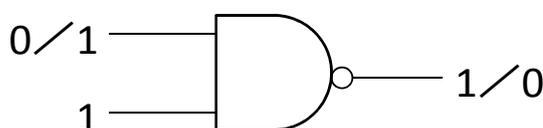
故障の影響が  
伝わる ○

# 故障の伝播 - 2

テストするためには故障の影響の伝播が必要



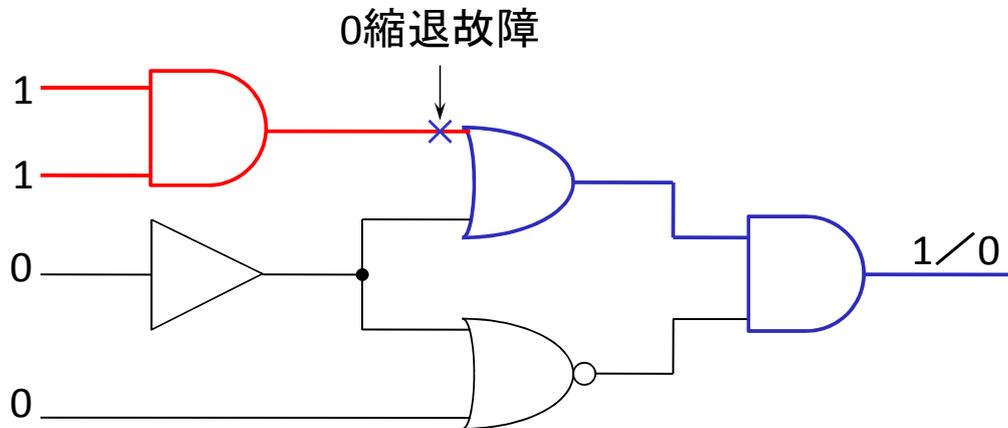
故障の影響が  
伝わらない ×



故障の影響が  
伝わる ○

# 縮退故障のテストの例

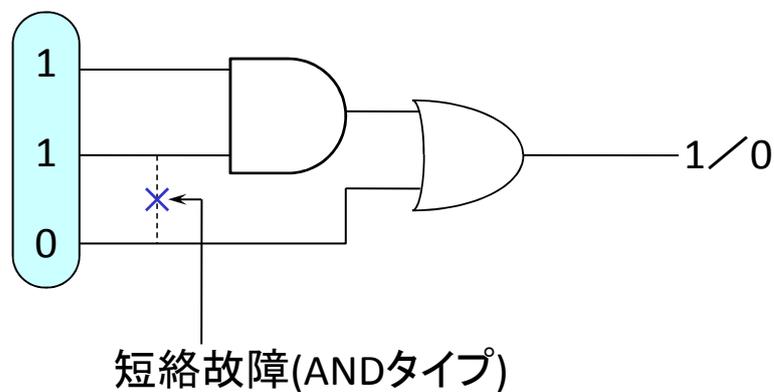
故障を顕現化させてそれを伝播する



# 短絡故障のテスト方法

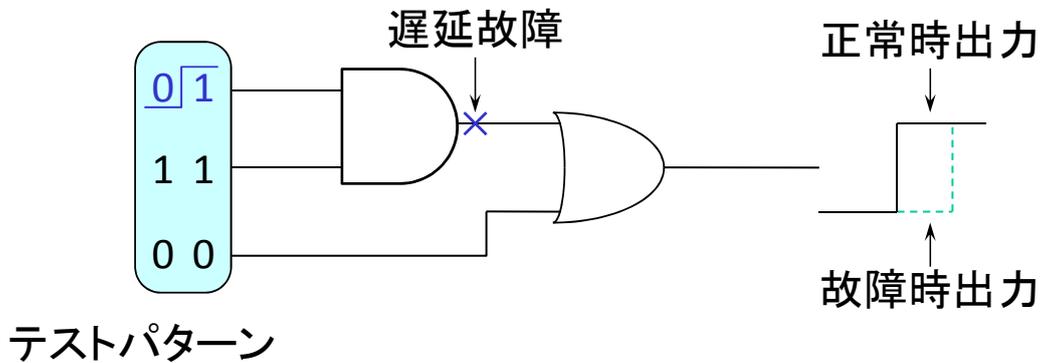
短絡故障もスタティックなパターンでテスト可能

テストパターン



# 遅延故障のテスト方法

遅延故障はダイナミックなパターンでテスト  
(出力を観測するタイミングが重要)



# 単一縮退故障の仮定

以下では単一縮退故障を主体として話を進める

- ・単一縮退故障が最も取り扱いやすい  
テストパターン作成方法が最もわかりやすい
- ・他の故障の多くは単一縮退故障のテストパターンで検出できる
  - 多重縮退故障についてはほとんどをカバー
  - 短絡故障についても大部分は検出可能
  - ★ただし、最近ではカバーできない故障が重要になりつつある(遅延故障, 開放故障等)

# 故障検出率

テストパターン品質の尺度として故障検出率を用いる

故障検出率の定義

あるテストパターンTPに対してTPの故障検出率  
FCを次式で定義する

$$FC = N_{df} / N_{af}$$

ここで,  $N_{af}$ :モデル化された故障の総数  
 $N_{df}$ :モデル化された故障のうち,  
TPで検出される故障の総数

# 論理回路テスト生成手法

1. 論理回路のテストとは
2. 故障モデルとテスト方法

3. テスト生成基本アルゴリズム

# 主なテスト生成アルゴリズム

## 組合せ回路用アルゴリズム

- ・次元経路活性化法
- ・Dアルゴリズム
- ・PODEM法
- ・FANアルゴリズム

：

## 順序回路用アルゴリズム

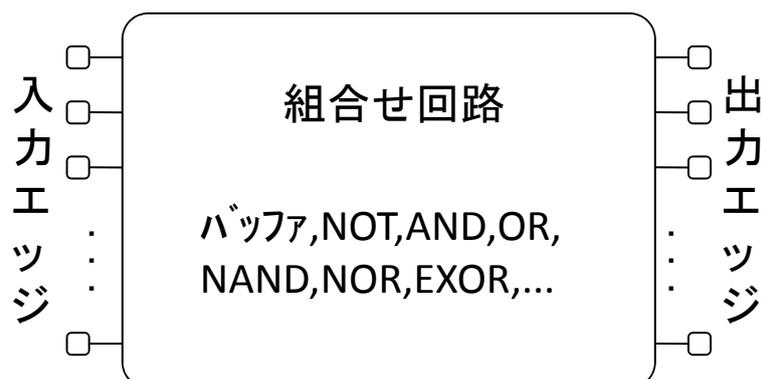
- ・拡張Dアルゴリズム

：

# 組合せ回路用アルゴリズム

## 組合せ回路モデルに対してテストパターンを生成

ある信号線に0(または1)縮退故障を仮定し、  
これを検出するための入力パターンを求める



# 一次元経路活性化法

故障伝播経路を決めてその経路を活性化

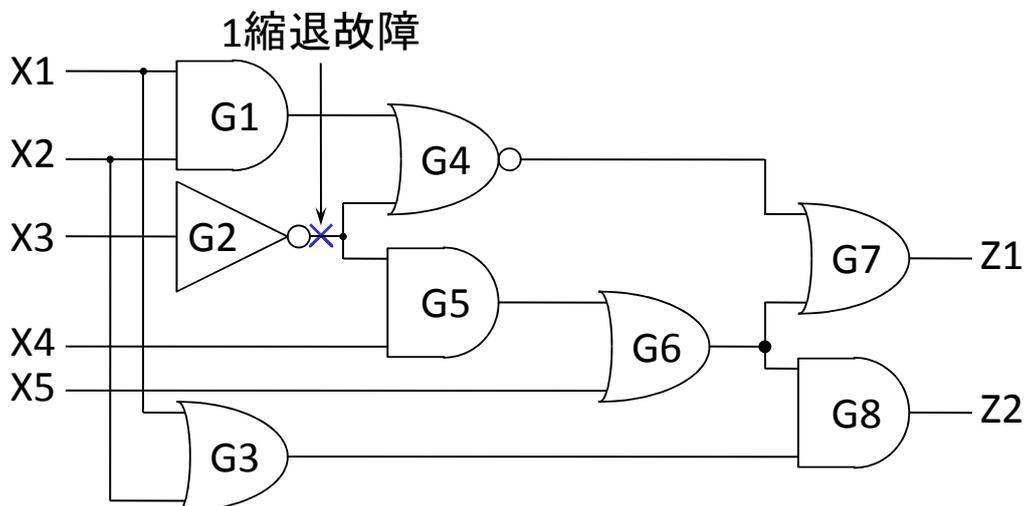
1. 故障点に故障の影響が現われる条件を求める  
(故障顕現化条件)
2. 故障の影響を出力点まで伝播する経路を決める  
(故障伝播経路)
3. 故障伝播経路を活性化する条件を求める  
(経路活性化条件)
4. 以上の条件を満たす入力パターンを求める

## 一次元経路活性化法：生成例

- ・顕現化条件 :  $G2=0$
- ・伝播経路 :  $G2-G5-G6-G8$
- ・活性化条件 :  $X4=1, X5=0, G3=1$

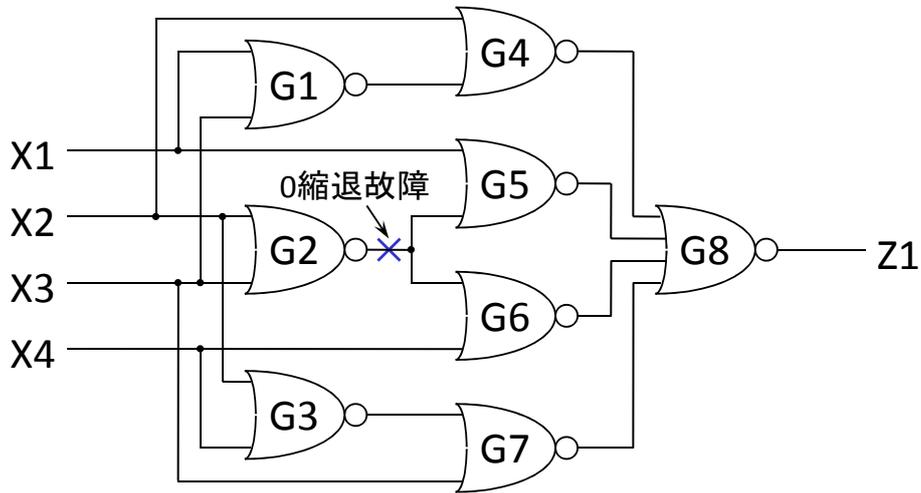


$X1=1, X2=0,$   
 $X3=1, X4=1,$   
 $X5=0$



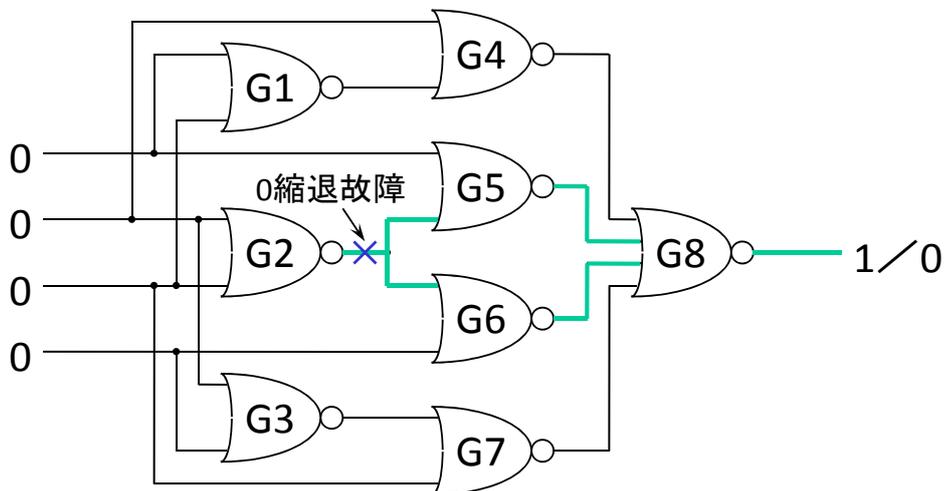
# 一次元経路活性化法: 欠点

一次元の経路では故障伝播できない場合がある  
(例: シュナイダーの回路)



# シュナイダーの回路のテスト

故障伝播経路の再収れんが必要

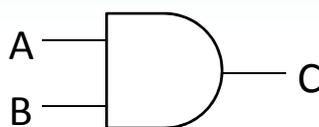


# Dアルゴリズム(D-alg.)

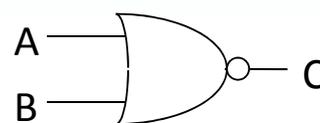
キューブ演算によりテストパターンを求める

1. **故障挿入**: 故障点に故障論理値D(または $\bar{D}$ )を与える  
 $D$ ・・・正常時1, 故障時0  
 $\bar{D}$ ・・・正常時0, 故障時1  
 基本Dキューブを用いる
2. **前方操作**: 故障論理値を前方(出力側)に伝播する  
 伝播Dキューブを用いる
3. **後方操作**: 論理素子の出力値から入力値を決める  
 基本キューブ(Cキューブ)を用いる

## D-alg.で用いるキューブの例



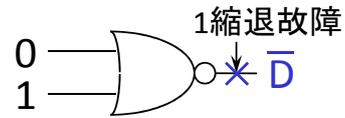
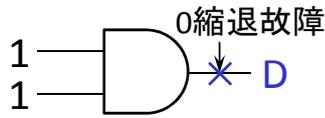
A	B	C	
0	X	0	基本キューブ
X	0	0	
1	1	1	
<hr/>			
0	X	$\bar{D}$	基本Dキューブ
X	0	$\bar{D}$	
1	1	D	
<hr/>			
1	D	D	伝播Dキューブ
D	1	D	
D	D	D	
1	$\bar{D}$	$\bar{D}$	
$\bar{D}$	$\bar{D}$	$\bar{D}$	



A	B	C
0	0	1
1	X	0
X	1	0
<hr/>		
0	0	D
1	X	$\bar{D}$
X	1	$\bar{D}$
<hr/>		
0	D	$\bar{D}$
D	0	$\bar{D}$
D	D	$\bar{D}$
0	$\bar{D}$	D
$\bar{D}$	0	D
$\bar{D}$	$\bar{D}$	D

# キューブの使用方法

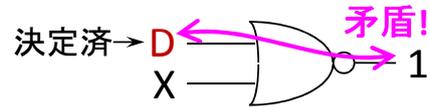
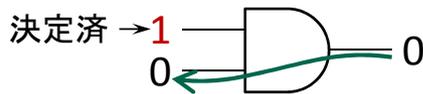
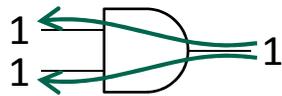
## ・故障挿入: 基本Dキューブ



## ・前方操作: 伝播Dキューブ



## ・後方操作: 基本キューブ



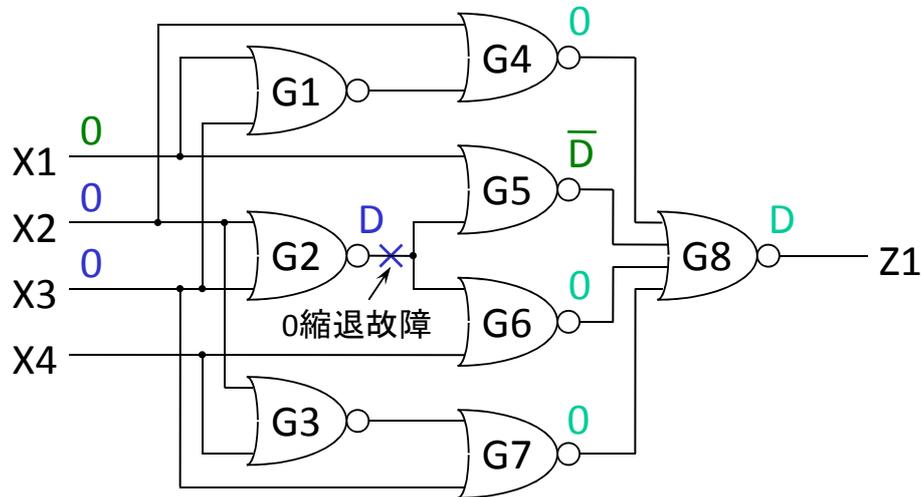
# D-alg.: テスト生成例

シュナイダーの回路に対してもテストパターン生成可能

	X1	X2	X3	X4	G1	G2	G3	G4	G5	G6	G7	G8	
(1)		0	0			D							[G2]
(2)	0	0	0			D			D-bar				[G5]
(3)	0	0	0			D		0	D-bar	0	0	D	[G8]
(4)	0	0	0	1		D		0	D-bar	0	0	D	[G6]
(5)	0	0	0	1		D	1	0	D-bar	0	0	D	[G7] ×
(3')	0	0	0	0		D			D-bar	D-bar			[G6]
(4')	0	0	0	0		D		0	D-bar	D-bar	0	D	[G8]
(5')	0	0	0	0		D	1	0	D-bar	D-bar	0	D	[G7]
(6')	0	0	0	0	1	D	1	0	D-bar	D-bar	0	D	[G4] ○

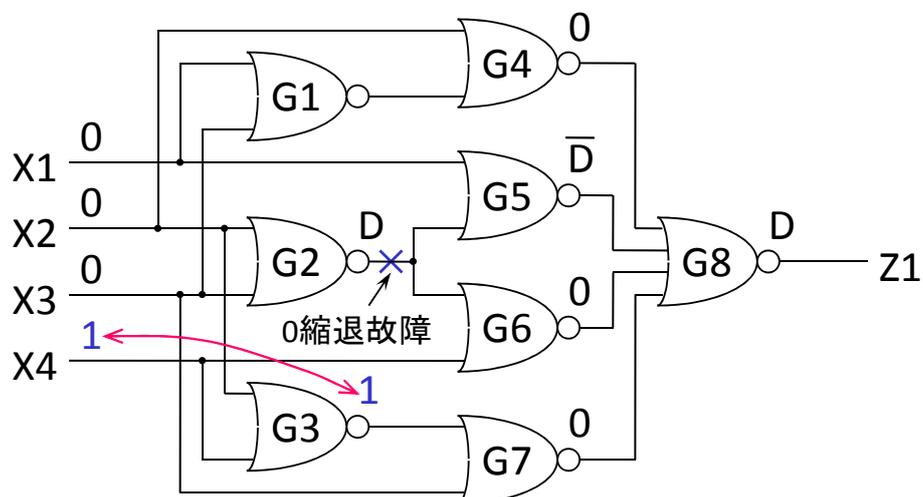
# D-alg.: テスト生成例(つづき1)

ステップ(1)~(3): 故障挿入 & 前方操作



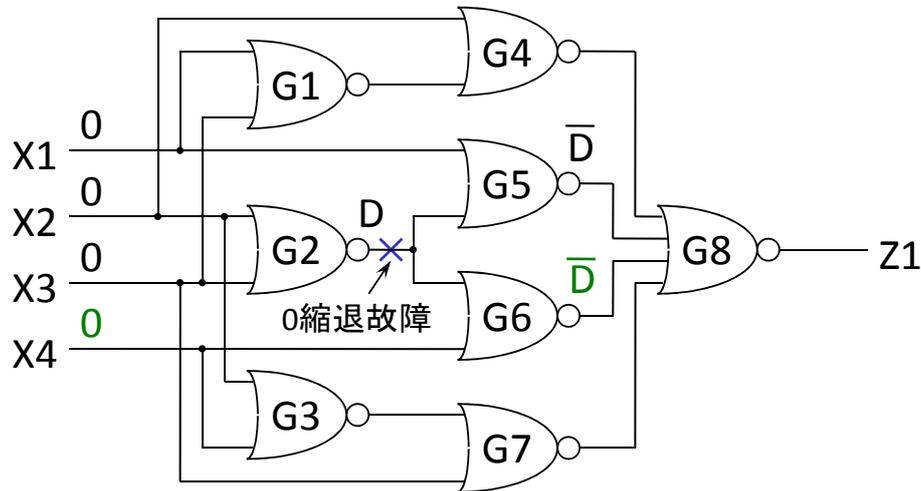
# D-alg.: テスト生成例(つづき2)

ステップ(4)~(5): 後方操作 → 矛盾



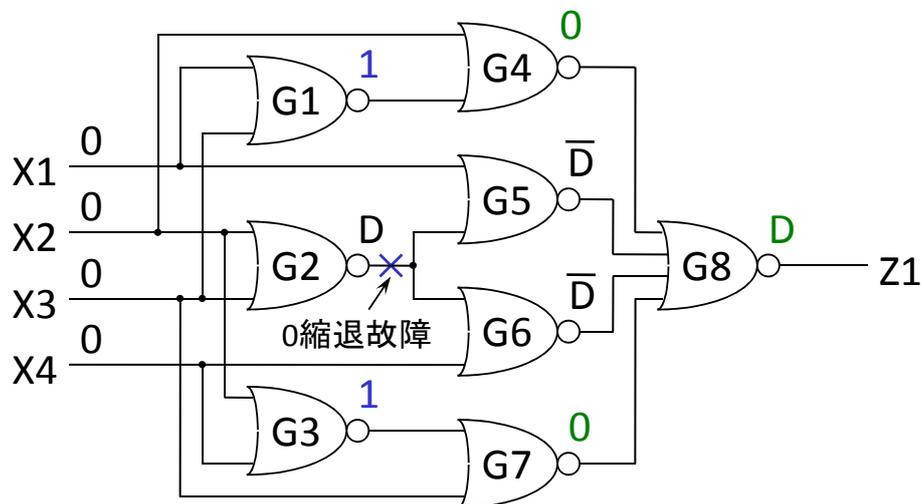
# D-alg.: テスト生成例(つづき3)

ステップ(3'): 前方操作(対象変更: G8 → G6)



# D-alg.: テスト生成例(つづき4)

ステップ(4') ~ (6'): 前方/後方操作 → 生成完了



# FANアルゴリズム(FAN-alg.)

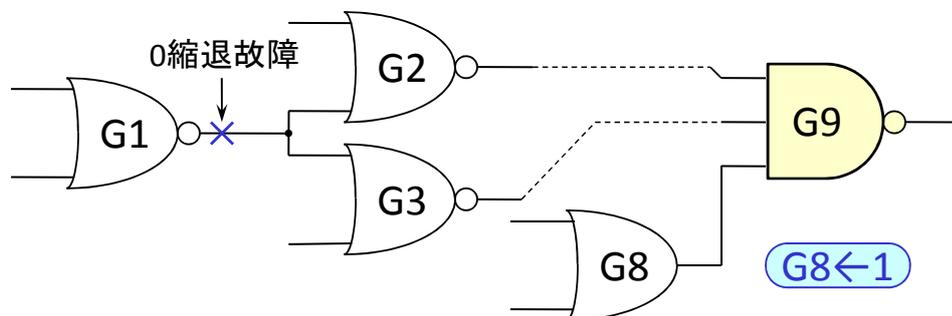
故障挿入の後, 入力値の順次決定によりテストパターンを求める

FANアルゴリズムの特徴

- (a) 一意活性化 : 必ず故障伝播経路上となる素子を前もって活性化する
- (b) 多重後方追跡: 一度に複数の経路を後方追跡して論理値設定の候補点を全て求める
- (c) 含意操作強化: 既決定の論理値から必然的に決定できる論理値をその時点で決める  
前方含意操作, 後方含意操作

## FAN-alg.: 各種処理

・一意活性化



・後方含意操作



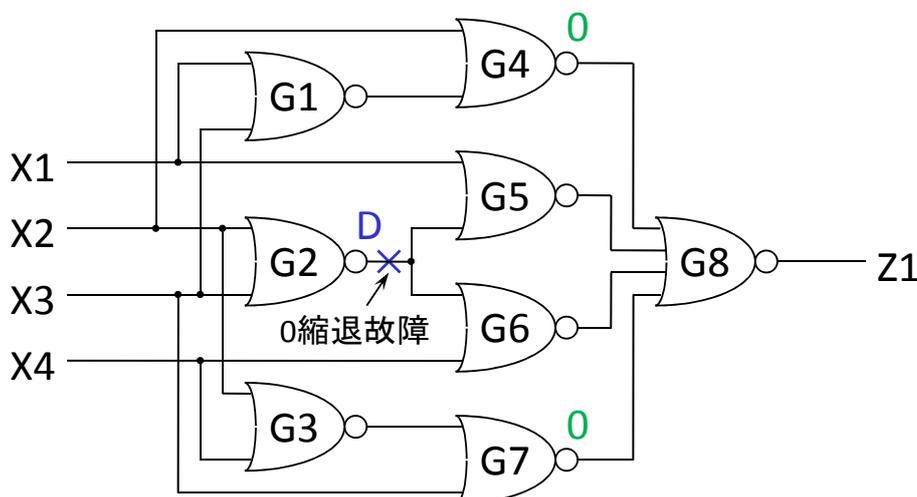
# FAN-alg.: テスト生成例

シュナイダーの回路に対して矛盾の発生なしに  
テストパターンが求まる

- (1) 故障挿入:  $G2=D$
- (2) 一意活性化  $\rightarrow G4=0, G7=0$
- (3) 後方含意操作 [ $G2=D$ ]  $\rightarrow X2=0, X3=0$
- (4) 後方含意操作 [ $G4=0$ ]  $\rightarrow G1=1$  ( $X2=0$ だから)
- (5) 後方含意操作 [ $G7=0$ ]  $\rightarrow G3=1$  ( $X3=0$ だから)
- (6) 後方含意操作 [ $G1=1$ ]  $\rightarrow X1=0$
- (7) 後方含意操作 [ $G3=1$ ]  $\rightarrow X4=0$
- (8) 前方含意操作  $\rightarrow G5=\bar{D}, G6=\bar{D}, G8=D$  (生成終了)

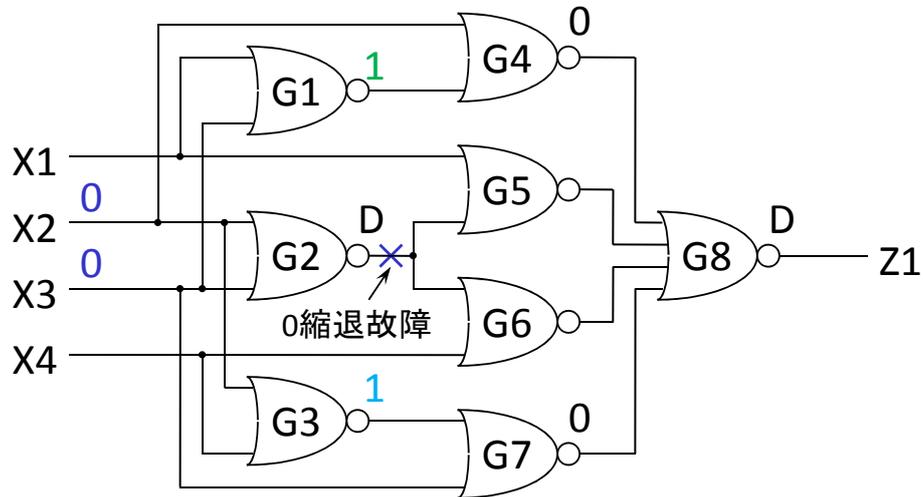
# FAN-alg.: テスト生成例(つづき1)

ステップ(1) ~ (2): 故障挿入 & 一意活性化( $G8$ )



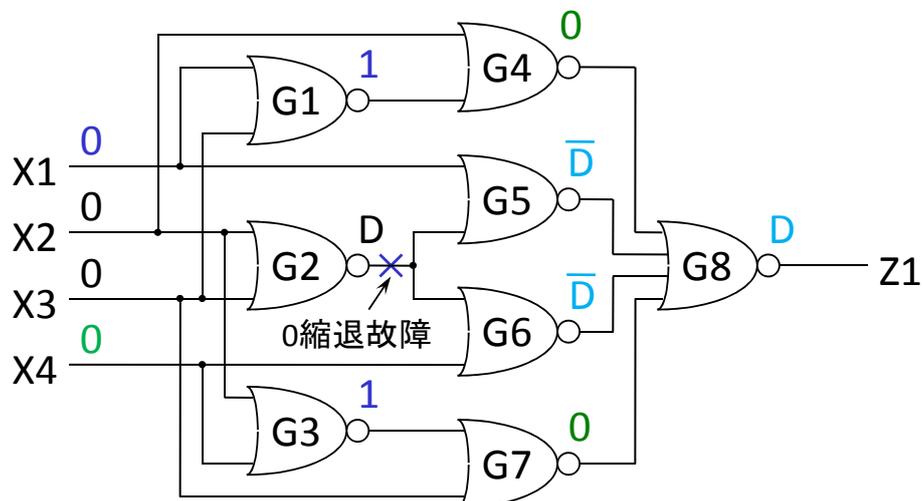
## FAN-alg.: テスト生成例(つづき2)

ステップ(3)~(5): 後方含意操作( $G2, G4, G7$ )



## FAN-alg.: テスト生成例(つづき3)

ステップ(6)~(8): 後方含意操作( $G1, G3$ )  
→ 前方含意操作 → 生成完了



# アウトライン

---

◇はじめに

◆LSIテスト技術の基礎

—論理回路テスト生成手法

—テスト容易化設計

◇ITC2015報告

# テスト容易化設計

---

1. スキャン設計方式

2. 組込み自己テスト方式

# テスト容易化設計の必要性

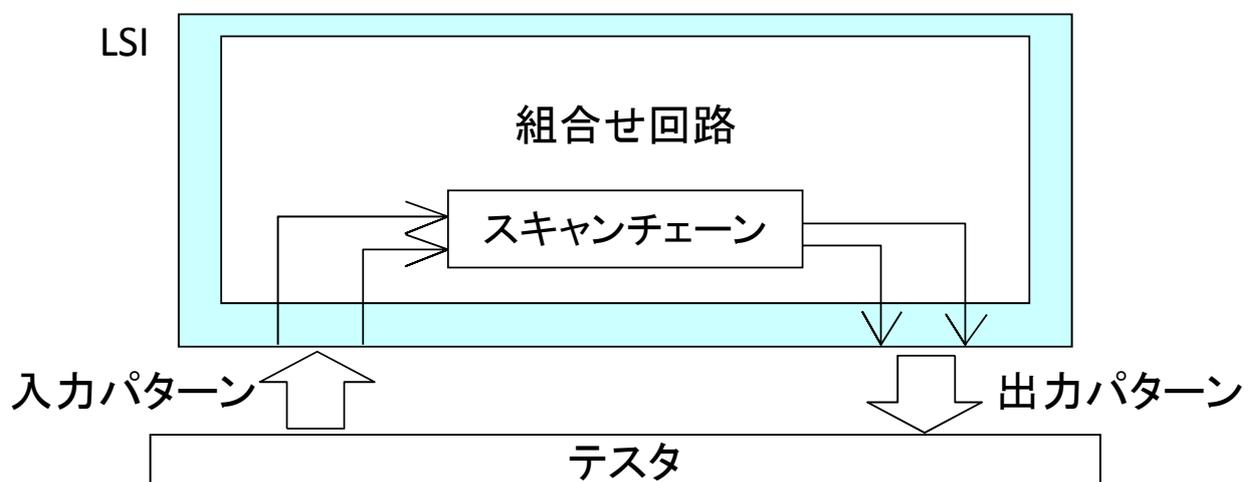
大規模かつ高機能なLSIでは**方策なしにテスト設計に取り組むことは不可能** (テスト生成コストが莫大)

テスト容易化のアプローチ

- ・問題をより**易しい問題**に変換する  
スキャン設計方式,  
階層型テスト容易化方式
- ・テスト生成を**できるだけしない**ようにする  
組込み自己テスト方式,  
万能テスト方式

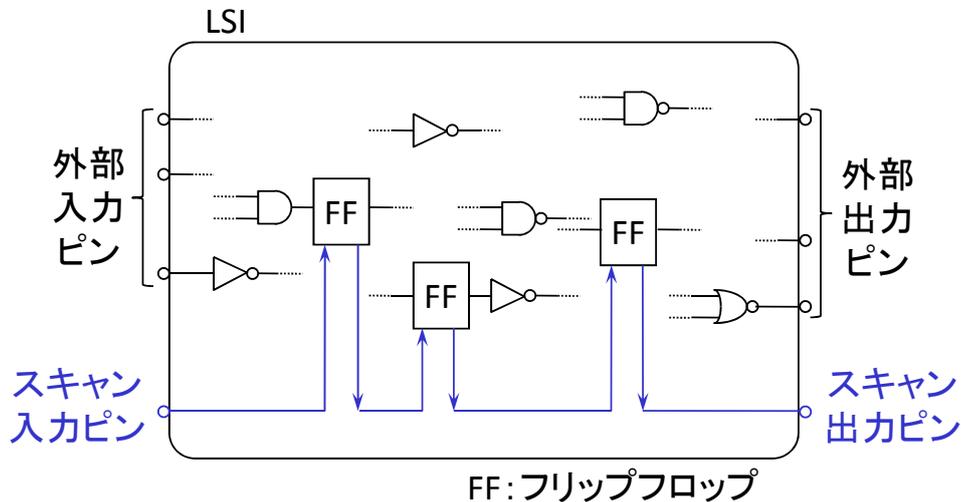
## スキャン設計によるテスト容易化

スキャン設計では**テストからの入力パターンをスキャンチェーン(一般に複数)を通してフリップフロップ(FF)に書込むことにより内部状態を設定し, FFでの出力パターンをスキャンチェーンを通してテストに読出すことにより内部状態を観測する**



# スキャンチェーンの構成例

FFを外部から直接制御観測できるようになる



# 各種のスキャン設計方式

## フルスキャン方式

すべてのフリップフロップをスキャン可能なものにする  
ランダムアクセススキャン方式, LSSD方式,  
スキャンパス方式, MUXスキャン方式, ...

## パーシャルスキャン方式

一部のフリップフロップのみスキャン可能なものにする

# フルスキャン方式の利点

順序回路のテスト生成の問題を組合せ回路のテスト生成問題に簡約化できる

テストパターン生成の困難さの比較

回路種別	状態数	テストパターン作成工数	
		原理	アルゴリズム
組合せ回路	$2^P$	$K_1 \cdot 2^P$	$K_2 \cdot P^k$
順序回路	$2^{P+F}$	$K_1 \cdot 2^{P+F}$	$(K_2 \cdot P^k) \cdot 2^F$

P: 入力ピン数,      F: フリップフロップ数  
K<sub>1</sub>, K<sub>2</sub>: 比例定数,      k: 係数 (1~2)

# フルスキャン方式の短所

種々のオーバーヘッドが短所

## ゲートオーバーヘッド

方式によって異なるが一般に全体の5~10%程度がスキャンのための回路 (フリップフロップ中も含む)

## ディレイペナルティ

方式によって異なるが一般に5~10%程度はディレイが増加

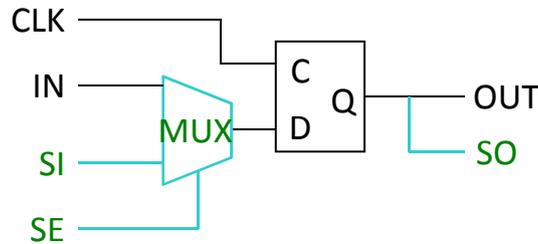
## スキャン専用ピン

方式によって異なるが一般に2~4本程度必要

# MUXスキャン方式

## MUXスキャン方式の特徴

- ・システムクロックを用いてスキャン動作を行うため  
実現が容易⇒ただし、留意事項は増える

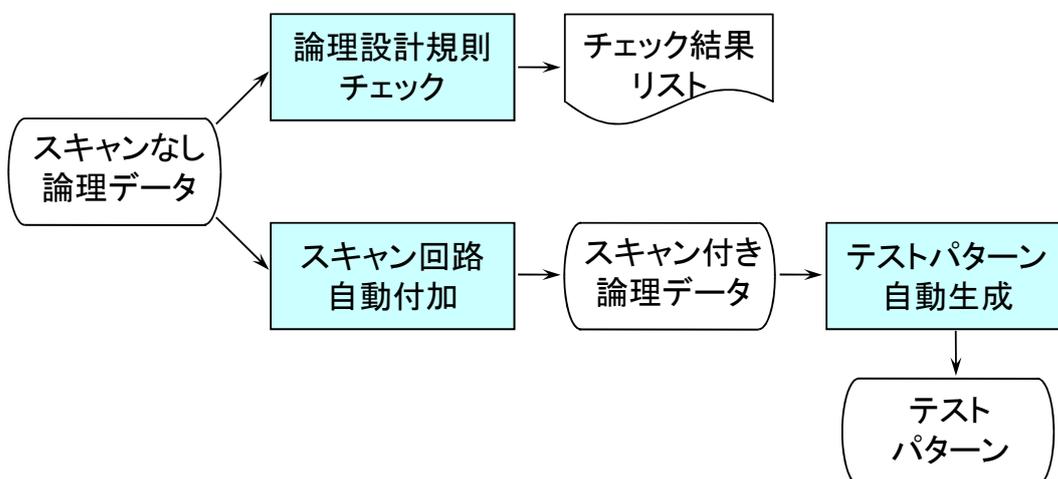


CLK: システムクロック    OUT: データ出力  
IN : データ入力        SO : スキャンアウト  
SI : スキャンイン  
SE : スキャンモード    MUX: マルチプレクサ

MUXスキャン方式で用いるFFの構成

# フルスキャン方式サポートツール

フルスキャン方式をサポートする設計自動化(DA)ツールが  
完備されており、テスト設計を自動化できる



# フルスキャン方式の課題

テスト時の動作が通常動作と異なる

## テスト困難な部分がある

- ・論理回路からメモリにアクセスする部分のテスト等  
複数クロックサイクルが必要なケース

## 過剰な電力を消費する

- ・通常動作時は回路全体の20%程度しか動作しない場合でも、テスト時には50%以上動作することもある
- ・低電力設計された回路でも、低電力機能を利用せず動作させる必要がある

# テスト容易化設計

## 1. スキャン設計方式

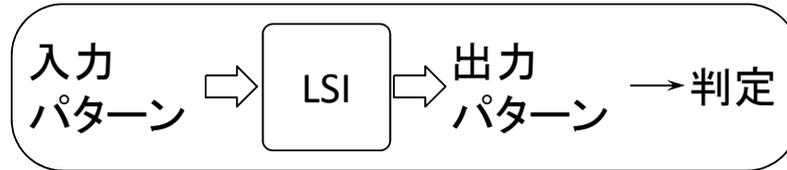
## 2. 組込み自己テスト方式

# 組み込み自己テスト(BIST)方式

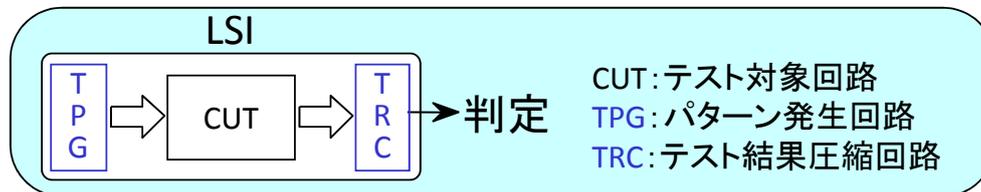
BISTはテストパターン印加を省略するための手段

(BIST : Built-In Self Test)

## 通常のテスト方法



## BIST方式によるテスト方法



2016.02.03 Kazumi Hatayama

65

# テスト対象によるBIST方式の分類

テスト対象ごとにBIST方式も異なる

- ・ロジックBIST
  - ・主として疑似乱数(ランダム)パターンでテスト
- ・メモリBIST
  - ・マーチング等のメモリテストパターンを発生
- ・アナログBIST
  - ・回路ごとに工夫
  - ・一般的手法としてはD/A, A/D変換を利用

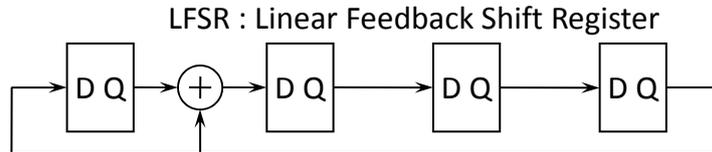
2016.02.03 Kazumi Hatayama

66

# ロジックBISTの一般的な実現方法

パターン発生回路:

線形帰還型シフトレジスタ(LFSR)を用いて  
疑似乱数を発生させる

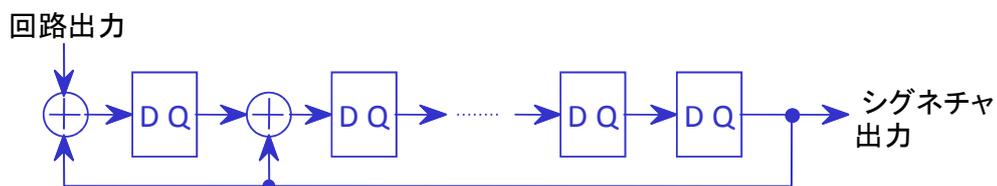


テスト結果圧縮回路:

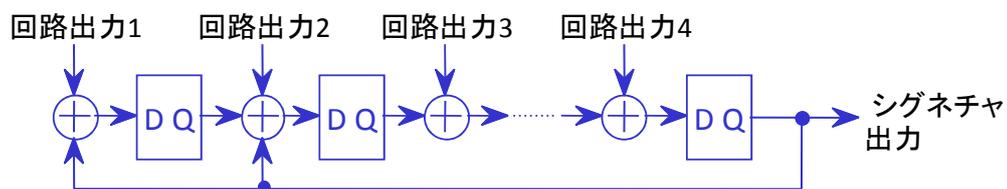
LFSRを利用したシグネチャアナライザに  
より出力応答を圧縮する

## シグネチャアナライザ(出力応答解析回路)

・単一入力LFSR

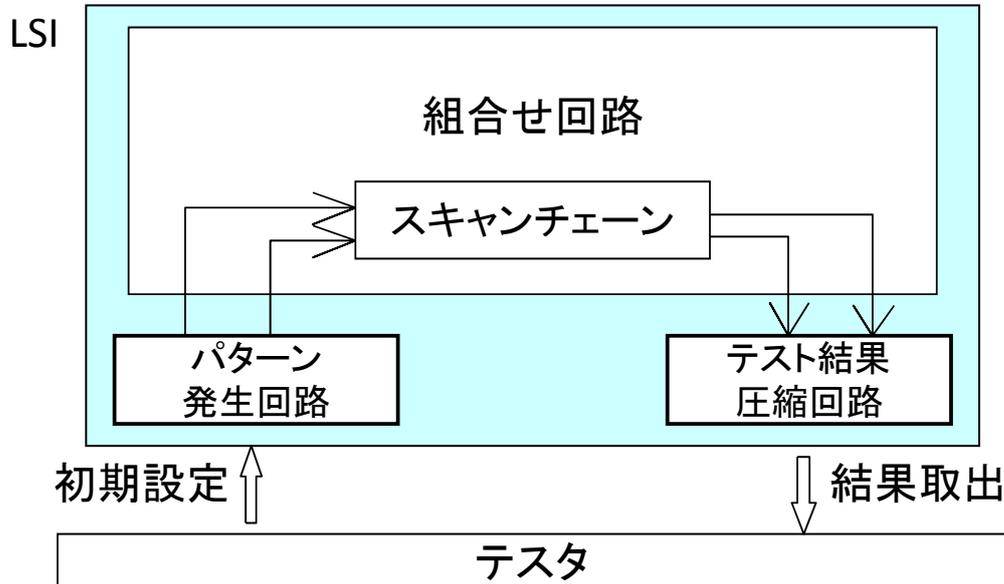


・多入力シグネチャレジスタ(MISR)



# スキャンベースBIST方式

スキャンベースBIST方式はTPGの出力をスキャンチェーンに接続しスキャンチェーンを通して内部状態を設定する方式



2016.02.03 Kazumi Hatayama

69

# スキャンベースBISTの利点と欠点

## BISTの利点

- ・テストのテストデータ量がきわめて少ない
- ・スキャンチェーン数が拡大可能
- ・少ピンでテストできる
- ・実動作のスピード(at-speed)でテストできる
- ・実動作時の保守用にも利用できる

## BISTの欠点

- ・ゲートオーバーヘッドが大きい
- ・非常に高い故障検出率を得るのが難しい
- ・故障解析が難しい
- ・設計制約が厳しい(不定値伝播禁止)

2016.02.03 Kazumi Hatayama

70

# スキャンベースBIST方式の問題点

スキャンベースBISTでは故障検出率が低下

故障検出率の低下：フルスキャン・・・99%以上

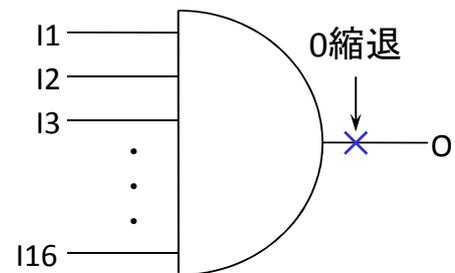
→スキャンベースBIST・・・80～95%

原因

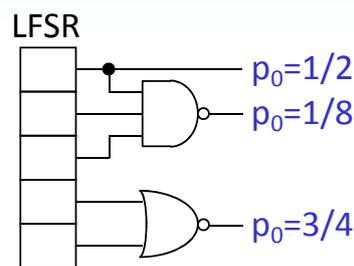
- ・ランダムテスト不適故障の存在

対策

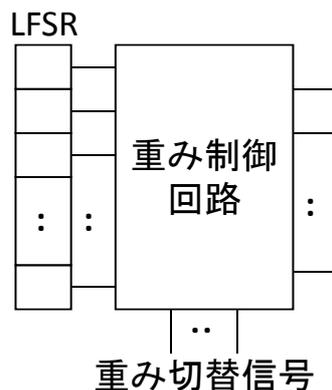
- ・重み付き乱数の利用：複数重みを切り替えて使用
- ・検査点の挿入・・・ランダムテスト容易性向上
- ・特定パターンの発生：デターミニスティックBIST



# 重み付き乱数パターン生成



$p_0$ : 値が0となる確率



複数の重みを切り替えて  
多種の乱数パターンを発生

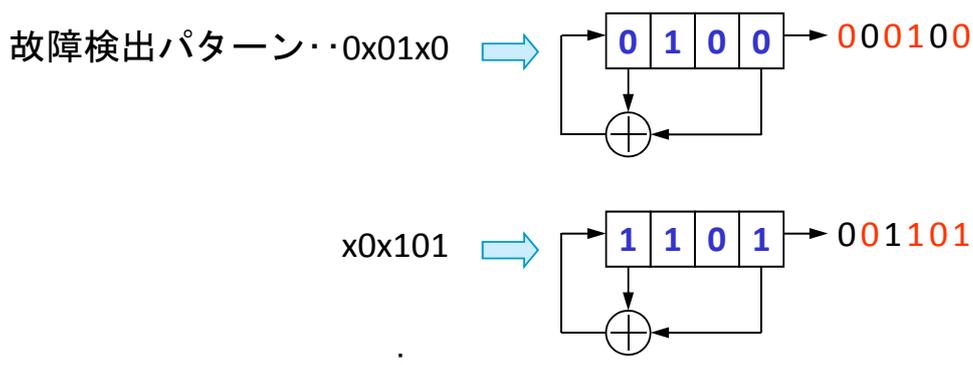
# デターミニスティックBIST

スキャンテストと同等のパターンをBISTで発生することによりテスト品質を向上

- ・ランダムBIST:ランダムパターンを発生(LFSR)
- ・デターミニスティックBIST:
  - テスト生成で求めたテストパターンをBISTのランダムパターンに埋め込む
  - ・Reseeding
  - ・ビット反転
  - ・近傍パターン群発生

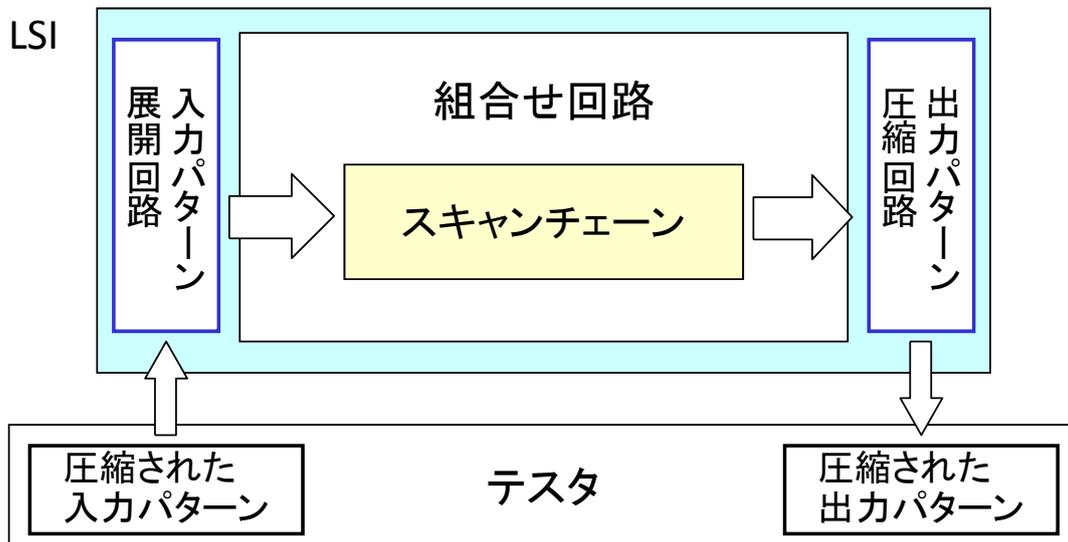
## reseeding

- ・テスト生成で求めた故障検出パターンをLFSRから出力するための種パターン(seed)を求め、種パターンを替えながら乱数パターンを発生



# 圧縮パターンテスト方式

- ・テスト入力パターンを圧縮してテストから印加し、内部で展開してスキャンテストを実行。  
テスト結果を内部で圧縮してテストに取り出す。



2016.02.03 Kazumi Hatayama

75

## 圧縮パターンテスト方式の利点と課題

- ・ 圧縮パターンテスト方式の利点
  - ・ スキャン方式に比べてテストデータ量が大幅に減少
  - ・ スキャンチェーン数が拡大可能
  - ・ 設計制約はスキャン方式と同等
    - ロジックBISTより不定値伝播の問題が小さい
- ・ 圧縮パターンテスト方式の課題
  - ・ 効率的な入力/出力パターンの圧縮
  - ・ 不定値の影響を受けない出力パターンの圧縮
  - ・ at-speedでのテスト

2016.02.03 Kazumi Hatayama

76

# アウトライン

---

- ◇はじめに
- ◇LSIテスト技術の基礎
  - ー論理回路テスト生成手法
  - ーテスト容易化設計
- ◆ITC2015報告

# ITC2015報告

---

- ITCについて
- ITC2015の概要
- 論文発表の全体動向
- 注目セッションの紹介
- まとめ

# ITC (International Test Conference)

## ・ITCの沿革および概要

- ・1970年にIC Testに関するSymposiumとしてスタート
- ・1981年からは現在の名称を使用
- ・LSIを含む電子回路のテスト分野では最大規模かつ最重要な国際会議
- ・VTS(VLSI Test Symposium)がどちらかといえばアカデミックであるのに対して、ITCは企業が主体
- ・論文発表の3日間を中心とした6日間を、ITC Test Week(TM)と呼び、様々なテスト関連イベントを実施



## ITC開催一覧

	Year	Date	Location
14th	1983	10/18-10/20	Philadelphia
15th	1984	10/16-10/18	Philadelphia
16th	1985	11/19-11/21	Philadelphia
17th	1986	09/08-09/11	Washington
18th	1987	09/01-09/03	Washington
19th	1988	09/12-09/14	Washington
20th	1989	08/29-08/31	Washington
21st	1990	09/10-09/14	Washington
22nd	1991	10/26-10/30	Nashville
23rd	1992	09/20-09/24	Baltimore
24th	1993	10/17-10/21	Baltimore
25th	1994	10/02-10/06	Washington
26th	1995	10/21-10/25	Washington
27th	1996	10/20-10/25	Washington
28th	1997	11/01-11/06	Washington
29th	1998	10/18-10/23	Washington
30th	1999	10/26-10/31	Atlantic City
31st	2000	10/01-10/06	Atlantic City

	Year	Date	Location
32nd	2001	10/28-11/02	Baltimore
33rd	2002	10/06-10/11	Baltimore
34th	2003	09/28-10/03	Charlotte
35th	2004	10/24-10/29	Charlotte
36th	2005	11/06-11/11	Austin
37th	2006	10/22-10/27	Santa Clara
38th	2007	10/21-10/26	Santa Clara
39th	2008	10/26-10/31	Santa Clara
40th	2009	11/01-11/06	Austin
41st	2010	10/31-11/05	Austin
42nd	2011	09/18-09/23	Anaheim
43rd	2012	11/04-11/09	Anaheim
44th	2013	09/08-09/13	Anaheim
45th	2014	10/19-10/24	Seattle
46th	2015	10/04-10/09	Anaheim
47th	2016	11/13-11/18	Fort Worth

2000-2010: プログラム委員

1997-2015: ITCアジア委員会委員

2000-2001は副委員長, 2002-2003は委員長

# ITC2015報告

- ・ ITCについて
- ・ ITC2015の概要
- ・ 論文発表の全体動向
- ・ 注目セッションの紹介
- ・ まとめ

## ITC2015概要

- ・開催日 : 2015年10月4日(日)～9日(金)
- ・開催場所 : Anaheim, CA, USA
- ・参加者 : 1500名程度(日本からは20名強)
- ・基調講演 : 3件(10/6-8)
- ・論文発表 : 25セッション73件(10/6-8)  
一般論文42件(採択率≒30%), 招待論文31件
- ・チュートリアル : 12件(10/4-5)・・・すべてHalf Day
- ・ポスター : 42件(10/7,8)
- ・特別セッション : 4件(10/6-8)
- ・パネル : 3件(10/5,7,8)
- ・展示会 : 57社(10/6-8)
- ・ワークショップ : 3件(10/8-9)
  - 3D-TEST : Testing Three-Dimensional Stacked ICs
  - TVHSAC : Test and Validation of High-Speed Analog Circuits
  - DATA : Defects, Adaptive Test and Data Analysis

# ITC2015 At-a-Glance

SUNDAY, OCTOBER 4 – HALF-DAY TUTORIALS			
8:30 – 12:00	Tutorial 1 Mixed-Signal DFT and BIST: Trends, Principles and Solutions	Tutorial 2 Test Opportunities and Challenges for Secure Hardware and Verifying Trust in Integrated Circuits	Tutorial 3 Beyond DFT: The Convergence of DFM, Variability, Yield, Test, Diagnosis and Reliability
13:00 – 16:30	Tutorial 4 Practices in High-Speed I/O Testing	Tutorial 5 Testing of TSV-based 2.5D- and 3D-Stacked ICs	Tutorial 6 Delay Test: Concepts, Theory and Recent Trends

MONDAY, OCTOBER 5 – HALF-DAY TUTORIALS			
8:30 – 12:00	Tutorial 7 Hierarchical Test for Today's SOC and IOT	Tutorial 8 Test, Diagnosis, and Root-Cause Identification of Failures for Boards and Systems	Tutorial 9 Statistical Adaptive Test Methods Targeting "Zero Defect" IC Quality and Reliability
13:00 – 16:30	Tutorial 10 Memory Test and Repair in the Nanometer Era	Tutorial 11 Combining Structural and Functional Test Approaches Across System Levels	Tutorial 12 From Data to Actions: Applications of Data Analytics in Semiconductor Manufacturing and Test

MONDAY, OCTOBER 5 – PANEL	
16:45 – 18:15	Panel 1 Is IEEE 1149.1 on Its Death Bed?

TUESDAY, OCTOBER 6 – TECHNICAL SESSIONS				
9:00 – 10:30	Plenary – Keynote Address <i>Brain-inspired Computing</i> Karim Arabi			
10:30 – 17:30	Exhibits			
12:00 – 14:00	Corporate Forum			
14:00 – 15:30	Session 1 Design and Data Optimization for Diagnosis	Session 2 Advanced Scan Testing	IEEE TTTC E. J. McCluskey Doctoral Dissertation Competition: Final Round	Session 3 Analog/Mixed-Signal 1
16:00 – 17:30	Session 4 Trojan and Counterfeit Detection	Session 5 Testing 3D/TSV	Session 6 Statistical Learning Methods	Session 7 ATE

# ITC2015 At-a-Glance (cont.)

WEDNESDAY, OCTOBER 7 – TECHNICAL SESSIONS					
8:30 – 10:00	Session 8 Analog/Mixed-Signal 2	Session 9 Adaptive Test	Session 10 Validation	Session 11 Solving Problems with Nontraditional Tests	Session 15 Advances in Board Level Structural Test
9:30 – 16:30	Exhibits				
10:30 – 12:00	Panel 2 Cell-aware ATPG: Beyond the Hype	Session 13 Test, Repair and Defect Resilience for IoT	Session 14 Boundary-Scan to the Rescue	Session 12 Timing Test	Embedded Tutorial 1 PDL Programming for IEEE 1149.1 and IEEE 1687
12:00 – 14:00	Corporate Forum				
12:00 – 14:00	Poster Session				
14:00 – 16:00	Session 16 Security Talks	Session 17 3D/TSV Reliability	Session 18 Practical Applications of IEEE 1687	Elevator Talks	Session 19 New Methods for Memory Test
16:30 – 17:30	Keynote Address <i>Modeling the Future of Semiconductors (AND TEST!)</i> Andrew Kahng				

THURSDAY, OCTOBER 8 – TECHNICAL SESSIONS				
9:00 – 10:30	Session 20 Advances in Probe Technology	Session 21 RF/High-Speed Testing	Session 22 System-Level Testing	Session 23 Trusted IPs: Access and Computations
9:30 – 14:00	Exhibits			
11:00 – 12:00	Keynote Address <i>Can We Ensure Reliability in the Era of Heterogeneous Integration?</i> William Bottoms			
12:00 – 14:00	Poster Session - Lunch			
14:00 – 15:30	Panel 3 Big Data for Test—Big Opportunity or Big Mystery?	Session 24 Testing SOCs	Session 25 Three Business Perspectives on IEEE STD 1687	Embedded Tutorial 2 Automotive Test Advances and ISO 26262

THURSDAY, OCTOBER 8 – WORKSHOPS			
16:00 – 16:30	Opening Address		
16:30 – 18:30	Testing 3D-Stacked ICs	Test and Validation of High-Speed Analog Circuits	Defects, Adaptive Test and Data Analysis

FRIDAY, OCTOBER 9 – WORKSHOPS			
8:00 – 16:00	Testing 3D-Stacked ICs	Test and Validation of High-Speed Analog Circuits	Defects, Adaptive Test and Data Analysis

# 基調講演-1

- K. Arabi (VP, Qualcomm)

## 「ブレインコンピューティング」

- Qualcommにおける機械学習: 知識を埋め込むためのキー要素
- ブレインコンピューティング: 実現のためには4つのステップ
  - S1: マルチコア&異種コンピューティング・CPU, GPU, DSP, アクセラレータ
  - S2: ディープラーニング・いくつかの層からなるニューラルネットワーク
    - Qualcommでは以前からモバイルに適用
  - S3: (積極的)近似計算: メモリバンド幅がボトルネック→メモリ内計算
  - S4: 神経形態学的計算: ニューロンとシナプスによる計算を模倣
    - 本当の課題: 多様なタスクを実行するためのネットワークの学習/訓練  
膨大なデータと時間が必要
- ブレインコンピューティングとテストの関わり
  - フォールトトレランス, あらゆるBIST, AMSテスト生成の機械学習, . . .
- 最適解: 従来方式との組み合わせ
  - 従来型・カブクの計算, 脳型・意思決定やパターン認識

☆SFのような世界がもう目の前

# ITRSについて

- ITRS(国際半導体技術ロードマップ)について
  - NTRS(米国SIAのロードマップ): 1992, 1994, 1997
  - ITRS(5極(米, 欧, 日, 韓, 台)参加): 1998~ (偶数年はUpdate)
  - TWG(Technical Working Group)で各章(Design, Test, FEP, A&P, etc.)を担当
- ITRS2.0への移行(2015~)
  - 応用分野を起点に半導体に何が求められているかを編集
  - 7つのFocus Teamを構成して以下の7つのFocus Topicに注力
    - System Integration (SI)
    - Outside System Connectivity (OSC)
    - Heterogeneous Integration (HI)
    - Heterogeneous Components (HC)
    - Beyond CMOS (BC)
    - More Moore (MM)
    - Factory Integration (FI)

## 基調講演-2

### ▪ A. Kahng (UC—San Diego)

#### 「半導体(とテスト)の未来をモデル化する」

- ITRS2.0: 従来(IC重視)と異なり, 市場・応用重視(トップダウン)
  - 7 Focus Topicを設定: SI(システム集積), HI(異種集積), ほか
- Siドライバ: データを収集して解析→技術課題と潜在解を示す
  - データセンタ: レイテンシとバンド幅が支配的
    - 性能価格比の幾何級数的向上が課題
  - マイクロサーバ: 低電力コントローラ, 光配線が必要
    - 光電子統合が課題
  - IoT/スマートオブジェクト: ベースライン・MCU, センサ, 電池, セキュリティ
    - IPとセンサの統合とスケールアップが課題
  - 矛盾するトレンド: SoCに多くのセンサを搭載(統合化)vs補助SoC(分散化)
- 最後に
  - SIからHIほかへの手渡しは・数値指標で実施する
  - テスト分野の協力は有益であり, また極めて重要である

☆半導体のさらなる発展にはテスト技術の進化が不可欠

## 基調講演-3

### ▪ W. Bottoms (3MTS)

#### 「異種集積時代の信頼性保証は大丈夫か」

- 進歩の最も強力な牽引力は
  - どこでも実時間でデータと処理が手に入る
- 実装技術は進歩しているが十分ではない・新材料(Cu-SWCNT複合?)が必要
- 異種集積の重要要素: 市場(応用), 部品(RF, MEMS, ...), 技術
- 3D-SiP: モリフィック光ICなどの光部品, Siロジック/メモリ, センサ, 受動部品, ...
  - 光部品のSiP搭載・さらなる電力/レイテンシ削減につながる
- 光ICの信頼性課題: 汚染の可能性, テストアクセス, 位置合わせ精度(コスト), ...
- 製造コストの削減: WLFO(小型&高集積), WLP/FOWLP
- 電力問題の潜在的解決策: できるだけ多くの機能を光学化
- 次の15年に何をするか?
  - 信頼性確保のためのコスト効率の良いテストソリューションが最大の課題

☆信頼性の観点からもテスト技術への期待は大きい

SWCNT: single wall carbon nanotube  
WLFO: wafer level fanout

# ITC2015報告

- ITCについて
- ITC2015の概要
- 論文発表の全体動向
- 注目セッションの紹介
- まとめ

## 論文発表数：国別

### ▪ 採択論文数：42件 (採択率は約30%)

- 日本からは5件 (採択率は71%)  
(3年ぶりに国別で2位に復帰)
- 国別採択論文数は右図のとおり  
(引き続きアジア勢が健闘)

### ▪ 分野別の状況

- 全体構成：分野としてかなり変動
- ATPG／DFT関連が大幅に減少
- AMS／RF関連も大幅に減少
- 3D-ICテストが増加  
(2.5Dの実用化が進んでいる影響か)
- セキュリティ(6件)が今年もホットピック
- テスト結果データ活用も引き続きホット
- テストアクセスが目立った  
(JTAG標準化25年の影響か)

	ITC2015	ITC2014
USA	21	34
Japan	5	3
China	2	0
India	1	3
Korea	0	1
Taiwan	3	5
Belgium	1	2
Germany	2	4
Greece	1	0
France	1	1
Poland	2	1
Romania	1	0
Sweden	1	1
Canada	1	2
Total	42	57

# 論文発表数：分野別

## ・前回(ITC2014)との比較

採択率		ITC2015	ITC2014
		30% (42/138)	24% (57/238)
分野別論文数	ディレイテスト／電力・温度考慮テスト	1 (1)	2 (1)
	欠陥ベーステスト	0 (0)	2 (1)
	ATPG(テスト生成)／テストデータ圧縮	0 (0)	7 (0)
	DFT(テスト容易化)/BIST(組込み自己テスト)	3 (1)	3 (0)
	マイクロプロセッサ／SoCテスト	1 (2)	0 (0)
	メモリ／FPGAテスト	4 (0)	5 (2)
	アナログ／ミクストシグナルテスト	3 (3)	8 (3)
	高速I/O／RFテスト	3 (1)	4 (1)
	3D-ICテスト	5 (3)	3 (1)
	ATE(テスト装置)	2 (0)	3 (0)
	ボード／システムテスト	3 (6)	2 (1)
	デバッグ／故障診断／歩留改善	3 (0)	6 (2)
	アダプティブテスト／テスト結果データ活用	2 (3)	3 (0)
	高信頼化／劣化対応／セキュリティ	6 (3)	7 (5)
	テストアクセス	2 (4)	0 (0)
	その他	4 (4)	2 (10)
	合計	42 (31)	57 (27)

論文数のカッコ内は招待論文数

2016.02.03 Kazumi Hatayama

91

# ITC2015報告

- ・ ITCについて
- ・ ITC2015の概要
- ・ 論文発表の全体動向
- ・ 注目セッションの紹介
- ・ まとめ

# スキャンテスト関連

- Session 2: Advanced Scan Testing
  - Mentor社が関連する3件の講演があった
  - 2.1および2.2について紹介する

講演No.	タイトル	著者	所属
2.1	On Generating High-Quality Tests Based on Cell Functions	X. Lin; S.M. Reddy	Mentor; U. Iowa
2.2	Embedded Deterministic Test Points for Compact Cell-aware Tests	J. Tyszer, J. Zawada; C. Acero, D. Feltham M. Patyra, E. Moghaddam, N. Mukherjee, V. Neerkundar, J. Rajski, F. Hapke	Poznan U. T.; Intel; Mentor
2.3 (invited)	Hierarchical DFT Methodology with Scan-Pattern Retargeting	D. Trock; R. Fiset	Annapurna Labs; Mentor

2016.02.03 Kazumi Hatayama

93

## 講演の概要: 2.1

- 2.1 X. Lin (Mentor): セル機能に基づく高品質テスト生成
  - 複合ゲートのセル内故障の大多数を検出する最小テスト集合を生成
    - CMOS回路内のユネイト性を利用→様々な故障を検出できるテストを生成
      - 考慮対象故障: セル入力の多重縮退故障, 多重トランジスタオープン故障, 配線オープン故障, デレイ故障, 入力配線間ブリッジ故障
  - パターン最適化: パターン数最小化を考慮したスキャンパターンへの変換順序  
デレイ→トランジスタオープン→1パターン(縮退等)
  - 実験結果: 実用回路D1(6.3Mゲート, 408チェーン)の4種の複合ゲートで評価
    - 2パターンセル網羅テスト(2P-CE)に比べて大幅にパターン数を削減

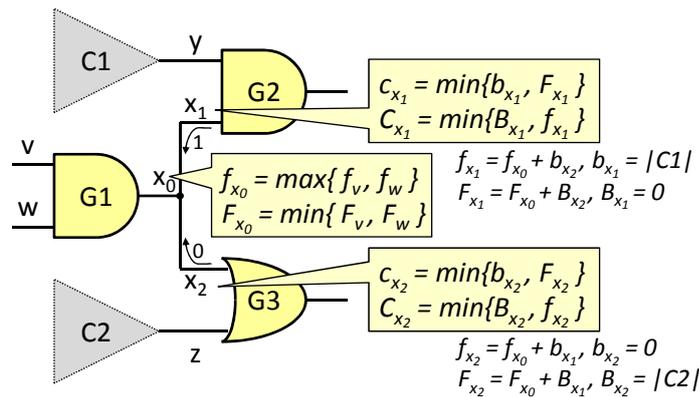
回路	セル	論理	#ins	#pat (2P-CE)	#pat (Ind)	#pat (Opt)	reduction 2P-CE/Opt
D1	C1	$(ab+cd)'$	117	1,892	212	99	19.1x
	C2	$(ab+cd+ef)'$	2,948	144,968	4,890	2,769	52.4x
	C3	$((a+b)(c+d))'$	4,815	33,834	4,353	2,622	12.9x
	C4	$((a+b)(c+d)(e+f))'$	371	41,951	1,610	956	43.9x

2016.02.03 Kazumi Hatayama

94

# 講演の概要: 2.2

- ・ J. Rajski (Mentor): 高効率テストのためのTPI方式
  - ・セル考慮テスト: テスト品質向上, しかしパターン増を招く
    - テストパターン削減にフォーカスした検査点挿入(TPI)方式を提案
  - ・複数故障同時検出テスト生成の際の問題点: 論理値割当ての矛盾
    - その解消にTPIを活用 (元々のTPIはBISTの検出率向上が狙い)
  - ・挿入個所の選定: 各分岐xの矛盾度 $c_x(C_x)$ (以下を考慮)の大きさに従う
    - ・ $b_x(B_x)$ : 正当化操作でのO(1)要求回数,  $f_x(F_x)$ : 前方操作でのO(1)割当回数



# 講演の概要: 2.2 (cont.)

- ・評価実験: 最大4.7Mゲートの回路13種(左下図)を使用
  - 1.3~8.2倍(平均3.3倍)のテストパターン数削減を達成(右下図)
- ☆セル考慮テストを導入時のテストパターン数増加の対策として期待

評価回路諸元

回路	ゲート数	スキャンセル数	スキャン構成 (ch数xch長)	EDTチャネル数	チェーン/チャネル
D1	1.25M	42k	136 x 340	3, 3	45x
D2	1.98M	47k	136 x 363	3, 3	45x
D3	4.68M	145k	608 x 239	6, 6	101x
D4	0.65M	23k	250 x 96	8, 8	31x
D5	0.51M	42k	189 x 412	8, 8	23x
D6	2.01M	44k	136 x 356	8, 8	17x
D7	1.90M	73k	371 x 189	8, 8	46x
D8	3.60M	95k	474 x 189	8, 8	59x
D9	1.00M	33k	298 x 95	8, 8	37x
D10	0.68M	25k	136 x 356	8, 8	17x
D11	0.44M	308k	800 x 388	5, 5	160x
D12	2.10M	148k	140 x 1058	2, 2	70x
D13	0.48M	242k	921 x 269	36, 36	26x

セル考慮テストパターン削減評価結果

回路	TP数	検出率 (セル考慮)	パターン数 (TPなし)	パターン数 (TPあり)	削減率
D1	1,740	92.62	14,710	1,792	8.2x
D2	1,600	97.21	10,209	5,280	1.9x
D3	3,200	76.94	12,086	5,632	2.1x
D4	600	91.08	16,338	5,592	2.9x
D5	1,648	97.65	25,855	19,952	1.3x
D6	900	98.19	6,335	2,129	3.0x
D7	1,468	95.56	24,269	5,544	4.4x
D8	1,900	95.20	20,270	7,710	2.6x
D9	670	90.78	18,517	4,191	4.4x
D10	494	90.69	16,640	5,747	2.9x
D11	4,500	77.34	69,606	34,749	2.0x
D12	2,962	93.54	78,869	24,394	3.2x
D13	5,000	74.65	115,091	29,504	3.9x

# テスト結果データ活用関連

- Session 6: Statistical Learning Methods
- Session 9: Adaptive Test
  - データマイニング技術のテスト結果データへの応用に関連して5件の講演(内3件は招待講演)
  - パネルにも登場(Panel 3(後出))
  - 注目の高かった6.3と9.1について概要を紹介

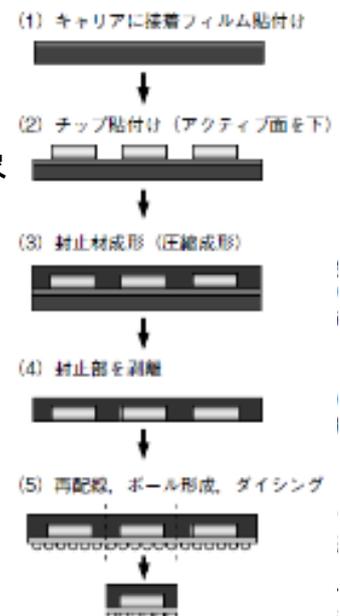
講演No.	タイトル	著者	所属
6.1 (Invited)	Third- and Fourth-Generation Test Data Analytics	R. Daasch	Portland S. U.
6.2	AdaTest: An Efficient Statistical Test Framework for Test Escape Screening	F. Lin, C-K. Hsu, K-T. Cheng	UCSB
6.3 (Invited)	Wafer-level Chip-Scale Package Defect Diagnosis by Machine Learning	H. Chen, J-Z. Wu, J-Y. Lin, H-C. Lin, C-N. Peng, M-J. Wang	TSMC
9.1	Generalization Of An Outlier Model Into a "Global" Perspective	S. Siatkowski, C-L. Chang, L-C. Wang; N. Sumikawa, L. Winemberg; R. Daasch	UCSB; Freescale; Portland S. U.
9.2 (Invited)	Enabling Adaptive Test Feed-Forward by Using NVM	J. Roehr, M. Pate, J. Wilson	TI

2016.02.03 Kazumi Hatayama

97

## 主な講演の概要: 6.3

- H. Chen (TSMC): 機械学習によるWLCSPの欠陥診断
  - InFO WLCSP(ファンアウトタイプのウェハレベルチップサイズパッケージ):
    - TSMC独自開発: 薄型, 高集積, 高性能化の革新技術
    - 主な対象応用分野は次世代携帯デバイス
    - 欠陥診断に機械学習活用: 有効なソリューション
  - InFO WLCSPのテスト: パッケージ間の配線抵抗が主対象
  - テスト結果のリアルタイム診断:
    - ロジスティック回帰モデルを適用
    - フロー: 特徴抽出→機械学習→モデル訓練→実適用
  - シリコンでの実験結果では91.8%の予測率



FO-WLPプロセス  
パナソニック電工技報 (Vol. 59 No. 1) より

2016.02.03 Kazumi Hatayama

98

# 講演の概要: 9.1

## ・S. Siatkowski (UCSB): 異常値モデルの「大域的」視点への一般化

- ・分布ベースの異常値スクリーニング: PAT(Part Average Testing)
  - ・パラメータ $k$  ( $[\mu - k\sigma, \mu + k\sigma]$ が正常範囲)をどう決めるかが問題
- ・製品データ(自動車用センサ)での実験
  - ・一変量手法: DPAT, AEC, RDPATを評価
    - ・時間順にウェハを並べて最初の10%でモデル作成(10DPMを目標に $k$ を決定)
    - ・残り90%に3手法を適用して評価: RDPATで最大121個を異常判定(予想:8)
  - ・多変量手法: Mahalanobis(Mah), 線形回帰(LR)を評価
    - ・一変量手法と同様の方法で比較: LRで最大205を異常判定
  - ・空間的不確実性(大部分はマージン性異常と推測)が問題
    - モデル一般化で対応・「全体」異常判定により空間的不確実性を低減

DPAT: Dynamic PAT  
AEC: Automotive Electronic Council DPAT  
RDPAT: Robust DPAT



# 講演の概要: 9.1 (cont.)

- ・マージン性検定: 異常値をもつダイを「類似」ウェハ(N枚)で異常値判定
  - いずれかで正常範囲と判定されればマージン性, さもなければ「全体」異常
  - ・類似性: ウェハ分布の類似性により判定, 類似性の高いN枚を選択
  - ・現場ではウェハ出現順の処理が必要→「オンライン異常」として判定
- ・製品での評価結果: 自動車用2製品(センサ, MCU), 一変量及び多変量で評価
  - ・評価尺度: I-検出率( $I-Cov. = |I \cap O| / |O|$ )およびG-検出率( $G-Cov. = |G| / |O|$ )
    - (I: 初期異常集合(一変量では $DPAT \cap AEC$ ), O: オンライン異常集合, G: 全体異常集合)
  - ・ほとんどのケースで90%以上の高い検出率を達成

製品/ 手法	カテゴリ	検定数	O				I-Cov. (平均)	G-Cov. (平均)
			平均	最大	平均	最大		
センサ/ 一変量	過剰判定	306	8.65	86	45.91	761	60.57%	<b>90.95%</b>
	過少判定	450	3.60	39	3.51	9	<b>97.06%</b>	57.67%
MCU/ 一変量	過剰判定	42	8.21	45	38.59	126	77.47%	<b>81.74%</b>
	過少判定	218	8.09	49	5.61	19	<b>97.61%</b>	37.99%
センサ/ 多変量	過剰判定	58	12.21	97	56.92	344	56.43%	<b>88.76%</b>
	過少判定	108	5.69	44	3.41	9	<b>96.51%</b>	49.50%
センサ/ 多変量	過剰判定	5	12.60	58	39.00	83	60.49%	<b>99.14%</b>
	過少判定	55	10.42	35	4.25	19	<b>92.44%</b>	13.12%

# Industry Test Challenges Meeting

- Industry Test Challenges Meeting: 10/5(月) 7:30~16:15
  - Globalfoundry(元IBM)のP. Nigh氏主宰のITC併設イベント
  - 参加者は150名近く, 講演は企業の先端事例紹介をメインに10件程度
- 今回もメインテーマはテスト結果データ活用: 8件中4件
  - MediaTek, Galaxy, Optimal+, Qualcommから講演
- 主な講演内容は以下のとおり。
  - H. Chen (MediaTek): マージナル欠陥に対する新たな収穫
    - マージナルな欠陥への対応について, SoCでの事例を挙げて紹介
      - ストレストテスト(低電圧, オーバークロック)でマージナル欠陥の顕現性を向上
    - フェールの状況を調査→システムレベルテスト(SLT)の要否判定に利用
    - 28nmプロセス製品3種に適用: SLT不良の94%をスクリーニングしたケースも
  - W. Smith (Galaxy): テストデータを活用した品質と歩留りの改善事例
    - 車載向け高速シリアルインタフェースに適用
    - 統計的歩留解析やPAT(Part Average Testing)を使用
      - 不良とマルチサイトテストの問題点の相関等について適用例を提示
  - Optimal+: テストデータ活用によるバーンイン削減方法
  - Qualcomm: アダプティブテストのためのテストの分類方法

2016.02.03 Kazumi Hatayama

101

## Industry Test Challenges Meeting (cont.)

- 今回は講演のほかにパネル形式の討論を設置
    - 9社のIC関連企業(下記)から専門家が登壇: 様々な質問に対して回答  
MediaTek, Intel, IBM, AMD, Qualcomm, NXP, GF, Teradyne, TI
  - 主な討論内容は以下のとおり
    - テスト時間は増加傾向か?→大勢は何とかフラットをキープ
    - スキャンシフト速度は?→20~100MHzと広範囲(製品タイプの違い?)
    - SLTをチップ量産テストに利用?→多かれ少なかれ利用; SLT依存性低下
    - テスト装置は高機能化or単純化?→単純化が大勢; 特性解析用は高機能化
    - 現在直面する最大の課題は?
      - IoT対応テスト, 超高速データマイニング, 3D-IC向けKGD(Known Good Die), アナログリッチSoCのテスト, など
- ☆本イベントは論文としては発表が難しい内容についても気軽に発表可能  
→最新の企業事例を知る良い機会
- 来年以降もITCに併設される予定, 非常にお勧め

2016.02.03 Kazumi Hatayama

102

# IJTAG関連

- Session 18: Practical Application of IEEE 1687
- Session 25: Three Business Perspectives on IEEE STD 1687
  - IJTAG(IEEE1687)の利用に関する6件の講演
  - 18.1および18.2について紹介

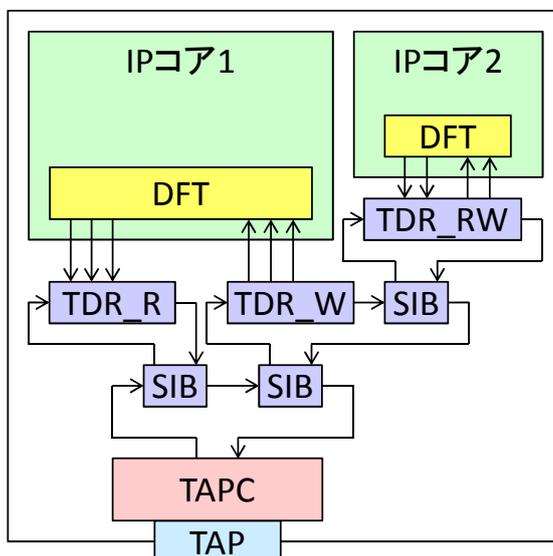
講演No.	タイトル	著者	所属
18.1	A Case Study: Leverage IEEE 1687-based Method to Automate Modeling, Verification, and Test Access for Embedded Instruments in a Server Processor	T. Payakapan, S. Kan, K. Pham; K. Yang, J. Corte, M. Keim; J. Dworak	AMD; Mentor; SMU
18.2	Access Time Minimization in IEEE1687 Networks	R. Krenz-Baath; F. Ghani Zadegan, E. Larsson	Hamm-Lippstadt U.; Lund U.
18.3 (invited)	An Approach to Automate Pattern Retargeting Using IEEE 1687	R. Khurana, K. Chakravadhanula, C. Papameletis, V. Chikemane; D. Baishya	Cadence; IBM
25.1 (Invited)	EDA Perspective	K. Balachandran	Cisco
25.2 (Invited)	Component Manufacturer Perspective	M. Kiem	Mentor
25.3 (Invited)	System Design/Manufacturer Perspective	K. Posse	Avago

2016.02.03 Kazumi Hatayama

103

# IJTAGについて

- IJTAG: Internal JTAG
  - IPコア内のテスト回路へのアクセス方法を標準化
    - ICL(Instrument Connectivity Language): テスト回路の接続状況を記述
    - PDL(Procedural Description Language): テスト回路の操作手続きを記述



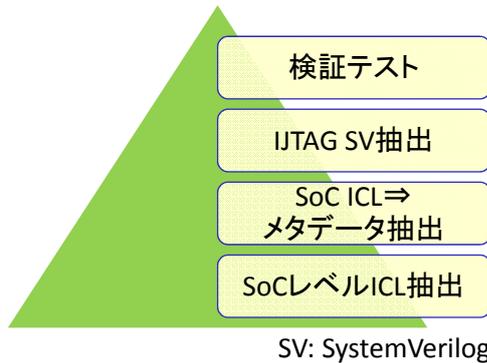
TAP: Test Access Port  
 TAPC: TAP Controller  
 SIB: Segment Insertion Bit  
 TDR: Test Data Register  
 TDR\_R: Read Type TDR  
 TDR\_W: Write Type TDR  
 TDR\_RW: Read/Write Type TDR

2016.02.03 Kazumi Hatayama

104

# 講演の概要: 18.1

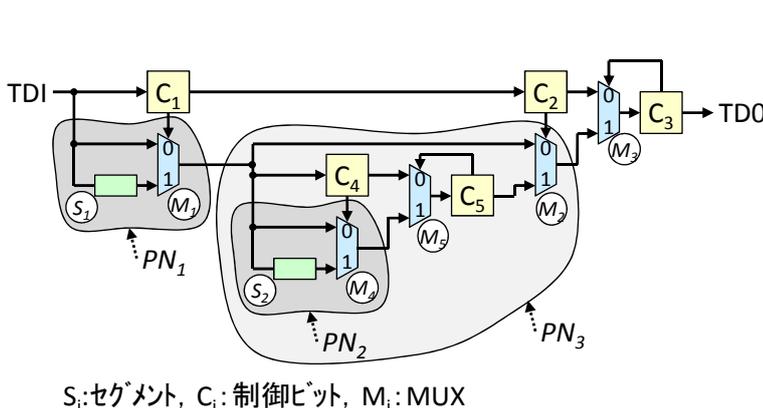
- T. Payakapan (AMD): 事例 – サーバプロセッサの搭載テスト回路に対する IEEE1687活用モデル化/検証/テストアクセス自動化
  - ICL/PDLの設計フロー:
    - コアレベル: ICL/PDL作成 → 検証 → ATPG → パターン検証
    - SoCレベル: ICLネットワーク抽出 → SoCレベルPDL作成 → 検証
  - IJTAGベース検証フロー: IJTAG方式で生成した完全記述のICLをフル活用
    - SoCレベルでのIJTAG回路へのアクセス制御のためのメタデータを自動抽出
  - ネットワークインフラ: IEEE1500準拠ラッパを各コアに搭載
  - 試行評価(Opteron A1100): 検証と量産テスト立上げに適用 → 大幅な期間短縮を達成



バグタイプ	最初のバグ発見までの期間	
	現在	IJTAG & SV
ドキュメント	1週間	1時間
IJTAG接続性	1週間	1時間
IJTAG NW順序	1週間	1時間
IJTAG準拠性	4週間	1日
DFX-IP	4週間	3週間

# 講演の概要: 18.2

- 18.2 R. Krenz-Baath (Hamm-Lippstadt U.): IEEE1687 NWのアクセス時間最小化
  - IEEE1687: チップ内テスト回路への柔軟なアクセスが可能(時間変化が可能)
    - 頻繁なIEEE1687 NWの再構成 → 再構成時間及びアクセス時間最小化が必要
  - アプローチ: 再構成問題をSAT(充足可能性問題)でモデル化
    - 提案手法: 完全NW(PN)の考え方を導入してモデルを単純化
  - 実験結果: ITC02ベンチマーク, 各ベンチマークに対して10シナリオ
    - Capture-Shift-Updateサイクル時間の削減等を確認



回路	#MUX	#スキャンセグメント	サイクル時間(s)	
			従来	提案
u226	59	99	1.34	0.48
d281	67	117	1.62	0.82
h953	63	109	3.07	0.87
f2126	45	81	1.31	0.46
a586710	47	79	12.31	1.84
q12710	30	51	0.97	0.46
g1023	94	159	196.60	1.32

# ご参考: テスタクセスの標準化

・JTAG(Joint Test Action Group)のバウンダリスキャン(IEEE1149.1)が1990年に標準化されて以降, 様々な標準化の動き

規格名	標準化年	規定している内容
IEEE 1149.1	1990/2001/2013	バウンダリスキャン方式(テストアクセスポート(TAP)含む)
IEEE 1149.4	1999/2010	ミクストシグナル・テストバス
IEEE 1149.5	1995	モジュールのテスト/保守バスへの拡張
IEEE 1149.6	2003	ACカップリングのテストへの対応
IEEE 1149.7	2009	省ピン対応およびTAPの高機能化
IEEE P1149.10	—	SERDES及びSPIのTAPへの利用
IEEE 1500	2005	IPコアアクセス容易化のためのラッパー
IEEE 1687	2014	チップ内テスト回路へのアクセスおよび制御
IEEE P1838	—	3D-ICへのテストアクセス
SJTAG	—	システムレベルでのテストアクセス

2016.02.03 Kazumi Hatayama

107

## AMSテスト関連

- ・Session 3: Analog/Mixed-Signal 1
- ・Session 8: Analog/Mixed-Signal 2
  - ・AMSテストに関連する6件の講演(3件は招待講演)
  - ・3.1をメインに紹介
  - ・3.2, 3.3, 8.1の3件についても簡単に紹介

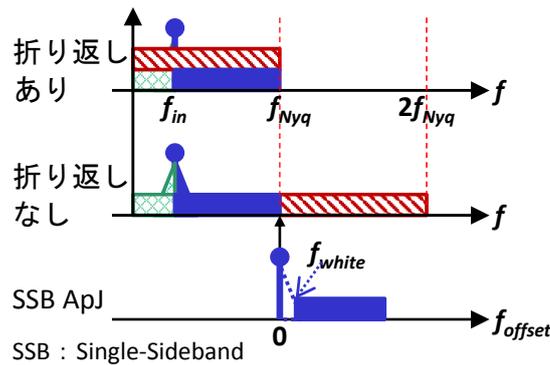
講演No.	タイトル	著者	所属
3.1	A New Method for Measuring Alias-Free Aperture Jitter in an ADC Output	T. Yamaguchi, K. Uekusa; K. Degawa, M. Kawabata, M. Ishida; M. Soma	Advantest Labs.; Advantest; U. Wash.
3.2	Evaluation of Low-Cost Mixed-Signal Test Techniques for Circuits with Long Simulation Times	H. Stratigopoulos; M. Barragan, S. Mir; H. Le Gall, N. Bhargava, A. Bal	Sorbonne U.; TIMA; STMicroelectronics
3.3 (invited)	Practical Analog Fault Simulation	S. Sunter, K. Jurga; R. Majidi, A. Laidler	Mentor; ON Semiconductor
8.1	Streaming Fast Access to ADCs and DACs for Mixed-Signal ATPG	S. Sunter, J-F. Coté; J. Rearick	Mentor; AMD
8.2 (invited)	Inductive Coupling of On-Chip Signals: A Case Study and Preventative Methodology	S. Loveless, Z. You, Chatterjee, B. Subbannavar	T.TI
8.3 (invited)	Performance, Robustness and Reliability of Digitally Calibrated Data Converters	Y. Chiu	UT Dallas

2016.02.03 Kazumi Hatayama

108

# 講演の概要: 3.1

- T. Yamaguchi (Advantest Labs.): ADCのオーバーチャ・ジッタ(ApJ)測定
- ApJ: サンプリング回路のADCそのものが持つジッタ成分
  - 測定対象信号とサンプリングクロックのジッタがゼロでもADC出力に発生  
→ADCの性能を示す有効な測定項目となる。
- 提案手法: ApJの周波数特性がホワイトである点を利用
  - 折り返し(aliasing)を含むADC出力信号から折り返しのないApJを復元  
→真のApJおよびApJによる有効ビット数(ENOB)が測定可能
- ADC出力からApJを求める際に、解析信号理論に基づく位相復調技術を利用  
→オーバーチャ・ジッタの時間波形を直接測定可能

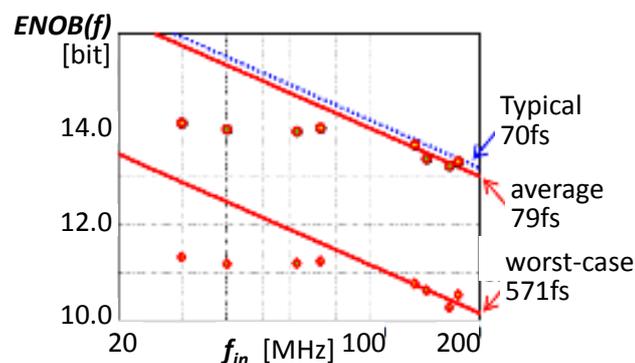


2016.02.03 Kazumi Hatayama

109

# 講演の概要: 3.1 (つづき)

- 評価実験:
  - 70fsという非常に小さいApJを高精度に測定できることを確認
- 今後の課題
  - ApJだけの高精度測定には、極めて位相ノイズが小さな信号発生器が必要



2016.02.03 Kazumi Hatayama

110

# その他の講演の概要

- 3.2 H. Stratigopoulos (Sorbonne U): 長時間Sim.が必要な回路の低コストM-Sテストの評価
  - ミクストシグナル(M-S)テストは高価→低コスト化の研究が盛ん
  - 低コスト手法の有効性評価: 長時間Sim.が必要なため非常に困難
    - 動作モデルと統計的遮断による高速評価方法を提案
  - 統計的遮断(Statistical Blockade): 事前に(有用な)極端な部分を絞り込む
  - 事例評価( $\Delta\Sigma$ ADCのBIST)→有効性を確認
- 3.3 S. Sunter (Mentor): 実用的なアナログ故障シミュレーション(FS)
  - アナログFS: 車載用途等で非常に重要だが, 実用的なツールはほとんどない
  - 比較的大きな回路に対応できる重み付き欠陥検出率計算用FSツールを提案
    - 重み付きランダムサンプリング, ミックスモード(SPICE/RTL)Sim.
  - 実用回路での評価: POR回路の一部の欠陥が高温でのみ検出できることを確認  
POR: Power on Reset
- 8.1 S. Sunter (Mentor): M-S ATPGのためのADC/DACへのストリーミング高速アクセス
  - 実用アナログDFT: アナログテストバス, ADC/DACパラレルポートへのシリアルアクセス
    - 問題点: ATPG向き標準記述なし, シリアルアクセスは周期的サンプリングには非効率
  - 提案手法: ADC/DACパラレルポートへの回路付加によりIEEE1687のICL/PDLを活用
  - 例題評価: 従来手法比で2倍以上のアクセスレートを達成  
ICL: Instrument Connection Language  
PDL: Procedural Description Language

2016.02.03 Kazumi Hatayama

111

# パネル討論

- 以下の3つのテーマでパネル討論
  - IEEE 1149.1の現状と今後
  - セル考慮テストの現状と今後
  - テスト結果データの活用
- それぞれのパネル討論について概要を紹介

Panel No.	タイトル
Panel 1	Is IEEE 1149.1 on Its Death Bed?
Panel 2	Cell-Aware ATPG: Beyond the Hype
Panel 3	Big Data for Test - Big Opportunity or Big Mystery?

2016.02.03 Kazumi Hatayama

112

# パネル1の概要

- ・「JTAGバウンダリスキャン(IEEE1149.1)は臨終か？」
  - ・背景: JTAGバウンダリスキャン(IEEE1149.1)の1990年の標準化から25年
    - ・昨年IJTAG(IEEE1687)標準化・JTAG方式に非依存の内部アクセスも検討
  - ・参加者は150名以上と例年どおりの盛況
  - ・AvagoのK. Posse氏が司会, パネリストとしては企業5社の専門家が登壇
  - ・主なポジショントークは以下のとおり
    - ・ J. Rearick (AMD): 「まだ死んでいないが, 非常に老化が進展」
      - ・ SerDesの増加などI/Fも多様化・この活用が可能
      - ・ IJTAGにより内部テスト回路にアクセス可能
    - ・ T. McLaurin (ARM): 「標準アクセスとして今後も必要」
      - ・ JTAG方式代替接続テストは色々あるが, 現状はJTAG方式の利用が主流
      - ・ 3D-ICのアクセスの標準化(IEEE P1838)でも外部アクセスはJTAGが前提
    - ・ J. Doege (Centaur) 氏: 「顧客要求がある以上は必要」
      - ・ 利点: 顧客が採用, 拡張が容易
      - ・ 課題: 合成との親和性, 高速IF対応, 設計フローへの統合, などなど
    - ・ W. Eklow (Cisco) : 「いろいろあるが, まだ必要」
      - ・ 多くの他のプロトコルがあり, 徐々にプレゼンスが低下
      - ・ しかし, チップは複雑であり, JTAG方式による助けが必要

# パネル1の概要 (cont.)

- ・ D. Olsen (Keysight): 「問題はあるがまだ死なない」
  - ・ 顧客からの情報: うまく動かない, BSDLの取得にNDAが必要, . . .
  - ・ 正しく設計・使用すれば利点あり・詳細な故障診断, 内部可視性, . . .
- ・ 会場を交えた討論は予定時間を超過するほどの白熱ぶりであった。  
主な議論内容は以下のとおり
  - ・ TAPに代わるIFは?
    - 既存IFの活用が可能。IJTAGをSPIやI2C経由でアクセスしている事例あり
  - ・ JTAGとIJTAGの共存は?
    - IJTAGはJTAGの上位集合, JTAG利用により実装が容易化
  - ・ JTAG方式を採用している設計はどの程度あるか?
    - 会社により差はあるが多数ある。
  - ・ 高速IF向けのアクセス標準化(HJTAG(IEEE P1149.10))もあるが?
    - オプションの一つ

☆全体としては、「現時点としては問題はあるがまだ必要」が大多数の意見  
10年後にも同じパネルを設置したいという意見があったが同感

# パネル2の概要

## ・「セル考慮テスト:熱狂の先に」

- ・背景:微細化対応のテスト品質の切り札としてセル考慮テストに注目
- ・ITCのパネル常連のARMのR. Aitken氏が司会, 技術開発, ツールユーザ, 故障解析のそれぞれの立場から, 5名の専門家がパネリストとして参加
- ・各パネリストの主なポジショントークの内容は以下のとおり。
  - ・ F. Hapke (Mentor)
    - ・多数の論文, 実製品(>50M個)の適用実績。高品質品では「must」
    - ・次の課題はセル考慮故障診断・物理故障解析で必要
  - ・ P. Wohl (Synopsys)
    - ・テスト生成(ATPG)の観点からはゲートレベルテストとの間にトレードオフ
      - ・ライブラリ作成(セル考慮は24~48h/ライブラリ), パターン数増加, など
    - ・次の課題はスラックベースのセル考慮テスト
  - ・ S. Eichenberger (NXP)
    - ・ゼロDPM達成のためにはセル考慮テストも必要
    - ・Vdd, タイミング, 温度についても適正な活性化条件の設定が必要。
  - ・ S. K. Goel (TSMC)
    - ・市場の観点からすると, 利益とコストの比率を考えると多分OK。
    - ・プロセス習熟の観点から見ると, 使用の要否は製品の要求品質に依存

# パネル2の概要 (cont.)

- ・ J. Block(DCG Systems)
  - ・ナノプローブの効率向上の観点からセル考慮テストに期待
    - ・セル考慮テストとの連携事例:時間削減(<2h), 成功率向上(>90%)
  - ・高信頼/高品質製品に対して付加価値を与える可能性あり。
- ・会場を交えた討論の主な内容は以下のとおり
  - ・ライブラリ生成が大変ではないか?→SPICEシミュレーションが必要。
  - ・EDAツールで共通のライブラリは実現可能か?
    - 標準化および検証方法の確立が必要。
  - ・フリップフロップ等の順序回路セルのセル考慮故障モデルは可能か?
    - 難しい。組合せ回路セルでも故障により順序動作(こちらも同様)
  - ・ゲートレベルでもっと詳細の故障モデルはできないか?
    - 故障の空間が広がっているため困難

☆セル考慮テストが上滑りせずに定着しつつあるという印象  
今後もこの動きに要注目

# パネル3の概要

- ・「テストビッグデータ: 大きなチャンスか大きな謎か」
  - ・背景: テストビッグデータを良いチャンスとする機運の上昇に合わせて設置
  - ・この分野の最先端研究者であるLi-C Wang(UCSB)の司会の下, パネリストとしては各社を代表する6名の専門家が登壇。
  - ・各パネリストの主なポジショントークは以下のとおり。
    - ・J. Carulli (Globalfoundries): 大きなチャンス
      - ・ビッグデータは情報処理の革新的な形態, 意思決定への活用が重要
      - ・包括的なデータ収集(設計/製造/テスト, ファブレス/ファクトリ/OSAT/等)が課題
    - ・K. Butler (TI): 大きなチャンス
      - ・データサイズが他の問題(質, 集積, セキュリティ, 等)を大きくする
      - ・課題: レガシーシステムからの移行
      - ・インフラが不十分⇒新手法の早期採用; データの縮約&視覚化が鍵
    - ・P. Nigh (Globalfoundries): 謎かチャンスか
      - ・事例: 歩留り低下の原因追及
        - ・データを隅から隅まで精査→低電圧チェーンテスト診断から電源の問題が判明
    - ・M. Laisne (Qualcomm): 多くのチャンスが先にある
      - ・金鉱探索と同じ: 正しいツールとインフラが必要
      - ・例: KDDM(知識探索とデータマイニング)を用いたテスト検索アルゴリズム

2016.02.03 Kazumi Hatayama

117

# パネル3の概要 (cont.)

- ・S. Venkataraman (Intel): 熱狂?, 謎?, 事実?, チャンス?, ...
  - ・テストにおけるビッグデータ: すべて構造化されたデータ, 規模はTB~PB
  - ・データ収集&解析: Howが重要・電氣的検証, マージン検証, 量産テスト, ...
- ・X. Gu (Huawei): 隅から隅までのデータ収集と知的活用が重要
  - ・データ利用: 閉ループ(アダプティブテスト, 事業判断, ...)
  - ・課題: 大規模データ(収集/保存/標準化), 不要データ判別, データ品質管理
- ・会場を交えた討論の主な内容は以下のとおり
  - ・データ保管期間は?→普通1~3年, 特別な場合5~10年; 一部データのみ保管
  - ・セキュリティ面は?→企業内でもアクセス制限あり
  - ・どれほど収集すべきか?→多いほど情報(orソリューション)を得るチャンスは大
  - ・実情: データの90%は役に立っていないという話あり
    - 10%も活用されているのは非常に効率的
  - ・ODPMのコストは計算可能か?→場合による; 見逃し/歩留損失が不確定要因
- ・結論: 大きな機会ではあるが多くのことが必要,  
ツール(Plug&Play)もさらに必要

2016.02.03 Kazumi Hatayama

118

# Synopsys Test SIG

- Synopsys Test SIG : 10/5(月) 18:30~21:30
  - 約20年前からITC併設イベントとして開催(今回で23回目)
  - 参加者 : 100名超, Synopsys社+ユーザ3社からの講演
  - 講演内容は以下のとおり。
    - P. Wohl (Synopsys) : Synopsys社のテスト技術の進歩
      - パターン数のトレンド : 10k('10(SDD))→50k(Power-Aware)→150k(Cell-Aware)
      - 新ATPG : 処理速度10x, パターン数-25%; Galaxy設計PFとのリンク
    - D. Appello (STMicro) : 安全重視アプリでのSynopsys LBISTの利用
      - ISO26262対応 : 過渡故障は故障時間が短いためタイミングがより重要に
      - 必要機能 : ブート時/動作中のLBIST, LBIST利用オンボードデバッグ, B.I.対応, ...
      - 適用事例 : 2ブロック(112FF, 6.5kFF), TAP→1687→1500Wrapper; TPI等は今後
    - M. Hunter (Teradyne) : STAR階層システム(SHS)によるDesign2Siテスト課題の解決
      - SHSアーキ : LBIST, eMemory, I/F IP, Custom IPに対応
      - 事例 : JTAG+1500(End2Endソリューション) : モデルはうまく機能, テスタデバッグ改善要
    - J. Colburn (NVIDIA) : FinFET欠陥検出率の向上
      - FinFETテストの問題 : 寄生容量が3x→詳細な故障モデル(Cell-Aware)が必要
      - 課題 : 欠陥挙動の変動(製造前はパラメータ不明); パターン数の増加(1.2~1.6倍)
- ☆ユーザ事例紹介の場として活用されており, 今後とも要チェックのイベント

# ITC2015報告

- ITCについて
- ITC2015の概要
- 論文発表の全体動向
- 注目セッションの紹介
- まとめ

# ITC2015の特徴

・今回のITCの特徴をまとめると以下のとおり。

(1) テストビッグデータの活用がますますホットに

- ・大量のテスト結果データの活用は、ホットピックの筆頭
- ・論文発表(2セッション), 併設ワークショップのDATAもITCに定着
- ・「Industry Test Challenges Meeting」でもメインテーマ

(2) JTAG方式の標準化から25年でテストアクセスに再び脚光

- ・JTAG方式(IEEE1149.1)バウンダリスキャンの標準化から25年
- ・今やボードテストのみならず, LSIのテストにとっても重要な存在
- ・IJTAG(IEEE1687)が昨年標準化, P1838, HJTAG, SJTAGの動きも

(3) 成熟分野でもまだまだ進化が必要

- ・スキャン, SoC, ATEがタイトルに入ったセッションあり
- ・従来トレンド(微細化, 大規模化, 低電力化)などに加えて, 新トレンド(車載, IoT, ウェアラブル)が技術の進展を牽引

# ITC2016は初めてのフォートワースで

ITC2016はテキサス州フォートワースで11/13(日)~18(金)に開催  
詳細はWeb(<http://www.itctestweek.org>)に掲載



Fort Worth Visitors Guideより



**Paper submission deadline: April 11, 2016**  
**Author notification: June 20, 2016**  
**Final manuscript due: August 8, 2016**

# ITC2015雜景-1



2016.02.03 Kazumi Hatayama

123

# ITC2015雜景-2



2016.02.03 Kazumi Hatayama

124