

# パワーMOSFETの基礎

松田順一  
群馬大学

2016年06月23日(木) 14:20～17:30

群馬大学工学部(桐生キャンパス)総合研究棟502号室

# 概要

- 材料特性
  - 真性キャリア密度、P-N接合ビルトイン(拡散)電位、抵抗、移動度、抵抗率、インパクト・イオン化、ブレイクダウン電圧、理想特性オン抵抗とブレイクダウン電圧の関係
- MOSFET基本電気特性
  - しきい値電圧、電流式とチャネル抵抗
- パワーMOSFETのオン抵抗
  - VD (Vertical Diffused) -MOSFETのオン抵抗、U-MOSFETのオン抵抗
- パワーMOSFETの容量
  - VD-MOSFETの容量、U-MOSFETの容量
- スイッチング特性
  - ゲート電荷、ターンオン特性、特性ゲート電荷とFOM値、ターンオン過渡特性、ターンオフ過渡特性、スイッチング損失
- 過渡変化によるターンオンとSOA (Safe Operating Area)
  - 容量性ターンオン、バイポーラ・ターンオン、セカンド・ブレイクダウン、リバース・リカバリーによるターンオン、SOA
- 温度特性(しきい値電圧と特性オン抵抗)
- 4H-SiCパワーMOSFET
  - VD-MOSFET、シールド型VD-MOSFET、シールド型U-MOSFET

参考文献 B. Jayant Baliga, "Fundamentals of Power Semiconductor Devices," Springer Science + Business Media, 2008

# 真性キャリア密度

真性キャリア密度

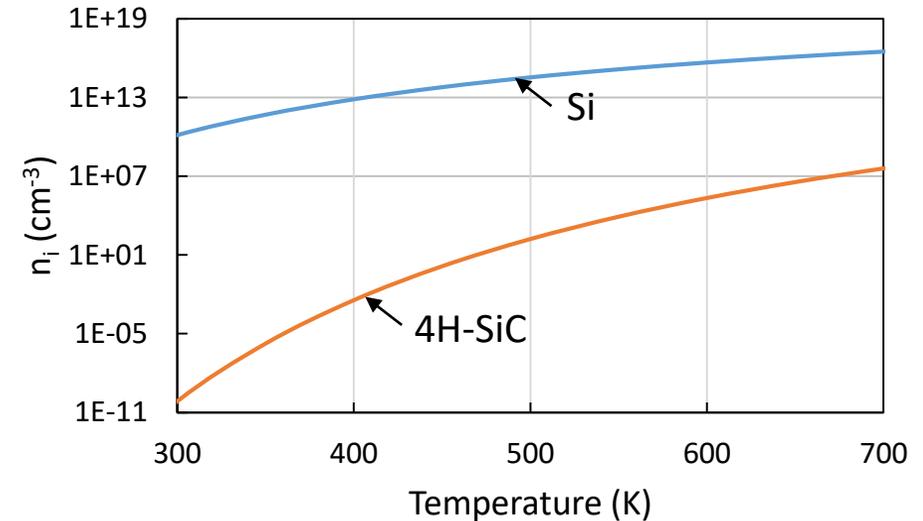
$$n_i = \sqrt{np} = \sqrt{N_C N_V} e^{-E_G/2kT}$$

Siの真性キャリア密度

$$n_i = 3.87 \times 10^{16} T^{3/2} e^{-(7.02 \times 10^3)/T} \text{ (cm}^{-3}\text{)}$$

4H-SiCの真性キャリア密度

$$n_i = 1.70 \times 10^{16} T^{3/2} e^{-(2.08 \times 10^4)/T} \text{ (cm}^{-3}\text{)}$$



真性キャリア密度の温度依存性

$n_i$ : 真性キャリア密度(cm<sup>-3</sup>)

$N_C$ : 伝導帯中の状態密度(cm<sup>-3</sup>)

$E_G$ : バンドギャップ・エネルギー(J)

$n$ : 電子密度(cm<sup>-3</sup>)

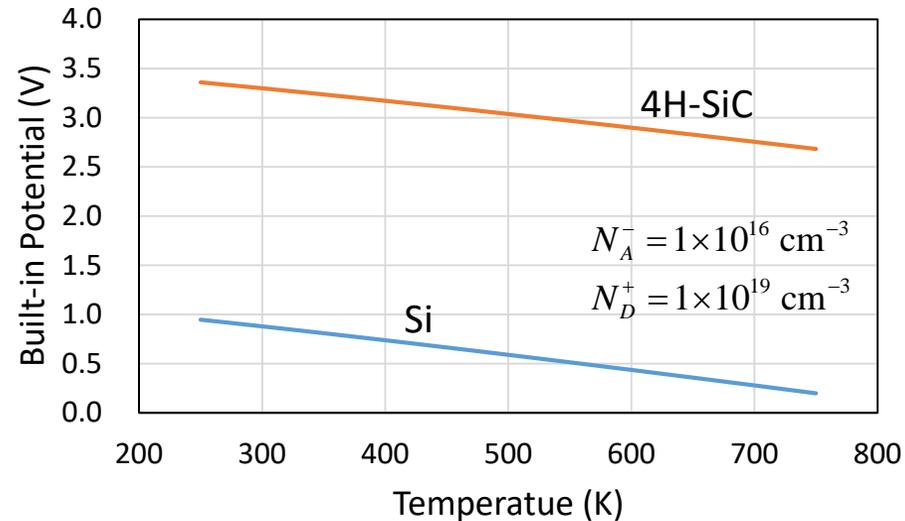
$N_V$ : 価電子帯中の状態密度(cm<sup>-3</sup>)

$k$ : ボルツマン定数( $1.38 \times 10^{-23}$ J/K)

$p$ : 正孔密度(cm<sup>-3</sup>)

$T$ : 絶対温度(K)

# P-N接合ビルトイン(拡散)電位



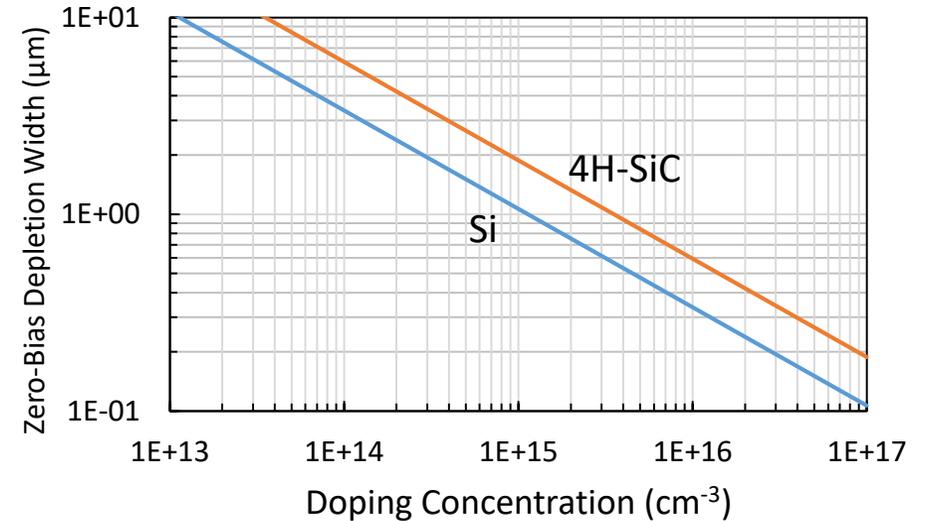
P-N階段接合のビルトイン電位の温度依存性

ビルトイン電位

$$V_{bi} = \frac{kT}{q} \ln \left( \frac{N_A^- N_D^+}{n_i^2} \right)$$

$k$ : ボルツマン定数 ( $1.38 \times 10^{-23}$  J/K)

$q$ : 素電荷量 ( $1.6 \times 10^{-19}$  C)



P-N階段接合ゼロバイアス時の空乏層幅の濃度依存性

ゼロバイアス時の空乏層幅

$$W_{bi} = \sqrt{\frac{2\epsilon_s}{qN_A^-} V_{bi}}$$

$\epsilon_s$ : 誘電率 Si  $\Rightarrow 11.7 \times 8.854 \times 10^{-14}$  (F/cm)

4H-SiC  $\Rightarrow 9.7 \times 8.854 \times 10^{-14}$  (F/cm)

# 抵抗

$$R = \frac{1}{\mu_B n q} \frac{a}{bc} = \rho \frac{a}{bc} = R_s \frac{a}{b}$$

$$\rho = \frac{1}{\sigma} = \frac{1}{\mu_B n q} \quad (\rho: \text{抵抗率}, \sigma: \text{導電率})$$

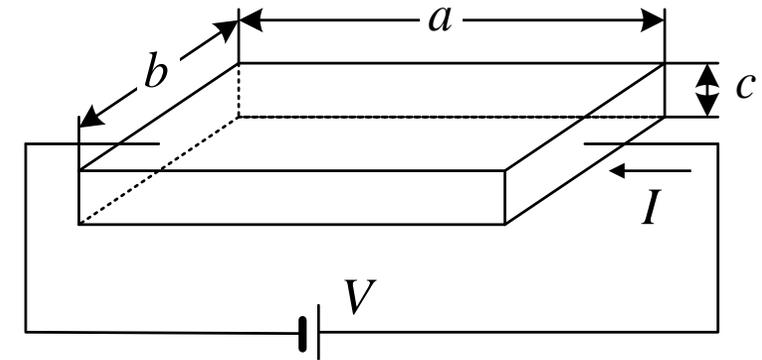
$$R_s = \frac{\rho}{c} = \frac{1}{\mu_B n q c} = \frac{1}{\mu_B |Q'|} \quad (R_s: \text{シート抵抗})$$

$$\because I = (nq)(bc)(v_d) = (nq)(bc)(\mu_B E)$$

$$= (nq)(bc) \left( \mu_B \frac{V}{a} \right) = (\underbrace{\mu_B n q}_{\text{コンダクタンス}}) \left( \frac{bc}{a} \right) V$$

↑  
単位体積当たりの電荷    断面積

↑  
コンダクタンス = (1 / 抵抗)



$\mu_B$ : キャリア移動度

$n$ : キャリア密度

$q$ : 素電荷量

$Q'$ : 単位面積当たりの電荷

$v_d$ : ドリフト速度

$E$ : 電界

# 移動度（濃度依存性）

N型Si内の電子移動度の濃度依存性（室温）<sup>(1)</sup>

$$\mu_n(\text{Si}) = \frac{5.10 \times 10^{18} + 92 N_D^{0.91}}{3.75 \times 10^{15} + N_D^{0.91}} \quad (\text{cm}^2 \text{V}^{-1} \text{s}^{-1})$$

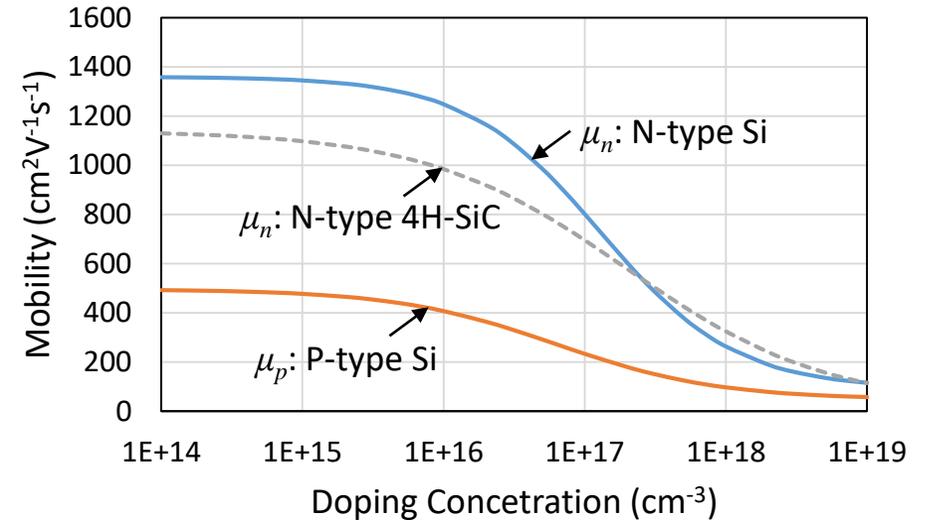
P型Si内の正孔移動度の濃度依存性（室温）<sup>(1)</sup>

$$\mu_p(\text{Si}) = \frac{2.90 \times 10^{15} + 47.7 N_A^{0.76}}{5.86 \times 10^{12} + N_A^{0.76}} \quad (\text{cm}^2 \text{V}^{-1} \text{s}^{-1})$$

N型4H-SiC内の電子移動度の濃度依存性（室温）<sup>(2)</sup>

$$\mu_n(4\text{H-SiC}) = \frac{4.05 \times 10^{13} + 20 N_D^{0.61}}{3.55 \times 10^{10} + N_D^{0.61}} \quad (\text{cm}^2 \text{V}^{-1} \text{s}^{-1})$$

$N_D(\text{cm}^{-3}), N_A(\text{cm}^{-3})$



移動度の濃度依存性

(1) C. Jacobini, et al., "A Review of Some Charge Transport Properties of Silicon," Solid-State Electronics, Vol. 20, pp. 77-89, 1977.

(2) M. Ruff, H. Mitlehner, and R. Helbig, "SiC Devices: Physics and Numerical Simulations," IEEE Transactions on Electron Devices, Vol. ED-41, pp. 1040-1054, 1994.

# 移動度(温度依存性)

N型Si内の電子移動度の温度依存性<sup>(1)</sup> (低濃度 $<10^{15}\text{cm}^{-3}$ )

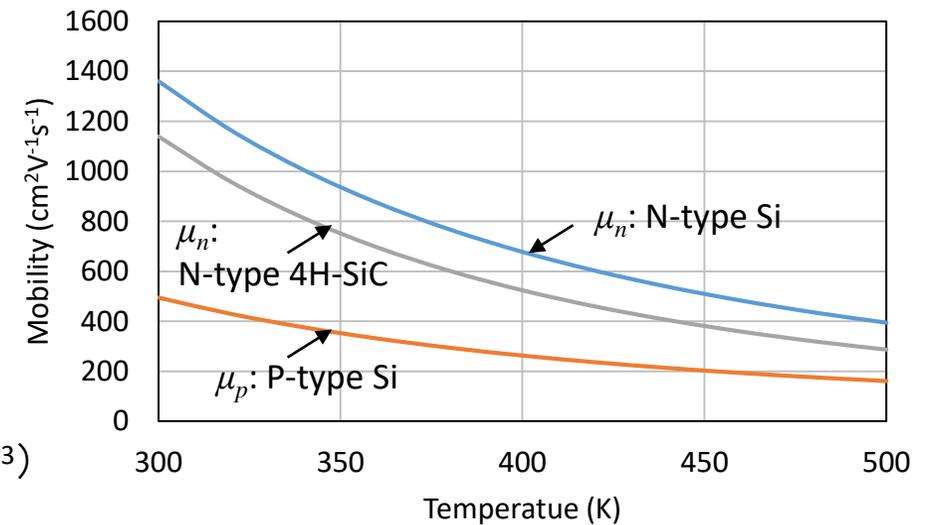
$$\mu_n(\text{Si}) = 1360 \left( \frac{T}{300} \right)^{-2.42} \quad (\text{cm}^2\text{V}^{-1}\text{s}^{-1})$$

P型Si内の正孔移動度の温度依存性<sup>(2)</sup> (低濃度 $<10^{15}\text{cm}^{-3}$ )

$$\mu_p(\text{Si}) = 495 \left( \frac{T}{300} \right)^{-2.20} \quad (\text{cm}^2\text{V}^{-1}\text{s}^{-1})$$

N型4H-SiC内の電子移動度の温度依存性<sup>(3)</sup> (低濃度 $<10^{15}\text{cm}^{-3}$ )

$$\mu_n(4\text{H-SiC}) = 1140 \left( \frac{T}{300} \right)^{-2.70} \quad (\text{cm}^2\text{V}^{-1}\text{s}^{-1})$$



移動度の温度依存性

- (1) C. Canali, et al., "Electron Drift Velocity in Silicon," Physical Review, Vol. B12, pp. 2265-2284, 1975.
- (2) G. Ottaviani, et al., "Hole Drift Velocity in Silicon," Physical Review, Vol. B12, pp. 3318-3329, 1975.
- (3) N.G. Wright, et al., "Electrothermal Simulation of 4H-SiC Power Devices," Silicon Carbide, III-Nitrides, and Related Materials — 1997, Material Science Forum, Vol. 264, pp.917-920, 1998.

# 移動度(電界依存性)

N型Si内の電子の平均移動度(低濃度)

$$\mu_n(\text{Si}) = \frac{9.85 \times 10^6}{(1.04 \times 10^5 + E^{1.3})^{0.77}} \quad (\text{cm}^2 \text{V}^{-1} \text{s}^{-1})$$

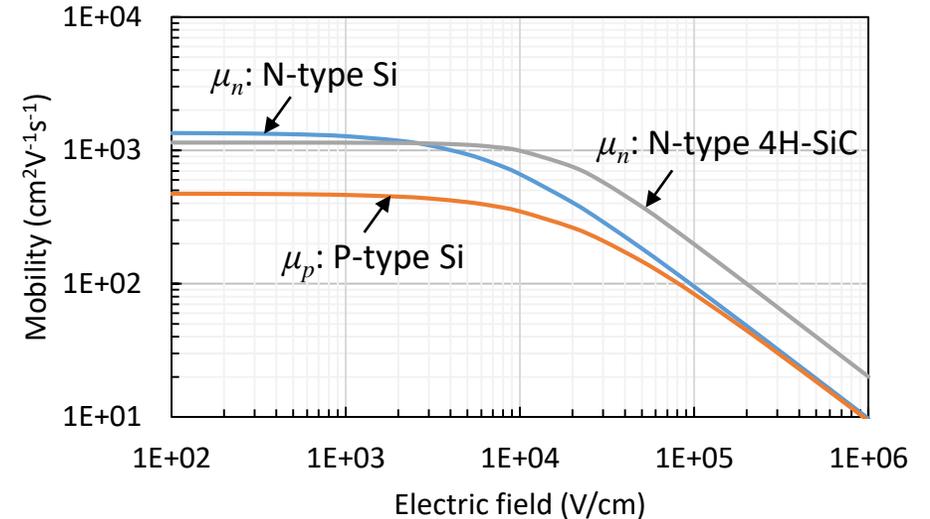
P型Si内の正孔の平均移動度(低濃度)

$$\mu_p(\text{Si}) = \frac{8.91 \times 10^6}{(1.41 \times 10^5 + E^{1.2})^{0.83}} \quad (\text{cm}^2 \text{V}^{-1} \text{s}^{-1})$$

N型4H-SiC内の電子の平均移動度(低濃度)<sup>(1)</sup>

$$\mu_n(4\text{H-SiC}) = \frac{\mu_0}{\left(1 + \left(\frac{\mu_0 E}{v_{sat,n}}\right)^2\right)^{0.5}} \quad (\text{cm}^2 \text{V}^{-1} \text{s}^{-1})$$

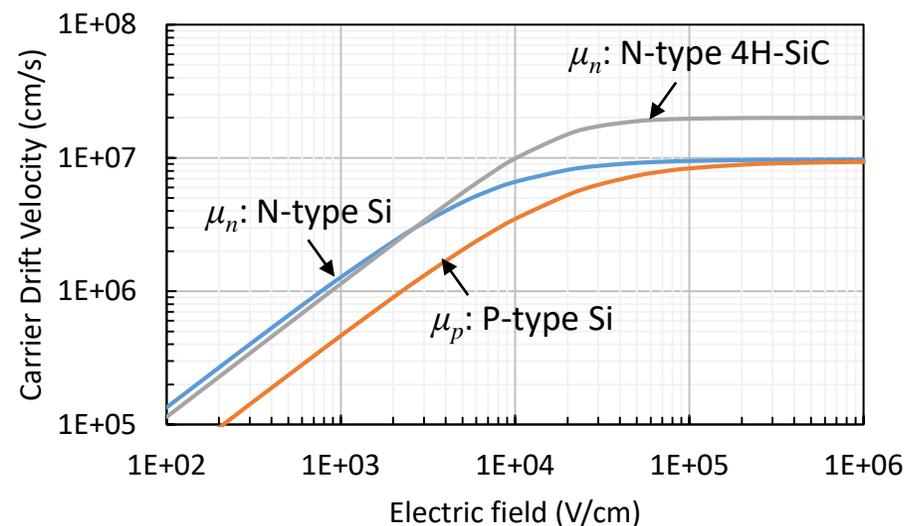
$$\mu_0 = 1140 \quad (\text{cm}^2 \text{V}^{-1} \text{s}^{-1}) \quad v_{sat,n} = 2 \times 10^7 \quad (\text{cm/s}) \quad E \quad (\text{V/cm})$$



移動度の電界依存性

(1) N.G. Wright, et al., "Electrothermal Simulation of 4H-SiC Power Devices," Silicon Carbide, III-Nitrides, and Related Materials — 1997, Material Science Forum, Vol. 264, pp.917-920, 1998.

# ドリフト速度の電界依存性と飽和速度の温度依存性



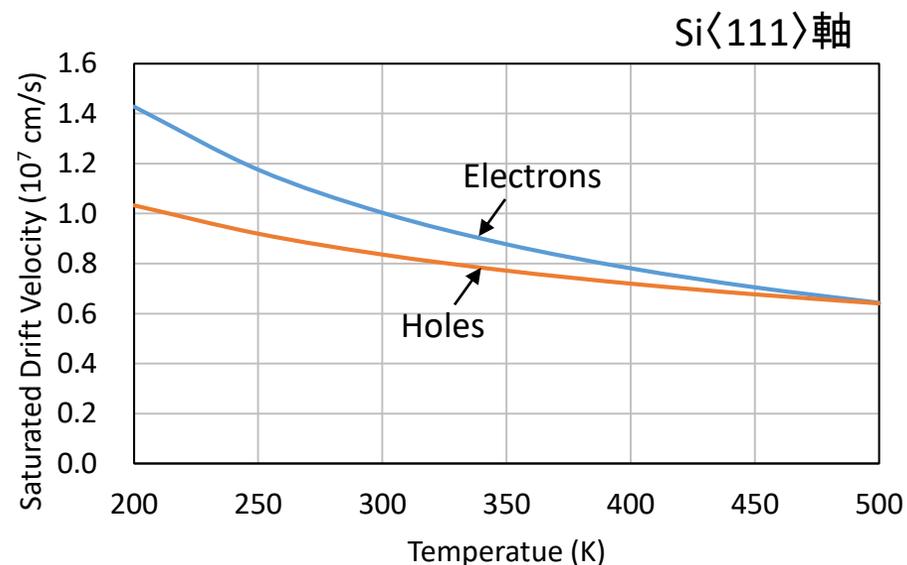
キャリア・ドリフト速度の電界依存性(低濃度)

$$v_d = \mu E$$

$v_d$ : ドリフト速度

$\mu$ : 移動度

$E$ : 電界



キャリア飽和速度の温度依存性(低濃度)

電子の飽和速度の温度依存性

$$v_{sat,n} = 1.434 \times 10^9 T^{-0.87} \text{ (cm/s)}$$

正孔の飽和速度の温度依存性

$$v_{sat,p} = 1.624 \times 10^8 T^{-0.52} \text{ (cm/s)} \quad T(\text{K})$$

# 抵抗率

N型Siの抵抗率(室温)

$$\rho_n(\text{Si}) = \frac{3.75 \times 10^{15} + N_D^{0.91}}{8.16 \times 10^{-1} N_D + 1.47 \times 10^{-17} N_D^{1.91}} \quad (\Omega\text{cm})$$

$$\rho_n(\text{Si}) = \frac{4.60 \times 10^{15}}{N_D} \quad (\Omega\text{cm}) \quad \text{for } N_D < 10^{15} \text{ cm}^{-3}$$

$$\rho_n(\text{Si}) = \frac{6.94 \times 10^{16}}{N_D} \quad (\Omega\text{cm}) \quad \text{for } N_D > 10^{19} \text{ cm}^{-3}$$

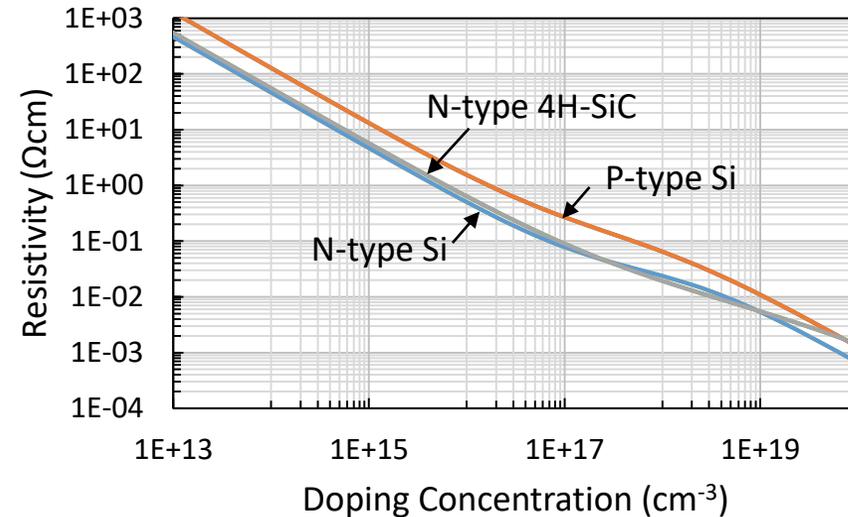
P型Siの抵抗率(室温)

$$\rho_p(\text{Si}) = \frac{5.86 \times 10^{12} + N_A^{0.76}}{4.64 \times 10^{-4} N_A + 7.63 \times 10^{-18} N_A^{1.76}} \quad (\Omega\text{cm})$$

$$\rho_p(\text{Si}) = \frac{1.26 \times 10^{16}}{N_A} \quad (\Omega\text{cm}) \quad \text{for } N_A < 10^{15} \text{ cm}^{-3}$$

$$\rho_p(\text{Si}) = \frac{1.25 \times 10^{17}}{N_A} \quad (\Omega\text{cm}) \quad \text{for } N_A > 10^{19} \text{ cm}^{-3}$$

$N_D(\text{cm}^{-3}), N_A(\text{cm}^{-3})$



抵抗率の濃度依存性

N型4H-SiCの抵抗率(室温)

$$\rho_n(4\text{H-SiC}) = \frac{3.55 \times 10^{10} + N_D^{0.61}}{6.48 \times 10^{-6} N_D + 3.20 \times 10^{-18} N_D^{1.61}} \quad (\Omega\text{cm})$$

# インパクト・イオン化係数

インパクト・イオン化係数<sup>(1)</sup>

$$\alpha = ae^{-b/E}$$

Siの場合<sup>(2)(3)</sup> ( $1.75 \times 10^5 < E < 6 \times 10^5$  (V/cm)で成立)

$$a_n(\text{Si}) = 7 \times 10^5 \text{ (cm}^{-1}\text{)} \quad a_p(\text{Si}) = 1.6 \times 10^6 \text{ (cm}^{-1}\text{)}$$

$$b_n(\text{Si}) = 1.23 \times 10^6 \text{ (Vcm}^{-1}\text{)} \quad b_p(\text{Si}) = 2 \times 10^6 \text{ (Vcm}^{-1}\text{)}$$

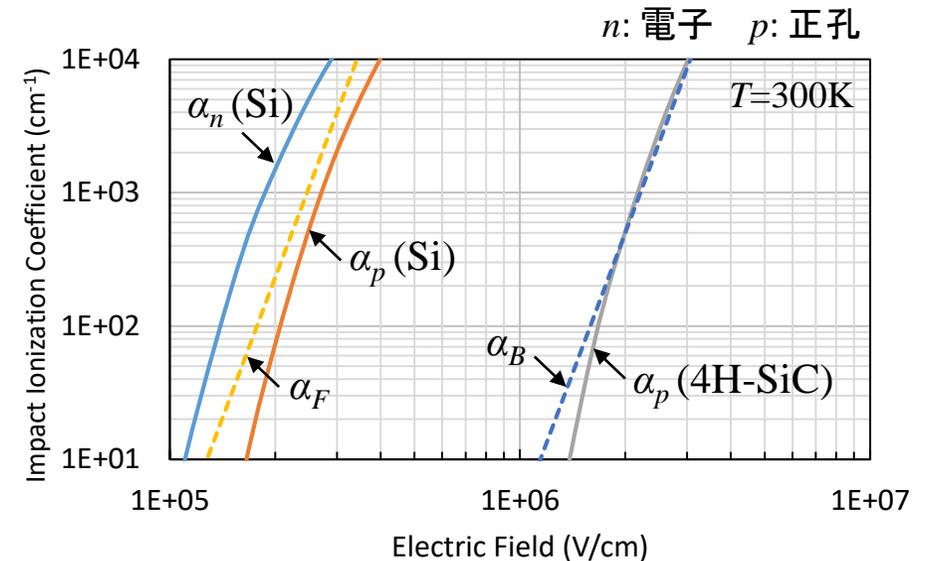
4H-SiCの場合<sup>(4)(5)</sup>

$$a_p(4\text{H-SiC}) = 6.46 \times 10^6 - 1.07 \times 10^4 T \text{ (cm}^{-1}\text{)}$$

$$b_p(4\text{H-SiC}) = 1.75 \times 10^7 \text{ (Vcm}^{-1}\text{)}$$

Siの場合の近似<sup>(6)</sup>  $\Rightarrow \alpha_F \text{ (cm}^{-1}\text{)} = 1.8 \times 10^{-35} E^7$

4H-SiCの場合の近似<sup>(7)</sup>  $\Rightarrow \alpha_B \text{ (cm}^{-1}\text{)} = 3.9 \times 10^{-42} E^7 \quad E \text{ (Vcm}^{-1}\text{)}, T \text{ (K)}$



インパクト・イオン化係数の電界依存性

(1) A.G. Chynoweth, "Ionization Rates for Electrons and Holes in Silicon," Physical Review, Vol. 109, pp. 1537-1545, 1958..

(2) C.R. Crowell and S.M. Sze, "Temperature Dependence of Avalanche Multiplication in Semiconductors," Applied Physics Letters, Vol. 9, pp. 242-244, 1966.

(3) R. Van Overstraeten and H. De Man, "Measurement of the Ionization Rates in Diffused Silicon P-N Junctions," Solid-State Electronics, Vol. 13, pp. 583-590, 1970.

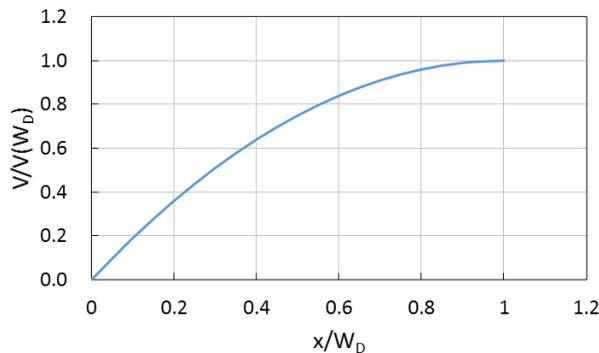
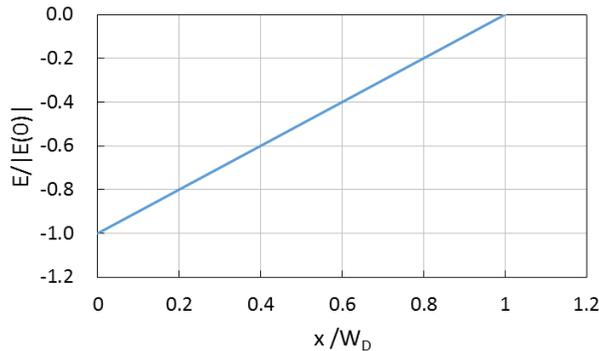
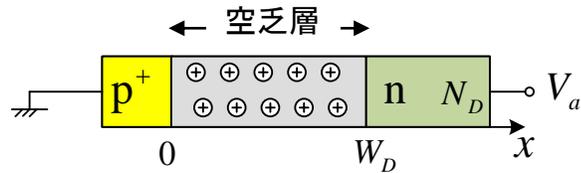
(4) R. Raghunathan and B.J. Baliga, "Temperature Dependence of Hole Impact Ionization Coefficients in 4H and 6H SiC," Solid-State Electronics, Vol. 43, pp. 199-211, 1999.

(5) R. Raghunathan and B.J. Baliga, "Role of Defects in Producing Negative Temperature Dependence of Breakdown Voltage in SiC," Applied Physics Letters, Vol. 72, pp. 3196-3198, 1998.

(6) Fulop, "Calculation of Avalanche Breakdown of Silicon P-N Junctions," Solid-State Electronics, Vol. 10, pp. 39-43, 1967.

(7) B.J. Baliga, "Silicon Carbide Power Devices," World Scientific, Singapore 2006.

# PN階段接合ブレークダウン電圧と空乏層幅



$x$ における電界

$$E(x) = -\frac{qN_D}{\epsilon_s}(W_D - x)$$

$x$ における電圧 (ビルトイン電位無視)

$$V(x) = \frac{qN_D}{\epsilon_s} \left( W_D x - \frac{1}{2} x^2 \right)$$

空乏層幅 $W$ と印加電圧 $V_a$ の関係

$$W_D = \left( \frac{2\epsilon_s V_a}{qN_D} \right)^{1/2}$$

ブレークダウン条件

$$\int_0^{W_D} \alpha dx = 1$$

$$\alpha_F (\text{cm}^{-1}) = 1.8 \times 10^{-35} E^7 \text{ (for Si)}$$

$$\alpha_{B\_modified} (\text{cm}^{-1}) = 9.5 \times 10^{-43} E^7 \text{ (for 4H-SiC)}$$

Siの場合

$$BV_{PP} = 5.24 \times 10^{13} N_D^{-3/4} \text{ (V)}$$

$$W_{C,PP} = 2.60 \times 10^{10} N_D^{-7/8} \text{ (cm)}$$

$$E_{C,PP} = 4.02 \times 10^3 N_D^{1/8} \text{ (V/cm)}$$

4H-SiCの場合

$$BV_{PP} = 3.00 \times 10^{15} N_D^{-3/4} \text{ (V)}$$

$$W_{C,PP} = 1.80 \times 10^{11} N_D^{-7/8} \text{ (cm)}$$

$$E_{C,PP} = 3.35 \times 10^4 N_D^{1/8} \text{ (V/cm)}$$

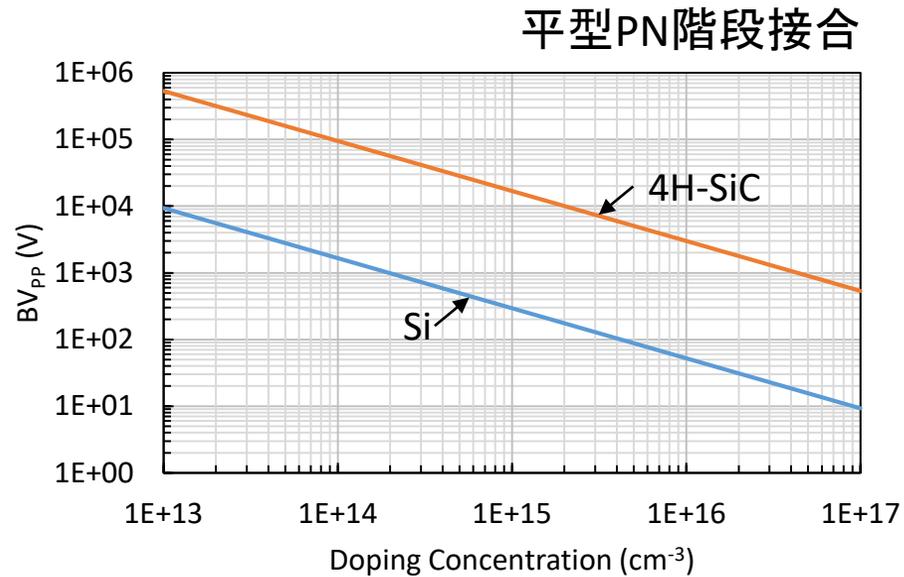
$BV_{PP}$ : ブレークダウン電圧

$W_{C,PP}$ : ブレークダウン時の空乏層幅

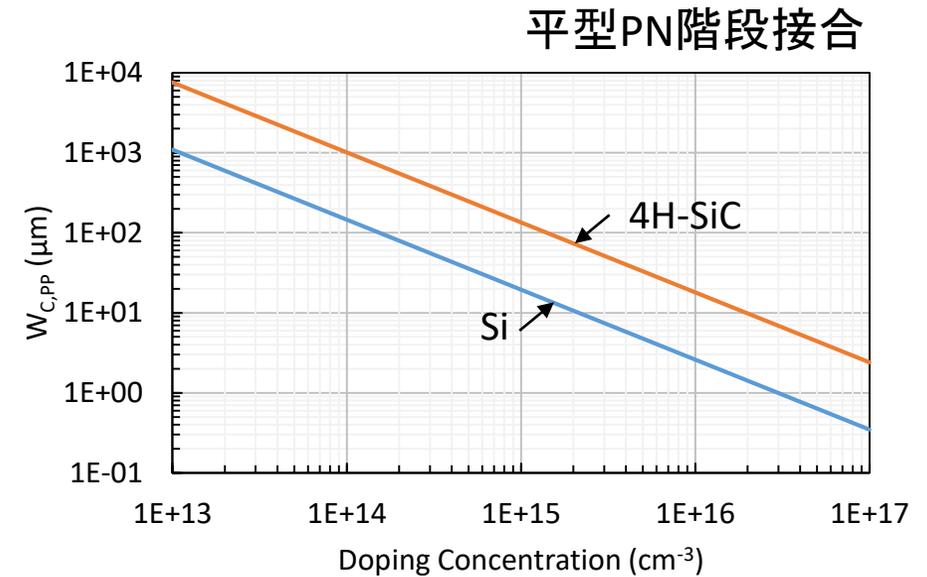
$E_{C,PP}$ : ブレークダウン時の電界 (臨界電界)

(平型PN階段接合)  $N_D (\text{cm}^{-3})$

# ブレークダウン電圧と空乏層幅の濃度依存性

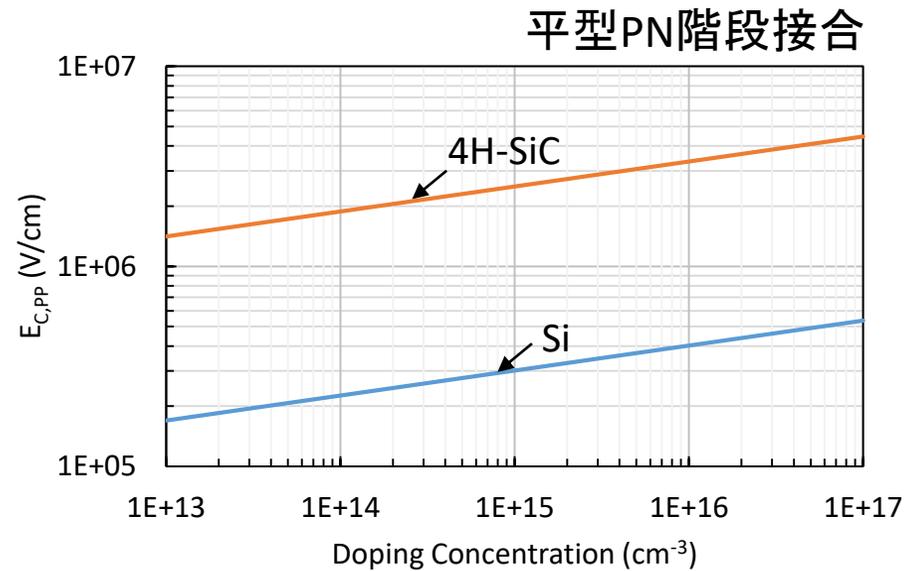


ブレークダウン電圧の濃度依存性



ブレークダウン時空乏層幅の濃度依存性

# ブレークダウン時の電界（臨界電界）の濃度依存性



ブレークダウン時の電界（臨界電界）の濃度依存性

# 理想特性オン抵抗とブレイクダウン電圧の関係(1)

理想特性オン抵抗とブレイクダウン電圧の関係(ドリフト領域の抵抗のみ考慮)

$$R_{on-sp,ideal} = \frac{4BV_{PP}^2}{\varepsilon_S \mu E_C^3} \quad (\Omega \text{ cm}^2)$$

$BV_{PP}$ : 平型PN階段接合ブレイクダウン電圧 (V)

$\mu$ : 移動度( $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ )

$E_C$ : 臨界電界(V/cm)

$\varepsilon_S$ : 半導体誘電率(F/cm)

Si の低ドリフト濃度の場合( $<10^{15}\text{cm}^{-3}$ )

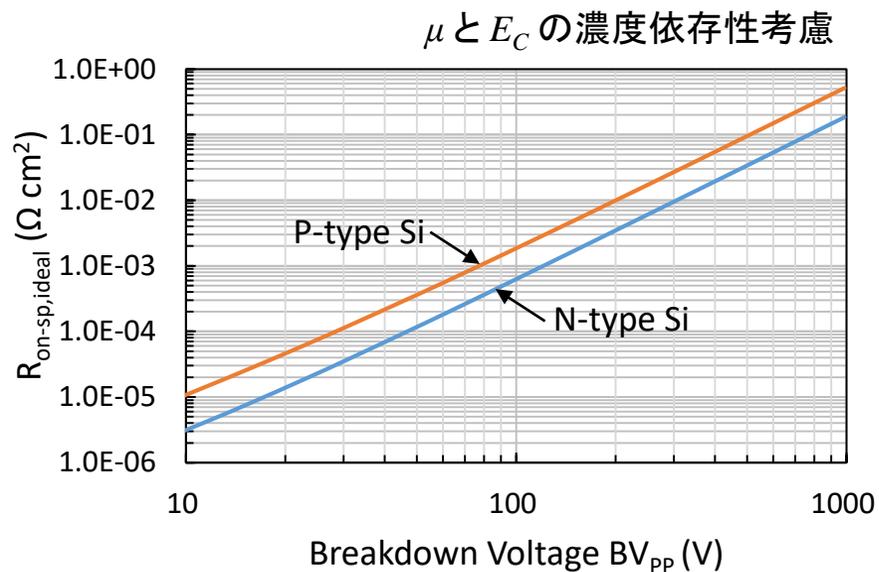
$$R_{on-sp,ideal} \text{ (n - channel)} = 5.93 \times 10^{-9} BV_{PP}^{2.5} \quad (\Omega \text{ cm}^2)$$

$$R_{on-sp,ideal} \text{ (p - channel)} = 1.63 \times 10^{-8} BV_{PP}^{2.5} \quad (\Omega \text{ cm}^2)$$

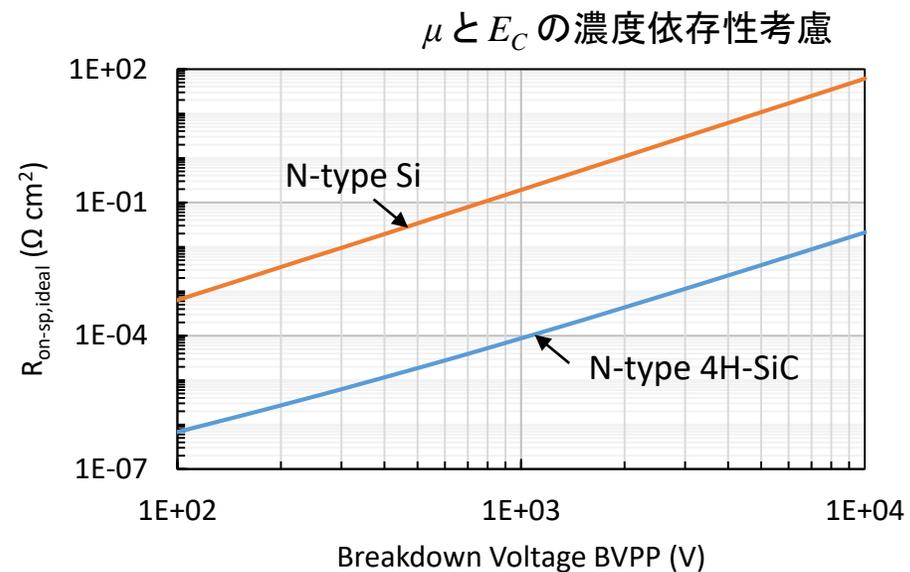
4H-SiC の低ドリフト濃度の場合( $<10^{15}\text{cm}^{-3}$ )

$$R_{on-sp,ideal} \text{ (n - channel)} = 1.96 \times 10^{-12} BV_{PP}^{2.5} \quad (\Omega \text{ cm}^2)$$

# 理想特性オン抵抗とブレークダウン電圧の関係(2)



N型とP型Siの理想特性オン抵抗と  
ブレークダウン電圧の関係



N型Siと4H-SiCの理想特性オン抵抗と  
ブレークダウン電圧の関係の比較

# MOSFETしきい値電圧

## フラットバンド電圧

$$V_{FB} = \phi_{MS} - \frac{Q_O}{C_{OX}}$$

$$\phi_{MS} = \phi_{F,gate} - \phi_F$$

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$$

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}}$$

## しきい値電圧

$$V_{TH} = V_{FB} + 2\phi_F + \gamma\sqrt{2\phi_F} \quad \gamma = \frac{\sqrt{2q\epsilon_S N_A}}{C_{OX}}$$

$Q_O$ : 界面固定電荷 (単位面積当たり)

$C_{OX}$ : ゲート酸化膜容量 (単位面積当たり)

$\phi_{MS}$ : 仕事関数差による電位差 (ゲートと基板間)

$\phi_{F,gate}$ : ゲートのフェルミ電位 (N<sup>+</sup>ポリSiゲート: -0.56V)

$\phi_F$ : フェルミ電位 (基板)

$k$ : ボルツマン定数

$T$ : 絶対温度

$q$ : 素電荷量

$\epsilon_S$ : 半導体誘電率

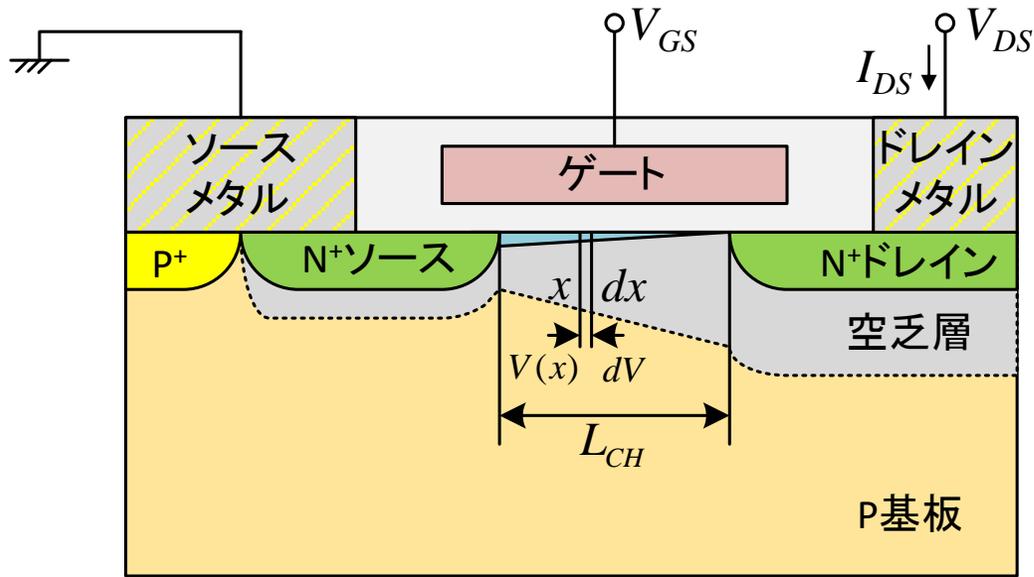
$\epsilon_{OX}$ : 酸化膜誘電率

$t_{OX}$ : ゲート酸化膜厚

$n_i$ : 真性キャリア密度

$N_A$ : 基板不純物濃度

# MOSFET電流式とチャネル抵抗



Z: MOSFETのチャネル幅       $\mu_{ni}$ : 反転層移動度

飽和領域の電流式

$$I_{DS} = \frac{1}{2} \mu_{ni} C_{OX} \frac{Z}{L_{CH}} (V_{GS} - V_T)^2 \quad \because dI_{DS}/dV_{DS} = 0$$

$dx$  領域のチャネル抵抗  $dR$  (5頁参照)

$$R = \frac{1}{\mu_{ni} n q} \frac{a}{bc} \Rightarrow dR = \frac{1}{\mu_{ni} n(x) q} \frac{dx}{Zc} \Rightarrow dR = \frac{1}{\mu_{ni} Q_n(x)} \frac{dx}{Z}$$

$x$ における単位面積当たりのチャネル電荷

$$Q_n(x) = C_{OX} [V_{GS} - V_{TH} - V(x)]$$

$x$ における電流  $I_{DS}$  と電圧  $dV$  の関係(オームの法則)

$$dV = I_{DS} dR \quad \Rightarrow \quad I_{DS} dx = Z \mu_{ni} C_{OX} [V_{GS} - V_{TH} - V(x)] dV$$

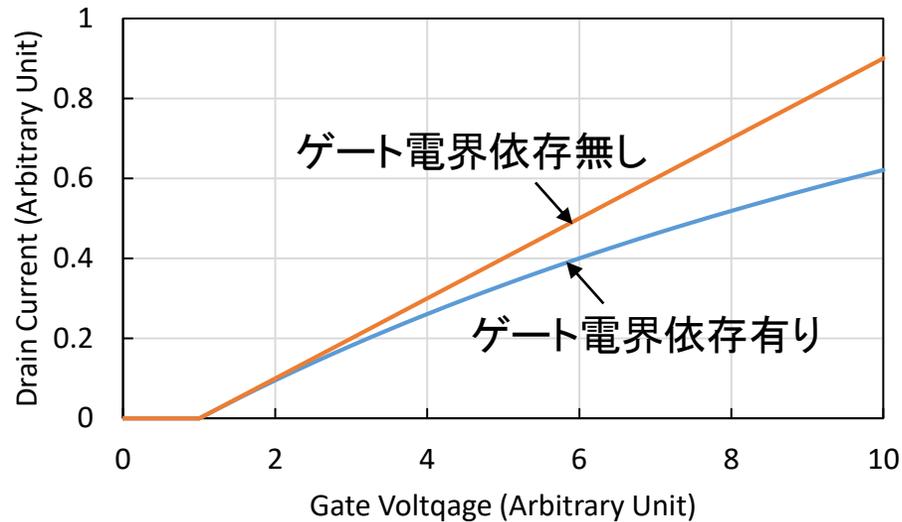
線形領域の電流式 ( $I_{DS} dx$  の式を  $x: 0 \sim L_{CH}$  で積分)

$$I_{DS} = \mu_{ni} C_{OX} \frac{Z}{L_{CH}} \left\{ (V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right\}$$

チャネル抵抗 ( $V_{DS}$ : 小)

$$R_{CH} = \frac{L_{CH}}{\mu_{ni} C_{OX} Z (V_{GS} - V_{TH})}$$

# 反転層移動度のゲート電圧依存性



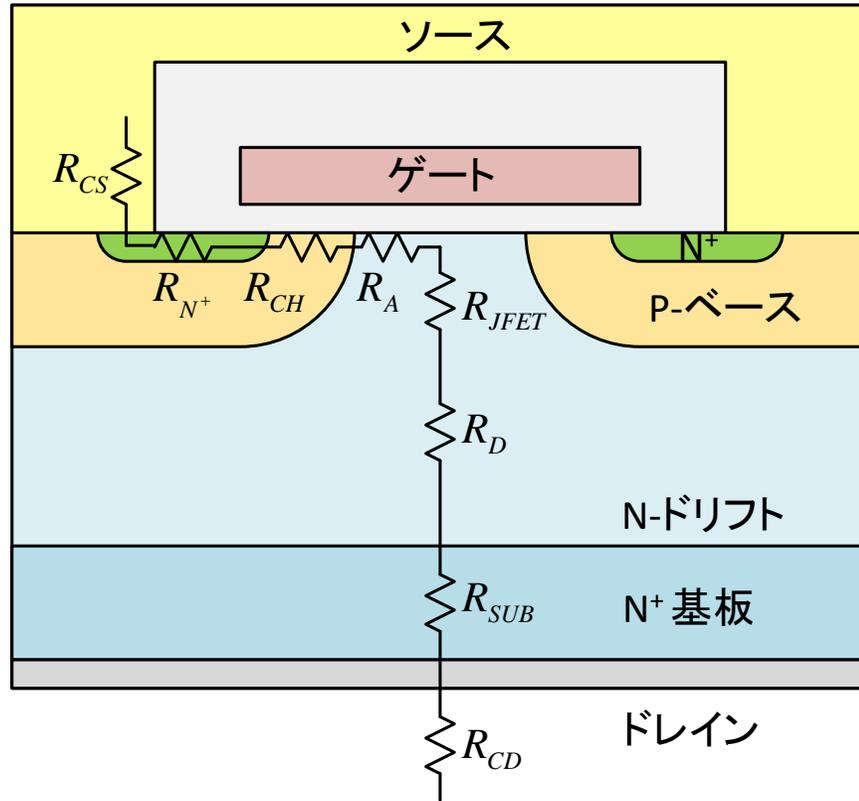
反転層移動度のゲート電圧依存性

$$\mu_{ni} = \frac{\mu_{ni0}}{1 + \theta(V_{GS} - V_{TH})}$$

$\mu_{ni0}$ : ゲート電界が弱い場合の反転層移動度

$\theta$ : ゲート電界による移動度の劣化パラメータ

# VD-MOSFETのオン抵抗



オン状態の抵抗  $R_{ON}$

$$R_{ON} = R_{CS} + R_{N^+} + R_{CH} + R_A + R_{JFET} + R_D + R_{SUB} + R_{CD}$$

$R_{CS}$ : ソース・コンタクト抵抗

$R_{N^+}$ : ソースN<sup>+</sup>抵抗

$R_{CH}$ : チャネル抵抗

$R_A$ : 蓄積抵抗

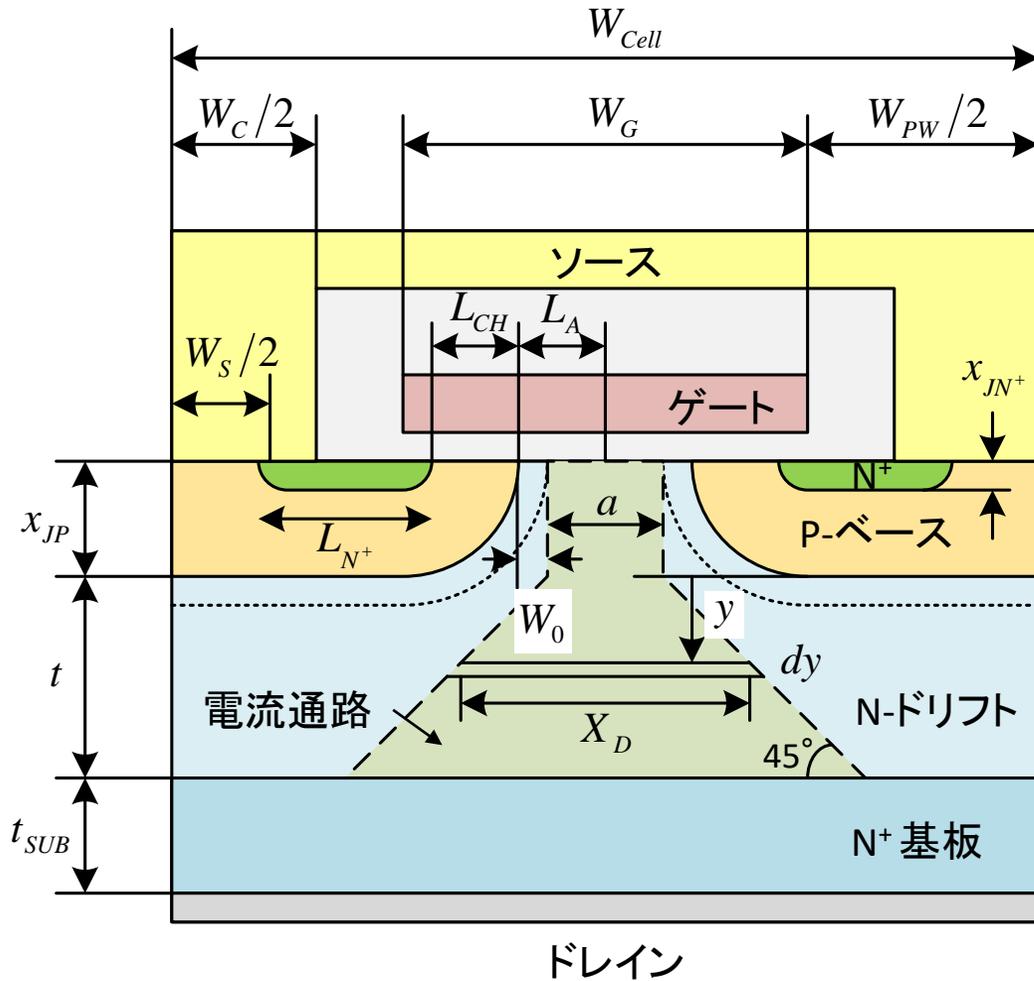
$R_{JFET}$ : JFET抵抗

$R_D$ : ドリフト抵抗

$R_{SUB}$ : 基板抵抗

$R_{CD}$ : ドレイン・コンタクト抵抗

# VD-MOSFETの各オン抵抗成分(1)



## 各ソースのコンタクト抵抗

$$R_{CS} = \frac{2\rho_{CS}}{Z(W_C - W_S)} \quad (\Omega)$$

$\rho_{CS}$ : ソースの特性コンタクト抵抗 ( $\Omega \text{ cm}^2$ )

Z: 断面に垂直方向のデバイス幅 (cm)

## ソース・コンタクトの特性抵抗(単位面積に換算)

$$R_{CS,SP} = \frac{\rho_{CS}}{Z(W_C - W_S)} (W_{Cell} Z) = \rho_{CS} \frac{W_{Cell}}{W_C - W_S} \quad (\Omega \text{ cm}^2)$$

## 各N<sup>+</sup>ソースの抵抗

$$R_{SN^+} = \rho_{SQN^+} \frac{L_{N^+}}{Z} \quad (\Omega)$$

$\rho_{SQN^+}$ : ソース領域シート抵抗 ( $\Omega/\square$ )

$L_{N^+}$ : ソース領域の長さ (cm)

$$L_{N^+} = \frac{W_{PW} - W_S}{2} + 2x_{JN^+} \quad x_{JN^+}: \text{N}^+\text{ソース領域接合深さ (cm)}$$

## N<sup>+</sup>ソースの特性抵抗(単位面積に換算)

$$R_{SN^+,SP} = \rho_{SQN^+} \frac{L_{N^+}}{2Z} (W_{Cell} Z) = \frac{\rho_{SQN^+} L_{N^+} W_{Cell}}{2} \quad (\Omega \text{ cm}^2)$$

# VD-MOSFETの各オン抵抗成分(2)

## 各チャネル抵抗

$$R_{CH} = \frac{L_{CH}}{Z\mu_{ni}C_{OX}(V_G - V_{TH})} (\Omega)$$

$L_{CH}$  : チャネル長 (cm)  $L_{CH} = x_{JP} - x_{JN^+}$

$\mu_{ni}$  : 反転層移動度 ( $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ )

$C_{OX}$  : 単位面積当たりのゲート容量 ( $\text{F}/\text{cm}^2$ )

$V_G$  : ゲート電圧 (V)

$V_{TH}$  : しきい値電圧 (V)

チャネルの特性オン抵抗(単位面積に換算)

$$R_{CH,SP} = \frac{L_{CH}}{2Z\mu_{ni}C_{OX}(V_G - V_{TH})} (W_{Cell}Z) = \frac{L_{CH}W_{Cell}}{2\mu_{ni}C_{OX}(V_G - V_{TH})} (\Omega \text{ cm}^2)$$

## 各蓄積層の抵抗

$$R_A = \frac{L_A}{Z\mu_{nA}C_{OX}(V_G - V_{TH})} (\Omega)$$

$L_A$  : 蓄積領域長 (cm)

$\mu_{nA}$  : 蓄積領域移動度 ( $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ )

$$L_A = \frac{W_G}{2} - x_{JP}$$

蓄積層の特性オン抵抗(単位面積に換算)

$$R_{A,SP} = K_A \frac{(W_G - 2x_{JP})}{4Z\mu_{nA}C_{OX}(V_G - V_{TH})} (W_{Cell}Z) = K_A \frac{(W_G - 2x_{JP})W_{Cell}}{4\mu_{nA}C_{OX}(V_G - V_{TH})} (\Omega \text{ cm}^2)$$

$K_A$  : 電流広がり係数 (蓄積 → JFET)

$x_{JP}$  : Pベース接合深さ (cm)

# VD-MOSFETの各オン抵抗成分(3)

## JFET領域の抵抗

$$R_{JFET} = \frac{\rho_{JFET} x_{JP}}{Za} = \frac{\rho_{JFET} x_{JP}}{Z(W_G - 2x_{JP} - 2W_0)} (\Omega)$$

JFET領域の特性オン抵抗(単位面積に換算)

$$R_{JFET,SP} = \frac{\rho_{JFET} x_{JP}}{Z(W_G - 2x_{JP} - 2W_0)} (W_{Cell} Z) = \frac{\rho_{JFET} x_{JP} W_{Cell}}{(W_G - 2x_{JP} - 2W_0)} (\Omega \text{ cm}^2)$$

$\rho_{JFET}$ : JFET領域の抵抗率

$$\rho_{JFET} = \frac{1}{q\mu_n N_{DJ}} (\Omega \text{ cm})$$

$a$ : JFET領域の電流通路幅

$$a = W_G - 2x_{JP} - 2W_0 (\text{cm})$$

$W_0$ : JFET領域のゼロバイアス空乏層幅

$$W_0 = \sqrt{\frac{2\varepsilon_S N_A V_{bi}}{qN_{DJ}(N_A + N_{DJ})}} (\text{cm})$$

$V_{bi}$ : JFET領域のビルトイン電位

$$V_{bi} = \frac{kT}{q} \ln\left(\frac{N_A N_{DJ}}{n_i^2}\right) (\text{V})$$

$q$ : 素電荷量( $1.6 \times 10^{-19} \text{ C}$ )

$k$ : ボルツマン定数( $1.38 \times 10^{-23} \text{ J/K}$ )

$T$ : 絶対温度(K)

$\varepsilon_S$ : Si誘電率( $11.7 \times 8.854 \times 10^{-14} \text{ F/cm}$ )

$N_A$ : Pベース不純物濃度 ( $\text{cm}^{-3}$ )

$N_{DJ}$ : JFET領域不純物濃度 ( $\text{cm}^{-3}$ )

# VD-MOSFETの各オン抵抗成分(4)

電流通路のドリフト領域が  $45^\circ$  で広がり、セルいっぱいになる前に、 $N^+$  基板と接続する場合のドリフト領域の抵抗

ドリフト領域の抵抗

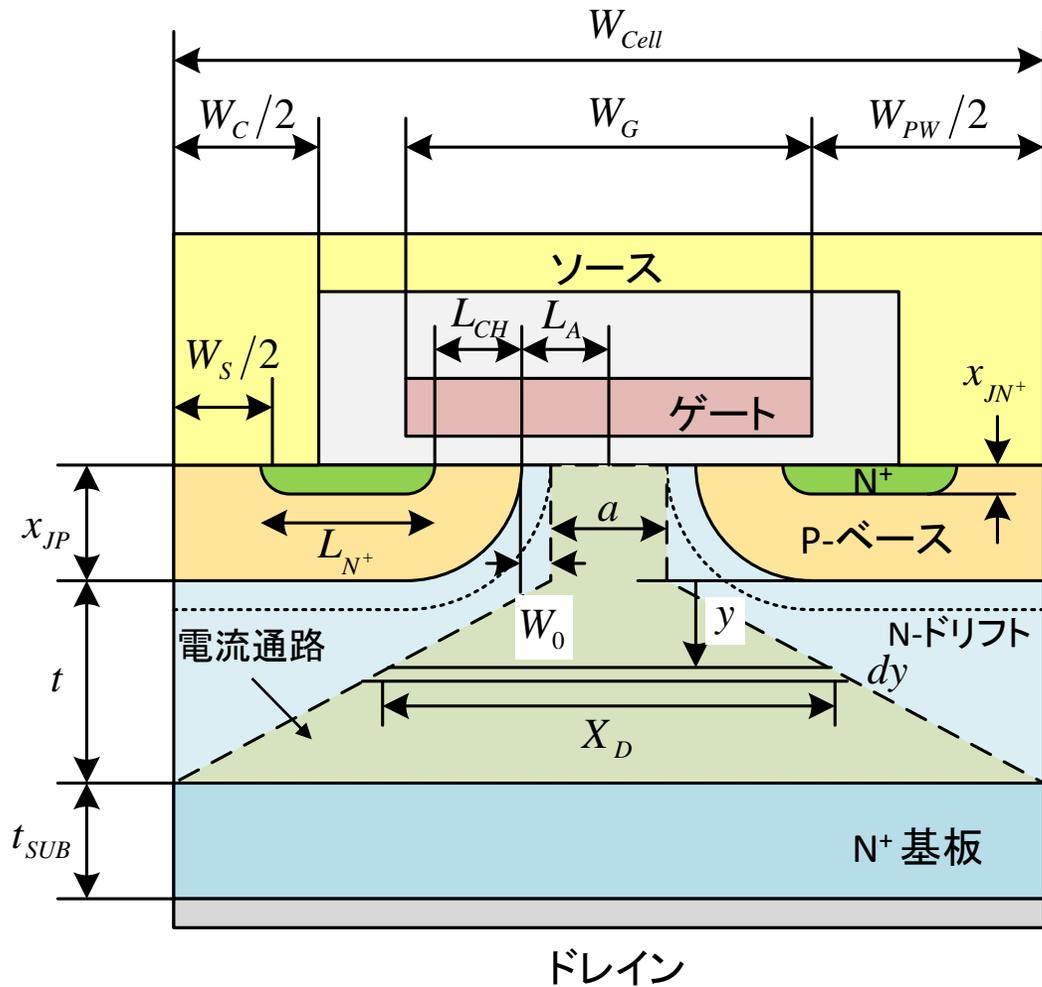
$$R_D = \frac{\rho_D}{2Z} \ln\left(\frac{a+2t}{a}\right) (\Omega)$$

ドリフト領域の特性オン抵抗(単位面積に換算)

$$R_{D,SP} = \frac{\rho_D}{2Z} (W_{Cell} Z) \ln\left(\frac{a+2t}{a}\right) = \frac{\rho_D W_{Cell}}{2} \ln\left(\frac{a+2t}{a}\right) (\Omega \text{ cm}^2)$$

$$X_D = a + 2y \quad dR_D = \frac{\rho_D dy}{ZX_D} = \frac{\rho_D dy}{Z(a+2y)} \quad R_D = \int_0^t \frac{\rho_D dy}{Z(a+2y)}$$

# VD-MOSFETの各オン抵抗成分(5)



電流通路のドリフト領域がセルいっぱいになり、  
広がった時点で N<sup>+</sup> 基板と接続する場合のドリフト領域の抵抗

ドリフト領域の抵抗

$$R_D = \frac{\rho_D t}{Z(W_{Cell} - a)} \ln\left(\frac{W_{Cell}}{a}\right) (\Omega)$$

ドリフト領域の特性オン抵抗(単位面積に換算)

$$R_{D,SP} = \frac{\rho_D t}{Z(W_{Cell} - a)} (W_{Cell} Z) \ln\left(\frac{W_{Cell}}{a}\right) = \frac{\rho_D t W_{Cell}}{W_{Cell} - a} \ln\left(\frac{W_{Cell}}{a}\right) (\Omega \text{ cm}^2)$$

$$X_D = a + \frac{W_{Cell} - a}{t} y$$

$$dR_D = \frac{\rho_D dy}{Z X_D} = \frac{\rho_D t dy}{Z[at + (W_{Cell} - a)y]}$$

$$R_D = \int_0^t \frac{\rho_D t dy}{Z[at + (W_{Cell} - a)y]}$$

# VD-MOSFETの各オン抵抗成分(6)

電流通路のドリフト領域が N<sup>+</sup> 基板と接続する前に、  
45° でセルいっぱい広がった場合のドリフト領域の抵抗

## ドリフト領域の抵抗

$$R_{D1} = \frac{\rho_D}{2Z} \ln\left(\frac{W_{Cell}}{a}\right) (\Omega)$$

(45° で広がった領域)

$$R_{D2} = \frac{\rho_D}{ZW_{Cell}} \left( t + \frac{a}{2} - \frac{W_{Cell}}{2} \right) (\Omega)$$

(広がった後、N<sup>+</sup> 基板接続までの領域)

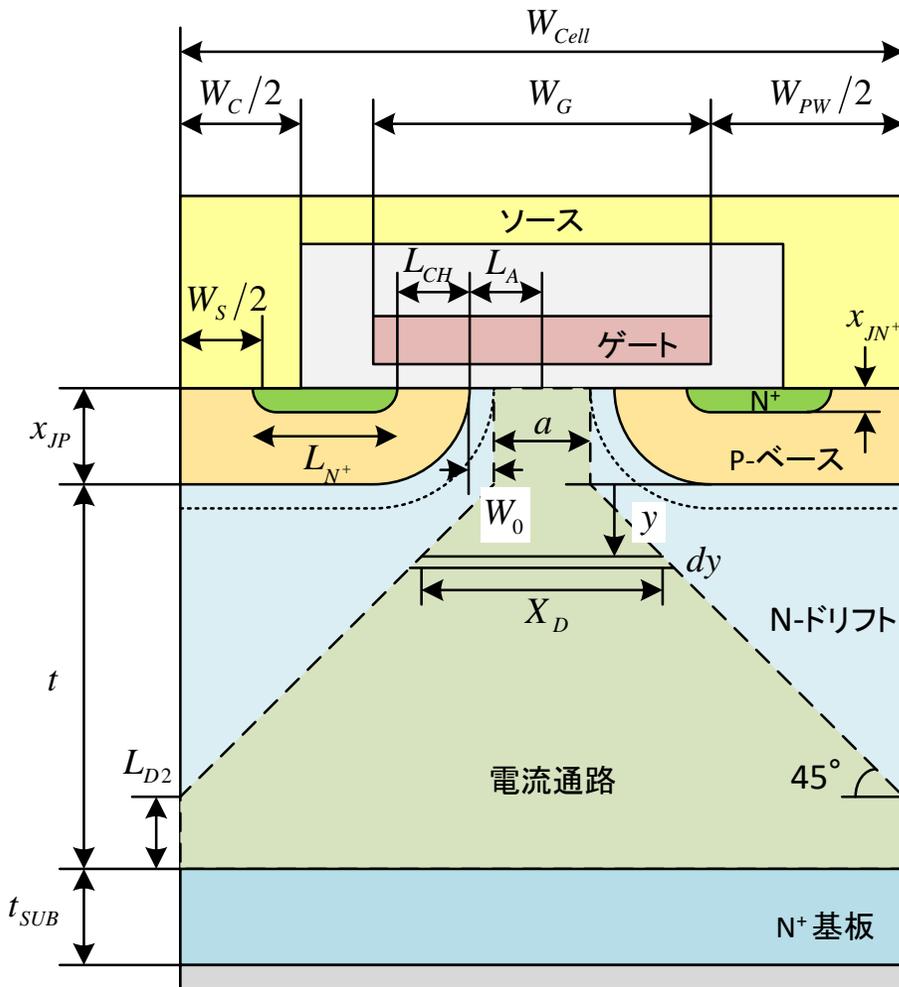
## ドリフト領域の特性オン抵抗(単位面積に換算)

$$R_{D,SP} = (R_{D1} + R_{D2})(W_{Cell}Z)$$

$$= \frac{\rho_D W_{Cell}}{2} \ln\left(\frac{W_{Cell}}{a}\right) + \rho_D \left( t + \frac{a}{2} - \frac{W_{Cell}}{2} \right) (\Omega \text{ cm}^2)$$

$$X_D = a + 2y \quad dR_{D1} = \frac{\rho_D dy}{ZX_D} = \frac{\rho_D dy}{Z(a + 2y)} \quad R_D = \int_0^{(W_{Cell}-a)/2} \frac{\rho_D dy}{Z(a + 2y)}$$

$$L_{D2} = t + \frac{a}{2} - \frac{W_{Cell}}{2}$$



ドレイン

# VD-MOSFETの各オン抵抗成分(7)

## 基板領域の抵抗

$$R_{SUB} = \rho_{SUB} \frac{t_{SUB}}{W_{Cell}Z} \quad (\Omega)$$

$\rho_{SUB}$ : 基板抵抗率 ( $\Omega \text{ cm}$ )

$t_{SUB}$ : 基板厚み (cm)

## 基板領域の特性抵抗(単位面積に換算)

$$R_{SUB,SP} = \rho_{SUB} \frac{t_{SUB}}{W_{Cell}Z} (W_{Cell}Z) = \rho_{SUB} t_{SUB} \quad (\Omega \text{ cm}^2)$$

## ドレインのコンタクト抵抗

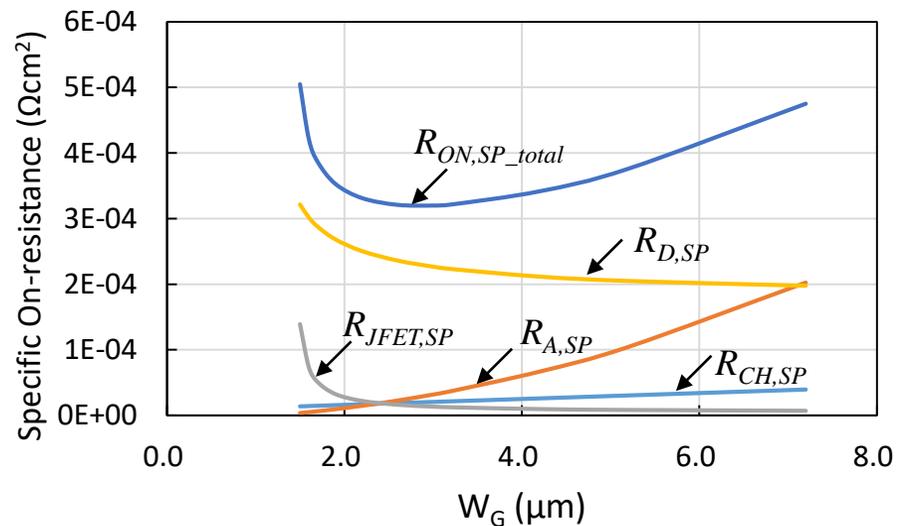
$$R_{CD} = \frac{\rho_{CD}}{W_{Cell}Z} \quad (\Omega)$$

$\rho_{CD}$ : ドレインの特性コンタクト抵抗 ( $\Omega \text{ cm}^2$ )

## ドレイン・コンタクトの特性抵抗(単位面積に換算)

$$R_{CD,SP} = \frac{\rho_{CD}}{W_{Cell}Z} (W_{Cell}Z) = \rho_{CD} \quad (\Omega \text{ cm}^2)$$

# VD-MOSFETの特性オン抵抗 ( $BV_{DS}=60V$ )



特性オン抵抗の各成分 (JFET幅変化)

特性オン抵抗	値 (Ωcm <sup>2</sup> )	割合
$R_{CH,SP}$	2.06E-05	6.4%
$R_{A,SP}$	3.18E-05	9.9%
$R_{JFET,SP}$	1.34E-05	4.2%
$R_{D,SP}$	2.27E-04	71.0%
$R_{SUB,SP}$	2.56E-05	8.0%
$R_{ON,SP\_total}$	3.20E-04	100.0%

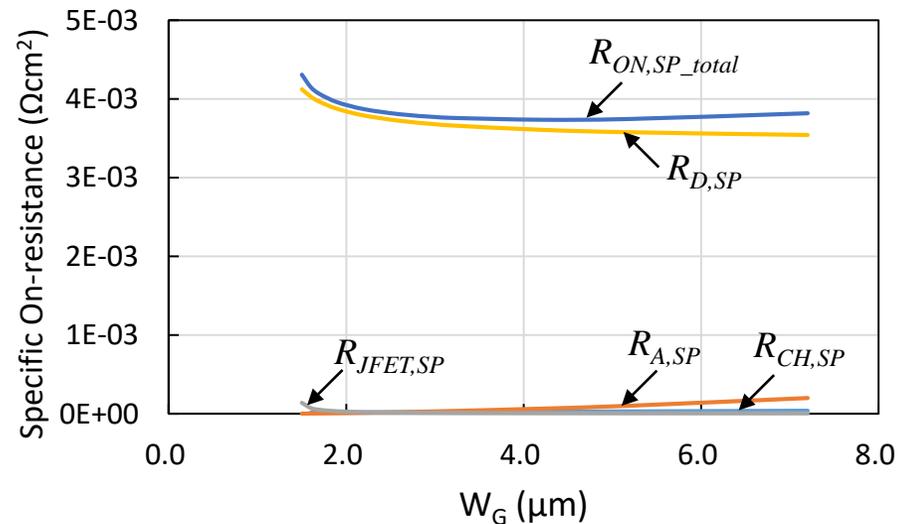
全特性オン抵抗最小値での  
各特性オン抵抗の値と割合

全特性オン抵抗最小値

$$\Rightarrow R_{ON,SP\_total} = 3.20 \times 10^{-4} \text{ (}\Omega \text{ cm}^2\text{) at } W_G = 3.0 \text{ (}\mu\text{m)}, W_{cell} = 4.6 \text{ (}\mu\text{m)}$$

$$V_G = 5V, V_{TH} = 1.38V, t = 3.0 \text{ (}\mu\text{m)}, t_{SUB} = 200 \text{ (}\mu\text{m)}$$

# VD-MOSFETの特性オン抵抗 ( $BV_{DS}=200V$ )



特性オン抵抗の各成分 (JFET幅変化)

特性オン抵抗	値 ( $\Omega\text{cm}^2$ )	割合
$R_{CH,SP}$	2.60E-05	0.7%
$R_{A,SP}$	6.68E-05	1.8%
$R_{JFET,SP}$	9.68E-06	0.3%
$R_{D,SP}$	3.61E-03	96.5%
$R_{SUB,SP}$	2.56E-05	0.7%
$R_{ON,SP\_total}$	3.74E-03	100.0%

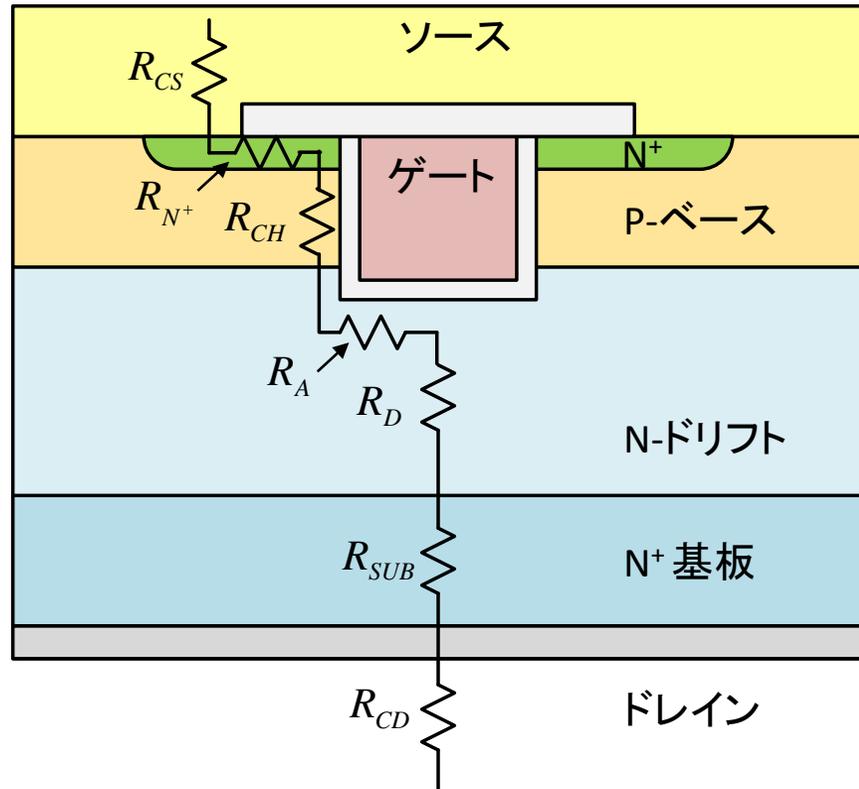
全特性オン抵抗最小値での  
各特性オン抵抗の値と割合

全特性オン抵抗最小値

$$\Rightarrow R_{ON,SP\_total} = 3.74 \times 10^{-3} \text{ (}\Omega \text{ cm}^2\text{) at } W_G = 4.2 \text{ (}\mu\text{m)}, W_{cell} = 5.8 \text{ (}\mu\text{m)}$$

$$V_G = 5V, V_{TH} = 1.38V, t = 12.4 \text{ (}\mu\text{m)}, t_{SUB} = 200 \text{ (}\mu\text{m)}$$

# U-MOSFETのオン抵抗



オン状態の抵抗  $R_{ON}$

$$R_{ON} = R_{CS} + R_{N^+} + R_{CH} + R_A + R_D + R_{SUB} + R_{CD}$$

$R_{CS}$ : ソース・コンタクト抵抗

$R_{N^+}$ : ソースN<sup>+</sup>抵抗

$R_{CH}$ : チャネル抵抗

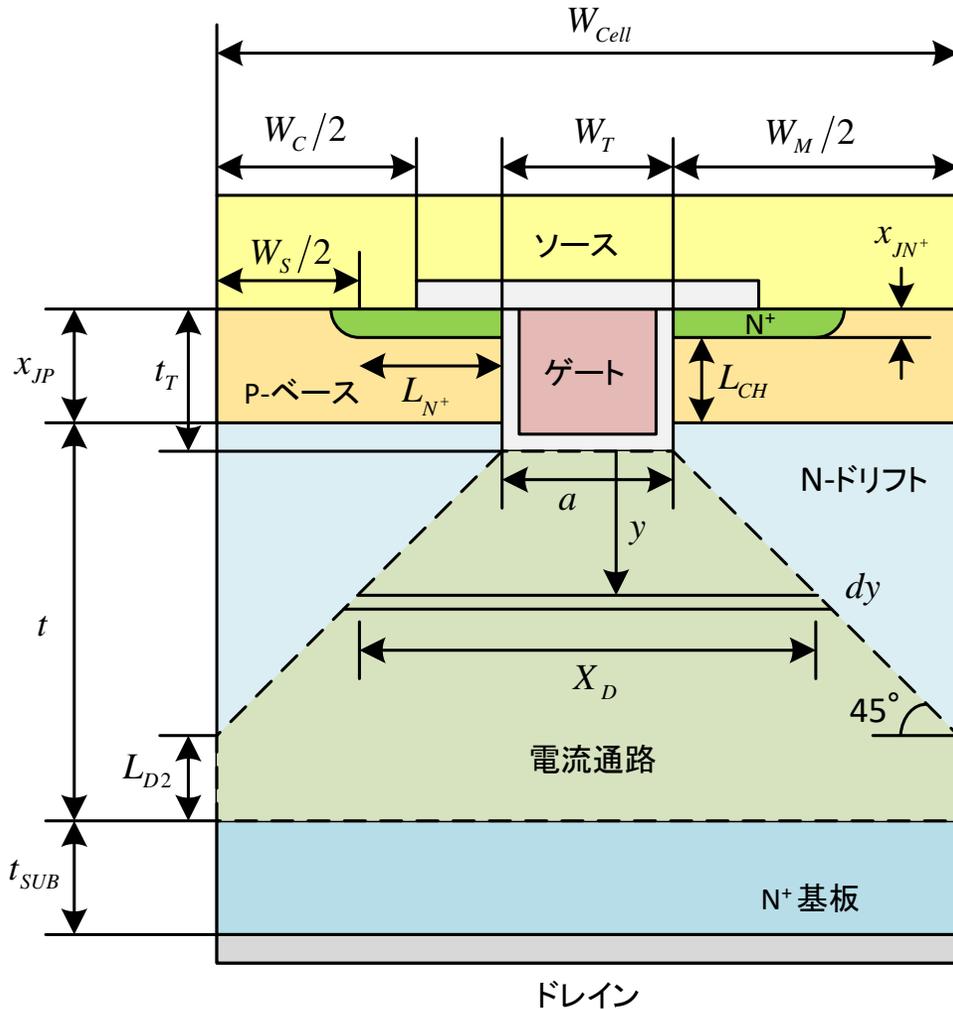
$R_A$ : 蓄積抵抗

$R_D$ : ドリフト抵抗

$R_{SUB}$ : 基板抵抗

$R_{CD}$ : ドレイン・コンタクト抵抗

# U-MOSFETのオン抵抗成分(1)



## 各ソースのコンタクト抵抗

$$R_{CS} = \frac{2\rho_{CS}}{Z(W_C - W_S)} \quad (\Omega)$$

$\rho_{CS}$ : ソースの特性コンタクト抵抗 ( $\Omega \text{ cm}^2$ )

Z: 断面に垂直方向のデバイス幅 (cm)

## ソース・コンタクトの特性抵抗(単位面積に換算)

$$R_{CS,SP} = \frac{\rho_{CS}}{Z(W_C - W_S)} (W_{Cell} Z) = \rho_{CS} \frac{W_{Cell}}{W_C - W_S} \quad (\Omega \text{ cm}^2)$$

## 各N<sup>+</sup>ソースの抵抗

$$R_{SN^+} = \rho_{SQN^+} \frac{L_{N^+}}{Z} \quad (\Omega)$$

$\rho_{SQN^+}$ : ソース領域シート抵抗 ( $\Omega/\square$ )

$L_{N^+}$ : ソース領域の長さ (cm)

$$L_{N^+} = \frac{W_M - W_S}{2}$$

$x_{JN^+}$ : N<sup>+</sup>ソース領域接合深さ (cm)

## N<sup>+</sup>ソースの特性抵抗(単位面積に換算)

$$R_{SN^+,SP} = \rho_{SQN^+} \frac{L_{N^+}}{2Z} (W_{Cell} Z) = \frac{\rho_{SQN^+} L_{N^+} W_{Cell}}{2} \quad (\Omega \text{ cm}^2)$$

# U-MOSFETのオン抵抗成分(2)

## 各チャネル抵抗

$$R_{CH} = \frac{L_{CH}}{Z\mu_{ni}C_{OX}(V_G - V_{TH})} (\Omega)$$

$L_{CH}$  : チャネル長 (cm)  $L_{CH} = x_{JP} - x_{JN^+}$

$\mu_{ni}$  : 反転層移動度 ( $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ )

$C_{OX}$  : 単位面積当たりのゲート容量 ( $\text{F}/\text{cm}^2$ )

$V_G$  : ゲート電圧 (V)

$V_{TH}$  : しきい値電圧 (V)

チャネルの特性オン抵抗(単位面積に換算)

$$R_{CH,SP} = \frac{L_{CH}}{2Z\mu_{ni}C_{OX}(V_G - V_{TH})} (W_{Cell}Z) = \frac{L_{CH}W_{Cell}}{2\mu_{ni}C_{OX}(V_G - V_{TH})} (\Omega \text{ cm}^2)$$

## 各蓄積層の抵抗

$$R_A = \frac{L_A}{Z\mu_{nA}C_{OX}(V_G - V_{TH})} (\Omega)$$

$L_A$  : 蓄積領域長 (cm)

$\mu_{nA}$  : 蓄積領域移動度 ( $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ )

$$L_A = t_T - x_{JP} + \frac{W_T}{2}$$

蓄積層の特性オン抵抗(単位面積に換算)

$$R_{A,SP} = K_A \frac{L_A}{2Z\mu_{nA}C_{OX}(V_G - V_{TH})} (W_{Cell}Z) = K_A \frac{L_A W_{Cell}}{2\mu_{nA}C_{OX}(V_G - V_{TH})} (\Omega \text{ cm}^2)$$

$K_A$  : 電流広がり係数 (蓄積 → JFET)

$x_{JP}$  : Pベース接合深さ (cm)

# U-MOSFETのオン抵抗成分(3)

電流通路のドリフト領域が  $N^+$  基板と接続する前に、 $45^\circ$  でセルいっぱい広がった場合のドリフト領域の抵抗

## ドリフト領域の抵抗

$$R_{D1} = \frac{\rho_D}{2Z} \ln\left(\frac{W_{Cell}}{a}\right) = \frac{\rho_D}{2Z} \ln\left(\frac{W_M + W_T}{W_T}\right) (\Omega)$$

( $45^\circ$  で広がった領域)

$$R_{D2} = \frac{\rho_D L_{D2}}{ZW_{Cell}} = \frac{\rho_D}{ZW_{Cell}} \left( t + x_{JP} - t_T - \frac{W_M}{2} \right) (\Omega)$$

(広がった後、 $N^+$  基板接続までの領域)

ドリフト領域の特性オン抵抗(単位面積に換算)

$$\begin{aligned} R_{D,SP} &= (R_{D1} + R_{D2})(W_{Cell}Z) \\ &= \frac{\rho_D W_{Cell}}{2} \ln\left(\frac{W_M + W_T}{W_T}\right) + \rho_D \left( t + x_{JP} - t_T - \frac{W_M}{2} \right) (\Omega \text{ cm}^2) \end{aligned}$$

$$X_D = a + 2y \quad dR_{D1} = \frac{\rho_D dy}{ZX_D} = \frac{\rho_D dy}{Z(a + 2y)} \quad R_D = \int_0^{(W_{Cell}-a)/2} \frac{\rho_D dy}{Z(a + 2y)}$$

$$L_{D2} = t + x_{JP} - t_T - \frac{W_M}{2} \quad a = W_M \quad W_{Cell} = W_M + W_T$$

# U-MOSFETのオン抵抗成分(4)

## 基板領域の抵抗

$$R_{SUB} = \rho_{SUB} \frac{t_{SUB}}{W_{Cell}Z} \quad (\Omega)$$

$\rho_{SUB}$ : 基板抵抗率 ( $\Omega \text{ cm}$ )

$t_{SUB}$ : 基板厚み (cm)

基板領域の特性抵抗(単位面積に換算)

$$R_{SUB,SP} = \rho_{SUB} \frac{t_{SUB}}{W_{Cell}Z} (W_{Cell}Z) = \rho_{SUB} t_{SUB} \quad (\Omega \text{ cm}^2)$$

## ドレインのコンタクト抵抗

$$R_{CD} = \frac{\rho_{CD}}{W_{Cell}Z} \quad (\Omega)$$

$\rho_{CD}$ : ドレインの特性コンタクト抵抗 ( $\Omega \text{ cm}^2$ )

ドレイン・コンタクトの特性抵抗(単位面積に換算)

$$R_{CD,SP} = \frac{\rho_{CD}}{W_{Cell}Z} (W_{Cell}Z) = \rho_{CD} \quad (\Omega \text{ cm}^2)$$

# U-MOSFETの特性オン抵抗 ( $BV_{DS}=60, 200V$ )

特性オン抵抗成分 ( $BV_{DS}=60V$ )

特性オン抵抗	値 ( $\Omega\text{cm}^2$ )	割合
$R_{CH,SP}$	1.12E-05	4.4%
$R_{A,SP}$	1.15E-05	4.6%
$R_{D,SP}$	2.03E-04	80.5%
$R_{SUB,SP}$	2.56E-05	10.2%
$R_{ON,SP\_total}$	2.52E-04	100.0%

$t=3.0$  ( $\mu\text{m}$ )

$t_T=0.8$  ( $\mu\text{m}$ ),  $W_T=0.8$  ( $\mu\text{m}$ ),  $W_{cell}=2.5$  ( $\mu\text{m}$ )

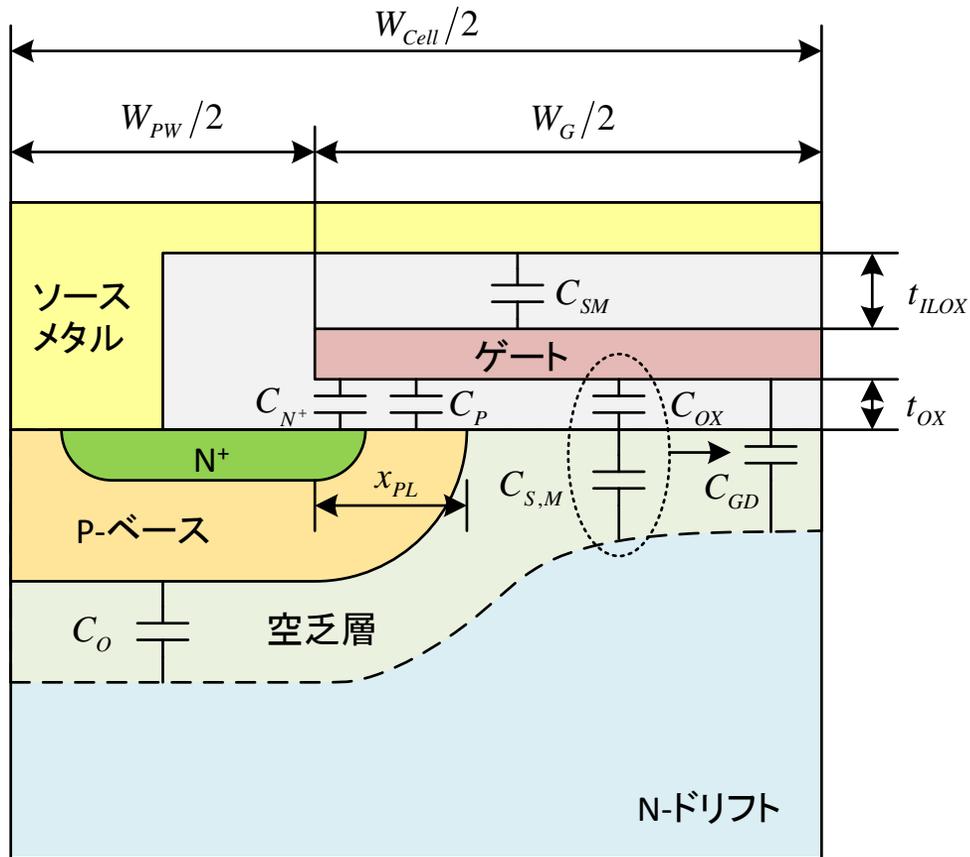
特性オン抵抗成分 ( $BV_{DS}=200V$ )

特性オン抵抗	値 ( $\Omega\text{cm}^2$ )	割合
$R_{CH,SP}$	1.12E-05	0.3%
$R_{A,SP}$	1.15E-05	0.3%
$R_{D,SP}$	3.57E-03	98.6%
$R_{SUB,SP}$	2.56E-05	0.7%
$R_{ON,SP\_total}$	3.61E-03	100.0%

$t=12.4$  ( $\mu\text{m}$ )

$V_G=5V$ ,  $V_{TH}=1.38V$ ,  $t_{SUB}=200$  ( $\mu\text{m}$ )

# VD-MOSFET構造の容量(1)



## 各MOSFETの入力容量

$$C_{IN} = C_{N^+} + C_P + C_{SM} \quad (\text{F})$$

## 特性入力(ゲート)容量(単位面積に換算)

$$C_{IN,SP} = \frac{C_{N^+} + C_P + C_{SM}}{W_{Cell}Z} = \frac{2x_{PL}Z}{W_{Cell}Z} C_{OX} + \frac{W_G Z}{W_{Cell}Z} C_{ILOX}$$

$$= \frac{2x_{PL}}{W_{Cell}} C_{OX} + \frac{W_G}{W_{Cell}} C_{ILOX} \quad (\text{Fcm}^{-2})$$

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \quad (\text{Fcm}^{-2}) \quad C_{ILOX} = \frac{\epsilon_{OX}}{t_{ILOX}} \quad (\text{Fcm}^{-2})$$

$\epsilon_{OX}$ : 酸化膜誘電率 ( $3.84 \times 8.854 \times 10^{-14} \text{ Fcm}^{-1}$ )

$t_{OX}$ : 酸化膜厚 (cm)

$t_{ILOX}$ : 層間酸化膜厚 (cm)

# VD-MOSFET構造の容量(2)

MOSFETのゲート・ドレイン間容量(セル当たり)

$$C_{GD} = (W_G - 2x_{PL})Z \frac{C_{OX} C_{S,M}}{C_{OX} + C_{S,M}} \quad (\text{F})$$

特性ゲート・ドレイン間容量(単位面積に換算)

$$C_{GD,SP} = \frac{(W_G - 2x_{PL})Z}{W_{Cell}Z} \frac{C_{OX} C_{S,M}}{C_{OX} + C_{S,M}}$$

$$= \frac{W_G - 2x_{PL}}{W_{Cell}} \frac{C_{OX} C_{S,M}}{C_{OX} + C_{S,M}} \quad (\text{Fcm}^{-2})$$

$C_{S,M}$ : 半導体空乏層容量( $\text{Fcm}^{-2}$ )

$$V_D = V_{OX} + V_S$$

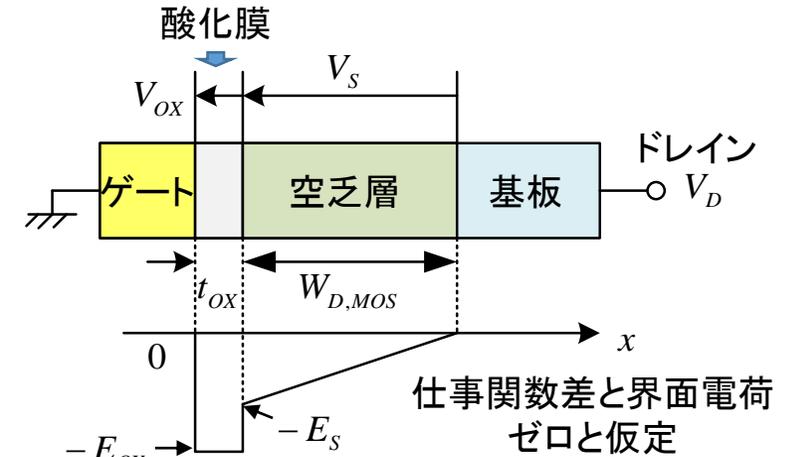
$$= E_{OX} t_{OX} + \frac{1}{2} E_S W_{D,MOS}$$

$$E_{OX} = \frac{\epsilon_S}{\epsilon_{OX}} E_S$$

$$E_S = \frac{qN_D}{\epsilon_S} W_{D,MOS}$$

$$V_D = \frac{qN_D}{C_{OX}} W_{D,MOS} + \frac{qN_D}{2\epsilon_S} W_{D,MOS}^2 \quad \Rightarrow \quad W_{D,MOS} = \frac{\epsilon_S}{C_{OX}} \left( \sqrt{1 + \frac{2V_D C_{OX}^2}{q\epsilon_S N_D}} - 1 \right)$$

$$C_{S,M} = \frac{\epsilon_S}{W_{D,MOS}}$$



ゲート・ドレイン間電圧と電界

# VD-MOSFET構造の容量(3)

MOSFETの出力(ドレイン・ソース間)容量(セル当たり)

$$C_O = (W_{PW} + 2x_{PL})ZC_{S,J} \text{ (F)} \quad (\text{モデルA})$$

$$C_O = (W_{PW} + x_{PL})ZC_{S,J} \text{ (F)} \quad (\text{モデルB})$$

特性出力(ドレイン・ソース間)容量(単位面積に換算)

$$C_O = \frac{(W_{PW} + 2x_{PL})Z}{W_{Cell}Z} C_{S,J} = \left( \frac{W_{PW} + 2x_{PL}}{W_{Cell}} \right) C_{S,J} \text{ (Fcm}^{-2}\text{)} \quad (\text{モデルA})$$

$$C_O = \frac{(W_{PW} + x_{PL})Z}{W_{Cell}Z} C_{S,J} = \left( \frac{W_{PW} + x_{PL}}{W_{Cell}} \right) C_{S,J} \text{ (Fcm}^{-2}\text{)} \quad (\text{モデルB})$$

(モデルAは実際より大きく見積もり過ぎ)

$C_{S,J}$ : 単位面積当たりのドリフト・Pベース間接合容量

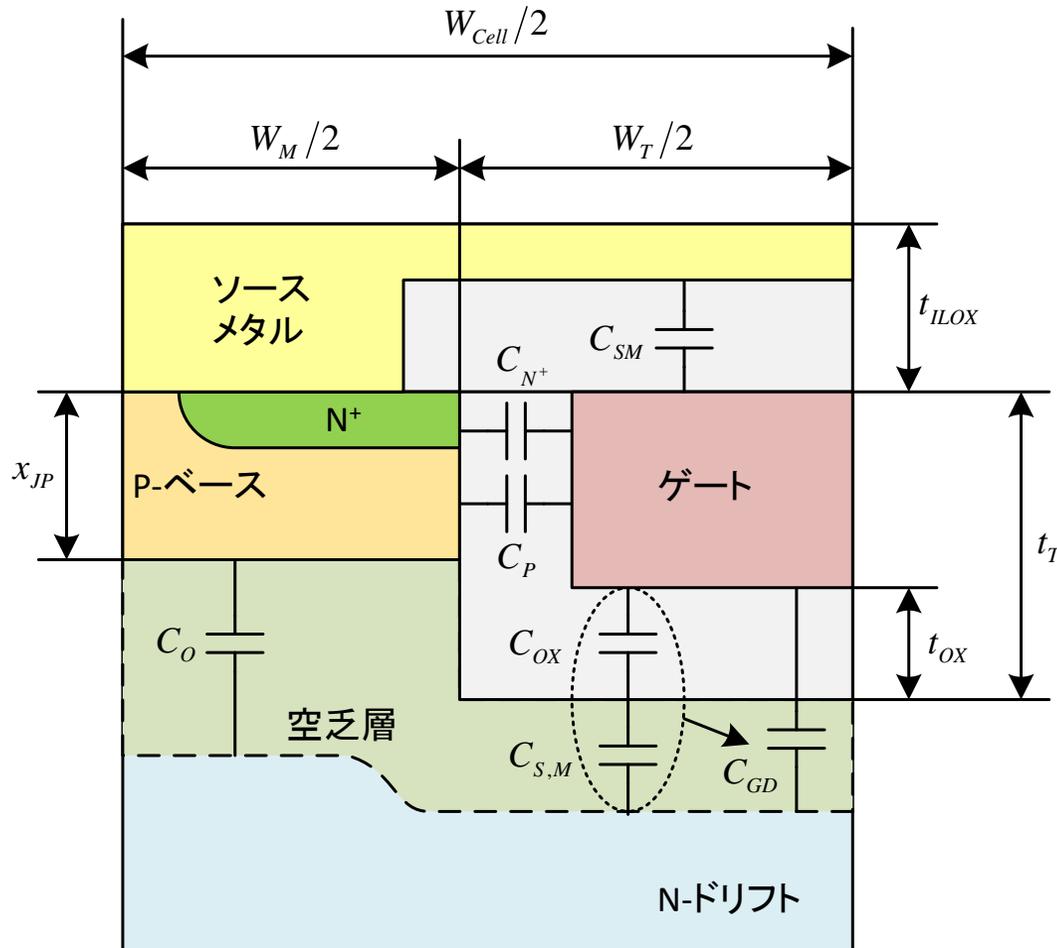
$$C_{S,J} = \frac{\epsilon_S}{W_{D,J}} \text{ (Fcm}^{-2}\text{)}$$

$W_{D,J}$ : ドリフト領域側の空乏層幅

$$W_{D,J} = \sqrt{\frac{2\epsilon_S(V_D + V_{bi})}{qN_D}} \text{ (cm)}$$

(片側階段接合近似)

# U-MOSFET構造の容量(1)



## 各MOSFETの入力容量

$$C_{IN} = C_{N^+} + C_P + C_{SM} \quad (\text{F})$$

## 特性入力(ゲート)容量(単位面積に換算)

$$C_{IN,SP} = \frac{C_{N^+} + C_P + C_{SM}}{W_{Cell}Z} = \frac{2x_{JP}Z}{W_{Cell}Z} C_{OX} + \frac{W_T Z}{W_{Cell}Z} C_{ILOX}$$

$$= \frac{2x_{JP}}{W_{Cell}} C_{OX} + \frac{W_T}{W_{Cell}} C_{ILOX} \quad (\text{Fcm}^{-2})$$

$$C_{OX} = \frac{\epsilon_{OX}}{t_{OX}} \quad (\text{Fcm}^{-2}) \quad C_{ILOX} = \frac{\epsilon_{OX}}{t_{ILOX}} \quad (\text{Fcm}^{-2})$$

$\epsilon_{OX}$ : 酸化膜誘電率 ( $3.84 \times 8.854 \times 10^{-14} \text{ Fcm}^{-1}$ )

$t_{OX}$ : 酸化膜厚 (cm)

$t_{ILOX}$ : 層間酸化膜厚 (cm)

# U-MOSFET構造の容量(2)

MOSFETのゲート・ドレイン間容量(セル当たり)

$$C_{GD} = [W_T + 2(t_T - x_{JP})]Z \frac{C_{OX} C_{S,M}}{C_{OX} + C_{S,M}} \text{ (F)}$$

特性ゲート・ドレイン間容量(単位面積に換算)

$$\begin{aligned} C_{GD,SP} &= \frac{[W_T + 2(t_T - x_{JP})]Z}{W_{Cell}Z} \frac{C_{OX} C_{S,M}}{C_{OX} + C_{S,M}} \\ &= \left[ \frac{W_T + 2(t_T - x_{JP})}{W_{Cell}} \right] \frac{C_{OX} C_{S,M}}{C_{OX} + C_{S,M}} \text{ (Fcm}^{-2}\text{)} \end{aligned}$$

$C_{S,M}$ : 半導体空乏層容量 (Fcm<sup>-2</sup>)

MOSFETの出力(ドレイン・ソース間)容量(セル当たり)

$$C_O = W_M Z C_{S,J} \text{ (F)}$$

特性出力(ドレイン・ソース間)容量(単位面積に換算)

$$\begin{aligned} C_O &= \frac{W_M Z}{W_{Cell} Z} C_{S,J} = \left( \frac{W_M}{W_{Cell}} \right) C_{S,J} \text{ (Fcm}^{-2}\text{)} \\ \Rightarrow C_O &= \left( \frac{W_M - 2K_S(t_T - x_{JP} - t_{OX})}{W_{Cell}} \right) C_{S,J} \text{ (Fcm}^{-2}\text{)} \end{aligned}$$

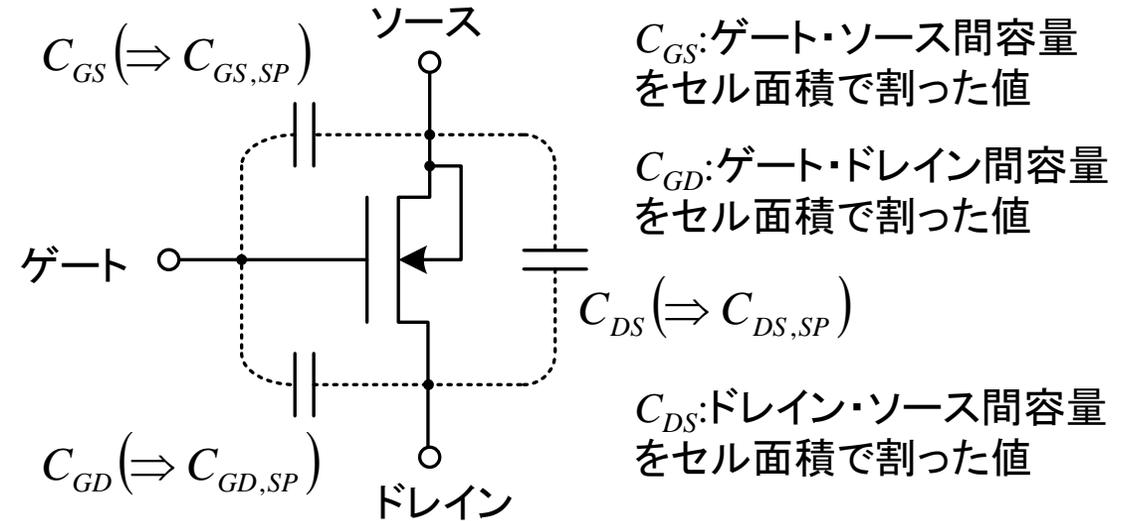
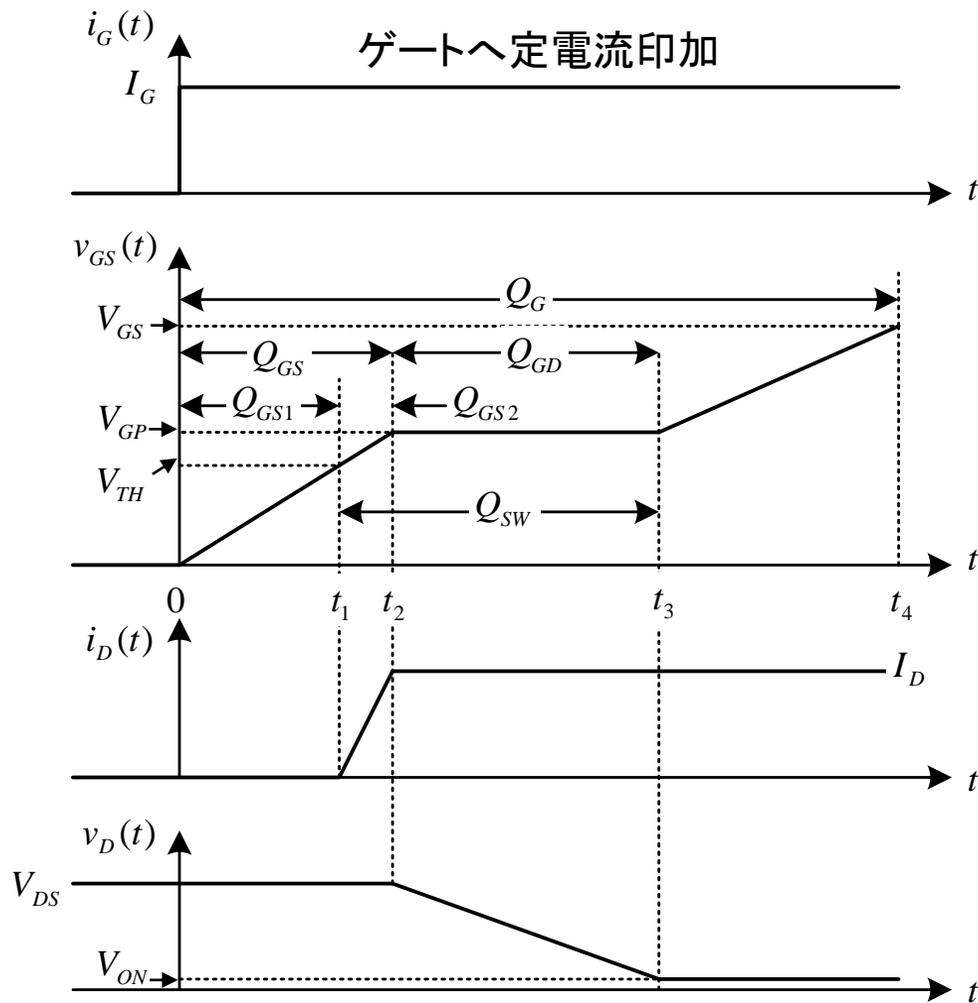
$C_O$ の実効面積

$$A_{EFF} = [W_M - 2K_S(t_T - x_{JP} - t_{OX})]Z \text{ (cm}^2\text{)}$$

$K_S$ : スクリーニング・パラメータ

(トレンチ深さがpベースより深いため、 $C_O$ の接合面積は  $W_M Z$ から狭まる)

# ゲート電荷(1)



$C_{GS}$ :ゲート・ソース間容量  
をセル面積で割った値

$C_{GD}$ :ゲート・ドレイン間容量  
をセル面積で割った値

$C_{DS}$ :ドレイン・ソース間容量  
をセル面積で割った値

$Q_{GS1}$ :しきい値前ゲート電荷

$Q_{GS2}$ :しきい値後ゲート電荷

$Q_{GS}$ :ゲート電荷

$Q_{GD}$ :ゲート・ドレイン電荷

$Q_{SW}$ :ゲート・スイッチング電荷

$Q_G$ :全ゲート電荷

$$Q_{GS} = Q_{GS1} + Q_{GS2}$$

$$Q_{SW} = Q_{GS2} + Q_{GD}$$

上記  $Q$  はセル面積で割った値(単位面積換算値)

# ゲート電荷(2)

0~t<sub>2</sub>: ゲート電圧は線形に上昇(ゲート・ドレイン間容量一定)

$$\frac{dv_{GS}}{dt} = \frac{J_G}{C_{GS} + C_{GD}(V_{DS})} \quad \rightarrow \quad v_{GS}(t) = \frac{J_G t}{C_{GS} + C_{GD}(V_{DS})}$$

t<sub>1</sub>: ゲート電圧はしきい値に到達

J<sub>G</sub>: ゲート電流をセル面積で割った単位面積当たりの値

$$t_1 = \frac{V_{TH} [C_{GS} + C_{GD}(V_{DS})]}{J_G}$$

t<sub>1</sub>~t<sub>2</sub>: ドレイン電流(飽和状態)上昇

$$j_D(t) = \frac{g_m}{2} [v_{GS}(t) - V_{TH}] \quad j_D(t): \text{ドレイン電流をセル面積で割った単位面積当たりの値(ピンチオフによる飽和の場合)}$$

$$g_m = \frac{2\mu_{ni}C_{OX}Z}{(W_{Cell}Z)L_{CH}} [v_{GS}(t) - V_{TH}] = \frac{2\mu_{ni}C_{OX}}{W_{Cell}L_{CH}} [v_{GS}(t) - V_{TH}] \quad (\text{セル当たり対のMOSFET})$$

$$j_D(t) = \frac{\mu_{ni}C_{OX}}{W_{Cell}L_{CH}} [v_{GS}(t) - V_{TH}]^2 \quad \rightarrow \quad j_D(t) = \frac{\mu_{ni}C_{OX}}{W_{Cell}L_{CH}} \left[ \frac{J_G t}{C_{GS} + C_{GD}(V_{DS})} - V_{TH} \right]^2$$

# ゲート電荷(3)

$t_2$ : オン状態のドレイン電流に到達(ゲート・プラトー領域開始)

$$t_2 = \frac{C_{GS} + C_{GD}(V_{DS})}{J_G} \left( V_{TH} + \sqrt{\frac{J_{ON} W_{Cell} L_{CH}}{\mu_{ni} C_{OX}}} \right) \Rightarrow V_{GP} = V_{TH} + \sqrt{\frac{J_{ON} W_{Cell} L_{CH}}{\mu_{ni} C_{OX}}} \quad V_{GP}: \text{ゲート・プラトー電圧}$$

$J_{ON}(t)$ : オン状態のドレイン電流をセル面積で割った単位面積当たりの値

$t_2 \sim t_3$ : ゲート・ドレイン間容量電荷放電(ゲート・プラトー領域)  
(ゲート・ソース間容量に電流は流れない  $\because V_{GS}$  一定)

$$\frac{dv_D}{dt} = -\frac{J_G}{C_{GD}(v_D)} \quad C_{GD}(v_D) = K_G \left( \frac{C_{OX} C_{S,M}}{C_{OX} + C_{S,M}} \right)$$

$K_G$ : 形状ファクター

$$K_G(\text{VD-MOSFET}) = \left( \frac{W_G - 2x_{PL}}{W_{Cell}} \right)$$

$$K_G(\text{U-MOSFET}) = \left[ \frac{W_T + 2(t_T - x_{JP})}{W_{Cell}} \right]$$

# ゲート電荷(4)

$t_3$ : ドレイン電圧が  $V_{DS}$  からオン状態ドレイン電圧  $V_{ON}$  まで低下

$$-\frac{K_G C_{OX}}{J_G} \sqrt{\frac{q\epsilon_S N_D}{q\epsilon_S N_D + 2v_D(t)C_{OX}^2}} dv_D = dt$$

$$\int_{V_{DS}}^{V_{ON}} -\frac{K_G C_{OX}}{J_G} \sqrt{\frac{q\epsilon_S N_D}{q\epsilon_S N_D + 2v_D(t)C_{OX}^2}} dv_D = \int_{t_2}^{t_3} dt$$

$$t_3 - t_2 = \frac{K_G q\epsilon_S N_D}{J_G C_{OX}} \left( \sqrt{1 + \frac{2V_{DS} C_{OX}^2}{q\epsilon_S N_D}} - \sqrt{1 + \frac{2V_{ON} C_{OX}^2}{q\epsilon_S N_D}} \right)$$

$$v_D(t) = \frac{q\epsilon_S N_D}{2C_{OX}^2} \left\{ \left[ \sqrt{1 + \frac{2V_{DS} C_{OX}^2}{q\epsilon_S N_D}} - \frac{J_G C_{OX} (t - t_2)}{K_G q\epsilon_S N_D} \right]^2 - 1 \right\}$$

$t_3 \sim t_4$ : ゲート電圧が再び線形に上昇(ゲート・ドレイン間容量一定)

$$\frac{dv_{GS}}{dt} = \frac{J_G}{C_{GS} + C_{GD}(V_{ON})} \quad \Rightarrow \quad v_{GS}(t) = \frac{J_G t}{C_{GS} + C_{GD}(V_{ON})}$$

$t_4$ : ゲート電圧がゲートへの供給電圧  $V_{GS}$  に到達

$$t_4 - t_3 = \frac{V_{GS} - V_{GP}}{J_G} [C_{GS} + C_{GD}(V_{ON})]$$

# ゲート電荷(5)

$$Q_{GS1} = J_G t_1 = V_{TH} [C_{GS} + C_{GD}(V_{DS})]$$

$$Q_{GS2} = J_G (t_2 - t_1) = [C_{GS} + C_{GD}(V_{DS})] \sqrt{\frac{J_{ON} W_{Cell} L_{CH}}{\mu_{ni} C_{OX}}}$$

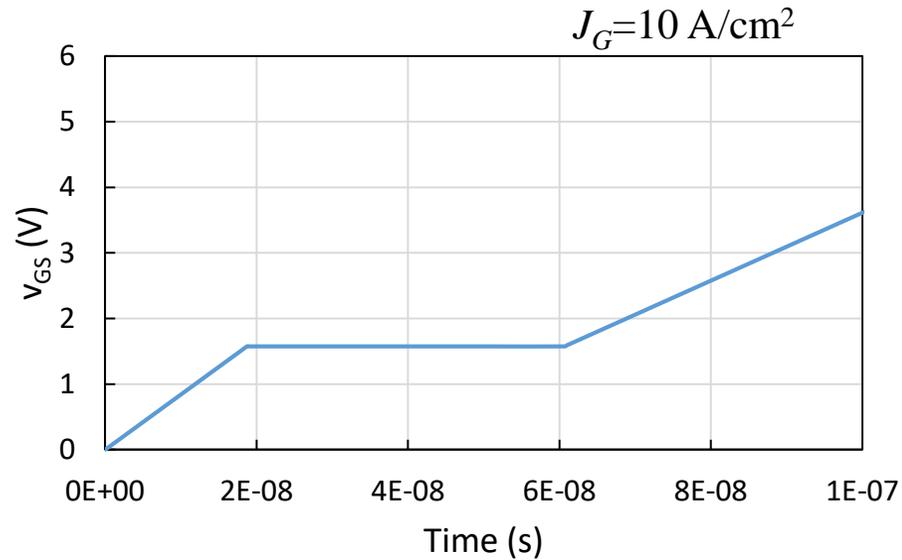
$$Q_{GS} = J_G t_2 = [C_{GS} + C_{GD}(V_{DS})] \left( V_{TH} + \sqrt{\frac{J_{ON} W_{Cell} L_{CH}}{\mu_{ni} C_{OX}}} \right)$$

$$Q_{GD} = J_G (t_3 - t_2) = \frac{K_G q \epsilon_S N_D}{C_{OX}} \left( \sqrt{1 + \frac{2V_{DS} C_{OX}^2}{q \epsilon_S N_D}} - \sqrt{1 + \frac{2V_{ON} C_{OX}^2}{q \epsilon_S N_D}} \right)$$

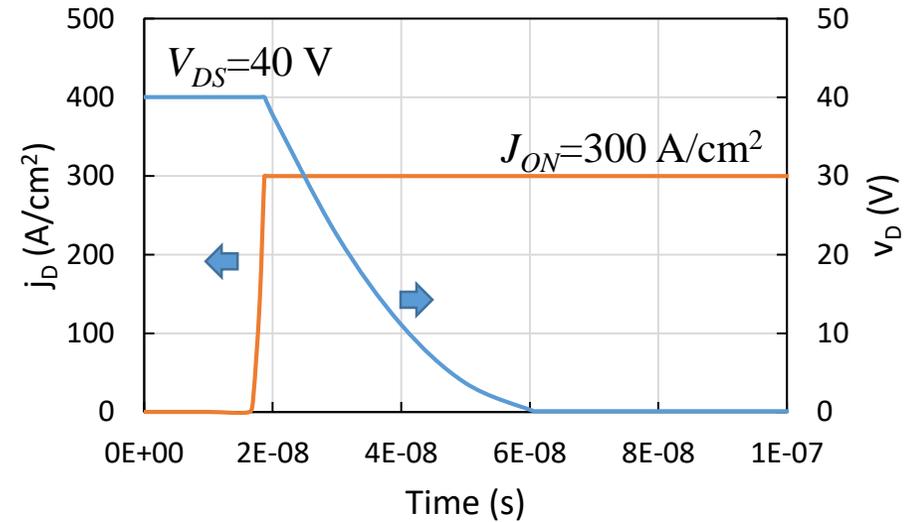
$$Q_{SW} = J_G (t_3 - t_1) = [C_{GS} + C_{GD}(V_{DS})] \sqrt{\frac{J_{ON} W_{Cell} L_{CH}}{\mu_{ni} C_{OX}}} + \frac{K_G q \epsilon_S N_D}{C_{OX}} \left( \sqrt{1 + \frac{2V_{DS} C_{OX}^2}{q \epsilon_S N_D}} - \sqrt{1 + \frac{2V_{ON} C_{OX}^2}{q \epsilon_S N_D}} \right)$$

$$Q_G = J_G t_4 = [C_{GS} + C_{GD}(V_{DS})] V_{GP} + \frac{K_G q \epsilon_S N_D}{C_{OX}} \left( \sqrt{1 + \frac{2V_{DS} C_{OX}^2}{q \epsilon_S N_D}} - \sqrt{1 + \frac{2V_{ON} C_{OX}^2}{q \epsilon_S N_D}} \right) + [C_{GS} + C_{GD}(V_{ON})] (V_G - V_{GP})$$

# VD-MOSFETターン・オン特性( $BV_{DS}=60V$ のサンプル)



$v_{GS}$ の時間変化



$j_D$ と $v_D$ の時間変化

$$W_{Cell} = 4.6 \mu\text{m}$$

$$t_{ILOX} = 0.2 \mu\text{m}$$

$$L_{CH} = 0.35 \mu\text{m}$$

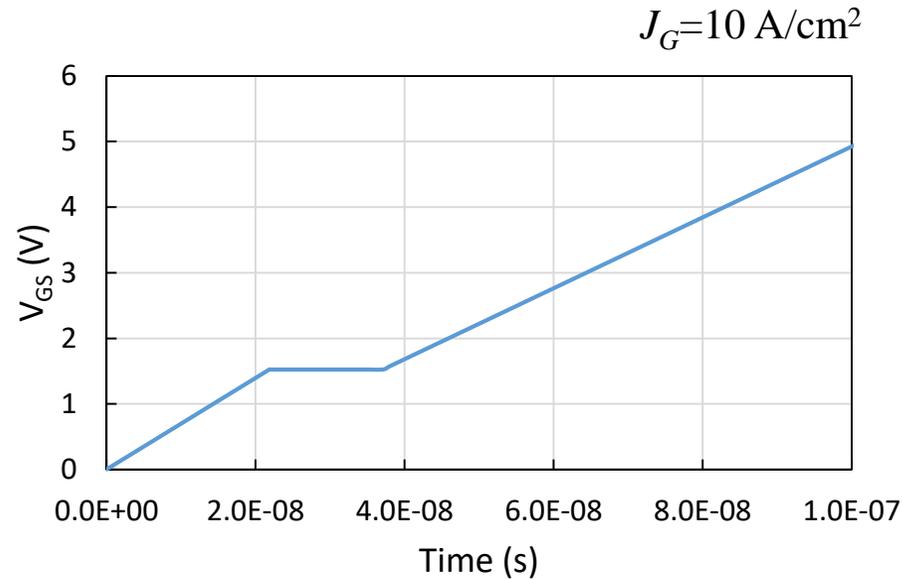
$$W_G = 3.0 \mu\text{m}$$

$$x_{JP} = 0.6 \mu\text{m}$$

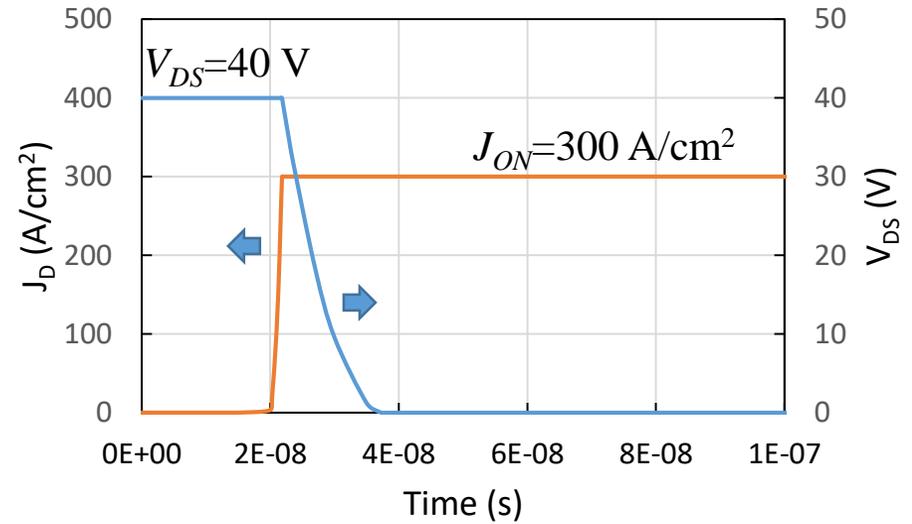
$$V_{TH} = 1.38 \text{ V}$$

(JFET領域の濃度 > ドリフト領域の濃度)

# U-MOSFETターン・オン特性( $BV_{DS}=60V$ のサンプル)



$v_{GS}$ の時間変化



$j_D$ と $v_D$ の時間変化

$$W_{Cell} = 2.5 \mu\text{m}$$

$$t_T = 0.8 \mu\text{m}$$

$$t_{ILOX} = 0.2 \mu\text{m}$$

$$L_{CH} = 0.35 \mu\text{m}$$

$$W_T = 0.8 \mu\text{m}$$

$$x_{JP} = 0.6 \mu\text{m}$$

$$t_{SUB} = 200 \mu\text{m}$$

$$V_{TH} = 1.38\text{V}$$

# 特性ゲート電荷とFOM値

特性ゲート電荷をVD-MOSFETとU-MOSFETで比較

特性ゲート電荷 <sup>(1)</sup>	VD-MOSFET	U-MOSFET	単位
$Q_{GS1}$	1.64E-07	1.98E-07	Ccm <sup>-2</sup>
$Q_{GS2}$	2.32E-08	2.06E-08	Ccm <sup>-2</sup>
$Q_{GS}$	1.87E-07	2.18E-07	Ccm <sup>-2</sup>
$Q_{GD}$	4.19E-07	1.52E-07	Ccm <sup>-2</sup>
$Q_{SW}$	4.43E-07	1.73E-07	Ccm <sup>-2</sup>
$Q_G$	1.27E-06	1.01E-06	Ccm <sup>-2</sup>

FOMをVD-MOSFETとU-MOSFETで比較

FOM <sup>(2)</sup>	VD-MOSFET	U-MOSFET	単位
$R_{ON} * Q_{GD}$	134	38	mΩ・nC
$R_{ON} * Q_{SW}$	141	44	mΩ・nC
$R_{ON} * Q_G$	405	255	mΩ・nC

BV<sub>DS</sub>=60Vのサンプル

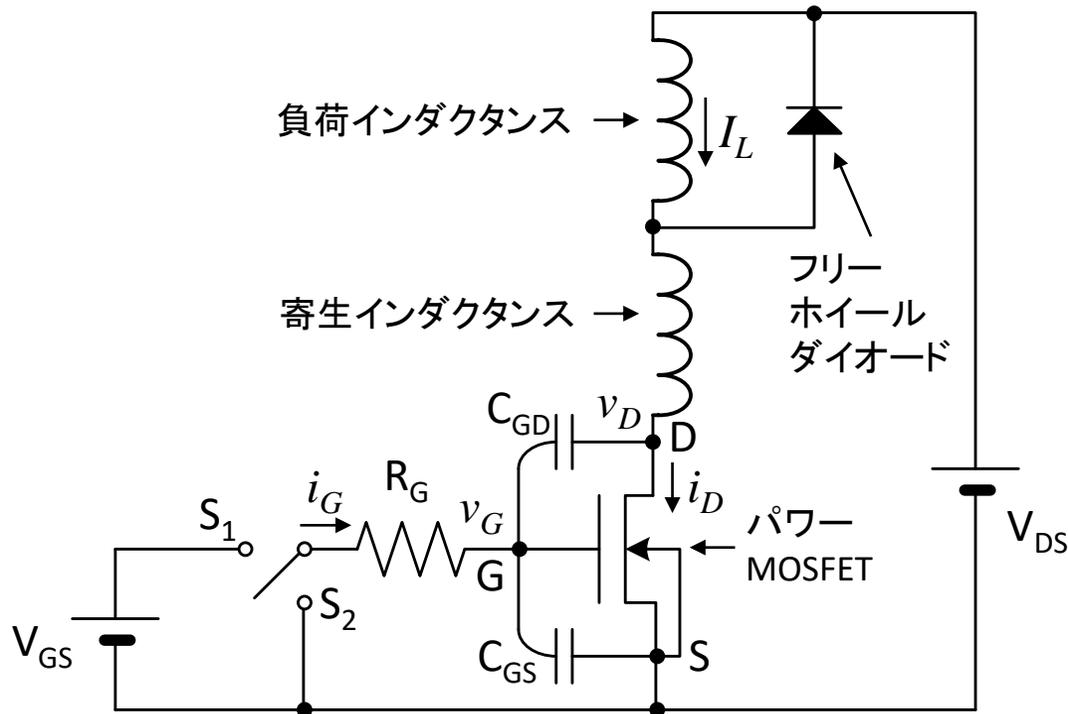
$$J_G=10 \text{ A/cm}^2 \quad J_{ON}=300 \text{ A/cm}^2$$

$$V_{DS}=40 \text{ V} \quad V_{GS}=5 \text{ V}$$

(1) 各ゲート電荷をセル面積で割った値

(2) FOMの中の  $R_{ON}$  はセル当たりの全抵抗値にセル面積を掛けた値

# スイッチング特性



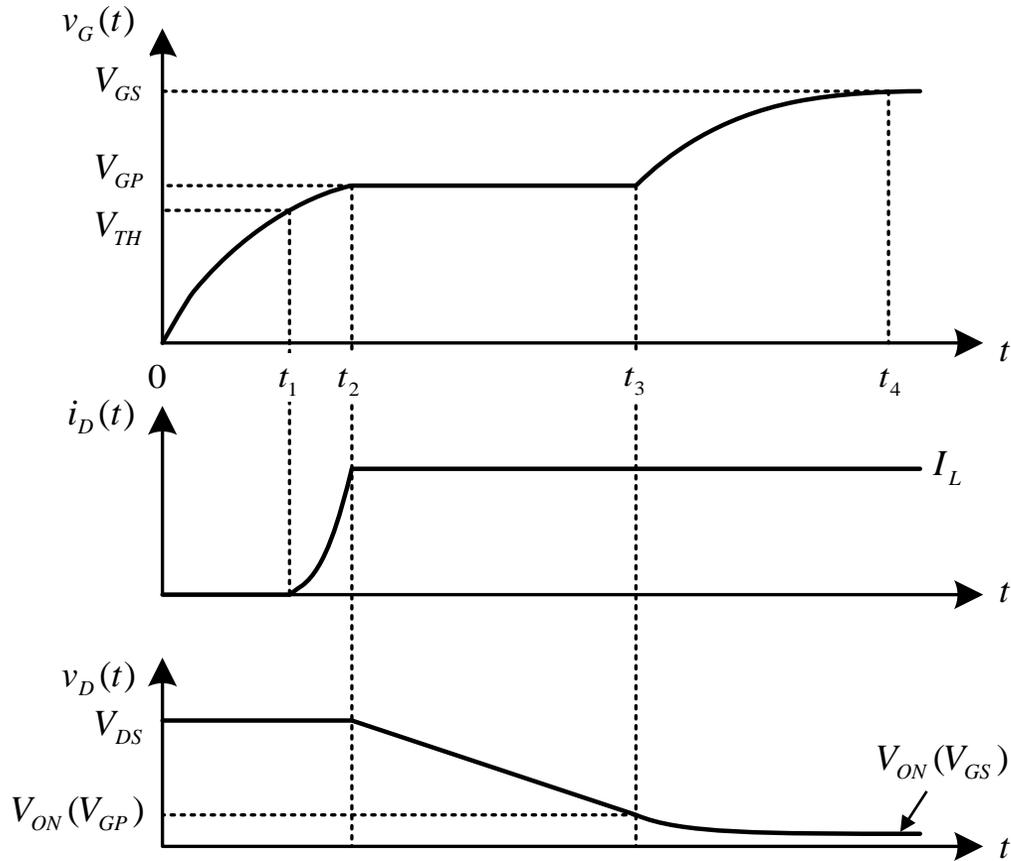
$S_1$ : オン⇒MOSFETターンオン

負荷インダクタンスにエネルギー蓄積  
( $i_D$  増大)

$S_2$ : オン⇒MOSFETターンオフ

フリーホイール・ダイオード⇒オン

# ターンオン過渡特性(1)



0~ $t_1$ : ターンオン開始からドレイン電流が流れるまでの遅延時間

$$v_G(t) = V_{GS} \left\{ 1 - e^{-t/R_G [C_{GS} + C_{GD}(V_{DS})]} \right\}$$

$$t_1 = R_G [C_{GS} + C_{GD}(V_{DS})] \ln \left( \frac{V_{GS}}{V_{GS} - V_{TH}} \right)$$

$t_1 \sim t_2$ : ドレイン電流が流れ始めてから負荷電流に到達するまでの時間  
(ダイオード電流がドレイン電流へ移行)

$$i_D(t) = \frac{g_m}{2} [v_G(t) - V_{TH}] = \frac{\mu_{ni} C_{OX} Z}{2L_{CH}} [v_G(t) - V_{TH}]^2$$

$$g_m = \frac{\mu_{ni} C_{OX} Z}{L_{CH}} [v_G(t) - V_{TH}] \quad (\text{ピンチオフによる飽和電流})$$

$$t_2 = R_G [C_{GS} + C_{GD}(V_{DS})] \ln \left( \frac{V_{GS}}{V_{GS} - V_{GP}} \right)$$

$$V_{GP} = \sqrt{\frac{2I_L L_{CH}}{\mu_{ni} C_{OX} Z}} + V_{TH} \quad \because i_D(t_2) = I_L, v_G(t_2) = V_{GP}$$

$V_{GP}$ : ゲート・プラトー電圧

# ターンオン過渡特性(2)

$t_2 \sim t_3$ : ゲート・プラトー領域(ゲート・ドレイン間容量充電)

この領域のゲート電流:  $i_{GP}$  (一定)

$$i_{GP}(t) = \frac{V_{GS} - V_{GP}}{R_G} = \frac{1}{R_G} \left[ V_{GS} - \left( \sqrt{\frac{2I_L L_{CH}}{\mu_{ni} C_{OX} Z}} + V_{TH} \right) \right]$$

ドレイン電圧の時間変化 = ゲート・ドレイン間電圧の時間変化

$$\frac{dv_D}{dt} = \frac{dv_{GD}}{dt} = -\frac{i_{GP}}{C_{GD}(v_D)} = -\frac{V_{GS} - V_{GP}}{R_G C_{GD}(v_D)}$$

ドレイン電圧依存性のある  $C_{GD}(v_D)$  を平均的な一定値  $C_{GD,AV}$  で近似

$$v_D(t) = V_{DS} - \frac{(V_{GS} - V_{GP})t}{R_G C_{GD,AV}} \quad \rightarrow \quad t_3 - t_2 = \frac{R_G C_{GD,AV}}{V_{GS} - V_{GP}} [V_{DS} - I_L R_{ON}(V_{GP})]$$

$$v_D(t_3) = I_L R_{ON}(V_{GP})$$

$t_3 \sim t_4$ : ゲート電圧がゲート供給電圧  $V_{GS}$  まで上昇

この間のゲート電圧上昇の時定数

$$R_G [C_{GS} + C_{GD}(V_{ON})]$$

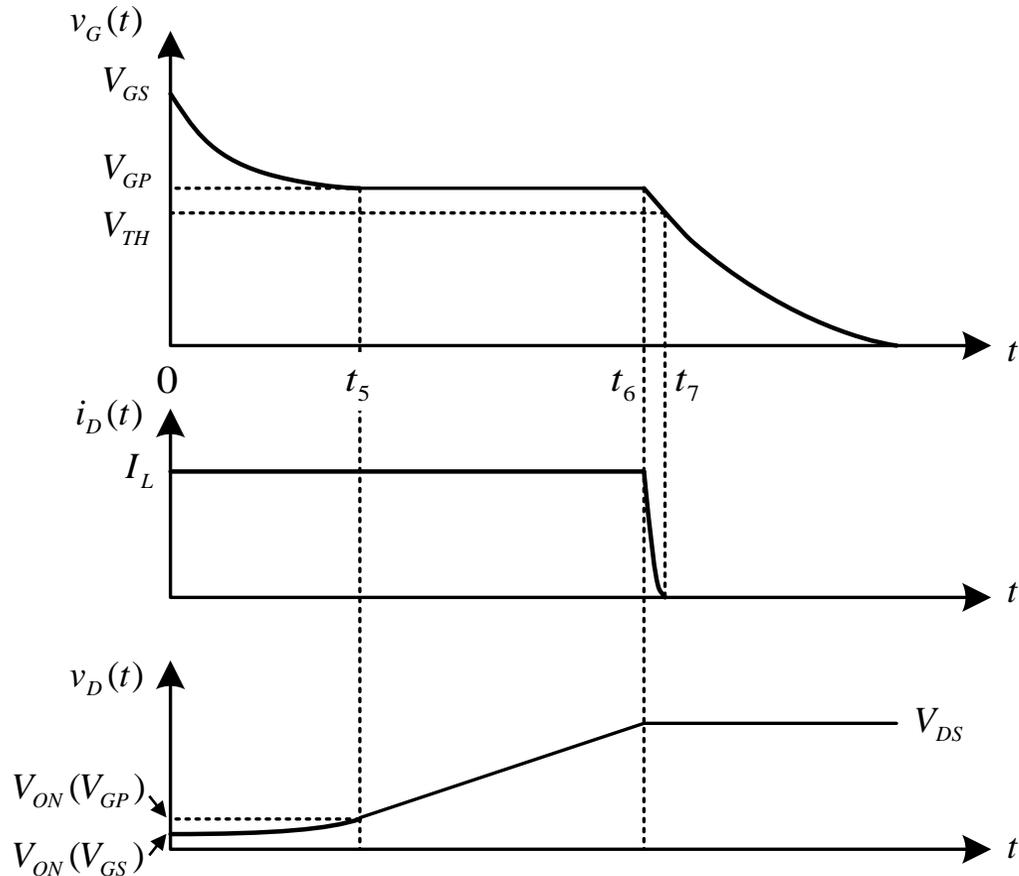
(注)

$$R_G [C_{GS} + C_{GD}(V_{DS})] < R_G [C_{GS} + C_{GD}(V_{ON})]$$

$$R_G [C_{GS} + C_{GD}(V_{DS})]$$

( $t_0 \sim t_2$  間のゲート電圧上昇時定数)

# ターンオフ過渡特性(1)



0: ~ $t_5$ : ターンオフ開始からドレイン電圧が立上るまでの遅延時間

$$v_G(t) = V_{GS} e^{-t/R_G [C_{GS} + C_{GD}(V_{ON})]}$$

$$t_5 = R_G [C_{GS} + C_{GD}(V_{ON})] \ln \left( \frac{V_{GS}}{V_{GP}} \right)$$

$t_5 \sim t_6$ : ゲート・プラトー領域 (ゲート・ドレイン間容量放電)

この領域のゲート電流:  $i_{GP}$  (一定)

$$i_{GP}(t) = \frac{V_{GP}}{R_G} = \frac{1}{R_G} \left( \sqrt{\frac{2I_L L_{CH}}{\mu_{ni} C_{OX} Z}} + V_{TH} \right)$$

ドレイン電圧の時間変化 = ゲート・ドレイン間電圧の時間変化

$$\frac{dv_D}{dt} = \frac{dv_{GD}}{dt} = \frac{i_{GP}}{C_{GD}(v_D)}$$

# ターンオフ過渡特性(2)

ドレイン電圧依存性のある  $C_{GD}(v_D)$  を平均的な一定値  $C_{GD,AV}$  で近似

$$v_D(t) = V_{ON}(V_{GP}) + \frac{1}{R_G C_{GD,AV}} \left( \sqrt{\frac{2I_L L_{CH}}{\mu_{ni} C_{OX} Z}} + V_{TH} \right) (t - t_5) \quad \Rightarrow \quad t_6 - t_5 = R_G C_{GD,AV} \frac{V_{DS} - V_{FD} - V_{ON}(V_{GP})}{V_{GP}}$$

$v_D(t)$  が  $V_{DS} - V_{FD}$  に到達  $\Rightarrow$  ダイオードオン

$V_{FD}$ : ダイオード順方向電圧降下

$t_6 \sim t_7$ : ドレイン電流がダイオードへ移行(ドレイン電流  $\Rightarrow$  ゼロ)

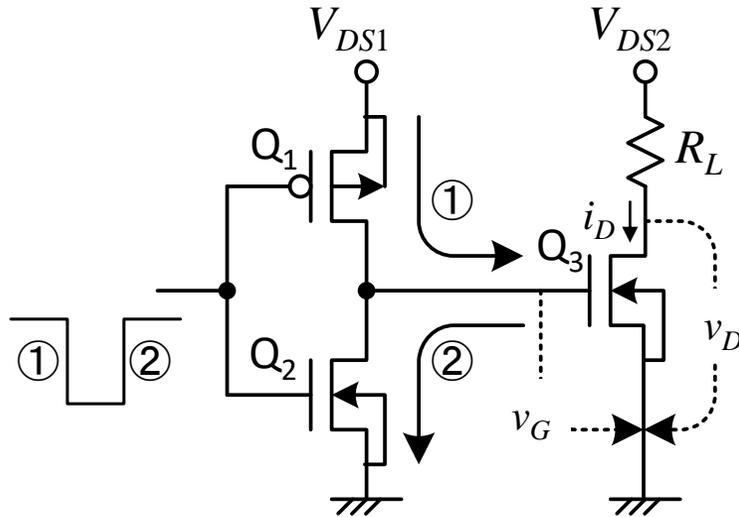
$$v_G(t) = V_{GP} e^{-(t-t_6)/R_G [C_{GS} + C_{GD}(V_{DS})]} \quad \text{ゲート電圧の時間変化} (C_{GS} \text{ と } C_{GD}(V_{DS}) \text{ の放電})$$

$$\Rightarrow t_7 - t_6 = R_G [C_{GS} + C_{GD}(V_{DS})] \ln \left( \frac{V_{GP}}{V_{TH}} \right) \quad \because v_G(t_7) = V_{TH} \quad \text{ドレイン電流: ゼロ} \Rightarrow \text{ゲート電圧: } V_{TH}$$

$t_7 \sim$ : ゲート電圧が指数関数的に低下 ( $\Rightarrow$  ゼロ)

この場合の時定数  $\Rightarrow t_6 \sim t_7$  間のゲート電圧低下の時定数と同じ

# スイッチング損失



Q<sub>3</sub>: パワーMOSFET

全損失電力(各セル当たり)

$$P_T = f \left( Q_G V_{GS} + \int_{\text{turn-on transient}} i_D v_D dt + \int_{\text{turn-off transient}} i_D v_D dt \right) + DR_{ON} I_L^2 \approx f \left[ C_{IN} V_{GS}^2 + \frac{1}{2} I_L V_{DS2} (t_3 - t_1) + \frac{1}{2} I_L V_{DS2} (t_7 - t_5) \right] + DR_{ON} I_L^2$$

(注)  $P_T$  の単位面積換算  $\Rightarrow P_T$  をセル面積 ( $W_{cell} \cdot Z$ ) で割る

Q<sub>3</sub> ゲート充放電による損失エネルギー(各セル当たり)

①と②それぞれで損失(Q<sub>1</sub>とQ<sub>2</sub>で損失)  $E_{ON} = E_{OFF} = \frac{1}{2} Q_G V_{GS} \approx \frac{1}{2} C_{IN} V_{GS}^2$

スイッチング時の導通による損失エネルギー(各セル当たり)

ターンオン  $\Rightarrow E_{\text{turn-on}} = \int_{\text{turn-on transient}} i_D v_D dt$       ターンオフ  $\Rightarrow E_{\text{turn-off}} = \int_{\text{turn-off transient}} i_D v_D dt$

オン状態での損失エネルギー(各セル当たり)

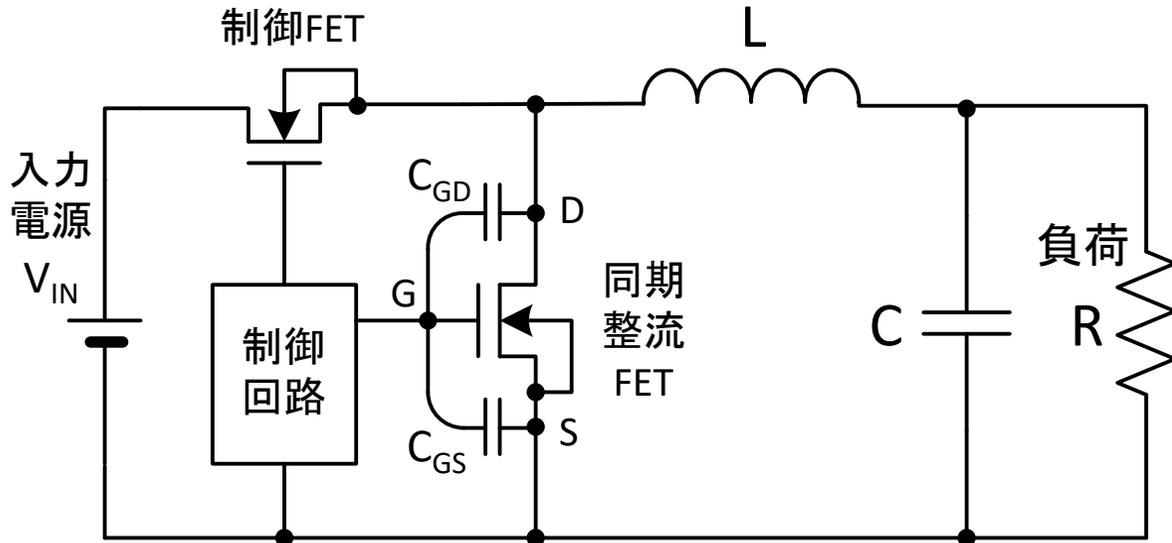
$$DR_{ON} I_L^2$$

D: デューティ比

$$\left( V_{GS} = V_{DS1}, I_L \cong \frac{V_{DS2}}{R_L} \right)$$

f: スwitching周波数

# $dV_D/dt$ 耐性(容量性ターンオン)(1)



降圧DC-DCコンバータ

制御FET: 高速スイッチング必要

⇒制御FETオンオフ時の早い電圧変化が同期整流FETへ影響

同期整流FET: 低オン抵抗(低入力容量)必要

制御FETの高速ターンオン

⇒同期整流FETのドレイン電圧変化によるゲート電圧変化  
(ゲート・ソース容量のインピーダンス  $\ll$  ゲート抵抗  $R_G$ )

$$v_G(t) = \frac{C_{GD}}{C_{GD} + C_{GS}} \left( \frac{dV_D}{dt} \right) t$$

⇒ゲートに誘起される最大電圧

$$v_{G,MAX} = \frac{C_{GD}}{C_{GD} + C_{GS}} V_{IN} \quad V_{IN}: \text{入力電圧}$$

(寄生インダクタンスによる電圧のリングングを無視)

$v_{G,MAX} > V_{TH}$  ⇒同期整流FETターンオン

⇒入力電源がオン状態の制御FETと

誤動作の同期整流FETを介して短絡

⇒制御と同期整流FETの破壊



誤動作の回避 ⇒  $C_{GD}/C_{GS}$  の低減

# $dV_D/dt$ 耐性(容量性ターンオン)(2)

## 制御FETの高速ターンオン

⇒同期整流FETのドレイン電圧変化によるゲート電流変化  
(ゲート・ソース容量のインピーダンス ≫ ゲート抵抗  $R_G$ )

$$i_{GD}(t) = C_{GD} \left( \frac{dV_D}{dt} \right)$$

⇒ゲートに誘起される電圧

$$v_G = R_G i_{GD} = R_G C_{GD} \left( \frac{dV_D}{dt} \right)$$

$$v_G > V_{TH}$$

⇒同期整流FETターンオン

⇒入力電源がオン状態の制御FETと

誤動作の同期整流FETを介して短絡

⇒制御と同期整流FETの破壊

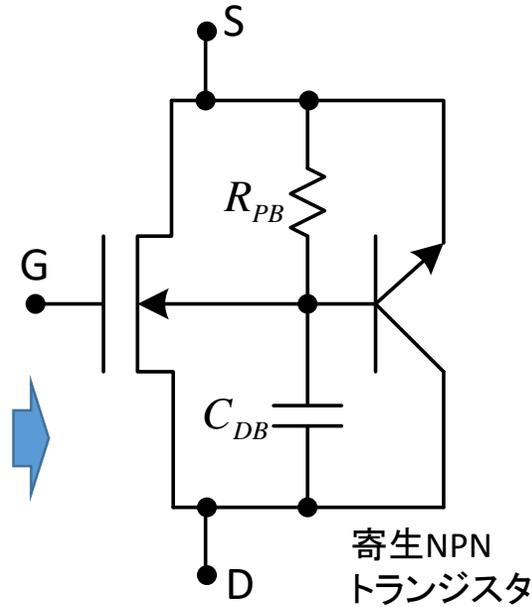
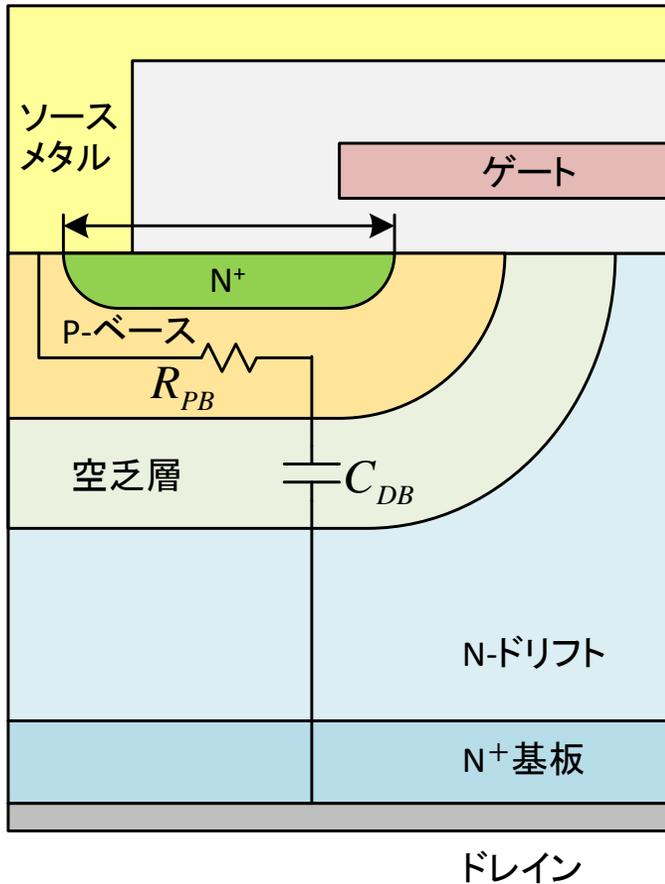
誤動作しない最大の同期整流FETの  
ドレイン電圧変化

$$\left( \frac{dV_D}{dt} \right)_{\max} = \frac{V_{TH}}{R_G C_{GD}}$$

⇒スイッチング電源の最大周波数決定

↓  
誤動作回避 ⇒  $C_{GD}$  の低減

# $dV_D/dt$ 耐性 (寄生バイポーラ・ターンオン) (1)



急峻なドレイン電圧変化による変位電流

$$i_D(t) = C_{DB} \left( \frac{dV_D}{dt} \right)$$

上記  $i_D$  によるp-ベース内の電圧が  
N<sup>+</sup>とp-ベース間のビルトイン電位  $V_{bi}$  に到達  
⇒寄生NPNトランジスタがオン

( $BV_{CBO} \Rightarrow BV_{CEO}$  (BVの低下) ⇒デバイスの破壊)

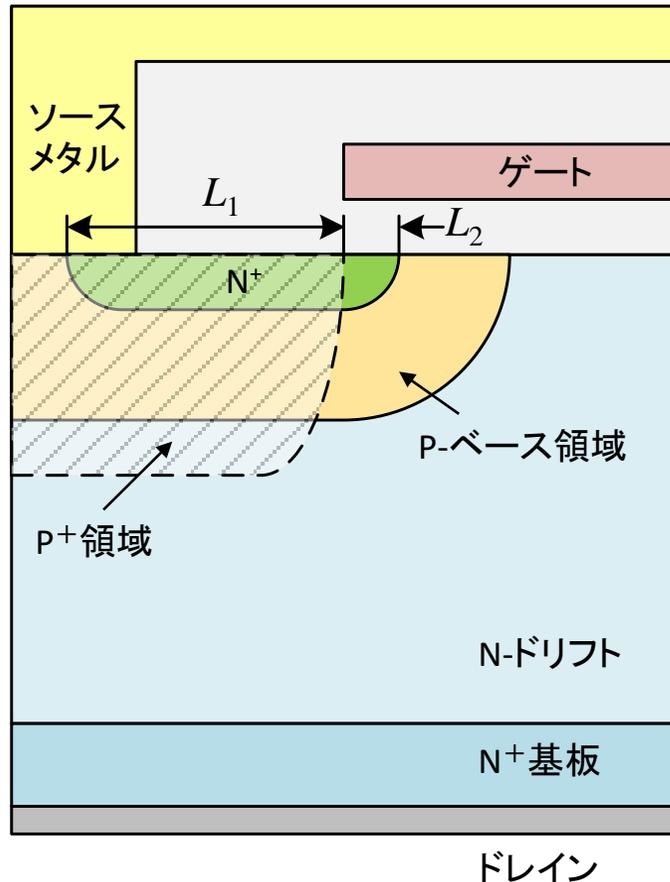


ドレイン電圧変化の最大値

$$\left( \frac{dV_D}{dt} \right)_{\max} = \frac{V_{bi}}{R_{PB} C_{DB}} \quad R_{PB} = \rho_{SQ,PB} \frac{L_{N^+}}{Z}$$

$\rho_{SQ,PB}$ : P-ベース領域のシート抵抗  
(ピンチ・シート抵抗)

# dV<sub>D</sub>/dt耐性(寄生バイポーラ・ターンオン)(2)



dV<sub>D</sub>/dtによる寄生バイポーラ・ターンオンの対策

⇒P-ベース領域の抵抗低減(P+領域の追加)

P-ベース領域の抵抗低下

$$R_{PB} = \rho_{SQ,PB} \frac{L_1}{Z} + \rho_{SQ,P+} \frac{L_2}{Z}$$

$\rho_{SQ,P+}$ : P+領域のシート抵抗

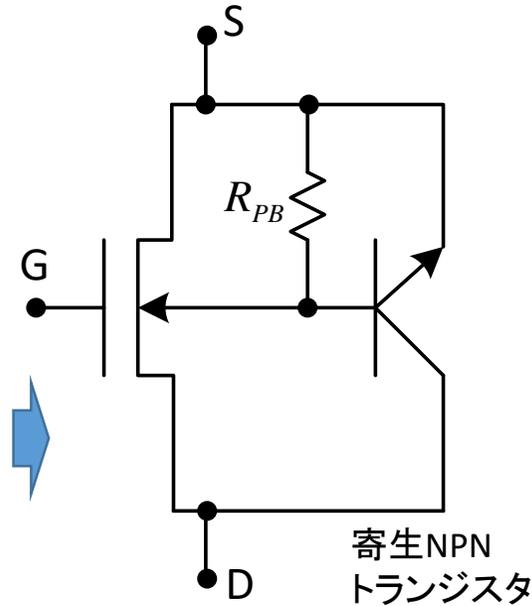
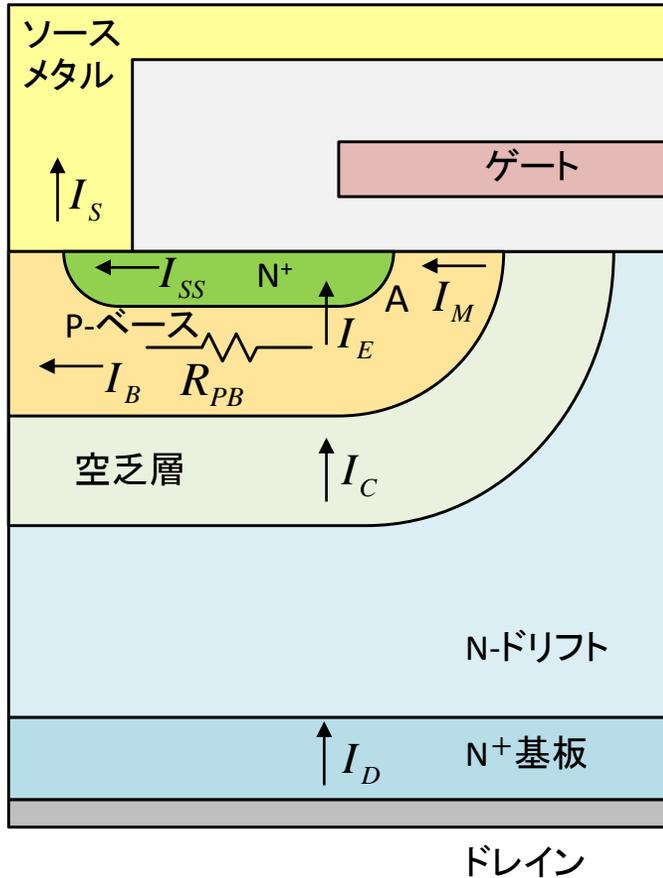
(注) 高温動作時に寄生バイポーラ・トランジスタのターンオンは顕著

高温

⇒ビルトイン電圧の低下

⇒シート抵抗の増加により、p-ベース領域での電圧降下増大

# バイポーラ・セカンド・ブレイクダウン(1)



アバランシェ電圧近傍のドレイン電圧印加  
 ⇒インパクトイオン化電流増大  
 ⇒P-ベース抵抗によりA点の電位上昇  
 ⇒A点の電位が  $V_{bi}$  に到達すると寄生NPNオン  
 ⇒ブレイクダウン発生

$$I_D = I_C + I_M$$

$$I_S = I_E + I_M + I_B \approx I_E + I_M$$

$$I_C = \alpha I_E = \gamma_E \alpha_T M I_E \approx M I_E$$

$$I_B = I_C - I_E \approx (M - 1) I_E$$

$\gamma_E$ : エミッタ注入係数 ( $\approx 1$ )

$\alpha_T$ : ベース輸送ファクター ( $\approx 1$ )

$M$ : 増倍係数

# バイポーラ・セカンド・ブレイクダウン(2)

$R_{PB}$  による電圧上昇(A点での電位)

$$V_A = R_{PB} I_B$$

$V_A$  による寄生NPNのエミッタ電流(順方向電流)

$$I_E = I_0 e^{qV_A/kT} \quad I_0: \text{飽和電流}$$

$$\rightarrow I_E = I_0 \exp\left[\frac{qR_{PB}}{kT} (M-1)I_E\right]$$

$$\rightarrow I_E \approx \frac{I_0}{1 - \frac{qR_{PB}}{kT} (M-1)I_0}$$

$\therefore$  指数項の一次展開

セカンド・ブレイクダウン電圧

$$V_{D,SB} = \frac{BV}{\left(1 + \frac{qR_{PB}I_0}{kT}\right)^{1/6}}$$

$$\therefore (I_E \text{ の分母})=0 \Rightarrow I_E = \infty$$

セカンド・ブレイクダウン低下対策  
 $\Rightarrow$  P-ベース領域へP<sup>+</sup>の追加

$$M = \frac{1}{1 - (V_D/BV)^6}$$

BV: PN接合ブレイクダウン電圧 ( $BV_{CBO}$ )

# MOSセカンド・ブレイクダウン

A 点の電位上昇によるドレイン電流増大

$$\gamma_B = \frac{\delta I_D}{\delta V_A} \quad \gamma_B: \text{増大係数}$$

N<sup>+</sup>ソース電流  $I_{SS}$  とベース電流  $I_B$

$$I_{SS} = I_M + \gamma_B V_A = I_M + \gamma_B R_{PB} I_B$$

$$I_B = I_D - I_{SS} = (M - 1) I_{SS}$$

$$\rightarrow I_B = (M - 1)(I_M + \gamma_B R_{PB} I_B)$$

$$\rightarrow I_B = \frac{(M - 1) I_M}{1 - \gamma_B R_{PB} (M - 1)}$$

アバランシェ電圧近傍のドレイン電圧印加  
⇒インパクトイオン化電流増大  
⇒P-ベース抵抗によりA点の電位上昇  
⇒MOSFETのしきい値電圧低下によるドレイン電流増大  
⇒ブレイクダウン発生

ドレイン電流

$$I_D = \frac{M I_M}{1 - \gamma_B R_{PB} (M - 1)}$$

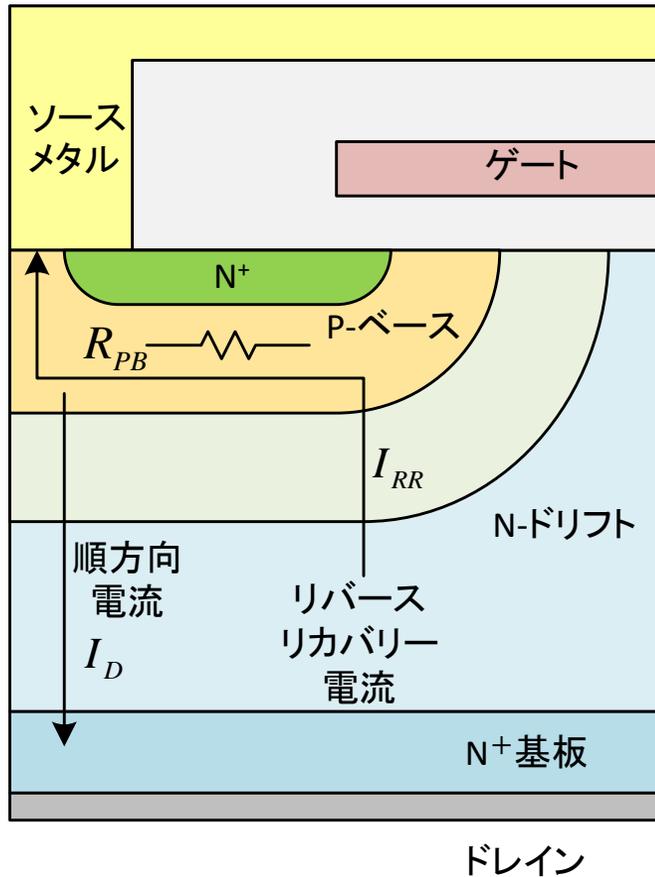
セカンド・ブレイクダウン電圧

$$V_{D,SB} = \frac{BV}{(1 + \gamma_B R_{PB})^{1/6}} \quad \because (I_D \text{ の分母}) = 0 \Rightarrow I_D = \infty$$

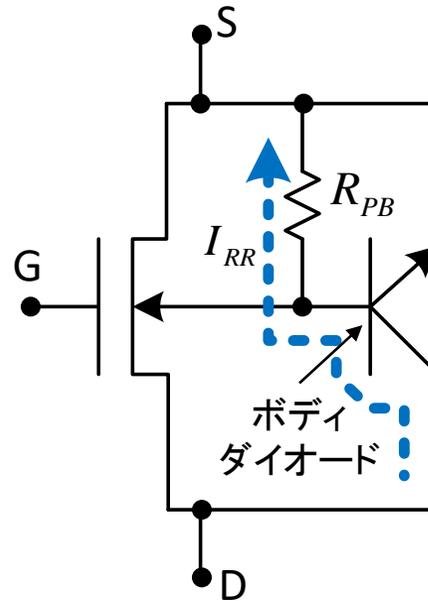
セカンド・ブレイクダウン低下対策

⇒ P-ベース領域へP<sup>+</sup>の追加

# ボディ・ダイオード(リバーズ・リカバリーによるターンオン)



## ボディ・ダイオード



⇒リバーズ・リカバリー特性良くない

∵ドリフト領域のキャリア寿命長い

リバーズ・リカバリー特性改善

(リバーズ・リカバリー時間  $t_{rr}$  短縮)

⇒電子照射によりドリフト層のキャリア寿命制御

⇒リバーズ・リカバリー電流  $I_{RR}$  発生

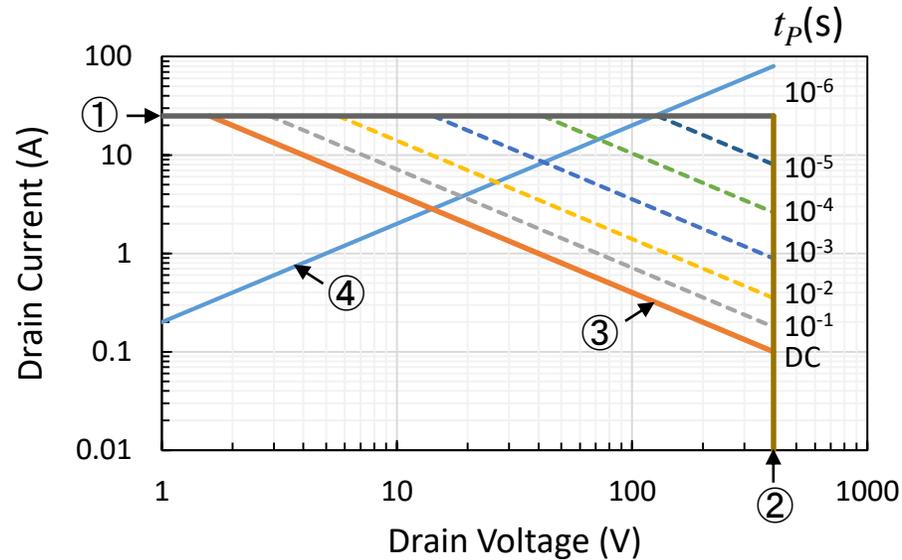
p-ベース内の電圧 ( $R_{PB}I_{RR}$ ) が  $N^+$  と p-ベース間のビルトイン電位  $V_{bi}$  に到達すると寄生NPNTランジスタがオン

( $BV_{CBO} \Rightarrow BV_{CEO}$  (BVの低下)  $\Rightarrow$  デバイスの破壊)

ブレークダウン低下対策

⇒ P-ベース領域へ  $P^+$  の追加

# パワーMOSFETのSOA (Safe Operating Area)



パワーMOSFETの典型的なSOA

$$T_{J,max} = 150^{\circ}\text{C} \quad T_A = 50^{\circ}\text{C} \quad R_{ON} = 5\Omega$$

$$Z_{DC} = 2.5^{\circ}\text{C W}^{-1} \quad Z_K = 10^{\circ}\text{C W}^{-1}\text{s}^{-1/2}$$

① 最大電流  $I_{D,max}$ : ワイヤーボンド溶融(ソース側)

② 最大電圧  $BV_{DS}$ : 最大定格電圧

③ 最大接合温度(最大電力)

$$T_J - T_A = P_{Diss} R_{\theta} = I_D V_D R_{\theta} \quad \Rightarrow \quad I_D = \frac{T_{J,max} - T_A}{V_D R_{\theta}}$$

パルス動作の場合

$$\Rightarrow I_D = \frac{(T_{J,max} - T_A)}{V_D Z_{\theta}} \quad Z_{\theta} = \frac{Z_{DC} Z_K \sqrt{t_P}}{Z_{DC} + Z_K \sqrt{t_P}}$$

$T_{J,max}$ : 最大接合温度     $T_A$ : 周囲温度     $t_P$ : 単一パルス幅

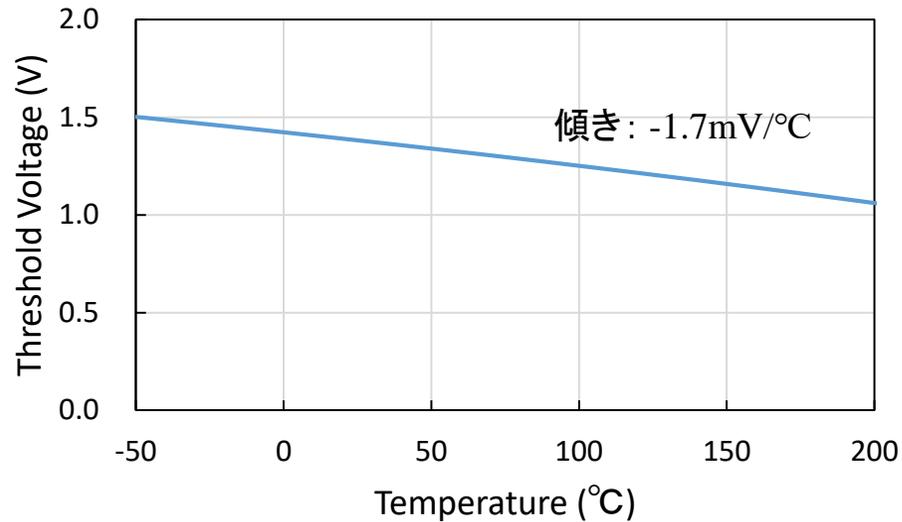
$R_{\theta}$ : パッケージの熱抵抗

$Z_{DC}$ : 定常状態でのDC熱インピーダンス     $Z_K$ : 係数

④ オン状態  $I_D$ - $V_D$

$$I_D = V_D / R_{ON}$$

# 温度特性(しきい値電圧と特性オン抵抗)



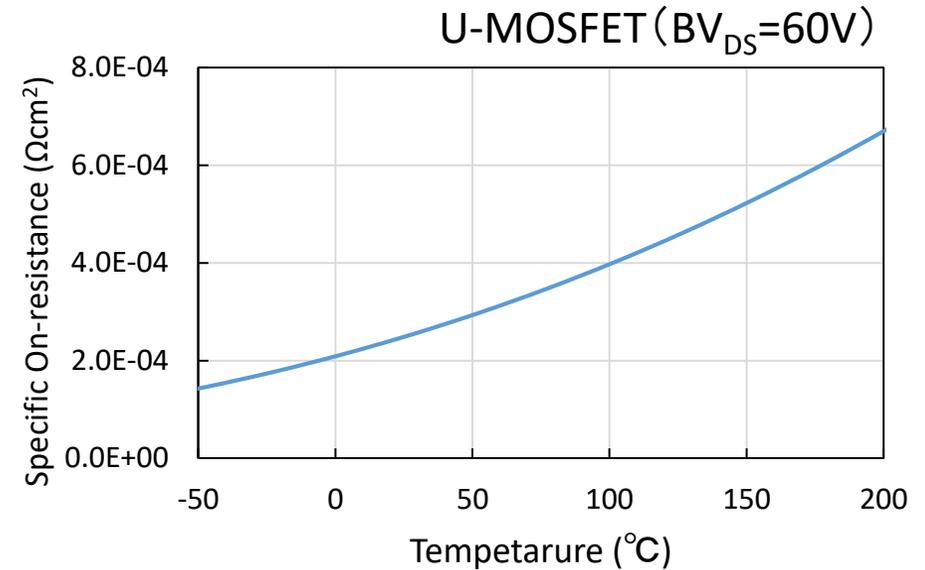
## しきい値電圧の温度依存性

$N^+$  Poly - Si gate ( $\phi_f = -0.56\text{ V}$ )

$N_A(\text{Si}) = 6 \times 10^{17}\text{ cm}^{-3}$      $t_{ox} = 12\text{ nm}$

$D_{ox} = 3 \times 10^{10}\text{ cm}^{-2}$  (界面固定電荷密度)

動作最大接合温度で  $V_{TH} > 1\text{ V}$  確保



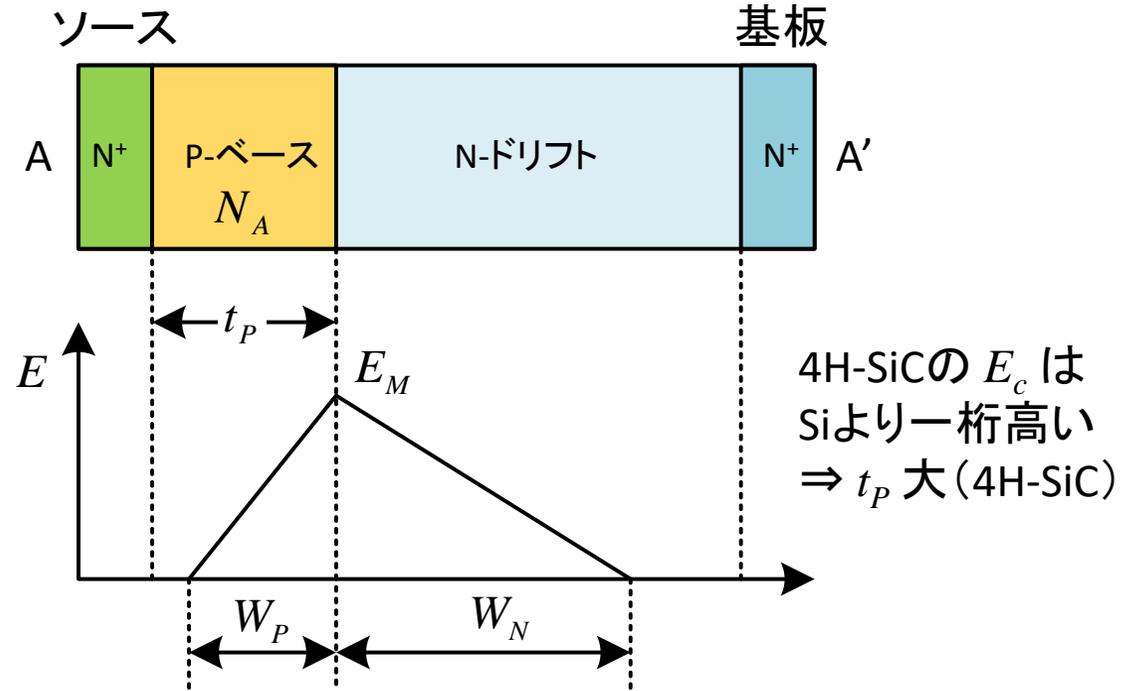
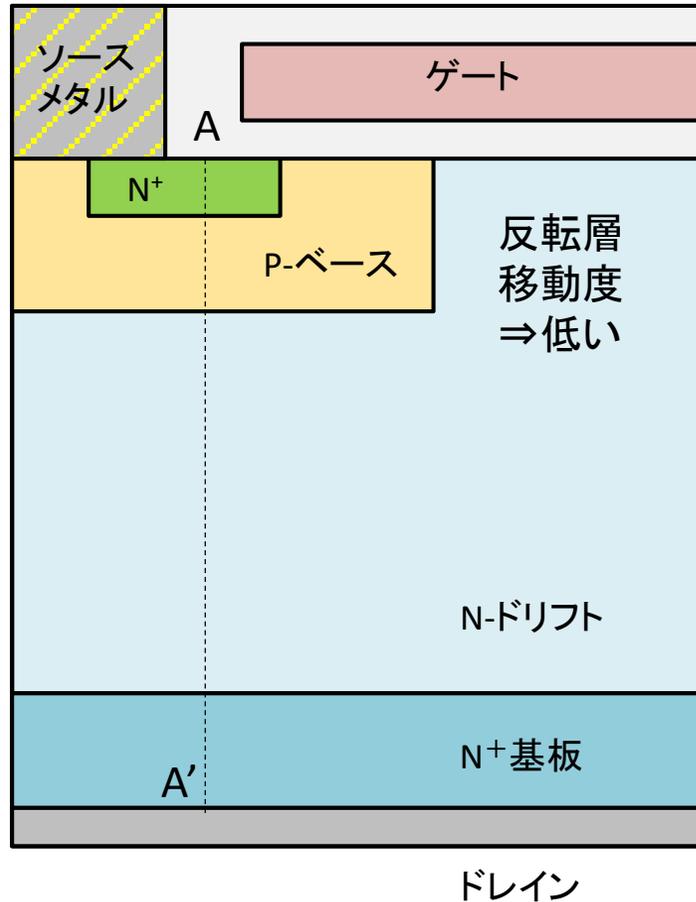
## 特性オン抵抗の温度依存性

$t_T=0.8\text{ }(\mu\text{m})$ ,  $W_T=0.8\text{ }(\mu\text{m})$ ,  $W_{cell}=2.5\text{ }(\mu\text{m})$

$t=3.0\text{ }(\mu\text{m})$ ,  $t_{SUB}=200\text{ }(\mu\text{m})$

$V_G=5\text{ V}$ ,  $V_{TH}=1.38\text{ V}$  (at 室温)

# VD-MOSFET (4H-SiC)



P-ベース内空乏層幅

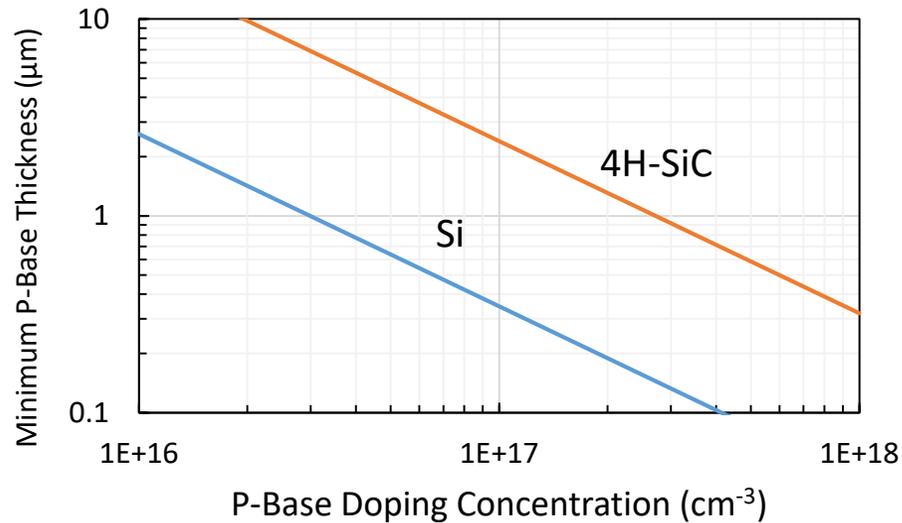
$$W_P = \frac{\epsilon_S E_M}{q N_A}$$

臨界電界時(ブレークダウン)  $\Rightarrow W_P = x_{JP}$

$$t_P = \frac{\epsilon_S E_C}{q N_A} \quad (\text{最小 P-ベース厚})$$

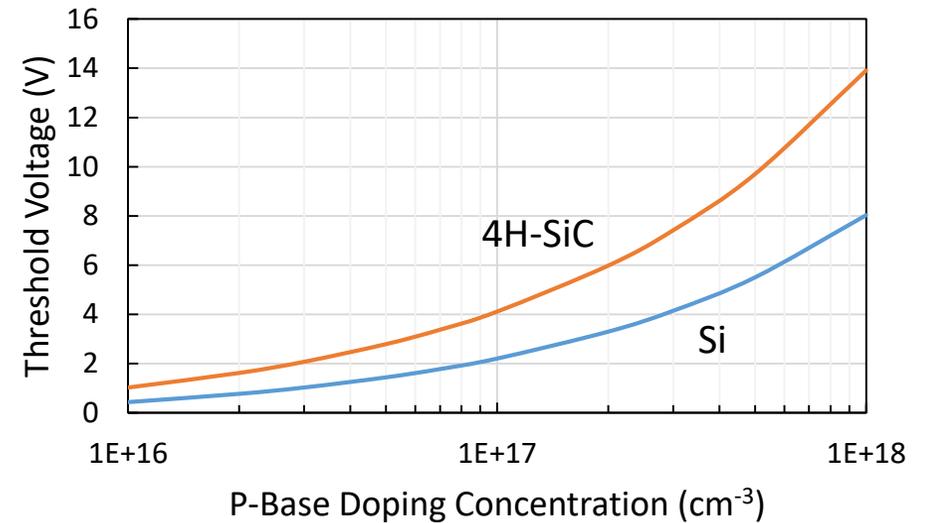
(P-ベース内空乏層のリーチスルー防止)

# 最小P-ベース厚としきい値電圧の不純物濃度依存性



## 最小P-ベース厚の不純物濃度依存性

- ① 4H-SiC の最小P-ベース厚は Si に比べて約7倍
- ② P-ベース厚を Si と 4H-SiC で同程度にすると①により 4H-SiC の不純物濃度を上げるが必要あり、これが しきい値電圧を一層高める
- ③ 4H-SiC のチャネル長は Si に比べて長い



## しきい値電圧の不純物濃度依存性

$N^+$  Poly - Si gate ( $\phi_f = -0.56 \text{ V}$ )  $t_{ox} = 50 \text{ nm}$   
 $D_{ox}(\text{Si}) = 3 \times 10^{10} \text{ cm}^{-2}$   $D_{ox}(\text{4H-SiC}) = 3 \times 10^{11} \text{ cm}^{-2}$   
 (界面固定電荷密度)

# ゲート酸化膜中の電界と電流 (4H-SiC)

## ゲート酸化膜中の電界

$$E_{OX} = \left( \frac{\epsilon_{Semi}}{\epsilon_{OX}} \right) E_{Semi}$$

$$\epsilon_{SiC} / \epsilon_{OX} \approx 2.5$$

$$\epsilon_{Si} / \epsilon_{OX} \approx 3$$

$$E_{max\_drift} (Si) \approx 3 \times 10^5 \text{ Vcm}^{-1} \Rightarrow E_{OX} \approx 9 \times 10^5 \text{ Vcm}^{-1} \text{ (信頼性の問題なし)}$$

$$E_{max\_drift} (4H-SiC) \approx 3 \times 10^6 \text{ Vcm}^{-1} \Rightarrow E_{OX} \approx 7.5 \times 10^6 \text{ Vcm}^{-1} \text{ (信頼性の問題あり)}$$

(酸化膜の信頼性限界:  $E_{OX} \approx 3 \times 10^6 \text{ Vcm}^{-1}$  )

$\epsilon_{SiC}$ : 半導体の誘電率

$\epsilon_{Si}$ : 半導体の誘電率

$\epsilon_{Semi}$ : 半導体の誘電率

$\epsilon_{OX}$ : 酸化膜の誘電率

$E_{Semi}$ : 半導体界面での電界

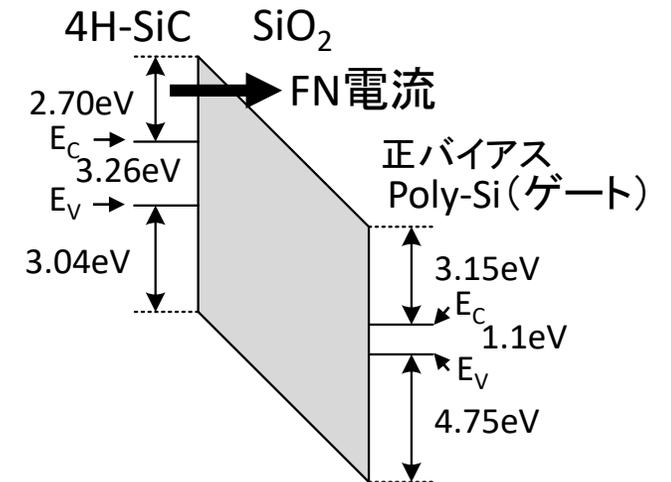
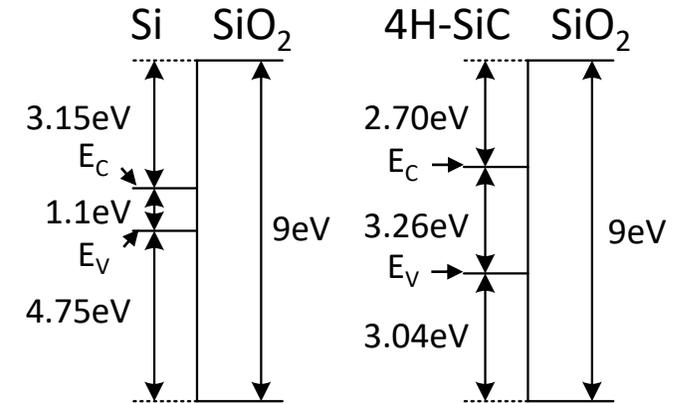
## ゲート酸化膜への電子の注入

半導体伝導体底から酸化膜の障壁: Si > 4H-SiC

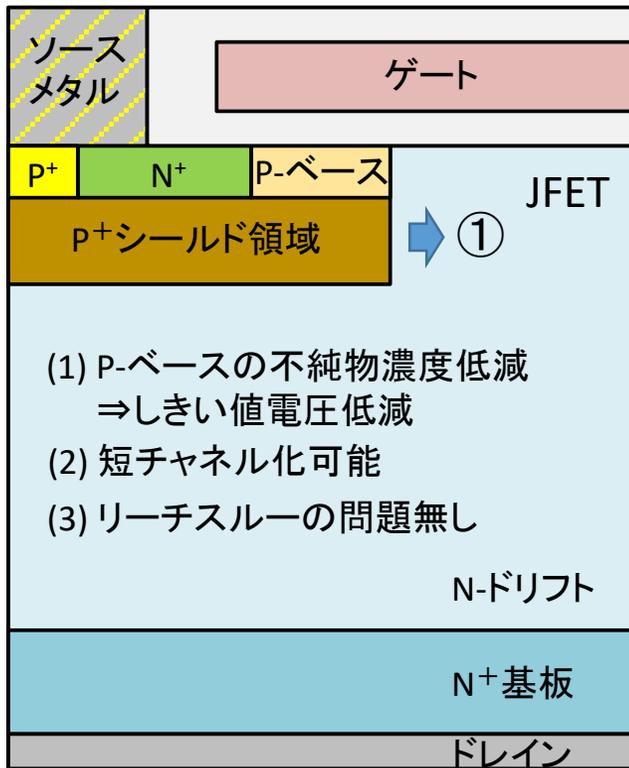
⇒ 酸化膜へのホット・エレクトロン注入: Si < 4H-SiC

⇒ 酸化膜へのFN (Fowler-Nordheim)電流: Si < 4H-SiC

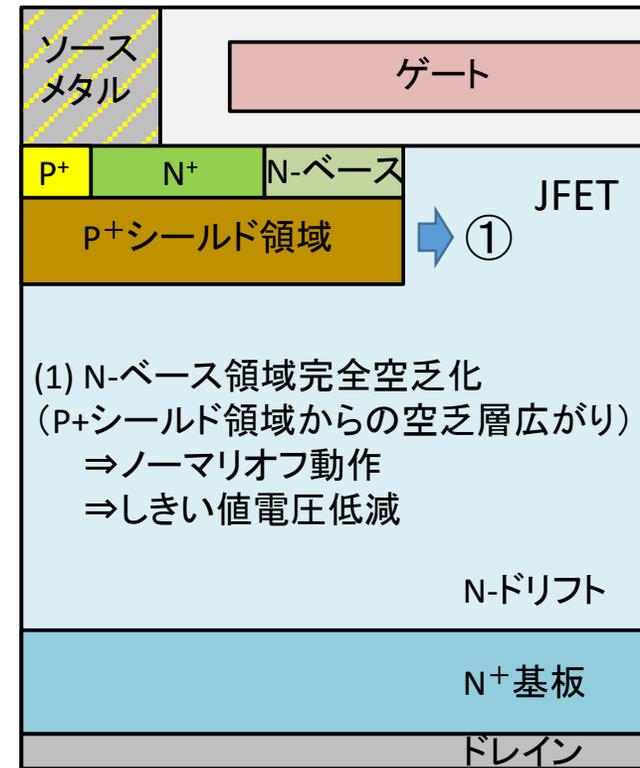
しきい値電圧変化  
Si < 4H-SiC



# シールド型VD-MOSFET(4H-SiC)



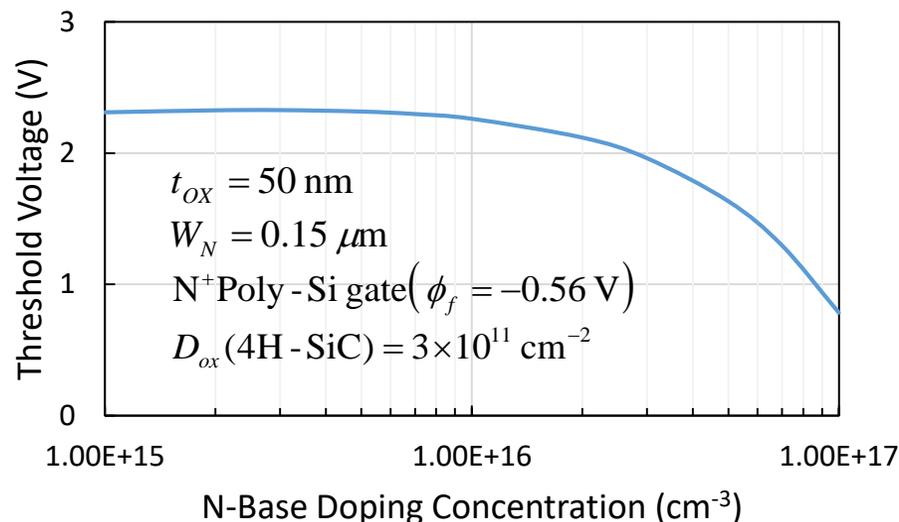
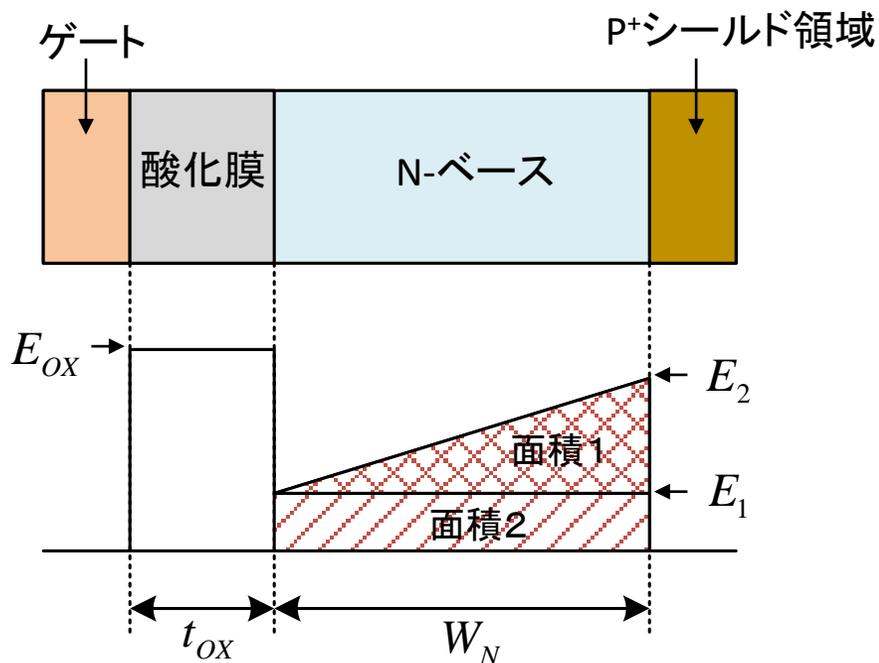
反転モードMOSFET



蓄積モードMOSFET

① 横方向への空乏層広がりによりドレイン電圧による高電界からゲート酸化膜保護

# 蓄積モード・シールド型VD-MOSFETのしきい値電圧



電界の関係

$$E_{OX} = \left( \frac{\epsilon_{SiC}}{\epsilon_{OX}} \right) E_1$$

$$E_1 = \frac{V_{bi}}{W_N} - \frac{qN_D W_N}{2\epsilon_{SiC}}$$

$$E_2 = \frac{V_{bi}}{W_N} + \frac{qN_D W_N}{2\epsilon_{SiC}}$$

しきい値電圧のN-ベース不純物濃度依存(4H-SiC)

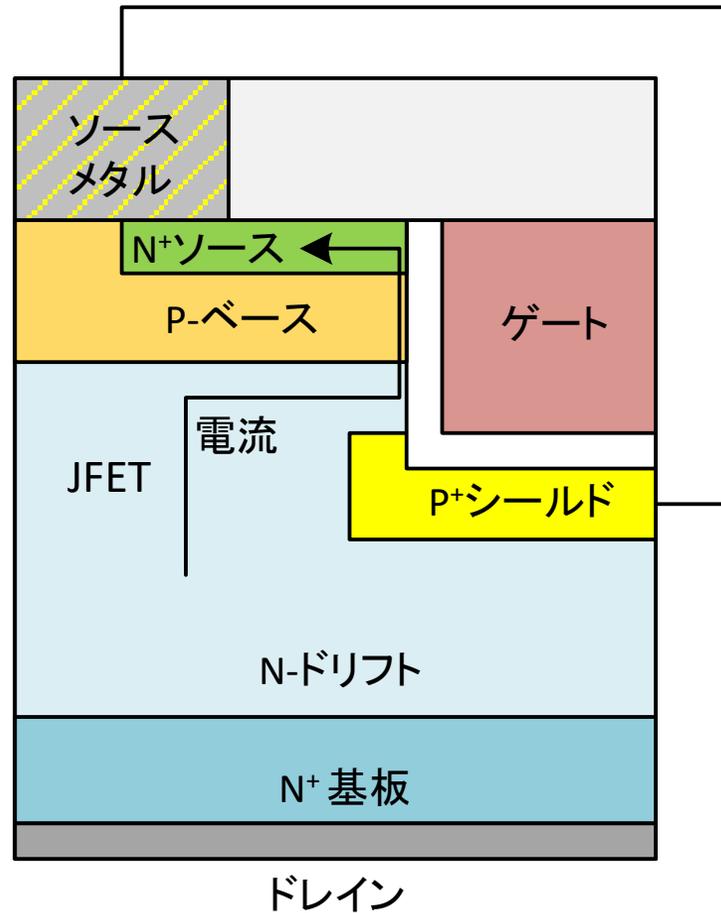
(面積1) + (面積2) = ビルトイン電位  $V_{bi}$

(N-ベースとP+シールド領域間)

$$(面積1) = \frac{qN_D W_N^2}{2\epsilon_{SiC}} \quad (面積2) = E_1 W_N$$

しきい値電圧  $\rightarrow V_{TH} = V_{FB} + \left( \frac{\epsilon_{SiC} V_{bi}}{\epsilon_{OX} W_N} - \frac{qN_D W_N}{2\epsilon_{OX}} \right) t_{OX}$

# シールド型U-MOSFET(1)



ブロッキング時

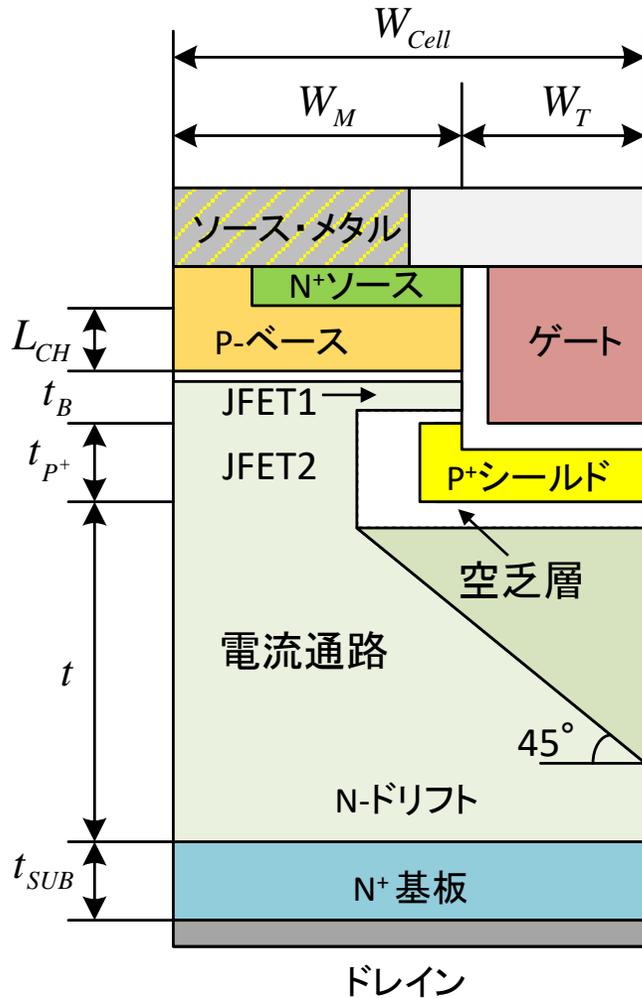
P+シールドの効果①

⇒ゲート酸化膜をドレイン電圧による高電界からシールド  
(P+シールド領域とドリフト領域接合面に高電界発生)

P+シールドの効果②

⇒高いドレイン電圧でJFETをピンチオフ  
⇒P-ベース領域をドレイン電圧による高電界からシールド  
⇒P-ベースとドリフト領域接合面は低電界のまま  
⇒P-ベースのリーチスルーを緩和  
⇒B領域のゲート酸化膜電界の低減

# シールド型U-MOSFET(2)



オン状態の特性抵抗

$$R_{ON,SP} = R_{CH,SP} + R_{JFET1,SP} + R_{JFET2,SP} + R_{D,SP} + R_{SUB,SP} \quad (\Omega \text{cm}^2)$$

チャネル領域の特性抵抗  $R_{CH,SP} = \frac{L_{CH} W_{Cell}}{\mu_{ni} C_{OX} (V_G - V_{TH})} \quad (\Omega \text{cm}^2)$

JFET1領域の特性抵抗  $R_{JFET1,SP} = \rho_{JFET} W_{Cell} \left( \frac{x_{P^+} + W_{J0}}{t_B - 2W_{J0}} \right) \quad (\Omega \text{cm}^2)$

JFET2領域の特性抵抗

$$R_{JFET2,SP} = \rho_{JFET} W_{Cell} \left( \frac{t_{P^+} + 2W_{J0}}{W_M - x_{P^+} - W_{J0}} \right) \quad (\Omega \text{cm}^2)$$

ドリフト領域の特性抵抗

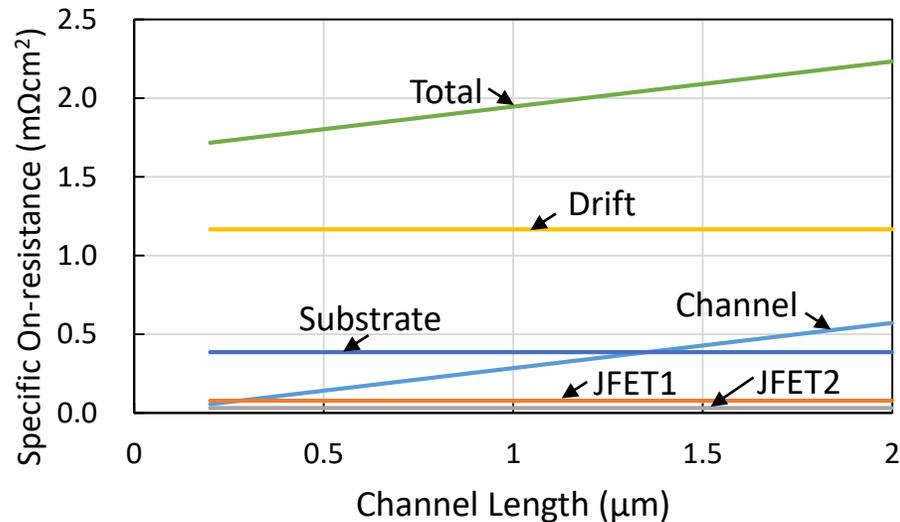
$$R_{D,SP} = \rho_D W_{Cell} \ln \left( \frac{W_{Cell}}{W_M - x_{P^+} - W_{J0}} \right) + \rho_D (t - W_T - x_{P^+} - W_{J0}) \quad (\Omega \text{cm}^2)$$

基板領域の特性抵抗

$$R_{SUB,SP} = \rho_{SUB} t_{SUB} \quad (\Omega \text{cm}^2)$$

$x_{P^+}$ : P+シールドの接合深さ       $W_{J0}$ : JFETへのゼロバイアス空乏層広がり

# シールド型U-MOSFET特性オン抵抗



4H-SiC特性オン抵抗のチャネル長依存性  
(シールド・トレンチ・ゲートMOSFET(4H-SiC))

$$BV_{DS} = 3000 \text{ V}$$

$$W_M = 1.25 (\mu\text{m}) \quad W_T = 0.4 (\mu\text{m})$$

$$t_{OX} = 50 (\text{nm})$$

$$t_B = 0.7 (\mu\text{m}) \quad t_{P^+} = 0.4 (\mu\text{m})$$

$$t = 18 (\mu\text{m}) \quad t_{SUB} = 200 (\mu\text{m})$$

$$\mu_{ni} = 80 (\text{cm}^2\text{V}^{-1}\text{s}^{-1})$$

$$N_D = 1 \times 10^{16} (\text{cm}^{-3}) \quad (\text{ドリフト領域不純物濃度})$$

$$N_A = 5 \times 10^{16} (\text{cm}^{-3}) \quad (\text{P-ベース領域不純物濃度})$$

$$N_{JFET} = 5 \times 10^{16} (\text{cm}^{-3}) \quad (\text{JFET領域不純物濃度})$$

$$N_{SUB} = 1 \times 10^{18} (\text{cm}^{-3}) \quad (\text{基板領域不純物濃度})$$

$$V_G = 10 \text{ V} \quad V_{TH} = 2.8 \text{ V}$$

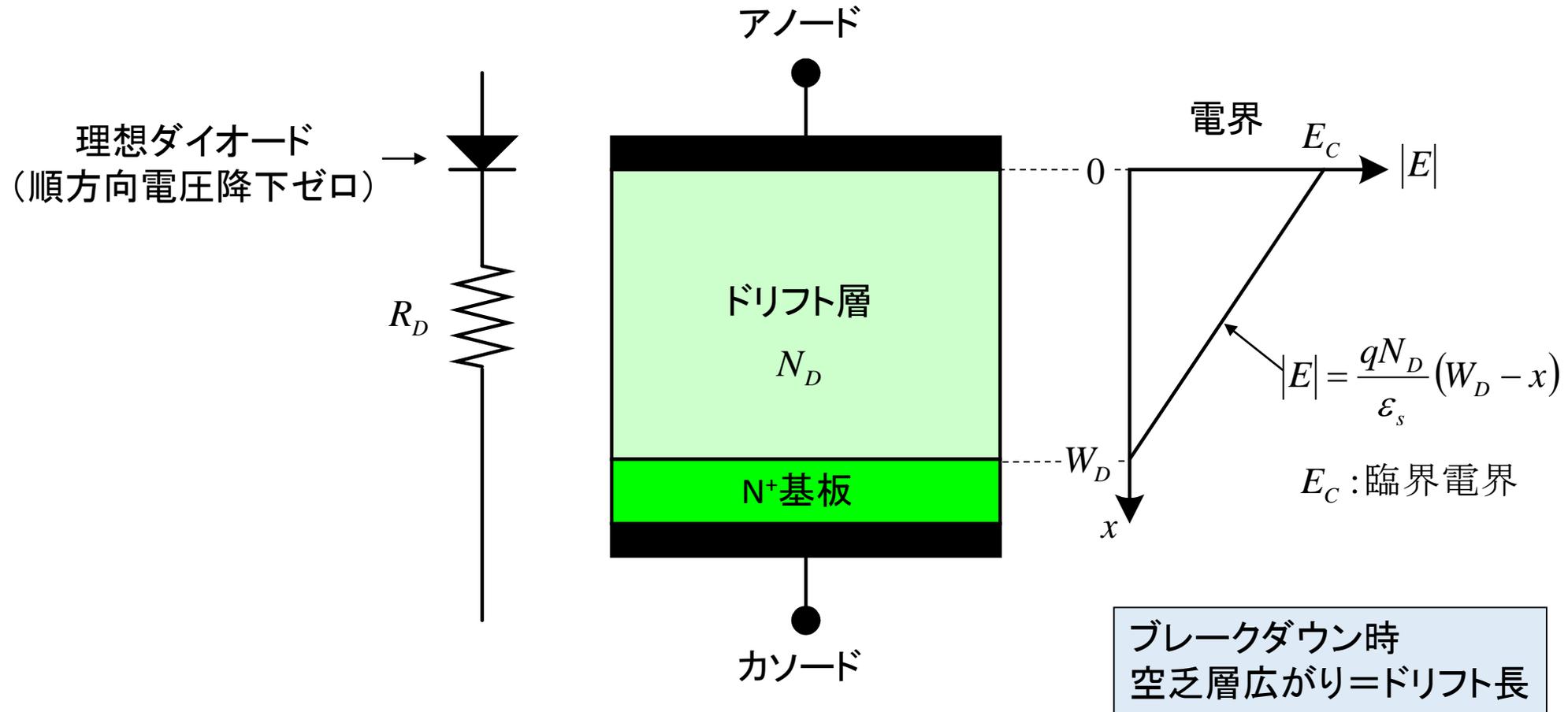
# 付録

- 電子・正孔対の発生とアバランシェ破壊条件
- 理想(従来型)ドリフト領域の特性抵抗と耐圧
- 電荷結合型ショットキー・ダイオードのドリフト領域の特性抵抗と耐圧
- ED(or LD)MOSのドリフト領域の特性抵抗と耐圧

ED(Extended Drain), LD(Laterally Diffused Drain)



# 理想（従来型）ドリフト領域と電界分布



# 理想ドリフト領域の特性抵抗と耐圧の関係

ドリフト領域最適電荷密度(臨界電界(縦方向)時の電束密度)

$$\left. \begin{aligned} Q_{opt} &= qN_D W_D = \epsilon_s E_C \\ E_C &= 3 \times 10^5 \text{ V/cm (at } N_D = 1 \times 10^{15} \text{ cm}^{-3}) \\ \epsilon_s &= 11.7 \times 8.854 \times 10^{-14} \text{ F/cm (Siの誘電率)} \end{aligned} \right\} \rightarrow N_D W_D \text{ (net dose)} \approx 2 \times 10^{12} \text{ cm}^{-2}$$

単位面積当たりのドリフト領域抵抗(理想特性抵抗)

$$R_{D,sp} = \rho_D W_D = \frac{W_D}{q\mu_N N_D} \Rightarrow R_{D,sp(ideal)} = \frac{W_D^2}{\mu_N Q_{opt}} \quad (\text{Si Limit})$$

$\rho_D$ : ドリフト層の抵抗率  
 $\mu_N$ : N型ドリフト層の移動度

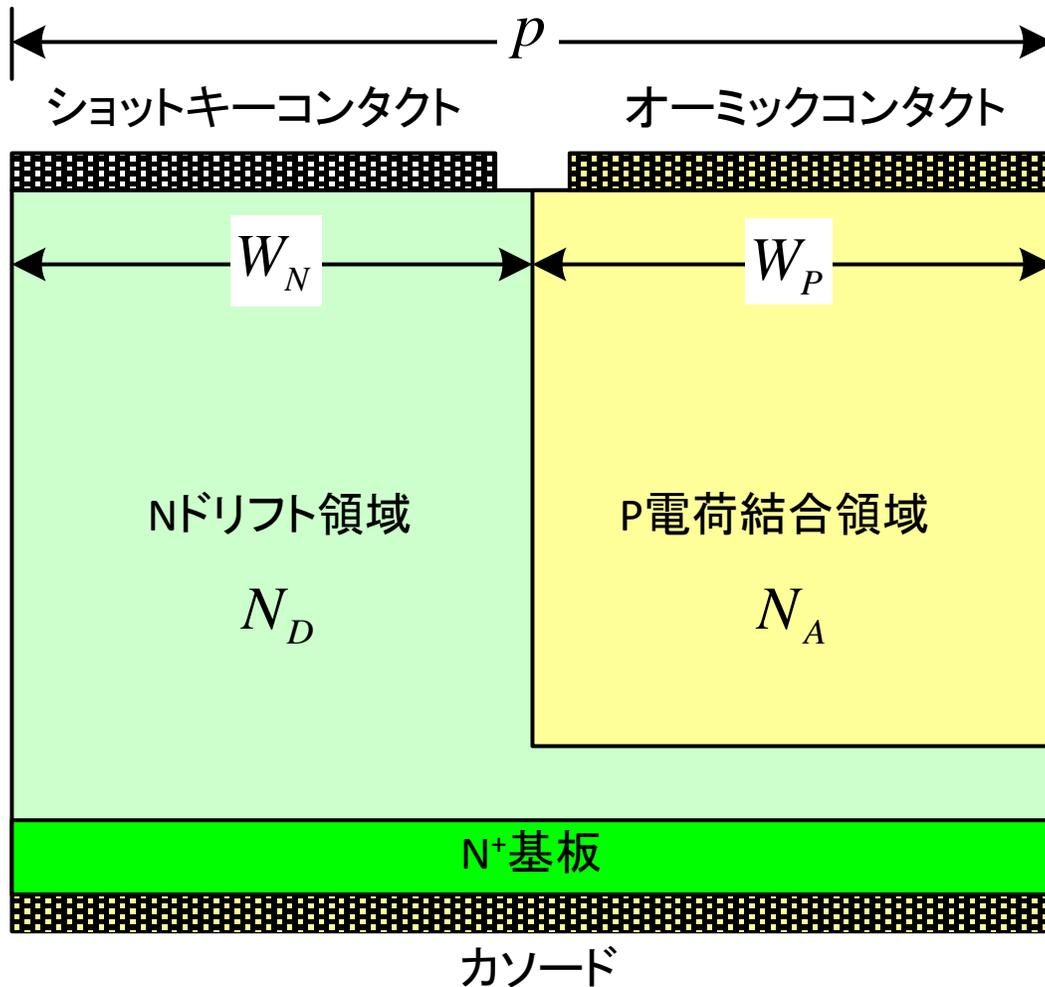
臨界電界(縦方向)と耐圧

$$BV = \frac{1}{2} E_C W_D \Rightarrow W_D = \frac{2BV}{E_C}$$

理想特性抵抗と耐圧との関係

$$R_{D,sp(ideal)} = \frac{4BV^2}{\epsilon_s \mu_N E_C^3} \quad \epsilon_s \mu_N E_C^3 : \text{Baliga's Figure of Merit for Power Devices}$$

# 電荷結合型ショットキー・ダイオード



電荷結合型  
ショットキー・ダイオード

↓

スーパー・ジャンクションの原理

トレンチ(縦)方向電界で  
ブレークダウン発生

$$N_D = N_A$$

$$W_N = W_P$$

# 電荷結合型ドリフト領域特性抵抗と耐圧

ドリフト領域最適電荷密度(臨界電界(横方向)時の電束密度)

$$Q_{opt} = qN_D W_N = \varepsilon_s E_C$$

単位面積当たりのドリフト領域抵抗(特性抵抗)

$$R_{D,sp} = \rho_D \left( \frac{t}{W_N Z} \right) pZ = \frac{tp}{q\mu_N N_D W_N} = \frac{tp}{\mu_N Q_{opt}} \quad Z: \text{断面に垂直方向のデバイス幅}$$

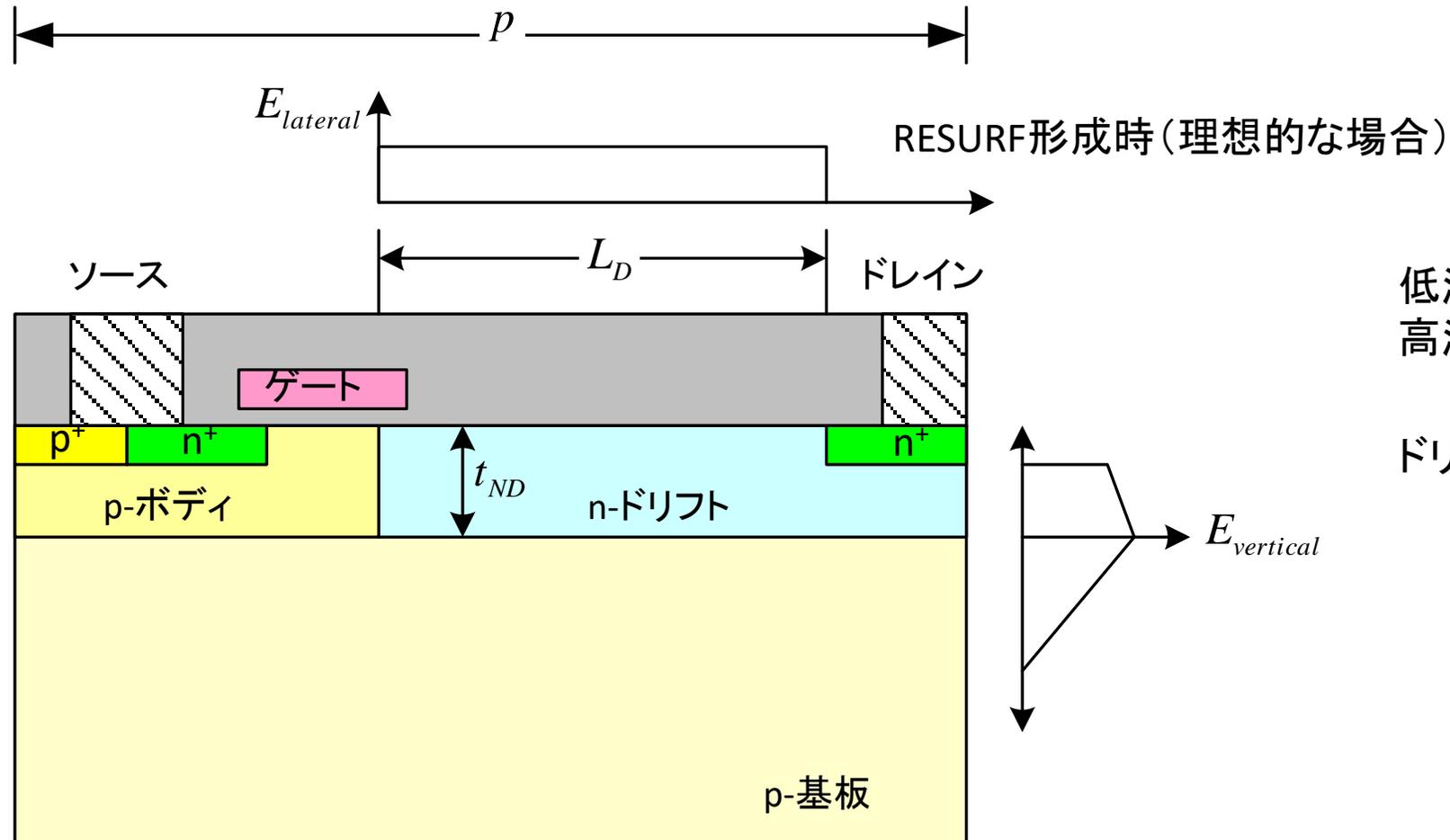
臨界電界(トレンチ方向)と耐圧

$$BV = tE_C \quad \Rightarrow \quad t = \frac{BV}{E_C}$$

特性抵抗と耐圧との関係

$$R_{D,sp} = \frac{BV \cdot p}{\mu_N \varepsilon_s E_C^2} \quad \text{cf. } R_{D,sp(ideal)} = \frac{4BV^2}{\varepsilon_s \mu_N E_C^3} \quad \text{理想(従来型)ドリフト層}$$

# ED (or LD) MOS



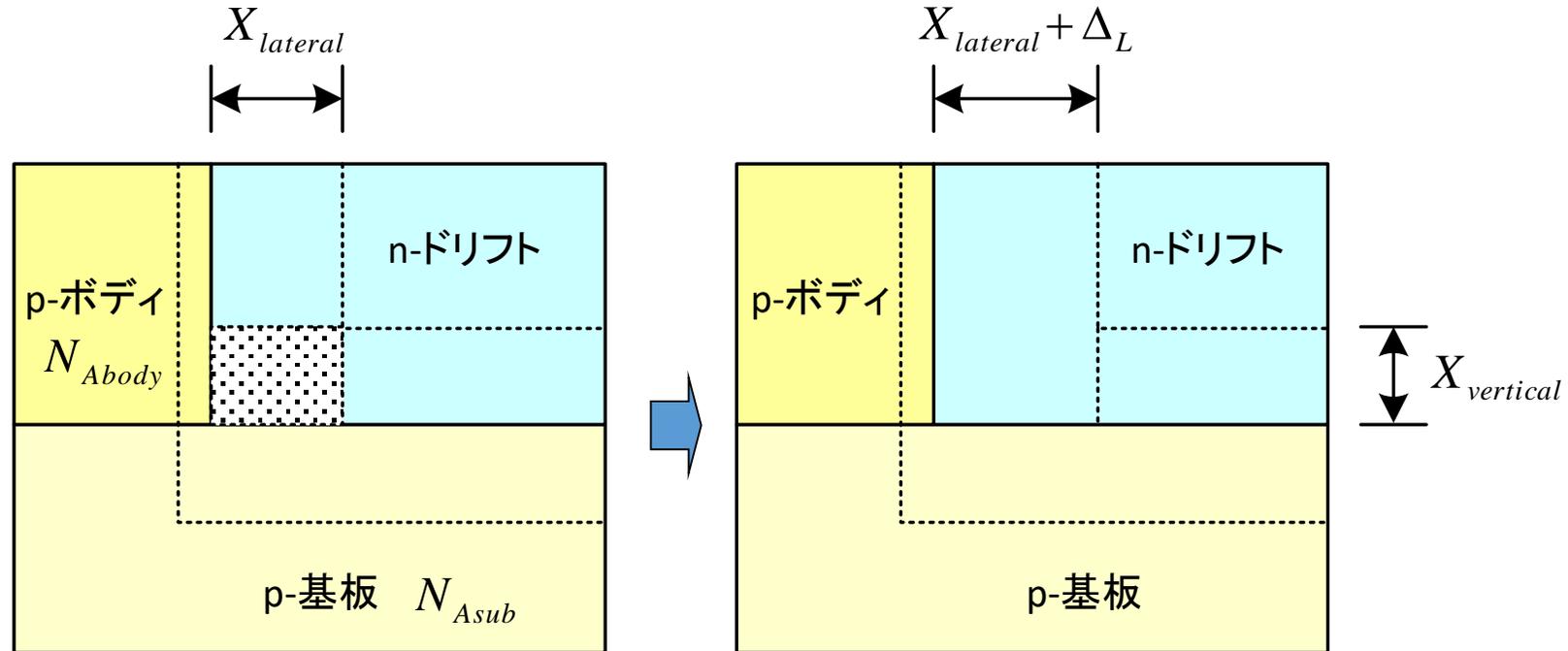
低濃度: n-ドリフト, p-基板  
高濃度: p-ボディ



ドリフト領域の電界緩和

# ED(or LD)MOSドリフト領域RESURF

RESURF(Reduced Surface Field)



縦と横方向電界の相互作用

→横方向空乏層拡張

→横方向(表面)電界緩和→横方向耐圧増加

$$N_{Abody} > N_{Asub}$$

# ED(orLD)MOSドリフト領域特性抵抗と耐圧

ドリフト領域最適電荷密度(臨界電界(縦方向)時の電束密度)

$$Q_{opt} = qN_D t_{ND} = \epsilon_s E_C$$

単位面積当たりのドリフト領域抵抗(特性抵抗)

$$R_{D,sp} = \rho_D \left( \frac{L_D}{t_{ND} Z} \right) pZ = \frac{L_D p}{q\mu_N N_D t_{ND}} = \frac{L_D p}{\mu_N Q_{opt}}$$

$t_{ND}$ : ドリフト層の厚み  
 $Z$ : 断面に垂直方向のデバイス幅

臨界電界(横方向)と耐圧(RESURF形成時)

$$BV = L_D E_C \quad \Rightarrow \quad L_D = \frac{BV}{E_C}$$

特性抵抗と耐圧との関係

$$R_{D,sp} = \frac{BV \cdot p}{\epsilon_s \mu_N E_C^2} \quad \Rightarrow \quad \text{電荷結合型ショットキー・ダイオードと同じ形}$$