



# 剩余系(孫子算経)を用いた 時間デジタル変換回路

群馬大学大学院 理工学府 電子情報部門

小林春夫

[koba@gunma-u.ac.jp](mailto:koba@gunma-u.ac.jp)

<http://www.el.gunma-u.ac.jp/~kobaweb/>

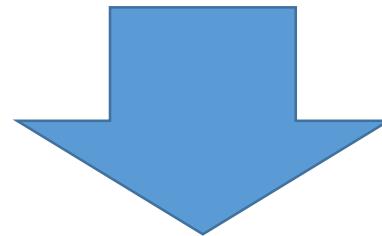


# 中国の剩余定理

- 中国の算術書『孫子算経』

「3で割ると2余り、5で割ると3余り、  
7で割ると2余る数は何か」

一般化



中国の剩余定理

答え 23

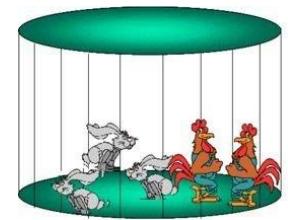


孫子算經

# 孫子算経

- 「3で割ると2余り、5で割ると3余り、  
7で割ると2余る数は何か」 答え 23  
→ 一般化したのが「中国人の剩余定理」。

- 鷄兔同籠(けいとどうりゆう)  
「キジとウサギが同じ籠(かご)。頭が35個  
足は94本。キジ、ウサギはそれぞれいくらか。」



- 日本に入ってきて「鶴亀算」となる
- が、孫子算経と孫子兵法とは  
直接は関係ないようである。

# 二人の孫子

「孫武」

戦わずして勝つ



「孫臏 (そんびん)」

馬を三組ずつ出して勝負する競馬。

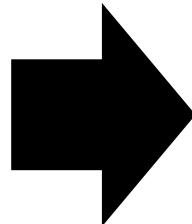
相手の上等の馬が出る競走に自分の下等の馬、  
中等の馬が出る競走に上等の馬、  
下等の馬が出る競走に中等の馬を出させる。



孫臏 (戦国初期) 明人絵

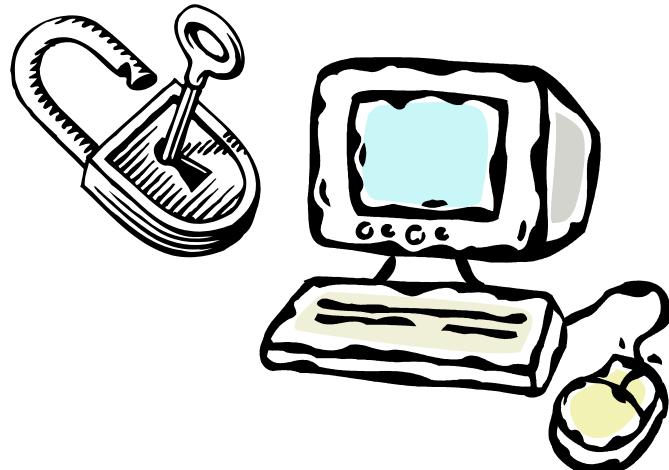
# 中国の剰余定理のアナログ回路への応用

- ✓ 江戸時代、「百五減算」として伝来
- ✓ 現在、情報セキュリティの暗号化に応用



古典数学によるイノベーション

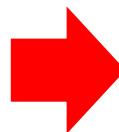
集積回路に応用



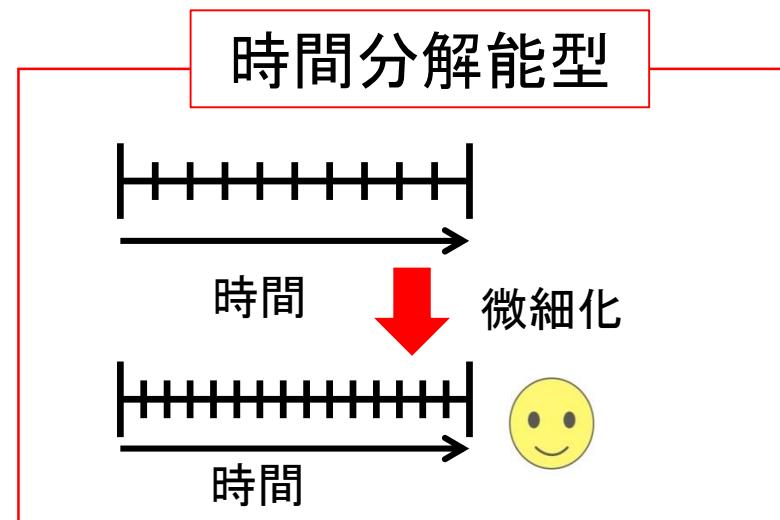
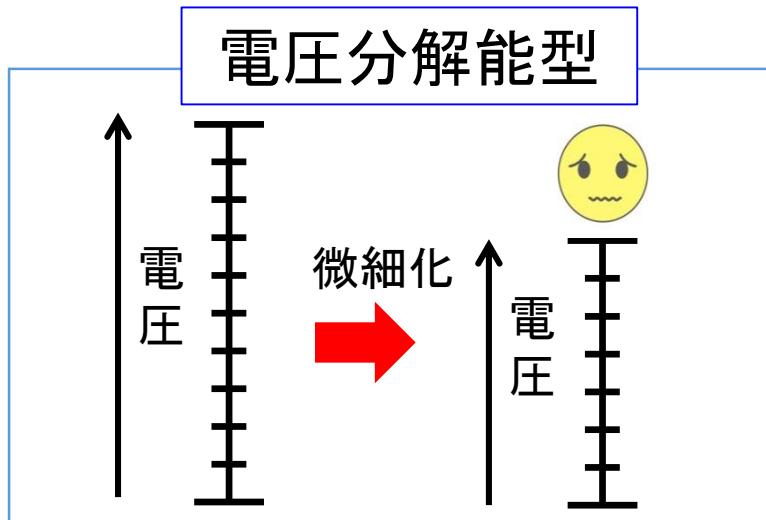
関孝和

# 研究背景

微細化CMOS LSI



電源電圧の低下  
動作スイッチングスピードの向上

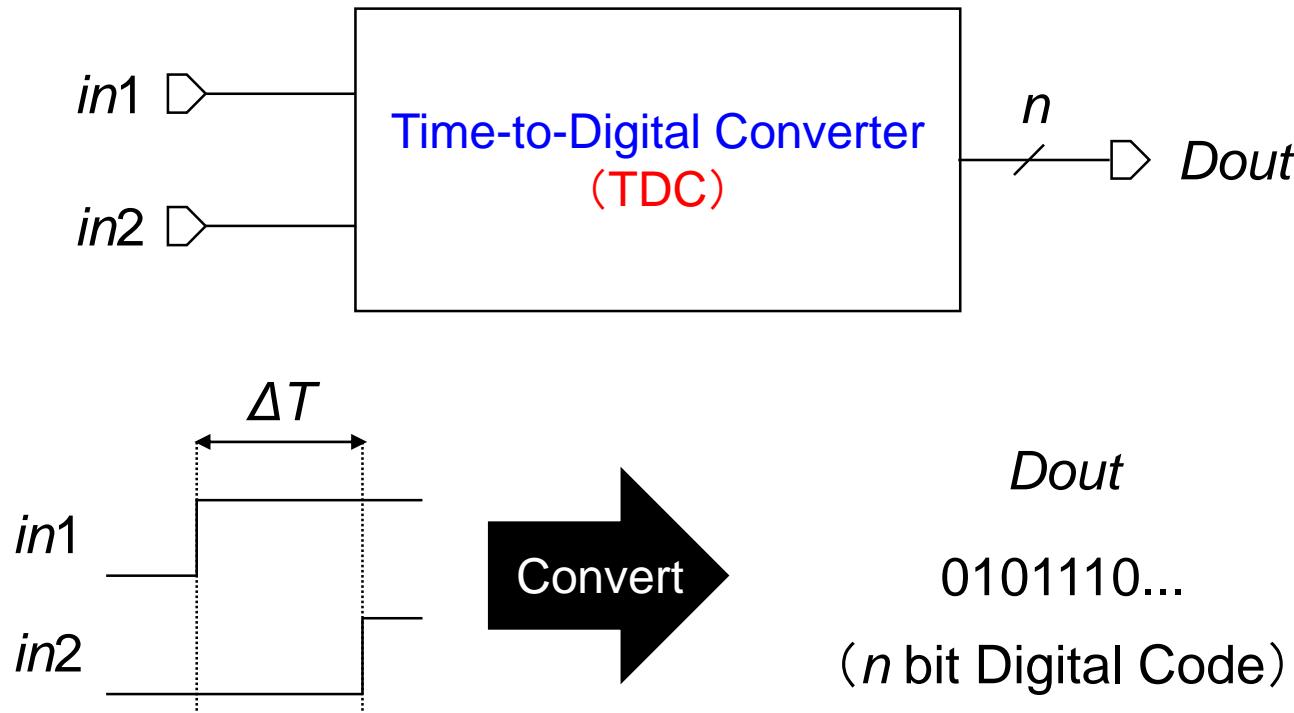


TDC(Time-to-Digital Converter)は2つのデジタル信号の時間差をデジタル値に変換



微細化CMOS LSIにおいて、TDCは時間領域アナログ回路の力ギとなる  
(センサ回路, All-Digital PLL, ADC, 変調回路等)

# タイムデジタイザ回路

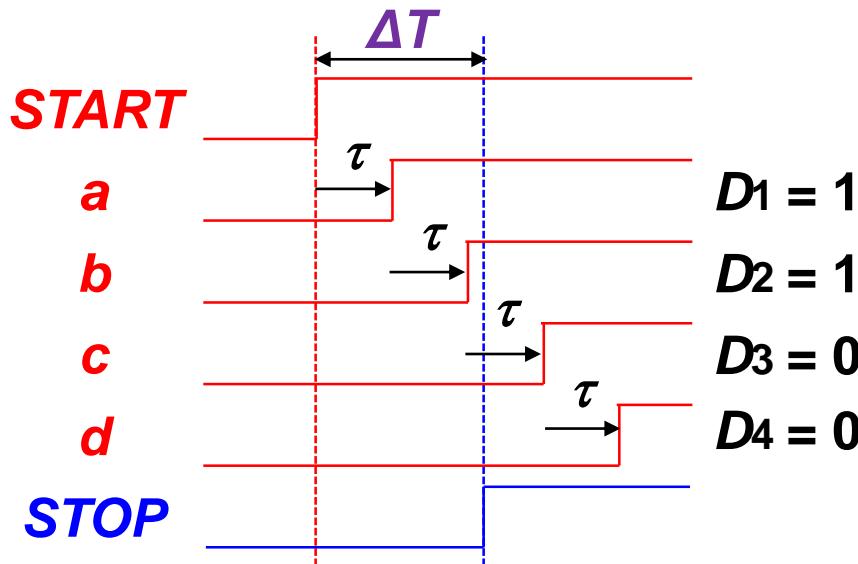
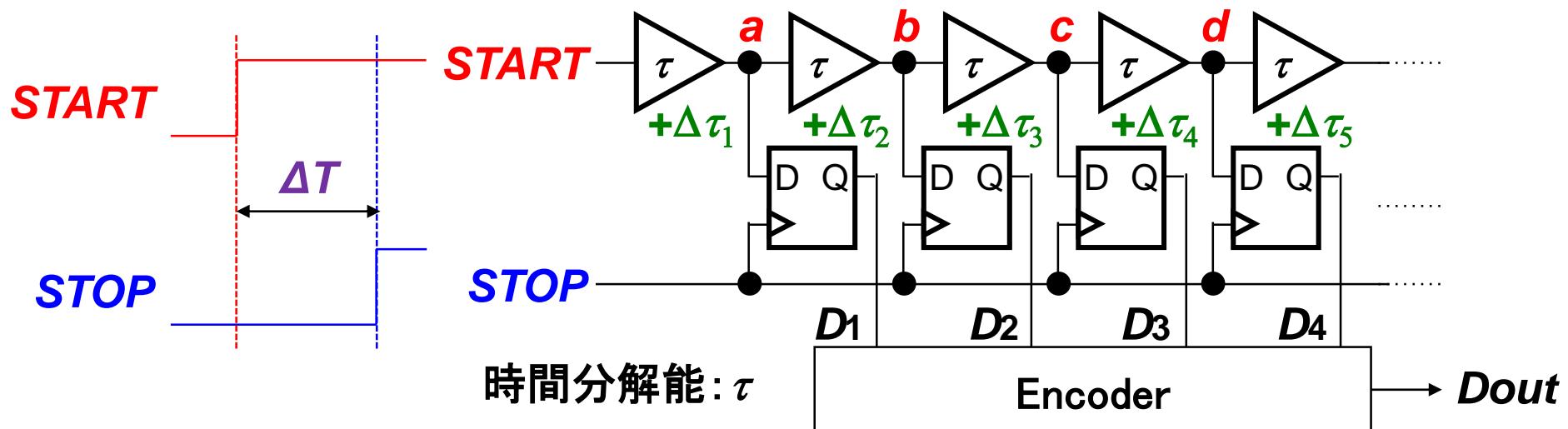


2つのデジタル信号間の時間差  $\Delta T$  をデジタル値に変換



出力のデジタル値より  $\Delta T$  を測定可能

# フラッシュ型 TDCの構成と動作



- $ΔT$  の大きさに比例したデジタル値 **Dout** を出力
- 時間分解能  $τ$

高エネルギー加速器研究機構  
素粒子原子核研究所  
新井康夫氏による発明

# フラッシュ型TDCの回路規模の問題

START とSTOP の立ち上がりエッジ間の時間差

測定範囲  $0 < \Delta T < N_T$

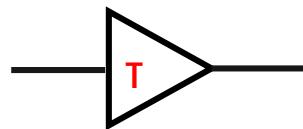
$\Delta T$

時間分解能  $T$

$N = 1001$  (千一)のとき

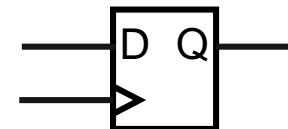
フラッシュ型TDC では大きな回路規模、大きな消費電力

遅延セル



1001個

フリップフロップ



1001 個

提案する剰余系TDC

$$1001 = 7 \times 11 \times 13$$

同じ測定範囲、時間分解能で  $7+11+13=31$  個の  
遅延セル、フリップフロップで実現できる

千一個から三十一個へ !!

# 研究の目的

## 時間測定回路TDC

- LSIテストシステムのキー・コンポーネント
- 時間信号であることを利用
  - “**剩餘**”が容易に得られる
- 剩餘系を利用
  - フラッシュ型TDCに比べ、同等性能、小回路規模・低消費電力TDCが実現できる可能性あり



剩餘系TDC回路を検討

# 剰余系の例

基數 2, 3, 5 互いに素

$$N = 2 \times 3 \times 5 = 30$$

0からN-1(=29)までの整数の一つを k

a: kを2で割った余り       $a = \text{mod}_2(k)$

b: kを3で割った余り       $b = \text{mod}_3(k)$

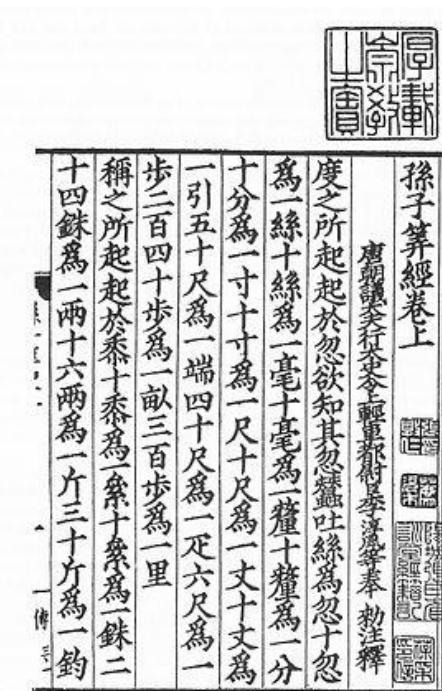
c: kを5で割った余り       $c = \text{mod}_5(k)$

kと(a, b, c)の組は1対1に対応する。

kを(a, b, c)で表現       剰余表現

中国人の剰余定理 (Chinese Remainder Theorem)

(a, b, c)からkを求めるアルゴリズム



# 剩余定理の例

基數 2, 3, 5 互いに素

$$N = 2 \times 3 \times 5 = 30$$

0からN-1(=29)までの整数の一つを  $k$

a:  $k$ を2で割った余り  $a = \text{mod}_2(k)$

b:  $k$ を3で割った余り  $b = \text{mod}_3(k)$

c:  $k$ を5で割った余り  $c = \text{mod}_5(k)$

$k$ と(a, b, c)の組は1対1に対応する。

$k$ を(a, b, c)で表現 → 剰余表現

自然数  $k$  と 剰余表現  $(m_1, m_2, m_3)$  は 1 対 1 対応

$m_1$	$m_2$	$m_3$	$k$
0	0	0	0
1	1	1	1
0	2	2	2
1	0	3	3
0	1	4	4
1	2	0	5
0	0	1	6
1	1	2	7
0	2	3	8
1	0	4	9
0	1	0	10
1	2	1	11
0	0	2	12
1	1	3	13
0	2	4	14

$m_1$	$m_2$	$m_3$	$k$
1	0	0	15
0	1	1	16
1	2	2	17
0	0	3	18
1	1	4	19
0	2	0	20
1	0	1	21
0	1	2	22
1	2	3	23
0	0	4	24
1	1	0	25
0	2	1	26
1	0	2	27
0	1	3	28
1	2	4	29

剩余定理 (Chinese Remainder Theorem)

(a, b, c) から  $k$  を求めるアルゴリズム

剩余定理は、

この問題を他の整数についても適用できるように一般化したもの。

# 剩余DCの原理

TDC 回路は信号が時間であることを利用すると“剩余”が容易に得られる。

三つのリング発振回路(遅延 $m_1T$ ,  $m_2T$ ,  $m_3T$ )を利用し、発振状態から経過時間Tの測定を行うことが可能で。剩余定理に基づいて、(a, b, c)からkを求め、経過時間 $T = k \times T$ を得る。

例えば、三つのリング発振回路(遅延 $2T$ ,  $3T$ ,  $5T$ )を利用し、発振している状態から経過時間Tの測定を行う。

Tを $2T$ で割った余りはa

Tを $3T$ で割った余りはb

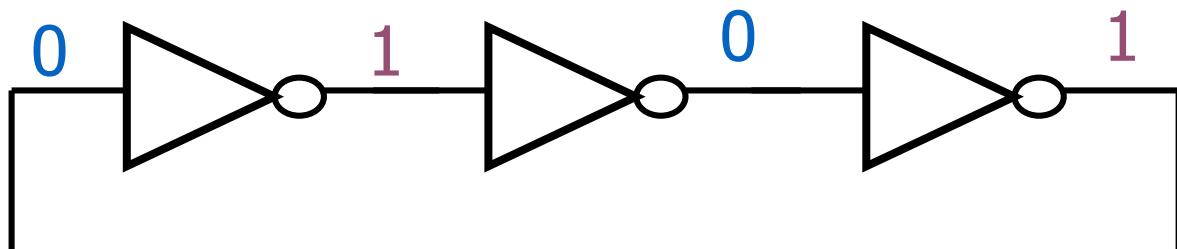
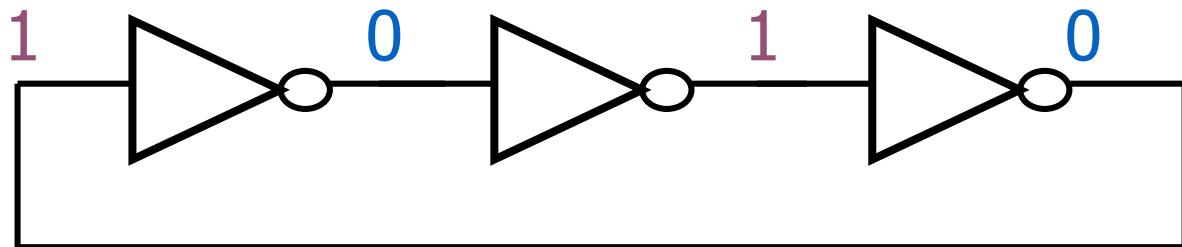
Tを $5T$ で割った余りはc

⇒ 剩余定理で  $T = k^*T$

# リング発振器 (Ring Oscillator)

奇数個インバータのリング接続

安定状態  
なし



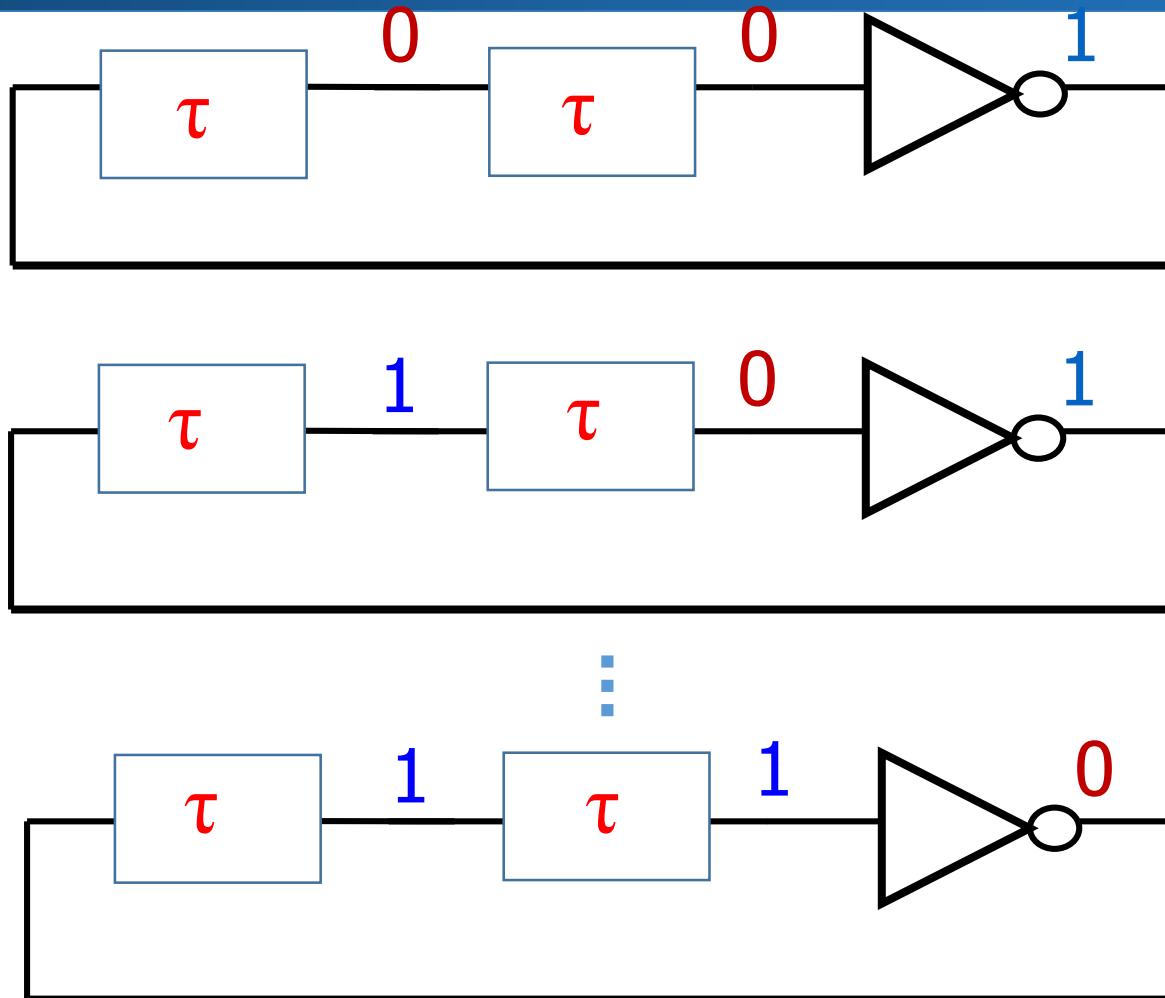
T: インバータ遅延、 $2N+1$  個のインバタリング接続

周波数  $f = \frac{1}{2(2N+1)T}$  で発振。



メビウスの帯

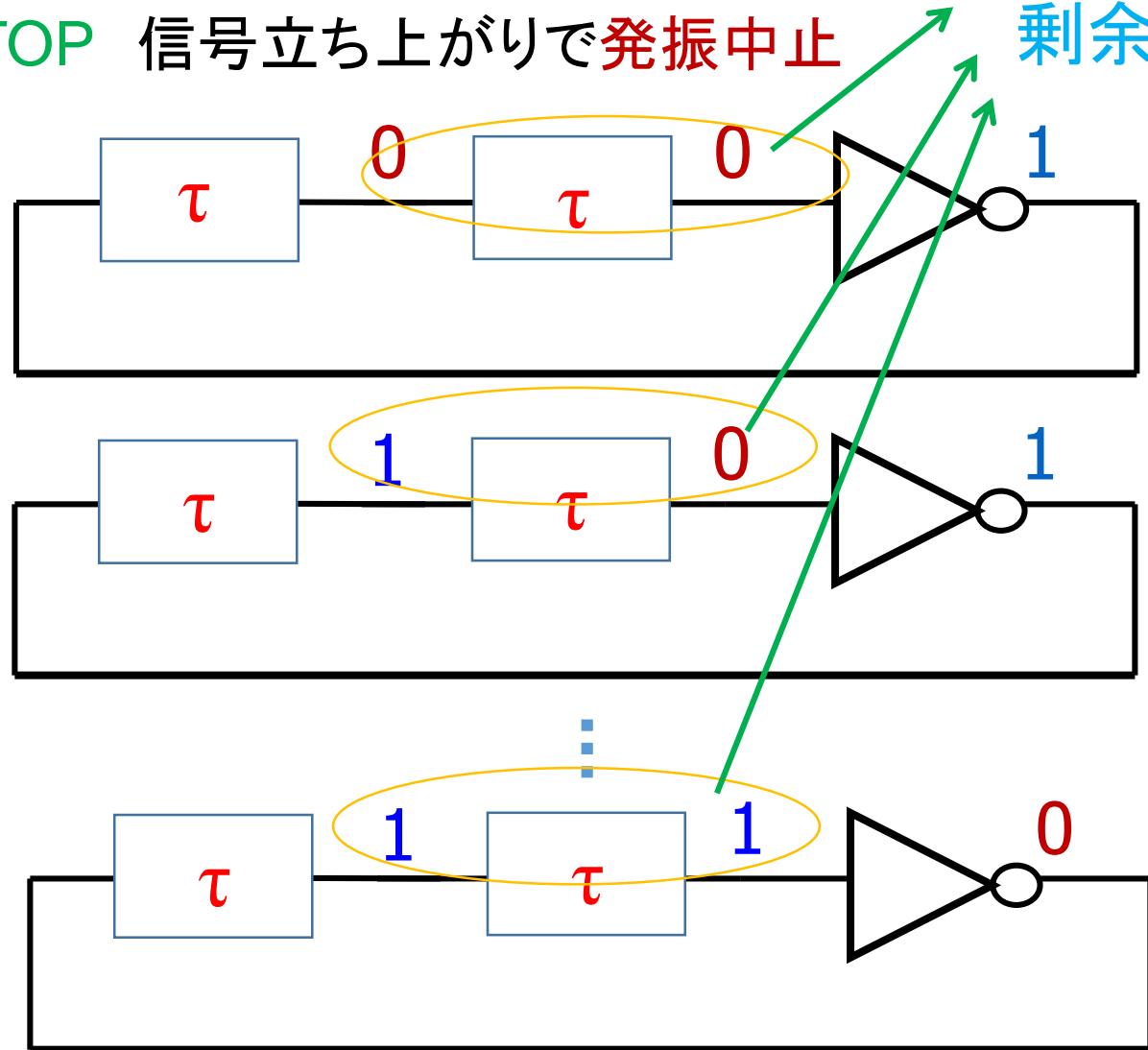
# リング発振回路で剩余が容易に得られる



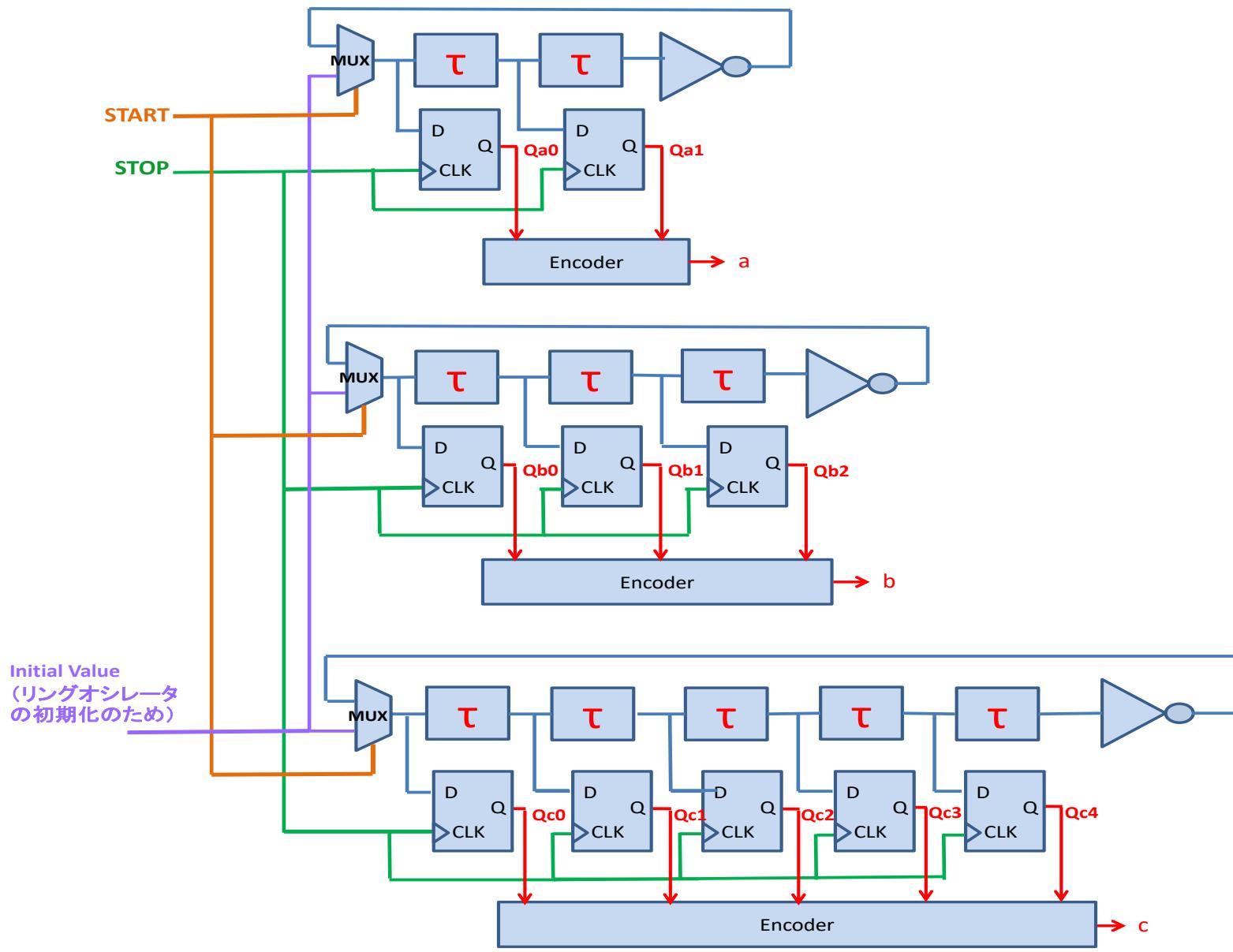
**考察** TDCでは取り扱う入力信号が**時間信号**なので  
リング発振回路構成により剩余が容易に得られる。  
電圧信号を入力とするADCでは剩余を得るのは簡単ではない。

# リング発振回路で剩余を得る

- START 信号立ち上がりで**発振開始**
- STOP 信号立ち上がりで**発振中止**



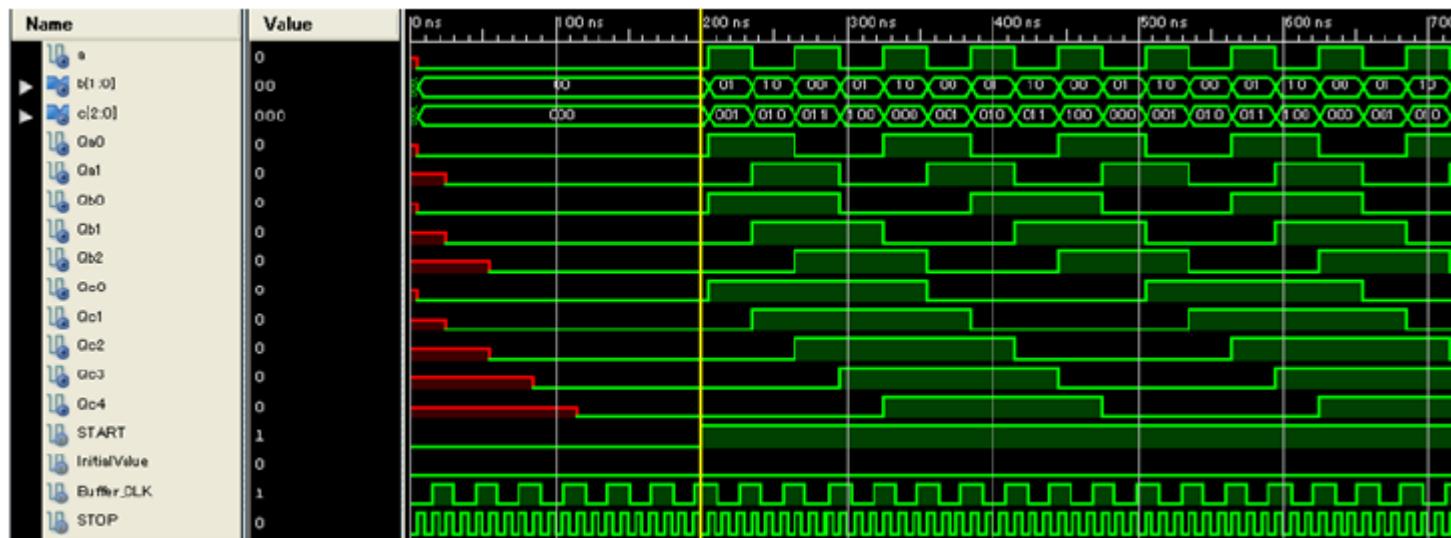
# 提案する剩余系TDCの回路図



# RTL(Register Transfer Level) 検証

回路機能をHDL (Hardware Description Language)で記述し、ISim を使用し、下記条件でシミュレーションを行った：

- ・STOP クロック周波数=100MHz
- ・バッファ遅延 $T=30.30\text{ns}$
- ・START 信号がL からH に変化=200ns

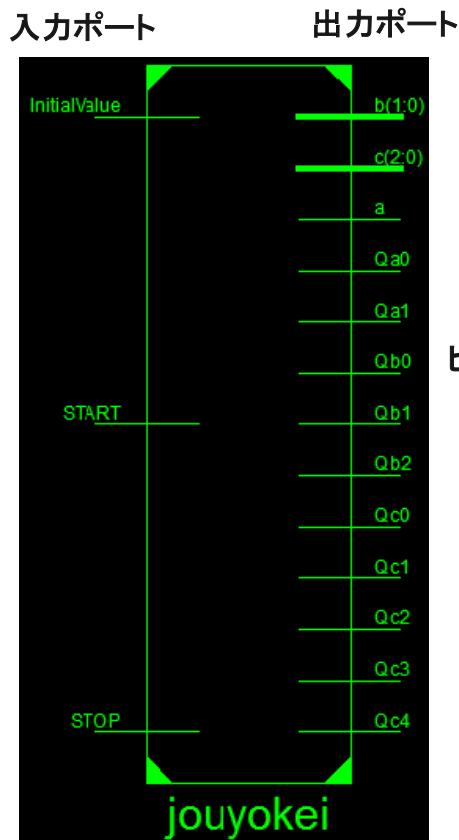


タイミングチャート

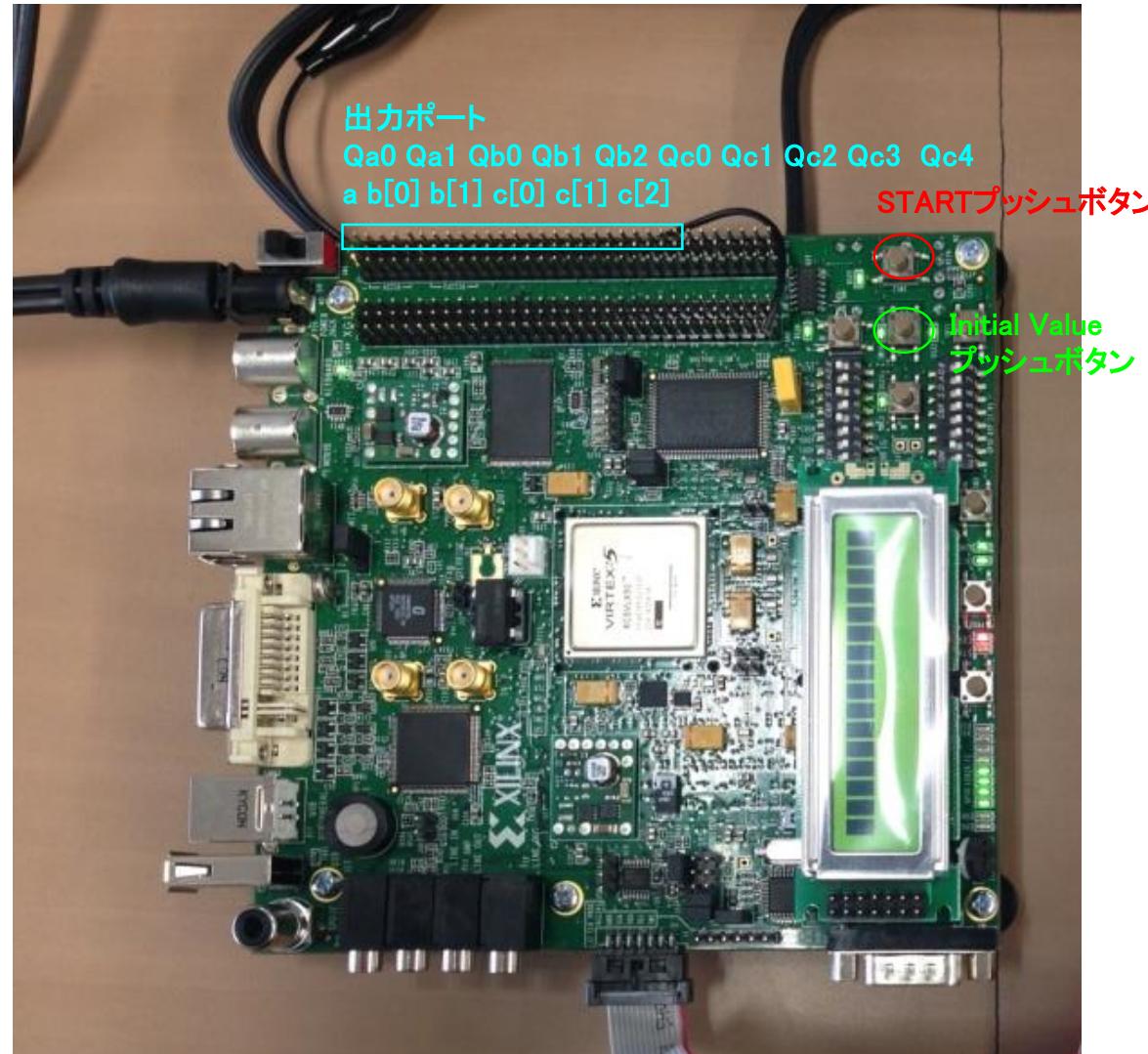
# FPGA実装

STOPポートの入力: 100MHz FPGA クロック

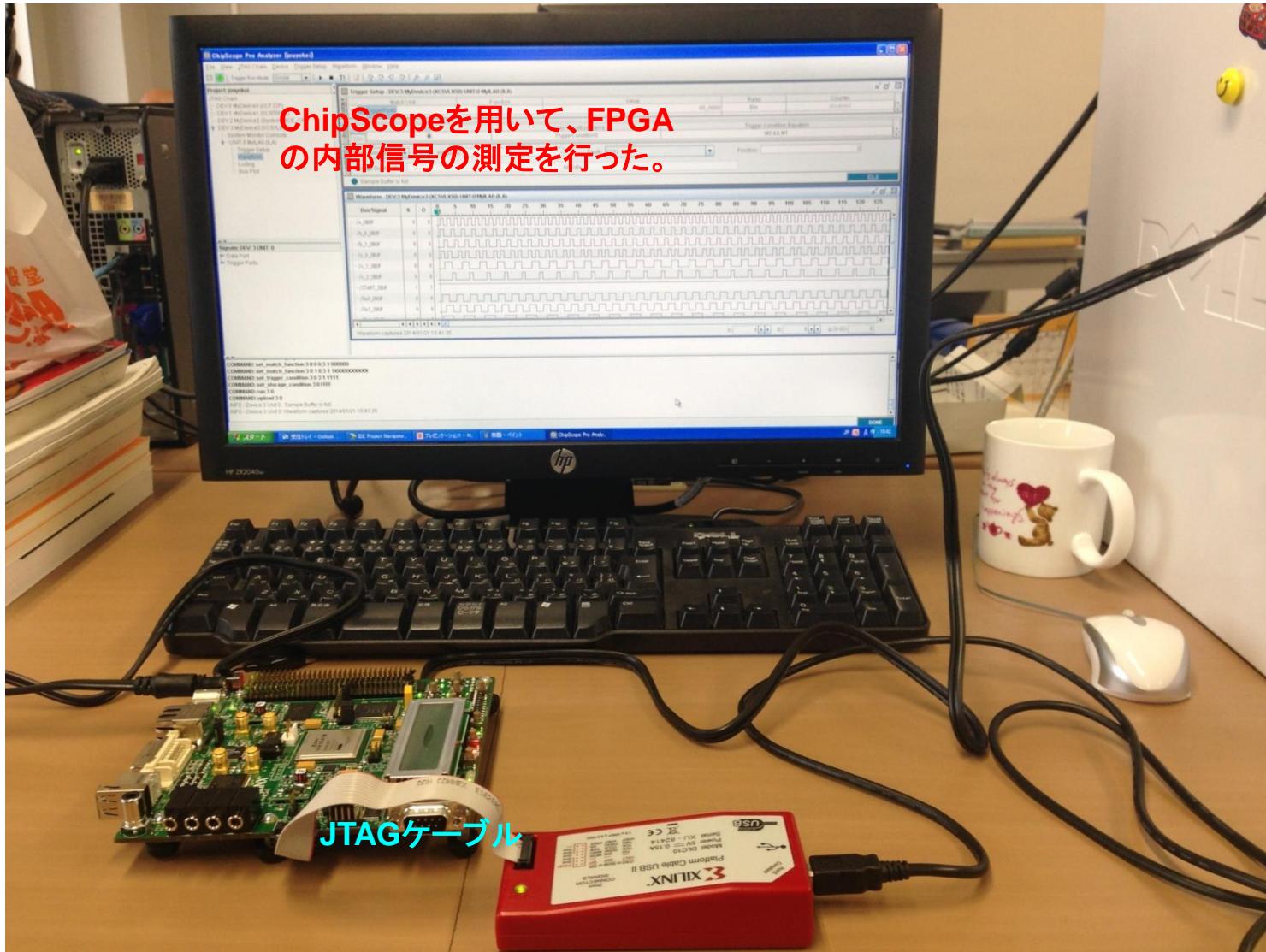
Buffer\_CLKポートの入力: 33MHz FPGA クロック(バッファの  
遅延  $\tau = 30.30\text{ns}$ )



PIN配置制約  
→

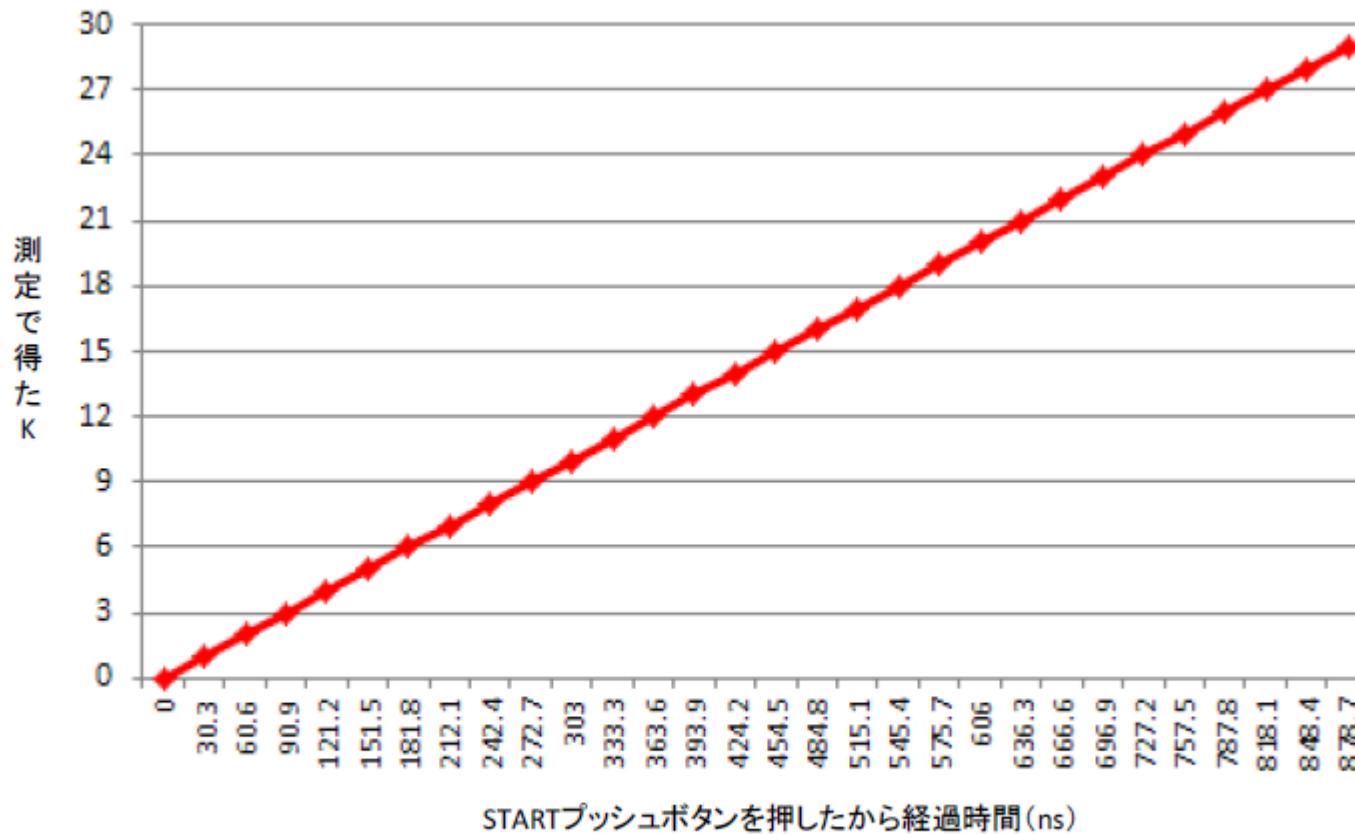


# FPGA(Field Programmable Array) 実装



# FPGA実装 剰余系TDCの評価

剰余系TDC回路はFPGAで実現できることが示された。



経過時間 VS. 測定で得た  $k$



# グレイコードを用いた 時間デジタル変換回路

群馬大学大学院 理工学府 電子情報部門

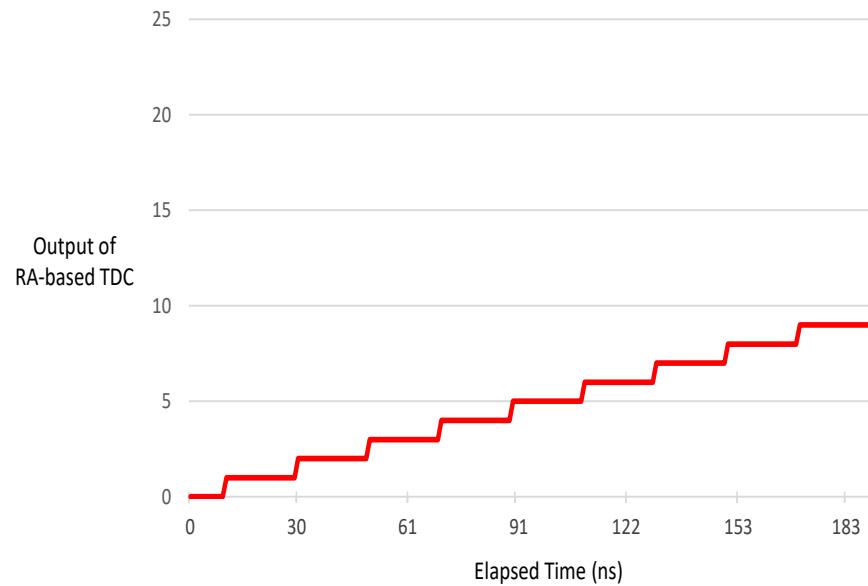
小林春夫

[koba@gunma-u.ac.jp](mailto:koba@gunma-u.ac.jp)

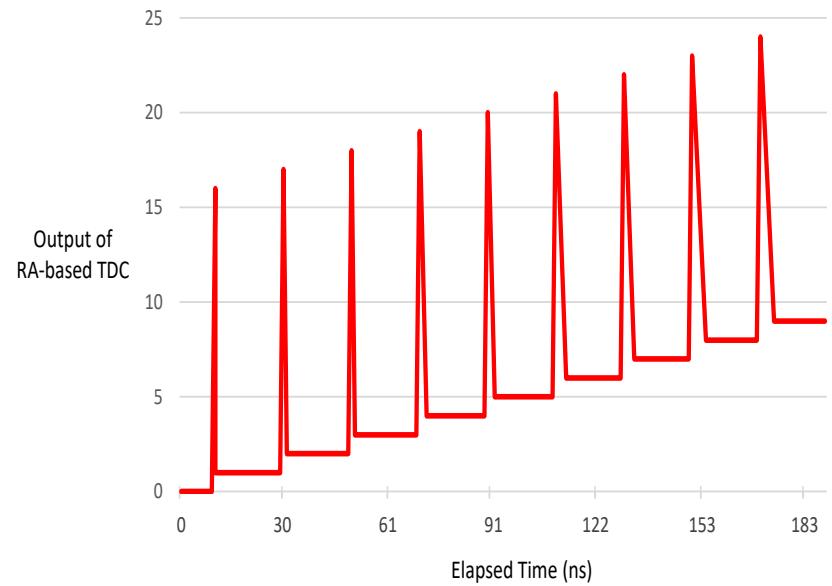
<http://www.el.gunma-u.ac.jp/~kobaweb/>



# 剩余系TDCと回路非理想特性の影響



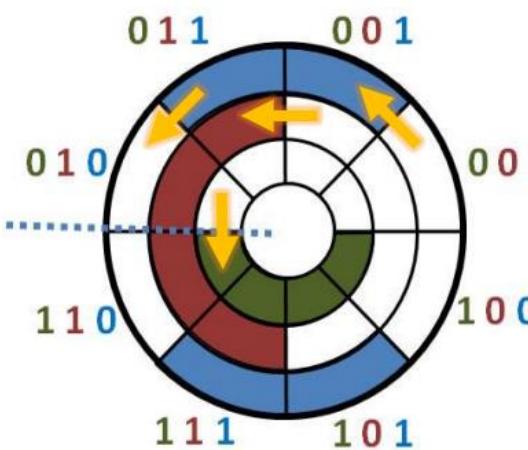
No mismatches among the delay stages



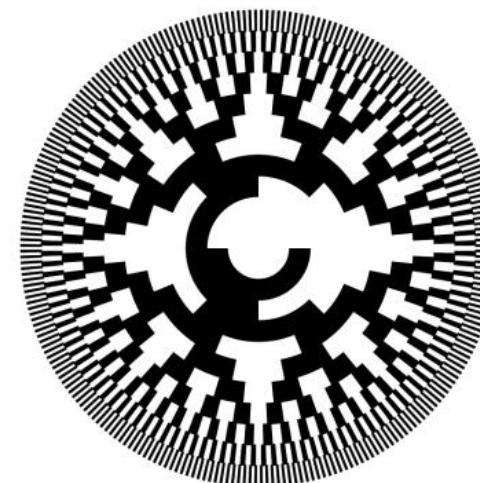
Mismatches exist among the delay stages  
(large glitches are observed)

Simulation results with Residue Arithmetic-based TDC without and with mismatches among delay cells in ring oscillators.

# グレイコード (Gray code)



$Q_2 Q_1 Q_0$
000
001
011
010
110
111
101
100



FRANK GRAY and A. L. Johnsrud in television booth. Behind the glass panels at sides and top are the photo-electric cells.

グレイコード: 前後に隣接する符号間のハミング距離が必ず1

ベル研究所のフランク・グレイが1947年の特許出願書で最初に使用した。

## ● Gray code の応用

従来例:

AD変換器、ロータリーエンコーダー

群馬大 小林研究室からの提案 (グリッチ低減のため):

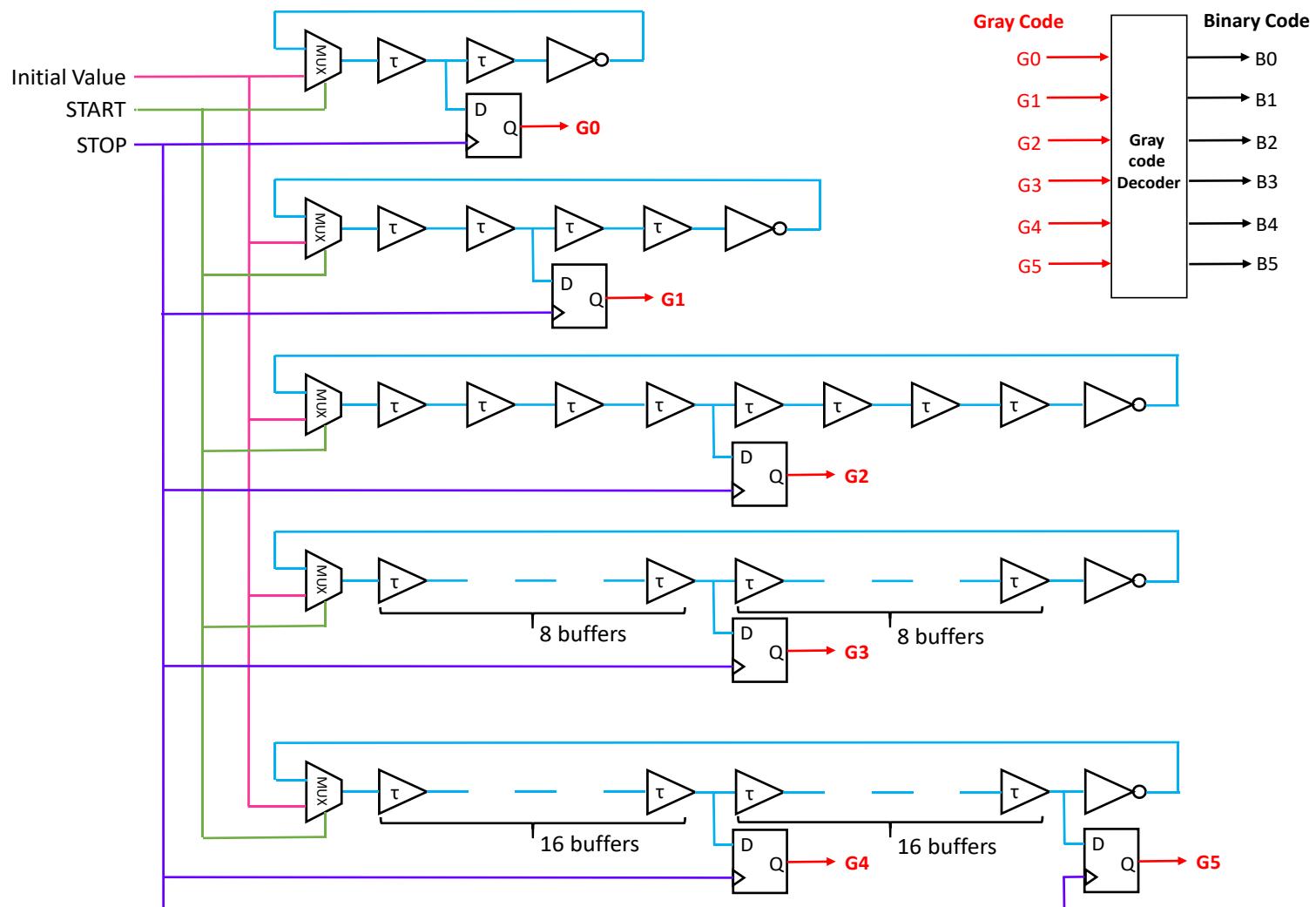
時間デジタイザ回路(TDC)

DA変換器

# Binary Code & Gray Code

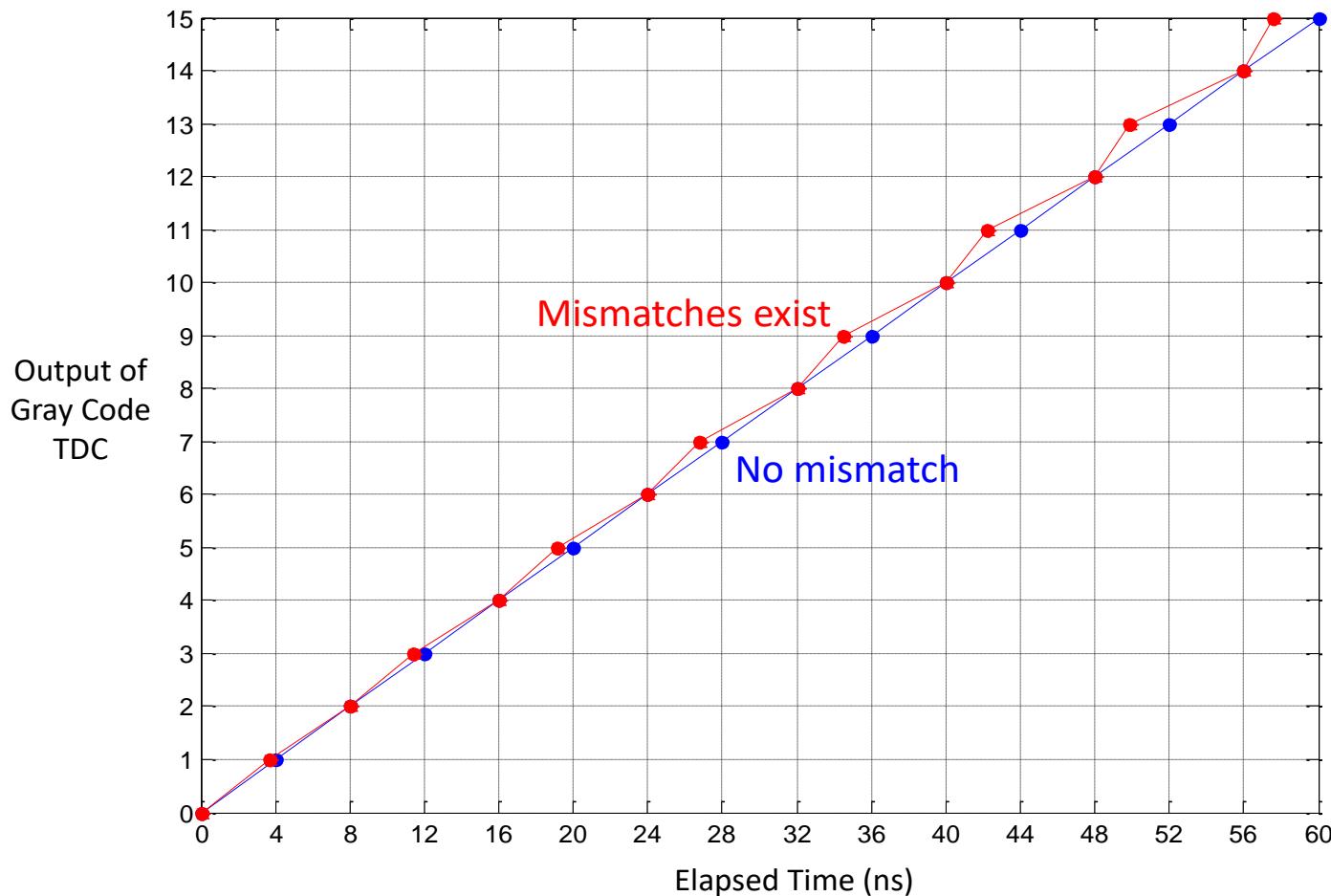
Decimal numbers	Binary Code	Gray Code
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

# Gray code TDC



# Gray code TDC と回路非理想特性の影響

27



RTL simulation results for 4-bit Gray code based TDC  
without and with one delay mismatch.

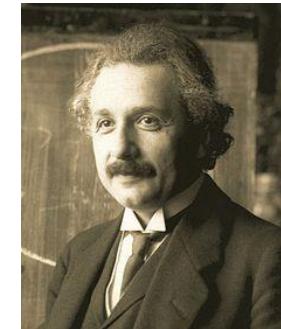
# 「時間」はミステリアス

往古來今、之を**宙**と謂い  
四方上下、之を**宇**と謂う。  
**淮南子**

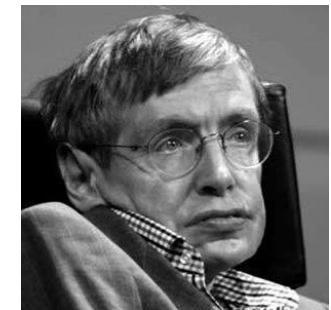
時間  
空間



時空は一体  
時間は相対的である。  
**アインシュタイン**



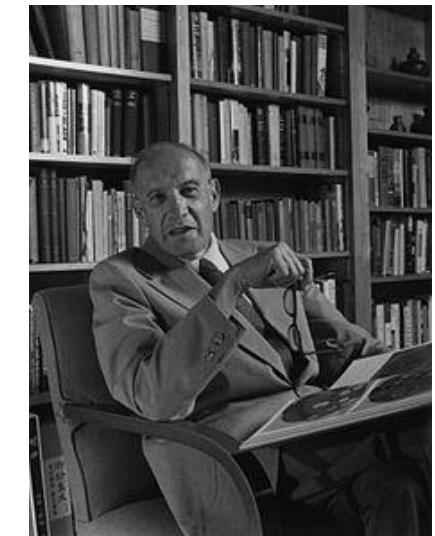
虚数時間  
**ホーキング博士**



# 時間は最も貴重な資源

「成果を上げる者は、  
仕事からスタートしない。  
時間からスタートする。

計画からもスタートしない。  
まず、何に時間がとられているかを  
知ることからスタートする。



次に、時間を奪おうとする非生産的な要求を退ける。  
そして、得られた自由な時間を大きくまとめる」

マネージメント学 ピーター・ドラッカー

# レポート課題

この講義の内容に関係したことを調べ  
その内容について A4レポート用紙2枚程度に  
まとめよ。  
できるだけ手書きでなくコンピュータを用いよ。

提出： 2018年1月9日(火)17時まで  
GA棟 教養教育① 窓口