

LSIテスト技術の応用及び技術動向

- LSIテスト技術の応用(故障モデルの拡張)
- 技術動向(VTS(VLSI Test Symposium)2017報告)

畠山 一実

アウトライン

◆はじめに

◇LSIテスト技術の基礎(復習)

—論理回路のテスト

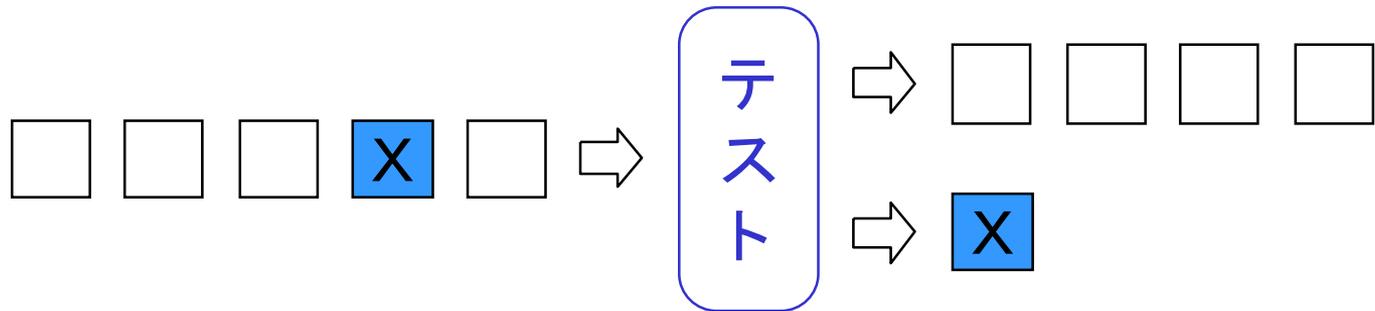
◇LSIテスト技術の応用

—故障モデルの拡張

◇VTS2017報告

LSIのテストとは

LSIのテストとは製造されたチップに
含まれる不良品を選別する作業



X:不良品

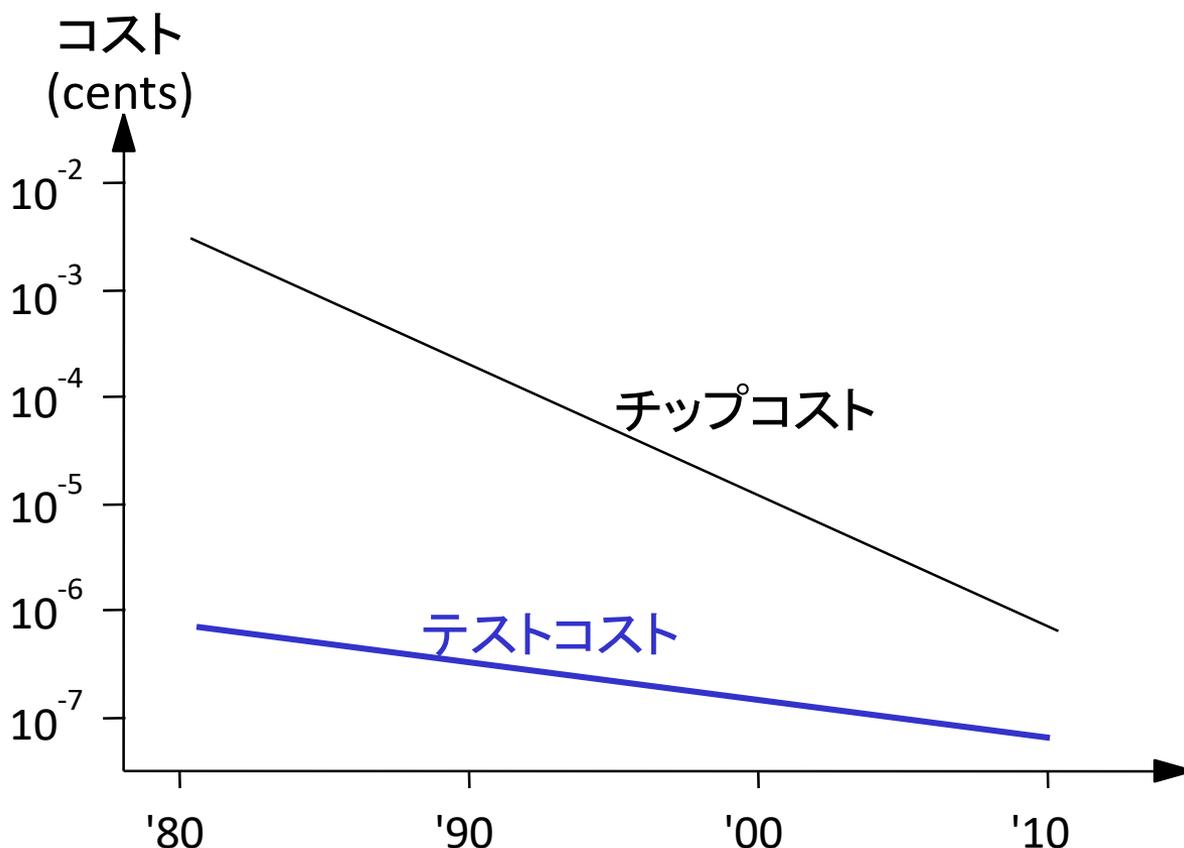
LSIテストの課題

LSIの高集積化に伴って以下の課題が重大化

- ・テストコスト
- ・テスト品質

テスト・クライシス

LSIの大規模・高集積化とともにテストコストが爆発



トランジスタ当たりのチップコストとテストコスト

テストコストとその要因

全体テストコストには様々な要因が係わり
何が重要かは場合によって異なる

- **テスト設計コスト**
計算機処理時間, 人手作業工数, ツール費用
- **テスト回路のコスト**
エリアオーバヘッド, 配線オーバヘッド
- **テストコスト**
テスト使用時間, テスタ性能向上
- **不良品のペナルティ**
補償, 信用失墜, 不良解析工数

テスト品質の重要性

テスト品質は製品の不良レベルに直接かかわる

$$DL = 1 - Y^{(1-T)}$$

DL: 不良レベル

良品と判定されたLSI中の不良品の割合

Y: 歩留り

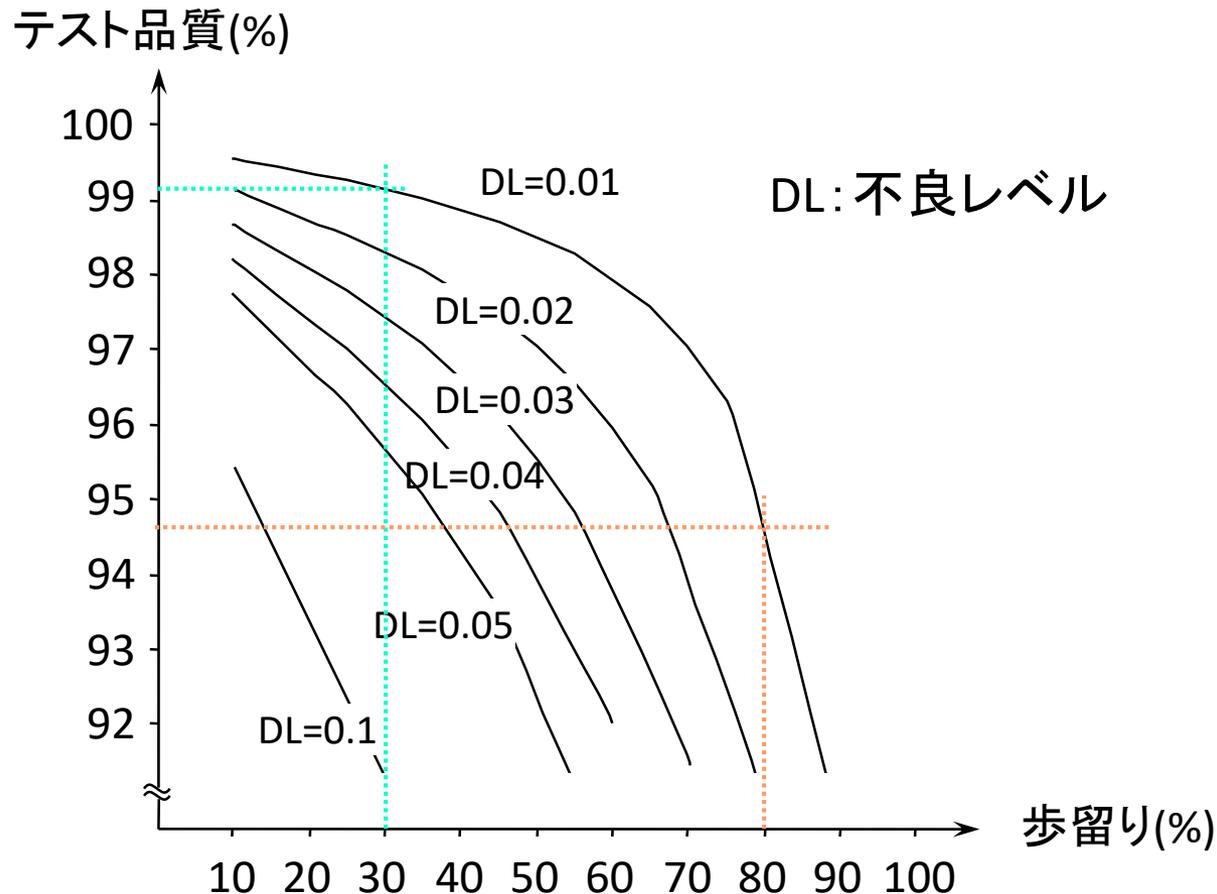
製造LSI中の良品の割合

T: テスト品質

不良品を選別できる確率

テスト品質と不良レベルの関係

歩留りが下がると高いテスト品質が必要になる



テスト戦略決定要因

テスト戦略はテストコスト間のトレードオフ及びチップコストとの関連を考えて決める必要がある

- ・**テストコスト**がクリティカルな場合
テストコストを削減できるテスト方法が必要
- ・**テスト設計コスト**がクリティカルな場合
テスト設計コストを削減できるテスト方法が必要
- ・生産数量が**多い**場合
チップコストの増加を抑制できるテスト方法が必要
- ・生産数量が**少ない**場合
ある程度チップコストを増加させることも必要

アウトライン

◆はじめに

◇LSIテスト技術の基礎(復習)

—論理回路のテスト

◇LSIテスト技術の応用

—故障モデルの拡張

◇VTS2017報告

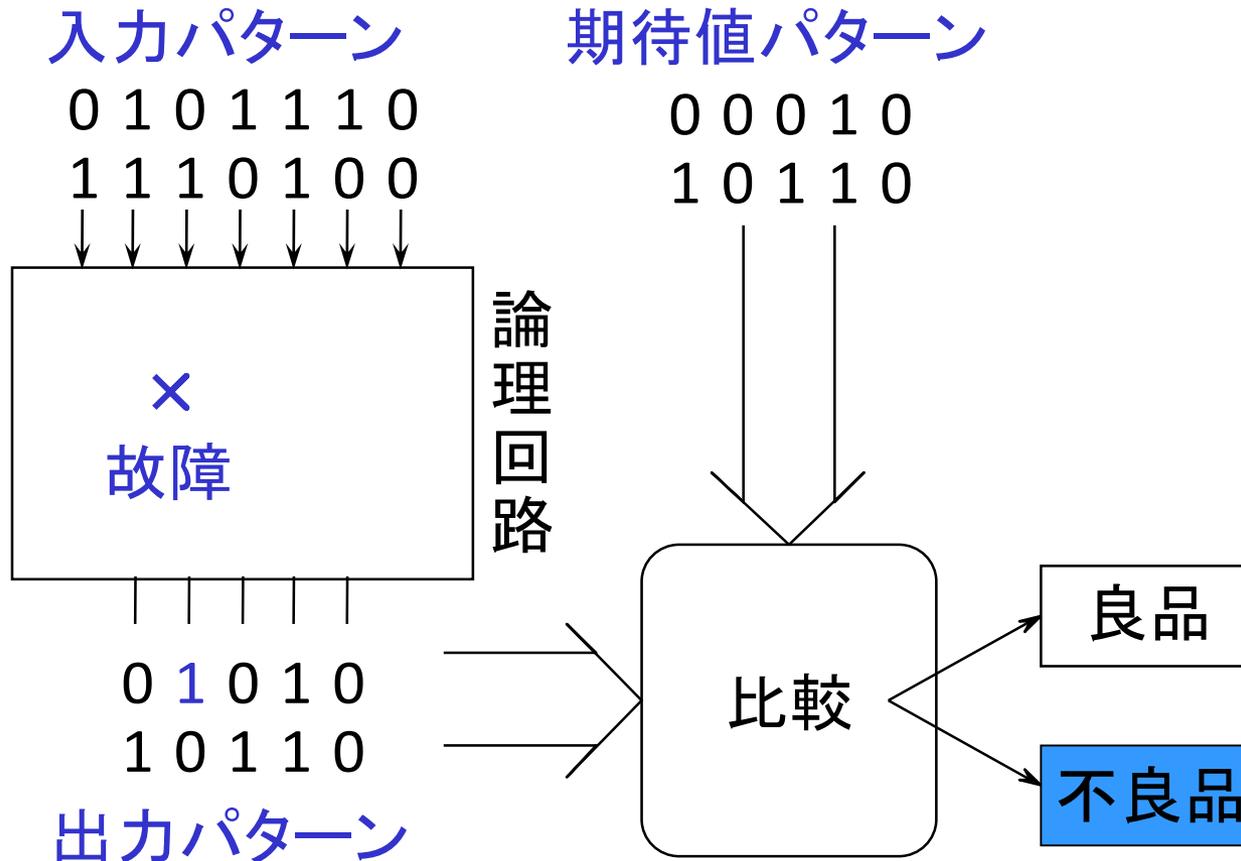
論理回路のテスト

1. 論理回路のテストとは

2. 故障モデルとテスト方法

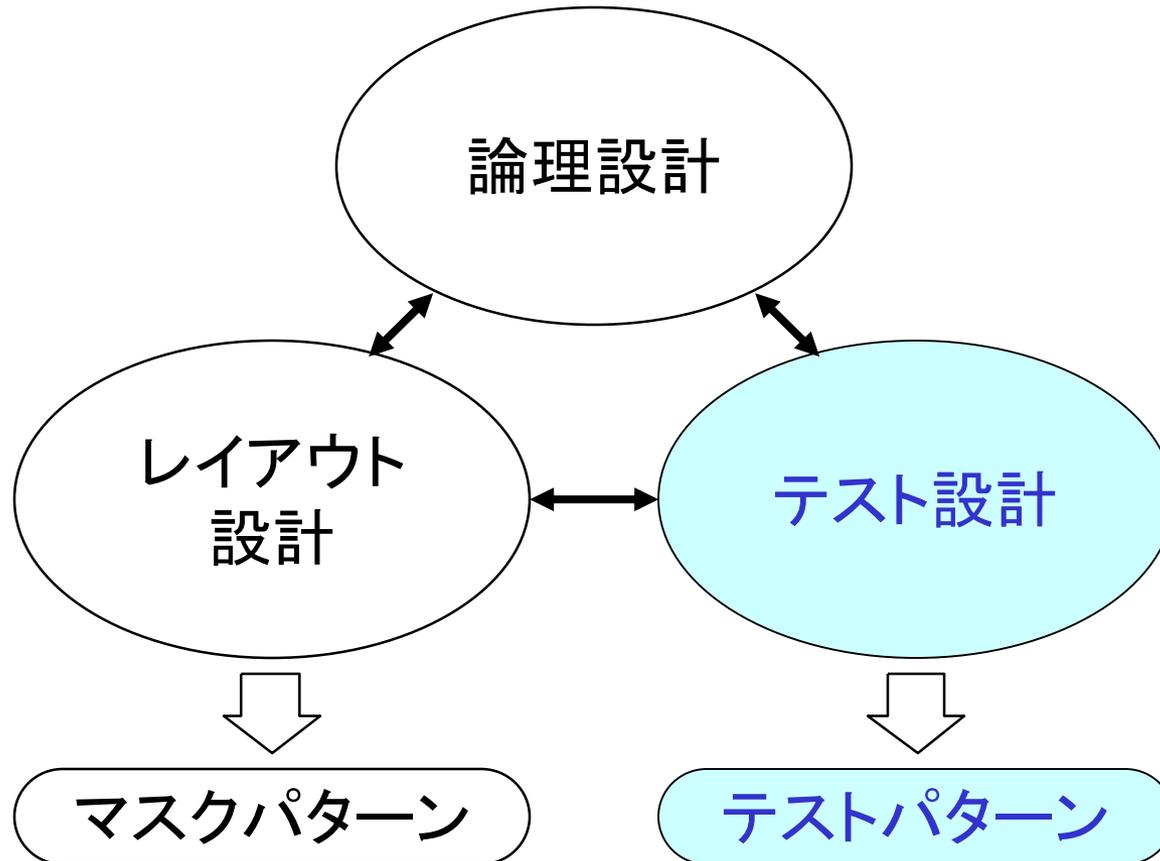
論理回路のテストの仕組み

出力パターンと期待値パターンを比較して良否を判定



テスト設計の位置づけ

テスト設計とはテストのための入力パターン（青文字）の設計



広い意味でのテスト設計

テスト設計は**広義には2つの内容を含む**

テスト設計

テスト容易化設計

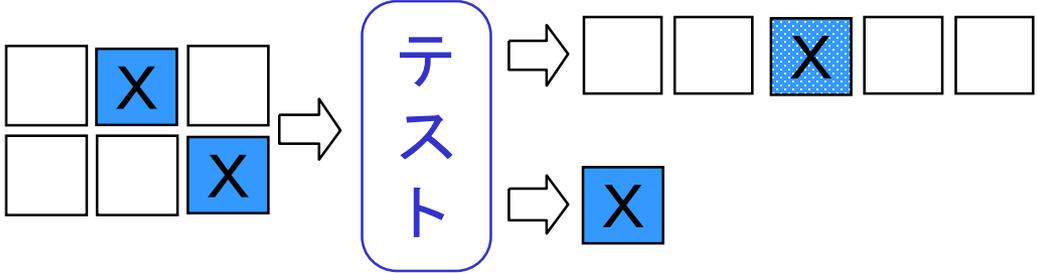
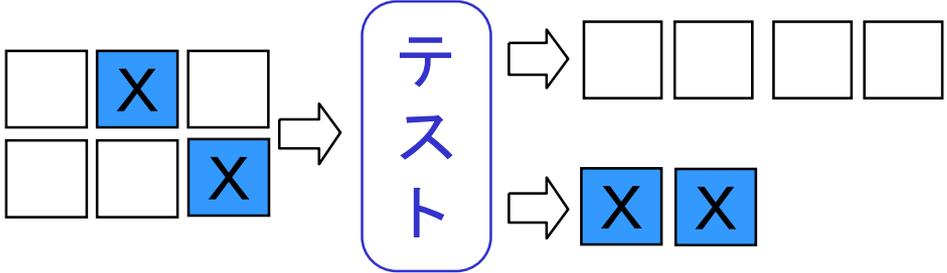
テストパターンを
作り易くするための
テスト回路を作る

テストパターン設計

テストパターンを
作る

テスト品質の良し悪し

テスト品質の良し悪しはテストパターンの良し悪しによる

テストパターンの良し悪し	テストの結果
良くない	
良い	

良いテストパターンを作るには

良いテストパターンを作るには様々な工夫が必要

・テスト生成手法の改良

- ・故障検出能力の向上
- ・故障モデルの拡張
- ・テストパターン数の削減

・テスト容易化設計の活用

- ・テスト生成時間の短縮
- ・テスト実行時間の短縮
- ・テストパターン品質の向上

論理回路のテスト

1. 論理回路のテストとは

2. 故障モデルとテスト方法

故障モデルの分類

テスト設計を考える際には故障のモデル化が必要

◎故障のタイプによる分類

- ・縮退故障(stuck-at) : 信号線が一定レベルに固定
- ・短絡故障(short/bridge) : 信号線が他の信号線と短絡
- ・開放故障(open) : 信号線が断線
- ・遅延故障(delay) : 信号伝播遅延が増大
 - [遷移故障(transition) : 遅延が大幅に増大]
- ・その他の故障:トランジスタ故障, メモリ故障, 機能故障, . . .

◎故障の数による分類

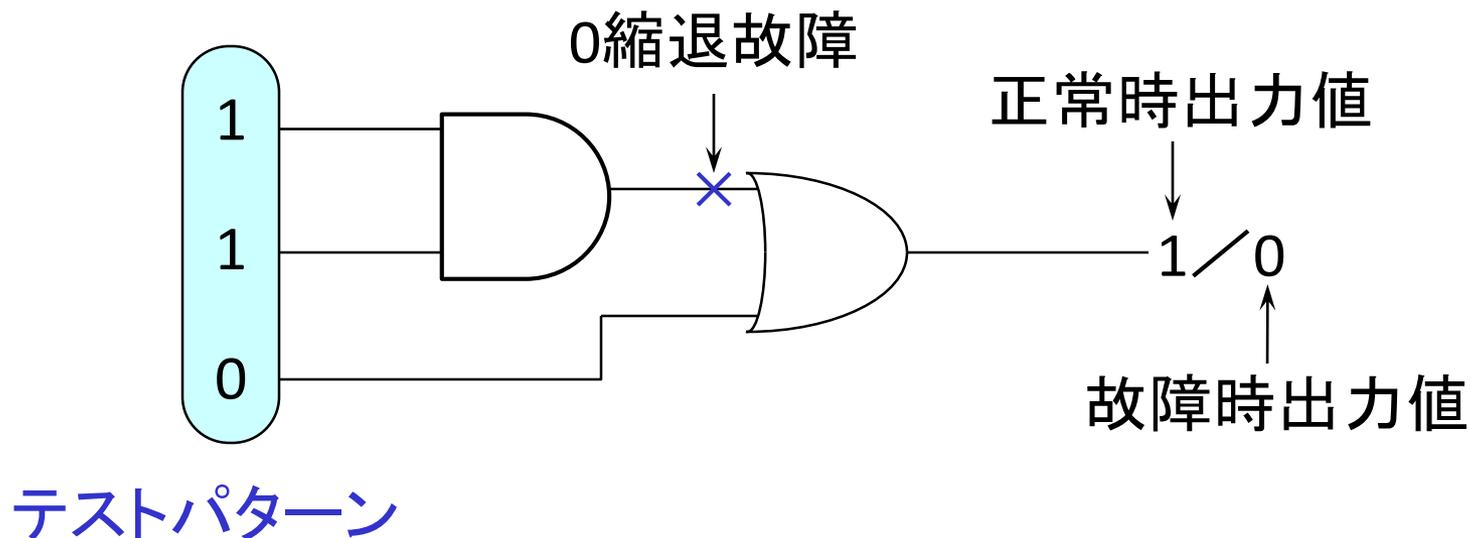
単一故障(single), 多重故障(multiple)

◎故障の状態による分類

永久故障(permanent), 間欠故障(intermittent), 過渡故障(transient)

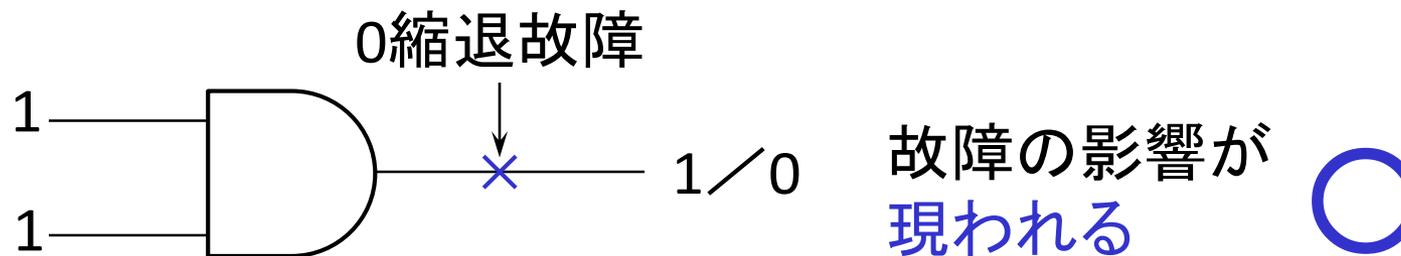
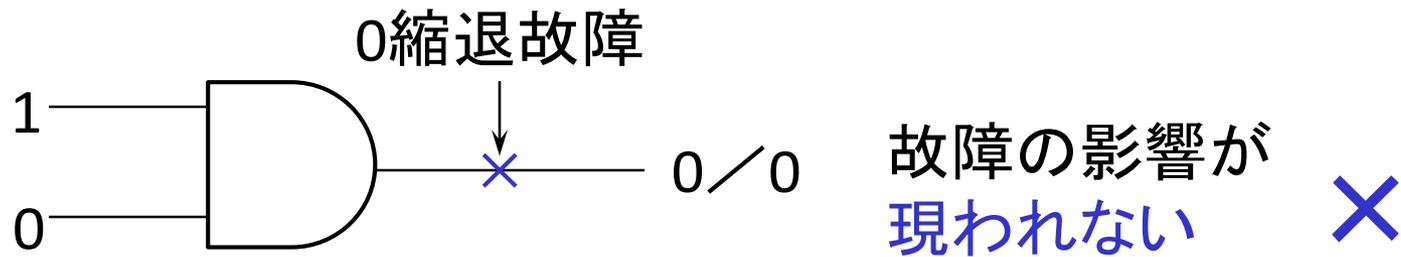
縮退故障のテスト方法

縮退故障はスタティックなパターンでテスト可能



故障の顕現化

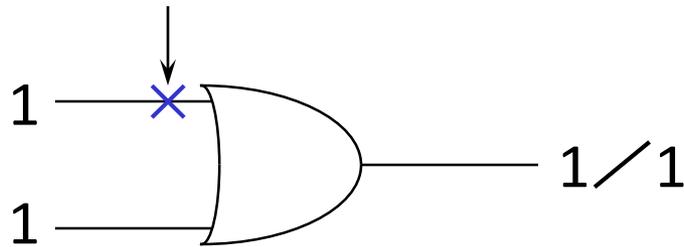
テストするためには故障の影響の顕現化が必要



故障の伝播

テストするためには故障の影響の伝播が必要

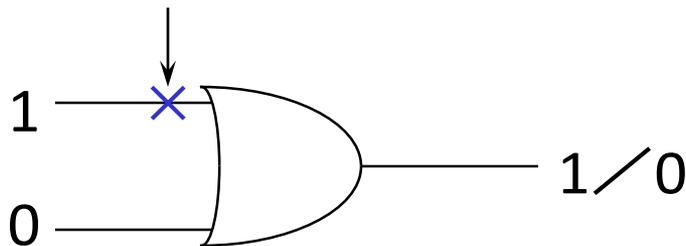
0縮退故障



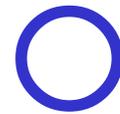
故障の影響が
伝わらない



0縮退故障

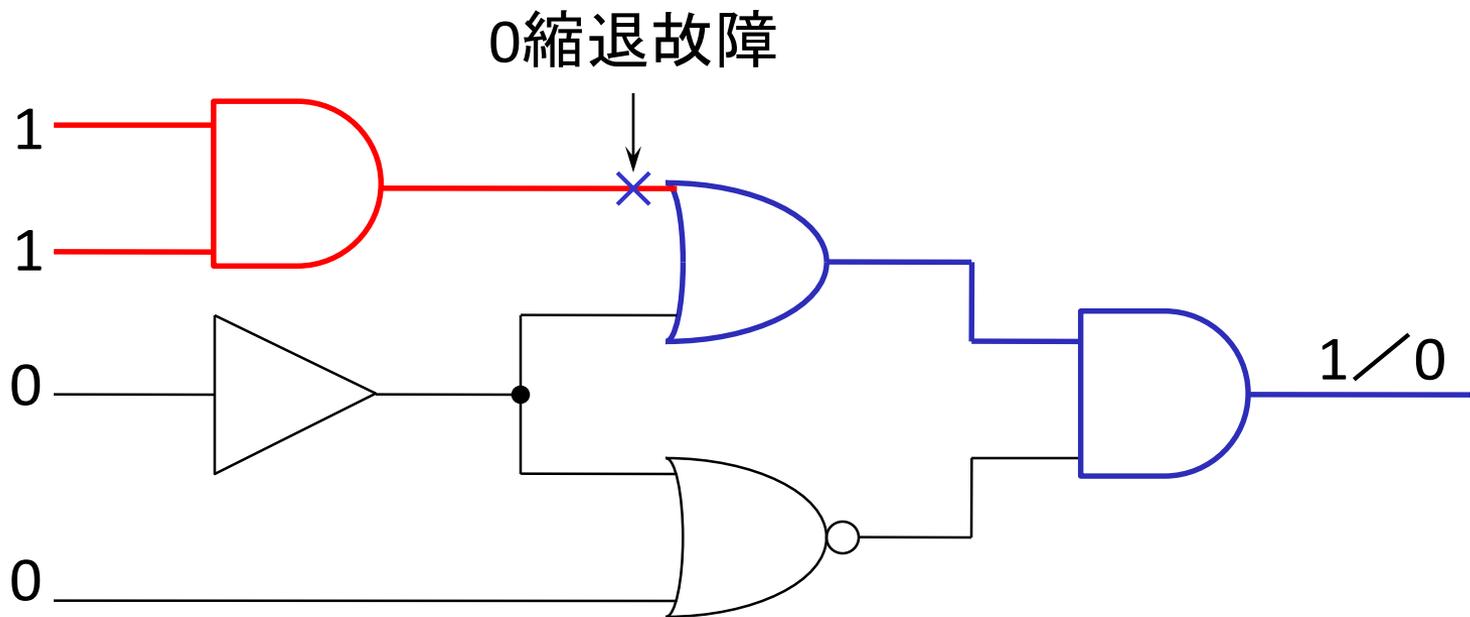


故障の影響が
伝わる



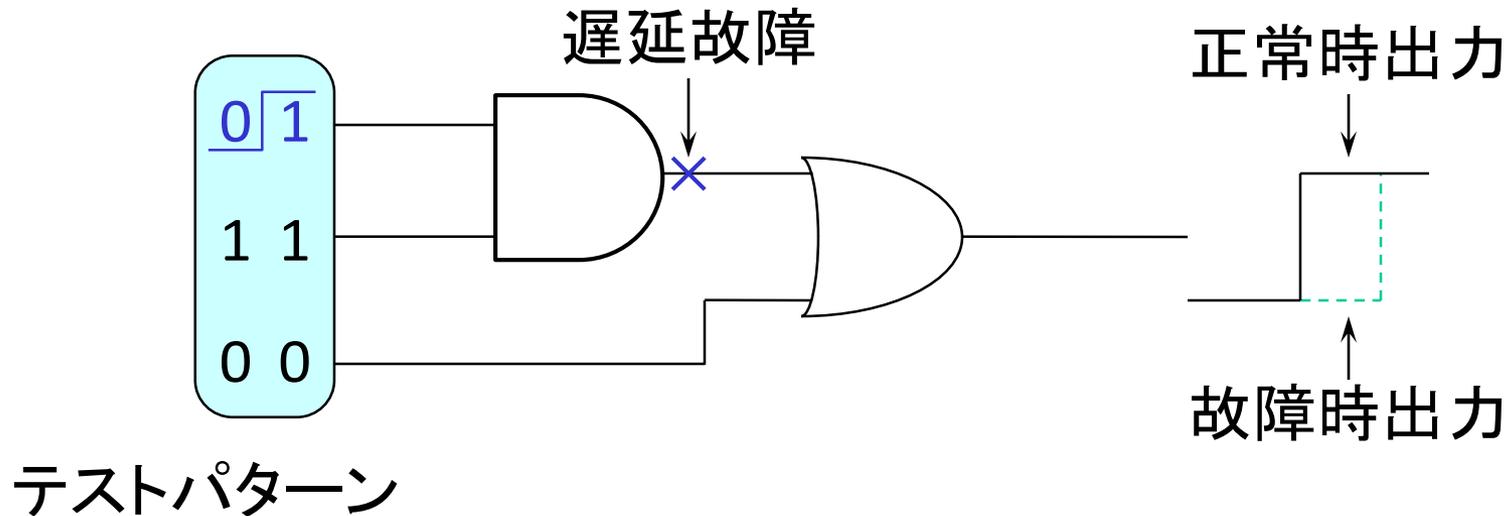
縮退故障のテストの例

故障を顕現化させてそれを伝播する



遅延故障のテスト方法

遅延故障はダイナミックなパターンでテスト
(出力を観測するタイミングが重要)



アウトライン

◆はじめに

◇LSIテスト技術の基礎(復習)

—論理回路のテスト

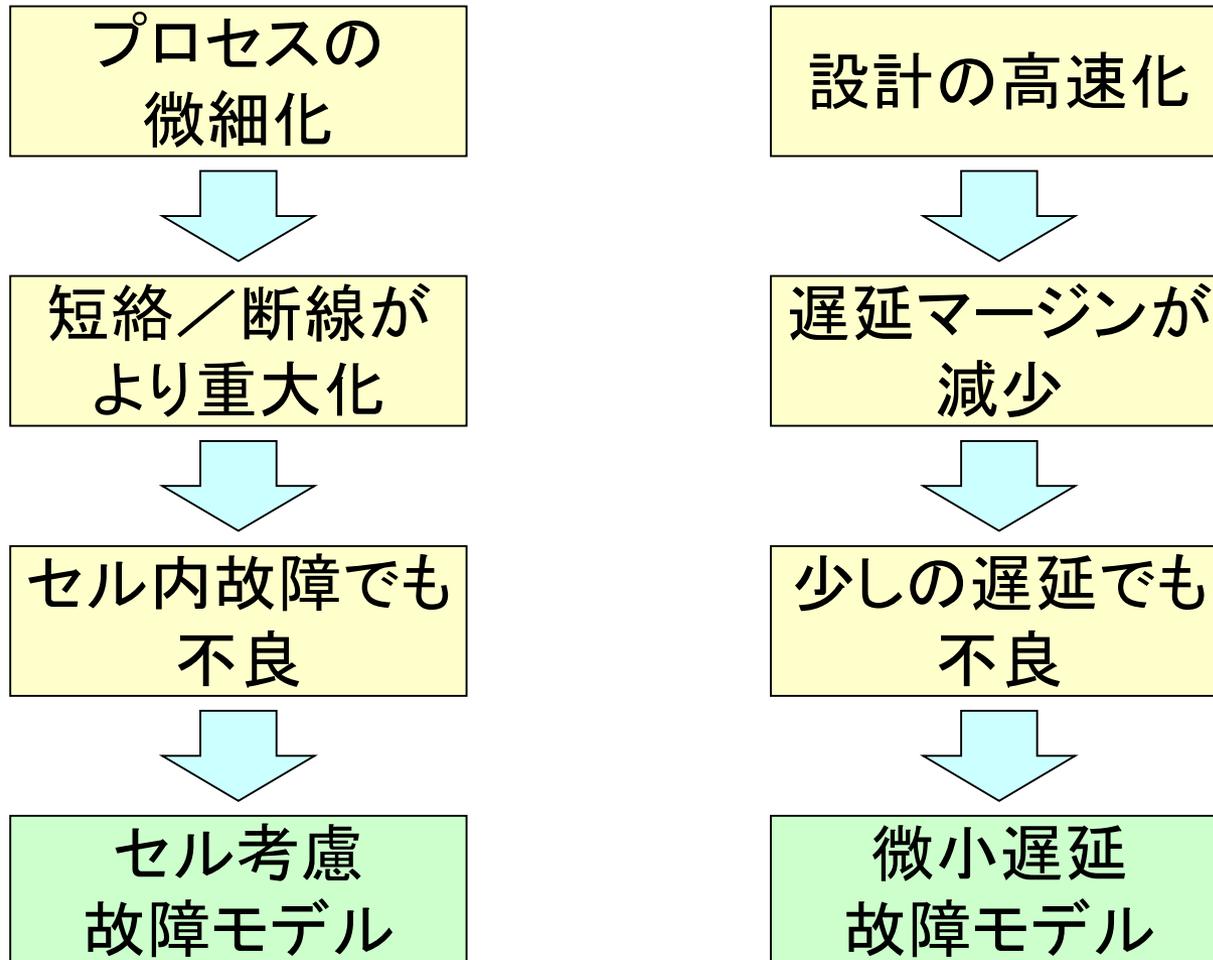
◇LSIテスト技術の応用

—故障モデルの拡張

◇VTS2017報告

故障モデルの拡張

微細化及び高速化に対応した故障モデルの拡張が必要



微小遅延故障モデル

・遅延故障

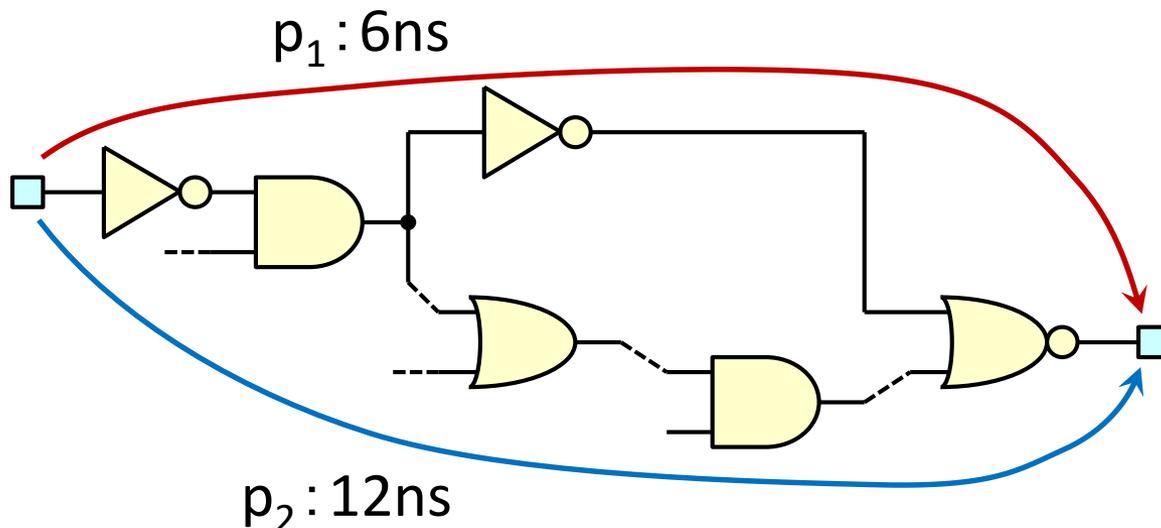
- ・欠陥サイズにより検出の可否が異なる

- ・大きな遅延: そのゲートを通る経路が活性化されれば検出可能

- ・小さな遅延(微小遅延): 活性化される経路によっては検出不可

⇒ 微小遅延故障モデルを考慮

微小遅延欠陥を検出できる長い経路の活性化が必要



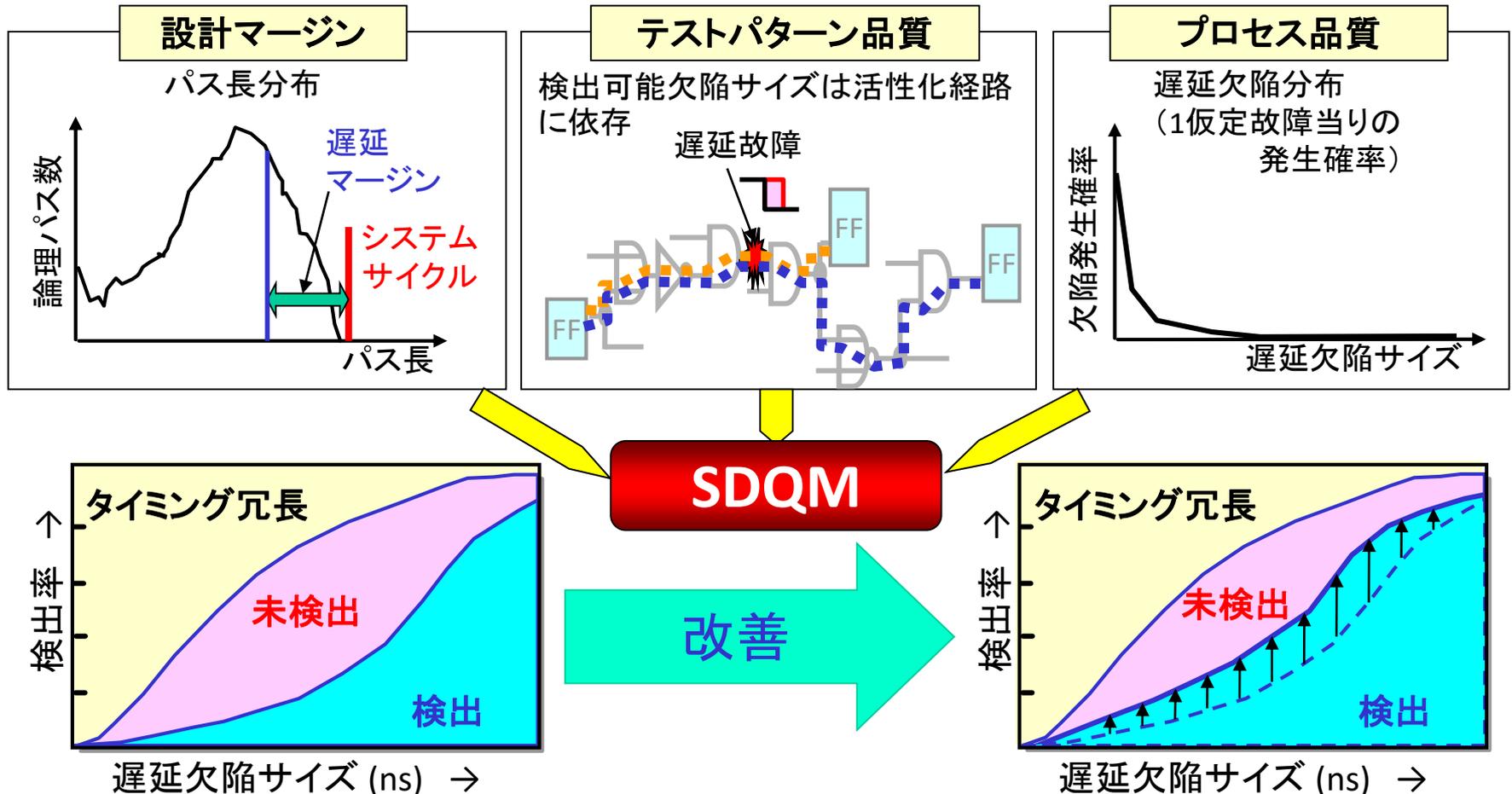
活性化経路	欠陥サイズ(ns)		
	2ns	4ns	10ns
p_1	×	×	○
p_2	×	○	○

テストタイミング15nsとする

統計的遅延品質モデル:SDQM

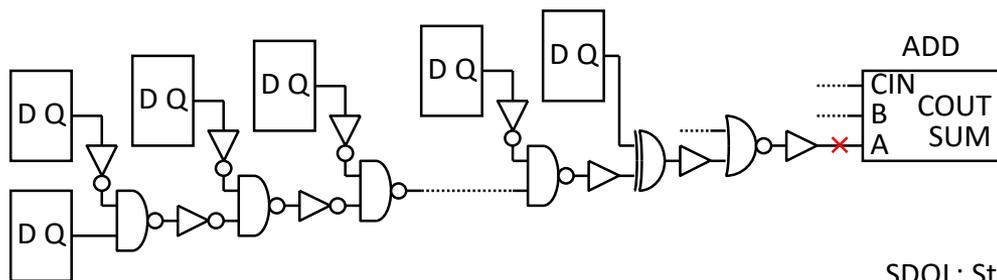
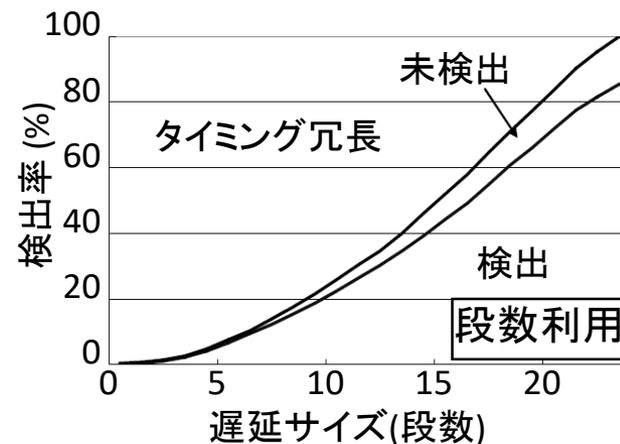
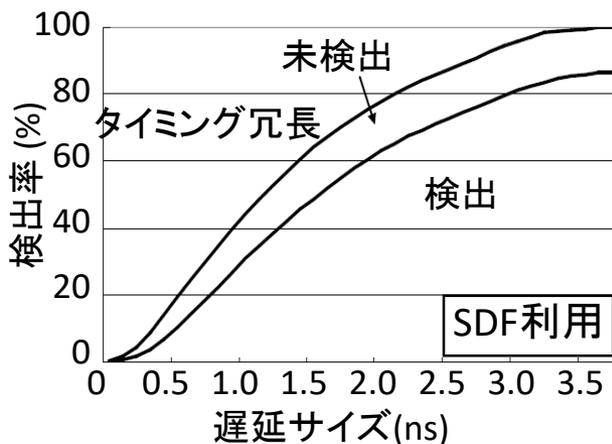
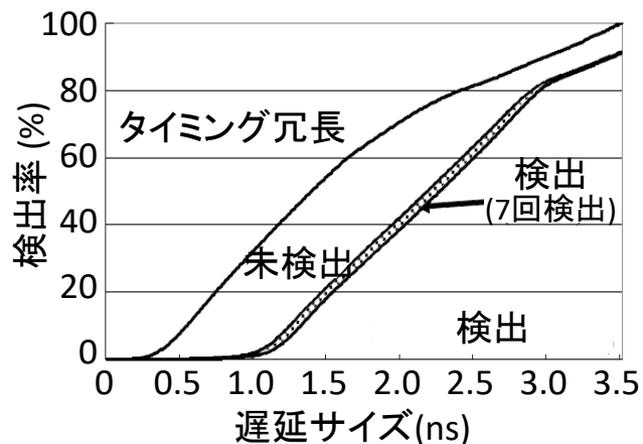
SDQM: Statistical Delay Quality Model

- SDQM: 遅延テスト品質に影響する諸要素を考慮したモデル
テスト品質の定量化により, テスト品質の改善を可視化が可能

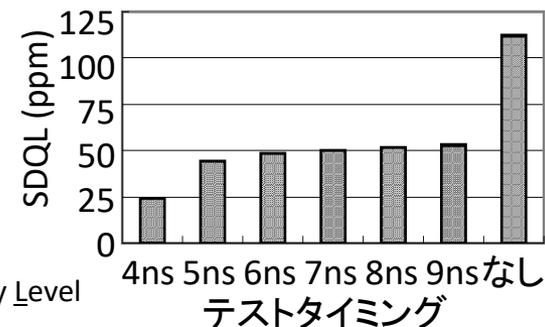


SDQM適用例

- ・実験評価: STRAC03(2Mゲート, 69k FF, 2クロックドメイン(250M/28MHz))
 - ・SDQM評価: 遷移, 遷移+パス遅延, 遷移(3回検出), 遷移(7回検出)
 - ・7回検出の効果はわずか, 遷移テストで検出できない微小遅延故障を確認
 - ・SDF(遅延情報)利用評価: ゲート段数利用時と比較・明らかな相違を確認
 - ・テストタイミング評価: 実速度とそれより遅い場合を評価・差異を確認



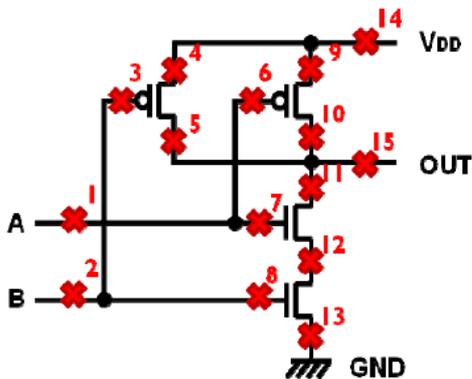
SDQL: Statistical Delay Quality Level



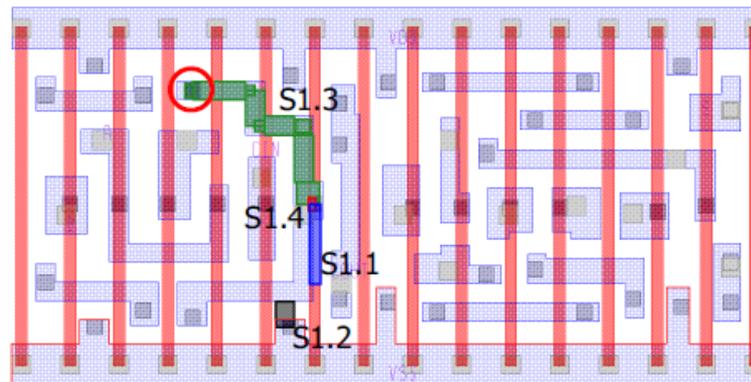
Y. Sato, et al., "Invisible delay quality - SDQM model lights up what could not be seen," Proc ITC2005, Paper 47.1 2005.

セル考慮故障モデル

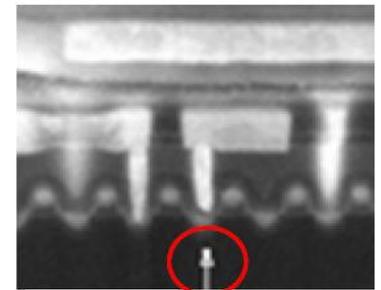
- 短絡故障／開放故障
 - 通常は信号線間の短絡, 信号線の断線を考慮
 - 高品質テスト要求(車載ICなど)→セル内故障の考慮も必要
- セル考慮故障モデル
 - セルレイアウト情報を基に可能性のある故障をモデル化



2NANDセルの開放故障

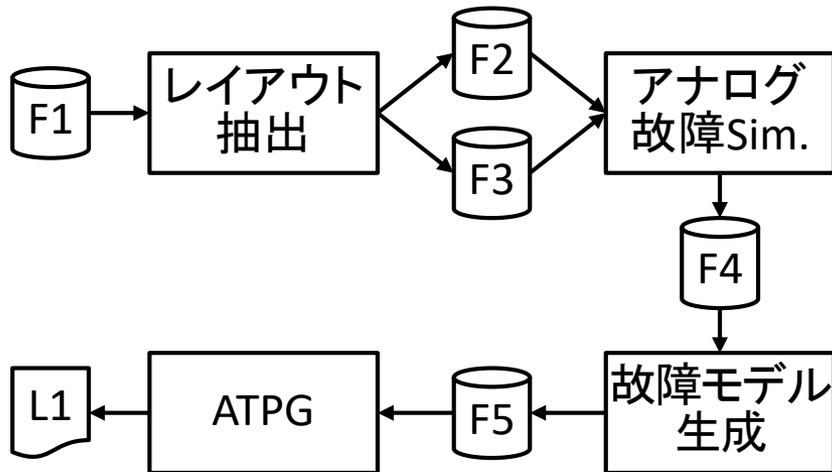


全加算器のコンタクト開放欠陥の例(ATS2014 論文8A.3より)



セル考慮テスト方式

- セル考慮テスト方式
 - セルレイアウト情報をもとに故障モデルを自動生成(セル考慮(CA))
 - 処理フロー: レイアウト抽出 → アナログ故障Sim. → CA故障モデル生成 → CA-ATPG
 - 欠陥マトリクス: 入力と欠陥検出の対応表(故障モデル) · · · これに基づきテスト生成



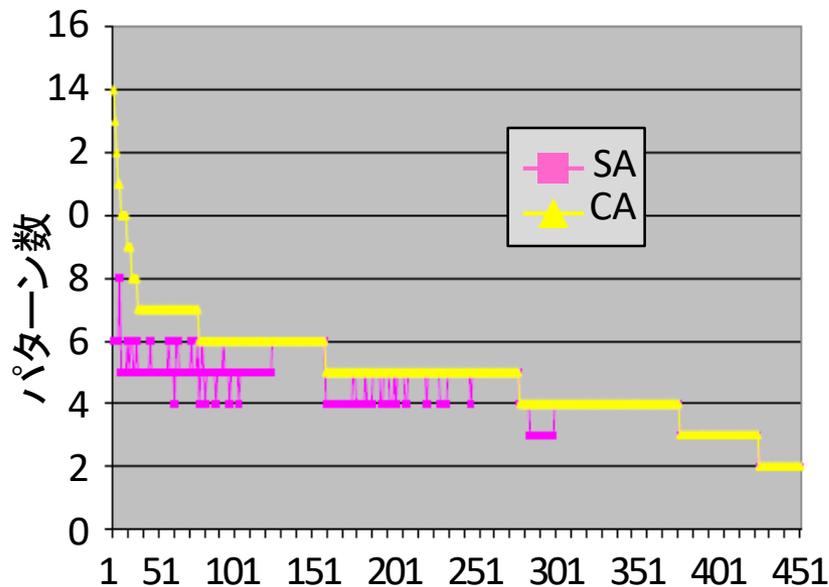
F1: セルレイアウト情報
 F2: ネットリスト
 F3: 欠陥リスト

F4: Sim. 結果
 F5: 欠陥マトリクス
 L1: 検出率

入力	欠陥												
	d1	d2	d3	d4	...	d41	d42	d43	d44	d45	d46	d47	d48
000000	-	-	-	-	...	-	-	-	D	-	-	-	-
000001	D	D	-	-	...	D	D	D	-	D	D	-	-
000010	-	-	-	-	...	-	-	-	D	-	D	-	-
000011	-	D	-	-	...	D	-	D	-	D	-	-	-
000100	-	-	-	-	...	-	-	-	D	D	-	-	-
000101	D	-	-	-	...	D	D	D	-	-	D	-	-
000110	-	-	-	-	...	-	-	-	D	D	D	-	-
000111	-	-	-	-	...	D	-	D	-	-	-	-	-
001000	-	-	-	-	...	-	-	-	D	-	-	-	D
...
111111	-	-	-	-	...	D	-	-	-	-	-	-	-

セル考慮テストの評価実験

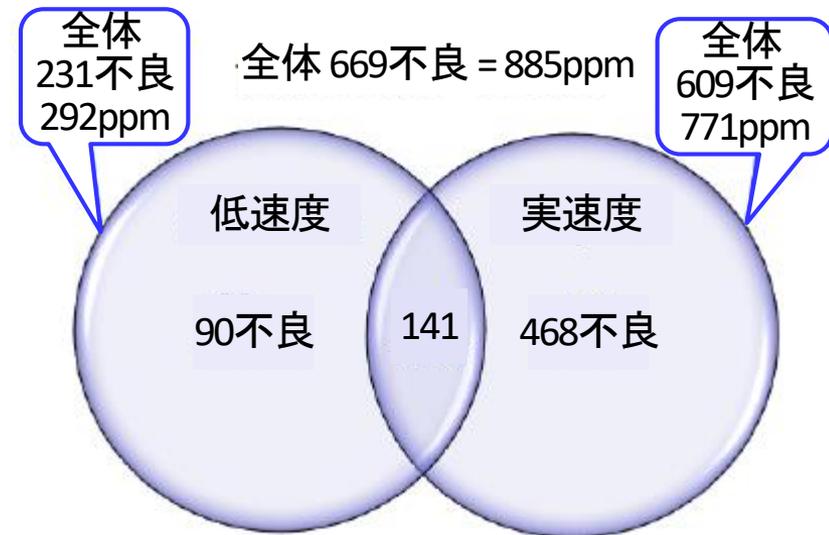
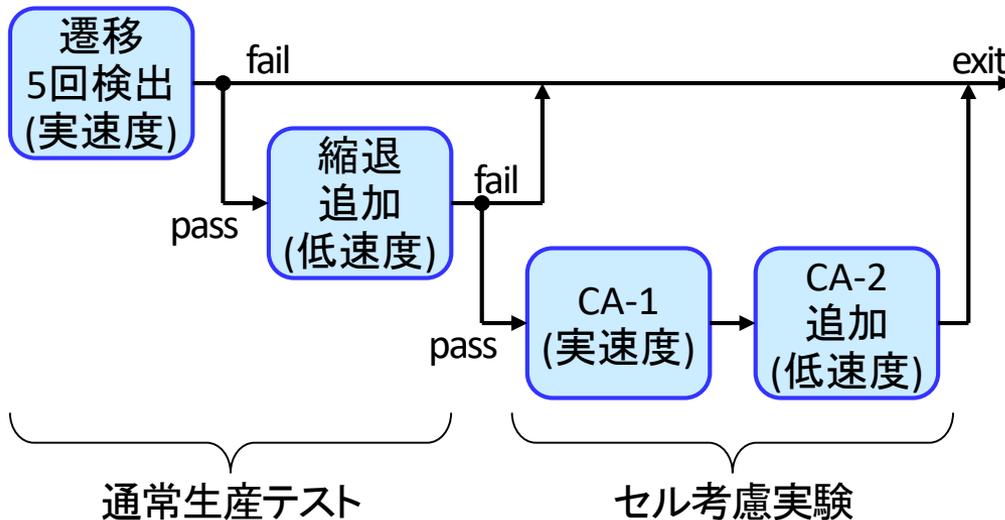
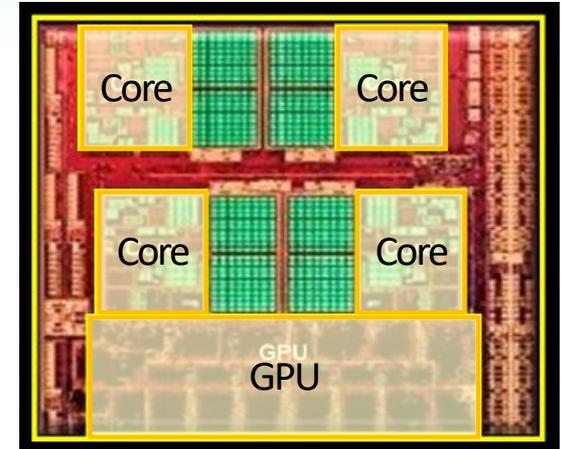
- 評価実験: 10種の実設計データ(73k~6.6Mゲート)を使用
 - 縮退用テスト(SA)パターンでセル内故障検出率をセルごとに算出
 - セルごとにSAパターンとセル考慮(CA)パターンのパターン数を比較
 - データでの故障検出率(SAパターンとCAパターン)を比較
- 実験結果
 - SAでのセル内故障検出率: 複合セル等では70~80%の場合あり
 - CAの方が多くのパターンを要するケースがあるが, 大部分は1パターン追加のみ
 - CAはSAに比べて平均で1.24%の故障検出率向上



データ	ゲート数	FF数	検出率(%)		
			SA	CA	増分
I73k	73k	6k	97.44	99.65	2.21
I247k	247k	21k	98.46	99.49	1.03
I449k	449k	32k	98.41	99.65	1.24
I671k	671k	76k	98.84	99.30	0.46
I1652k	1.65M	135k	98.29	99.58	1.29
I1676k	1.68M	131k	98.80	99.26	0.46
I2181k	2.18M	148k	98.56	99/89	1.33
I2183k	2.18M	135k	98.32	99.35	1.03
I2986k	2.99M	173k	98.02	99.85	1.83
I6649k	6.65M	457k	98.20	99.72	1.52
平均	1.88M	131k	98.33	99.57	1.24

セル考慮テスト適用例

- AMD社のノートブック用プロセッサ(右図)に適用
- 800k個のICを対象に評価実験(左下図)
 - 全体で699個の故障を新たに検出 (885ppmに相当)(右下図)
 - そのうち約80%はシステムテストでも確認



アウトライン

◆はじめに

◇LSIテスト技術の基礎(復習)

—論理回路のテスト

◇LSIテスト技術の応用

—故障モデルの拡張

◇VTS2017報告

VTS2017報告

- VTSについて
- VTS2017の概要
- 注目セッションの紹介
- まとめ

VTS (VLSI Test Symposium)

▪ VTSの沿革および概要

- 1983年にVLSI Test Workshopとしてスタート
- 1991年からはSymposium
- LSIテスト分野ではITC (International Test Conference) に次ぐ主要な国際会議
- ITCが企業主体であるのに対して, VTSはどちらかといえばアカデミック
- 2002年から企業事例のためのIP(Innovative Practice) Trackを設置し, 企業からの参加者拡大に取り組み中



VTS開催一覽

	Year	Date	Location
1st	1983	03/30-03/31	Atlantic City
2nd	1984	03/21-03/22	Atlantic City
3rd	1985	04/01-04/02	Atlantic City
4th	1986	03/18-03/19	Atlantic City
5th	1987	03/24-03/25	Atlantic City
6th	1988	03/22-03/23	Atlantic City
7th	1989	04/11-04/13	Atlantic City
8th	1990	04/10-04/11	Atlantic City
9th	1991	04/16-04/18	Atlantic City
10th	1992	04/07-04/09	Atlantic City
11th	1993	04/06-04/08	Atlantic City
12th	1994	04/25-04/28	Cherry Hill
13th	1995	04/30-05/03	Princeton
14th	1996	04/28-05/01	Princeton
15th	1997	04/27-04/30	Monterey
16th	1998	04/26-04/30	Monterey
17th	1999	04/25-04/29	Dana Point
18th	2000	04/30-05/04	Montreal
19th	2001	04/29-05/03	Los Angeles
20th	2002	04/28-05/02	Monterey

	Year	Date	Location
21st	2003	04/27-05/01	Napa
22nd	2004	04/25-04/29	Napa
23rd	2005	05/01-05/05	Palm Springs
24th	2006	04/30-05/04	Berkeley
25th	2007	05/06-05/10	Berkeley
26th	2008	04/27-05/01	San Diego
27th	2009	05/03-05/07	Santa Cruz
28th	2010	04/19-04/22	Santa Cruz
29th	2011	05/01-05/04	Dana Point
30th	2012	04/23-04/26	Maui
31st	2013	04/29-05/01	Berkeley
32nd	2014	04/14-04/16	Napa
33rd	2015	04/27-04/29	Napa
34th	2016	04/24-04/27	Las Vegas
35th	2017	04/09-04/12	Las Vegas
36th	2018	04/22-04/26	San Francisco

2003-2006: プログラム委員

2007-: 実行委員

2007-2010: IP Track

2011-2014: Special Sessions

2015-2016: Publicity (Vice Chair)

2017- : Asian Initiative

VTS2017報告

- VTSについて
- VTS2017の概要
- 注目セッションの紹介
- まとめ

VTS2017概要

- ・開催日 : 2017年4月9日(日)～12日(水)
- ・開催場所 : Las Vegas, NV, USA
- ・参加者 : 200名程度(日本からは5名)
- ・基調講演 : 2件(4/10)
- ・論文発表 : 11セッション32件(4/10-12)
投稿論文73件(採択率≒44%)
- ・企業発表 : 13セッション39件
- ・チュートリアル : 2件(4/9)・・・すべてHalf Day
- ・特別セッション : 13件(4/10-12)
 - ・ホットピック : 5件
 - ・ニュートピック : 2件
 - ・エンベデッドチュートリアル : 3件
 - ・パネル : 1件
- ・その他・・・学位論文コンテスト, テストトリビア

VTS2017 At-a-Glance

April 9, Sunday	
8:30 -	<i>Tutorial #1</i>
12:00	Mixed Signal DFT & BIST: Trends, Principles, and Solutions
13:30 -	<i>Tutorial #2</i>
17:00	Automotive Reliability & Test Strategies

April 10, Monday			
8:30 -	<i>Plenary Session</i>		
10:30	<i>Opening Keynote:</i> Challenges of Ubiquitous Solid State Technology <i>Keynote Tribute to Prof. M. Breuer:</i> Contributions to CAD and Test		
11:10 -	<i>Session 1A</i>	<i>Session 1B</i>	<i>IP Session 1C</i>
12:10	Analog, Mixed Signal and RF Test I	Delay and Performance Test	Screening for Layout Sensitive Defects
13:40 -	<i>Session 2A</i>	<i>Special Session 2B: New Topic</i>	<i>IP Session 2C</i>
14:40	ATPG I	Innovation for Emerging Smart IoT Systems	How is Industry Simplifying Analog Test?
15:00 -	<i>Session 3A</i>	<i>Special Session 3B: Hot Topic</i>	<i>IP Session 3C</i>
16:00	Design for Test, Debug and Reliability	Intelligent Physical Systems: Test, Diagnosis, Reconfiguration & Correction	Hardware Security
16:20 -	<i>IP Session 4A</i>	<i>Special Session 4B: Hot Topic</i>	<i>IP Session 4C</i>
17:50	Variation-Tolerant Design of Circuits/Systems	Early Life Failures	Data Analytics in Test
20:00 -	<i>Monday Evening "Wine and Cheese" Special Session</i>		
21:30	Test Trivia Game		

VTS2017 At-a-Glance (cont.)

April 11, Tuesday			
8:30 -	<i>Session 5A</i>	<i>Session 5B</i>	<i>IP Session 5C</i>
9:30	Memory Test and Repair	Reliability Analysis & Yield Optimization	Automotive Test Solutions
9:50 -	<i>Session 6A</i>	<i>Special Session 6B: Hot Topic</i>	<i>IP Session 6C</i>
10:50	ATPG II	Physical Attacks: Can Test Save Us?	DFT for Functional Safety
11:10 -	<i>Session 7A</i>	<i>Special Session 7B: Embedded Tutorial</i>	<i>IP Session 7C</i>
12:10	Hardware Security	MEMS Testing Challenges, Issues and Solutions	Automotive Quality Assurance
13:30 -	<i>Special Session 8A: Hot Topic</i>	<i>Special Session 8B: New Topic</i>	<i>Special Session 8C</i>
15:00	Future Extensions of IEEE Test Standards	Designing Versatile Semiconductor Solutions Optimizing Performance, Power, & Cost to Market Opportunities	E.J. McCluskey Doctoral Thesis Competition (Presentations & Posters)
15:30 -	<i>Social Program</i>		
21:30			

April 12, Wednesday			
8:30 -	<i>Session 9A</i>	<i>IP Session 9B</i>	<i>IP Session 9C</i>
9:30	Analog, Mixed Signal and RF Test II	Innovative Practices in Asia I: From Quality Perspective	DFT and Data for Diagnostics
9:50 -	<i>Session 10A</i>	<i>IP Session 10B</i>	<i>IP Session 10C</i>
10:50	Test Economics and Test Standards	Innovative Practices in Asia II: From Cost Perspective	Formal Verification Practices in Industry
11:10 -	<i>Session 11A</i>	<i>Special Session 11B: Panel</i>	<i>IP Session 11C</i>
12:20	Test Quality and Reliability	Would You Put Your Life in the Hands of a Google Car?	SoC Testing
13:40 -	<i>Special Session 12A: Hot Topics</i>	<i>Special Session 12B: Embedded Tutorial</i>	<i>Special Session 12C: Embedded Tut.</i>
14:40	5G Test Challenges: A System-Level Perspective	Emerging Non-Volatile Memories: Trends, Technologies and Test Topics	Software Testing: Challenges and Emerging Solutions

基調講演-1

- ・A. Bahai (CTO, TI):「ユビキタスソリッドステート技術の課題」
 - ・今後はこれまでと異なる
 - ・半導体市場及び革新の牽引役: テクノロジ→市場動向
 - ・すべての人のすべてのものにより多くの電子技術が
 - ・発電よりも電子化による低電力化の方が効率的
 - ・スケーリング効果の減退: アーキテクチャ駆動のスケーリングへ
 - ・新材料(GaN, SiC, など), 受動部品の集積, なども必要
 - ・プレイヤー数の減少: 22(130nm)→4(16/14nm); 設計コストも増大
 - ・テストとキャラクタライズの課題: 信頼性, Time-To-Market, コスト
 - ・MEMS, フォトニクス, 新メモリ, などへの対応も必要
 - ・価値のシフト: アプリ, ソフト, サービス
 - ・変化の多様化: More Moore, More than Moore, Beyond CMOS
 - ・テクノロジーの課題: 過去20年・汎用CMOS, 今後20年・差別化技術
- ☆CMOSはあと20年は生き延びる

基調講演-2

▪ S. Gupta (USC) 他

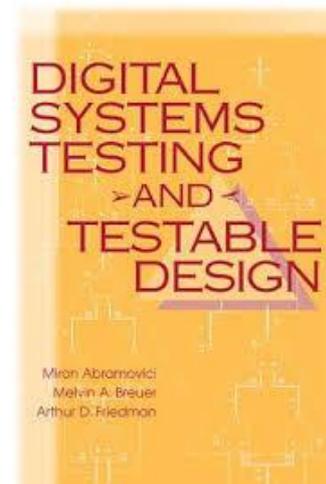
「Melvin Breuer教授への賛辞—CAD及びテストへの貢献」

- S. Gupta (USC) (オーガナイザ)・・・USCの同僚として
 - Yellow Bookをはじめとして多くの著書あり
 - テストだけでなく、エラートレラントなどでも功績
- M. Abadir (Helic)・・・人となりを伝えるエピソード
 - 1982年にUSC(Ph.D.)に入る前からYellow Bookで学習
 - 常に楽しんでいて、私のヒーロー、いつまでも忘れない
- S. Narayanan (Apple)・・・助言者、教師、人生の指導者
 - Yellow Bookはバイブルであり、伴侶である
 - 企業に入ってからでも良く学んだ
- M. Abramovici (Miron)・・・Melのすべてについて
 - 彼の心にあったのは?・・・間欠故障、エラートレランス
 - 彼はHWの専門家か?・・・(トライステート)バスドライバー
 - 農業に関する業績は?・・・Yield(歩留/収穫)とArea(領域/面積)の拡大

☆ 昨年のMuCluskey教授に続いて今年Breuer教授、相次いで巨星墜つ



2017.1.28没
(USCウェブサイトより)



論文発表の状況

- ・採択論文数: 32件 (採択率は約44%)
- ・国別採択論文数は右図のとおり
 - ・アジア勢の健闘は続いているが、日本からは0件(2年連続)
- ・分野別の状況
 - ・全体構成: 分野としてそれほど大きな変動なし
 - ・ATPG/DFT関連: 全体としては前回からほぼ横ばい
 - ・AMS/RF関連: やや減少
増加/減少の繰返しが継続
 - ・3D-ICテスト: ゼロ
ITCと同様の傾向, 研究価値が不明確?
 - ・セキュリティ関連: 論文が定着
 - ・テスト結果データ活用: 継続してホット
論文は1件だが, 企業発表4件)
 - ・メモリテスト: 前回から半減, ただし内容は多様

	VTS2017	VTS2016	VTS2015	VTS2014
USA	16	23	25	30
Japan	0	0	1	0
China	3	1	1	0
Taiwan	2	3	3	4
India	1	3	1	0
Iran	0	0	2	0
France	2	1	1	3
Germany	3	4	2	2
Netherland	1	0	1	1
Belgium	0	0	1	0
Greece	1	2	0	1
Austria	1	0	0	0
Cyprus	0	1	0	0
Italy	0	0	0	1
Sweden	0	0	0	1
Armenia	0	0	0	1
Canada	2	1	0	0
Mexico	0	0	1	1
Total	32	39	39	45

論文発表数：分野別

・前回(VTS2016)及び前々回(VTS2015)との比較

		VTS2017	VTS2016	VTS2015
採択率		44% (32/73)	42% (39/93)	41% (39/95)
トピック別論文数	ディレイ／性能テスト	4 / 1.3	2 / 0.7	1 / 0.3
	電力考慮テスト	0 / 0.0	3 / 1.0	1 / 0.3
	ATPG／テストデータ圧縮	5 / 1.8	3 / 1.0	6 / 2.0
	メモリテスト	3 / 1.0	6 / 2.0	2 / 0.7
	アナログ／MSテスト	4 / 1.3	5 / 1.7	5 / 1.7
	高速I/O／RFテスト	2 / 0.7	4 / 1.3	1 / 0.3
	3D-ICテスト	0 / 0.0	0 / 0.0	4 / 1.3
	その他のデバイステスト	0 / 0.0	4 / 1.3	4 / 1.3
	デバッグ／故障診断／歩留改善	5 / 1.7	5 / 1.7	9 / 3.0
	システム高信頼化／劣化対応	5 / 1.7	3 / 1.0	5 / 1.7
	セキュリティ	3 / 1.0	2 / 0.7	1 / 0.3
	その他	1 / 0.5	2 / 0.7	0 / 0.0
	合計	32 / 11.0	39 / 13.0	39 / 13.0

VTS2017報告

- VTSについて
- VTS2017の概要
- 注目セッションの紹介
- まとめ

ATPG/DFT関連

- Session 2A/6A: ATPG I/II
- Session 3A: Design for Test, Debug and Reliability
- Session 10A: Test Economics and Test Standards
- IP Session 9B: Innovative Practices in Asia I - From Quality Perspective
 - ATPG関連では一般論文で5, 企業発表で1件の講演あり
 - セル考慮テストに関連する2A.2及び9B.1については詳しく紹介
 - スキャン圧縮分野で注目される10A.2についても紹介

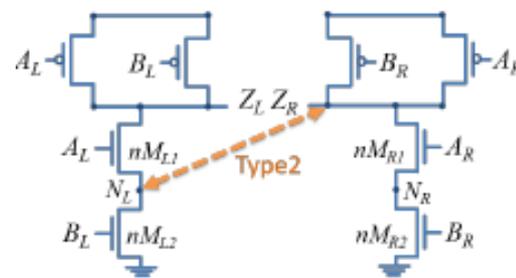
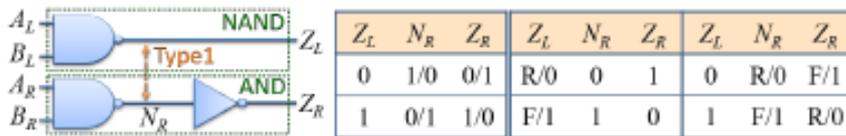
講演No.	タイトル	著者	所属
2A.2	Methodology of Generating Dual-Cell-Aware Tests	Y.-H. Huang, et al.	NCTU / RealTek
3A.1	Fast WAT Test Structure for Measuring Vt Variance Based on Latch-based Comparators	K.-C. Lee, et al.	NCTU
6A.1	A Framework for Fast Test Generation at the RTL	K. Gent, et al.	Virginia Tech
6A.2	Efficient SAT-Based Generation of Hazard-Activated TSOE Tests	J. Burchard, et al.	U. Freiburg / Auburn U.
10A.2	Test-Cost Optimization in a Scan-Compression Architecture Using Support-Vector Regression	Z. Li, et al.	Duke U. / NVIDIA
9B.1	Utilizing Switch-Level Test Generation to Improve Accuracy and Efficiency of Cell-Aware Fault Modeling	H. H. Chen, et al.	MediaTek / NTHU

講演の概要: 2A.2

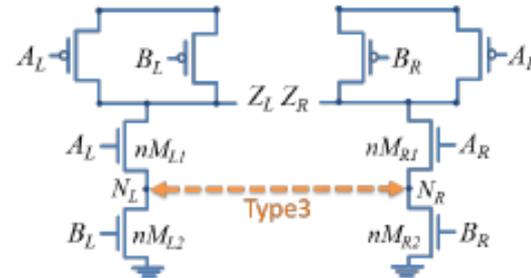
Y.-H. Huang (NCTU): 2セル考慮テスト生成方法

- テスト品質向上: 故障モデルの拡張が重要
- 2セル考慮(DCA)故障: 隣接2セル間のショート...3タイプ
 - タイプ1(ポート-反転前ネット), タイプ2(ポート-内部ネット), タイプ3(内部ネット間)
- DCA故障抽出: 2セル抽出 → 有効2セル抽出 → 故障モデル生成 → UDFM生成
 - SPICE Sim.時間の短縮: 故障削減, 設計間再利用
 - 有効2セル抽出: 予備セル等を含む2セルを削除

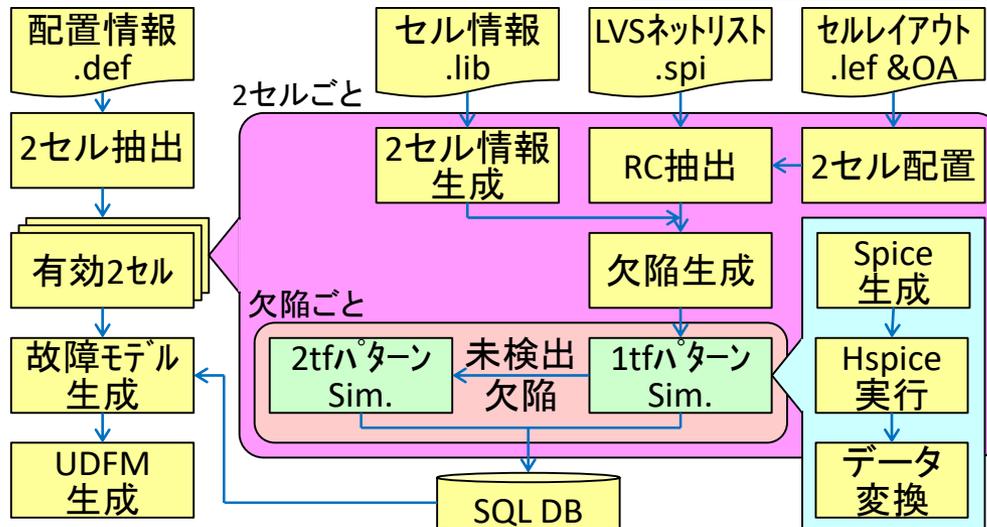
UDFM: User Defined Fault Model



Fault	Z_R	A_L	B_L	Z_L
DCA	0	1	0	1/0
	1	1	1	0/1
BF $Z_R \rightarrow Z_L(0)$	0	0	0	1/0
	0	0	1	1/0
BF $Z_R \rightarrow Z_L(1)$	0	1	0	1/0
	1	1	1	0/1



when $N_R=0$					
A_R	B_R	Z_R	A_L	B_L	Z_L
X	1	X	1	0	1/0
when $N_R=1$					
A_R	B_R	Z_R	A_L	B_L	Z_L
1	0	1	1	1	0/1



講演の概要 : 2A.2 (cont.)

- ・評価実験 : 5種の実用回路ブロック, 4種の28nm Lib.(Vth2種, チャネル長2種)
 - ・DCA故障抽出結果 : 有効セル比率・・39~47%, 異種Lib.間比率・・16~61%
 - ・ATPG結果 : 1時刻(1tf)・・セル考慮(CA)の未検出故障を一部カバー(平均0.47%)
2時刻(2tf)・・セル考慮(CA)の未検出故障を一部カバー(平均2.01%)

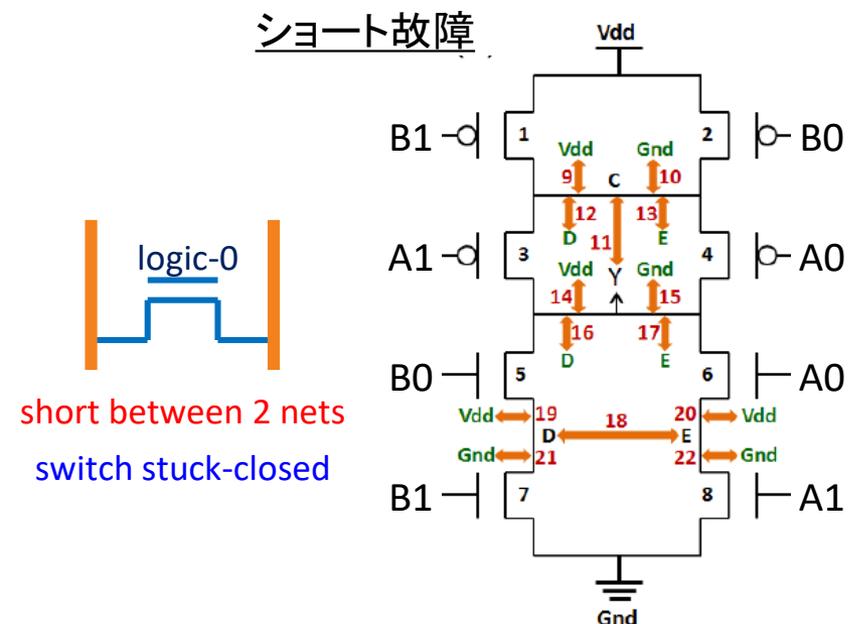
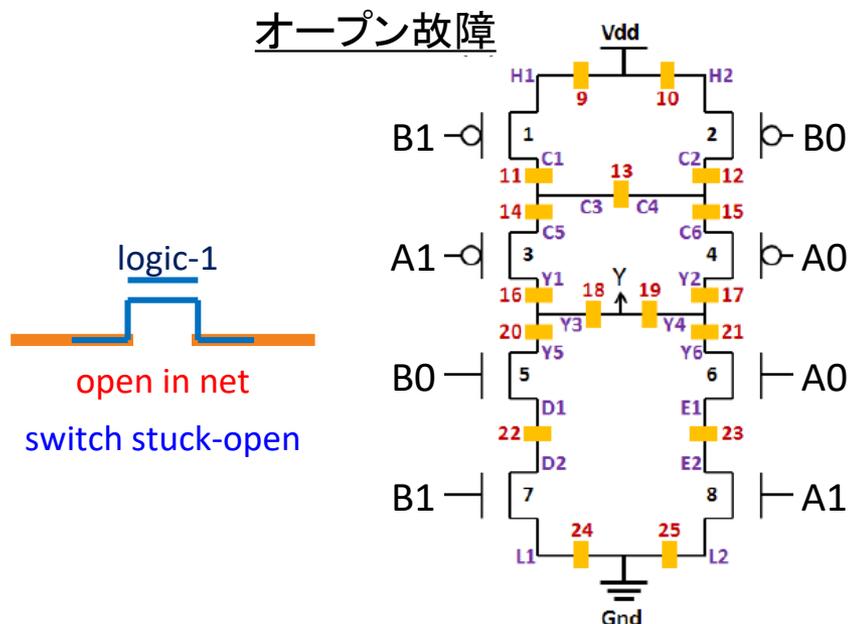
回路	規模	2セル数	有効数	有効率	x-lib率	実行時間	Sim.数
D1	28k	6.0k	2.5k	42%	16%	6.0h	2.5k
D2	45k	9.0k	4.3k	47%	28%	7.8h	3.3k
D3	1.3M	43k	20k	47%	42%	48h	20k
D4	2.0M	67k	31k	46%	61%	58h	24k
D5	1.6M	37k	15k	39%	42%	33h	9k

回路	SA ATPG			BR ATPG			CA ATPG			DCA ATPG			DCA FC(%)			
	故障数	Pat数	TC(%)	故障数	Pat数	TC(%)	故障数	Pat数	TC(%)	故障数	Pat数	TC(%)	SA	BR	CA	DCA
D1	208k	515	96.14	203k	649	85.52	747k	33	96.92	26k	62	93.02	76.18	77.92	77.97	78.76
D2	324k	745	97.23	287k	819	87.89	1.4M	92	98.27	49k	68	97.10	79.76	82.16	82.19	82.72
D3	9.6M	4.0k	96.39	5.0M	910	95.52	109M	505	97.72	863k	522	97.89	84.83	84.83	85.12	85.37
D4	14M	7.2k	99.13	7.1M	2.0k	87.20	204M	255	99.58	913k	932	98.83	87.04	87.21	87.26	87.53
D5	11M	14k	95.26	7.5M	13k	90.30	160M	2.2k	97.45	179k	221	98.03	83.95	84.33	84.41	84.94

回路	TD ATPG			CA ATPG			DCA ATPG			DCA FC(%)		
	故障数	Pat数	TC(%)	故障数	Pat数	TC(%)	故障数	Pat数	TC(%)	TD	CA	DCA
D1	72k	821	95.75	182k	329	94.57	5.5k	184	89.17	62.83	65.12	73.60
D2	144k	1.4k	94.84	382k	535	95.09	14k	633	89.45	67.70	70.06	75.80
D3	71k	1.6k	95.79	302k	408	93.46	3.5k	23	23.63	11.60	11.89	13.33
D4	2.6M	2.0k	63.42	32M	2.0k	33.89	204k	546	38.58	21.02	22.98	24.09
D5	2.4M	25k	96.68	27M	11k	88.33	37k	395	85.16	70.44	72.45	75.73

講演の概要: 9B.1

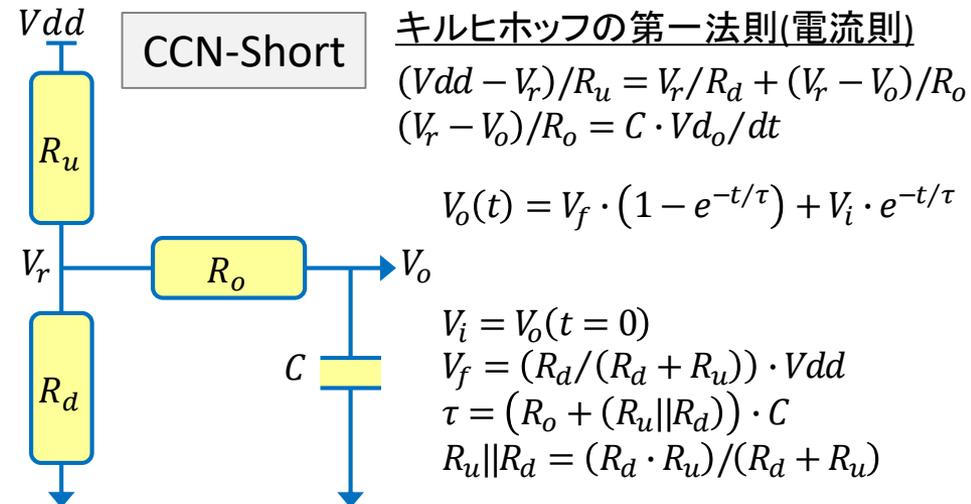
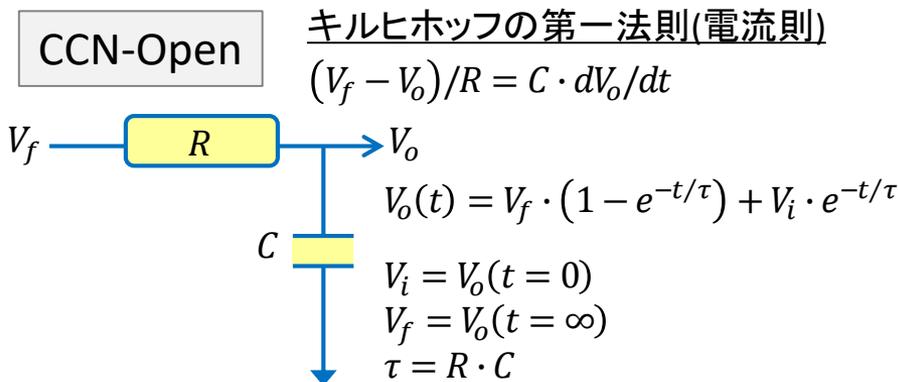
- H. H. Chen (MediaTek): スイッチレベルテスト生成を利用したセル考慮(CA)故障のモデル化
 - セル考慮(CA)テスト
 - 故障モデルはユーザ定義故障モデル(UDFM)
 - セル入力に論理制約を与えてセル内の故障を活性化
 - CA故障モデル作成: 大量のアナログSim., 設計に依存→処理時間大
 - スイッチレベルATPG(SL-ATPG)による入力条件導出により処理時間を短縮
 - SL-ATPG: スイッチのオープン/ショート故障が対象
 - セル内故障を対応故障にモデル化: AOI22の例(オープン-25カ所, ショート-22カ所)



講演の概要: 9B.1 (cont.)

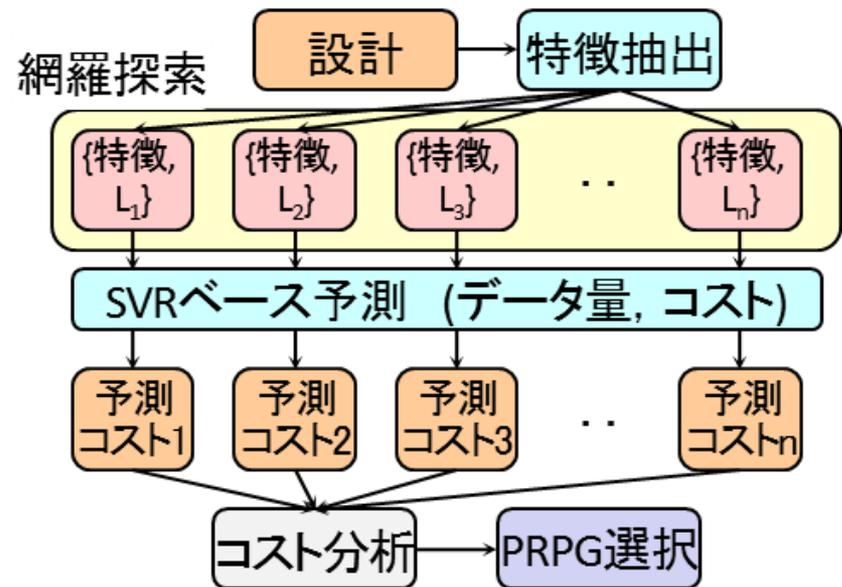
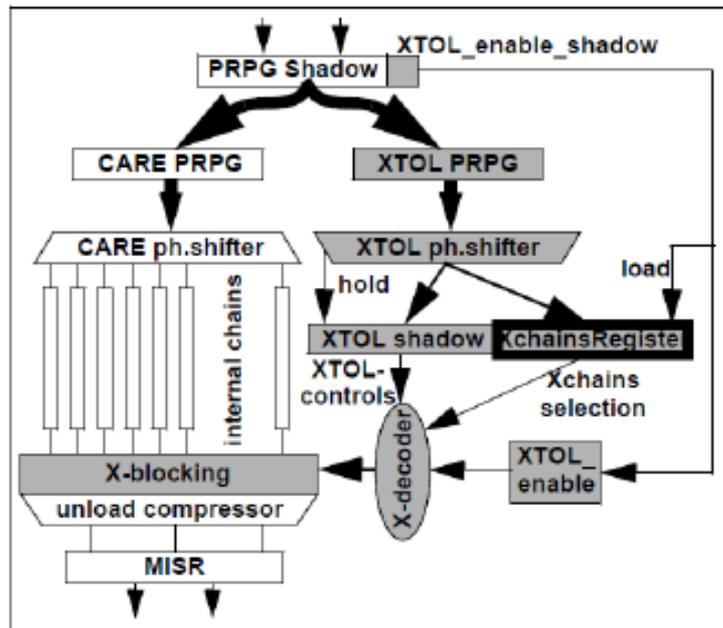
CCN : Channel-Connected Network

- 手法の正当性の検証 : 2つの標準故障クラスに分けて解析
 - CCN-open : 単純なRC回路でテスト条件をモデル化
 - CCN-open故障はスイッチオープン故障に対する遷移テストで検出可能
 - すべてのロバストなテスト入力が見られればアナログSim.は不要
 - CCN-short : 比較的簡単なRC回路でテスト条件をモデル化
 - CCN-short故障はスイッチショート故障に対する遷移テストで検出可能, ただし, 初期化サイクルの追加が必要
 - 1ケース(ρ (欠陥抵抗)=0の場合)のみアナログSim.が必要
- 実験結果 : 180nm Lib.利用(32セル, うち28は複合セル): 実行時間を400x高速化
- 結論 : 効率的なSL-ATPGによりその場での高精度なCA故障モデル作成が可能



講演の概要: 10A.2

- 10A.2 Z. Li (Duke U.): サポートベクタ回帰を用いたスキャン圧縮のテストコスト最適化
 - スキャン圧縮: 設計複雑化により出力X(不定)が増大→効果的なXブロックが必要
 - X-Tolerant(XTOL) PRPG利用した構成: XTOL PRPGの長さがテストコストに影響
 - 提案手法: サポートベクタ回帰(SVR)モデルによりXTOL PRPGの長さを最適化
 - 全体フロー: 特徴抽出→テストコスト予測→特徴選択→コスト分析→PRPG選択
 - 大規模実用回路で評価して有効性を確認



テスト結果データ活用関連

- Session 5B: Reliability Analysis and Yield Optimization
- IP Session 1C: Screening for Layout Sensitive Defects
- IP Session 4C: Data Analytics in Test
 - テスト結果データへの応用に関連して一般講演と企業セッションで合わせて5件の講演あり
 - 注目される5B.2及び1C.2について紹介(5B.2については詳しく)

講演No.	タイトル	著者	所属
5B.2	Learning the Process of Correlation Analysis	S. Siatkowski, et al.	UCSB / NXP
1C.2	Screening Yield Systematics Through Holistic Volume Diagnosis in a Leading-Edge Foundry	Y. Pan	GLOBALFOUNDRIES
4C.1	Big Data Analysis Engines for End-to-End Semiconductor Supply Chain & Quality Control	T. Harper, P. Simon	Qualtera
4C.2	Defective Parts Investigation in Test	R. Mohammed	Intel
4C.3	Intelligent Data Driven Test Eco-System	A. Nahar	TI

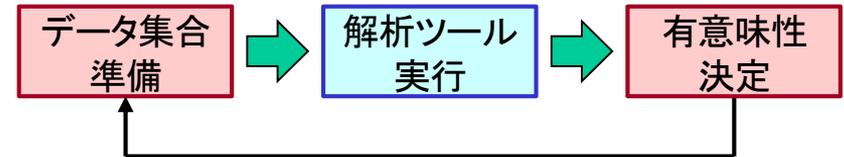
講演の概要: 5B.2

*は第1著者

・S. Siatkowski* (UCSB): 相関解析のためのプロセスの学習

・データ解析: 3ステップからなる対話型プロセス

- ・データ集合準備・・経験的
- ・解析ツール実行
- ・有意性決定・・経験的



・アナリストの観点が不適切であると意味のある相関が得られない

・2つの基本的な疑問:

- ・考えたことのない観点が必要な場合どうすべきか?
- ・経験の少ないアナリストはどうすべきか?

・提案手法: 様々な方法でデータ集合を準備する学習ツールのための学習手法

・歩留り課題を解決する解析プロセスから学習し, 他の製品の問題解決に利用

・歩留り最適化の観点: E-testと不良ダイの相関の発見(ウェハベースで)

・E-test評価値: プロセスパラメータ・全ウェハ利用, 部分集合のみ利用, . . .

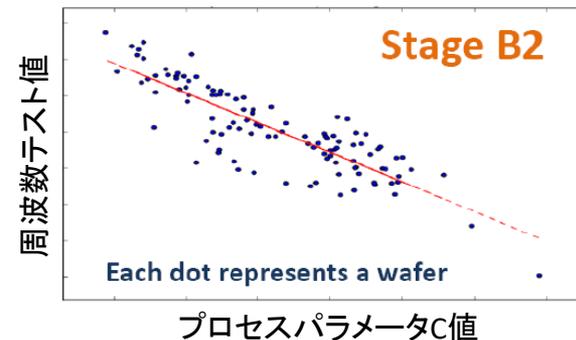
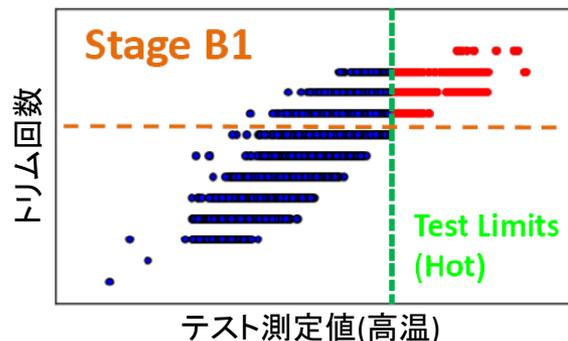
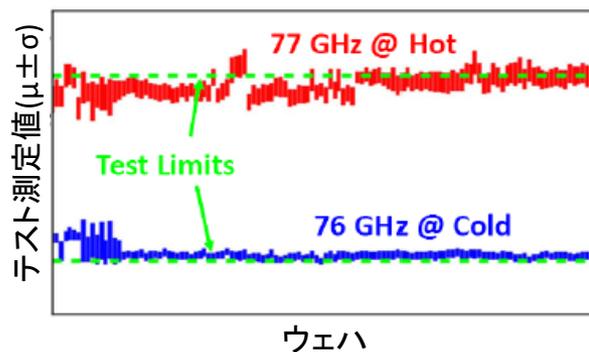
・不良ダイ評価値: 不良数・選別結果, 特定テスト結果; 測定値の平均/分散

・他の側面: 空間的・ウェハの特定領域への限定, 時間的・特定ウェハに限定

・ただし, データ集合構築における多様性だけでなく他の方法(リスク評価)も重要

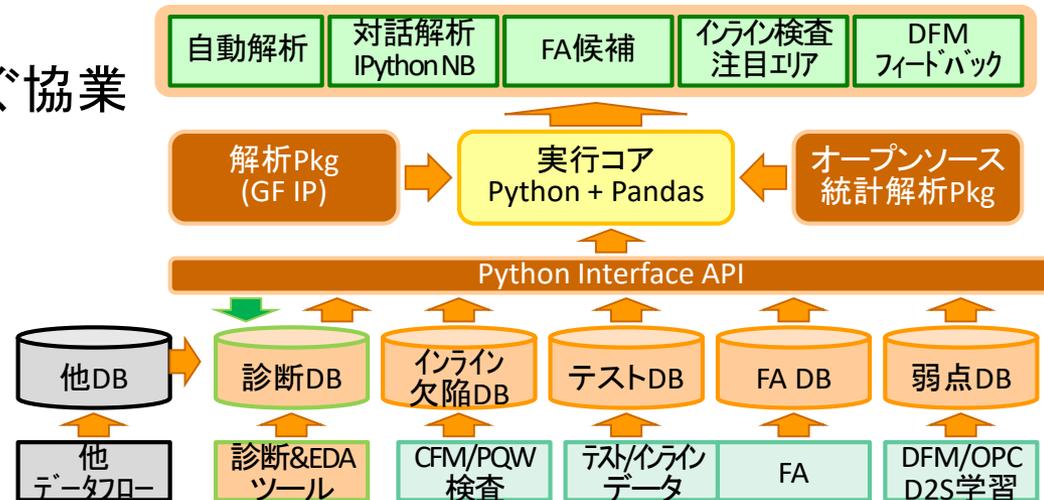
講演の概要: 5B.2 (cont.)

- ・観点の学習: 学習の主対象は観点の集合(データ集合の構築方法)
 - ・観点をデータ操作ステップの系列で表現→プロセスマイニング(PM)を適用
 - ・PM: ワークフローのログ解析手法(機能的推論の一種)
 - ・解析トレースからPMモデルを学習し, これを適用して歩留りの問題点を解析
- ・適用事例: 自動車用レーダ, 76~77GHzで動作; 175ウェハを評価に使用
 - ・パッケージテスト: 低温76GHz, 高温77GHz→ウェハごとに μ と σ を取得
 - 高温での測定値の変動が低温より頻繁に見られた
 - ・適用結果: PMにより一般化した新たなトレース→歩留りの問題点解析に成功
 - ・高温パスとトリム回数に関連性→周波数テストとプロセスパラメータに相関



講演の概要: 1C.2

- Y. Pan (GLOBALFOUNDRIES): 先端ファブにおける包括的量产解析によるスクリーニング
 - レイアウト起因のシステムティック欠陥: 持続的, 本質的にランダム, インパクト大
 - 先端プロセスではますます重要化→継続的学習が必要
 - GFでの準備: 多様なテストチップ, 継続的な顧客の関与, EDA連携
 - 強力なEDAとの連携: セル考慮診断, 根本原因解析, レイアウト解析, など
 - 閉ループレイアウト解析によるシステムティック欠陥の学習
 - GFでの体制: データ解析, 診断解析, 種々のデータマイニング
 - テスト/診断データ解析: リピータ解析が重要
 - 自動化プラットフォームが必要
 - 統合化インフラ: Pylon(c.f. ITC2016 18.1): オープンソース環境で全ソースを統合
 - 事例: AMD製品立上げ時
 - ウェハソートデータからリピータ抽出→原因究明
 - 結論: 課題とチャンスが多数
 - 課題: データ量, ドメインをまたぐ協業
 - チャンス: EDAツールの進歩



AMS/RFテスト関連

- Session 1A, 9A: Analog, Mixed and RF Testing I, II
- IP Session 10B: Innovative Practices in Asia II - From Cost Perspective
 - AMS/RFテスト関連では一般論文で6件, 企業発表で1件の講演あり
 - 評価の高かった1A.2及び1A.3について詳しく紹介

講演No.	タイトル	著者	所属
1A.1	A Technique for Dynamic Range Improvement of Intermodulation Distortion Products for an Interpolating DAC-based Arbitrary Waveform Generator Using a Phase Switching Algorithm	P. Sarson, et al.	ams / Gunma U.
1A.2	Accurate Jitter Decomposition in High Speed Links	Y. Duan, D. Chen	Iowa S. U.
1A.3	Adaptive Test Flow for Mixed-Signal ICs	H. Stratigopoulos	Sorbonne U. / ams
9A.1	A Low-Cost Method for Separation and Accurate Estimation of ADC Noise, Aperture Jitter, and Clock Jitter	S. Chaganti, et al.	Iowa S.U. / TI
9A.2	Analysis of an Efficient On-Chip Servo-Loop Technique for Reduced-Code Static Linearity Test of Pipeline ADCs	G. Renaud, et al.	TIMA
9A.3	Knob Non-Idealities in Learning-Based Post-Production Tuning of Analog/RF ICs: Impact & Remedies	Y. Lu, et al.	UT-Dallas
10B.2	Signal Generation with Specified Harmonics Suppression Using Only Single Digital Output	M. Kawabayta, et al.	Advantest / Gunma U.

講演の概要: 1A.2

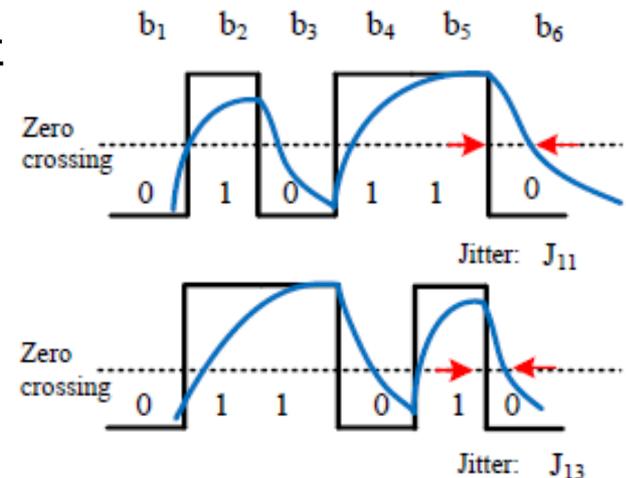
*は第1著者

・Y. Duan* (Iowa S. U.): 高速リンクにおける高精度ジッタ分離

- ・シリアル通信におけるデータレート向上のニーズ大→ジッタが性能の支配的要因
 - ・高精度ジッタ解析: 次世代IO設計の鍵
 - ・許容レベルのビット誤り率(BER)の実現
- ・ジッタ: 信号波形の時間軸方向に発生する変動, 様々な要素を含む
 - ・TJ(総ジッタ)=DJ(確定的ジッタ)+RJ(ランダムジッタ)
 - ・DJ=PJ(周期ジッタ)+DDJ(データ依存ジッタ)+BUJ(有界非相関ジッタ)
 - ・DDJ=DCD(デューティサイクル歪み)+ISI(シンボル間干渉)
 - ・ISI: TJの中で重要, 従来のモデル化は過度に単純か過度に複雑
- ・ジッタの分離: 3とおり
 - ・統計手法, 周波数領域解析, 時間領域解析
- ・提案手法: 最小二乗法(LS)に基づくジッタの分離, ISIモデル化→効率的推定
 - ・PJ, ISI, RJの高精度推定, 少ないサンプルデータ
- ・ISIモデル化: 当該ビット(カーソル)直前kビットに依存

$$\Delta t_{ISI}[n] = f(b_{n-k} b_{n-k+1} \dots b_{n-1}) \\ = \sum_{l=0}^{2^k-1} (J_l \times C_l[n])$$

$$C_l = \begin{cases} 1, & \text{if Binary to decimal } (b_{n-k} b_{n-k+1} \dots b_{n-1}) == l \\ 0, & \text{if Binary to decimal } (b_{n-k} b_{n-k+1} \dots b_{n-1}) \neq l \end{cases}$$



講演の概要: 1A.2 (cont.)

- ・LS利用ジッタ分離アルゴリズム
 - ・TJ系列(入力)→ISI係数行列→PJ行列→内部パラメータ→最終推定値(PJ, ISI, RJ)
- ・評価結果: モデルの精度を確認
 - ・Sim.: MATLAB利用, 疑似ランダムバイナリ系列(PRBS7)・1.27kビット
 - ・高精度推定を実現: 誤差・ISIは0.6ps以下, PJ, RJはほぼ0
 - ・実測: HWテストベンチ使用, RJ及びPJを含むデータ系列を印加
 - ・提案手法はオシロでの測定より少ないデータで高精度であることを確認

TJ系列(入力): z_i

チャンネルパルス応答に基づくISI行列のモデル化
及びカーソル後番号取得

PJ周波数及びデータレートに基づく
PJ行列のモデル化

LSによる初期推定パラメータの $\hat{\theta}_i$ 取得

PJ/ISI/RJの最終推定値の取得

印加ジッタ(ps)			Sim.結果		
RJ	PJ	ISI(pk-pk)	RJ	PJ	ISI
0	20	4.6	0.02	20.00	4.6
2.13	0	4.6	2.13	0.08	5.2
2.13	20	4.6	2.12	20.04	4.6

印加ジッタ(ps)			提案手法の結果(ps)			
RJ	PJ	ISI(pk-pk)	データ	RJ	PJ	ISI
0	20	0	1.27kb	0.03	20.10	0.00
0	20	不明	1.27kb	0.03	20.00	4.58
2.13	20	0	1.27kb	2.12	20.04	0.83
2.13	20	不明	1.27kb	2.12	20.04	4.59

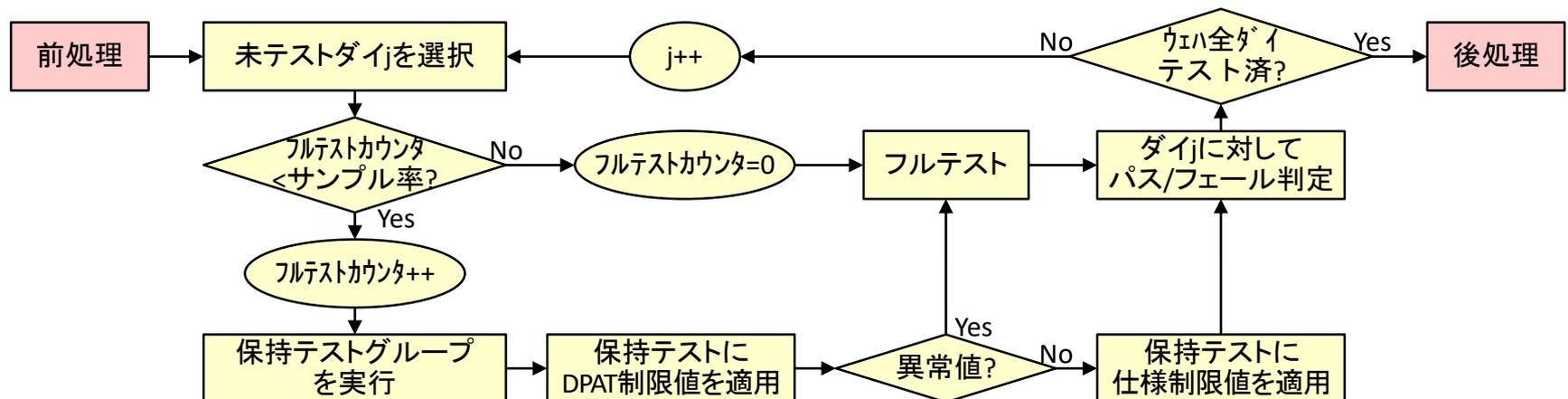
印加ジッタ(ps)			オシロ測定の結果(ps)			
RJ	PJ	ISI(pk-pk)	データ	RJ	PJ	ISI
0	20	0	600kb	1.41	20.5	3.2
0	20	不明	200kb	1.51	20.3	6.5
2.13	20	0	300kb	2.90	17.6	3.2
2.13	20	不明	300kb	2.49	19.8	6.0

講演の概要: 1A.3

*は第1著者

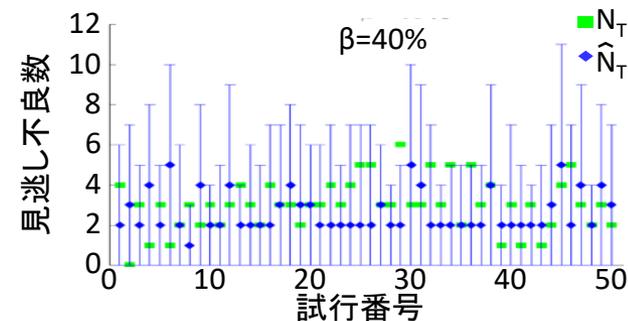
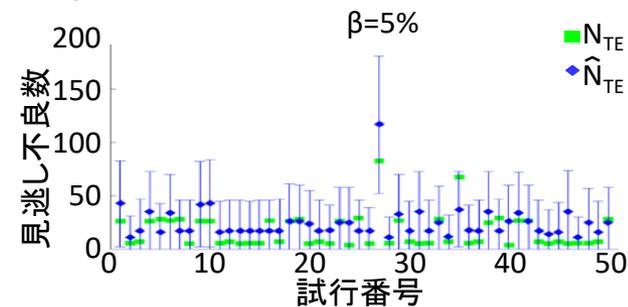
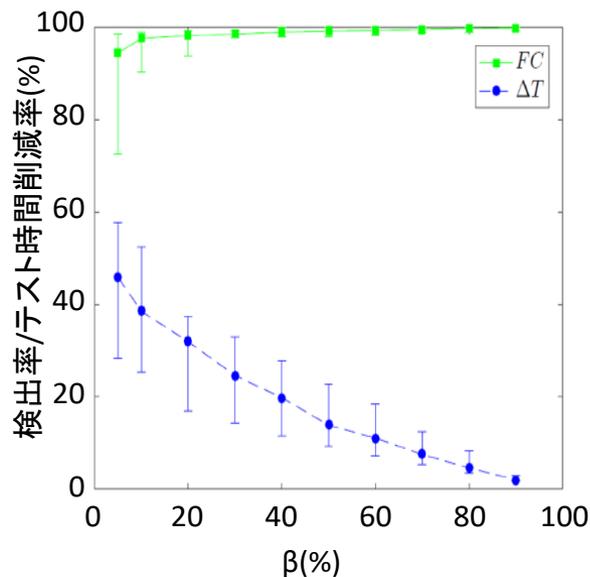
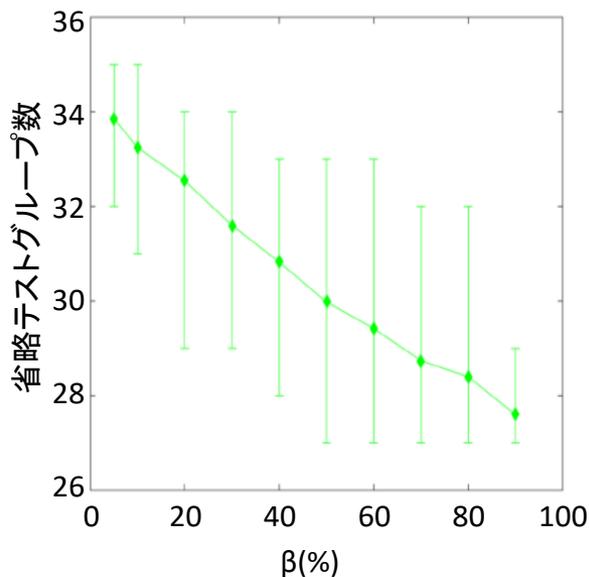
・H. Stratigopoulos* (Sorbonne U.): M-S ICに対する適応型テストフロー

- ・適応型テスト: テスト品質の犠牲なしにテストコストを削減, チップ/ウェハ単位で適応
 - ・いくつかのアイデア: 例... パス確率の高いテストを削除(チップ単位で)
- ・提案手法: ウェハ単位で冗長テストを除去(サンプルチップのテスト結果により)
 - ・周期的にいくつかのチップをサンプリングしタイトな基準で一部のチップをテスト
→ ロバストな異常値検出により品質制御
- ・フロー: 前処理 → 適応型テスト → 後処理
 - ・前処理: 対照サンプル($\beta\%$)を選択しフルテスト → 不良統計から省略テスト決定
 - ・適応型テスト: 周期的に抜き取りフルテスト, それ以外は保持テストのみ実行
 - ・後処理: 見逃し不良のリスクを推定(統計処理)



講演の概要: 1A.3 (cont.)

- ・適用評価: 対象はM-S IC, 338テスト(69テストグループ), 1~40テスト/グループ
- ・テスト時間: 7.87s(フルテスト), 最大グループ・・0.31s, 最長グループ・・1.23s
- ・適用結果: 1ロット25ウェハ, 4370ダイ/ウェハ, サンプル率・・20に設定
 - ・1ウェハでの解析: β の値を変えた(5~90%)時のパラメータ変動(各50試行)
 - ・省略テストグループ数: 平均で34~28
 - ・検出率(FC): 平均で94.5~99.9%; テスト時間削減率(ΔT): 平均で45.9~2.1%
 - ・不良見逃し数: $\beta=5\%$ ・・最悪で83(試行27), $\beta=40\%$ ・・最悪で7
 - ・ウェハをまたがる解析(詳細省略): トレードオフを確認



VTS2017報告

- VTSについて
- VTS2017の概要
- 注目セッションの紹介
- まとめ

VTS2017の特徴

・今回のVTS2017の特徴をまとめると以下のとおり。

(1) アプリケーション指向の波がさらに増幅

- ・昨年VTS2016に続いて, IoT, 車載を中心としたアプリケーション指向がますます強化化する方向

(2) 企業事例セッションに人気

- ・企業事例セッションが今回も人気
- ・とくに2年連続で設置された車載トラックは3セッションのいずれも多くの聴衆が参加, 質疑も活発

(3) 中国が頑張りが目立つ

- ・ともにAsian Initiativeを務めたX. Li教授(中国科学院)も自慢していたが, 今年は中国から3件の論文が採択
- ・参加者も10名と大きな勢力

VTS2018はサンフランシスコで

- VTS2018はサンフランシスコに場所を移して4/22(日)～26(木)に開催予定
投稿締切: 10/13(金)→採否通知: 12/19(火)
- 詳細はWeb(<http://www.tttc-vts.org>)に掲載

