

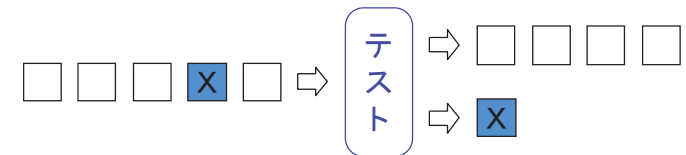
LSIテスト技術の基礎と動向

- LSIテスト技術の基礎
- ITC(International Test Conference) 2016報告
- ATS(Asian Test Symposium) 2016報告

畠山 一実

LSIのテストとは

LSIのテストとは製造されたチップに
含まれる不良品を選別する作業



 : 不良品

アウトライン

◆はじめに

◇LSIテスト技術の基礎

- 論理回路テスト生成手法
- テスト容易化設計

◇ITC2016報告

◇ATS2016報告

テスト装置: テスタ



高性能SoCテスタ



低価格テスタ

SoC: System-on-a-Chip

LSIテストの課題

LSIの高集積化に伴って以下の課題が重大化

- ・テストコスト
- ・テスト品質

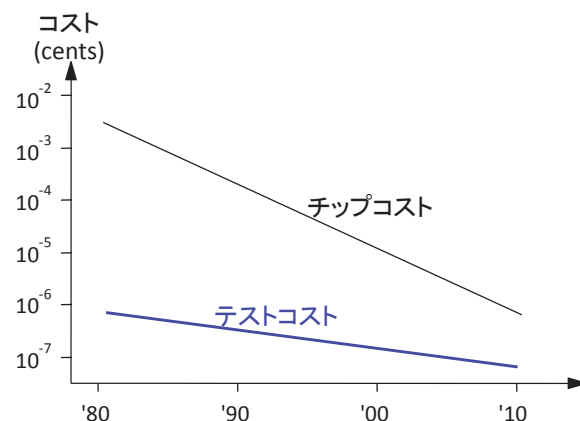
テストコストとその要因

全体テストコストには様々な要因が係わり
何が重要かは場合によって異なる

- ・**テスト設計コスト**
計算機処理時間, 人手作業工数, ツール費用
- ・**テスト回路のコスト**
エリアオーバーヘッド, 配線オーバーヘッド
- ・**テストコスト**
テスト使用時間, テスタ性能向上
- ・**不良品のペナルティ**
補償, 信用失墜, 不良解析工数

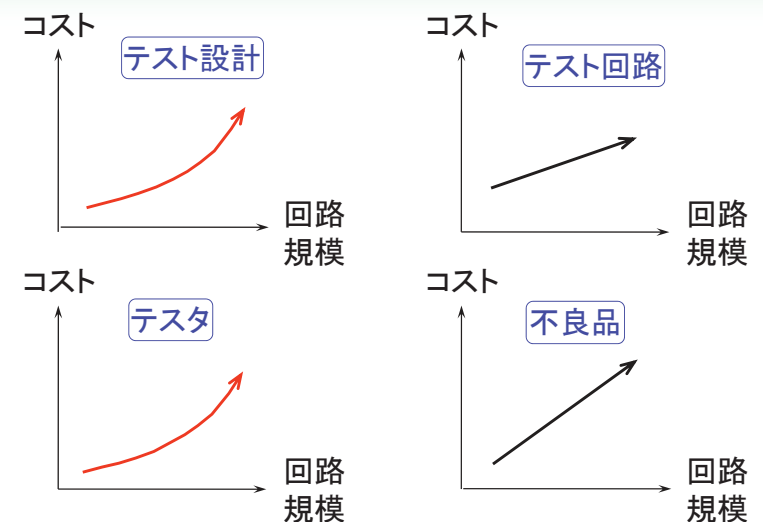
テスト・クライシス

LSIの大規模・高集積化とともにテストコストが爆発



トランジスタ当たりのチップコストとテストコスト

テストコストと回路規模の関係



テスト品質の重要性

テスト品質は製品の不良レベルに直接かわる

$$DL = 1 - Y^{(1-T)}$$

DL: 不良レベル

良品と判定されたLSI中の不良品の割合

Y: 歩留り

製造LSI中の良品の割合

T: テスト品質

不良品を選別できる確率

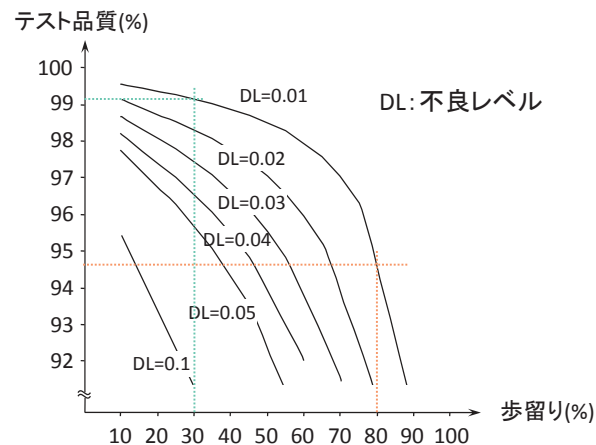
テスト品質の要求水準の例

大規模LSIではテスト品質の要求水準も高い

- ・中規模LSIの場合
歩留り: 80%, 基準不良レベル: 0.01
→要求テスト品質: 95%
- ・大規模LSIの場合
歩留り: 60%(面積2倍, プロセス複雑化),
基準不良レベル: 0.01
→要求テスト品質: 98%

テスト品質と不良レベルの関係

歩留りが下がると高いテスト品質が必要になる



テスト戦略決定要因

テスト戦略はテストコスト間のトレードオフ及びチップコストとの関連を考えて決める必要がある

- ・**テストコスト**がクリティカルな場合
テストコストを削減できるテスト方法が必要
- ・**テスト設計コスト**がクリティカルな場合
テスト設計コストを削減できるテスト方法が必要
- ・生産数量が**多い**場合
チップコストの増加を抑制できるテスト方法が必要
- ・生産数量が**少ない**場合
ある程度チップコストを増加させることも必要

アウトライン

◇はじめに

◆LSIテスト技術の基礎

ー論理回路テスト生成手法

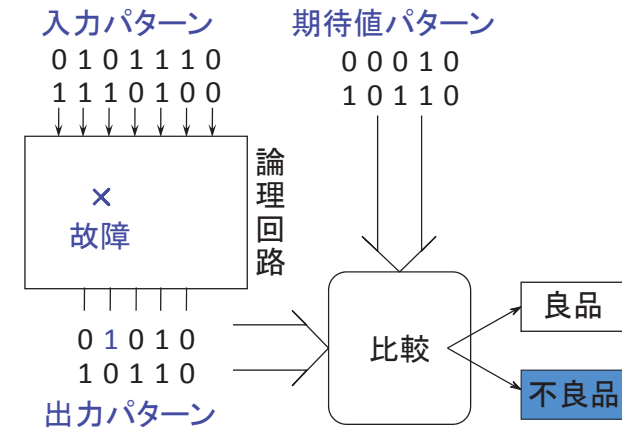
ーテスト容易化設計

◇ITC2016報告

◇ATS2016報告

論理回路のテストの仕組み

出力パターンと期待値パターンを比較して良否を判定



論理回路テスト生成手法

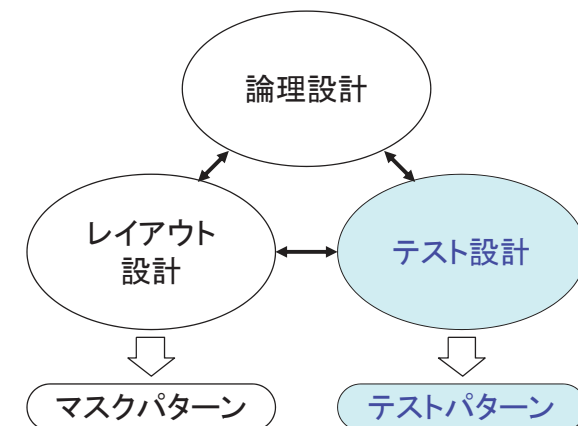
1. 論理回路のテストとは

2. 故障モデルとテスト方法

3. テスト生成基本アルゴリズム

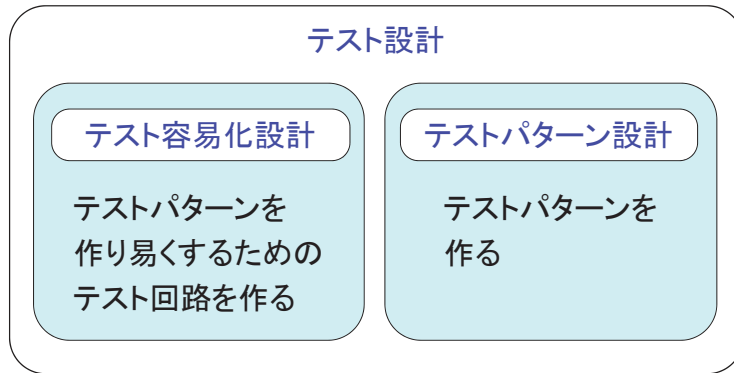
テスト設計の位置づけ

テスト設計とはテストのための入力パターンの設計



広い意味でのテスト設計

テスト設計は**広義**には2つの内容を含む



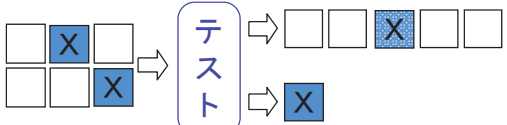
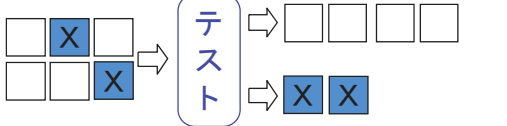
良いテストパターンを作るには

良いテストパターンを作るには様々な工夫が必要

- ・テスト生成手法の改良
 - ・故障検出能力の向上
 - ・故障モデルの拡張
 - ・テストパターン数の削減
- ・テスト容易化設計の活用
 - ・テスト生成時間の短縮
 - ・テスト実行時間の短縮
 - ・テストパターン品質の向上

テスト品質の良し悪し

テスト**品質の良し悪し**はテストパターンの良し悪しによる

テストパターンの良し悪し	テストの結果
良くない	
良い	

論理回路テスト生成手法

1. 論理回路のテストとは
2. 故障モデルとテスト方法
3. テスト生成基本アルゴリズム

故障モデルの分類

テスト設計を考える際には故障のモデル化が必要

◎故障のタイプによる分類

- ・縮退故障(stuck-at) : 信号線が一定レベルに固定
- ・短絡故障(short/bridge) : 信号線が他の信号線と短絡
- ・開放故障(open) : 信号線が断線
- ・遅延故障(delay) : 信号伝播遅延が増大
[遷移故障(transition) : 遅延が大幅に増大]
- ・その他の故障: トランジスタ故障, メモリ故障, 機能故障, ...

◎故障の数による分類

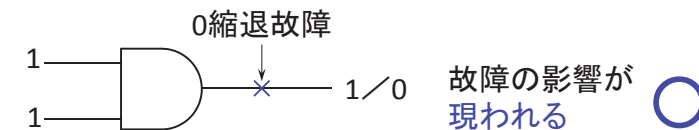
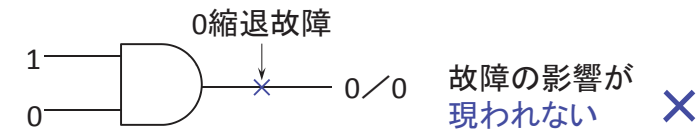
単一故障(single), 多重故障(multiple)

◎故障の状態による分類

永久故障(permanent), 間欠故障(intermittent), 過渡故障(transient)

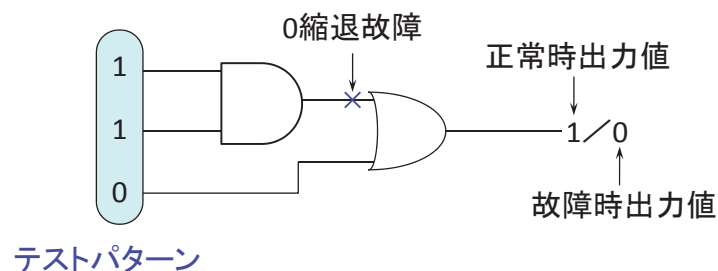
故障の顕現化－１

テストするためには故障の影響の顕現化が必要



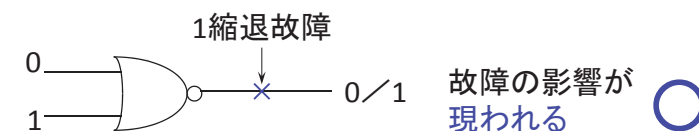
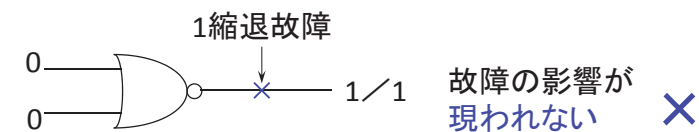
縮退故障のテスト方法

縮退故障はスタティックなパターンでテスト可能



故障の顕現化－２

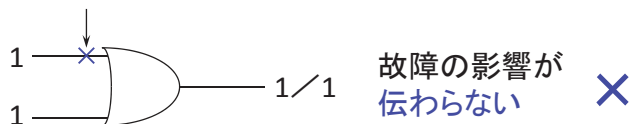
テストするためには故障の影響の顕現化が必要



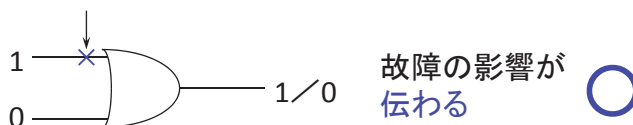
故障の伝播－１

テストするためには故障の影響の伝播が必要

0縮退故障

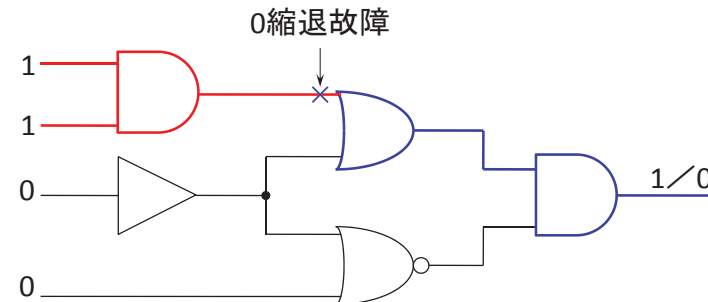


0縮退故障



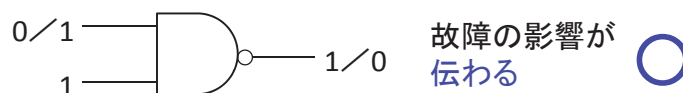
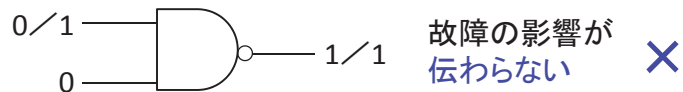
縮退故障のテストの例

故障を顕現化させてそれを伝播する



故障の伝播－２

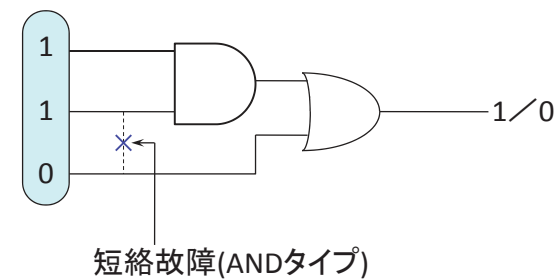
テストするためには故障の影響の伝播が必要



短絡故障のテスト方法

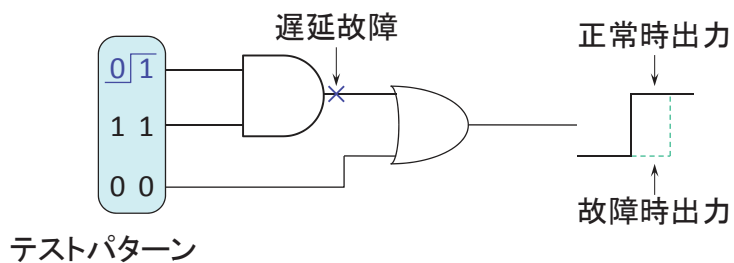
短絡故障もスタティックなパターンでテスト可能

テストパターン



遅延故障のテスト方法

遅延故障はダイナミックなパターンでテスト
(出力を観測するタイミングが重要)



故障検出率

テストパターン品質の尺度として故障検出率を用いる

故障検出率の定義

あるテストパターンTPに対してTPの故障検出率
FCを次式で定義する

$$FC = N_{df} / N_{af}$$

ここで, N_{af} : モデル化された故障の総数

N_{df} : モデル化された故障のうち,
TPで検出される故障の総数

単一縮退故障の仮定

以下では単一縮退故障を主体として話を進める

- ・単一縮退故障が最も取り扱いやすい
テストパターン作成方法が最もわかりやすい
- ・他の故障の多くは単一縮退故障のテストパターンで
検出できる
 - 多重縮退故障についてはほとんどをカバー
 - 短絡故障についても大部分は検出可能
 - ★ただし、最近ではカバーできない故障が重要に
なりつつある(遅延故障, 開放故障等)

論理回路テスト生成手法

1. 論理回路のテストとは
2. 故障モデルとテスト方法
3. テスト生成基本アルゴリズム

主なテスト生成アルゴリズム

組合せ回路用アルゴリズム

- ・一次元経路活性化法
- ・Dアルゴリズム
- ・PODEM法
- ・FANアルゴリズム

:

順序回路用アルゴリズム

- ・拡張Dアルゴリズム

:

一次元経路活性化法

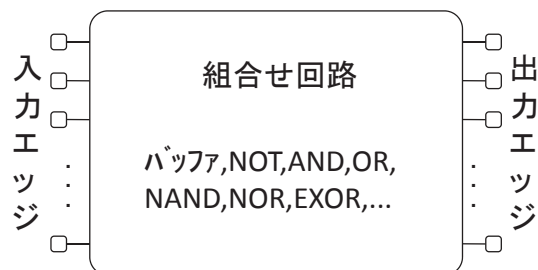
故障伝播経路を決めてその経路を活性化

1. 故障点に故障の影響が現われる条件を求める
(故障顕現化条件)
2. 故障の影響を出力点まで伝播する経路を決める
(故障伝播経路)
3. 故障伝播経路を活性化する条件を求める
(経路活性化条件)
4. 以上の条件を満たす入力パターンを求める

組合せ回路用アルゴリズム

組合せ回路モデルに対してテストパターンを生成

ある信号線に0(または1)縮退故障を仮定し、
これを検出するための入力パターンを求める

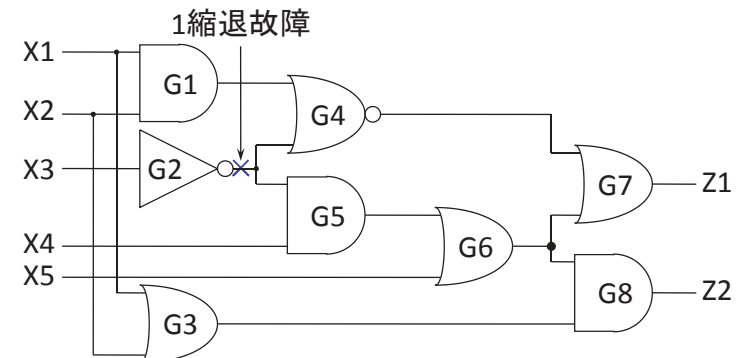


一次元経路活性化法: 生成例

- ・顕現化条件 : $G2=0$
- ・伝播経路 : $G2-G5-G6-G8$
- ・活性化条件 : $X4=1, X5=0, G3=1$

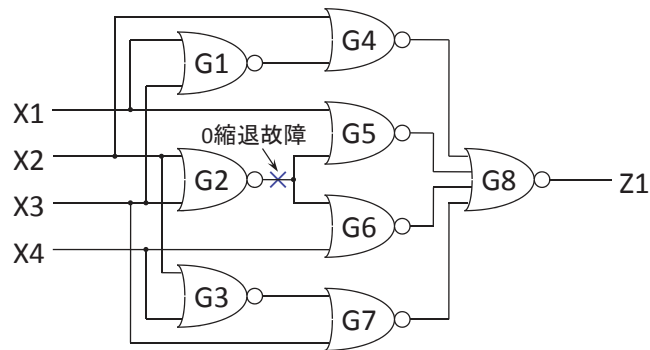
⇒

$X1=1, X2=0,$
 $X3=1, X4=1,$
 $X5=0$



一次元経路活性化法: 欠点

一次元の経路では故障伝播できない場合がある
(例: シュナイダーの回路)



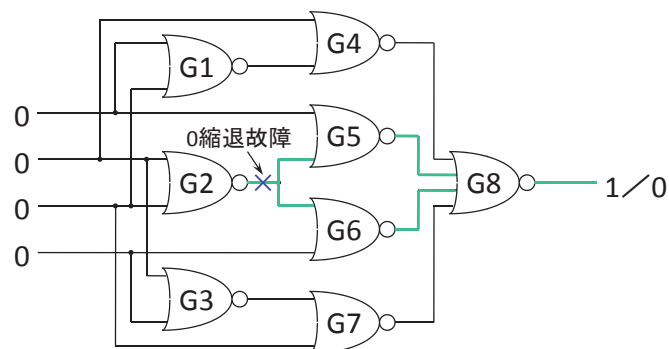
Dアルゴリズム(D-alg.)

キューブ演算によりテストパターンを求める

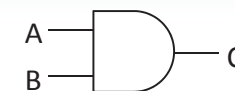
1. 故障挿入: 故障点に故障論理値D(または $\bar{D}$)を与える
 D : 正常時1, 故障時0
 $\bar{D}$: 正常時0, 故障時1
 基本Dキューブを用いる
2. 前方操作: 故障論理値を前方(出力側)に伝播する
 伝播Dキューブを用いる
3. 後方操作: 論理素子の出力値から入力値を決める
 基本キューブ(Cキューブ)を用いる

シュナイダーの回路のテスト

故障伝播経路の再収れんが必要



D-alg.で用いるキューブの例

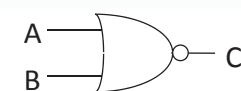


A	B	C
0	X	0
X	0	0
1	1	1
0	X	$\bar{D}$
X	0	$\bar{D}$
1	1	D
1	D	D
D	1	D
D	D	D
1	$\bar{D}$	$\bar{D}$
$\bar{D}$	1	$\bar{D}$
$\bar{D}$	$\bar{D}$	$\bar{D}$

基本キューブ

基本Dキューブ

伝播Dキューブ



A	B	C
0	0	1
1	X	0
X	1	0
0	0	D
1	X	$\bar{D}$
X	1	$\bar{D}$
0	D	$\bar{D}$
D	0	$\bar{D}$
D	D	$\bar{D}$
0	$\bar{D}$	D
$\bar{D}$	0	D
$\bar{D}$	$\bar{D}$	D

キューブの使用方法

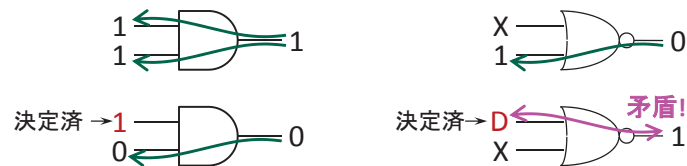
・故障挿入: 基本Dキューブ



・前方操作: 伝播Dキューブ

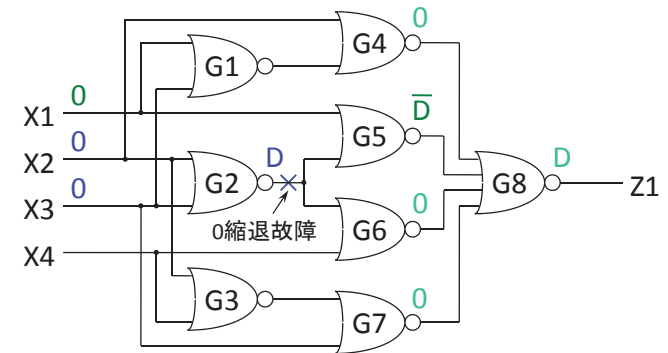


・後方操作: 基本キューブ



D-alg.: テスト生成例(つづき1)

ステップ(1) ~ (3): 故障挿入 & 前方操作



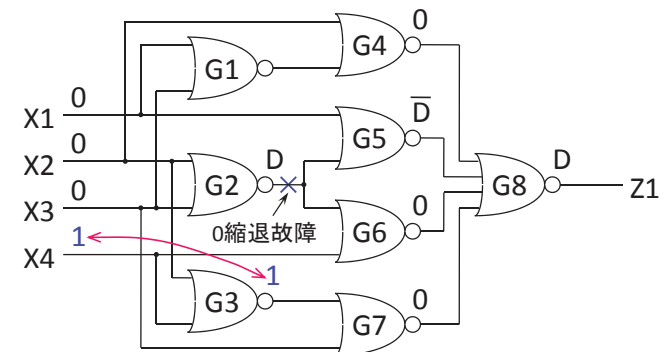
D-alg.: テスト生成例

シュナイダーの回路に対してもテストパターン生成可能

	X1	X2	X3	X4	G1	G2	G3	G4	G5	G6	G7	G8	
(1)		0	0			D							[G2]
(2)	0	0	0			D			D-bar				[G5]
(3)	0	0	0			D		0	D-bar	0	0	D	[G8]
(4)	0	0	0	1		D		0	D-bar	0	0	D	[G6]
(5)	0	0	0	1		D	1	0	D-bar	0	0	D	[G7] ×
(3')	0	0	0	0		D			D-bar	D-bar			[G6]
(4')	0	0	0	0		D		0	D-bar	D-bar	0	D	[G8]
(5')	0	0	0	0		D	1	0	D-bar	D-bar	0	D	[G7]
(6')	0	0	0	0	1	D	1	0	D-bar	D-bar	0	D	[G4] ○

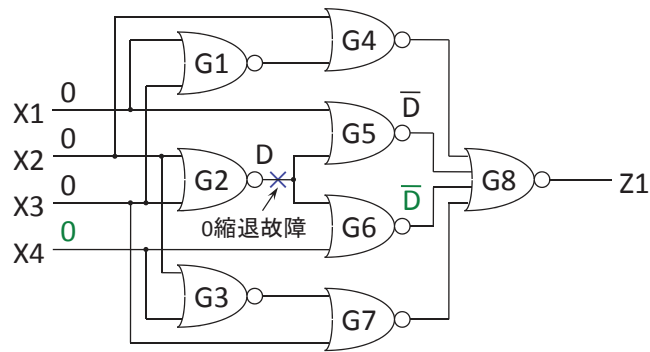
D-alg.: テスト生成例(つづき2)

ステップ(4) ~ (5): 後方操作 → 矛盾



D-alg.: テスト生成例(つづき3)

ステップ(3'): 前方操作(対象変更: G8→G6)



FANアルゴリズム(FAN-alg.)

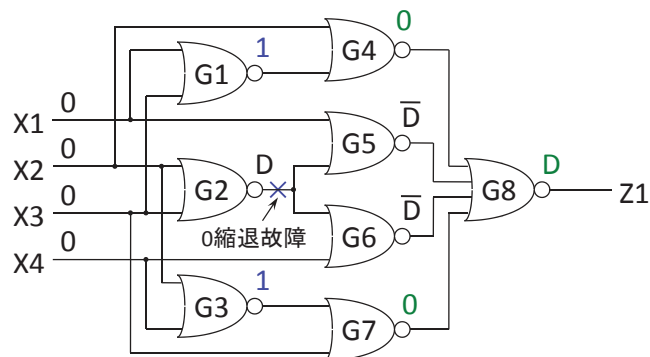
故障挿入の後, 入力値の順次決定によりテストパターンを求める

FANアルゴリズムの特徴

- (a) 一意活性化 : 必ず故障伝播経路上となる素子を前もって活性化する
- (b) 多重後方追跡: 一度に複数の経路を後方追跡して論理値設定の候補点を全て求める
- (c) 含意操作強化: 既決定の論理値から必然的に決定できる論理値をその時点で決める
前方含意操作, 後方含意操作

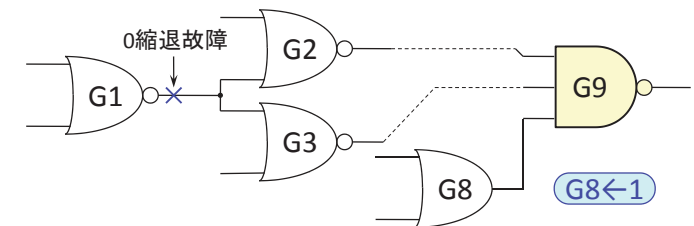
D-alg.: テスト生成例(つづき4)

ステップ(4')~(6'): 前方/後方操作→生成完了

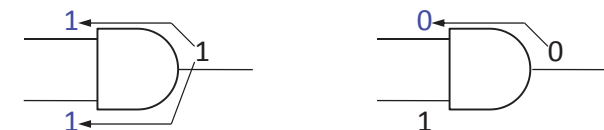


FAN-alg.: 各種処理

・一意活性化



・後方含意操作



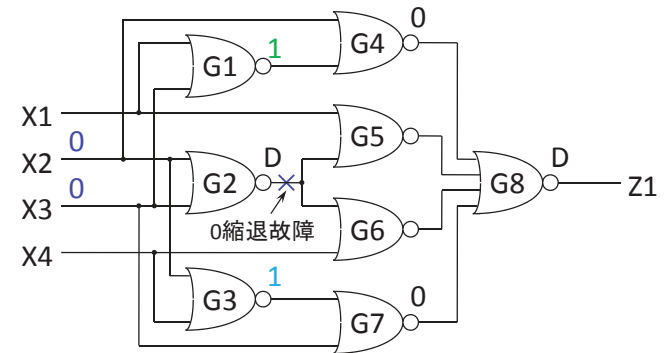
FAN-alg.: テスト生成例

シュナイダーの回路に対して矛盾の発生なしに
テストパターンが求まる

- (1) 故障挿入: $G2=D$
- (2) 一意活性化 $\rightarrow G4=0, G7=0$
- (3) 後方含意操作 [$G2=D$] $\rightarrow X2=0, X3=0$
- (4) 後方含意操作 [$G4=0$] $\rightarrow G1=1$ ($X2=0$ だから)
- (5) 後方含意操作 [$G7=0$] $\rightarrow G3=1$ ($X3=0$ だから)
- (6) 後方含意操作 [$G1=1$] $\rightarrow X1=0$
- (7) 後方含意操作 [$G3=1$] $\rightarrow X4=0$
- (8) 前方含意操作 $\rightarrow G5=\bar{D}, G6=\bar{D}, G8=D$ (生成終了)

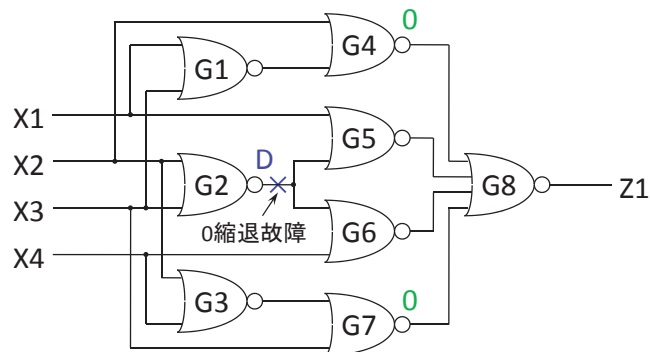
FAN-alg.: テスト生成例(つづき2)

ステップ(3) ~ (5): 後方含意操作($G2, G4, G7$)



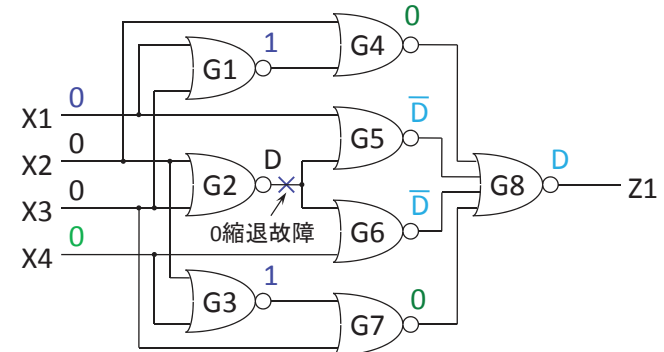
FAN-alg.: テスト生成例(つづき1)

ステップ(1) ~ (2): 故障挿入 & 一意活性化($G8$)



FAN-alg.: テスト生成例(つづき3)

ステップ(6) ~ (8): 後方含意操作($G1, G3$)
 $\rightarrow$ 前方含意操作 $\rightarrow$ 生成完了



アウトライン

◇はじめに

◆LSIテスト技術の基礎

ー論理回路テスト生成手法

ーテスト容易化設計

◇ITC2016報告

◇ATS2016報告

テスト容易化設計の必要性

大規模かつ高機能なLSIでは**方策なしにテスト設計に取り組むことは不可能**（テスト生成コストが莫大）

テスト容易化のアプローチ

・問題をより**易しい問題**に変換する

スキャン設計方式,
階層型テスト容易化方式

・テスト生成を**できるだけしない**ようにする

組込み自己テスト方式,
万能テスト方式

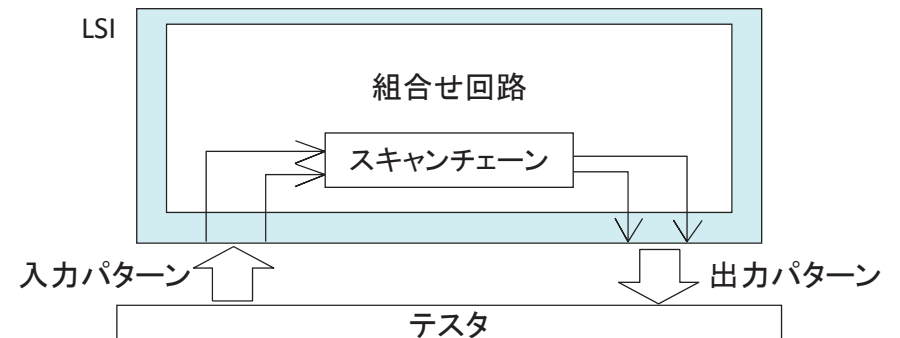
テスト容易化設計

1. スキャン設計方式

2. 組込み自己テスト方式

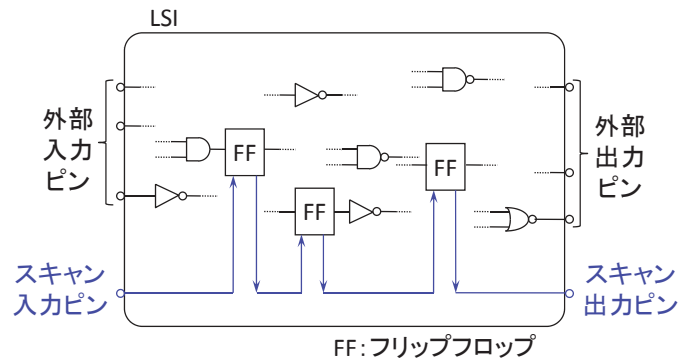
スキャン設計によるテスト容易化

スキャン設計ではテストタからの入力パターンを**スキャンチェーン**（一般に複数）を**通して**フリップフロップ(FF)に書込むことにより**内部状態を設定し**, FFでの出力パターンを**スキャンチェーンを****通して**テストタに読出すことにより**内部状態を観測する**



スキャンチェーンの構成例

FFを外部から直接制御観測できるようになる



フルスキャン方式の利点

順序回路のテスト生成の問題を組合せ回路のテスト生成問題に簡約化できる

テストパターン生成の困難さの比較

回路種別	状態数	テストパターン作成工数	
		原理	アルゴリズム
組合せ回路	2^P	$K_1 \cdot 2^P$	$K_2 \cdot P^k$
順序回路	2^{P+F}	$K_1 \cdot 2^{P+F}$	$(K_2 \cdot P^k) \cdot 2^F$

P: 入力ピン数, F: フリップフロップ数
 K_1, K_2 : 比例定数, k: 係数(1~2)

各種のスキャン設計方式

フルスキャン方式

すべてのフリップフロップをスキャン可能なものにする
ランダムアクセススキャン方式, LSSD方式,
スキャンパス方式, MUXスキャン方式, ...

パーシャルスキャン方式

一部のフリップフロップのみスキャン可能なものにする

フルスキャン方式の短所

種々のオーバーヘッドが短所

ゲートオーバーヘッド

方式によって異なるが一般に全体の5~10%
程度がスキャンのための回路
(フリップフロップ中も含む)

ディレイペナルティ

方式によって異なるが一般に5~10%程度は
ディレイが増加

スキャン専用ピン

方式によって異なるが一般に2~4本程度必要

フルスキャン方式の課題

テスト時の動作が通常動作と異なる

テスト困難な部分がある

- ・論理回路からメモリにアクセスする部分のテスト等
複数クロックサイクルが必要なケース

過剰な電力を消費する

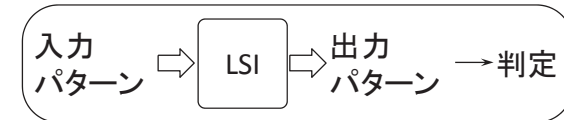
- ・通常動作時は回路全体の20%程度しか動作しない場合でも、テスト時には50%以上動作することもある
- ・低電力設計された回路でも、低電力機能を利用せず動作させる必要がある

組み込み自己テスト(BIST)方式

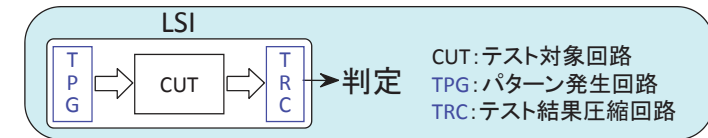
BISTはテストパターン印加を省略するための手段

(BIST : Built-In Self Test)

通常のテスト方法



BIST方式によるテスト方法



テスト容易化設計

1. スキャン設計方式

2. 組み込み自己テスト方式

テスト対象によるBIST方式の分類

テスト対象ごとにBIST方式も異なる

・ロジックBIST

- ・主として疑似乱数(ランダム)パターンでテスト

・メモリBIST

- ・マーチング等のメモリテストパターンを発生

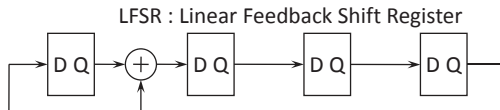
・アナログBIST

- ・回路ごとに工夫
- ・一般的手法としてはD/A, A/D変換を利用

ロジックBISTの一般的な実現方法

パターン発生回路:

線形帰還型シフトレジスタ(LFSR)を用いて
疑似乱数を発生させる

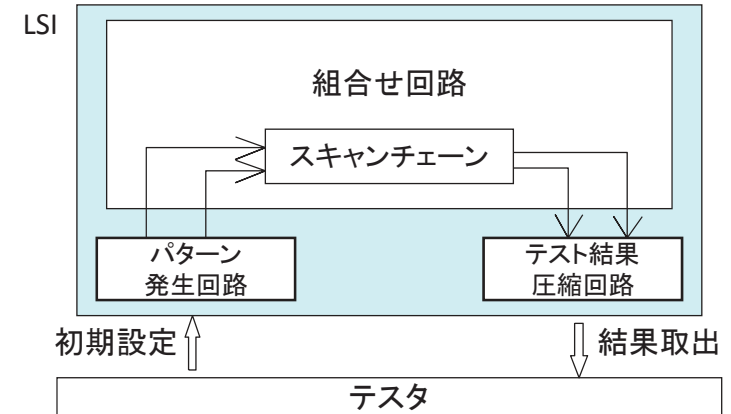


テスト結果圧縮回路:

LFSRを利用したシグネチャアナライザに
より出力応答を圧縮する

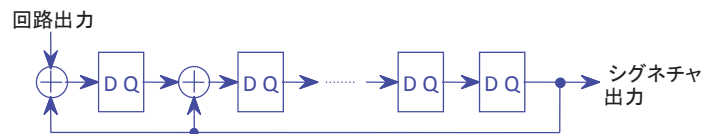
スキャンベースBIST方式

スキャンベースBIST方式はTPGの出力をスキャンチェーンに
接続しスキャンチェーンを通して内部状態を設定する方式

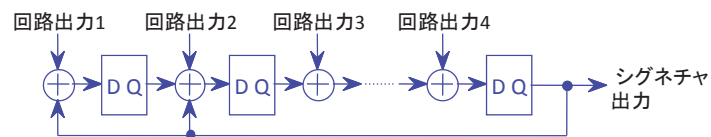


シグネチャアナライザ(出力応答解析回路)

・単一入力LFSR



・多入力シグネチャレジスタ(MISR)



スキャンベースBISTの利点と欠点

BISTの利点

- ・テストのテストデータ量がきわめて少ない
- ・スキャンチェーン数が拡大可能
- ・少ピンでテストできる
- ・実動作のスピード(at-speed)でテストできる
- ・実動作時の保守用にも利用できる

BISTの欠点

- ・ゲートオーバーヘッドが大きい
- ・非常に高い故障検出率を得るのが難しい
- ・故障解析が難しい
- ・設計制約が厳しい(不定値伝播禁止)

スキャンベースBIST方式の問題点

スキャンベースBISTでは故障検出率が低下

故障検出率の低下：フルスキャン・・・99%以上

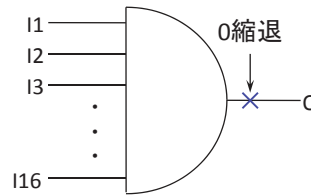
→スキャンベースBIST・・・80～95%

原因

- ・ランダムテスト不適故障の存在

対策

- ・重み付き乱数の利用：複数重みを切り替えて使用
- ・検査点の挿入・・・ランダムテスト容易性向上
- ・特定パターンの発生：デターミニスティックBIST



デターミニスティックBIST

スキャンテストと同等のパターンをBISTで発生することによりテスト品質を向上

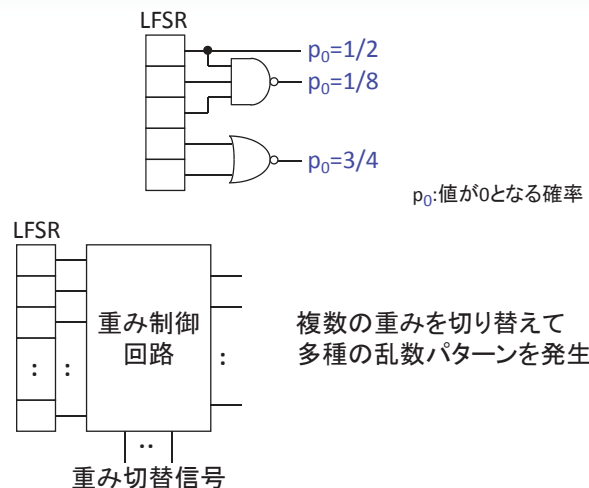
- ・ランダムBIST:ランダムパターンを発生(LFSR)

- ・デターミニスティックBIST:

テスト生成で求めたテストパターンを
BISTのランダムパターンに埋め込む

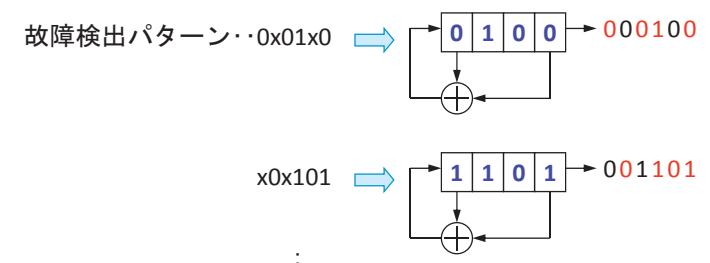
- ・Reseeding
- ・ビット反転
- ・近傍パターン群発生

重み付き乱数パターン生成



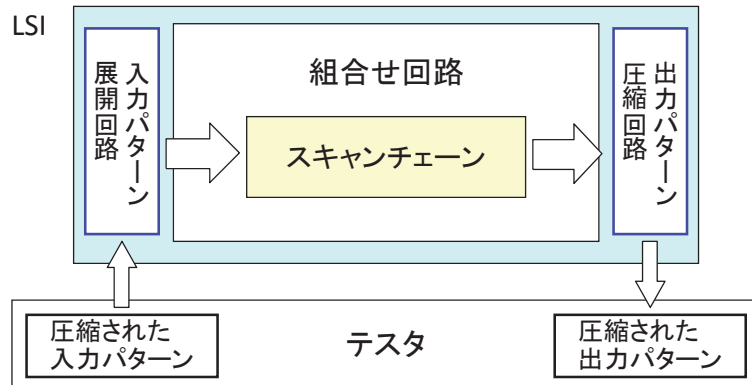
reseeding

- ・テスト生成で求めた故障検出パターンをLFSRから出力するための種パターン(seed)を求め、種パターンを替えながら乱数パターンを発生



圧縮パターンテスト方式

- ・テスト入力パターンを圧縮してテストから印加し、内部で展開してスキャンテストを実行。
テスト結果を内部で圧縮してテストに取り出す。



2017.02.08 Kazumi Hatayama

73

アウトライン

- ◇はじめに
- ◇LSIテスト技術の基礎
 - ー論理回路テスト生成手法
 - ーテスト容易化設計
- ◆ITC2016報告
- ◇ATS2016報告

2017.02.08 Kazumi Hatayama

75

圧縮パターンテスト方式の利点と課題

- ・圧縮パターンテスト方式の利点
 - ・スキャン方式に比べてテストデータ量が大幅に減少
 - ・スキャンチェーン数が拡大可能
 - ・設計制約はスキャン方式と同等
 - ロジックBISTより不定値伝播の問題が小さい
- ・圧縮パターンテスト方式の課題
 - ・効率的な入力/出力パターンの圧縮
 - ・不定値の影響を受けない出力パターンの圧縮
 - ・at-speedでのテスト

2017.02.08 Kazumi Hatayama

74

ITC2016報告

- ・ ITCについて
- ・ ITC2016の概要
- ・ 論文発表の全体動向
- ・ 注目セッションの紹介
- ・ まとめ

2017.02.08 Kazumi Hatayama

76

ITC (International Test Conference)

・ITCの沿革および概要

- ・1970年にIC Testに関するSymposiumとしてスタート
- ・1981年からは現在の名称を使用
- ・LSIを含む電子回路のテスト分野では最大規模かつ最重要な国際会議
- ・VTS(VLSI Test Symposium)がどちらかといえばアカデミックであるのに対して、ITCは企業が主体
- ・論文発表の3日間を中心とした6日間を、ITC Test Week(TM)と呼び、様々なテスト関連イベントを実施



ITC2016報告

- ・ ITCについて
- ・ ITC2016の概要
- ・ 論文発表の全体動向
- ・ 注目セッションの紹介
- ・ まとめ

ITC開催一覧

	Year	Date	Location		Year	Date	Location
14th	1983	10/18-10/20	Philadelphia	33rd	2002	10/06-10/11	Baltimore
15th	1984	10/16-10/18	Philadelphia	34th	2003	09/28-10/03	Charlotte
16th	1985	11/19-11/21	Philadelphia	35th	2004	10/24-10/29	Charlotte
17th	1986	09/08-09/11	Washington	36th	2005	11/06-11/11	Austin
18th	1987	09/01-09/03	Washington	37th	2006	10/22-10/27	Santa Clara
19th	1988	09/12-09/14	Washington	38th	2007	10/21-10/26	Santa Clara
20th	1989	08/29-08/31	Washington	39th	2008	10/26-10/31	Santa Clara
21st	1990	09/10-09/14	Washington	40th	2009	11/01-11/06	Austin
22nd	1991	10/26-10/30	Nashville	41st	2010	10/31-11/05	Austin
23rd	1992	09/20-09/24	Baltimore	42nd	2011	09/18-09/23	Anaheim
24th	1993	10/17-10/21	Baltimore	43rd	2012	11/04-11/09	Anaheim
25th	1994	10/02-10/06	Washington	44th	2013	09/08-09/13	Anaheim
26th	1995	10/21-10/25	Washington	45th	2014	10/19-10/24	Seattle
27th	1996	10/20-10/25	Washington	46th	2015	10/04-10/09	Anaheim
28th	1997	11/01-11/06	Washington	47th	2016	11/13-11/18	Fort Worth
29th	1998	10/18-10/23	Washington	48th	2017	10/29-11/03	Fort Worth
30th	1999	10/26-10/31	Atlantic City				
31st	2000	10/01-10/06	Atlantic City				
32nd	2001	10/28-11/02	Baltimore				

2000-2010: プログラム委員
 1997-2016: ITCアジア委員会委員
 2000-2001は副委員長, 2002-2003は委員長

ITC2016開催概要

- ・開催日 : 2016年11月13日(日)～18日(金)
- ・開催場所 : Fort Worth, TX, USA
- ・参加者 : 1300名程度(日本からは20名強)
- ・基調講演 : 3件(11/15-17)
- ・論文発表 : 18セッション56件(11/15-17)
 一般論文51件(採択率≒35%), 招待論文5件
- ・特別セッション : 8セッション(11/15-17)
- ・パネル : 5件(11/14, 15, 17)
- ・その他セッション : 3件(埋設チュートリアル(2), Ph.D.コンテスト)
- ・ポスター : 24件(11/16)
- ・チュートリアル : 12件(11/13, 14)・・・すべてHalf Day
- ・展示会 : 47件(11/15-17)
- ・企業フォーラム : 13件(11/15, 16)
- ・ワークショップ : 2件(11/17-18)



ART: Automotive Reliability and Test・・・初回
 DATA: Defects, Adaptive Test and Data Analysis・・・6年目
 3D-TEST: Testing Three-Dimensional Stacked ICs→中止

ITC2016 At-a-Glance

SUNDAY, NOVEMBER 13 – HALF-DAY TUTORIALS					
8:30 – 12:00	Tutorial 1 Testing of TSV-based 2.5D- and 3D-Stacked ICs	Tutorial 2 From Data to Actions: Application of Data Analytics in Semiconductor Manufacturing and Test	Tutorial 3 Test Opportunities and Challenges for Secure Hardware and Verifying Trust in Integrated Circuits		
13:00 – 16:30	Tutorial 4 Testing of Automotive ICs: Introduction and Advances	Tutorial 5 Diagnosis-driven Yield Analysis	Tutorial 6 Targeting "Zero Defect" IC Quality: Advanced Cell-aware Fault Models and Adaptive Test		
MONDAY, NOVEMBER 14 – HALF-DAY TUTORIALS					
8:30 – 12:00	Tutorial 7 Memory Test and Repair in the FinFet Era	Tutorial 8 Test, Diagnosis, and Root-Cause Identification of Failures for Boards and Systems	Tutorial 9 Mixed-Signal DFT and BIST: Trends, Principles and Solutions		
13:00 – 16:30	Tutorial 10 Automotive Reliability and Test Strategies	Tutorial 11 Combining Structural and Functional Test Approaches Across System Levels	Tutorial 12 Practices in High-Speed I/O Testing		
MONDAY, NOVEMBER 14 – PANEL					
16:45 – 18:30	Panel 1 The Unknown Unknowns of Test				
TUESDAY, NOVEMBER 15 – TECHNICAL SESSIONS					
9:00 – 10:30	Plenary – Keynote Address The Business of Test: Test and Semiconductor Economics Walden C. Rhines				
10:30 – 17:30	Exhibits				
11:00 – 14:00	Corporate Forum				
14:00 – 16:00	Session 1 Diagnosis	Session 2 DFT	Poster Preview Talks	Special Session 1 Test of Low/High-Power Devices	IEEE TTTC E. J. McCluskey BEST Doctoral Thesis Award: Final Round
16:30 – 18:00	Special Session 3 Test for Security and Trust	Panel 2 Phased Array 5G-Is Test Connected or Disconnected?	Panel 3 Test Cost Reduction —Is There More to Cut?	Special Session 2 3D-IC Test Standard IEEE P1838	Embedded Tutorial 1 Diagnosis to Failure Isolation: The Journey to Root Cause

2017.02.08 Kazumi Hatayama

81

基調講演-1

- W. C. Rhines (Chairman & CEO, Mentor)
- 「テストビジネス: テストと半導体の経済学」
- 半導体製品の差別化: 価格, 性能, 品質, 設計容易性, . . .
 - 品質問題へ力づく手法(1979年(MPU))
 - 工数の40%が機能テスト作成→対策・LSSD(1973/1982)
- テストにおけるイノベーション
 - 1979: 構造テストの必要性 → スキャンテスト(+ATPG)
 - 2001: テストコストクライシスの回避 → 圧縮/パターンスキャンテスト
 - 2004: 遅延テスト強化の必要性 → テスト圧縮率向上
 - 2005: システムティック欠陥への対応 → 故障診断ベース歩留り改善
 - 2009: ゼロディフェクト要求 → セル考慮テスト
 - 2013: ATPG処理時間削減の必要性 → 階層DFT
 - 2016: ISO26262への対応 → パワーオンBIST/オンラインBIST
 - アナログテスト時間が顕著化 → アナログテスト自動化
- 将来のDFTの付加価値は? → モニタリング(安全性, 劣化)
- テスト=価値の創造者
- ☆Mentor社がSiemens社に買収されてどのようになるか注目(心配)

2017.02.08 Kazumi Hatayama

83

ITC2016 At-a-Glance (cont.)

WEDNESDAY, NOVEMBER 16 – TECHNICAL SESSIONS					
8:30 – 10:00	Session 3 Analog I	Session 4 Memory	Session 5 Analytics I	Special Session 4 IEEE 1687.1: What, Why and How	Special Session 5 mmWave ATE HVM Technology
9:30 – 16:30	Exhibits				
10:30 – 12:00	Session 6 IEEE 1687	Session 7 Analog II	Session 8 Analytics II	Session 9 Emerging Devices	Special Session 6 Heterogeneous Integration Pushes the Test Roadmap
12:00 – 14:00	Corporate Forum				
12:00 – 14:00	Poster Session				
14:00 – 15:30	Session 10 Test Vehicle Design	Session 11 ATE I	Session 12 Security	Session 13 Methodology	Special Session 7 Design, Test and Reliability of STT-MRAM
16:30 – 17:45	Keynote Address in honor of E. J. McCluskey Hardware Inference Accelerators for Machine Learning Rob A. Rutenbar				
THURSDAY, NOVEMBER 17 – TECHNICAL SESSIONS					
9:00 – 10:30	Session 14 ATE II	Session 15 Reliability	Session 16 Test Generation	Special Session 8 Automotive IC Quality & Reliability: Today's Challenges & Solutions	
9:30 – 13:30	Exhibits				
11:00 – 12:00	Keynote Address Addressing Semiconductor Industry Needs: Defining the Future Through Creative, Exciting Research Ken Hansen				
13:30 – 15:00	Session 17 Mixed-Signal	Session 18 Practices	Panel 4 ATE Revisited – Where Are We Today and Where Should We Be Heading?	Embedded Tutorial 2 ISO 26262	Panel 5 Test, Validation and Security for IoTs
THURSDAY, NOVEMBER 17 – WORKSHOPS					
16:00 – 16:30	Opening Address				
16:30 – 18:30	Automotive Reliability and Test			Defects, Adaptive Test and Data Analysis	
FRIDAY, NOVEMBER 18 – WORKSHOPS					
8:00 – 16:00	Automotive Reliability and Test			Defects, Adaptive Test and Data Analysis	

2017.02.08 Kazumi Hatayama

82

基調講演-2

- 故E. J. McCluskey教授に敬意を表す位置づけで設置
- R. A. Rutenbar (U. Illinois - U.-C.)
- 「機械学習のためのハードウェア推論アクセラレータ」
- 第3次人工知能ブーム: 機械学習が重要な位置を占める
 - 処理速度の向上=利益向上→研究対象としての関心が高い
- 確率的グラフィカルモデル上の推論について詳しく紹介
 - 内容の詳細は省略
- McCluskey教授の名著「Logic Design Principles」を愛用
- McCluskey教授との思い出を語る
 - 事前指名の6名+自発参加4名が登壇
 - McCluskey教授の人柄, 国際会議での印象などを紹介
- ☆発表内容について興味を持っていただき感激したことを思い出した

2017.02.08 Kazumi Hatayama

84

基調講演-3

- ・ K. Hansen (President & CEO, SRC)

「半導体産業の要望に取り組む:

創造的で刺激的な研究を通して将来を示す」

- ・半導体産業の課題とチャンス(ビジネスの観点から)
 - ・将来は楽観的: 2つの大きなもの・・・ビッグデータとIoT(市場主導)
 - ・技術的課題: Moore則の減速, 現実の確率・統計的な挙動
 - ・技術的チャンス: 付加価値を生む特徴, 自動最適化(性能, 電力, 面積)
 - ・将来のための技術への投資: 歴史的な成長率への復帰を目指して
 - ・新たな研究手法・・・学際的研究, 協調最適化
 - ・研究プロジェクト(SONIC: System on Nanoscale Information FabriCs)
 - ・例: 低信頼部品を用いた高信頼システム
 - ・新たな研究エリアと参加のチャンス・・・門戸は海外にも開かれている
 - ・半導体産業は今が歴史上で最もエキサイティングな時

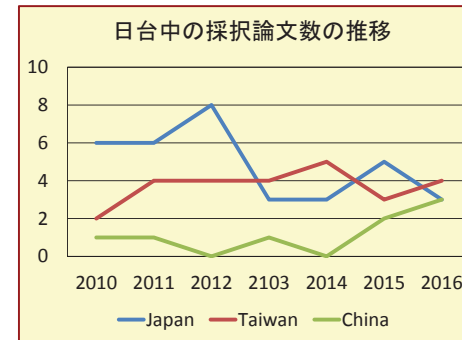
☆国内の状況と比べると非常に印象的

論文発表の概要: 国別論文数

- ・採択論文数: 52件 (採択率は約35%)

- ・日本からは3件(1年で2位から陥落)

- ・国別採択論文数は右図のとおり
(アジア勢は引き続き検討)



	ITC 2016	ITC 2015	ITC 2014	ITC 2013
USA	25	21	34	31
Japan	3	5	3	3
Taiwan	4	3	5	4
China	3	2	0	1
Hong Kong	0	0	0	1
Korea	0	0	1	0
India	2	1	3	0
Germany	2	2	4	3
France	1	1	1	1
Belgium	3	1	2	0
Italy	1	0	0	1
Greece	0	1	0	0
Poland	2	2	1	1
Romania	0	1	0	0
Austria	1	0	0	0
Sweden	1	1	1	0
Spain	0	0	0	1
Estonia	1	0	0	0
Canada	2	1	2	1
Total	51	42	57	48

ITC2016報告

- ・ ITCについて
- ・ ITC2016の概要
- ・ 論文発表の全体動向
- ・ 注目セッションの紹介
- ・ まとめ

分野別論文数

- ・前回/前々回(ITC2015/ITC2014)との比較 (カッコ内は特別セッション数)

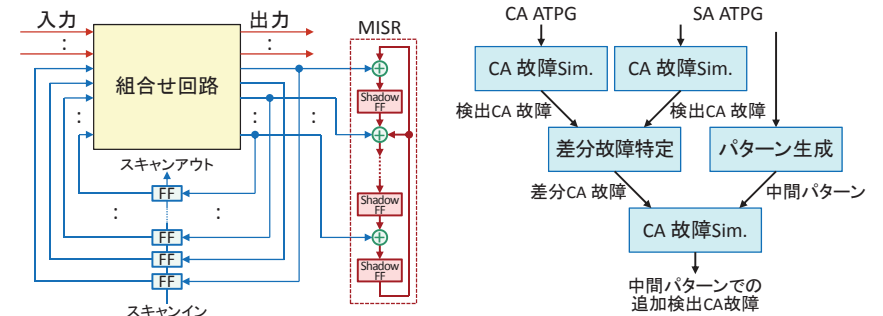
	採択率	ITC2016	ITC2015	ITC2014
	35% (51/147)	30% (42/138)	24% (57/238)	
ディレイテスト/性能テスト	1	1	2	
電力考慮テスト	0	(1)	0	0
ATPG(テスト生成)/テストデータ圧縮	2		0	7
メモリ/FPGAテスト	4	(1)	4	5
アナログ/ミクストシグナルテスト	6		3	8
高速I/O/RFテスト	2		3	4
3D-ICテスト	0	(1)	5	3
その他のデバイステスト	1		1	0
DFT(テスト容易化)/BIST(組込み自己テスト)	4		3	3
ATE(テスト装置)	6	(1)	2	3
ボード/システムテスト	0		3	2
デバッグ/故障診断/歩留改善	6		3	6
欠陥ベーステスト	0		0	2
アダプティブテスト/テスト結果データ活用	6		2	3
高信頼化/劣化対応/セキュリティ	7	(2)	6	7
テスト標準	3	(1)	2	0
その他	3	(1)	4	2
合計	51	(8)	42	57

ITC2016報告

- ITCについて
- ITC2016の概要
- 論文発表の全体動向
- 注目セッションの紹介
- まとめ

講演の概要: 2.3

- F. Zhang (SMU): 浪費クロックサイクルの利用ースキャンシフトサイクルでの偶然のセル考慮故障検出
- セル考慮(CA)故障対応によりパターン数増加
→シフトサイクルでの偶然の検出を利用することで増加を抑制
- シャドーFF: 中間シフトパターンをキャプチャするFF・貪欲法により対象を選択
- 効果測定方法: 偶然検出可能なCA故障を特定
・SAパターン検出とCAパターン検出のCA故障の差分を中間パターンで故障Sim.



ATPG/DFT関連

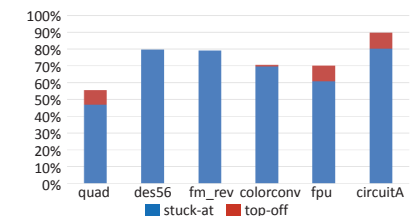
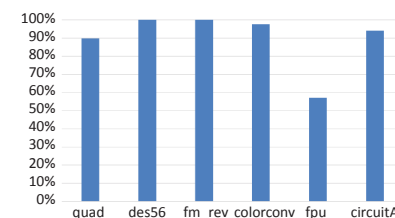
- Session 2: DFT, Session 13: Methodology, Session 16: Test Generation
- ATPG/DFT関連では7件の講演(1件は招待講演)あり
- 2.3については詳しく, 13.1については簡単に紹介

講演No.	タイトル	著者	所属
2.1	Test Point Insertion in Hybrid Test Compression/LBIST Architectures	J. Tyszer, J. Zawada; N. Mukherjee, J. Rajski, E. Moghaddam	Poznan U.T.; Mentor
2.2	A Unified Test and Fault-tolerant Multicast Solution for Network-on-Chip Designs	D. Xiang; K. Chakrabarty; H. Fujiwara	Tsinghua U.; Duke U.; Osaka Gakuin U.
2.3	Putting Wasted Clock Cycles to Use: Enhancing Fortuitous Cell-aware Fault Detection with Scan Shift Capture	F. Zhang, D. Hwong, Y. Sun, A. Garcia, S. Alhelaly, J. Dworak; G. Shofner, L. Winemberg	SMU; NXP
2.4	Minimal-Area Test Points for Deterministic Patterns	J. Tyszer; Y. Liu, S. Reddy; E. Moghaddam, N. Mukherjee, J. Rajski	Poznan U.T.; U. Iowa; Mentor
13.1 (invited)	Advanced Test Methodology for Complex SoCs	P. Jagannadha, M. Yilmaz, M. Sonawane, S. Chadalavada, S. Sarangi, B. Bhaskaran, A. Abdollahian	NVIDIA
16.1	Transformation of Multiple Fault Models to a Unified Model for ATPG Efficiency Enhancement	C-H. Wu, K-J. Lee	Nat'l Cheng Kung U.
16.3	An On-Chip Self-Test Architecture with Test Patterns Recorded in Scan Chains	K-J. Lee, P-H. Tang; M. Kochte	Nat'l Cheng Kung U.; ITI/U. Stuttgart

講演の概要: 2.3 (cont.)

- 評価実験(6種の例題回路(FF数120~30k))
- 未検出CA故障の検出の能力: 57~100%を提案方式によりカバー
- パターン増の抑制効果: CAパターンと比較して55~90%に削減
- 必要なシャドーFFの比率: すべてのCA故障のカバーには1.8~41.7%が必要

回路	FF数	SA故障数	CA故障数
quadratic	120	~8,200	~34,500
des56	193	~13,800	~54,000
fm_receive	501	~20,000	~79,000
colorconv	584	~38,500	~184,000
fou_double	5,231	~297,000	~1,210,000
circuitA	30,462	~126,300	~5,143,000



講演の概要: 13.1

13.1 M. Yilmaz (NVIDIA): 複雑なSoCに対する先進テスト戦略

- NVIDIAのGPUのトランジスタ数は指数的に増加・量が問題化
- テスト戦略のゴールと対策(すでに実装済):
 - コンカレントテストのための完全なコアの分離
 - 分離のためのセル(FF)・専用/共有, 対応クロック設計
- 標準的かつ柔軟な省ピンスキャンI/F
 - NVIDIA ScanLink I/O・柔軟なシリアルスキャンI/F(FSSD)
- SoCレベルでの集約的なテスト制御
 - FSSD: Flexible Scan Serializer/Deserializer
- テスト時電力の軽減
 - シフトタイミングの時差化(16分割)→シフト時電力降下を平均で30%低減

チップ	FF数	電圧	平均降下率(%)		最大降下率(%)	
			時差無	時差化	時差無	時差化
IP-1	4M	V1	30.29	20.00	36.19	24.86
IP-2	6M		54.29	37.90	58.95	42.76
IP-3	8M		39.05	20.95	43.14	23.43
IP-1	4M	V2	29.00	19.00	25.00	23.00
IP-2	6M		53.00	36.00	57.00	42.00
IP-3	8M		38.00	19.00	42.00	22.00

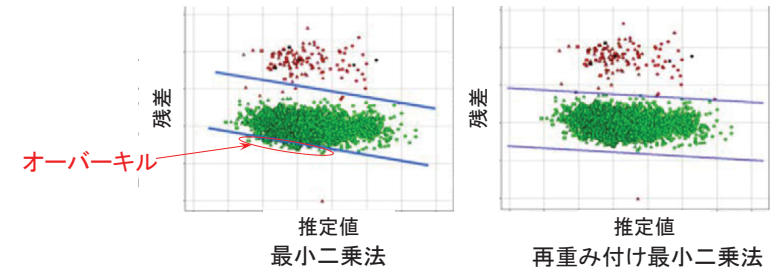
2017.02.08 Kazumi Hatayama

93

講演の概要: 8.1

8.1 K. Butler(TI): テストデータ解析ソリューションを開発適用して12年後の知見

- テストデータ異常値解析の進化
 - 90年代中期(ロット単位)→90年代後期(ダイ単位)→00年代中後期(位置平均)
- 位置平均(LA): ロバストな統計手法
- 最も重要な概念: 非線形・非単調変換, 見えない不良の見える化
- ベースラインの要求
 - データ完全性: 全体手法は適応型かつデータ駆動, データの欠如は致命的
 - パラメータランキング/選択: 製品もテスト項目も多数, 何を採用すべきかは難題
 - ロバストな回帰モデル: 良品の挙動にフォーカス(異常値の影響を排除)
 - サイト正規化: サイトごとに測定値にオフセット→正規化によりオフセットを補償



2017.02.08 Kazumi Hatayama

95

テスト結果データ活用関連

Session 5/8: Analytics I/II

- テスト結果データ活用関連では6件の講演あり
- 8.1については詳しく, 8.3については簡単に紹介

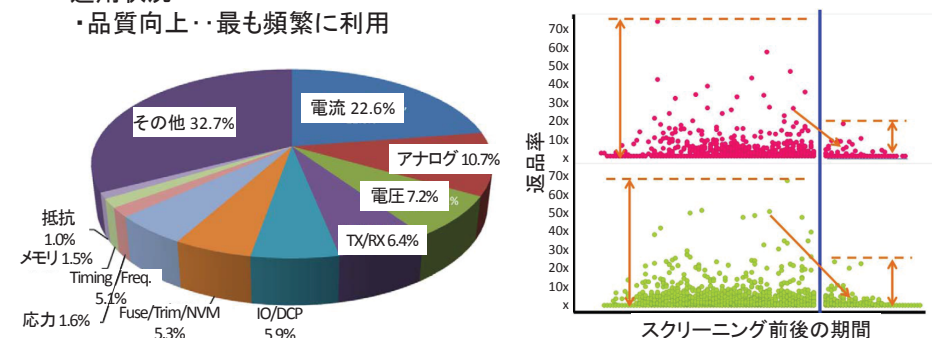
講演No.	タイトル	著者	所属
5.1	Statistical Outlier Screening As a Test Solution Health Monitor	D. Shaw, K. Butler, D. Hoops, A. Nahar	TI
5.2	Accurate Anomaly Detection Using Correlation-based Time-Series Analysis in a Core Router System	S. Jin, K. Chakrabarty; Z. Zhang; X. Gu	Duke U.; Spreadtrum; Huawei
5.3	Harnessing Process Variations for Optimizing Wafer-level Probe-Test Flow	A. Ahmadi, C. Xanthopoulos, Y. Makris, A. Nahar, B. Orr, M. Pas	UT Dallas; TI
8.1	What We Know After Twelve Years Developing and Deploying Test Data Analytics	K. Butler, A. Nahar; R. Daasch	TI; Portland S.U
8.2	Supply-Voltage Optimization to Account for Process Variations in High-Volume Manufacturing Testing	G. Kadam, M. Rudack, J. Alt; K. Chakrabarty	Intel; Duke U.
8.3	Variation and Failure Characterization Through Pattern Classification of Test Data From Multiple Test Stages	C-K. Hsu, K-T. Cheng; P. Sarson, F. Leisenberger, G. Schatzberger; J. Carulli, S. Siddhartha	UCSB; ams; GLOBALFOUNDRIES

2017.02.08 Kazumi Hatayama

94

講演の概要: 8.1(cont.)

- 有効測定項目
 - 電流測定が最大のカテゴリ, アナログパラメータ測定も多数
 - 有効測定項目は多種多様→手法の広範囲での有効性を示す
- 適用範囲
 - 初期: バーンイン最小化のみ
 - 現在: 品質向上, 顧客返品スクリーニング, テスト時間削減, などにも適用
- 適用状況
 - 品質向上・最も頻繁に利用

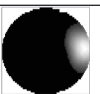


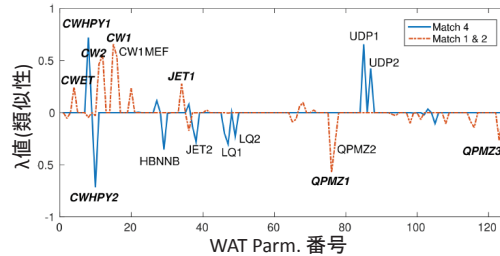
2017.02.08 Kazumi Hatayama

96

講演の概要: 8.3

- ・8.3 C.-K. Hsu (UCSB): 複数テスト段階からのテスト結果のパターン分類を通したばらつきと故障の特徴付け
 - ・狙い: 複数のテスト段階の相関を調査→製造プロセスの弱点を見つける
 - ・課題: バイナリテスト結果からの相関付け, ランダムばらつき及び異常ウェハ
 - ・提案手法(枠組み): 2つのフローからなる
 - ・WAT(ウェハ受入れテスト)データ→ウェハマップを2分類→パターンギャラリー
 - ・WS(ウェハソート)データ→バイナリウェハマップ→特徴パターン抽出
 - テンプレートマッチングによりWATとWSのテスト項目を相関付け
 - ・適用事例: EEPROM(ams社), 300以上のウェハ, 124のパラメータ
 - ・WATパラメータとWS項目の間の5つのマッチングを抽出

Match1	名称	パターン
WAT Parm.	CWET, CW1, 他	
WS 項目	Volts1stErase, 他	
類似性 = 0.78		

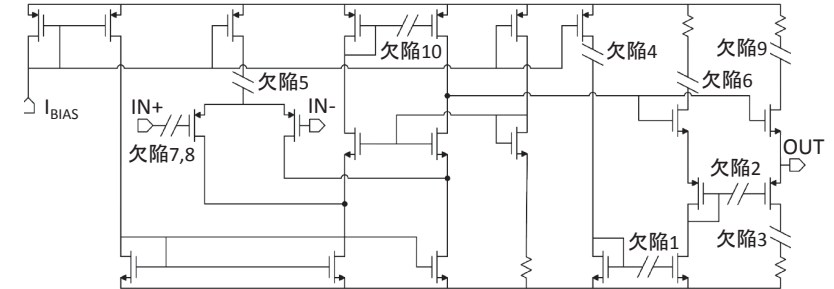


2017.02.08 Kazumi Hatayama

97

講演の概要: 3.2

- ・B. Esen (KU Leuven): アナログ回路オープン故障向け効率的DC故障モデルとテスト手法
 - ・車載電子部品数が増加→アナログ部品が不良原因の支配的要素(78%)
 - ・欠陥指向テストで見逃し不良低減→さらなる低減にはより良い故障モデルが必要
 - ・ゲートオープンDC故障モデルを提案し, 新たな欠陥指向テスト手法を提示
 - ・容量カップリングでモデル化→DC特性抽出→故障時の特性を推定
 - DC特性差の現れる測定条件を使用してパス/フェール判定
 - ・評価実験: 増幅回路中の10カ所のオープン欠陥を考慮



2017.02.08 Kazumi Hatayama

99

AMS/RFテスト関連

- ・Session 3/7: Analog I/II, Session 17: Mixed-Signal
 - ・AMS/RFテスト関連では8件の講演あり, それぞれ簡単に紹介
 - ・3.2及び3.3について詳しく紹介

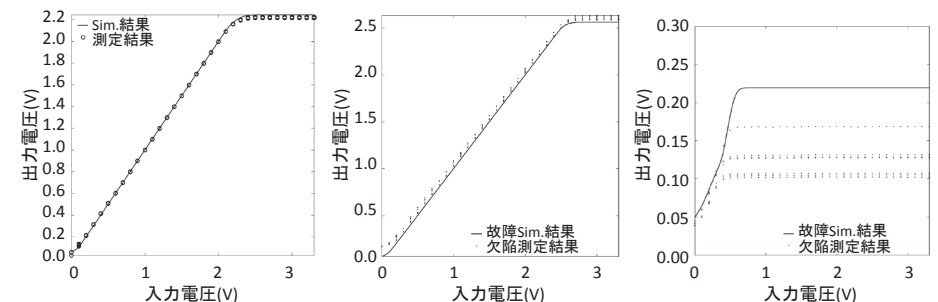
講演No.	タイトル	著者	所属
3.1	Analog Fault Coverage Improvement Using Final-Test Dynamic Part Average Testing	W. Dobbelaere, R. Vanhooren, W. De Man, K. Matthijs; A. Coyette, B. Esen, G. Gielen	ON Semi; KU Leuven
3.2	Effective DC Fault Models and Testing Approach for Open Defects in Analog Circuits	B. Esen, A. Coyette, G. Gielen; W. Dobbelaere, R. Vanhooren	KU Leuven; ON Semi
3.3	Fault Simulation for Analog Test Coverage	J. Sequeira, S. Natarajan, P. Goteti, N. Chaudhary	Intel
7.1	Low-Cost Ultra-Pure Sine Wave Generation with Self Calibration	Y. Zhuang, D. Chen; A. Unnithan, A. Joseph, S. Sudani, B. Magstadt	Iowa S.U.; TI
7.2	RF Test Accuracy and Capacity Enhancement on ATE for Silicon TV Tuners	Y. Fan, A. Verma, Y. Su, L. Rose, J. Janney, V. Do, S. Kumar	Silicon Labs
7.3	SERDES External Loopback Test Using Production Parametric-Test Hardware	S. Arora, A. Aflaki, S. Biswas, M. Shimanouchi	Intel
17.1	Automated Measurement of Defect Tolerance in Mixed-Signal ICs	S. Sunter; A. Valerio, R. Miglierina	Mentor; STMicro
17.2	Automatic Test Signal Generation for Mixed-Signal Integrated Circuits Using Circuit Partitioning and Interval Analysis	A. Coyette, B. Esen, G. Gielen; W. Dobbelaere, R. Vanhooren	KU Leuven; ON Semi

2017.02.08 Kazumi Hatayama

98

講演の概要: 3.2 (cont.)

- ・実験結果:
 - ・テストチップの実測とSim.結果を比較→一般的にはよく一致することを確認
 - ・プロセスばらつきで特性が大きく異なる場合あり→ばらつきの考慮が必要
 - ・30個のオープン故障を仮定してSim.評価: 仕様ベース手法と検出能力を比較
 - ・仕様ベース手法: 14/30のみ検出→提案手法: 13/14も検出(96.7%)



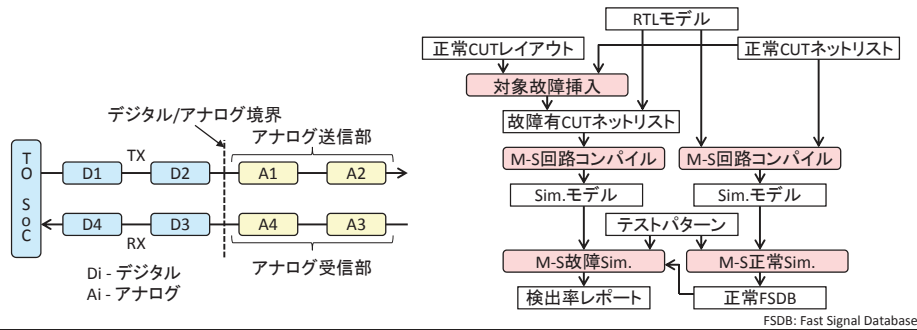
2017.02.08 Kazumi Hatayama

100

講演の概要: 3.3

・Natarajan (Intel): アナログ故障検出率のための故障シミュレーション

- ・MS-SoCの利用が拡大・チップ中のアナログ/HS-I/Oの面積が増大
- ・アナログ回路の観測性が低下→テスト品質が問題
- ・アナログ回路の故障検出率測定のための実用的な故障Sim.方法を提案
 - ・全体回路を複数モジュールに分割
 - ・対象モジュールをSPICEモデル記述, 他モジュールを動作記述してSim.実施
 - ・故障モデル: 配線オープン/ショート故障, デバイス端子ショート故障
 - ・レイアウト情報利用・発生確率, 影響範囲を考慮して故障リスト作成



2017.02.08 Kazumi Hatayama

101

パネル討論

- ・以下の6つのテーマでパネル討論(1件は特別セッションとして設置)
 - ・テストに関する未知の技術
 - ・フェーズドアレイ5Gのテスト
 - ・テストコスト削減
 - ・車載ICの品質と信頼性(特別セッション)
 - ・ATEの現在と未来
 - ・IoTのセキュリティとテスト
- ・パネル5について概要を簡単に紹介

Session	タイトル
Panel 1	The Unknown Unknowns of Test
Panel 2	Phased Array 5G: Is Test Connected or Disconnected?
Panel 3	Test Cost Reduction - Is There More to Cut?
Special Session 8	Automotive IC Quality & Reliability: Today's Challenges and Solutions
Panel 4	ATE Revisited - Where Are We Today and Where Should We Be Heading?
Panel 5	Test, Validation and Security for IoTs

2017.02.08 Kazumi Hatayama

103

講演の概要: 3.3 (cont.)

- ・評価実験: 高速シリアルI/Fのアナログ送受信部(19,896アクティブ素子)
 - ・テスト項目は54: パウンダリスキャン, DCモード, リーク, ループバック, など
 - ・提案手法による故障抽出: 数時間の処理で以下の故障を抽出
 - ・配線オープン・213, 配線ショート・757, 端子ショート・929
 - ・故障Sim.: 各100故障を選択→抵抗性オープン/ショートにモデル化してSim.
 - ・約500計算ノードを用いて約2.5週の処理が必要

故障タイプ	故障数			選択故障の故障検出率	非DFXモジュール内選択故障数	非DFX故障の故障検出率(チェック観測有)	最小必要テスト数(チェック利用時)
	抽出故障数	VCC/GNDとのショートを除く	選択故障数				
配線オープン	213	213	100	39.00%	51	47.06%	5
配線ショート	757	192	100	29.00%	68	19.11%	4
端子ショート	929	558	100	56.00%	86	59.30%	2

2017.02.08 Kazumi Hatayama

102

パネル5の概要

- ・「IoTに対するテスト, バリデーション, セキュリティ」
 - ・急増するIoTデバイスのセキュリティに対する課題について議論
 - ・Florida大のTehranipoor教授が司会, パネリストは4名の専門家が登壇
 - ・主なポジショントークの内容は以下のとおり
 - ・M. Schldenfrei (Optimal+): セキュリティの課題: 共通の脅威, **信頼の起点**
 - ・デバイス: ID(PUF), 認証(サプライチェーン), ... →オープンな協業が必要
 - ・Y. Zorian (Synopsys): IoTは膨大な数のデバイスが接続: セキュリティ等が課題
 - ・セキュアIP(tRoot(TM)), **テスト用IPに施錠**
 - ・Y. Iskandar (Cisco): IoTのセキュリティは笑えるほど破られ, より悪くなっている
 - ・センシティブエリアの分離, **動作中のセキュリティのテスト**も必要
 - ・M. Vai (MIT): サイバーセキュリティ・秘匿性, 正当性, 可用性, 利用容易性が重要
 - ・**テストとの類似性**: 故障一攻撃, フォールトトレランス・レジリエンス, ...
 - ・会場を交えた主な討論の内容は以下のとおり
 - ・セキュリティのための設計(DFS)は→標準的な手法なし, 評価方法が課題
 - ・DFSコストの正当化は→ハッキング時の損害を考慮, セキュリティは機能の一部
 - ・**サプライチェーンのセキュリティ**の確保は
 - ・**セキュリティのテスト方法**は→トロイの検出などを考慮すべき
 - ・トロイの検出はテストか検証か→1つの答はない
 - ・IoT特有のセキュリティの課題は→IoTが非常に安価なデバイスである点
 - ・**ビッグデータの管理**も大きな問題

2017.02.08 Kazumi Hatayama

104

ITC2016報告

- ・ ITCについて
- ・ ITC2016の概要
- ・ 論文発表の全体動向
- ・ 注目セッションの紹介
- ・ まとめ

ITC2017は再びフォートワースで

- ・ ITC2017は再びフォートワースで10/29(日)～11/3(金)に開催予定
 - ・ 投稿締切: 3/24(金)→採否通知: 6/5(月)
- ・ 詳細はWeb(<http://www.itctestweek.org>)を参照



- ・ 今年にはITC-Asia2017を設置(セミコン台湾に併設):
 - ・ 9/13(水)～15(金), @台北
- ・ 詳細はWeb(<http://windy.ee.nthu.edu.tw/ITC-Asia-2017>)を参照

ITC2016の特徴

- ・ 今回のITC2016の特徴をまとめると以下のとおり。
 - (1) テストビッグデータの活用がますます意気盛ん
 - ・ テスト結果データ利用の歩留り改善/テストコスト削減は堅調
 - ・ 展示会でもEDAに代って主役的な存在
 - ・ この分野は紛れもない最もホットなトピック
 - (2) セル考慮テストが本格ブレイク, アナログ構造テストにも注目
 - ・ セル考慮テストとアナログ構造テストが今回の注目
 - ・ 車載ICのテスト品質確保に重要な役割を期待
 - ・ セル考慮テストは今や大手半導体ベンダの大多数で採用
 - ・ アナログ構造テストはアナログテスト品質向上への期待が大
 - (3) 3D-ICテストの今後はどうなる
 - ・ 3D-ICのテストに関するワークショップのキャンセルが衝撃
 - ・ 事前プログラムには掲載あり, 最終版で消滅
 - ・ 明確な状況は分からないが今後に不安を残す

アウトライン

- ◇はじめに
- ◇LSIテスト技術の基礎
 - ー 論理回路テスト生成手法
 - ー テスト容易化設計
- ◇ITC2016報告
- ◆ATS2016報告

ATS2016報告

- ・ ATS2016の概要
- ・ 注目セッションの紹介
- ・ まとめ

ATS開催一覧

	Year	Date	Location		Year	Date	Location
1st	1992	11/26-11/27	広島	16th	2007	10/08-10/10	北京
2nd	1993	11/16-11/18	北京	17th	2008	11/24-11/27	札幌
3rd	1994	11/15-11/17	奈良	18th	2009	11/23-11/26	台中
4th	1995	11/23-11/24	バンガロール	19th	2010	12/01-12/04	上海
5th	1996	11/20-11/22	新竹	20th	2011	11/20-11/23	デリー
6th	1997	11/17-11/18	秋田	21st	2012	11/19-11/22	新潟
7th	1998	12/02-12/04	シンガポール	22nd	2013	11/18-11/21	宜蘭
8th	1999	11/16-11/18	上海	23rd	2014	11/16-11/19	杭州
9th	2000	12/04-12/06	台北	24th	2015	11/22-11/25	ムンバイ
10th	2001	11/19-11/21	京都	25th	2016	11/21-11/24	広島
11th	2002	11/18-11/20	グアム	26th	2017	11/27-11/30	台北
12th	2003	11/17-11/19	西安				
13th	2004	11/15-11/17	墾丁				
14th	2005	12/18-12/21	コルカタ				
15th	2006	11/20-11/23	福岡				

2012: 実行委員長
2008: プログラム委員長
1994, 2001, 2006: 実行委員
その他: プログラム委員多数

ATS (Asian Test Symposium)

- ・ ATSの沿革および概要
- ・ 1992年にアジアで開催するテスト技術に関する国際会議としてスタート
- ・ VTS(VLSI Test Symposium)と同様にどちらかというとアカデミックが主体
- ・ 近年は、日本、台湾、中国、インドの4か国で持ち回り



ATS2016開催概要

- ・ 開催日 : 2016年11月21日(月)～24日(木)
- ・ 開催場所 : 広島国際会議場
- ・ 参加者 : 140名程度(日本からは半数程度)
- ・ 基調講演 : 2件(11/22)
うち1件は特別全体セッション
- ・ 招待講演 : 2件(11/22)
- ・ 論文発表 : 15セッション46件(11/22-24)
投稿論文98件(採択率≒47%)
- ・ 特別セッション : 4セッション(11/22-24)
うち1件はPh.D.コンテスト予選
- ・ 特別全体セッション: 1件(11/22)
- ・ 25回記念パネル: 1件(11/23)
- ・ 企業ポスター : 8件(11/23)
- ・ チュートリアル : 2件(11/21)・・・どちらもHalf Day



ATS2016 At-a-Glance

Monday, November 21 - Half Day Tutorials			
9:15-12:15	Tutorial 1: Industrial Advancements in Diagnosis Driven Yield Analysis		
13:45-16:45	Tutorial 2: Combining Structural and Functional Test Approaches Across System Levels		
Tuesday, November 22 - Technical Sessions			
9:00-10:15	Opening Addresses and Awards		
	Keynote: Embracing Failures, J. M. Carulli Jr - GLOBALFOUNDRIES		
10:15-11:15	Special Plenary in Honor of Prof. Edward J. McCluskey		
	Keynote: Symbiotic-System Approach for IOT Devices, C.-W. Wu - Nat'l Tsing Hua U.		
	Tributes tp Prof. Edward J. McCluskey:		
	M. Fujita - U. Tokyo, A. Singh - Auburn U., H.-J. Wunderlich - U. Stuttgart, J C.-M. Li - Nat'l Taiwan U.		
11:15-11:55	Invited Talk 1: Quality and Reliability Challenges in Internet of Things, Y. Zorian - Synopsys		
11:55-12:35	Invited Talk 2: Secure Value Chain Enablement with Smart-Connected SoCs, M. Chen - Mentor		
14:30-16:10	Session 1A:	Session 1B:	Session 1C:
	Delay Test and Simulation	Fault Diagnosis, Debug and Verification	Hardware Security
16:30-17:45	Session 2A: Special Session 1:	Session 2B:	Session 2C:
	Test and Reliability Issues in 2.5D and 3D Integration	Analog and Mixed-Signal Test	Scan Test

基調講演-1

- J. M. Carulli Jr (GLOBALFOUNDRIES)

「取り囲む不良たち」

- ゴールは? 何らかの不良は受容できるか?
 - Zero Defect(欠陥), Zero Fault(故障), Zero Failure(不良)
- 技術的視点
 - プロセスはますます複雑化: 配線, コンタクト, デバイス, チャンネル
 - 設計がギャップを埋める: 価格, 電力, 性能, 面積, 信頼性, 品質
 - 協調最適化(プロセスと設計)が重要
- 不良はどの時点か? 誰が決めるのか?
 - 不良の基準は信頼性技術者が決定...設計者, テスト技術者は関与できず
- 製品信頼性への適応: ばらつき対応で異常値スクリーニングが進化
- 不良とコストの制約は製品により異なる...IoT(低コスト), 車載(安全第一)
- 不良への対応: レジリエンス, 非フォノイマン型, 次は
 - どのように変化するか? どのように設計&テストするか?
- Fall seven times, stand up eight (七転び八起き)

ATS2016 At-a-Glance (cont.)

Wednesday, November 23 - Technical Sessions			
9:00-10:15	Session 3A: Industry Session Presentations	Session 3B: Special Session 2: Doctoral Thesis Contest Presentations	Session 3C: Fault Diagnosis
10:45-12:00	Session 4A: Special Session 3: Industry Posters, Doctoral Thesis Contest Posters	Session 4B: Fault Modeling	Session 4C: Power-aware Test
13:00-14:15	Session 5A: Automatic Test Pattern Generation	Session 5B: Built-In Self-Test	Session 5C: 3D IC Testing
14:30-16:00	25th Anniversary Panel: "Past, Present and Future of ATS"		
17:00-22:00	25th Anniversary Social Program		
Thursday, November 24 - Technical Sessions			
9:00-10:15	Session 6A: Special Session 4: Managing Reliability of Integrated Circuits: Lifetime Metering and Design for Healing	Session 6B: Fault Tolerance	Session 6C: Analog Circuits and High-Speed I/O Test
10:35-11:50	Session 7A: Memory Test and Reliability	Session 7B: Dependable Systems	

基調講演-2

- 故E. J. McCluskey教授に敬意を表す位置づけで設置

- C.-W. Wu (Nat'l Tsing Hua U.)

「IoTデバイスに対する共生システム手法」

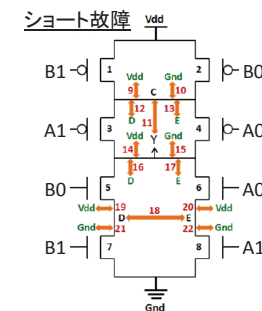
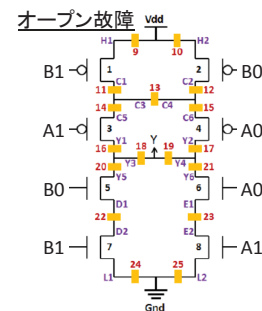
- IoTデバイス...主要なドライバの一つとして期待大
 - 課題: 短期設計&製造, コスト/エネルギー/環境持続性
- 共生システム(SS): 生物種間の閉鎖的長期的相互作用...互恵, 相互依存
- IoTのためのSSの例: 自己修復vs相互修復...MTBF 31,000h vs 47,000h
- さらなる研究が必要(技術&ビジネスの集約): SSモデル, オンラインテスト&修復
- 半導体が負ければ誰も勝てない!
- McCluskey教授への感謝の辞
 - 4名が登壇
 - M. Fujita(U. Tokyo), A. Sign(Auburn U.), H-J Wunderlich(U. Stuttgart), J. C-M Li(Nat'l Taiwan U.)
 - McCluskey教授から学んだことなどについて紹介

ATS2016報告

- ATS2016の概要
- 注目セッションの紹介
- まとめ

講演の概要: ATS2016 5A.3

- H. H. Chen (MediaTek): スイッチレベルテスト生成による効率的なセル考慮故障モデル作成
- セル考慮(CA)テスト・故障モデルはユーザ定義故障モデル(UDFM)
 - セル入力に論理制約を与えてセル内の故障を活性化
- CA故障モデル作成: 大量のアナログSim., 設計に依存→処理時間大
 - スイッチレベルATPG(SL-ATPG)による入力条件導出により処理時間を短縮
- SL-ATPG: スイッチのオープン/ショート故障が対象
 - セル内故障を対応故障にモデル化: AOI22の例(オープン-25カ所, ショート-22カ所)



ATPG/DFT関連

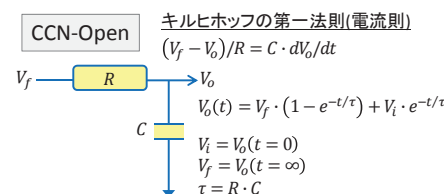
- Session 2C: Scan Test, Session 5A: ATPG, Session 5B: Built-In Self-Test
 - ATPG/DFT関連では8件の講演あり
 - 5A.3について紹介

講演No.	タイトル	著者	所属
2C.1	Scan Chain Adaptation through ECO	J. Singh, A. Grover, M. Pohit, A. S. Baghel, G. Kaur, S. Pathak	STMicro; Intel; Gautam B. U.
2C.2	Test Strategies for Reconfigurable Scan Networks	M. A. Kochte, R. Baranowski, M. Schaal, H.-J. Wunderlich	U. Stuttgart
2C.3	Test Time Minimization in Reconfigurable Scan Networks	R. Cantoro, M. Palena, P. Pasini, M. Sonza Reorda	Poli. di Torino
5A.1	Automated Optimization of Scan Chain Structure for Test Compression-Based Designs	H. Dhotre; M. Dehbashi, U. Pfannkuchen; K. Hofmann	T.U. Darmstadt; Infineon
5A.2	Critical-Area-Aware Test Pattern Generation and Reordering	S. Inuyama, K. Iwasaki; M. Arai	Tokyo Metro U., Nihon U.
5A.3	Efficient Cell-Aware Fault Modeling by Switch-Level Test Generation	H. Chen; P.-Y. Chuang, C.-W. Wu	MediaTek; Nat'l Tsing Hua U.
5B.1	A Flexible Power Control Method for Right Power Testing of Scan-Based Logic BIST	Y. Kato; S. Wang; Y. Sato, S. Kajihara	Kyushu I. T.; Ehime U.
5B.2	Structure-Based Methods for Selecting Fault-Detection-Strengthened FF under Multi-cycle Test with Sequential Observation	S. Wang, H. Al-Awadhi, S. Hamada, Y. Higami, H. Takahashi; H. Iwata, J. Matsushima	Ehime U.; Renesas S. D.

講演の概要: ATS2016 5A.3 (cont.)

CCN : Channel-Connected Network

- 手法の正当性の検証: 2つの標準故障クラスに分けて解析
 - CCN-open: 単純なRC回路でテスト条件をモデル化
 - CCN-open故障はスイッチオープン故障に対する遷移テストで検出可能
 - すべてのロバスタなテスト入力が得られればアナログSim.は不要
 - CCN-short: 比較的簡単なRC回路でテスト条件をモデル化
 - CCN-open故障はスイッチショート故障に対する遷移テストで検出可能, ただし, 初期化サイクルの追加が必要
 - 1ケース(ρ (欠陥抵抗)=0の場合)のみアナログSim.が必要



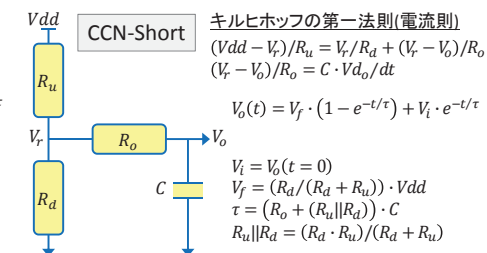
キルヒホッフの第一法則(電流則)
 $(V_f - V_o)/R = C \cdot dV_o/dt$

$$V_o(t) = V_f \cdot (1 - e^{-t/\tau}) + V_i \cdot e^{-t/\tau}$$

$$V_i = V_o(t=0)$$

$$V_f = V_o(t=\infty)$$

$$\tau = R \cdot C$$



キルヒホッフの第一法則(電流則)
 $(V_{dd} - V_f)/R_u = V_f/R_o + (V_f - V_o)/R_o$
 $(V_f - V_o)/R_o = C \cdot dV_o/dt$

$$V_o(t) = V_f \cdot (1 - e^{-t/\tau}) + V_i \cdot e^{-t/\tau}$$

$$V_i = V_o(t=0)$$

$$V_f = (R_d / (R_d + R_u)) \cdot V_{dd}$$

$$\tau = (R_o + (R_u || R_d)) \cdot C$$

$$R_u || R_d = (R_d \cdot R_u) / (R_d + R_u)$$

ディレイ/電力考慮テスト関連

- Session 1A: Delay Test and Simulation, Session 4C: Power-Aware Test
- ディレイ/電力考慮テスト関連では7件の講演あり
- 1A.1及び1A.4について簡単に紹介

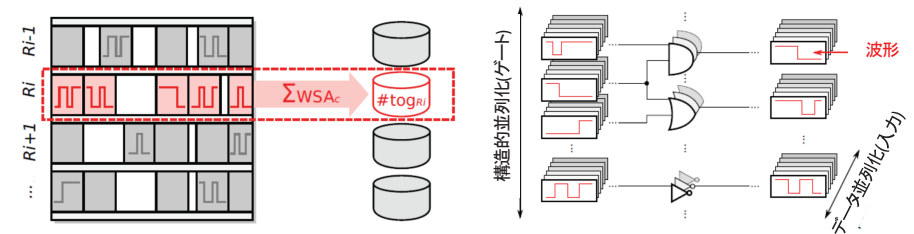
講演No.	タイトル	著者	所属
1A.1	X Marks the Spot: Clustering Scan-Flip-Flops for Faster-than-at-Speed Test	M. Kampmann, S. Hellebrand	U. Paderborn
1A.2	Crypt-Delay: Encrypting IP Cores with Capabilities for Gate-level Logic and Delay Simulations	P. Ramanathan, K. Saluja	U. Wisconsin - Madison
1A.3	On the Switching Activity in Faulty Circuits During Test Application	I. Pomeranz; S. Reddy	Purdue U.; U. Iowa
1A.4	Timing-Accurate Estimation of IR-Drop Impact on Logic- and Clock-Paths During At-Speed Scan Test	S. Holst, E. Schneider, X. Wen, S. Kajihara, Y. Yamato, H.-J. Wunderlich, M. A. Kochte	Kyushu I. T.; U. Stuttgart; NAIST
4C.1	An IR-Drop Aware Test Pattern Generator for Scan-Based At-Speed Testing	P.-F. Hou, Y.-T. Lin, J.-L. Huang, A. Shih, Z. F. Conroy	Nat'i Taiwan U.; Cisco
4C.2	Formal Test Point Insertion for Region-based Low-Capture-Power Compact At-Speed Scan Test	S. Eggersglüß, S. Holst, D. Tille, K. Miyase, X. Wen	U. Bremen; Kyushu I. T.; Infineon
4C.3	On Optimal Power-Aware Path Sensitization	M. Sauer, J. Jiang, S. Reimer, K. Miyase, X. Wen, B. Becker, I. Polian	U. Freiburg; U. assau; Kyushu I.T.

2017.02.08 Kazumi Hatayama

121

講演の概要: 1A.4

- 1A.4 S. Holst (Kyushu I.T.): 実速度スキャンテスト時のIRドロップの論理/クロックパスへの影響の高タイミング精度推定
- 過剰なスイッチング動作: 時間が問題となる
 - 空間/時間的IRドロップの推定が必要
- IRドロップモデル: 空間/時間的に定量化(領域分割/クロックサイクル区間分割)
 - 空間分割の例: 電源供給線により領域を分割
- 並列処理による高速化: CPU(逐次)→GPU(並列)→GPU Memory(トグルデータ)
 - 波形ベースのタイミングSim.をGPU上で並列実行(構造/データの両面)
- 実験結果(ITC99): 非常に高速(1Mセル, 1kベクタを2分で処理可能)



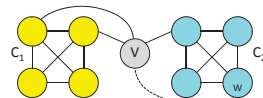
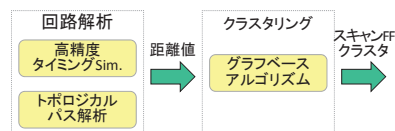
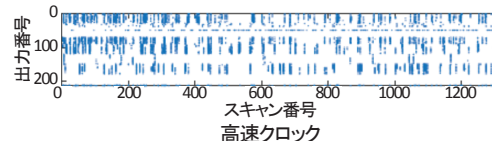
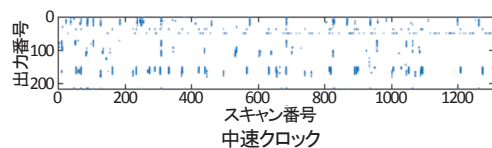
2017.02.08 Kazumi Hatayama

123

講演の概要: 1A.1

- 1A.1 M. Kampmann (U. Paderborn): FASTのためのスキャンFF クラスタリング
- 微小遅延故障: 初期故障(ELF)の要因
- FASTの課題: 周波数上昇に伴うX比率の増加
 - 対策: Xプロファイル解析→スキャンFFクラスタリング(Xプロファイルの類似性)
- Xプロファイルの定義: ①トポロジカルパス解析, ②高精度タイミングSim.
- クラスタリング: スキャングラフに基づく, 引力に従ってクラスターにノードを追加
- 実験結果(ITC99/NXP): X比率が大きくかつ変化する場合も有効であることを確認

FAST: Faster-than-at-Speed Test



2017.02.08 Kazumi Hatayama

122

ATS2016報告

- ATS2016の概要
- 注目セッションの紹介
- まとめ

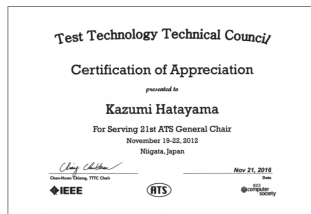
2017.02.08 Kazumi Hatayama

124

ATS2016の特徴

・今回のATS2016の特徴をまとめると以下のとおり。

- (1) セル考慮テストとアナログ構造テストはこちらでも注目
 - ・ATS2016でも、セル考慮テストとアナログ構造テストの論文発表
 - ・今後の動向に対する注目が必要
- (2) 25回記念が前面に
 - ・25回記念行事が今回のATSの目玉
 - ・25回記念パネル: ATSの過去, 現在, そして未来
 - ・25回記念バンケット・歴代実行委員長の表彰



2017.02.08 Kazumi Hatayama

125

ATS2017は台北で2回目の開催

- ・ATS2017は台北で11/27(月)～11/30(木)に開催予定
 - ・投稿締切: 5/26(金)→採否通知: 7/31(月)
- ・詳細はWeb(<http://ares.ee.ncu.edu.tw/ats17/index.php>)を参照



2017.02.08 Kazumi Hatayama

126