

第389回群馬大学アナログ集積回路研究会

アナログバウンダリスキャン技術

～三次元積層LSIの評価と故障予知～

亀山 修一

kameyama@computer.org

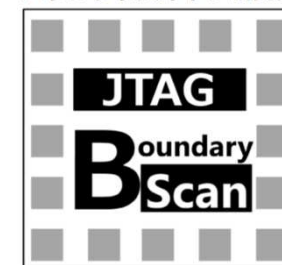
愛媛大学 客員研究員

エレクトロニクス実装学会
バウンダリスキャン研究会主査

2019年08月01日



バウンダリスキャン研究会



一般社団法人 エレクトロニクス実装学会

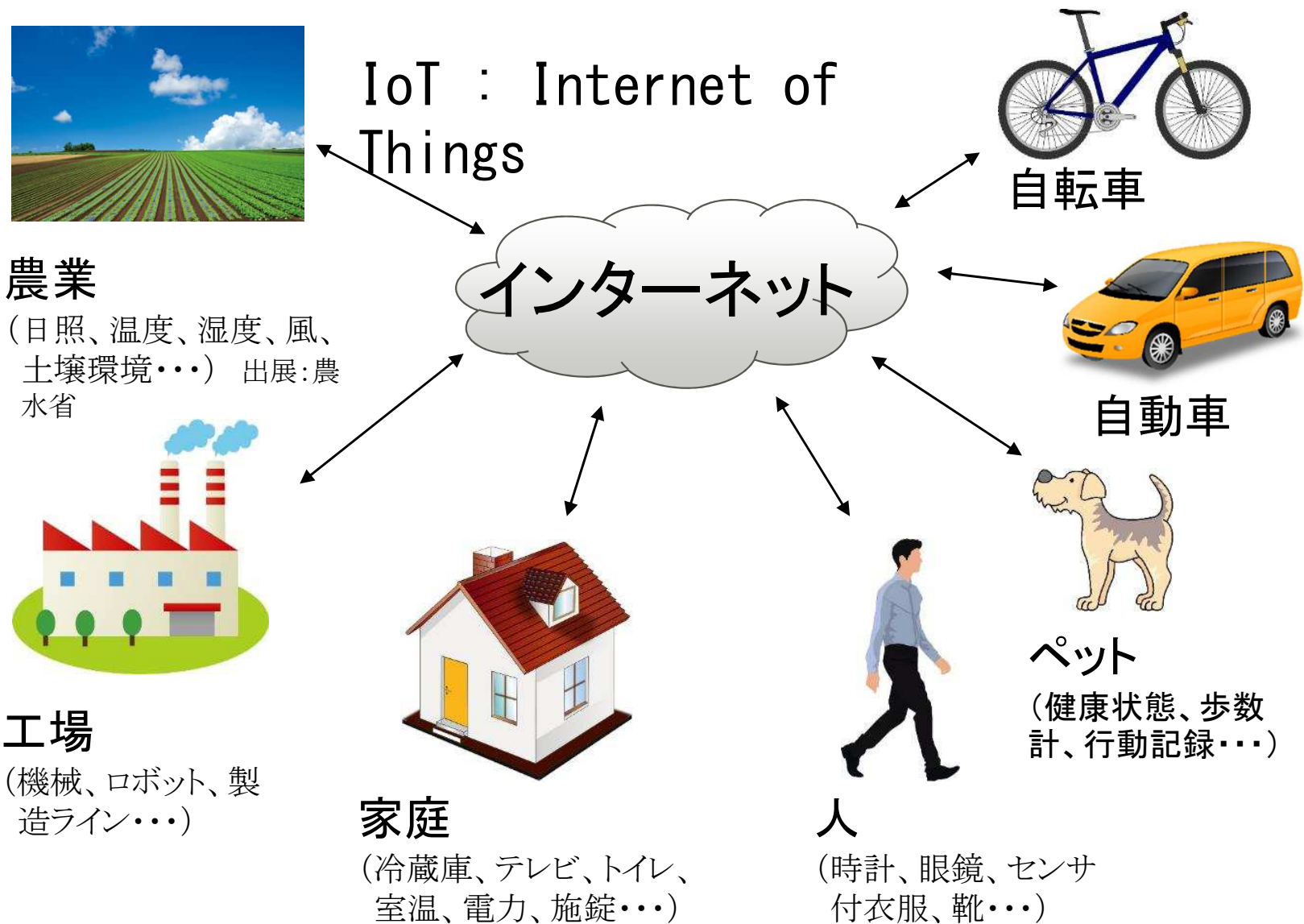
本講座の発表順序

1. バウンダリスキャンとはなにか
2. 基本バウンダリスキャン1149.1の拡張機能としてのアナログバウンダリスキャン1149.4の紹介
3. アナログバウンダリスキャンの応用事例として三次元積層LSIのTSV抵抗の精密計測を紹介

バウンダリスキャンとは

IEEE1149.1

あらゆるモノがインターネットにつながる



➡ あらゆるモノに電子回路が搭載される

IoT時代の電子回路

あらゆるモノがインターネットにつながる



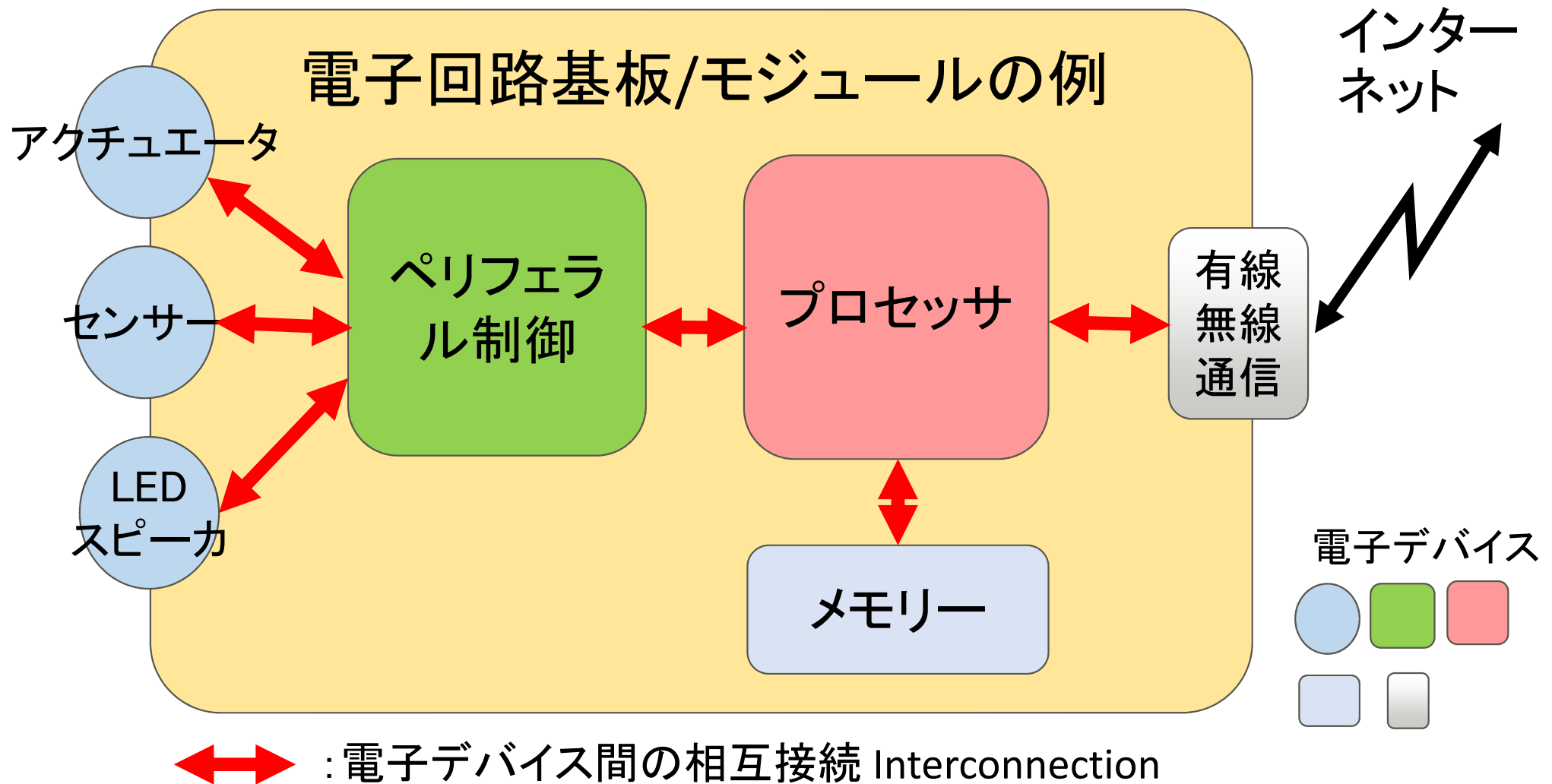
あらゆるモノに電子回路が搭載される



<要求>

1. 電子回路の小型化⇒部品小型化/高密度実装
2. 安心・安全な動作⇒品質とセキュリティ
↳ 今回のテーマ

電子回路の品質=電子デバイス+相互接続



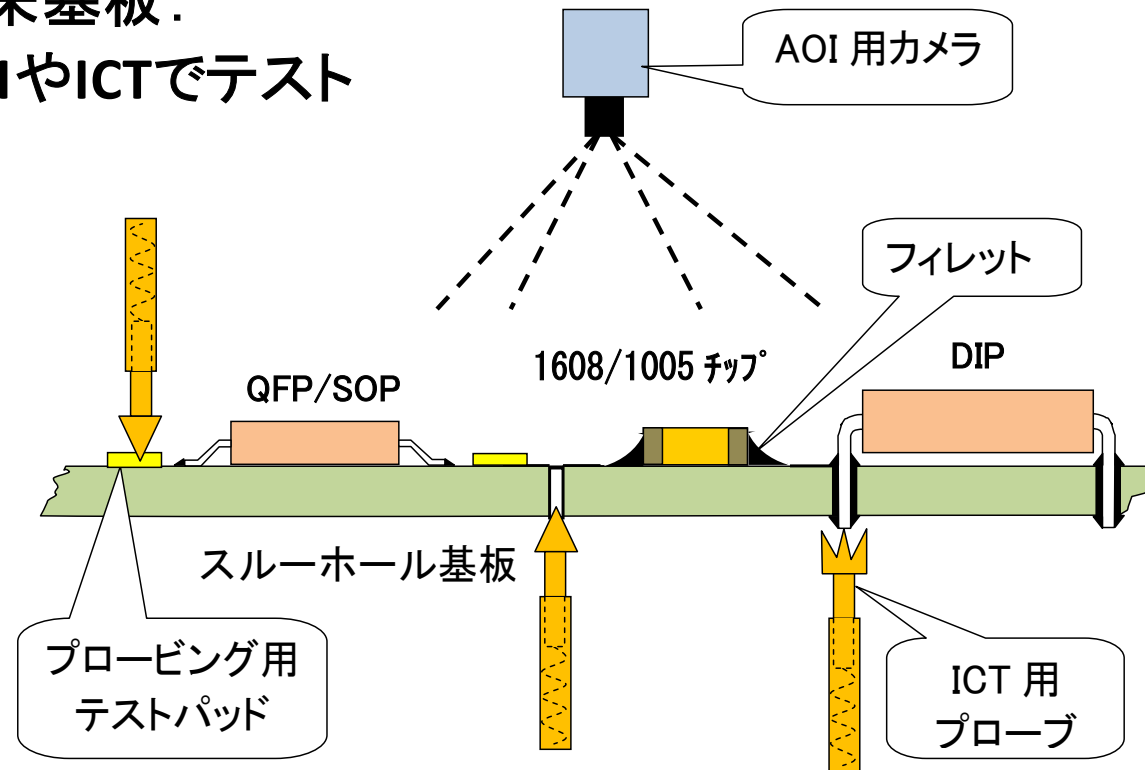
「電子デバイス+相互接続」の品質保証により電子回路の安心安全を担保

└─ バウンダリスキャンの基本機能

かつての実装技術と実装基板テスト

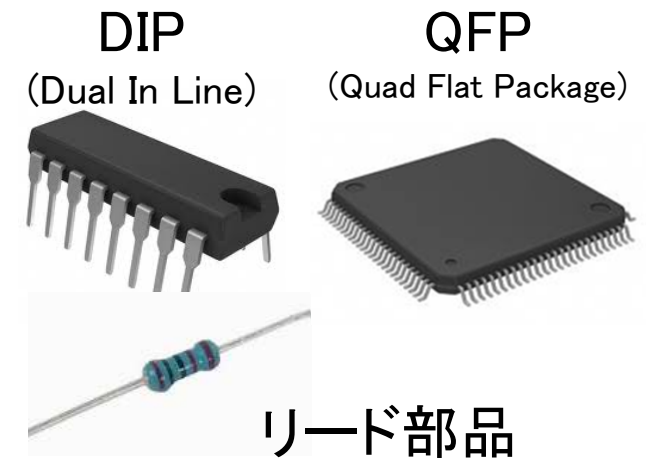
AOI（自動外観検査）

従来基板：
AOIやICTでテスト



かつての実装基板の例

Source : SMT PARTS SUPPLY LTD



ICT（インサーキットテスト）

電気試験用インサーキットテストICT



出典: 株タカヤ

インサーキットテストICT



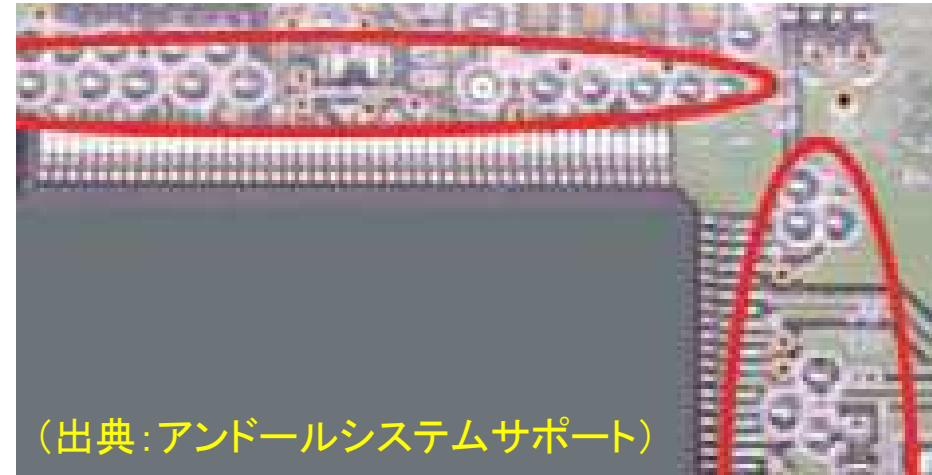
プロービング (source : Reprobe Solutions)



数百～数千本のプローブ⇒高価

Source: IPTE

ICT用試験治具(剣山治具)

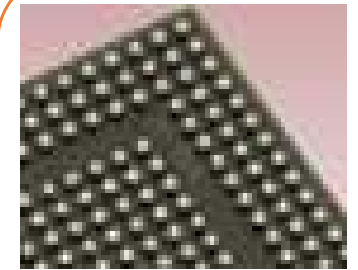
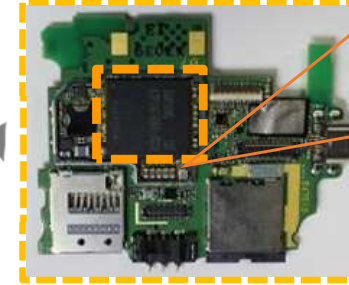
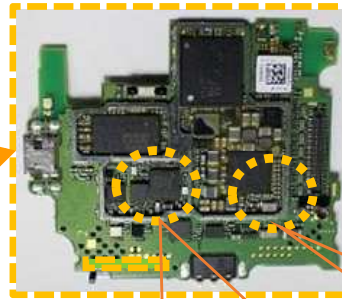


(出典: アンドールシステムサポート)

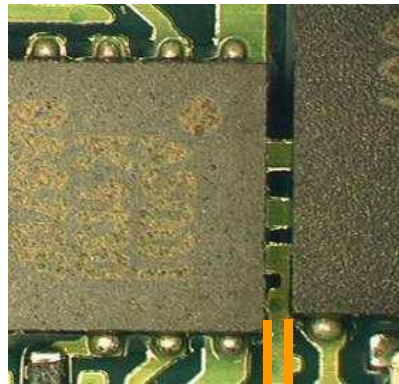
LSIの周辺にテストパッド領域が必要

モバイル機の超薄型化・小型化

基板の小型化と両面実装化

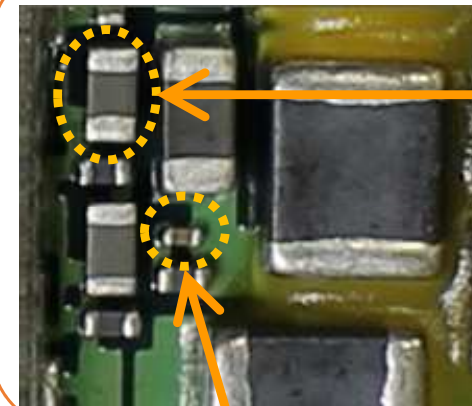


FBGA
0.4mm Pitch
500 pins<



<0.2mm

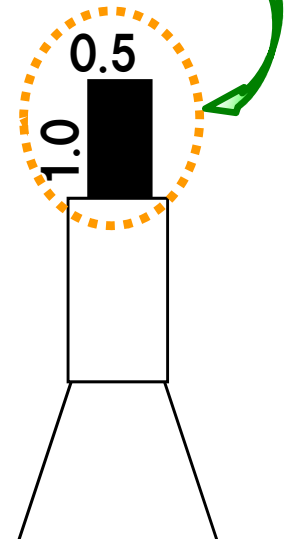
挟ピッチ実装



1005部品

0402部品

0201部品も登場

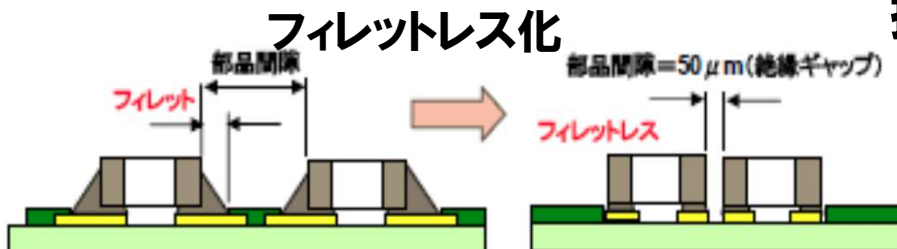


0.5mmシャープペンの芯



最近のスマホ

超薄型

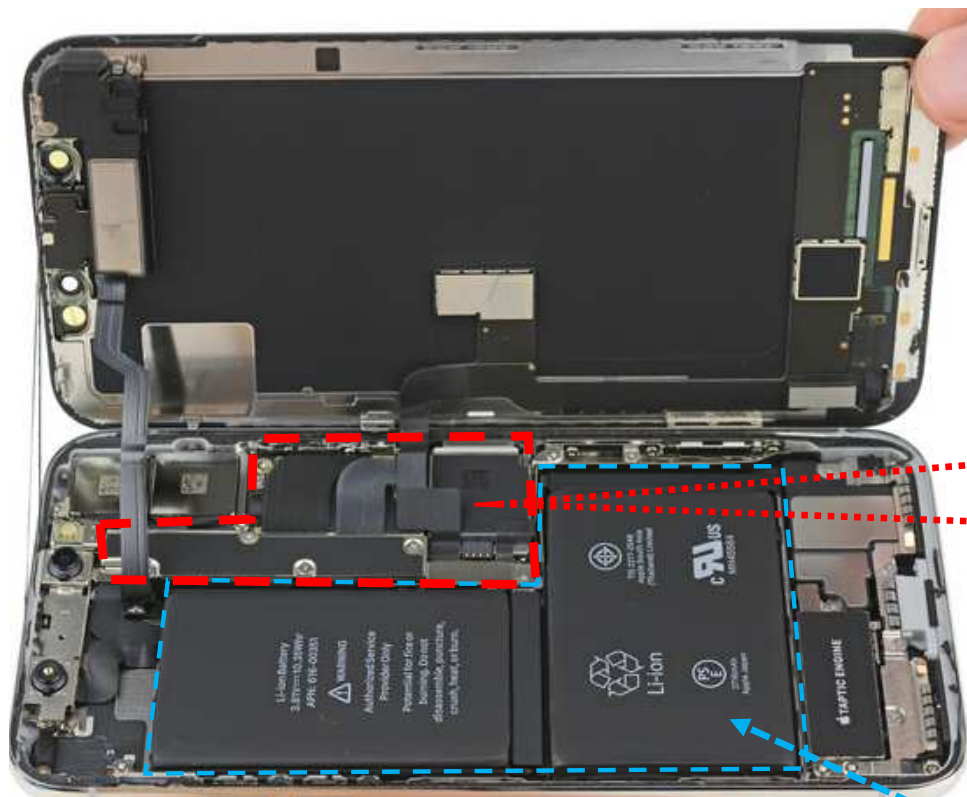


出典:富士通(株)

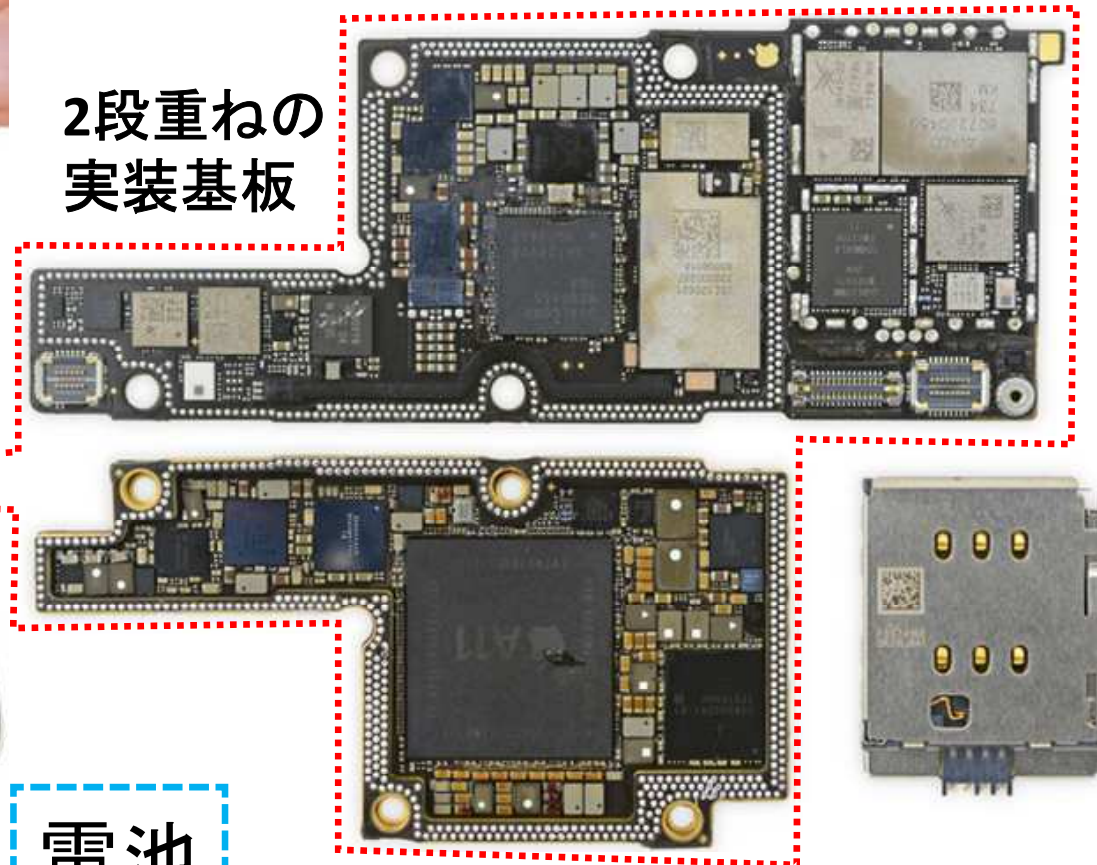
群大アナログ集積回路講座_アナログバウンダリスキャン技術

©S.Kameyama

最近の高密度実装基板事例 (iPhoneX)



2段重ねの
実装基板



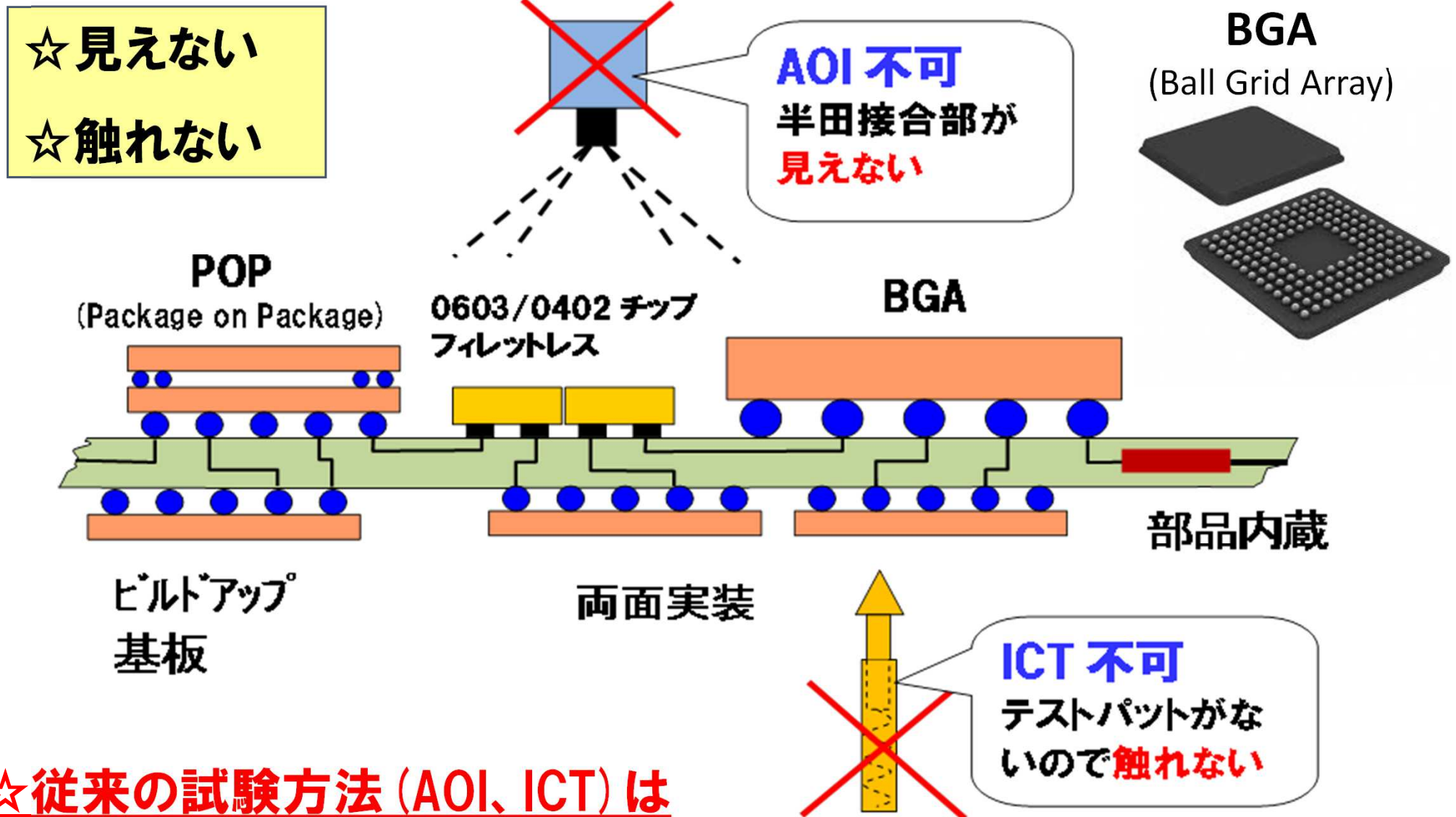
電池

Source : IFIXIT



- ・プロービングのためのテストパッド領域がない
- ・はんだ接合箇所が見えない

最近の高密度実装基板と従来試験技術の限界

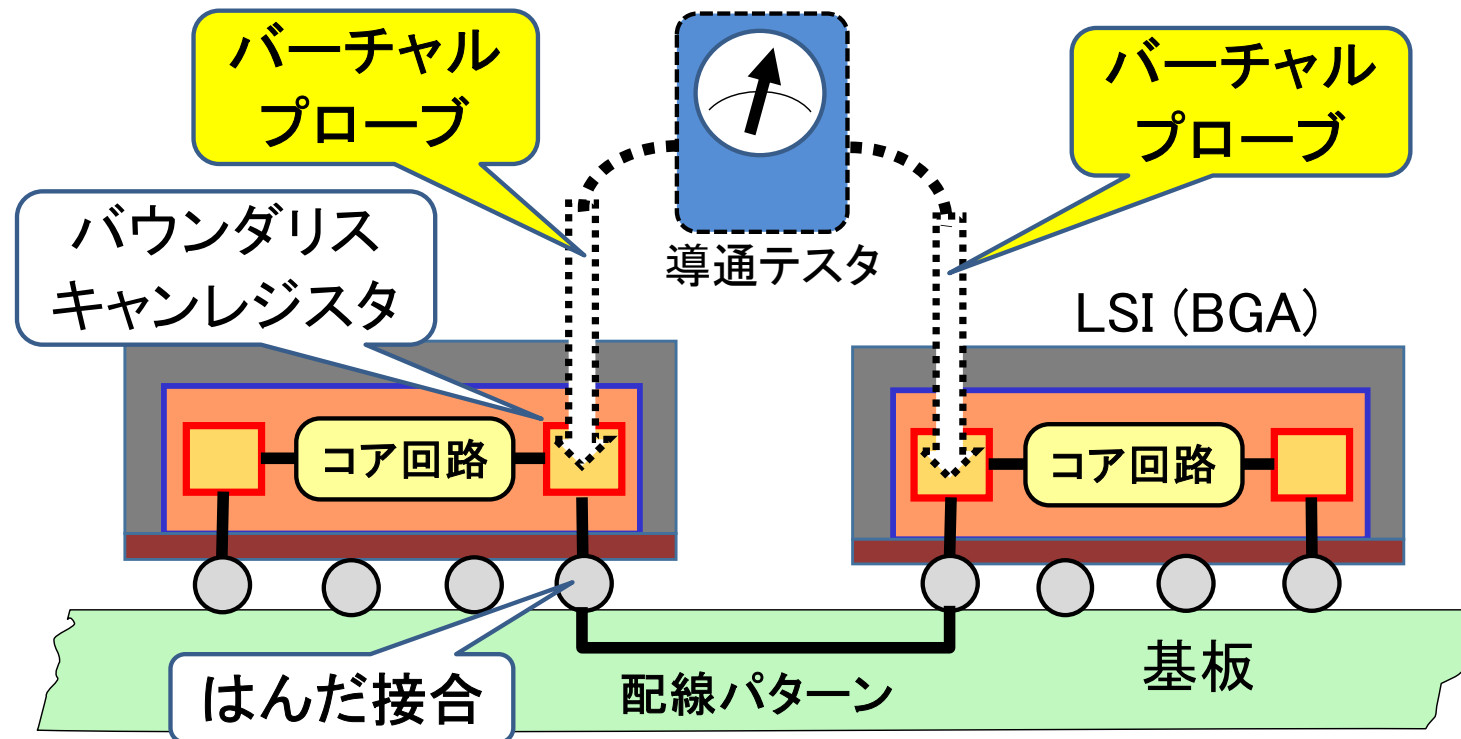


**☆従来の試験方法 (AOI、ICT) は
検出力が大幅に低下**

バウンダリスキャンIEEE1149.1の登場

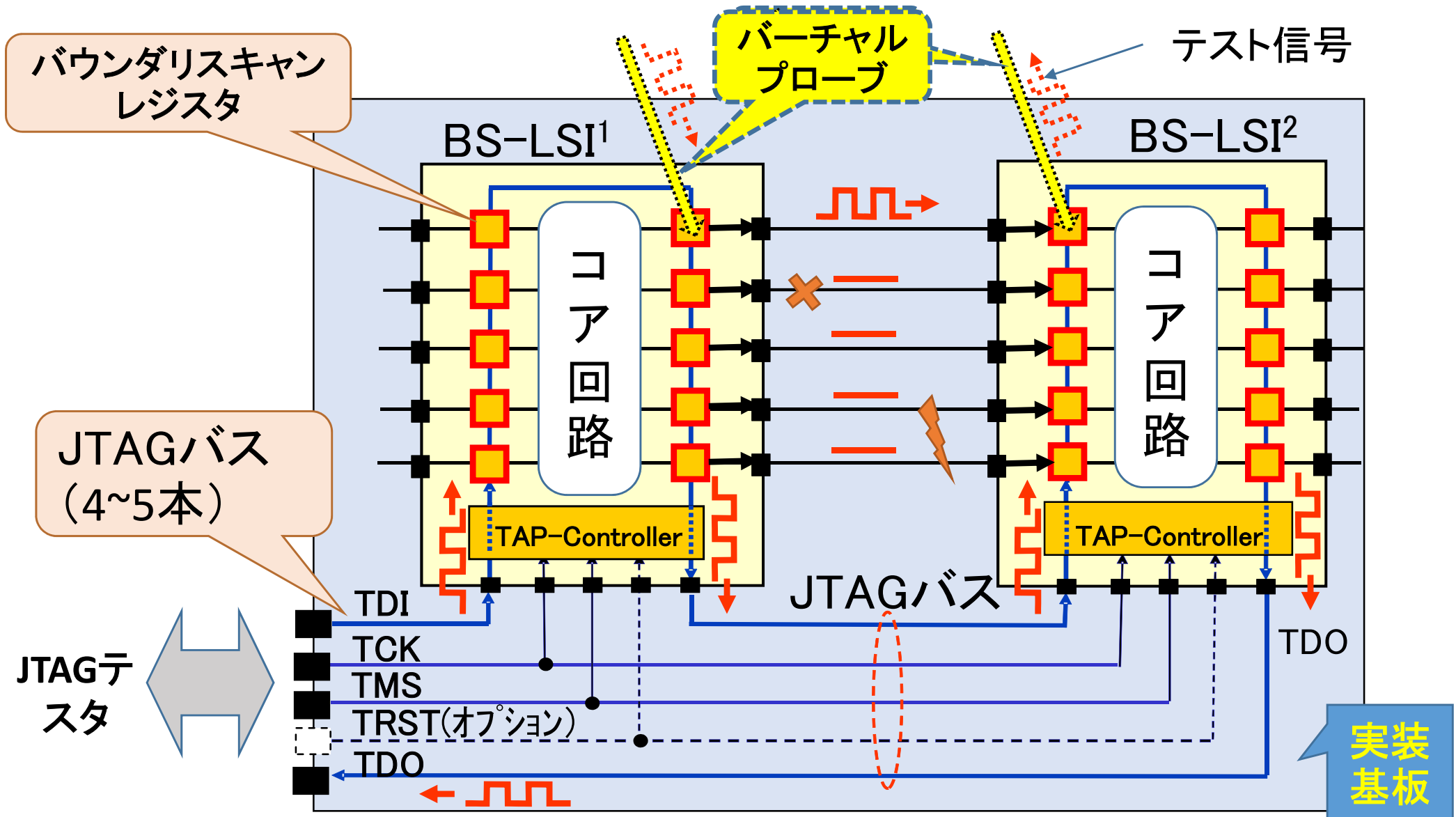
物理プローブの代わりにLSIに組込んだ仮想プローブ(Virtual Probe)を利用して導通検査する手法

⇒ バウンダリスキャン



本技術を開発・標準化した技術者グループの名前JTAG(Joint Test Action Group)がバウンダリスキャンの代名詞となっている

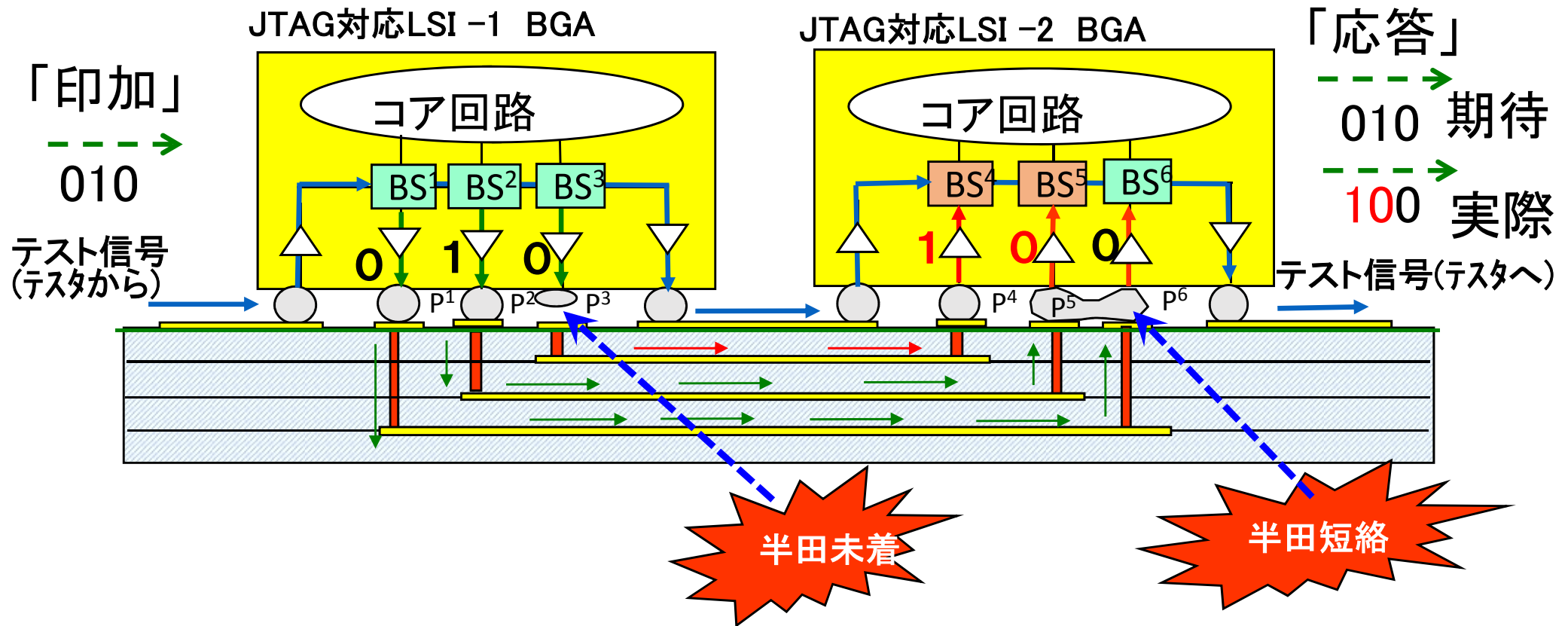
バウンダリスキャンテストIEEE1149.1の原理



TCK=1MHzのシリアル転送: 1秒間に100万ビットのデータを授受⇒短時間で試験

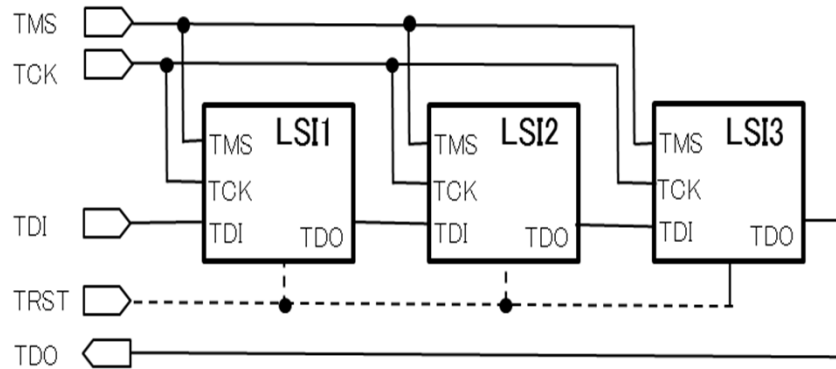
バウンダリスキャンで はんだ接続不良検出

- ・ 見えない触れないBGA素子の半田未着・短絡を検出



BSセル回路BSⁿと物理ピンPⁿは1対1に対応、
期待値と不一致のBSⁿから障害物理ピンPⁿを直ちに指摘

JTAGバスインターフェースの汎用性



< JTAGバス >

TMS (Test Mode Select)

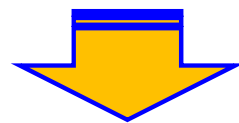
TCK (Test Clock)

TDI (Test Data In)

TDO (Test Data Out)

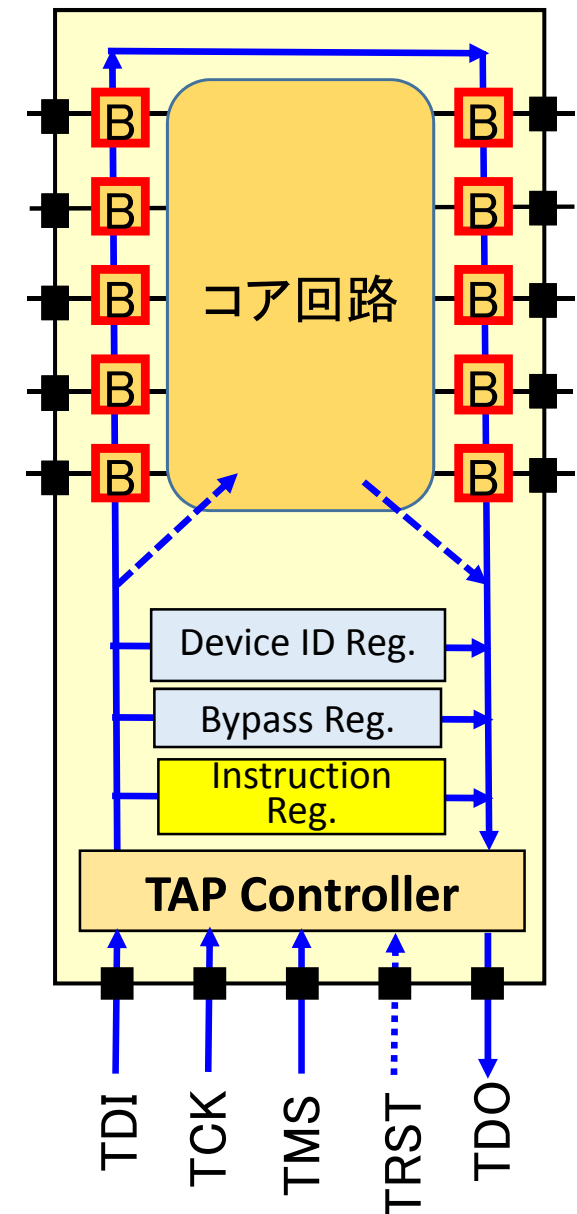
TRST (Test Reset) オプション

4(~5)本の制御線と簡単なプロトコルで基板実装状態のLSIの内部回路を外部から容易に制御可能（制御範囲はInstructionにより定義）

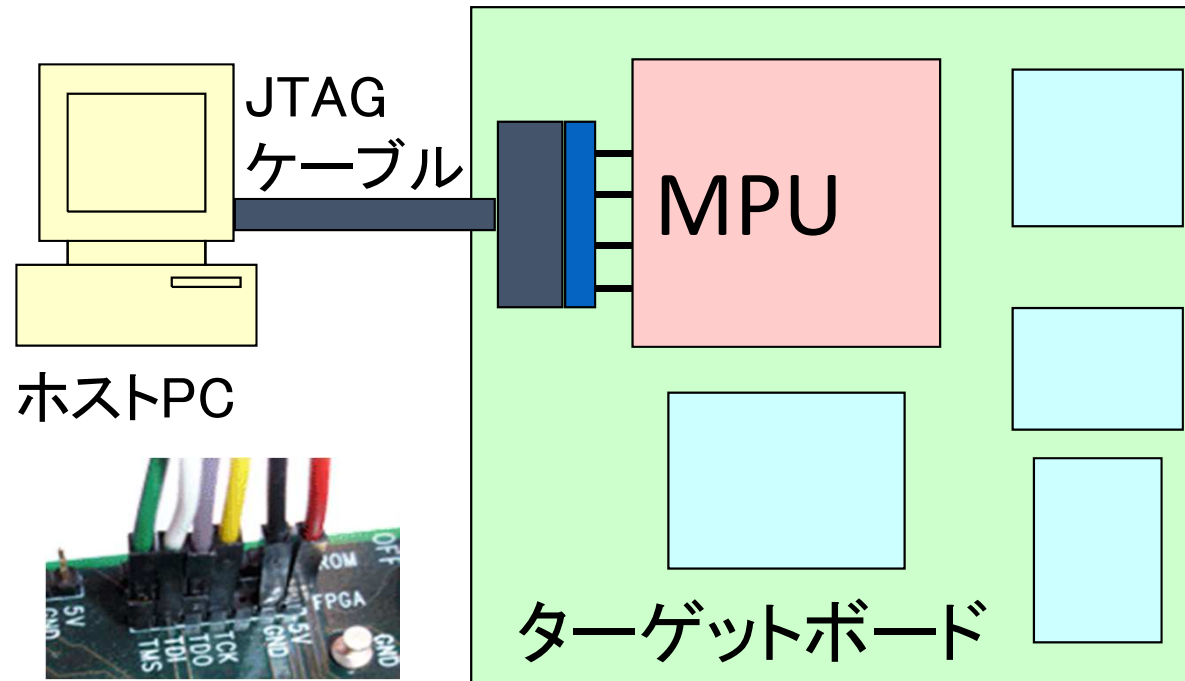


JTAGバスは本来のバウンダリスキャンテストの範囲を超えて、広く独自の発展を遂げた

代表例：JTAG-ICE/Debugger, FPGAオンボード書き込み



JTAG-ICE / JTAG-Debugger



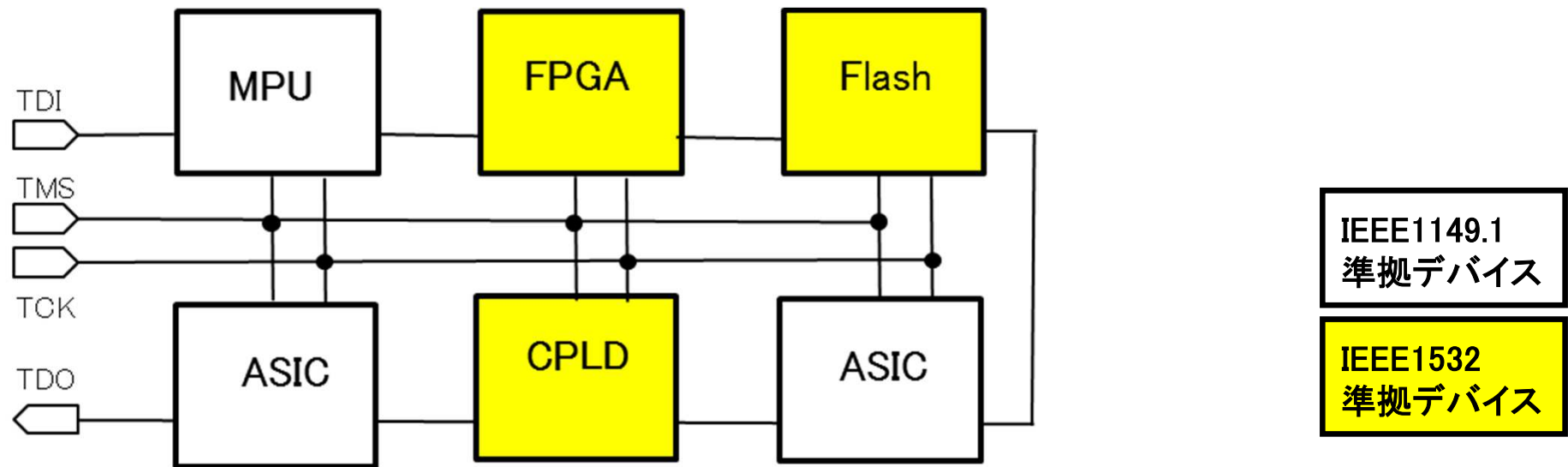
Atmel社JTAG-ICE

◇4-5本のJTAGバス経由で、MPUの内部レジスタ読み書き、プログラムのダウンロード、ブレークポイント設定、実行トレース等が可能で、組み込みシステムのソフトデバッグには必須のツール

★製品出荷後に、ソフトウェアの改ざんなどJTAGバス経由で攻撃される可能性があるため、JTAG-Debug機能へのアクセスには厳重なアクセス制限が必要である。しかしバウンダリスキャン機能まで制限するという過剰反応も散見。

FPGAのオンボード書き込み

- ・JTAGインターフェース経由でFPGAやFlashメモリへ高速にデータ書き込み
- ・製品出荷直前または出荷後にも回路変更が可能



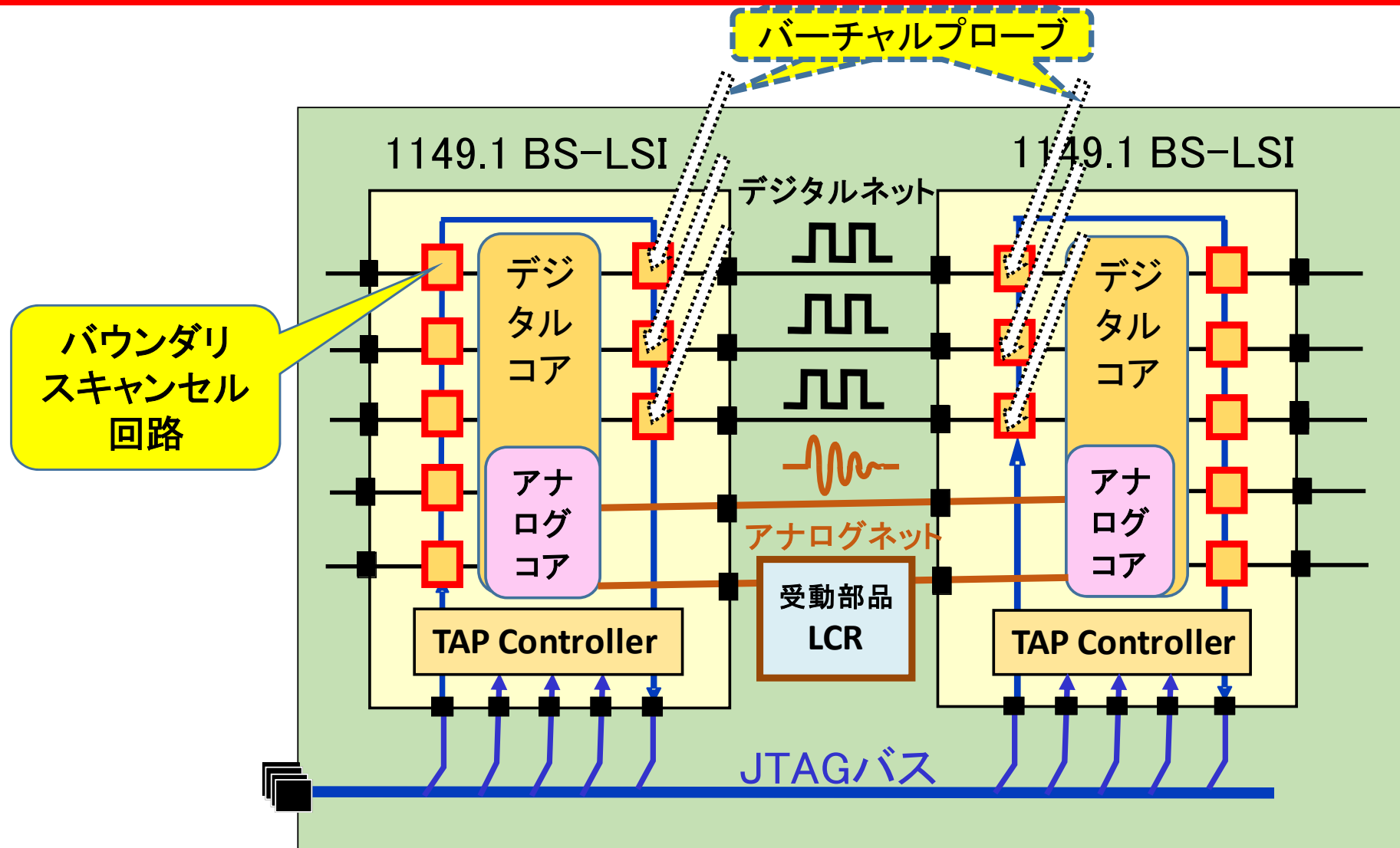
In-System ConfigurationとしてIEEE1532標準規格

★FPGA回路の改竄や複製に対するセキュリティ対策は重要

アナログバウンダリスキャンとは

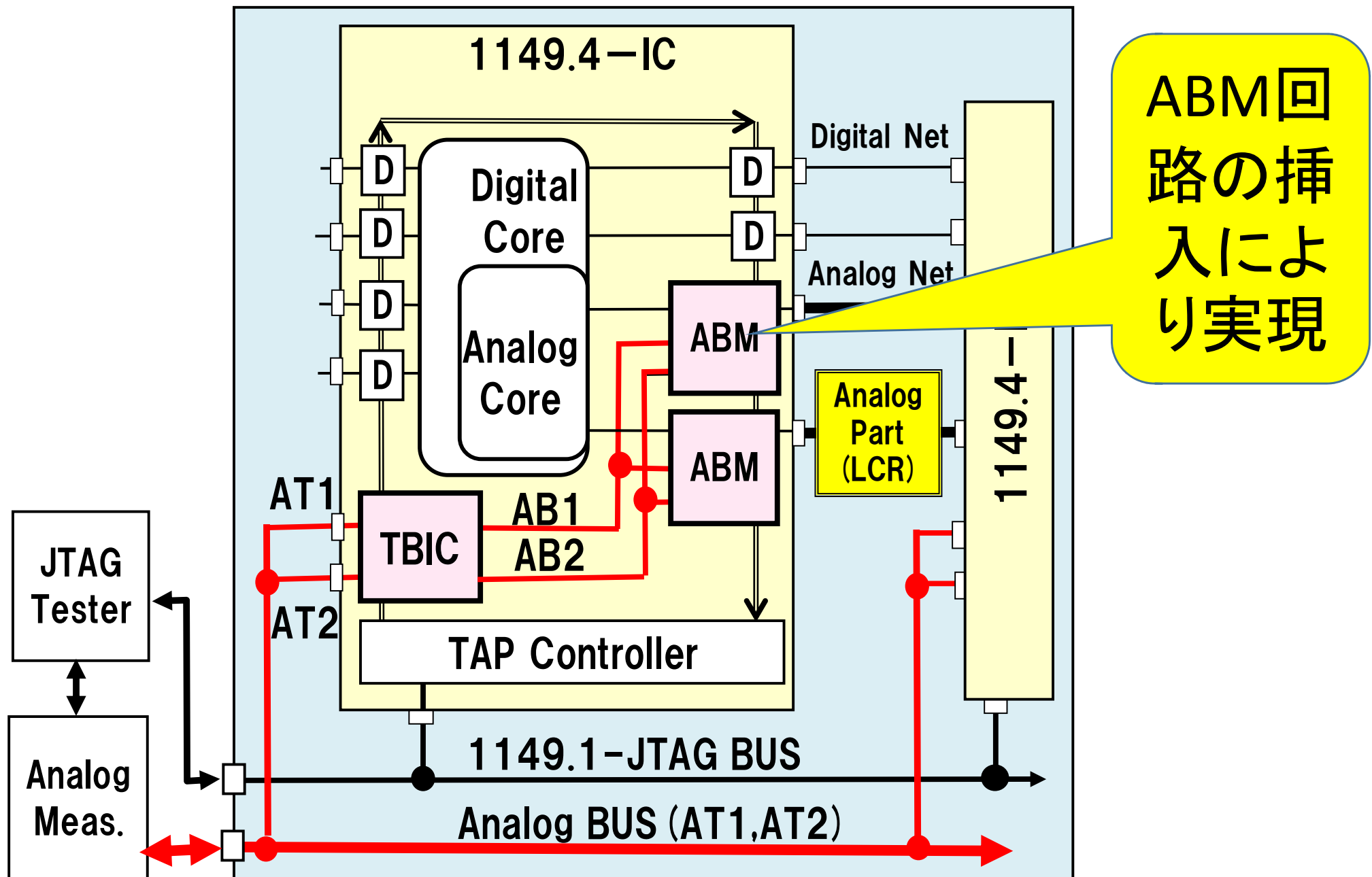
IEEE1149.4

基本バウンダリスキャン1149.1の問題点

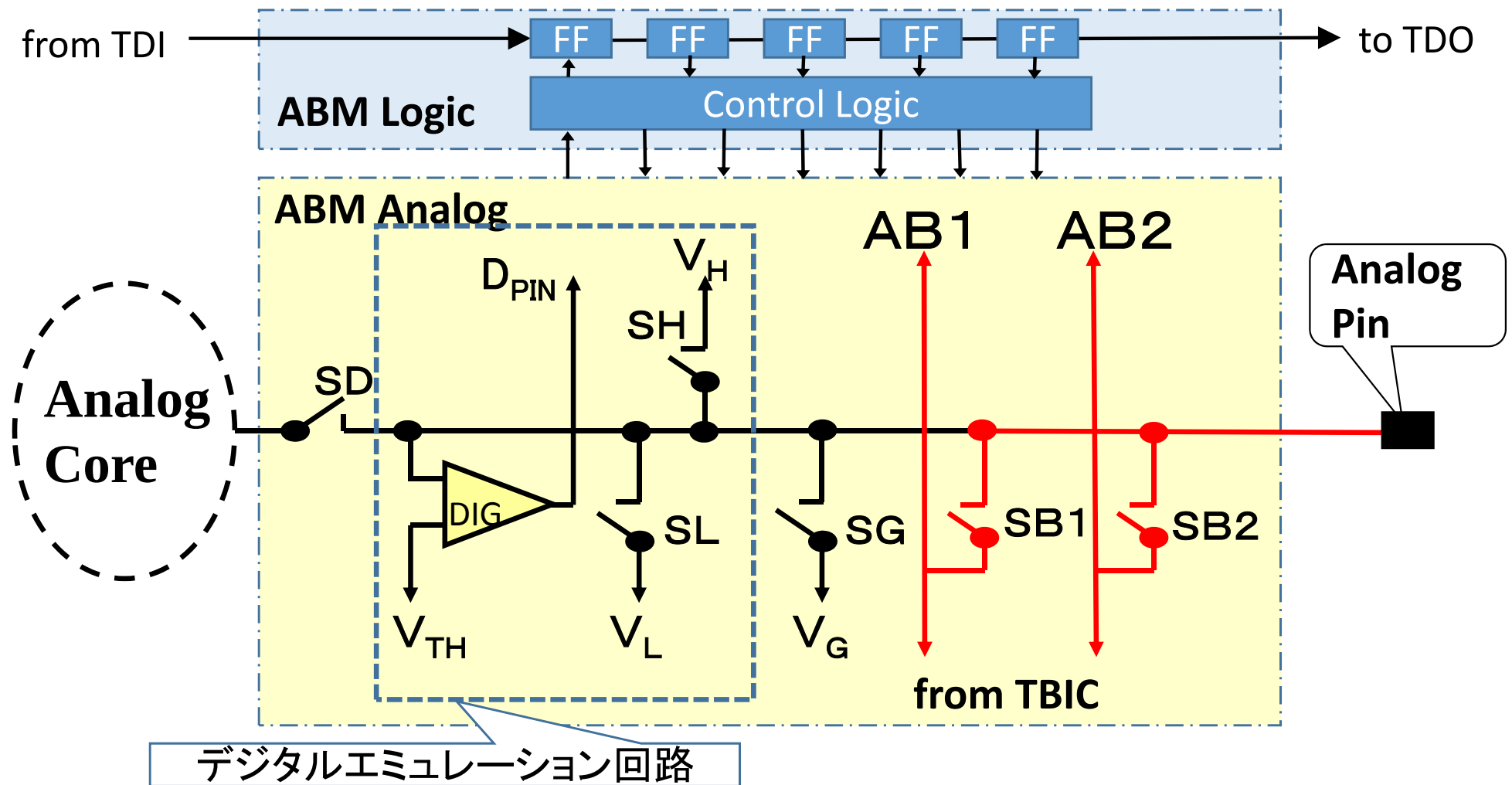


- デジタル回路に限定、アナログネットの相互接続試験ができない
- ピン間にある受動部品RLCが正しく実装されているか分からない

アナログバウンダリスキャン1149.4の原理



ABM(Analog Boundary Module) の内部回路

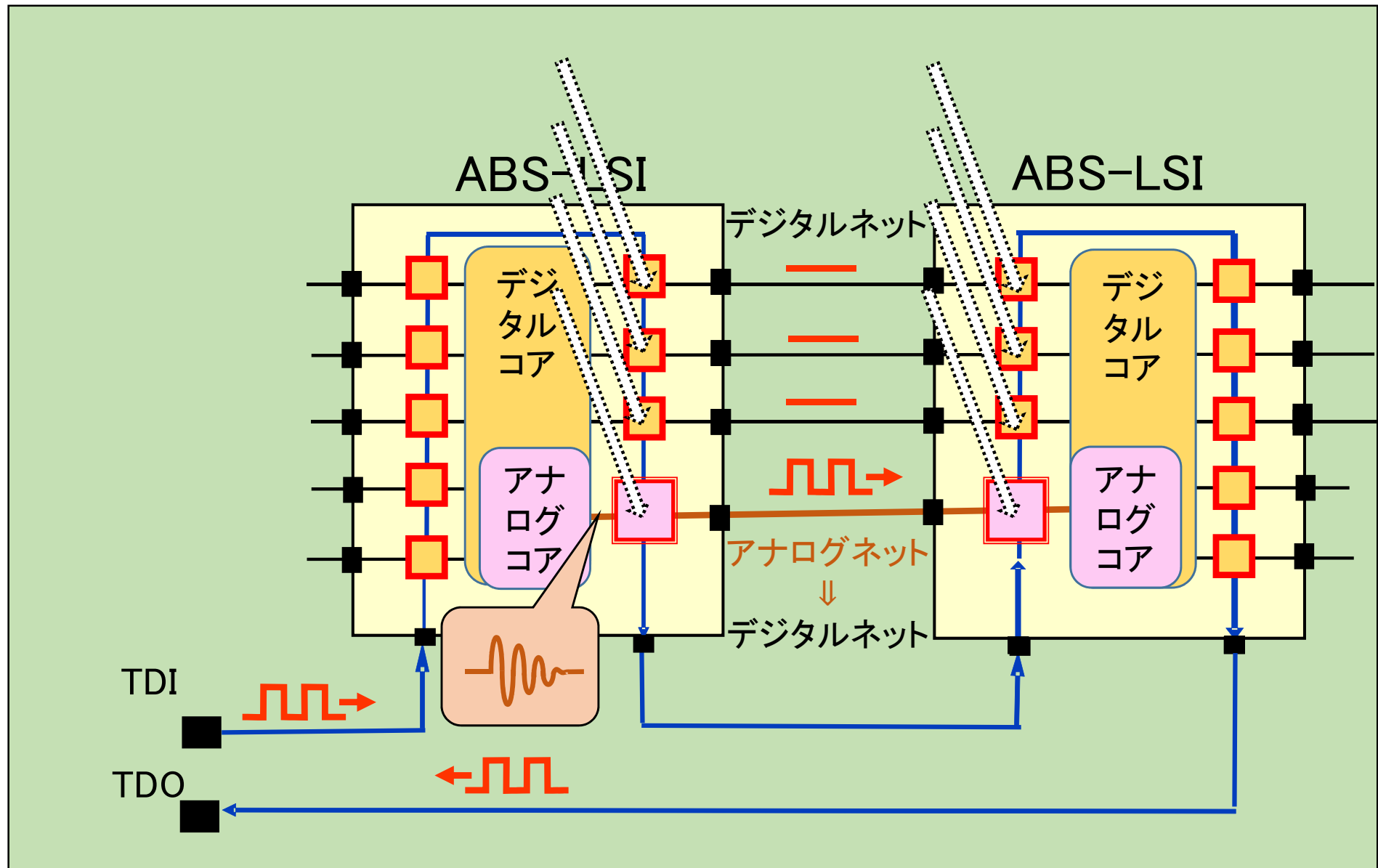


標準ABM: 6つのアナログスイッチと1つのデジタイザで構成

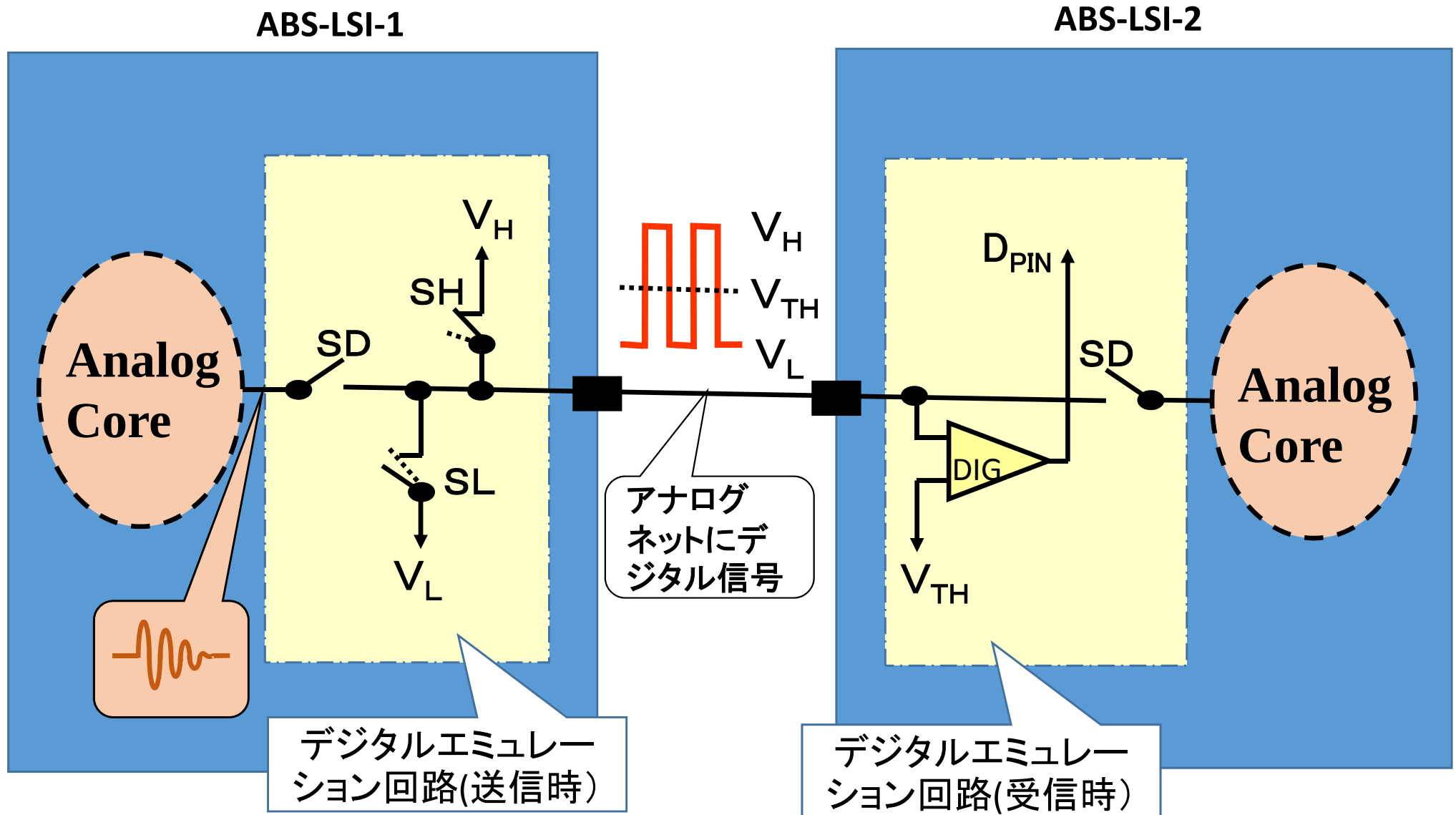
SB1: 電流経路用 __ 低い抵抗値が必要 (シリコン面積: 大)

SB2: 電圧経路用 __ 高い抵抗値でも可能 (シリコン面積: 小)

1149.4によるアナログネットの相互接続テスト



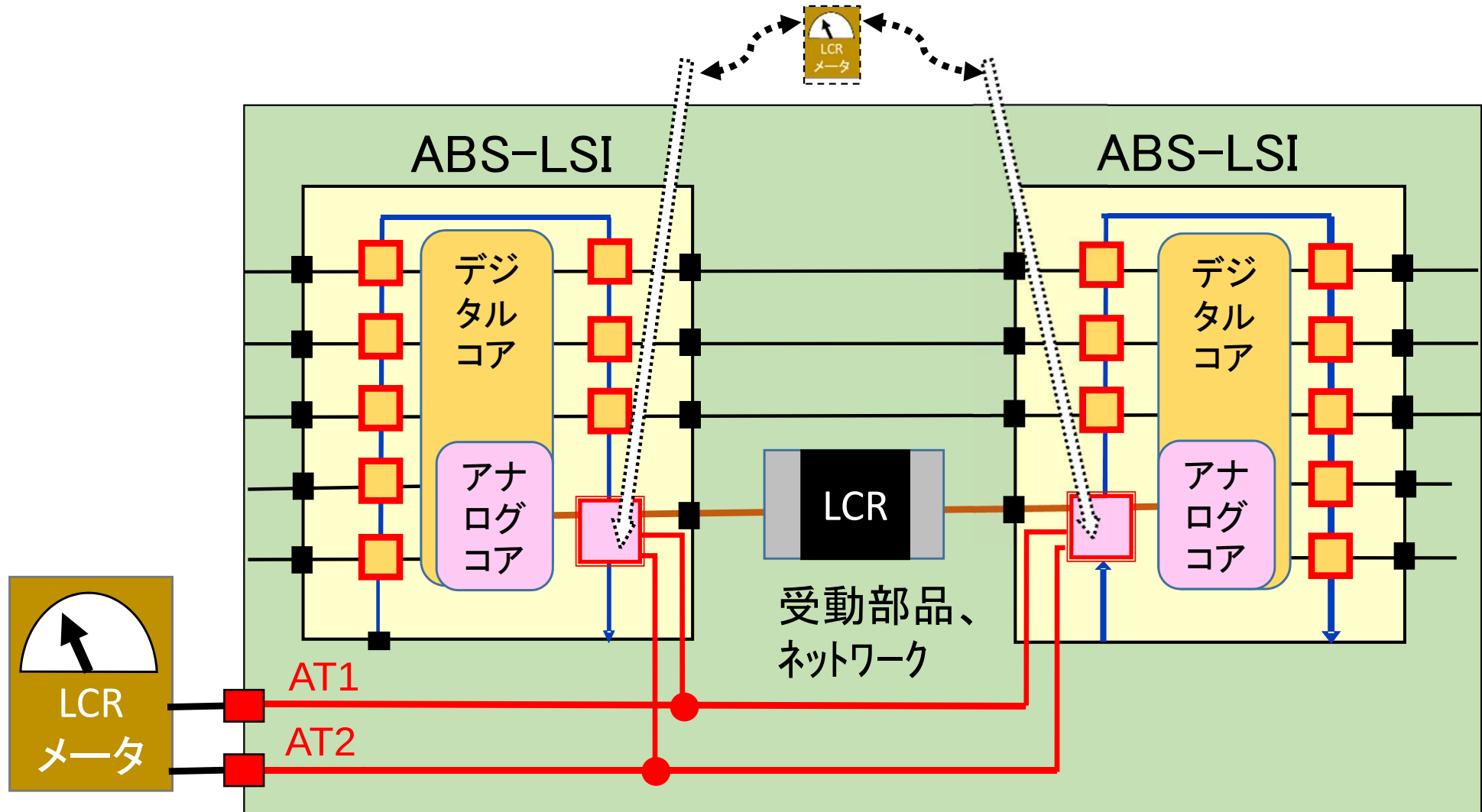
1149.4のデジタルエミュレーション動作



アナログネットを一時的に疑似デジタルネットへ変換

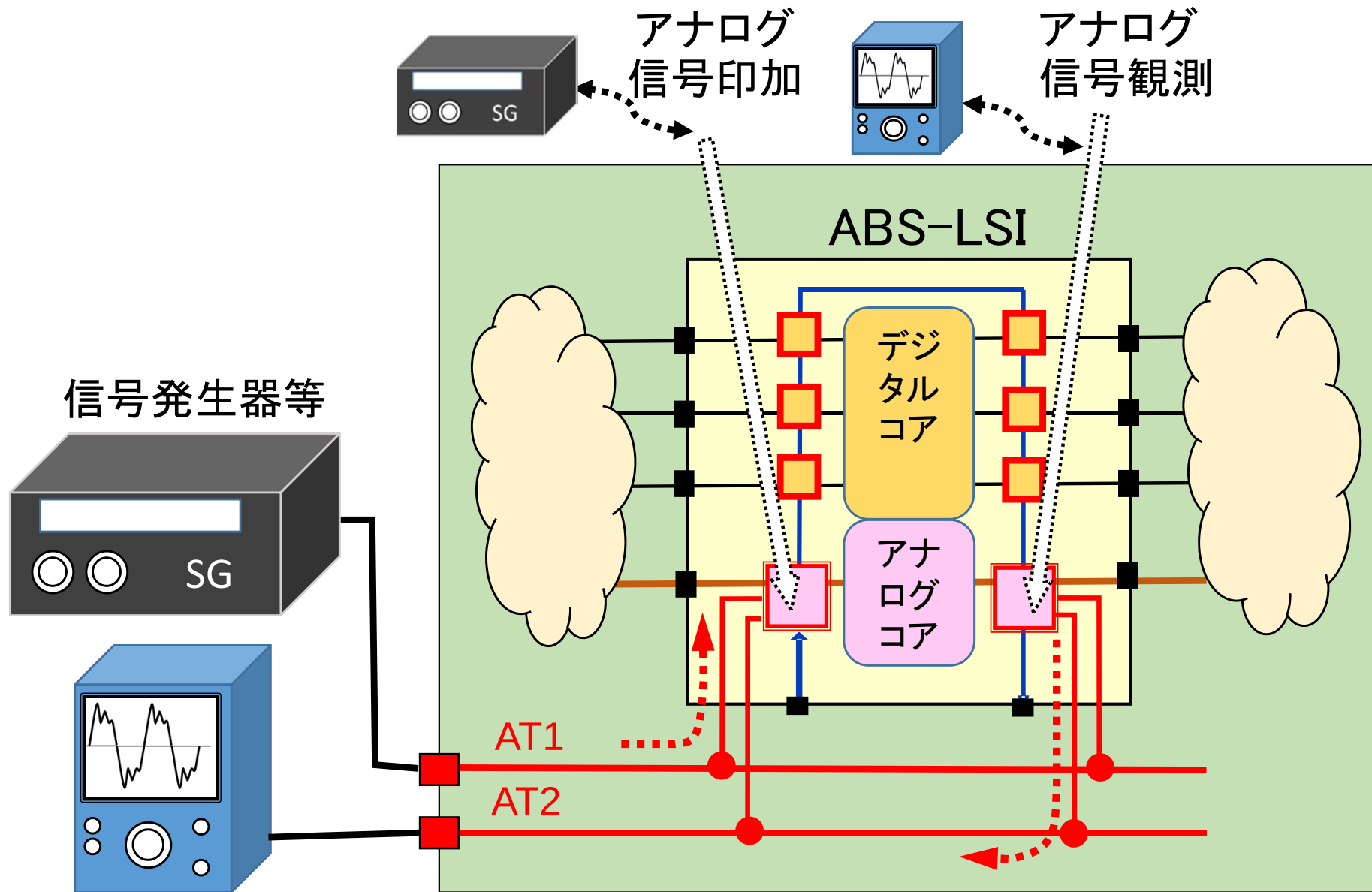
1149.4による受動部品LCRの計測

ABS-LSI間の受動部品(LCR)を計測



簡易4端子法(ケルビン法)で高精計測

1149.4によるアナログ信号の印加と観測



三次元積層LSIのTSV抵抗計測への アナログバウンダリスキャンの応用

ムーアの法則 継続 or 終焉？

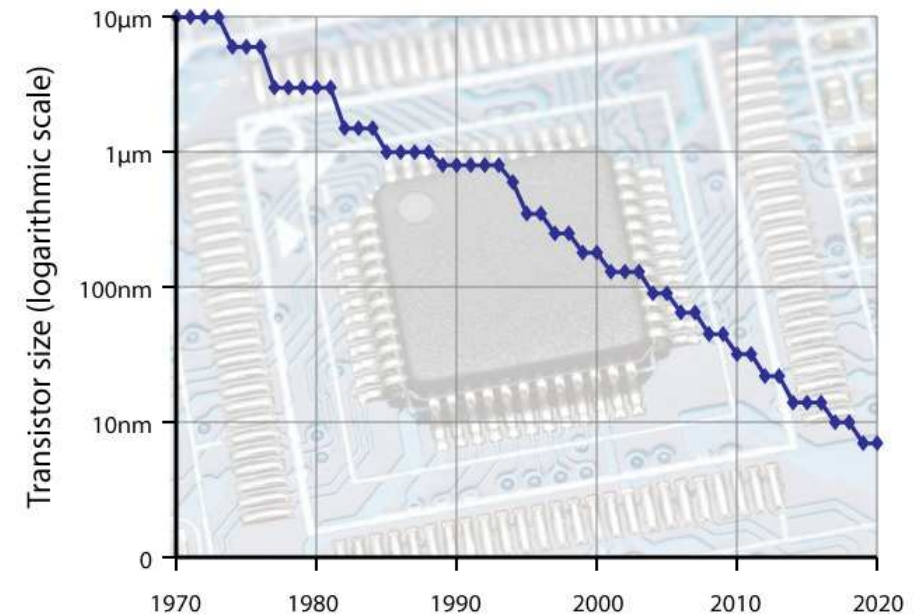
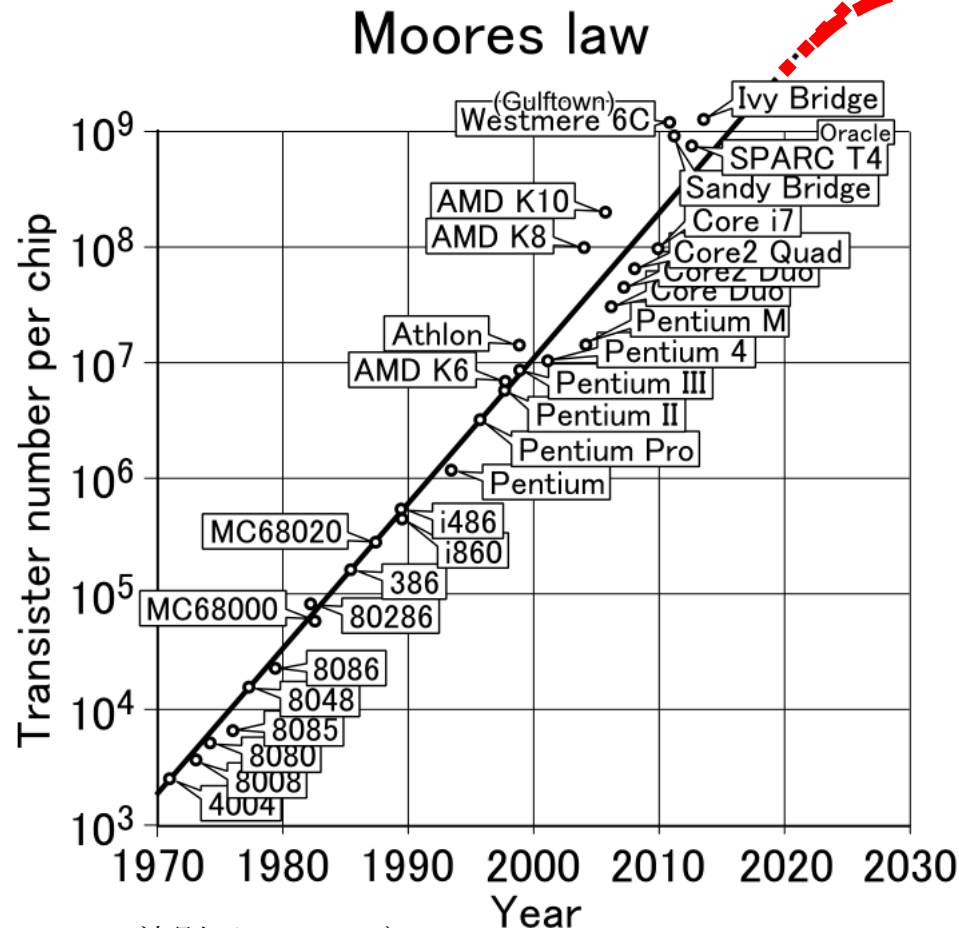
Mooreの法則：集積回路上のトランジスタ数は1.5-2年で2倍に増加

インテル創業者ゴードンムーア博士が1965年
(50年前)に予測

継続？

終焉？

LSIの微細化

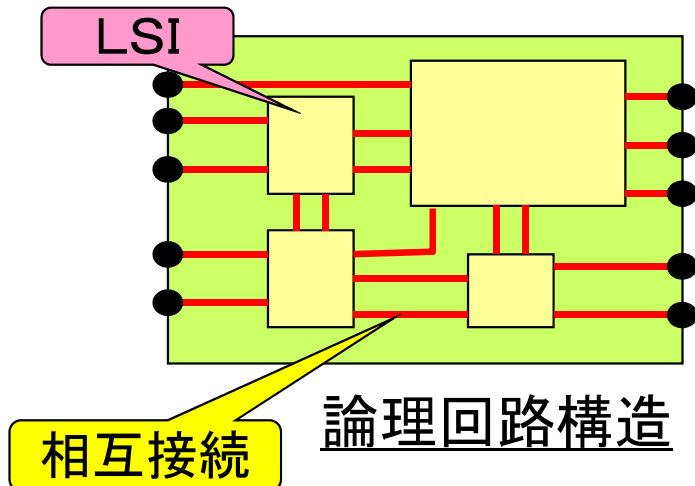
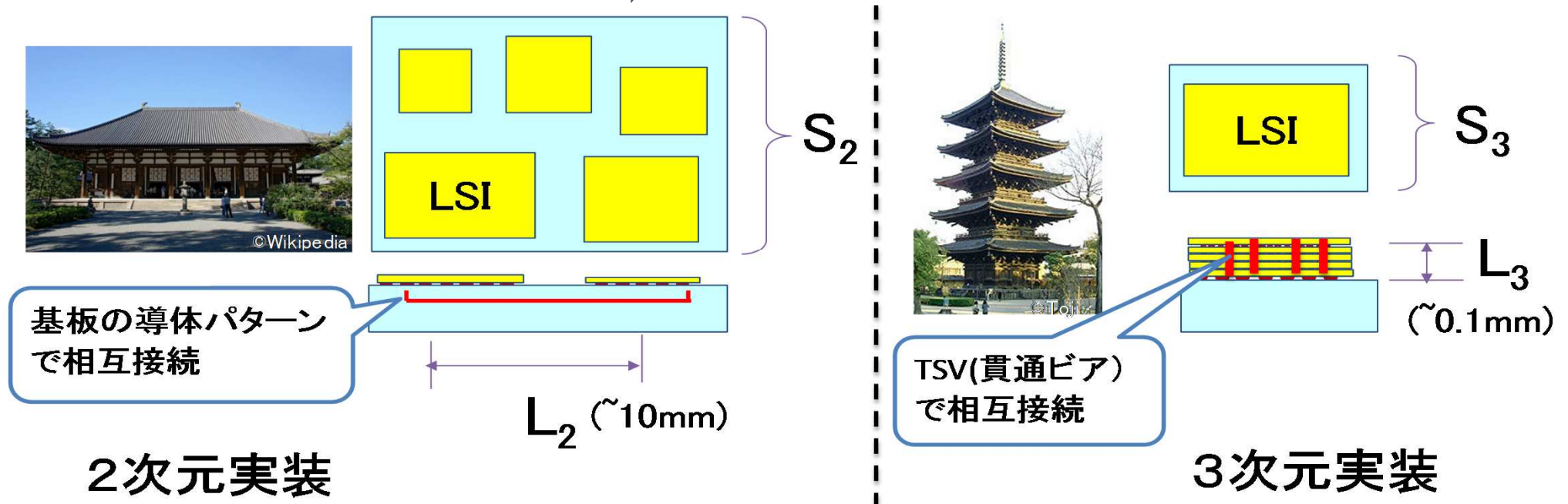


トランジスタのサイズがシリコン原子
直径(0.22nm*)に近づいている
(*出展:原子半径:111pm @wikipedia)

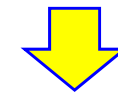
出展:ムーアの法則 @wikipedia)

ムーアの法則終焉に伴う三次元LSI化とテスト

more Moore(微細化) → more than Moore(ムーア則終焉)



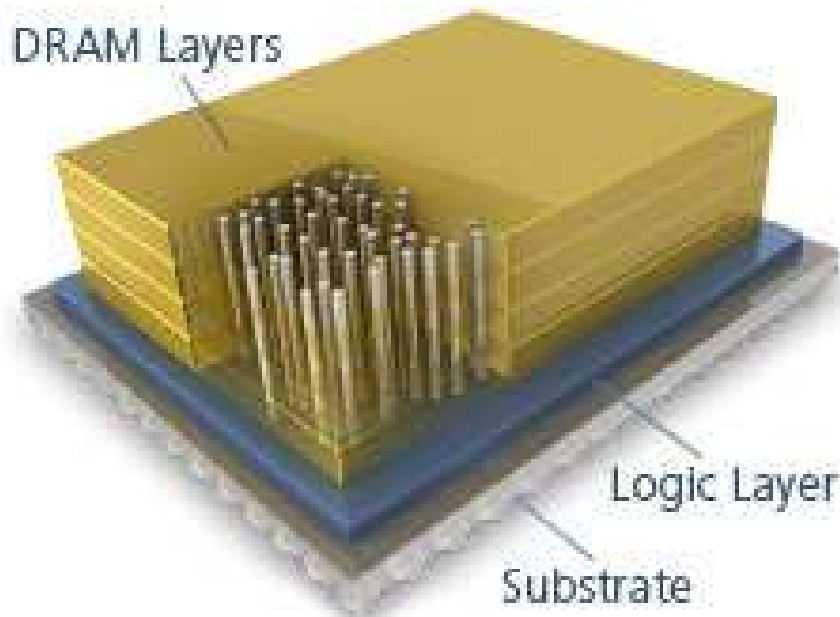
実装ボードと三次元LSIは物理構造は違うが論理構造 (LSIを相互接続) は同じ



ボードテスト技術を三次元LSIテストへ応用可能

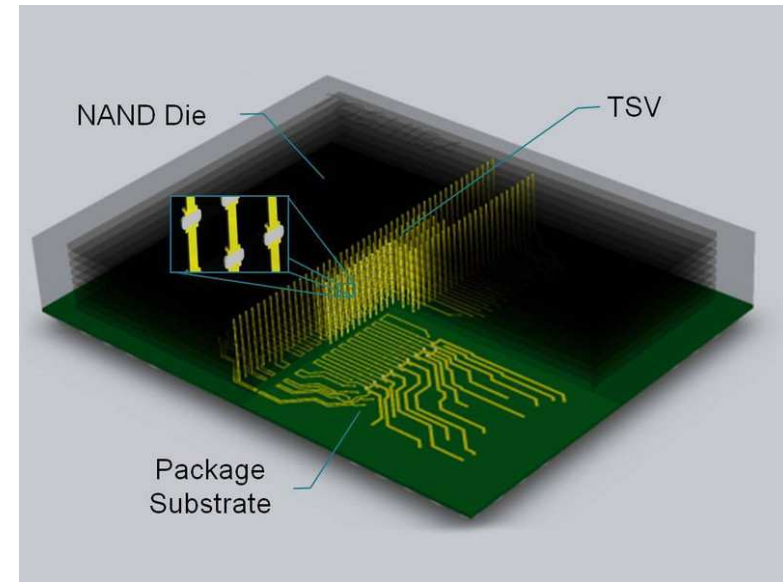
三次元LSIの実用化

Micron社
HMC (Hybrid Memory Cube)
(2014製品化)



<https://www.micron.com/products/hybrid-memory-cube/all-about-hmc>

東芝
TSV-based NAND Flash memory
(2015試作)



<http://toshiba.semicon-storage.com/jp/company/news/news-topics/2015/08/memory-20150806-1.html>

- 3Dメモリデバイスは一部で実用化されているが、3D論理デバイスでは課題(コスト、放熱、品質等)が多く実用化はこれから
- 3D論理デバイス, とりわけHPC (High Performance Computer)分野では 数万～数十万のTSV相互接続の品質保証は重要課題

3D-LSI 積層構造の例

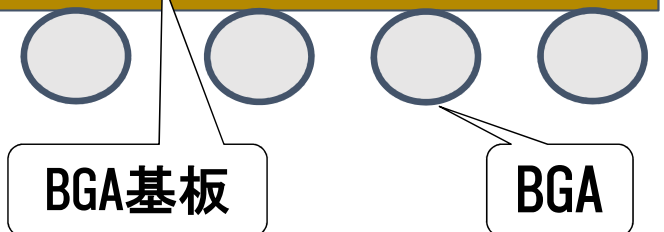
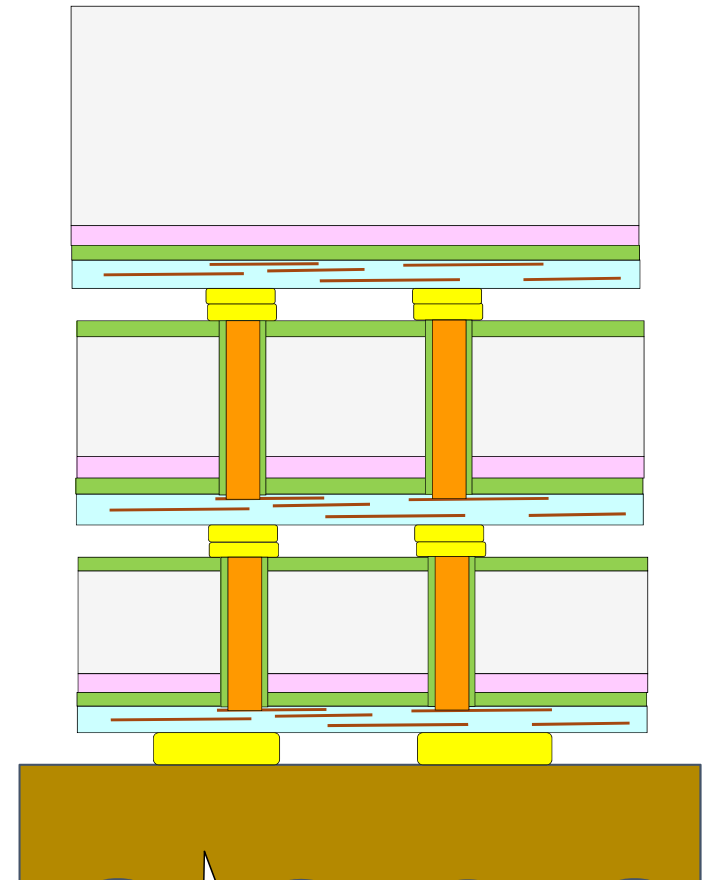
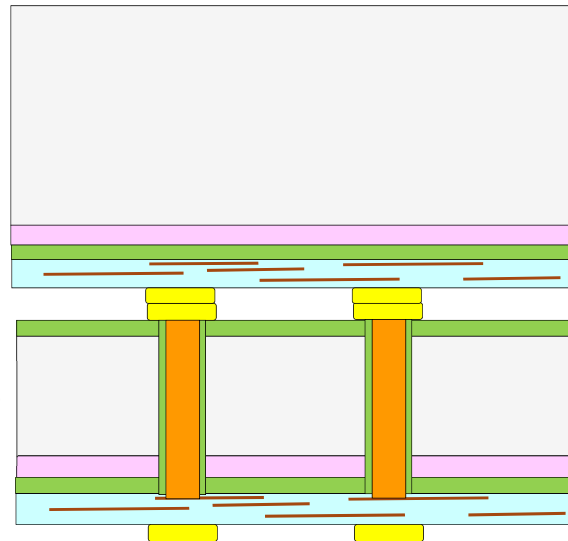
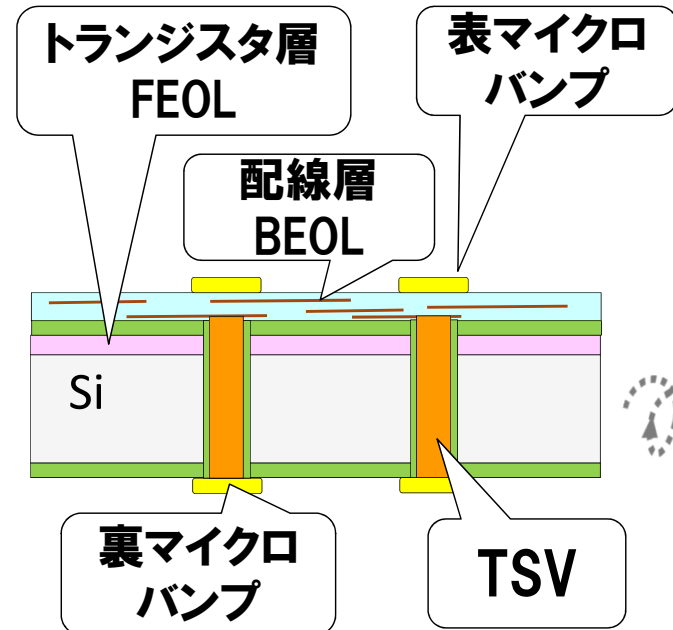
TSV/マイクロバンプ
形成後のダイ



2段積層後



3段積層 / パッケージング後

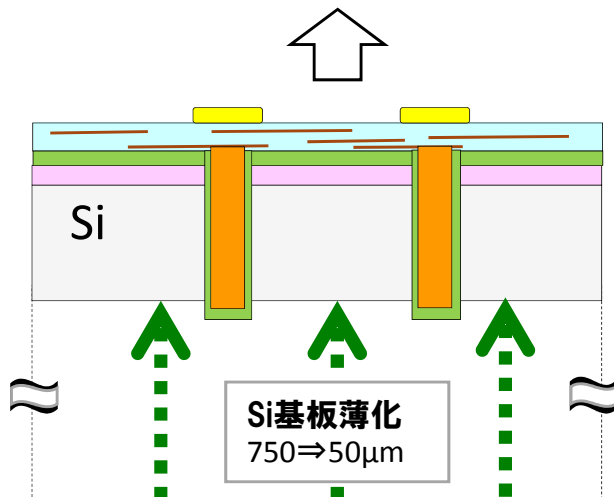


TSV寸法例

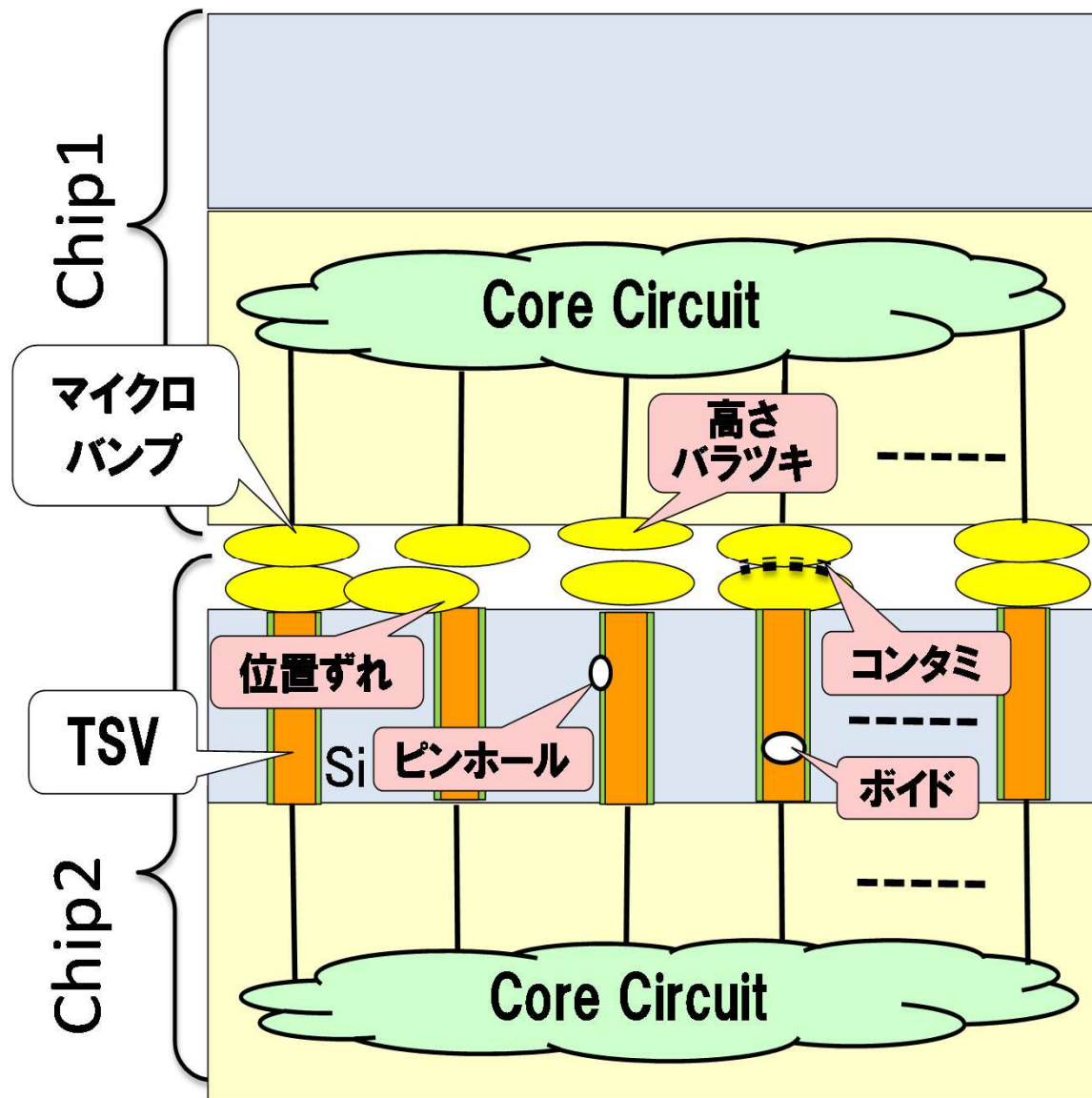
- ・TSV径: 5-10 μm
- ・TSV長: 50 μm

マイクロバンプ寸法例

- ・ μ バンプ径: 25 μm
- ・ μ バンプ間隔: 40 μm



三次元積層ICのTSVにおける欠陥と相互接続障害

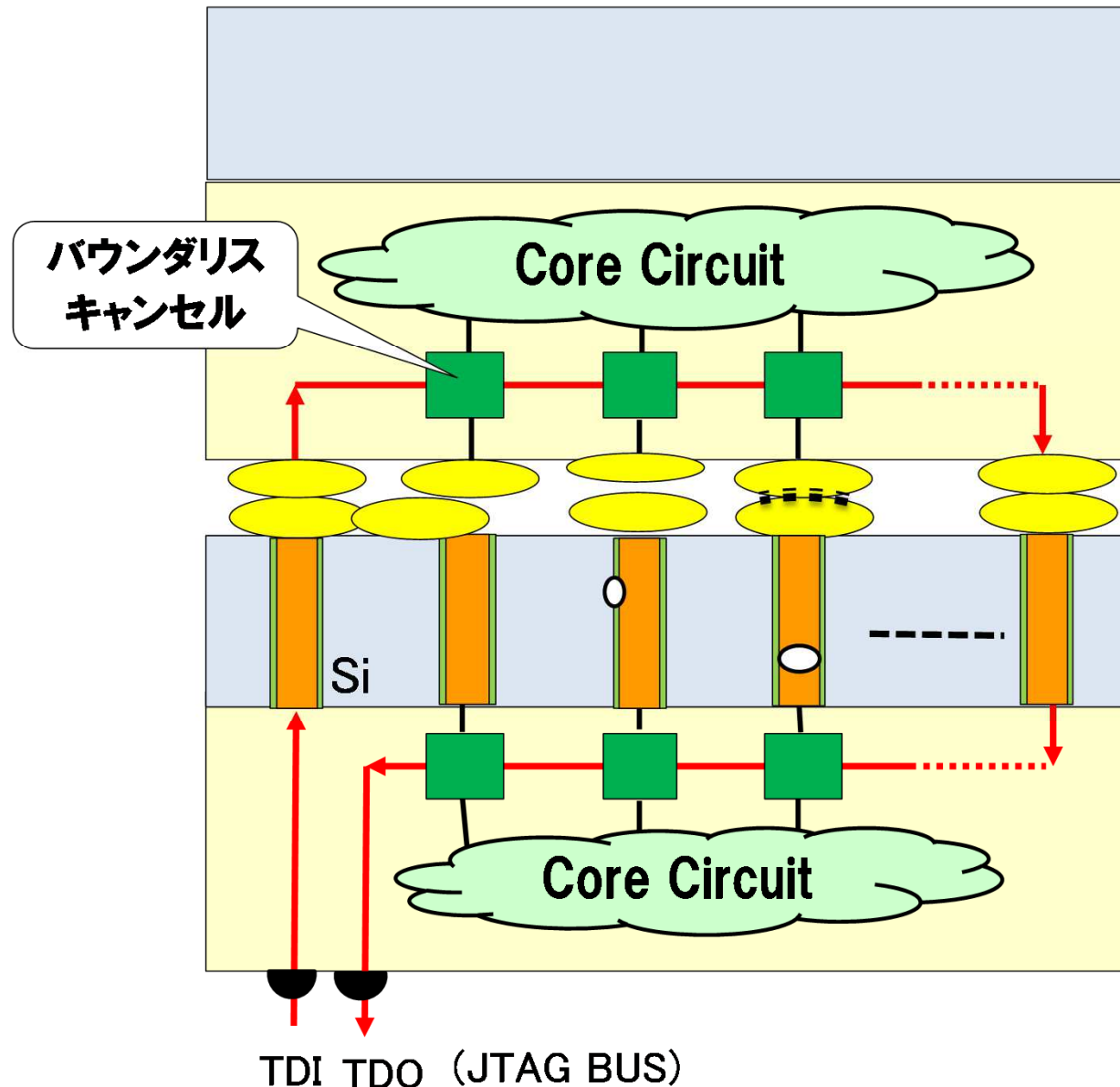


製造欠陥と相互接続障害

(O:断線/抵抗大、S:短絡/絶縁小)

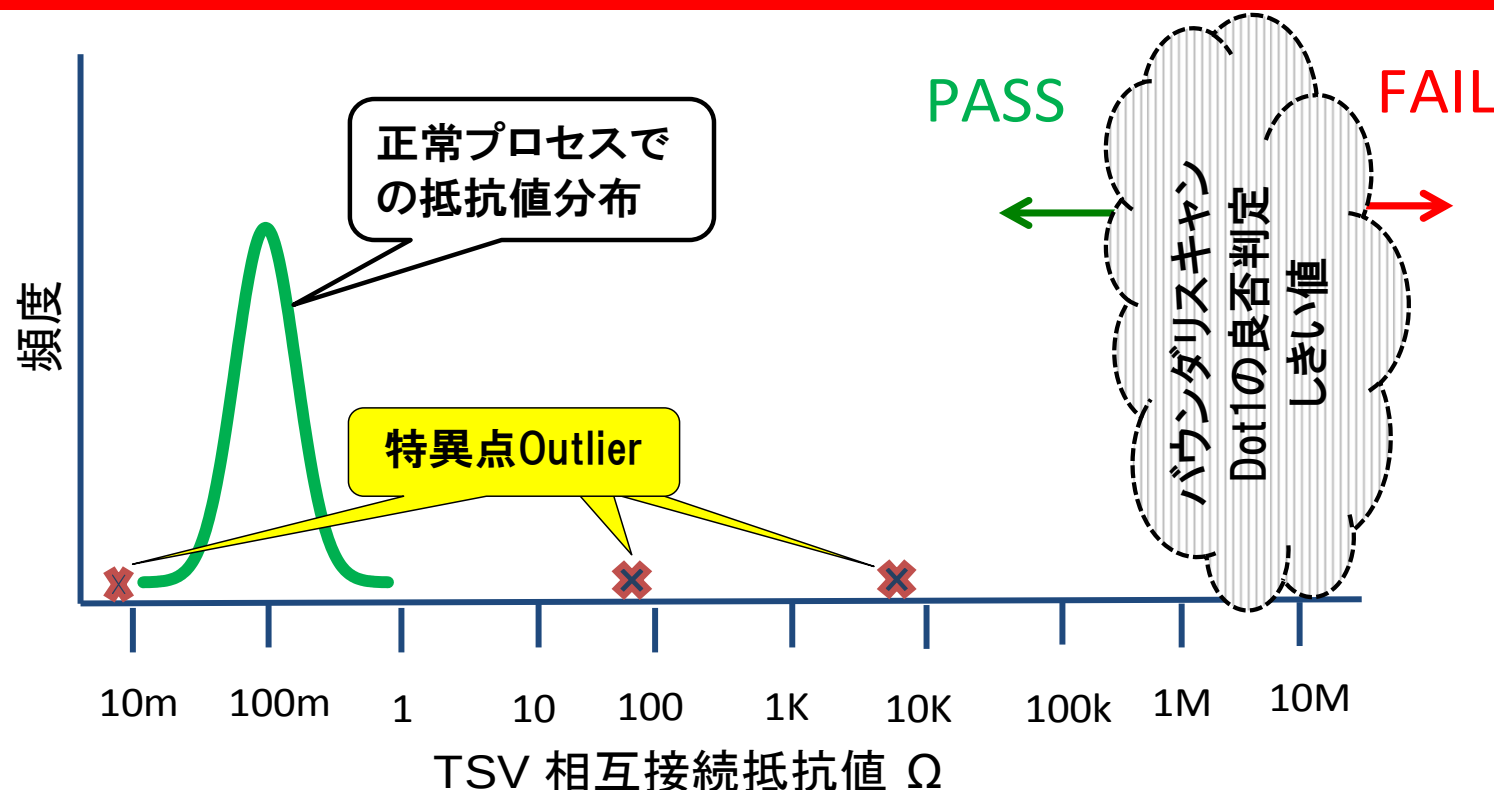
- ・TSV内ボイド: O
- ・TSV隔壁ピンホール: S
- ・uB高さバラつき: O/S
- ・uB位置ずれ: O/S
- ・uB間コンタミ混入: O
- ・uB接合圧力温度不良: O/S
- ・uB半田過多過少: O/S
- ・エレクトロマイグレーション: O/S
- etc

TSV接続試験と基本バウンダリスキャンテスト1149.1



3D-ICの量産時には
基本バウンダリス
キャンテスト1149.1
による製造テストは
必須

デジタル的良否判定とアナログ的計測評価

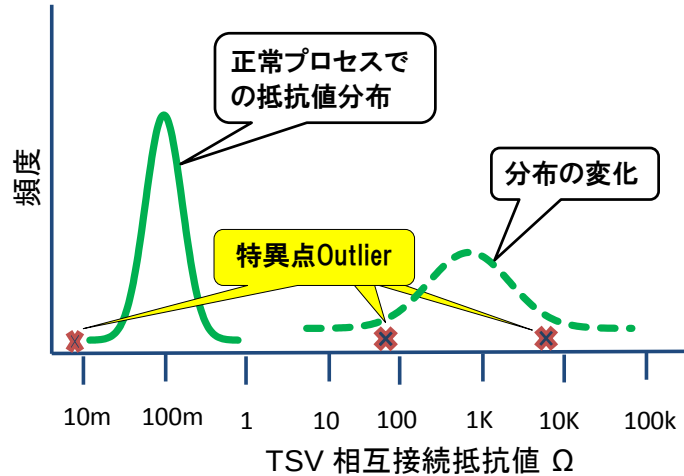


基本バウンダリスキャンテスト1149.1 : 「良否判定」可能
しかしどの程度良いかやアウトライヤ検出は不可
アウトライヤは「不良」へ発展のサイン, 歩留り低下の警鐘

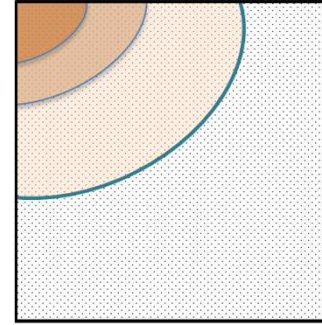
製造プロセス評価や故障予知には、デジタル的な良否
判定だけでなく、**アナログ的計測と評価が重要**

TSV抵抗のアナログ計測ができれば・・・

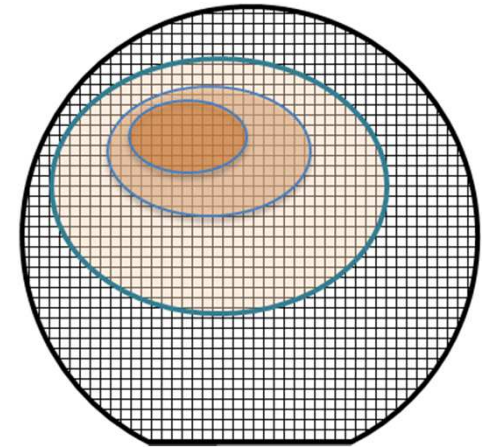
製造
プロセス
開発
評価時



特異点や分布異常検知

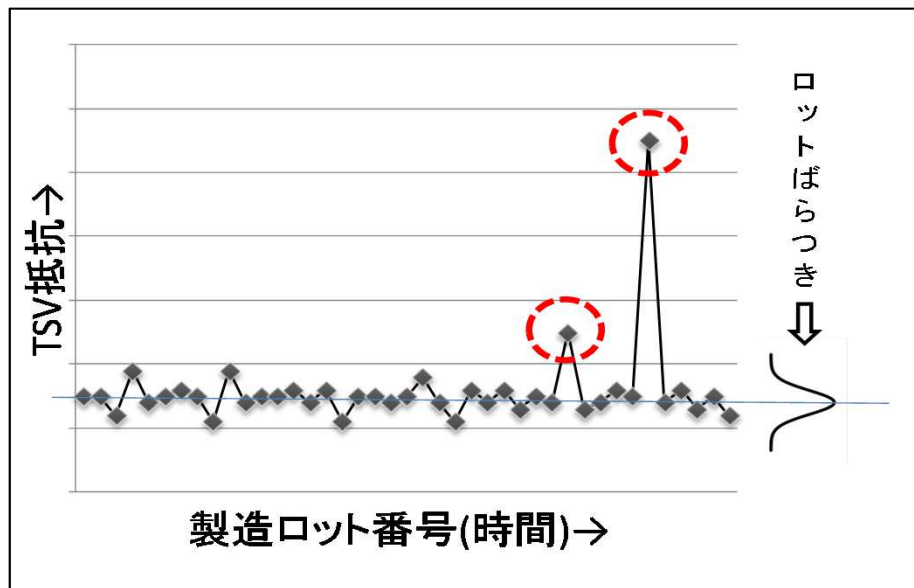


チップ内抵抗値分布



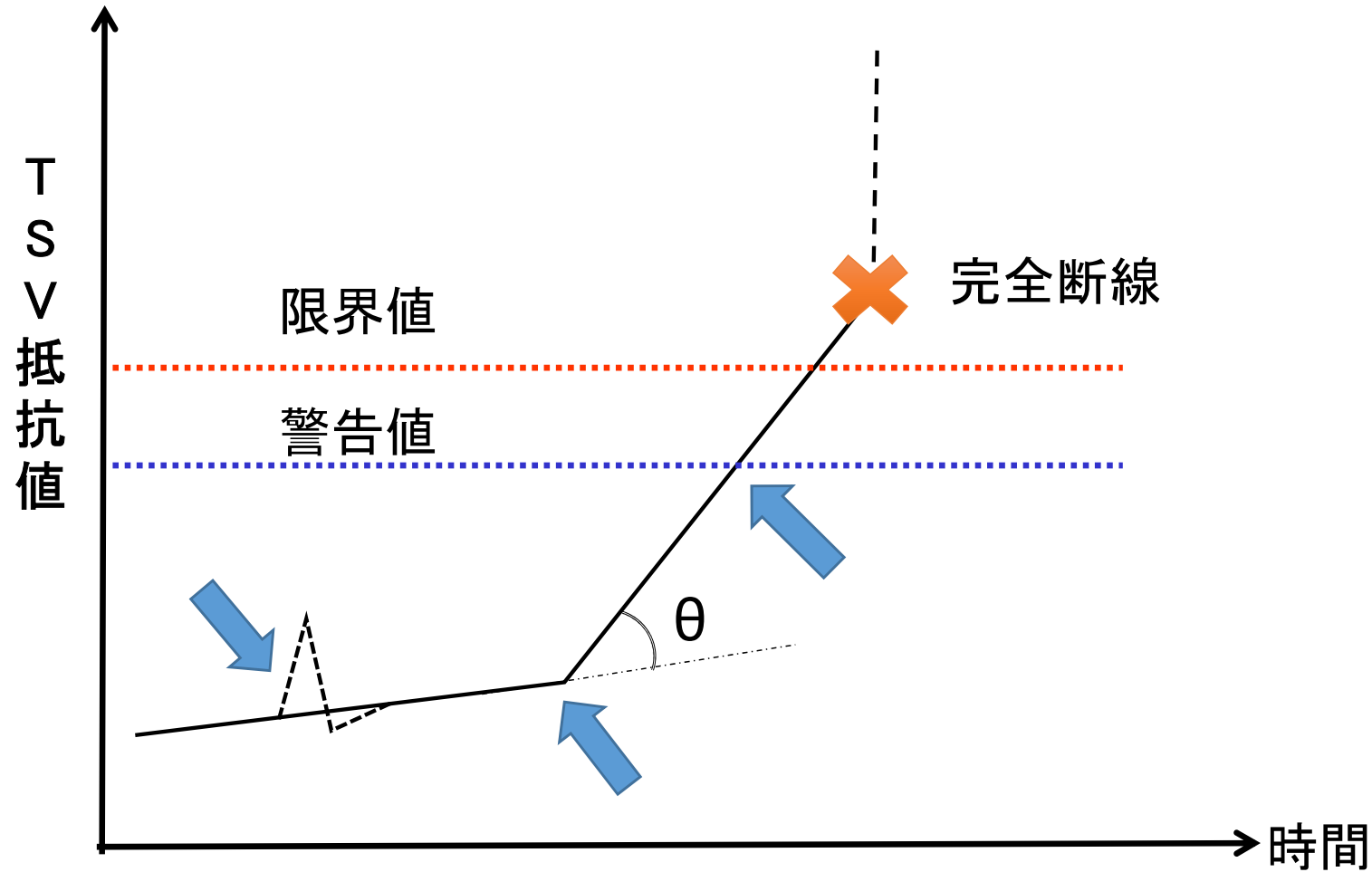
ウェーハ内抵抗値分布

量産/
製品稼働
時



製造ロット毎の抵抗異常モニター

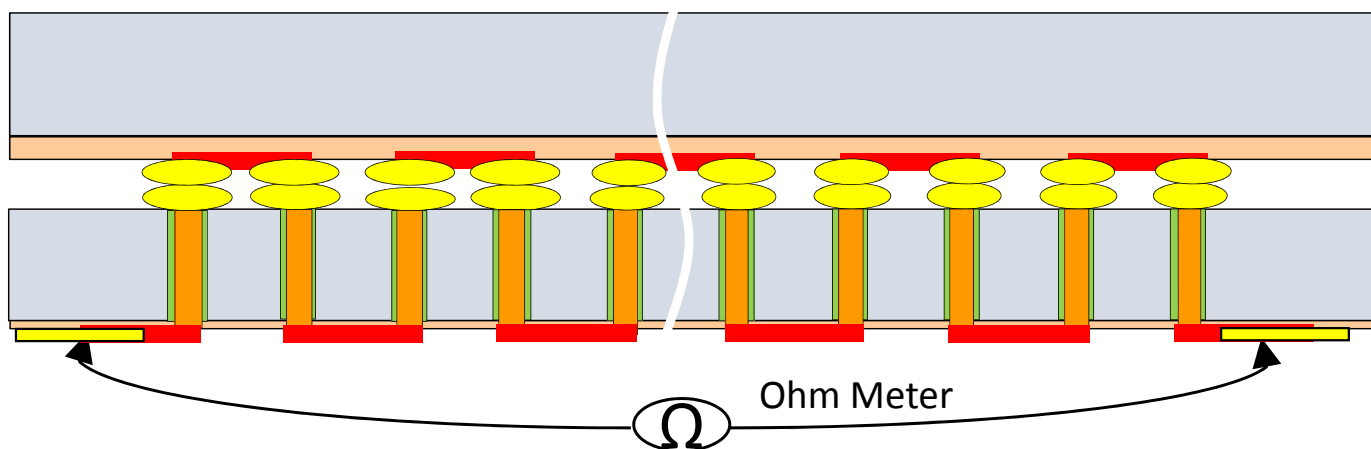
アナログ値変化をモニタし故障予知



1. 抵抗値の異常変動
2. 抵抗値の急激な上昇
3. 抵抗値が警告値を超えた

故障に至る前に予兆を検知し
故障を予防

一般的なTSV抵抗アナログ計測法



デージーチェーン計測法

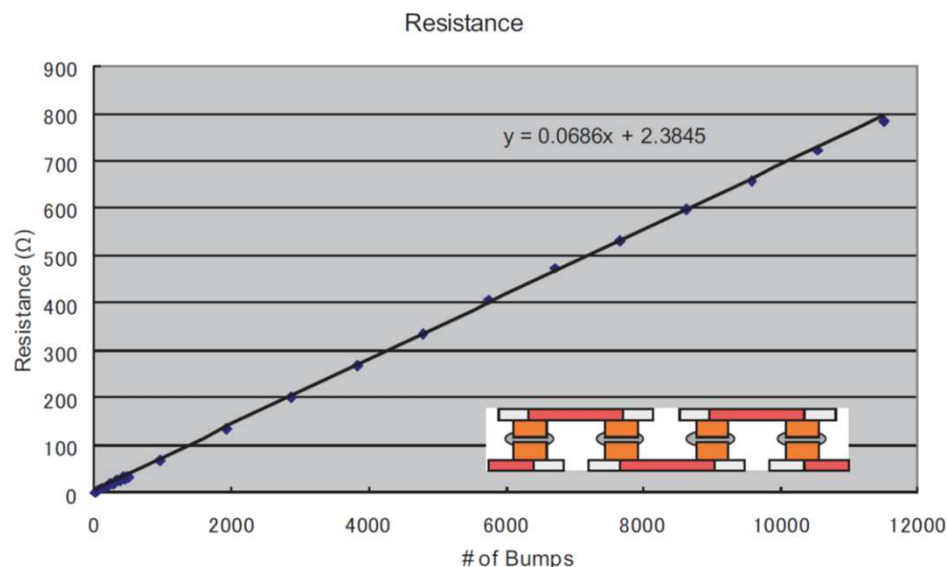


Fig. 9.19 Daisy chain joint resistance of TV10

N本(数千～数万)のTSVの直列抵抗を計測し、それをNで割るとTSV1本当たりの平均相互接続抵抗値が求まる



- ・TSV個別の抵抗値が分からず、アウトライヤは検出できない
- ・実デバイスでの計測不可

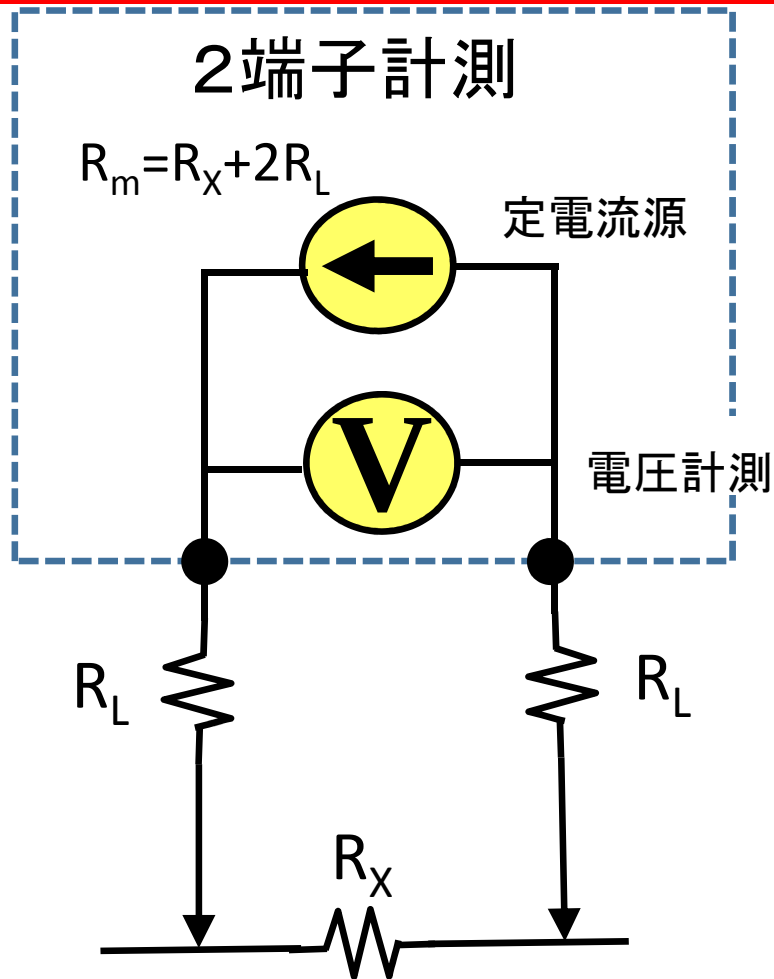
Kada et al., "Chapter 9 Dream Chip Project at ASET", Three-Dimensional Integration of Semiconductors, Springer 2015

TSV個別抵抗計測法が必要

4端子抵抗計測法(ケルビン法)

2端子計測

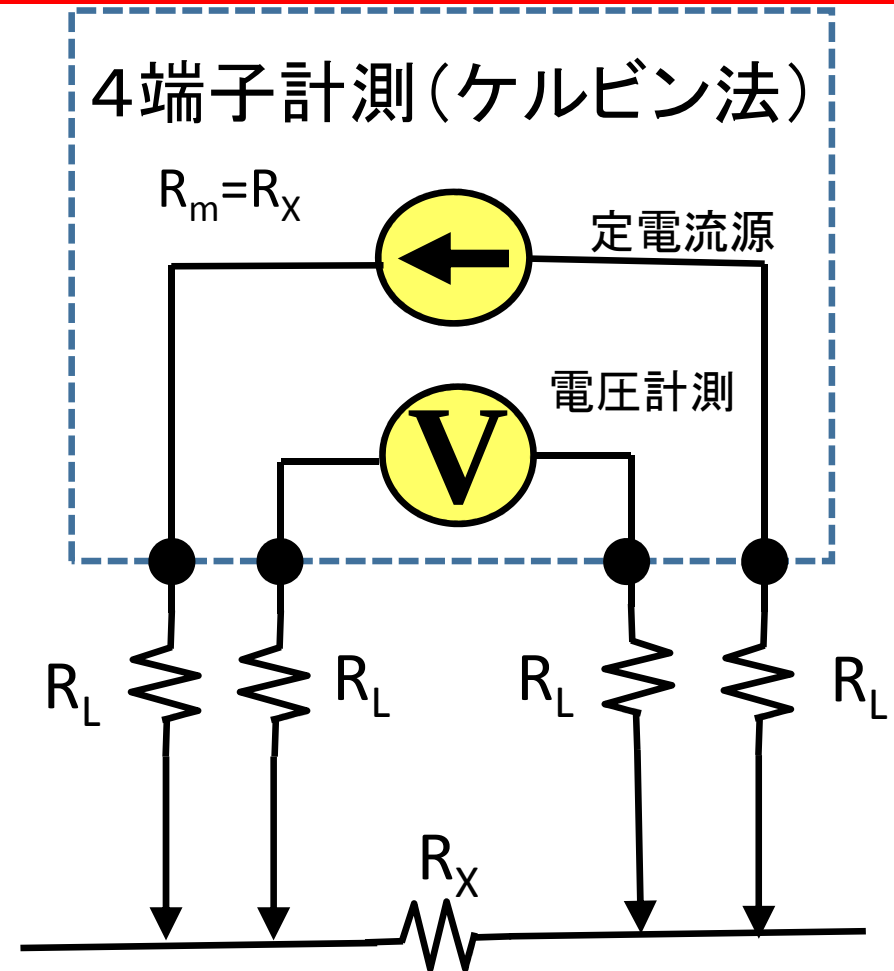
$$R_m = R_x + 2R_L$$



- ・2端子計測では、 R_x が微小抵抗(<1Ω)の場合、 R_L (=リード線抵抗+接触抵抗)が直列に加算され誤差が大きくなる

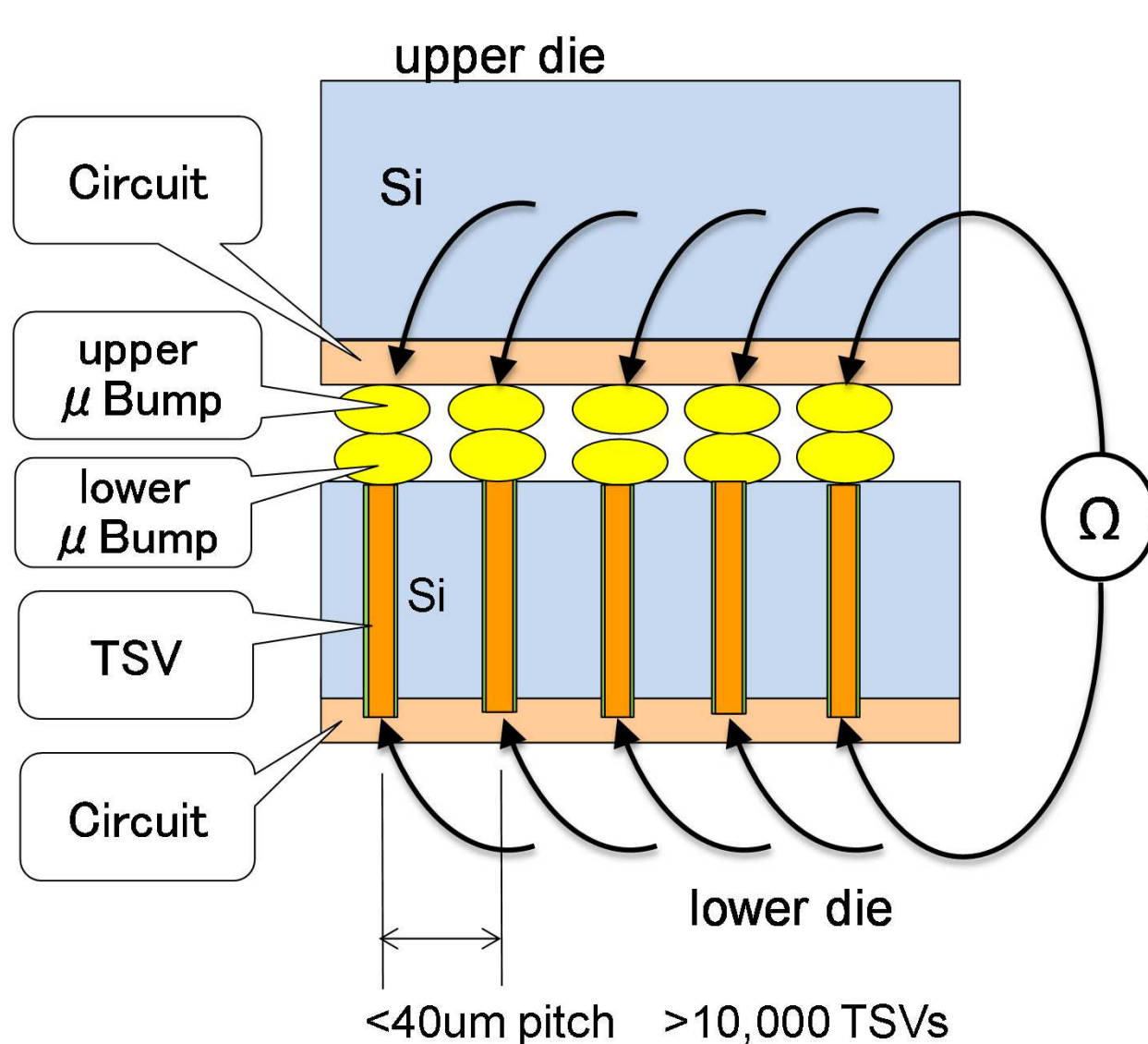
4端子計測(ケルビン法)

$$R_m = R_x$$



- ・4端子計測では R_L による計測誤差はない

TSVの個別抵抗値の計測方法は？



3D-SICの内部に機械式プローブを接触させて計測することはできない



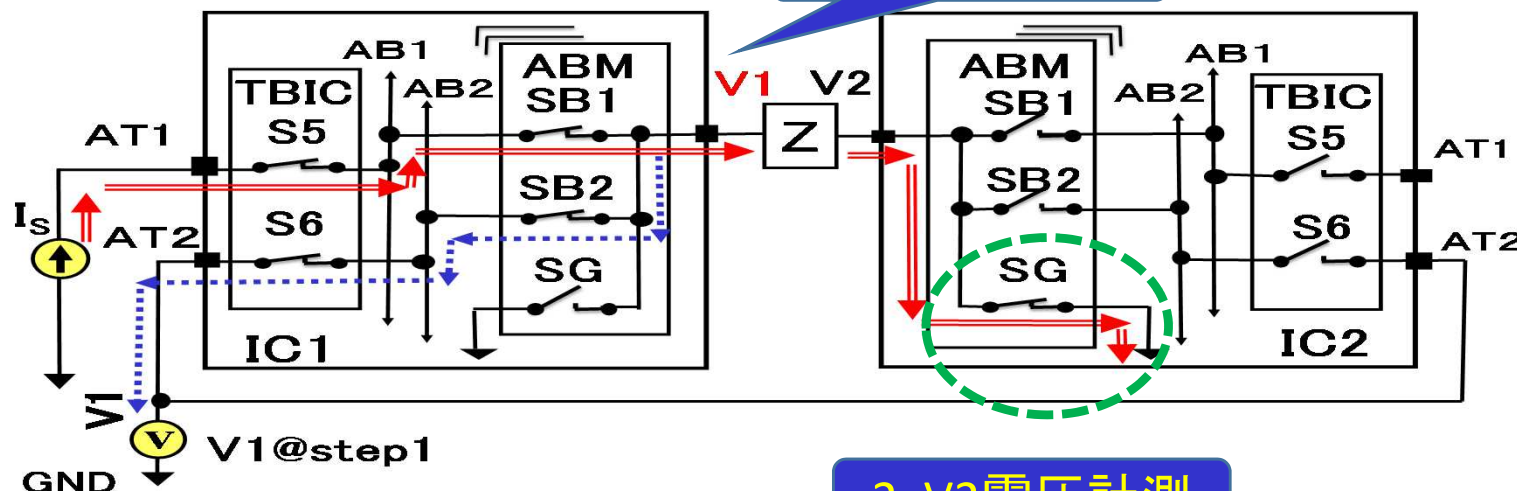
アイデア：
「電子的プローブ」をシリコンに埋め込む

アナログバウンダリスキャンDot4を利用

1149.4規格の抵抗計測法(対地電圧差分法)

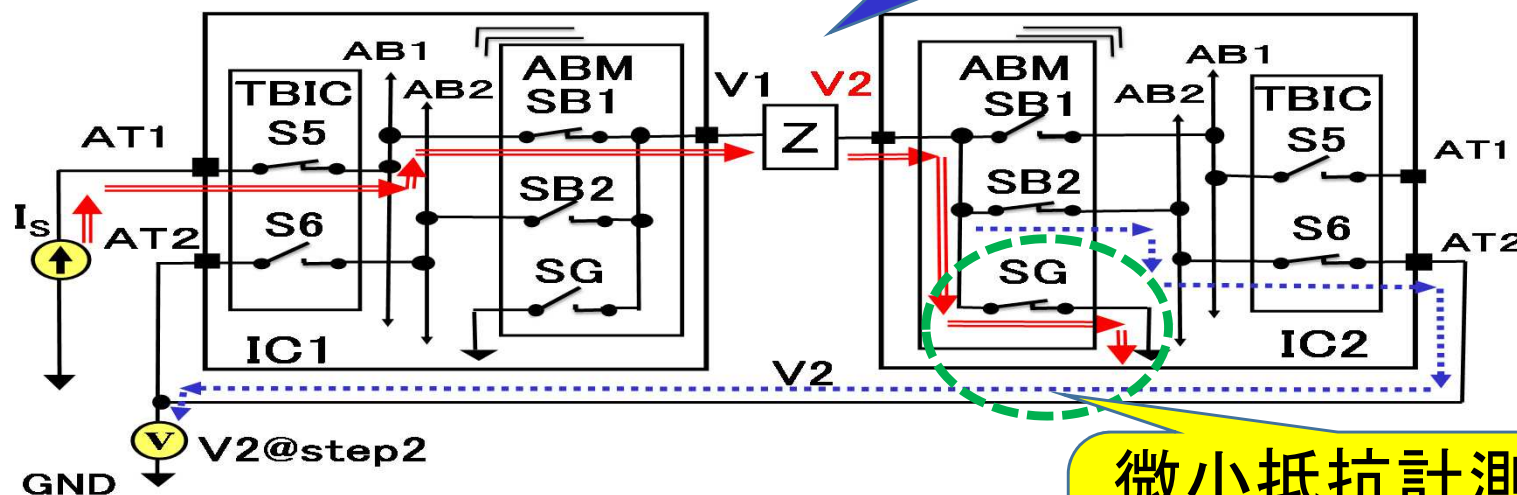
step1: V1 measurement

1. V1電圧計測



step2: V2 measurement

2. V2電圧計測

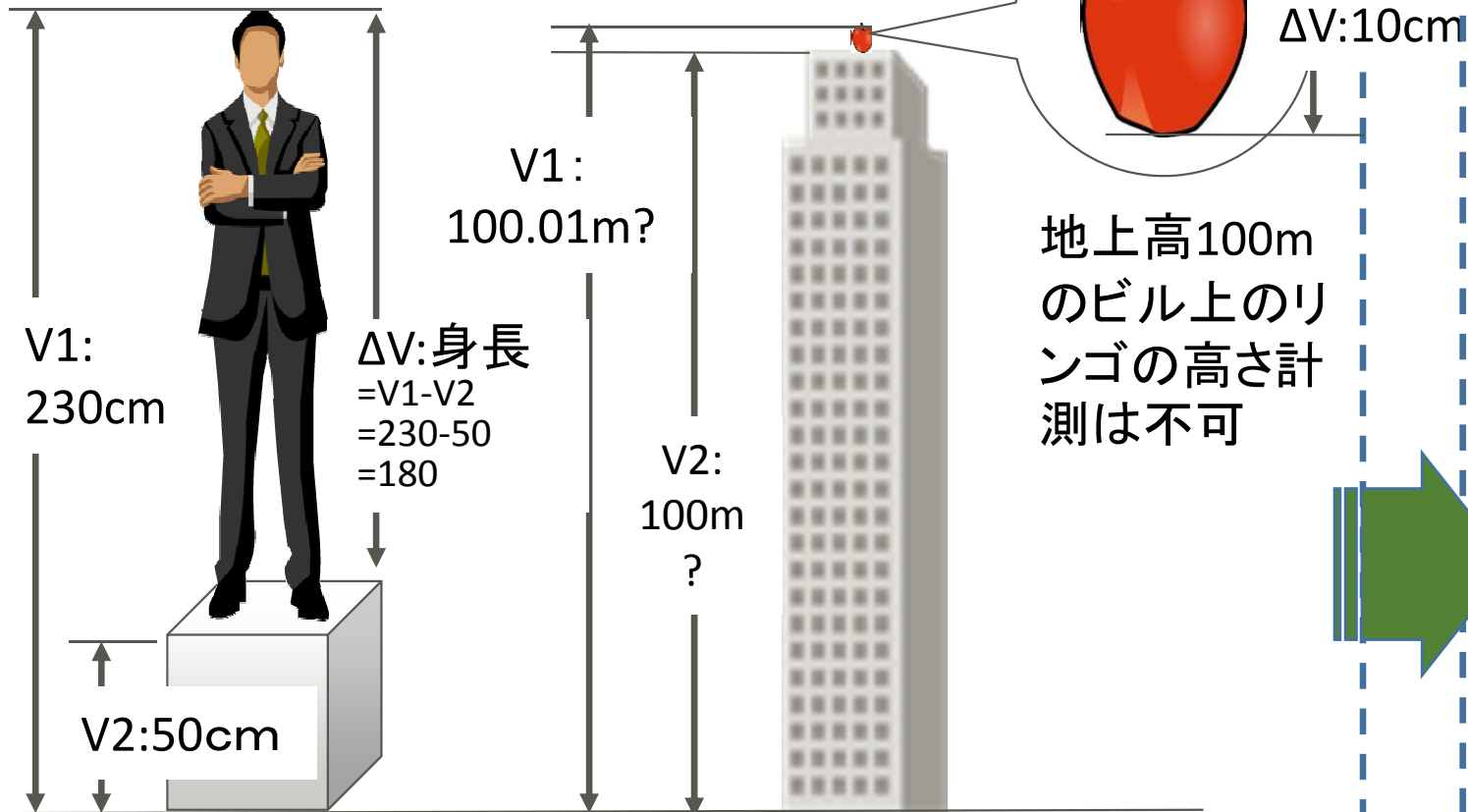


3. 抵抗値を計算で求める $Z = (V1 - V2) / I_s$

微小抵抗計測では
SGスイッチ抵抗が
大問題

標準計測法「対地電圧差分法」の問題と解決策

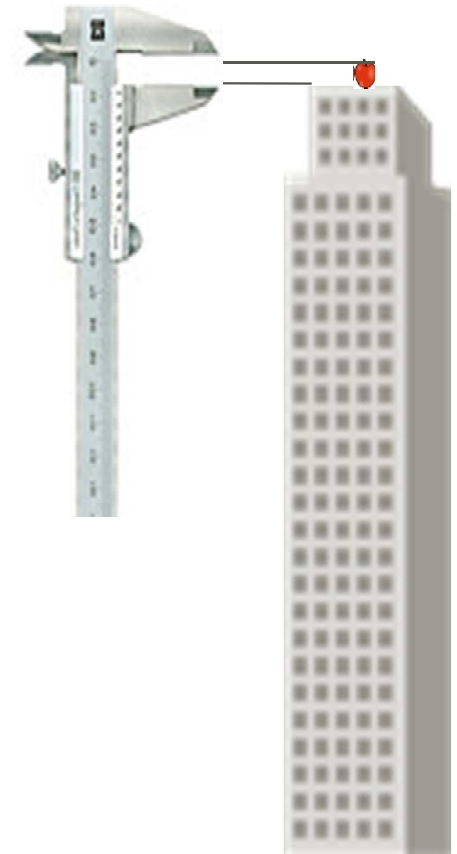
標準手法「対地電圧差分法」の問題



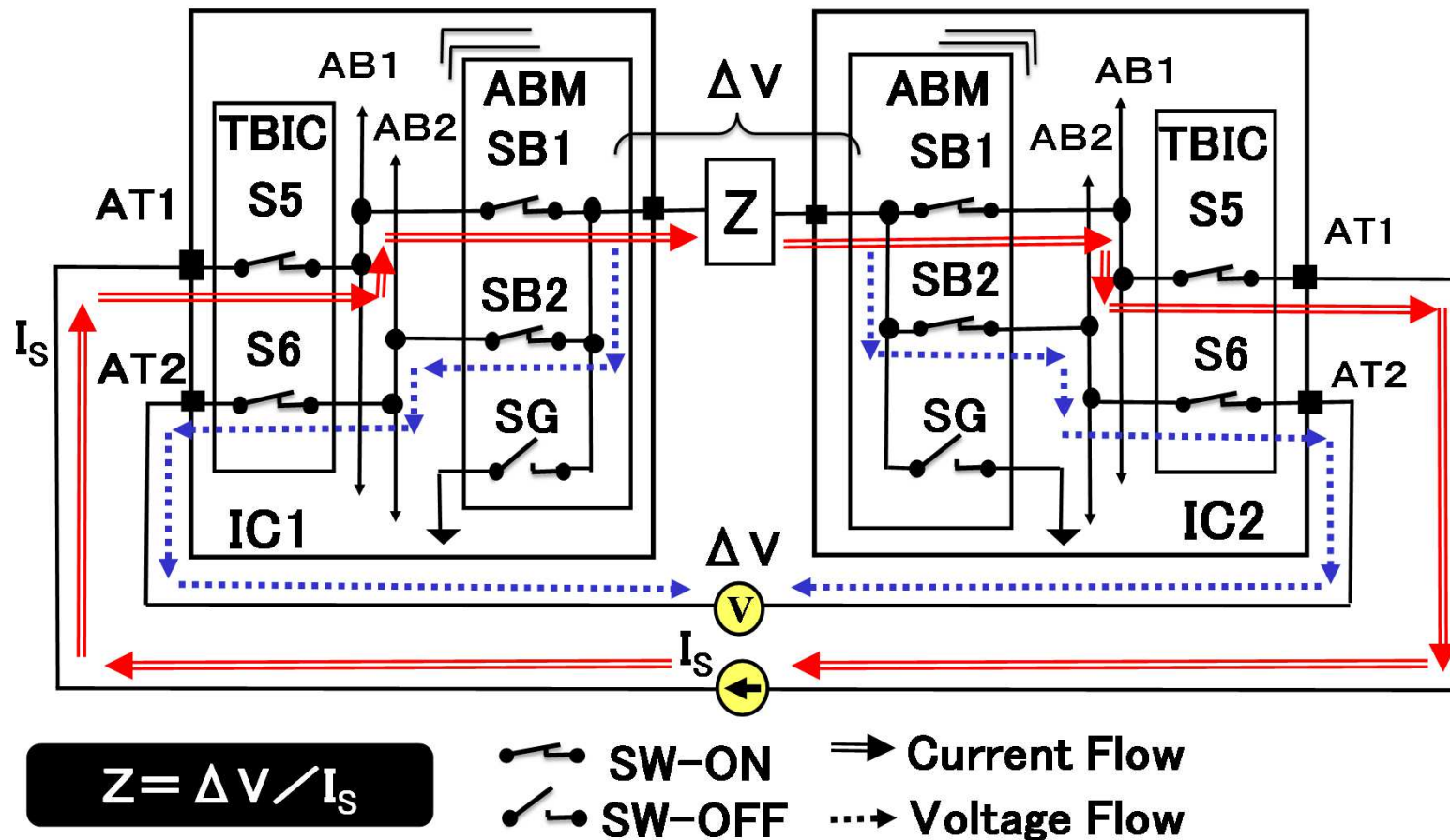
考え方: 全高 $V1$ から台の高さ $V2$ を減算して身長 ΔV を求める

問題: 台の高さが被測定物の1000倍以上あると適用は不可

フローティング法



提案: Dot4規格を拡張「フローティング計測法」

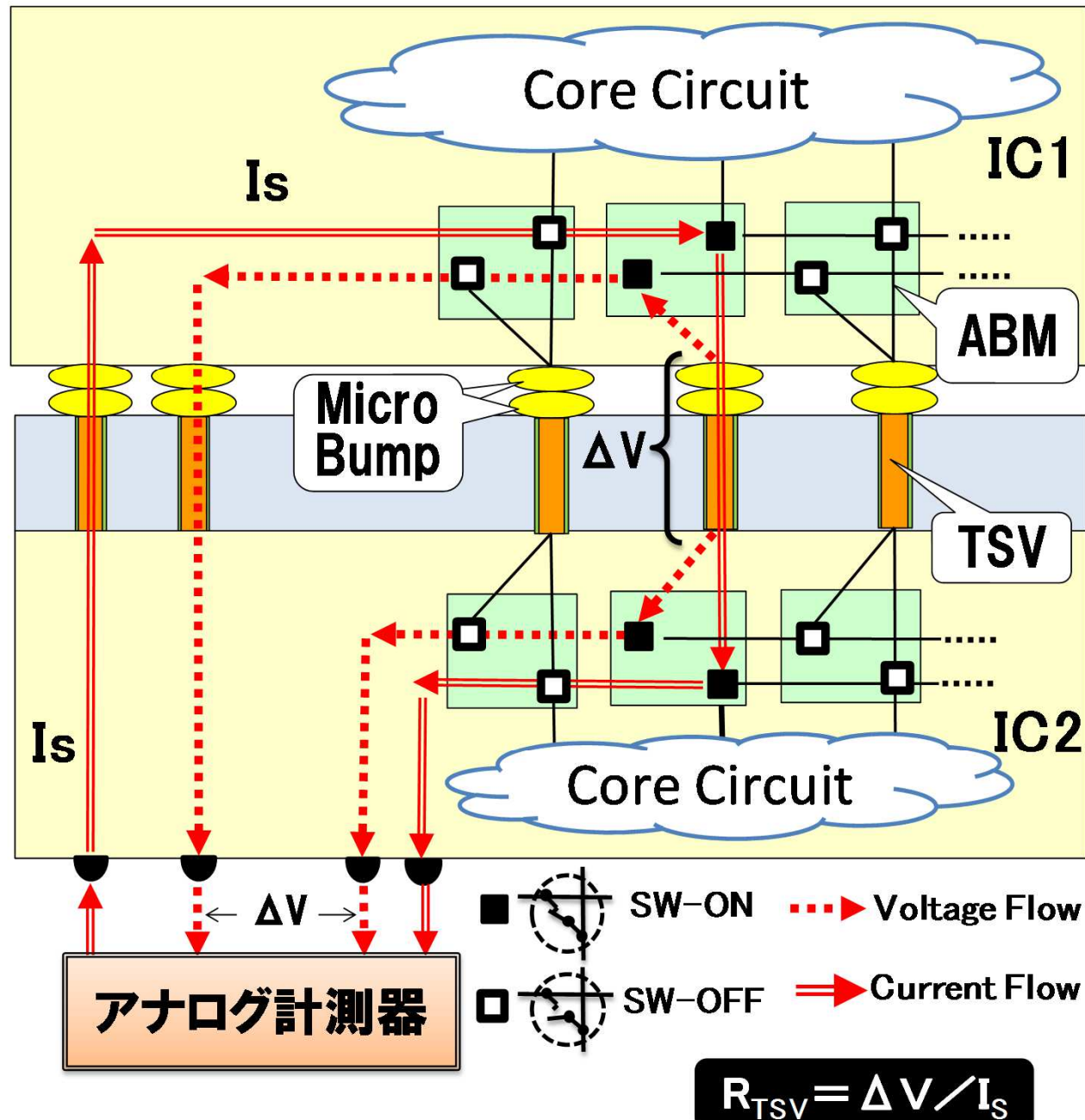


Zでの電圧降下 ΔV を直接計測

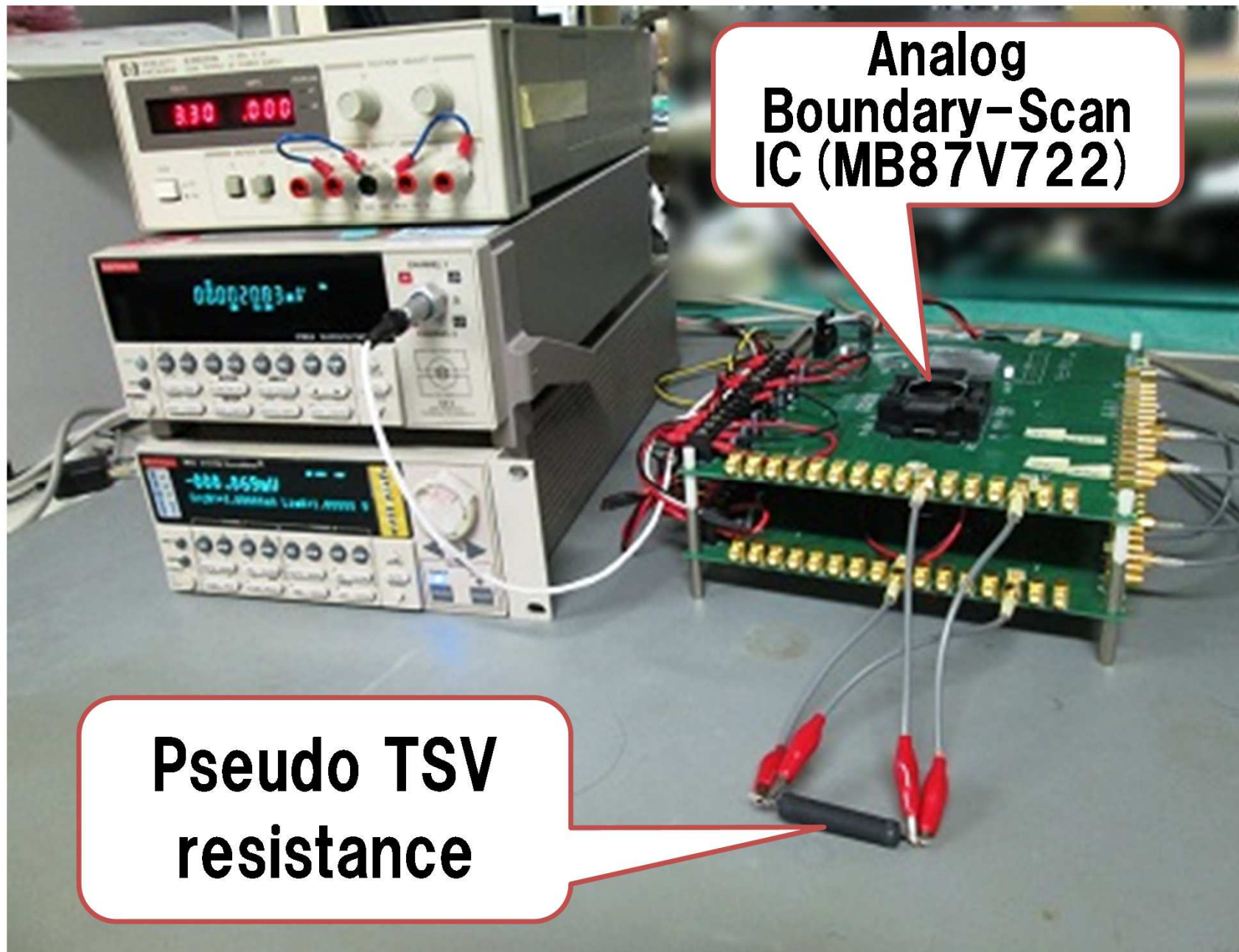
利点: 微小電圧を高精度計測可、計測は1回/TSVで高速化

欠点: アナログ計測バス用バンプの本数増加(2 $\rightarrow$ 4)

提案手法によるTSV相互接続抵抗計測の実装



検証実験装置外観



検証実験結果

Range	Reference	Measured value	Absolute error	Relative error
1000mΩ	1000mΩ	990mΩ	10mΩ	1%
200mΩ	219mΩ	215mΩ	4mΩ	2%
100mΩ	101mΩ	98mΩ	3mΩ	3%

微小抵抗 (100mΩ) でも高精度 (3mΩ、3%) に計測できることを検証

本TSV計測法をJEITAでIEC提案へ

以上述べたTSVの精密計測方式を世界標準とすべく、JEITA(一般社団法人電子情報技術産業協会)ワーキンググループでIEC (The International Electrotechnical Commission) への提案を策定中

まとめ

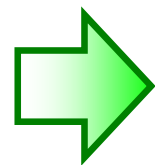
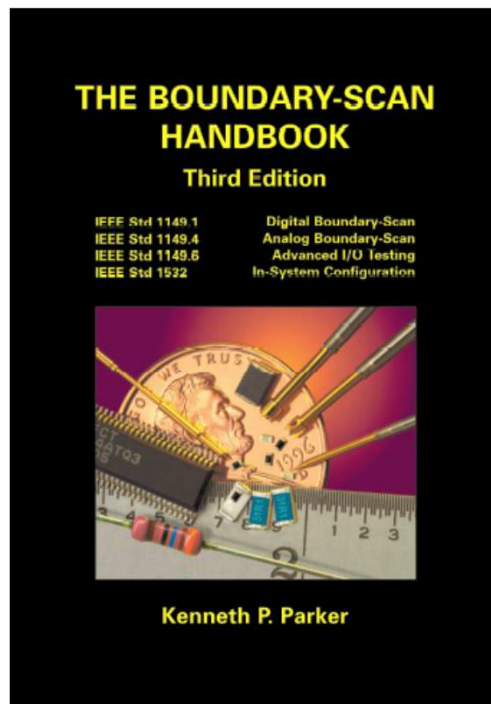
1. バウンダリスキャン(IEEE 1149.1)の目的、技術概要及び効果について解説した
2. アナログバウンダリスキャンの目的と動作原理を解説した
3. アナログバウンダリスキャンを応用した三次元積層LSIのTSV精密抵抗計測法と故障予知について解説した

END

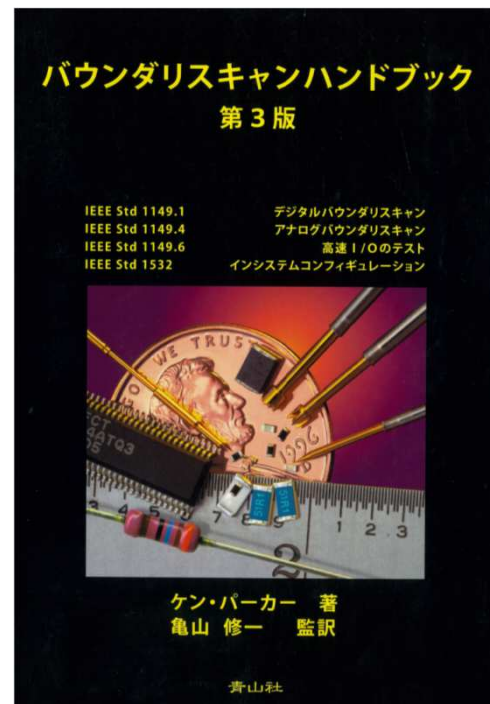
(参考) バウンダリスキャンハンドブック

バウンダリスキャンIEEE規格の起案者の一人ケン・パーカーが書いたバウンダリスキャンのバイブル

日本でのバウンダリスキャンの普及を目指して、富士通の技術者たちが翻訳・出版



和訳



出版社: 青山社

価格: 4800円(税含まず)

ISBN978-4-88359-303-3

購入方法: WEB販売

(青山社、アマゾン、楽天他)

著者割引可(下記まで)

kameyama@computer.org