

2020年度 電気電子工学実験V

CMOSアナログ/デジタル集積回路

SPICEシミュレーション

担当 小林春夫

連絡先: 〒376-8515 群馬県桐生市天神町1丁目5番1号
群馬大学大学院 理工学府電子情報部門
桐生キャンパス3号館402号室

電話 0277 (30) 1788 FAX: 0277 (30)1707

e-mail: koba@gunma-u.ac.jp

この資料の電子バージョンは下記

<http://kobaweb.ei.st.gunma-u.ac.jp/lecture/lecture.html>

ガイダンス・予習・実験

すべてZoomで実施

- ガイダンス

2020年10月1日(木)14:10から

- (小林分の)予習

10月1日(木)のガイダンス終了後
同じZoom URL にて

- 実験(シミュレーション)

LTspiceを自分のPCにダウンロードして、課題を行ってください。
やり方が分からない場合は、TA学生がZoomで指導します。

<https://www.analog.com/jp/design-center/design-tools-and-calculators/ltspice-simulator.html>

5つの課題

- ① 計装増幅回路
- ② 複合論理CMOS回路
- ③ リング発振回路
- ④ R-2Rラダー抵抗回路
- ⑤ RC 1次システム回路

5つの課題

- ① 計装増幅回路
- ② 複合論理CMOS回路
- ③ リング発振回路
- ④ R-2Rラダー抵抗回路
- ⑤ RC 1次システム回路

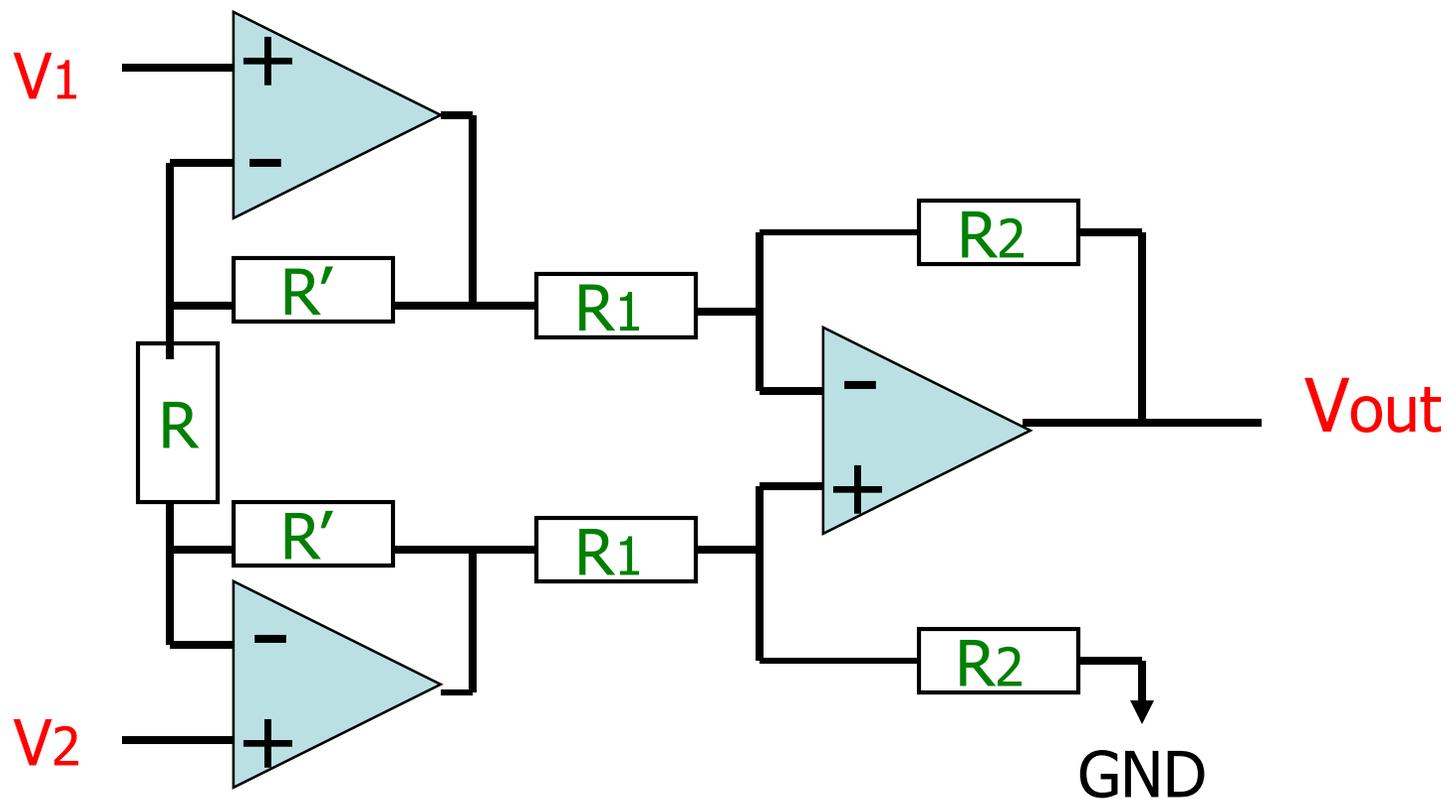


図1-1 計装増幅回路

計装増幅回路

予習1-1: 図1-1 で3個のオペアンプが理想の場合、次が成立することを導出せよ。

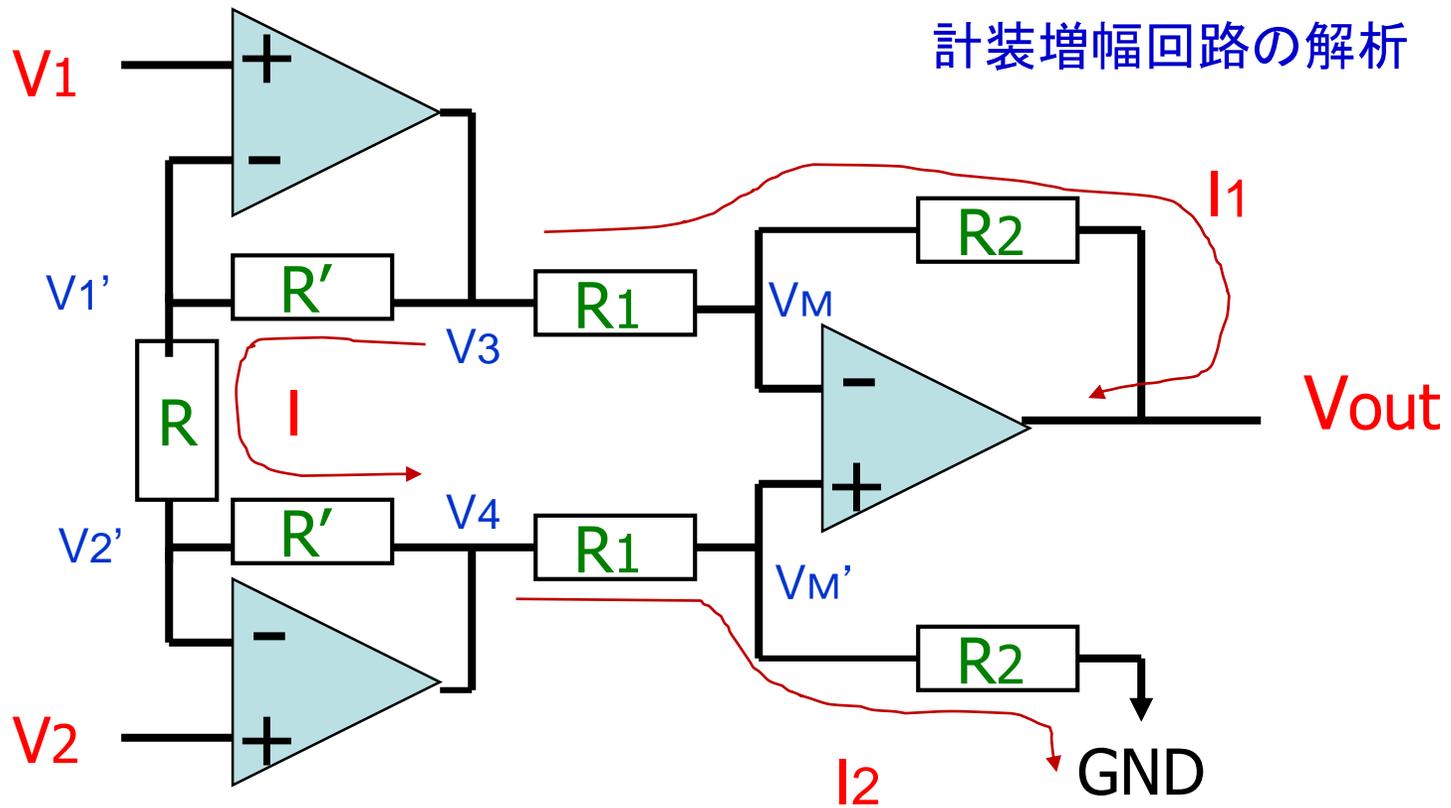
$$V_{out} = \left(1 + \frac{2R'}{R}\right) \frac{R_2}{R_1} (V_2 - V_1)$$

予習1-2: $R=3k$, $R'=7k$, $R_2=8k$, $R_1=2k$ のとき
上式で $V_{out}/[V_2 - V_1]$ の値を計算せよ

実験1-1: $R=3k$, $R'=7k$, $R_2=8k$, $R_1=2k$ のとき
図1の回路をLTspice でDC解析し
 $V_{out}/[V_2 - V_1]$ のシミュレーション値が予習1-2 の結果と
(ほぼ)一致することを確認せよ

実験1-2: 様々な R , R' , R_2 , R_1 で シミュレーション結果と数式計算の結果が
(ほぼ)一致することを確認せよ。

計装増幅回路の解析



$$V_1 = V_1', \quad V_2 = V_2', \quad V_M = V_M'$$

$$I = [V_1' - V_2'] / R = [V_3 - V_1'] / R' = [V_2' - V_4] / R'$$

$$I_1 = [V_3 - V_M] / R_1 = [V_M - V_{out}] / R_2$$

$$I_2 = [V_4 - V_M'] / R_1 = V_M' / R_2$$

5つの課題

- ① 計装増幅回路
- ② 複合論理CMOS回路
- ③ リング発振回路
- ④ R-2Rラダー抵抗回路
- ⑤ RC 1次システム回路

複合論理CMOS回路

予習2-1: 表2-1, 図2-1を参考にして

次の論理式を実現する

複合論理CMOS回路を設計せよ

(回路図を書け)

$$Z = \overline{A \cdot B + C \cdot D}$$

予習2-2: この真理値表を作成せよ

実験2-1: 設計した回路が

この真理値表を実現することを

SPICEシミュレーションで確認せよ。

真理値表

A	B	C	D	Z
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

表2-1： 複合論理CMOS回路の設計規則

	論理積	論理和
PMOS	並列	直列
NMOS	直列	並列

複合論理CMOS回路 例

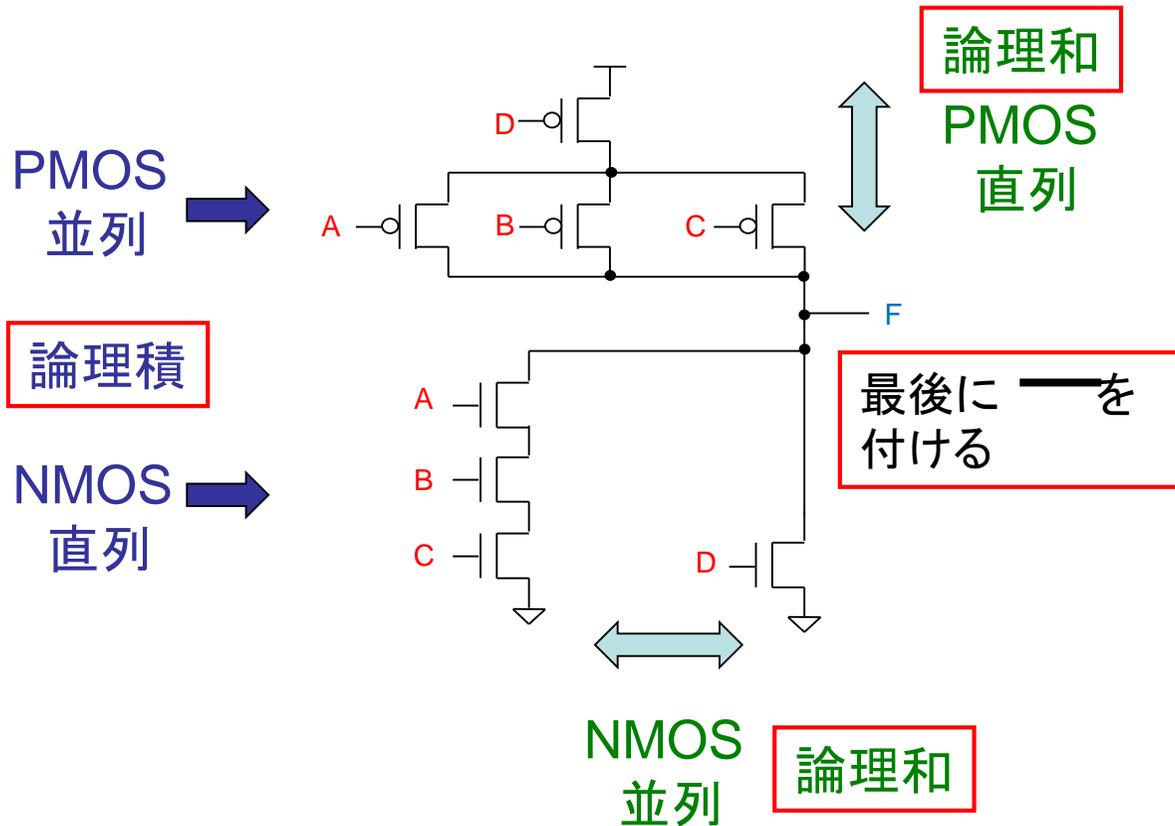


図2-1 $F = \overline{A \cdot B \cdot C} + D$

複合論理CMOS回路 解答例

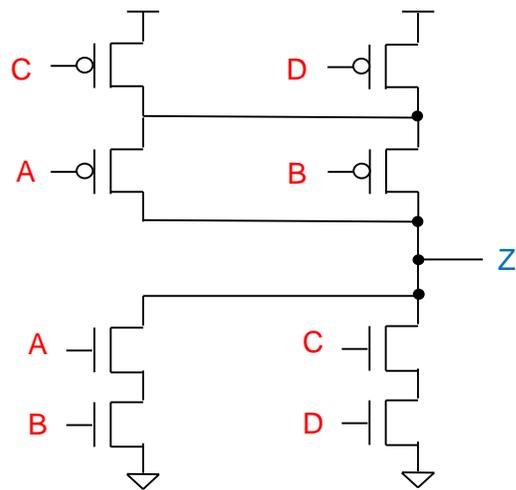


図2-2 $Z = A \cdot B + C \cdot D$

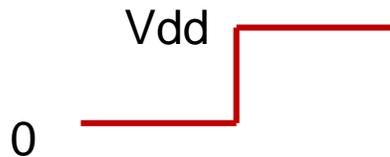
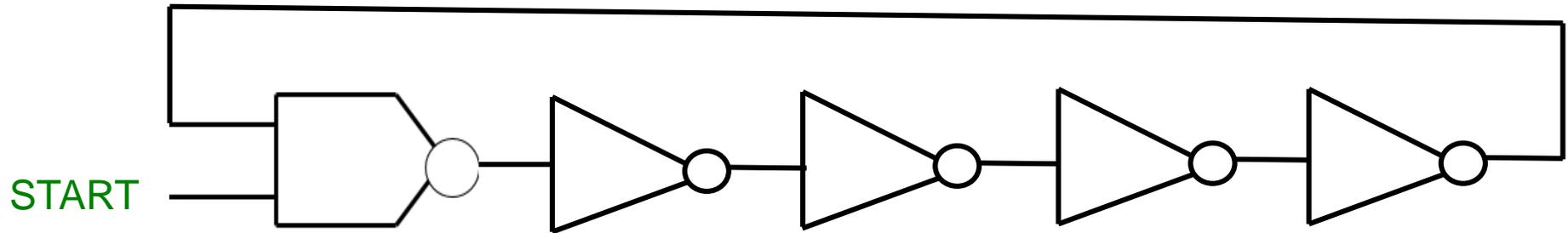
真理値表

A	B	C	D	Z
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

5つの課題

- ① 計装増幅回路
- ② 複合論理CMOS回路
- ③ リング発振回路
- ④ R-2Rラダー抵抗回路
- ⑤ RC 1次システム回路

リング発振回路



予習3-1:

START を 0 から Vdd (電源電圧) にすると
なぜ発振を開始するかを説明せよ。

実験3-1: 発振をSPICEシミュレーションで確認してください。

実験3-2: Option (時間があつたらこの実験の最後にやってください。)

右表の電源電圧、温度の組み合わせ際の
発振周波数をSPICEシミュレーションで求めよ。

	ケース1	ケース2	ケース3	ケース4
電源電圧	0.9V	0.9V	0.9V	1.8V
温度	0°C	27°C	54°C	27°C

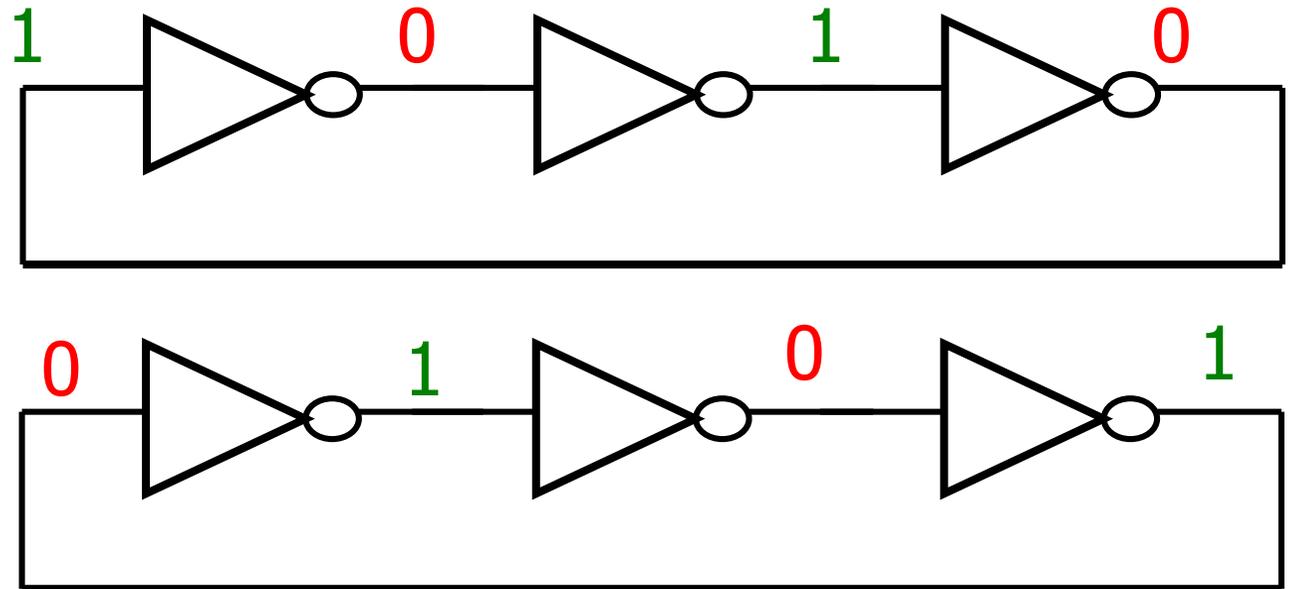
次の考察はレポートに書いてください

温度が下がるとなぜ発振周波数は高くなるか
電源電圧が上がるとなぜ発振周波数は高くなるか
を考察せよ。

奇数個インバータのリング接続 リング発振器



安定状態
なし



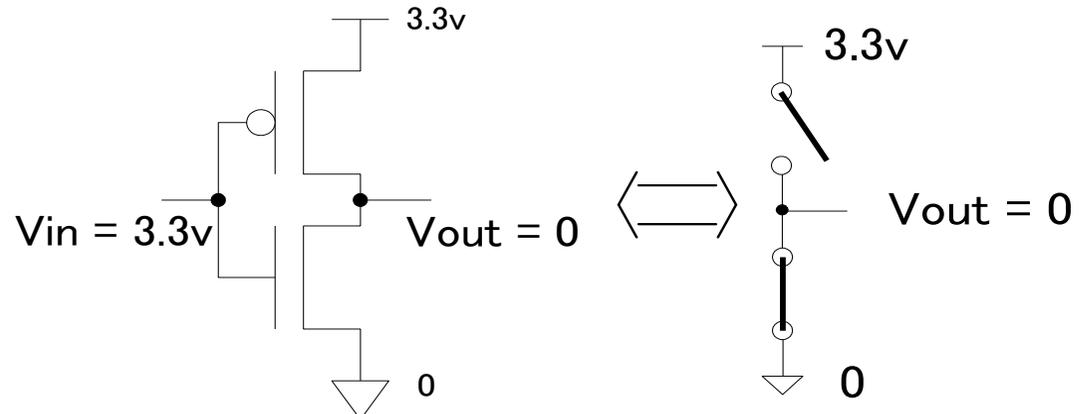
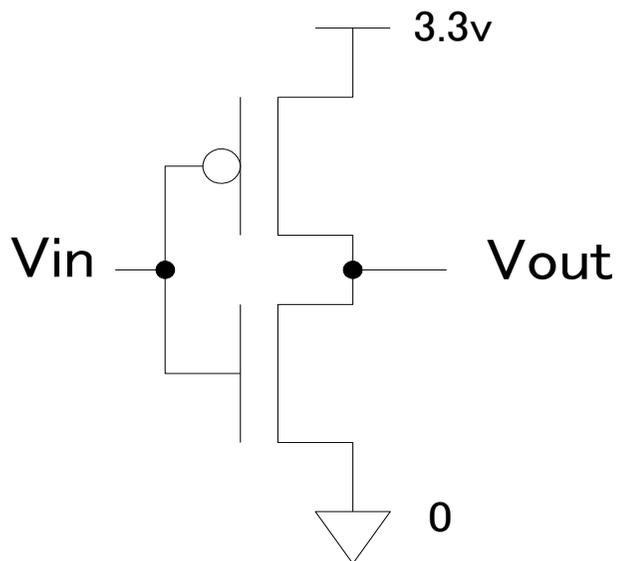
T: インバータ遅延、 $2N+1$ 個のインバータリング接続

$$\text{周波数 } f = \frac{1}{2(2N+1)T} \quad \text{で発振する。}$$

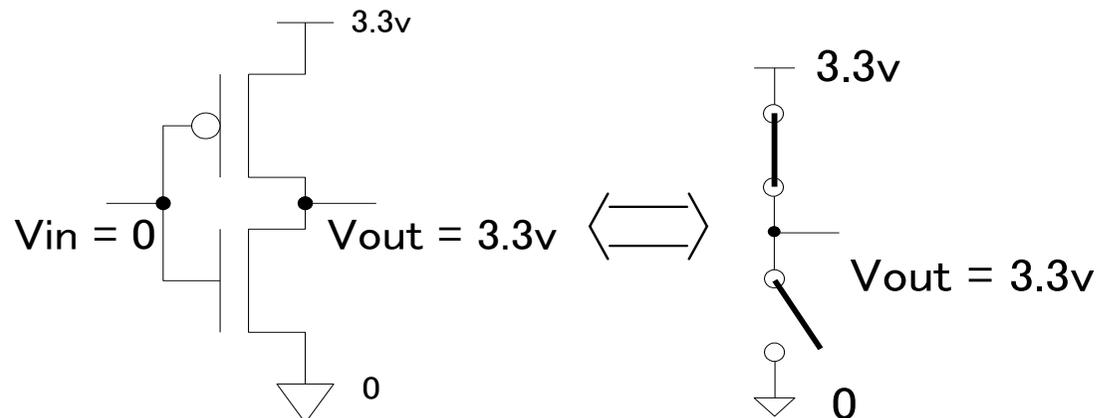
CMOSインバータ回路

a) when $V_{in} = 1$ (3.3v)

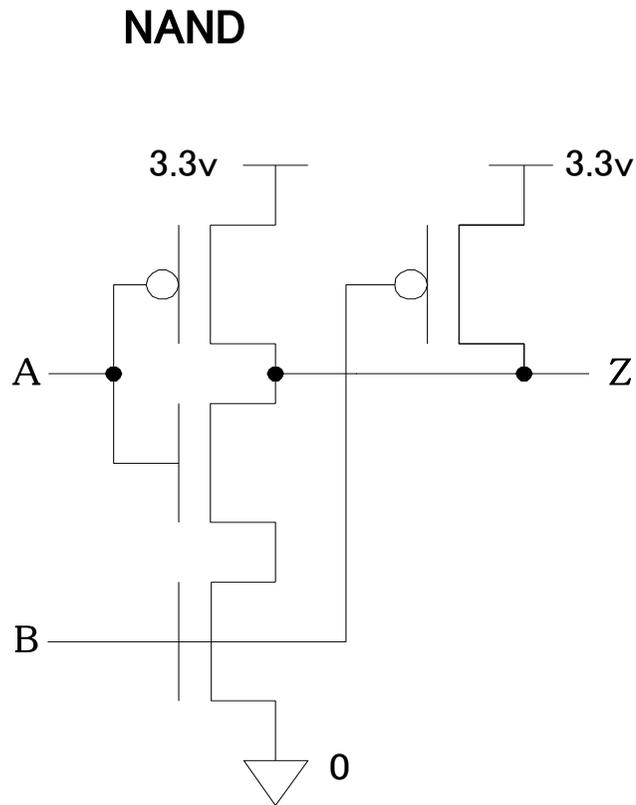
Inverter



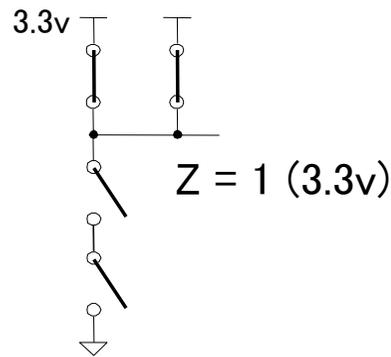
b) when $V_{in} = 0$



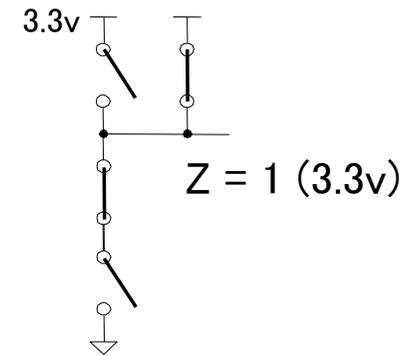
CMOS NAND回路



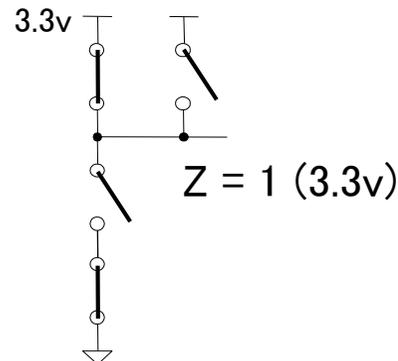
a) when A=0, B=0



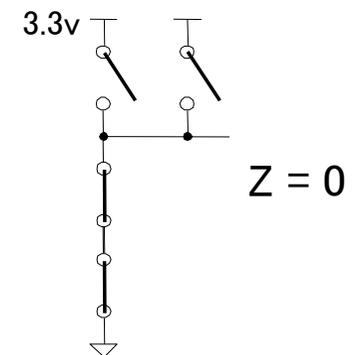
b) when A=1, B=0



c) when A=0, B=1



d) when A=1, B=1



デジタルCMOS 回路のスピード

電源電圧 V_{dd} :

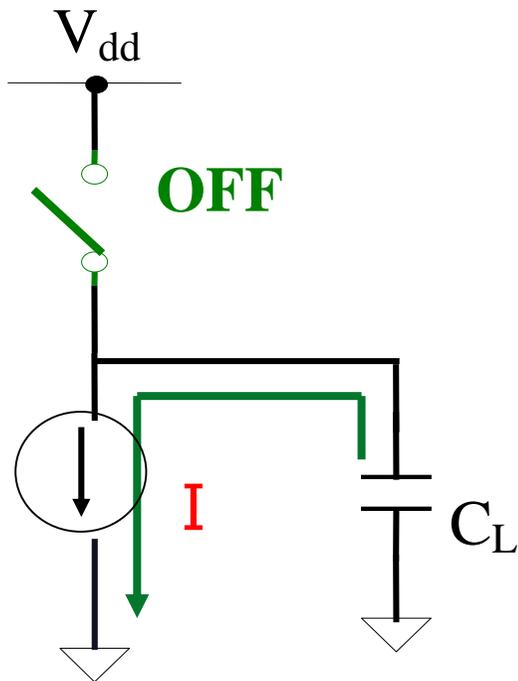
- 低消費電力化のため電源電圧を下げるとスピードは遅くなる。
- スピードは電源電圧に比例
- 消費電力は電源電圧の2乗に比例

温度: スピードは温度にほぼ反比例。



低温環境化でコンピュータを高速化する試みあり。

なぜ電源電圧を上げると デジタルCMOS回路は高速化するのか？

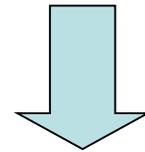


引き抜く電荷
 $Q = C V_{dd}$

MOSの2乗則

$$I = K (V_{dd} - V_{th})^2$$

$$\approx K V_{dd}^2$$



ゲート遅延

$$T = Q / I$$

$$= C / (K V_{dd})$$

5つの課題

- ① 計装増幅回路
- ② 複合論理CMOS回路
- ③ リング発振回路
- ④ R-2Rラダー抵抗回路
- ⑤ RC 1次システム回路

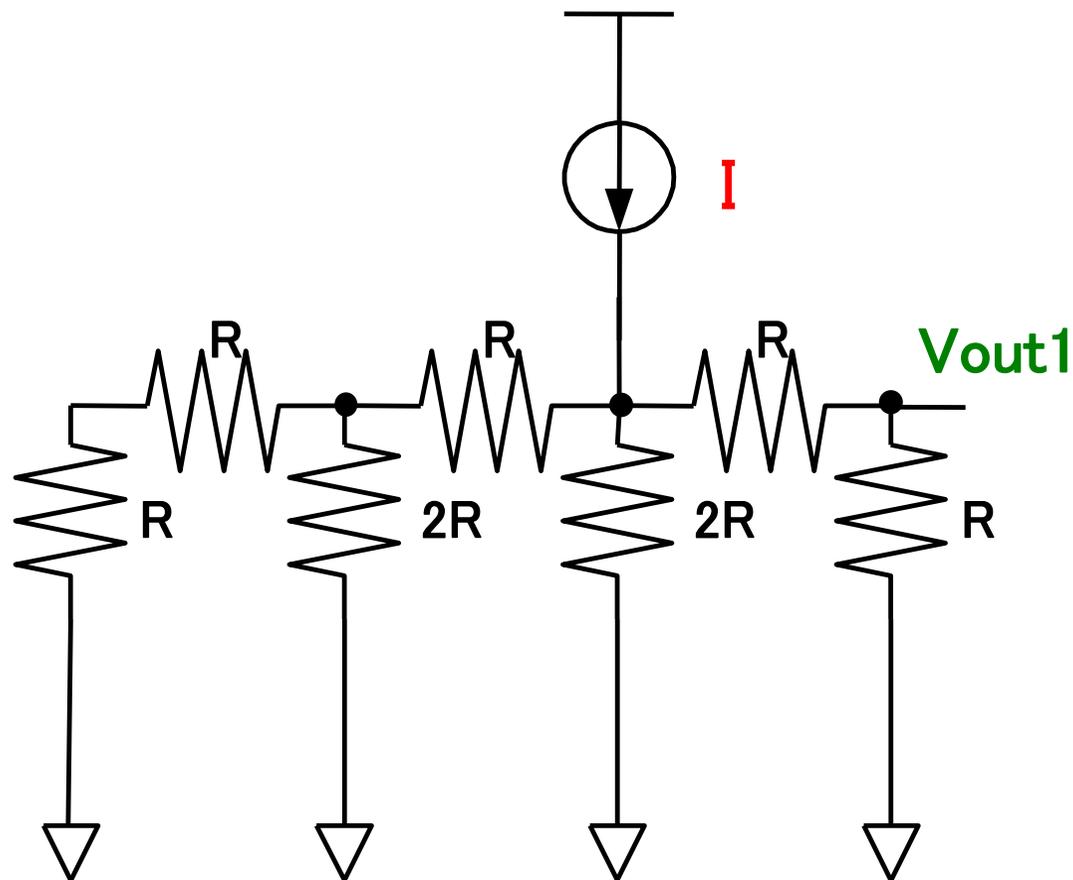
R-2R ラダー抵抗 (1)

予習4-1:

V_{out1} を R, I で表せ

実験4-1:

$R=2k, I=1mA$ のとき V_{out1} を
SPICEシミュレーションで求めよ



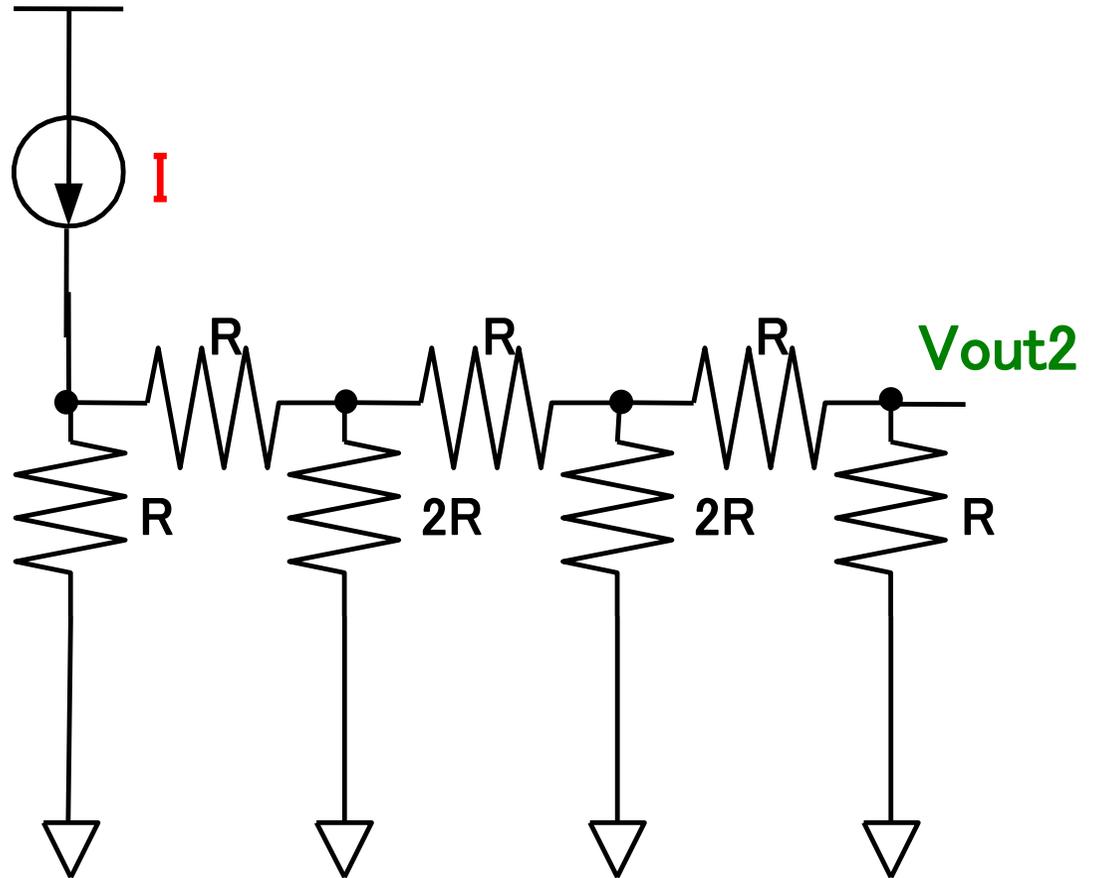
R-2R ラダー抵抗 (2)

予習4-2:

V_{out1} を R, I で表せ

実験4-2:

$R=2k, I=1mA$ のとき V_{out2} を
SPICEシミュレーションで求めよ

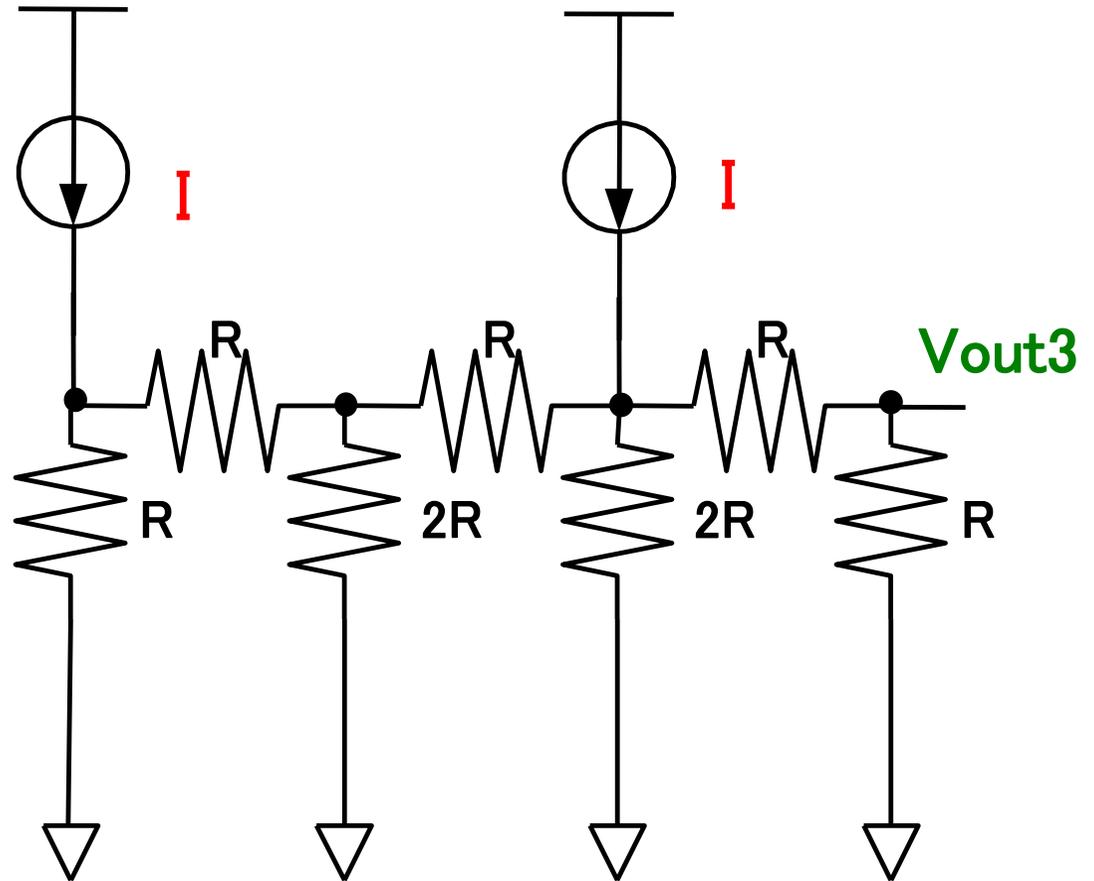


R-2R ラダー抵抗 (3)

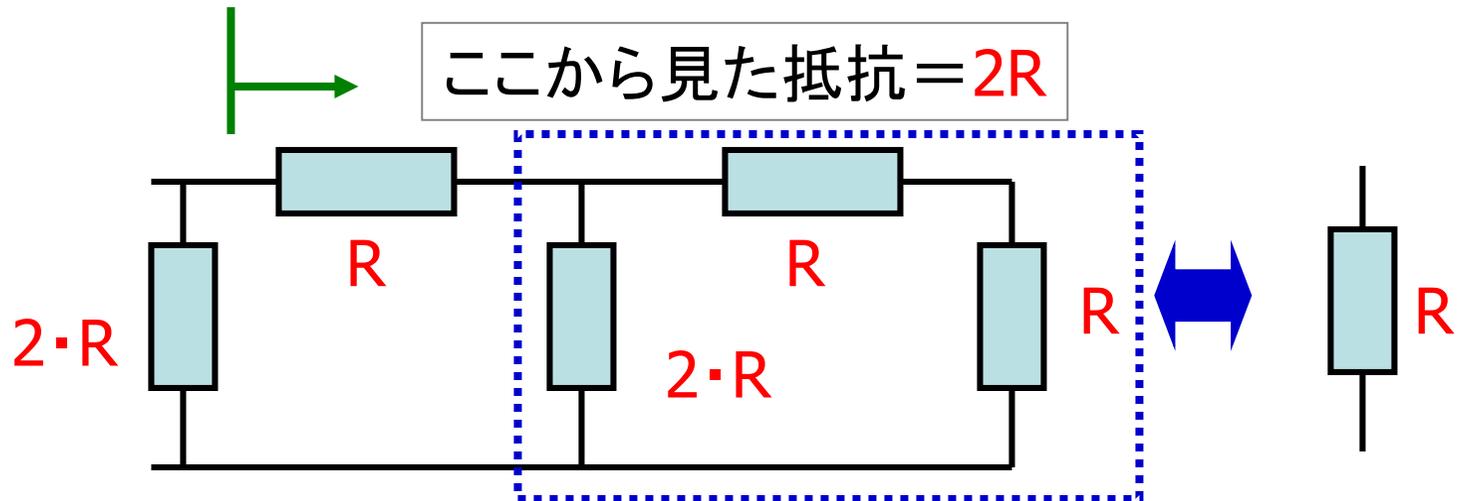
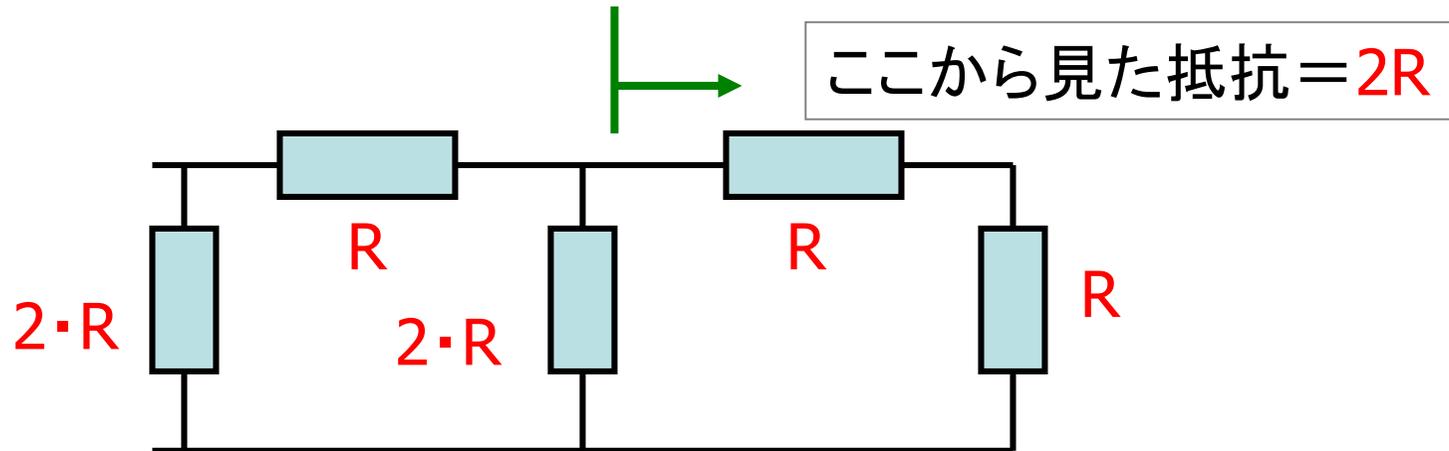
実験4-3:

$R=2k$, $I=1mA$ のとき V_{out3} を
SPICEシミュレーションで求めよ

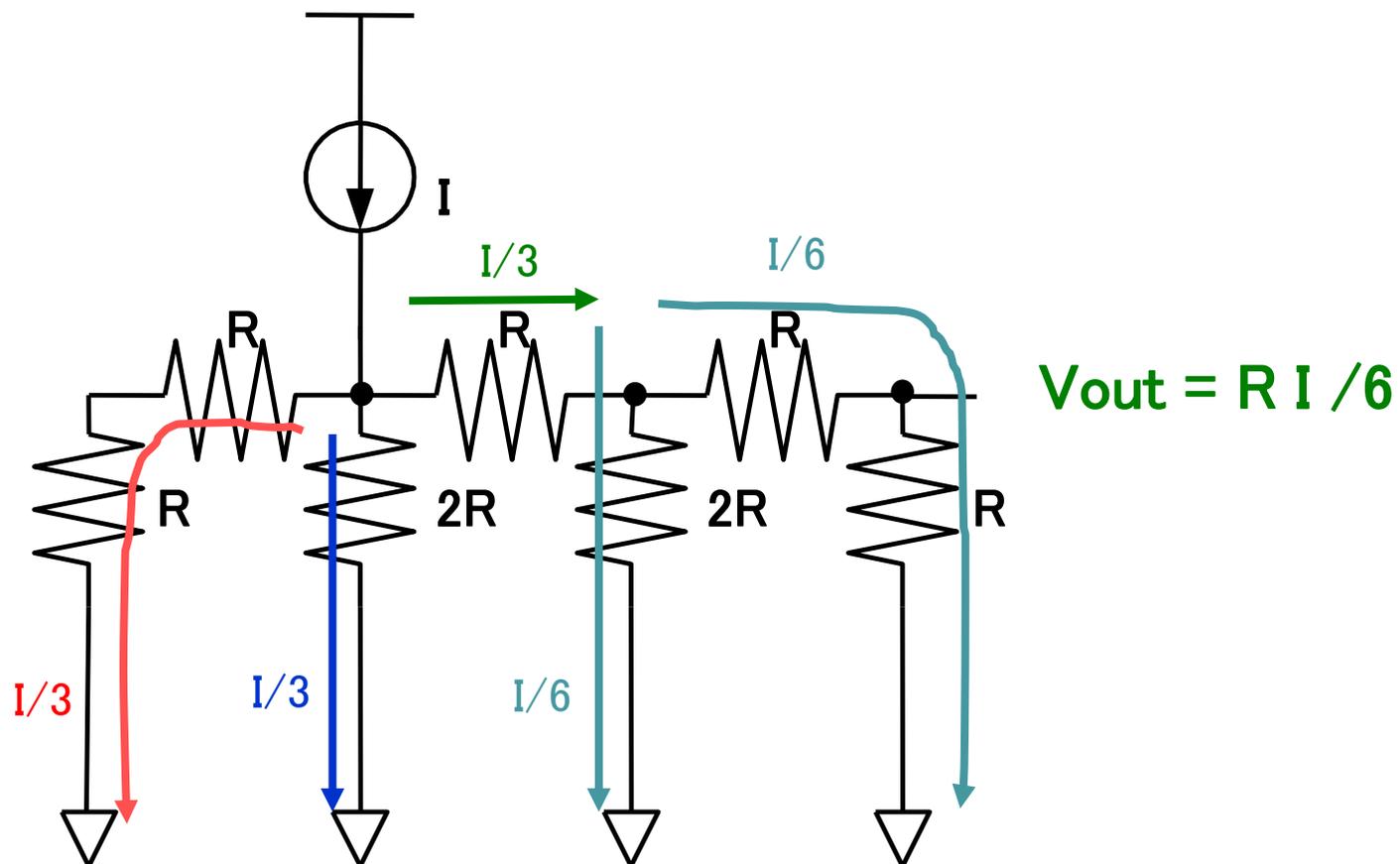
$V_{out3} = V_{out1} + V_{out2}$
であることを確認せよ。



R-2R ラダー抵抗



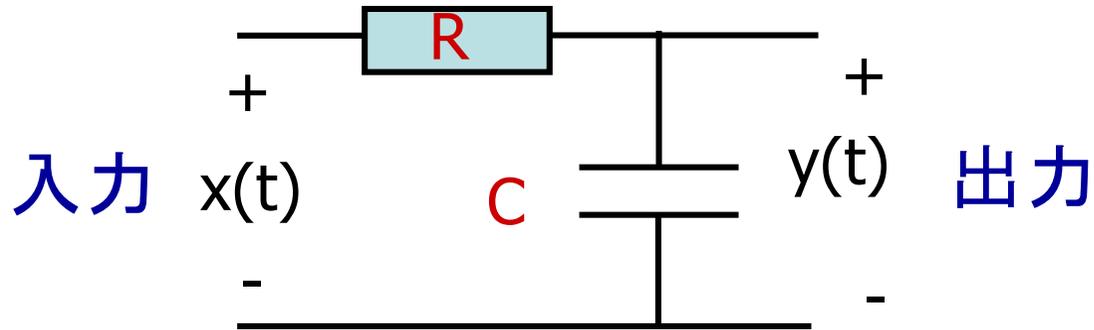
R-2R ラダー抵抗 解析例



5つの課題

- ① 計装増幅回路
- ② 複合論理CMOS回路
- ③ リング発振回路
- ④ R-2Rラダー抵抗回路
- ⑤ RC 1次システム回路

1次系システム



予習5-1: 周波数伝達関数が下記であることを導出せよ。

$$G(j\omega) = 1 / (1 + j\omega RC)$$

予習5-2: $G(j\omega)$ のベクトル線図を描け。

予習5-3: $G(j\omega)$ のボーン線図を描け。

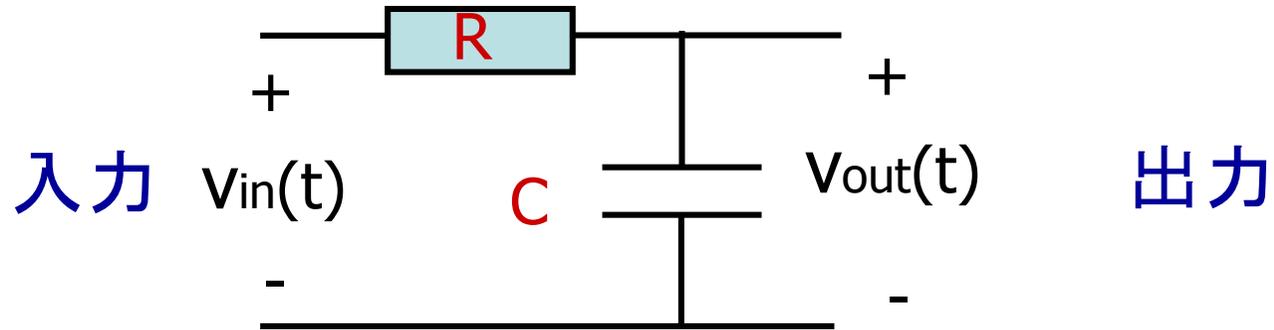
実験5-1: $R=1k$, $C=1\mu F$, $\omega = 1/(RC)$ で

入力 $x(t) = \sin(\omega t)$ のとき

出力 $y(t) = (1/\sqrt{2}) \sin(\omega t - \pi/4)$

であることをLTSpiceで確認せよ。

1次系システム 伝達関数



伝達関数 = 出力 / 入力

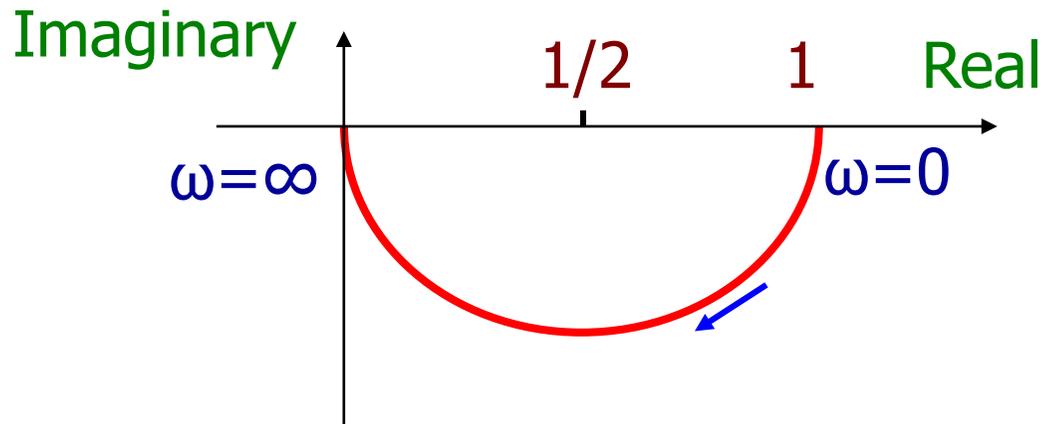
$$\begin{aligned} G(j\omega) &= V_{out}(j\omega) / V_{in}(j\omega) \\ &= [1/(j\omega C)] / [1/(j\omega C) + R] \\ &= 1 / (1 + j\omega RC) \end{aligned}$$

1次系システム (ベクトル線図)

$$G(j\omega) = X(\omega) + j Y(\omega)$$

$$X(\omega) = \frac{1}{1+(\omega RC)^2} \quad Y(\omega) = - \frac{\omega RC}{1+(\omega RC)^2}$$

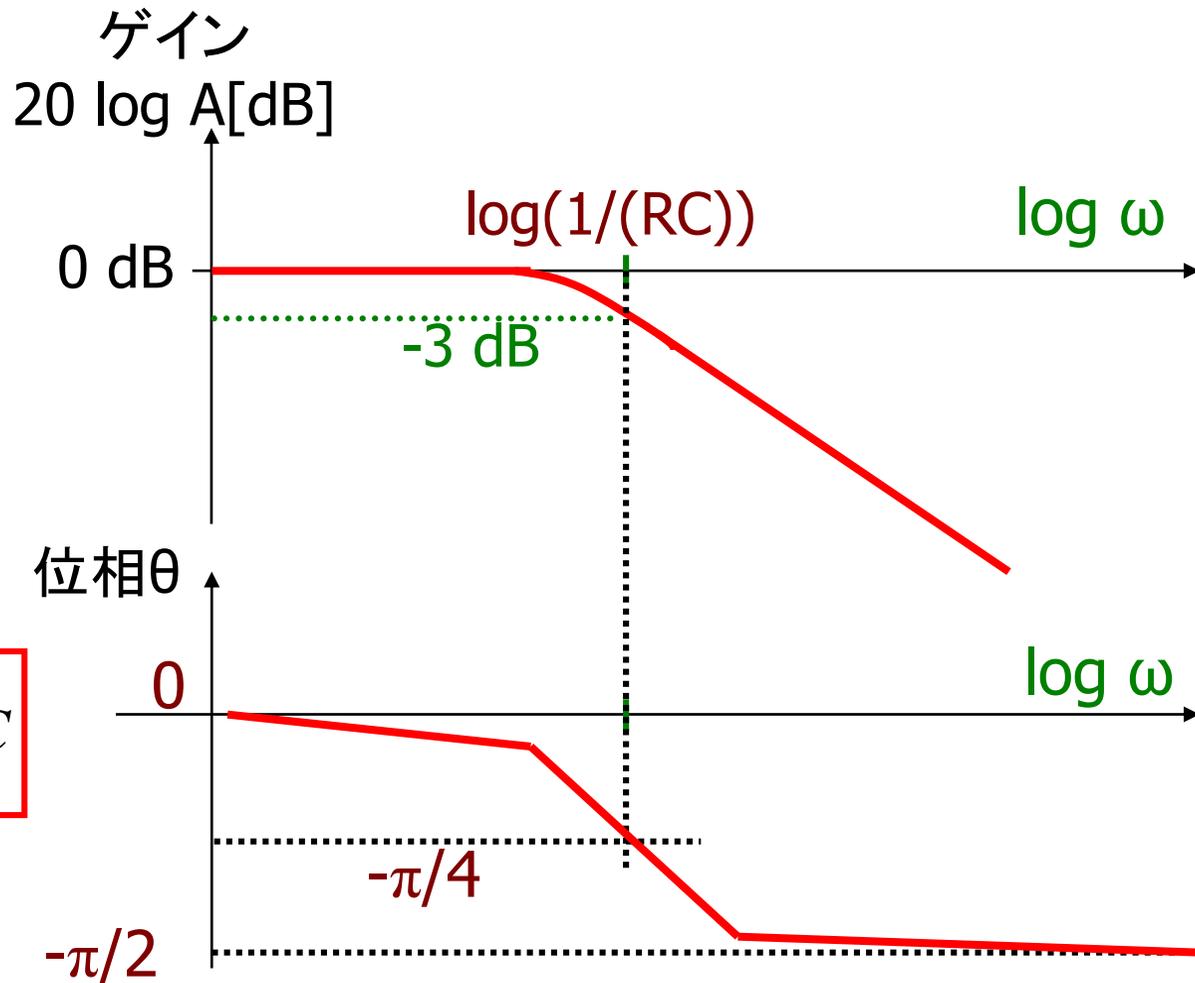
$$(X(\omega) - 1/2)^2 + Y(\omega)^2 = (1/2)^2, \quad Y(\omega) < 0$$



1次系システム (ボーデ線図)

$$A = \frac{\sqrt{X^2 + Y^2}}{1} = \frac{1}{\sqrt{1 + (\omega RC)^2}}$$

$$\tan \theta = \frac{Y}{X} = -\omega RC$$



付録

アナログ集積回路設計の手順

発表内容

- アナログ集積回路設計
 - デジタル回路とアナログ回路
 - アナログ回路開発事例
 - SPICEシミュレーション
 - デバイスマデリング
 - レイアウト設計

発表内容

- アナログ集積回路設計
 - デジタル回路とアナログ回路
 - アナログ回路開発事例
 - SPICEシミュレーション
 - デバイスマデリング
 - レイアウト設計

デジタル回路とアナログ回路

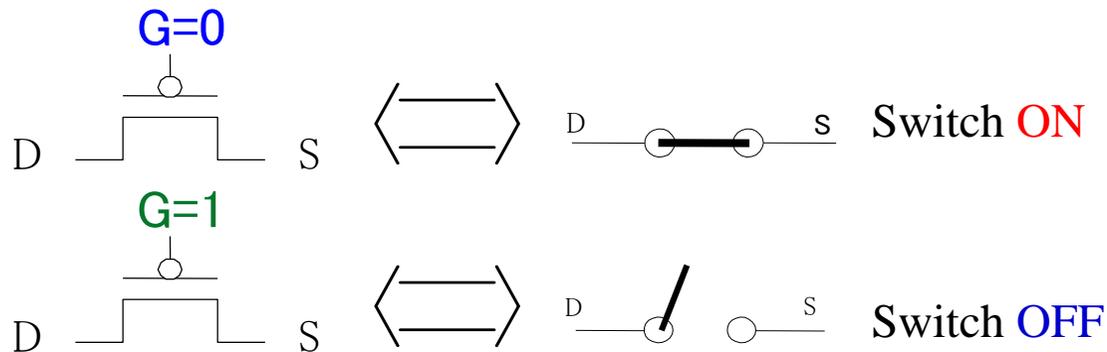
トランジスタの使い方

デジタル回路: スイッチとして使う

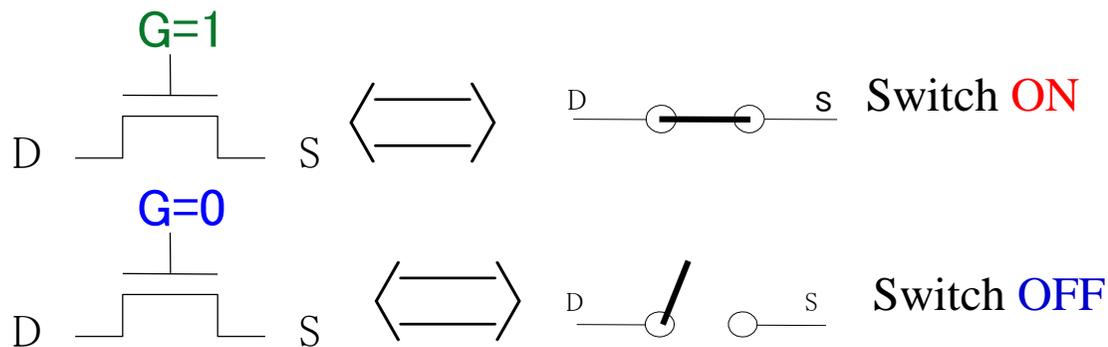
アナログ回路: 信号増幅に使う

PMOS, NMOS スイッチ

(1) PMOS



(2) NMOS

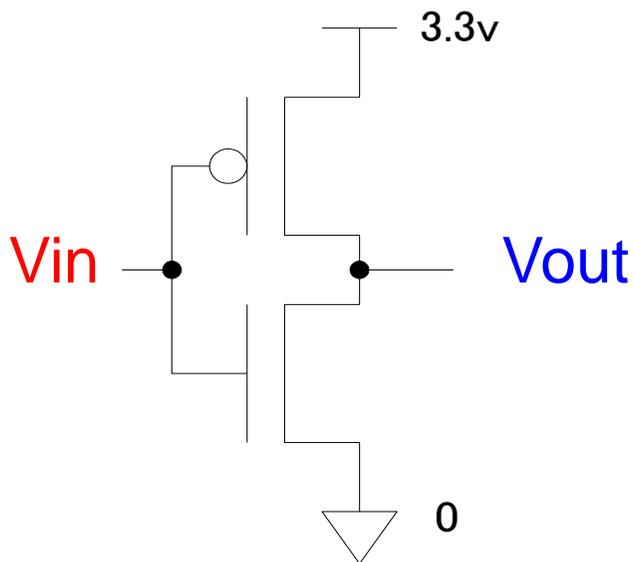


CMOSインバータ回路

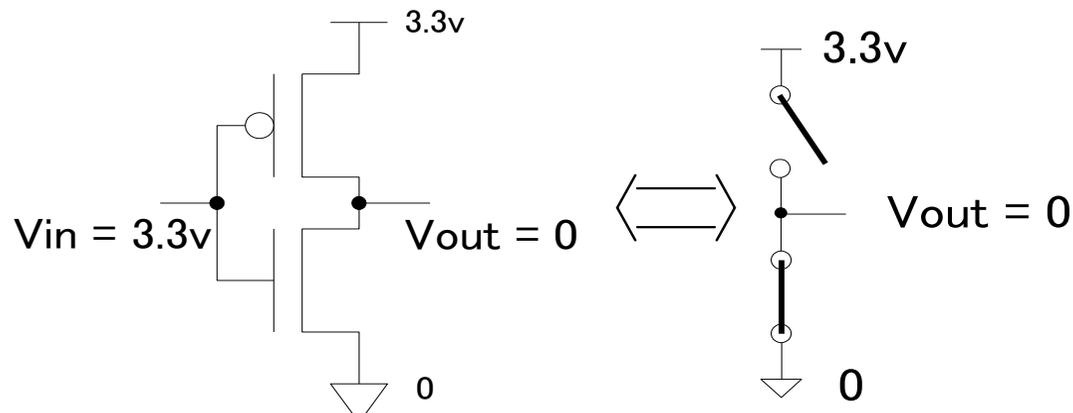
Vin: High \Rightarrow **Vout: Low**

Vin: Low \Rightarrow **Vout: High**

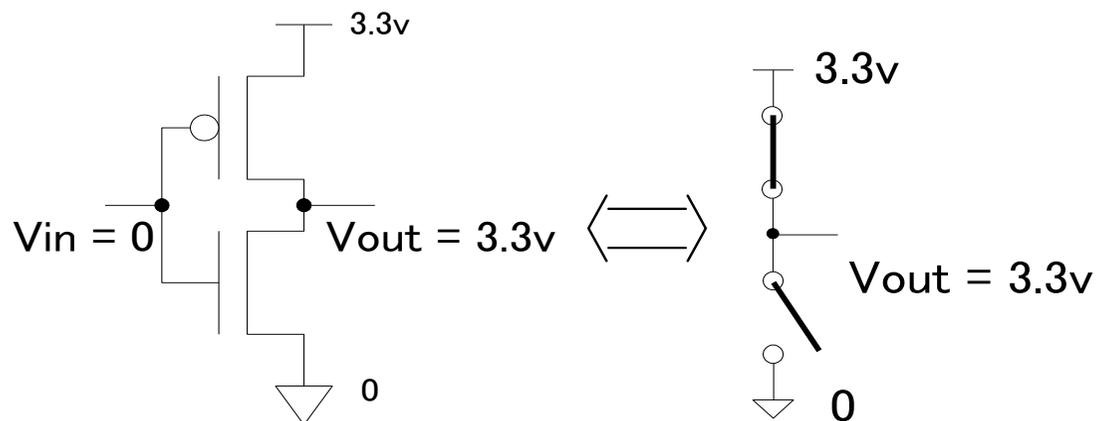
Inverter



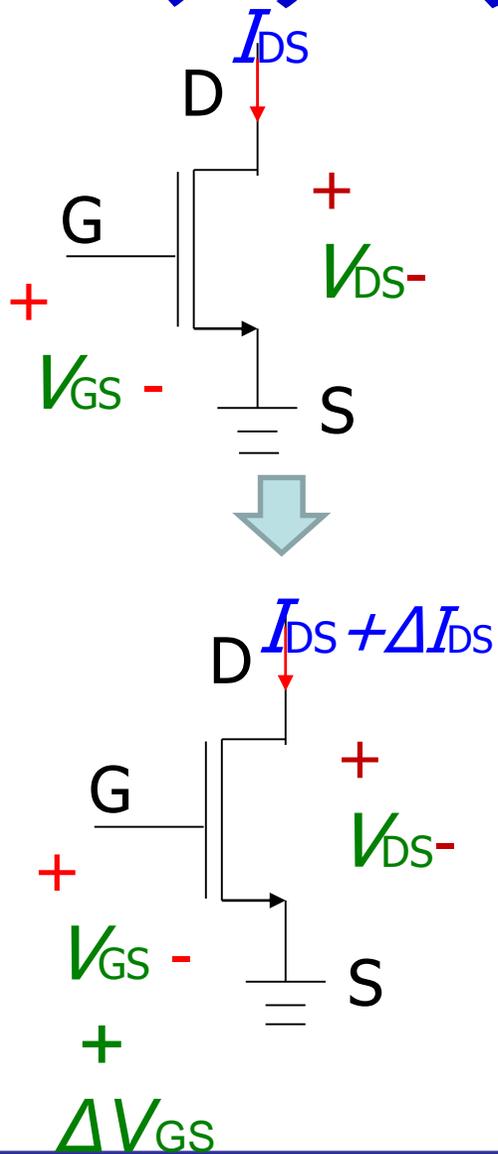
a) when $V_{in} = 1$ (3.3v)



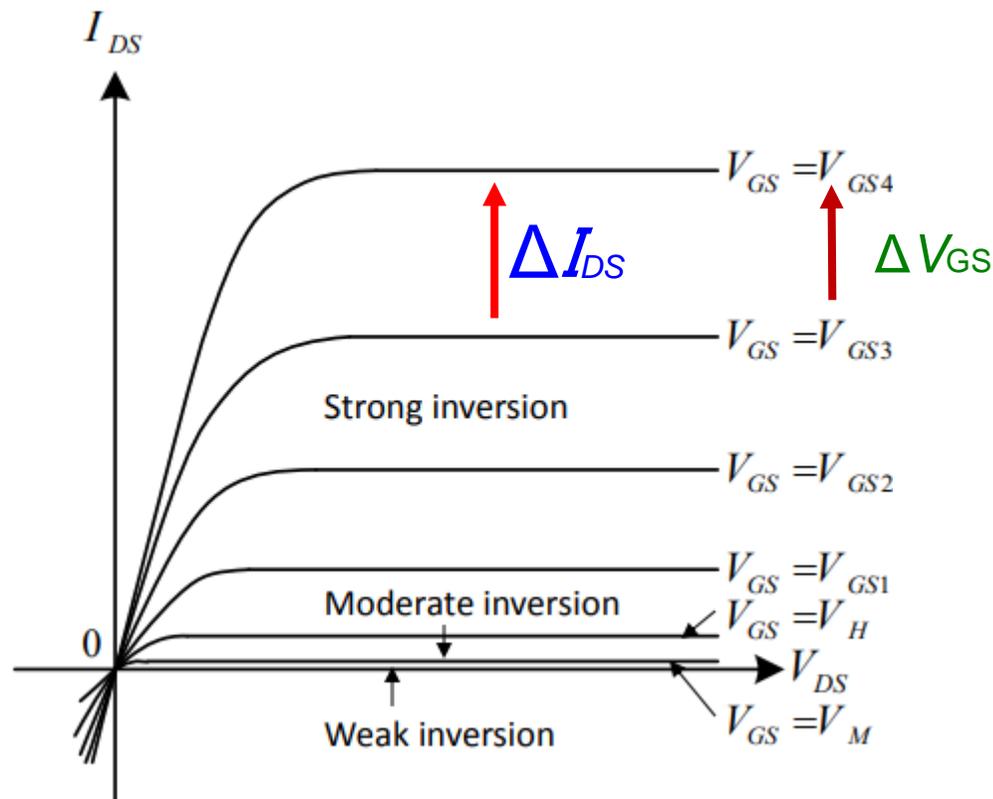
b) when $V_{in} = 0$



アナログ回路 信号増幅



$$\Delta I_{DS} \propto \Delta V_{GS}^2$$



発表内容

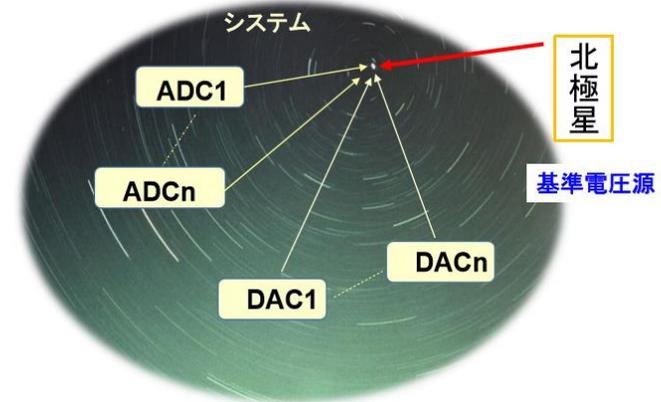
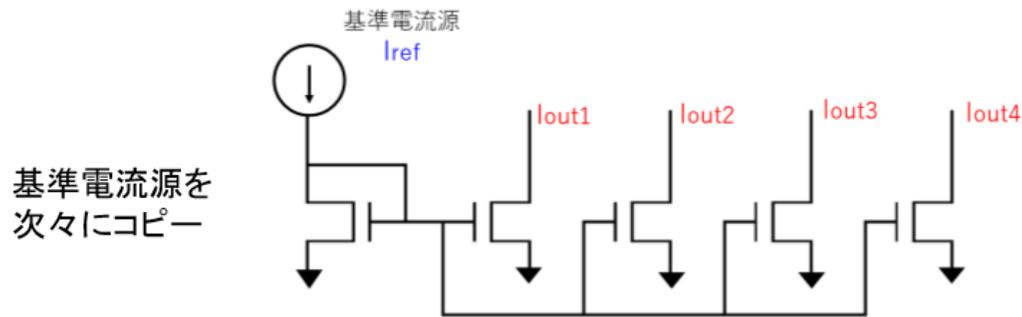
- アナログ集積回路設計
 - デジタル回路とアナログ回路
 - **アナログ回路開発事例**
 - SPICEシミュレーション
 - デバイスマデリング
 - レイアウト設計

基準電圧源・電流源はアナログ集積回路の北極星

システムの基準電圧源・電流源は、システム精度の基準となるもの。

システム内に複数の基準は設けない。

一つの基準にたいして、システム内の全てのアナログ部精度がトレースする様に設計。



参考 群馬大学 中谷隆之先生 資料

「ものづくり」は「ばらつき」との戦い



「基準」がしっかりしていると「ばらつき」を抑制できる

電源電圧不感 改良永田電流源

オリジナル
永田電流源

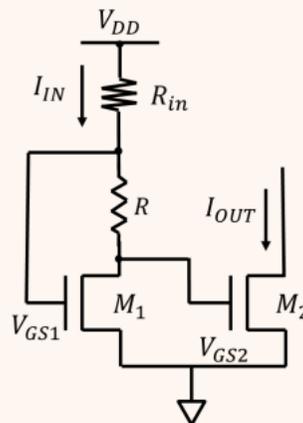
1960年代
日立製作所 永田穰氏
(パイポーラTr)

回路イメージを描く

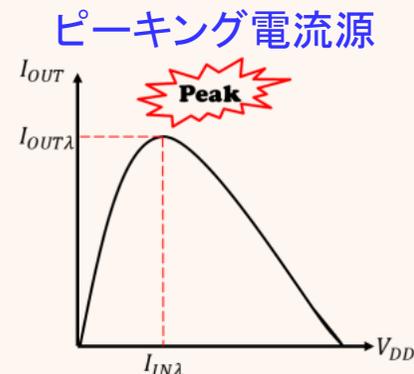
回路図作成

回路シミュレーションで
動作確認・パラメータ値確定

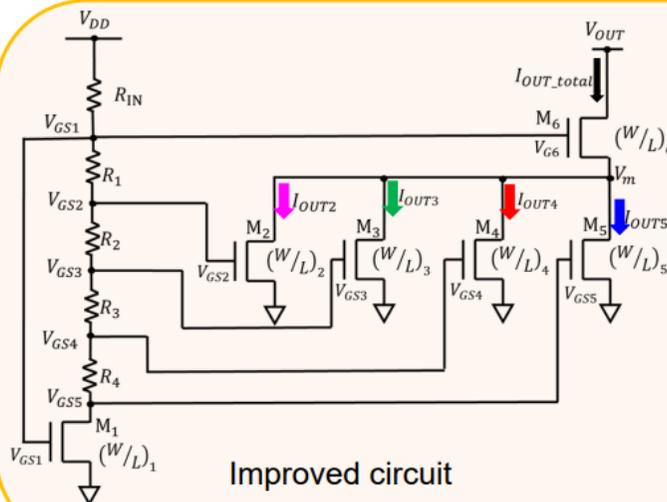
改良
永田電流源



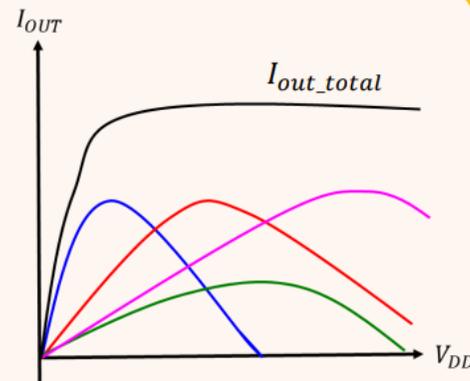
MOS Nagata
Current Mirror Circuit



Peaking current
characteristics



Improved circuit



Peaking current characteristics
of improved circuit

改良永田電流源 レイアウト・試作・測定

ASO社による
チップレイアウト

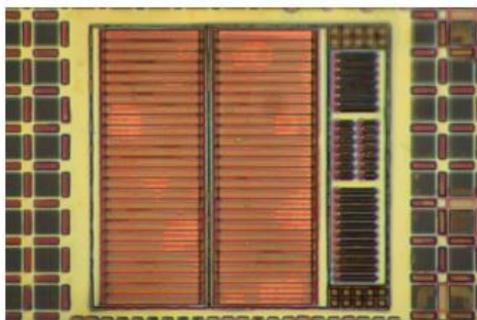
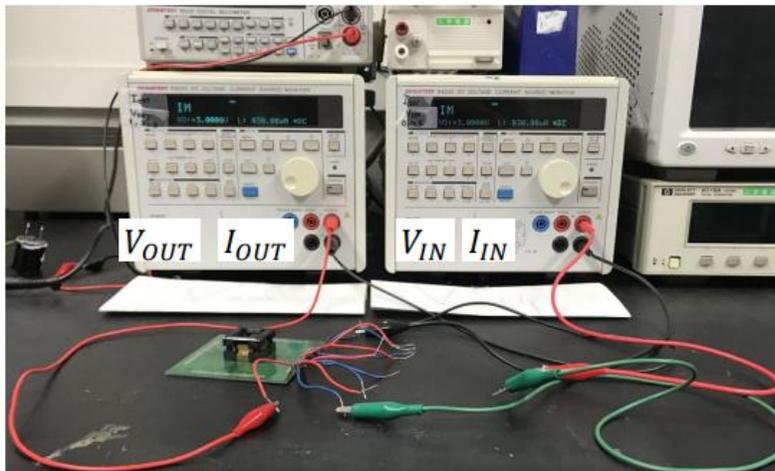
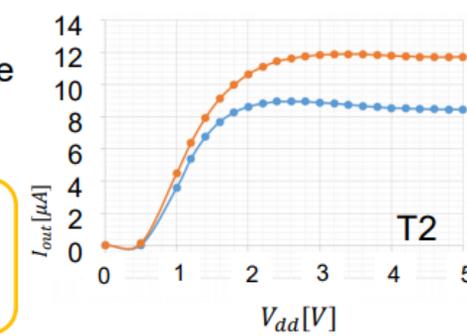
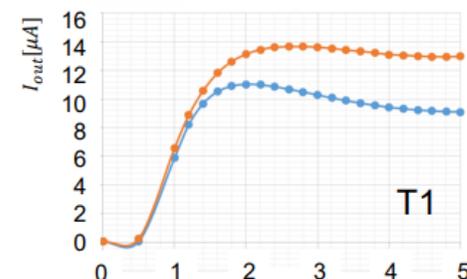
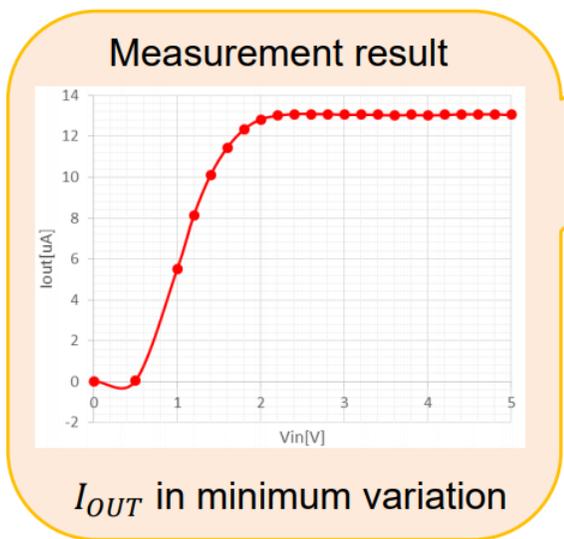


Photo of prototype chip



I

- 電源電圧不感
- 温度変動に弱い



● Room temperature
● High temperature

Use a hair dryer

発表内容

- アナログ集積回路設計
 - デジタル回路とアナログ回路
 - アナログ回路開発事例
 - **SPICEシミュレーション**
 - デバイスマデリング
 - レイアウト設計

群馬大学
弓仲康史先生
資料より

アナログ集積回路設計の手順

- 仕様を満たす可能性のある構成をイメージを描きながら回路設計
- 回路解析、手計算で概算
- シミュレーションで最終パラメータ値を決定
- レイアウト
- 検証
- チップ試作
- 測定・評価

回路解析の重要性



1) 解析と手計算で、ロングドライブ



2) 数値解析 (MATLAB, Verilog-A) で1パット圏内へ



3) 回路シミュレーションでは軽々カップイン



パター(回路シミュレーション)だけで好スコアが残せますか？

群馬大学客員教授 三木隆博先生

回路シミュレータ SPICEの歴史

SPICE

Simulation **P**rogram with **I**ntegrated **C**ircuit **E**mphasis:

カリフォルニア大学バークレー校 (UCB) で開発された

トランジスタレベルで回路をシミュレーションする

強力な汎用回路解析プログラム.

- 1960年代に計算エンジン部開発
- 1980年SPICE2G6公開 (Cプログラム)
- 1990年以降ベンダーよりGUI環境の異なるEDAツールが多数発表

HSPICE, PSpice, SmartSpice, LTspice etc..

SPICE3のソースコードは公開されている

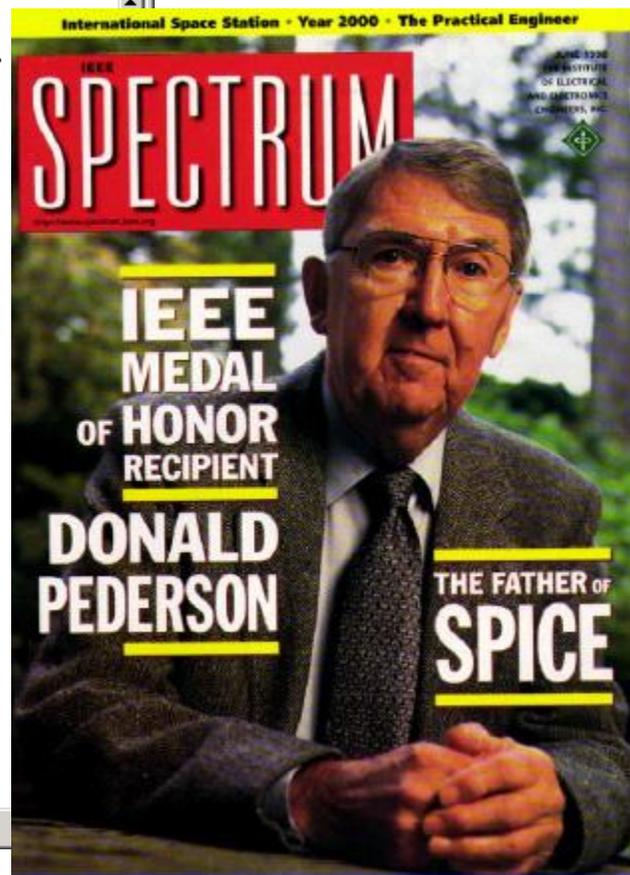
```
tfanal.c - ワードパッド
ファイル(F) 編集(E) 表示(V) 挿入(I) 書式(O) ヘルプ(H)
[Icons]
/******
Copyright 1990 Regents of the University of California. All rights reserved.
Author: 1988 Thomas L. Quarles
*****/

/* subroutine to do DC Transfer Function analysis */

#include "spice.h"
#include <stdio.h>
#include "cktdefs.h"
#include "ifsim.h"
#include "util.h"
#include "sperror.h"
#include "smpdefs.h"
#include "tfdefs.h"
#include "suffix.h"

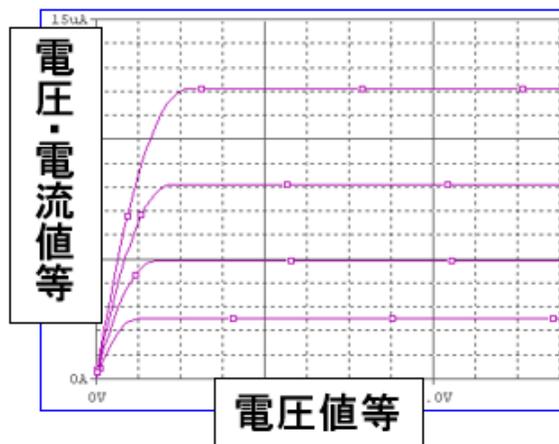
/* ARGSUSED */
int
TFanal(ckt, restart) |
    CKTcircuit *ckt;
    int restart; /* forced restart flag */

ヘルプを表示するには、F1 キーを押してください。
```



SPICEの基礎

DC解析

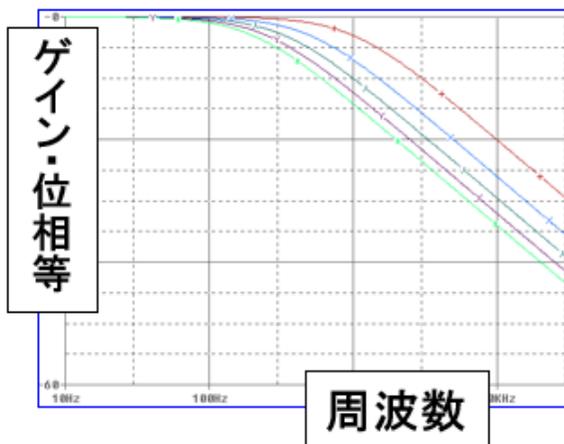


直流電圧/電流を変化させ、
それに対応する出力を解析



電源、カーブトレーサ

AC解析

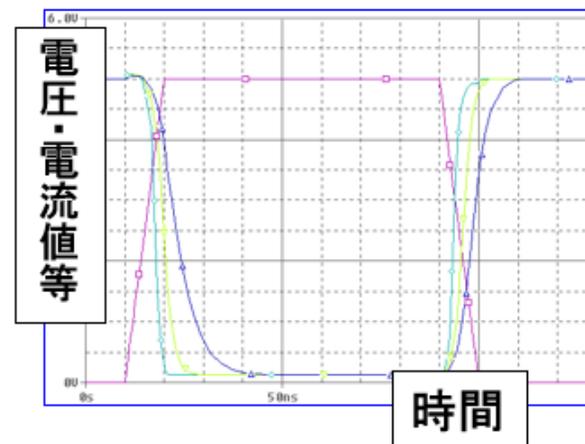


周波数を変化させ、
それに対応する出力を解析



スペクトルアナライザ

過渡(Transient)解析

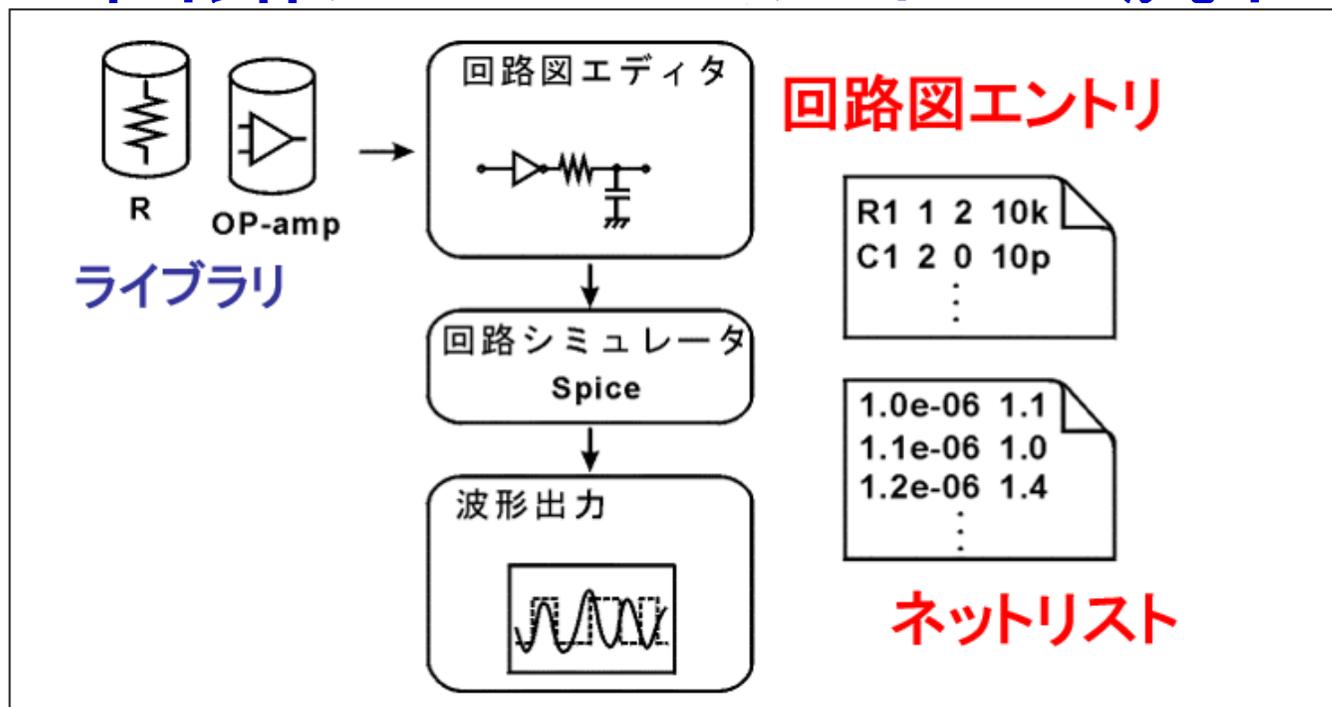


時間とともに回路の信号が
変化する様子を解析



発振器、オシロスコープ

回路シミュレーションの流れ



① 回路図入力およびシミュレーション条件設定

回路図エントリツール *Schematics, Gateway, CosmosSE*

② シミュレータ本体。ライブラリ、回路接続データ

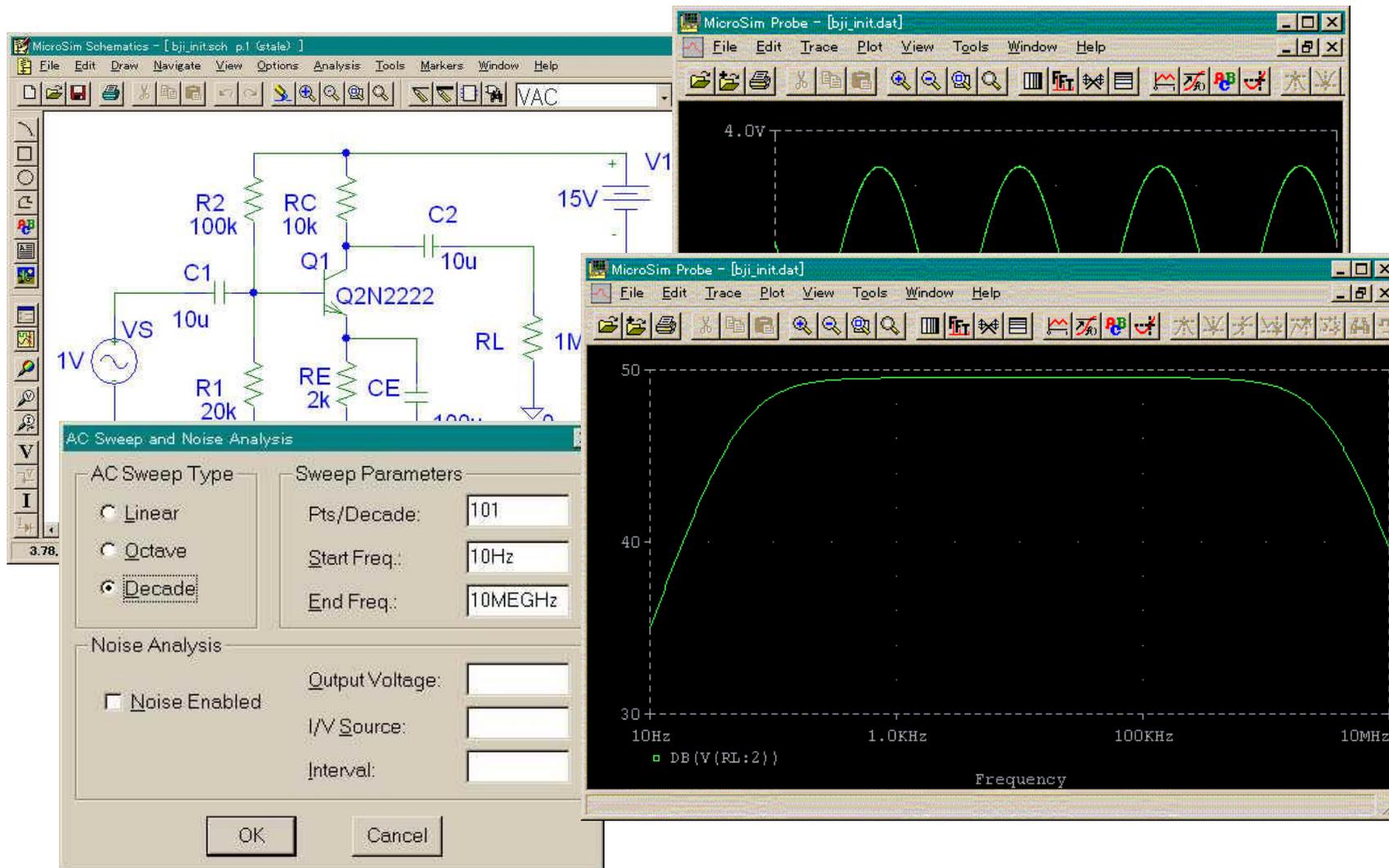
(ネットリスト)に基づき、回路シミュレーションを行う

回路シミュレータ *PSpice, SmartSpice, HSPICE*

③ シミュレーション結果をグラフ表示

波形ビューワ *Probe, SmartView, Cosmos-Scope*

現在のSPICE: GUIベースの入出力



SPICEの解析機能

1. **直流、交流(DC, AC)解析**
: 直流、交流信号に対する回路応答
2. **過渡(Transient)解析**: 時刻変化に伴う回路応答
3. **フーリエ解析**: 過渡解析の結果、信号の周波数成分を求める(信号のひずみの計算)
4. **雑音解析**: 抵抗、トランジスタが発生する雑音が出力にどのように影響するかを求める
5. **感度解析**: 素子の変動(ばらつき、温度特性)が出力にどのように影響するかを求める

SPICEの利点・欠点

利点

- ・ 実際に回路を作って動作確認する必要がないため、経済的、設計の能率がよい。
- ・ 素子の値を自由に変更したり、温度変化によるばらつきなどを考慮できる。
- ・ 任意のノード電圧、任意の枝の電流を観測できる。

欠点

- ・ 大規模回路のシミュレーションには膨大な時間を要する。
- ・ 理想モデルによる机上の空論での設計に走りがち。

発表内容

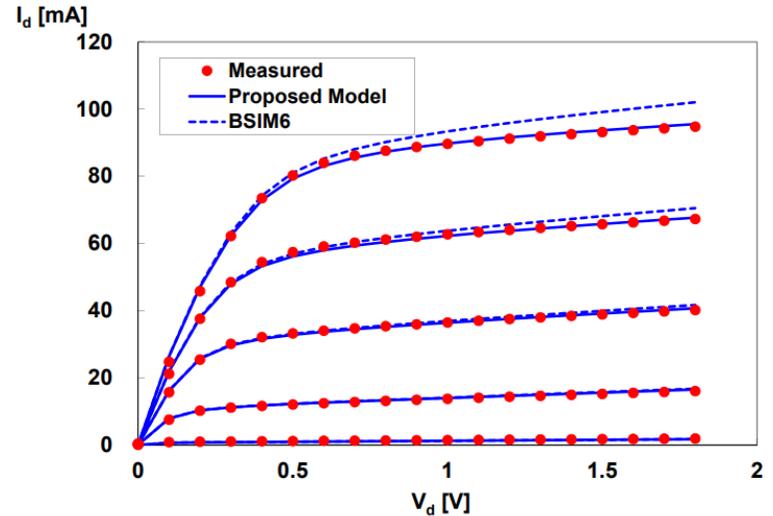
- アナログ集積回路設計
 - デジタル回路とアナログ回路
 - アナログ回路開発事例
 - SPICEシミュレーション
 - デバイスマodeling
 - レイアウト設計

デバイスモデリング

- トランジスタの基本電流式
 → 実測と合わない

$$I_d = K' \frac{W}{L} \left[(V_{gs} - V_t) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \quad \text{線形領域}$$

$$I_d = \frac{1}{2} K' \frac{W}{L} (V_{gs} - V_t)^2 (1 + \lambda V_{ds}) \quad \text{飽和領域}$$



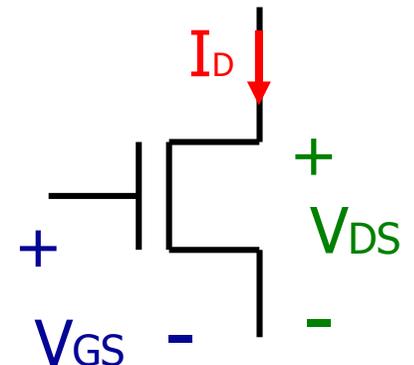
(元)群馬大学客員教授
青木均先生

より複雑なモデリング式

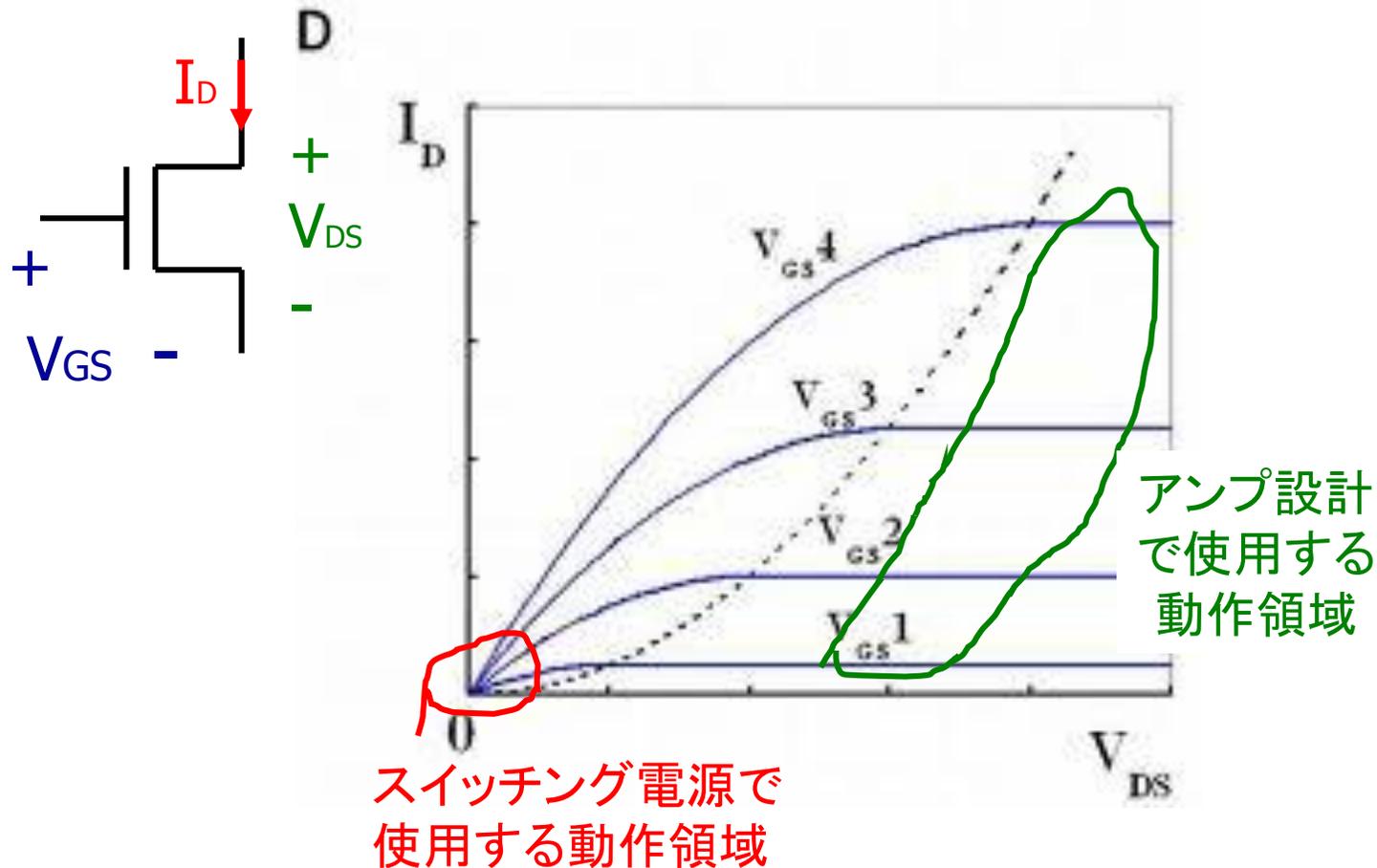
物理的パラメータ
 数学的パラメータ

複雑な式 → 精度良し 計算時間がかかる

- モデリング式のパラメータ値を実デバイスから抽出する
- 様々なデバイスのモデリング開発



使用する回路の動作領域で「合わせる」



RF CMOS のモデリング:

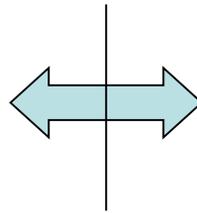
高周波までシミュレーションと実測を合わせるため
小さな寄生R, C要素、短時間ダイナミクスも考慮

発表内容

- アナログ集積回路設計
 - デジタル回路とアナログ回路
 - アナログ回路開発事例
 - SPICEシミュレーション
 - デバイスマデリング
 - レイアウト設計

回路・レイアウト設計とIC製造

回路設計技術者
ファブレス企業

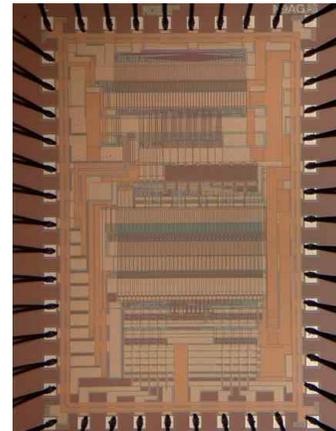
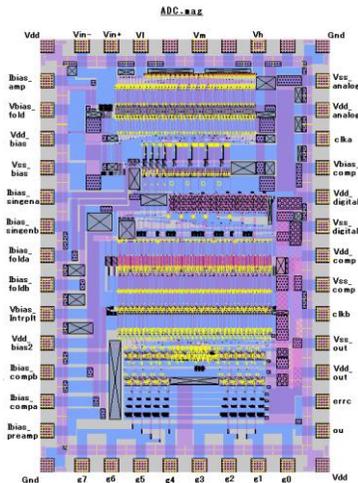


プロセス・デバイス技術者
ファウンドリ企業

インターフェース部

- マスクデータ
- トランジスタ・モデル (SPICE パラメータ)

CMOS
アナログICの
レイアウト設計



レイアウト設計データをもとにファブリケーションされたチップ

マスクデータによる回路設計者とプロセス技術者の仕事の切り分け

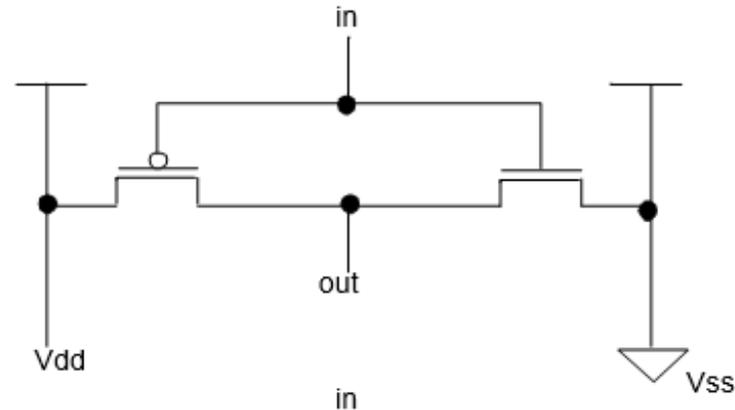
マスクデータ作成



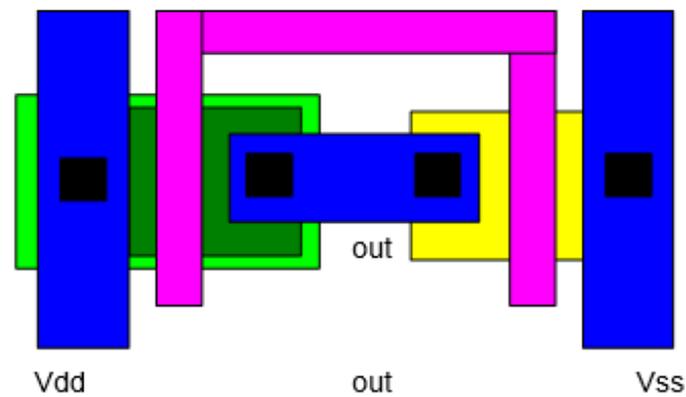
ICのレイアウト

CMOSインバータ回路のレイアウト

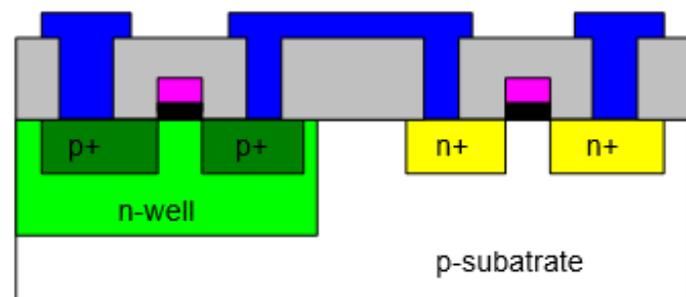
CMOS
インバータ
回路図



レイアウト図



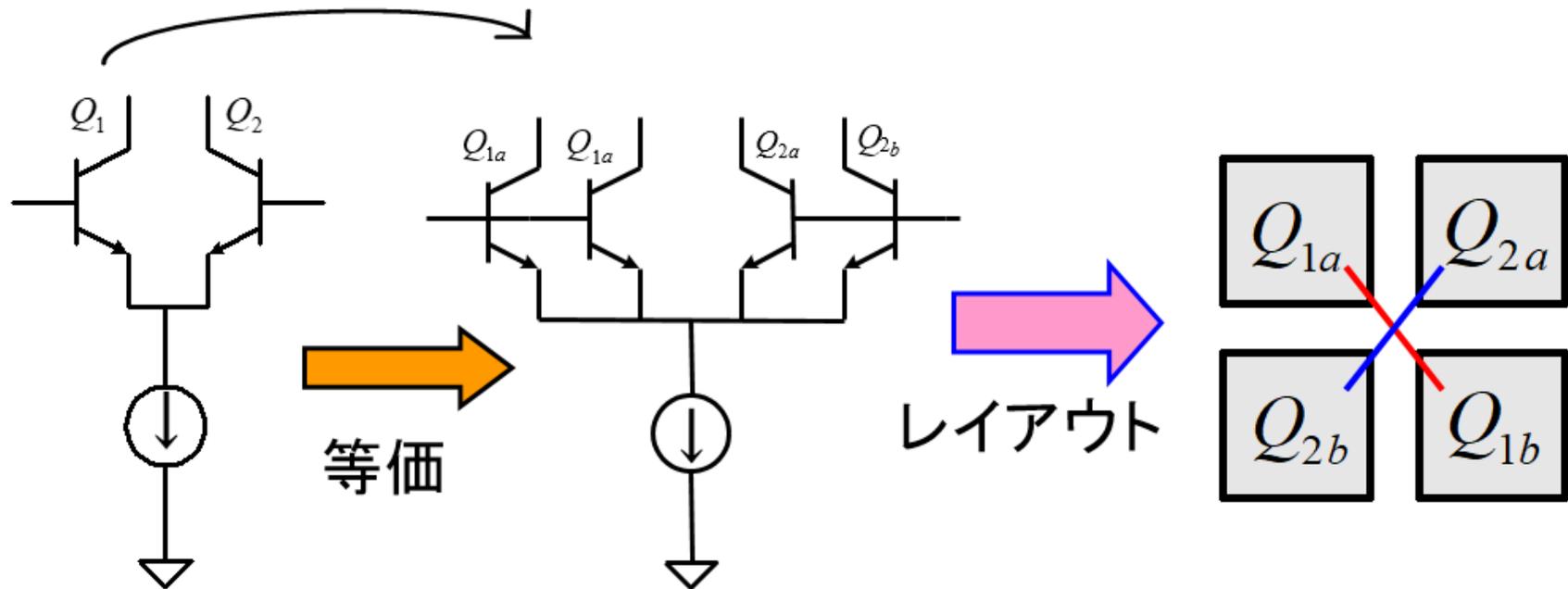
断面図



トランジスタ・ペアのコモンセントロイド配置

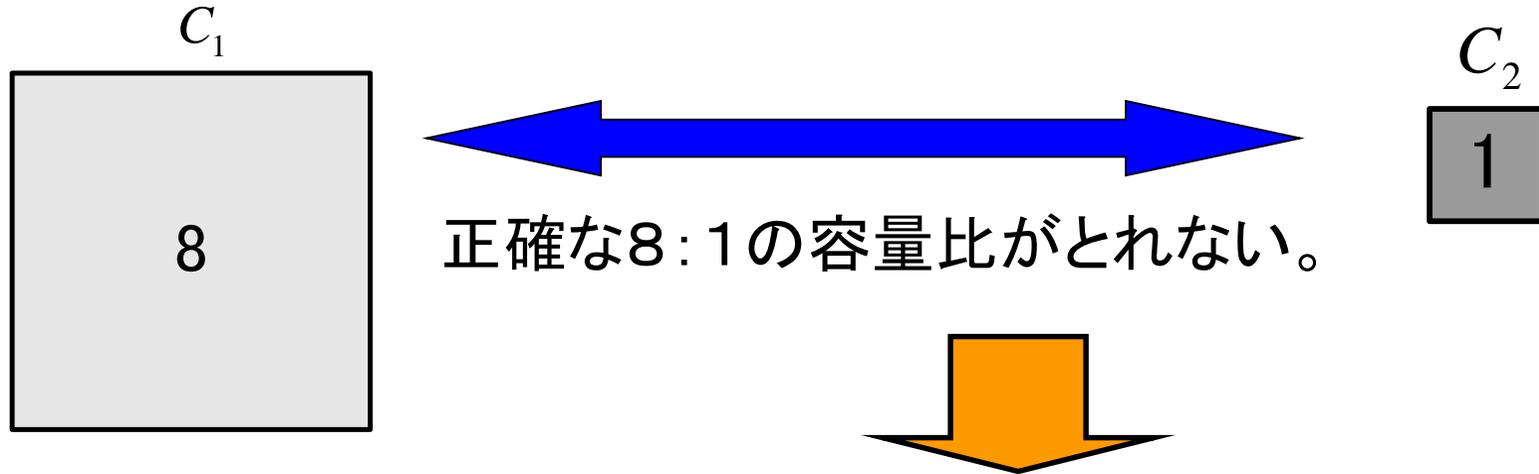
面積半分のエミッタ2つに分解

Q1, Q2 のトランジスタ特性
- 理想的には「同じ」
- 現実には「ミスマッチあり」

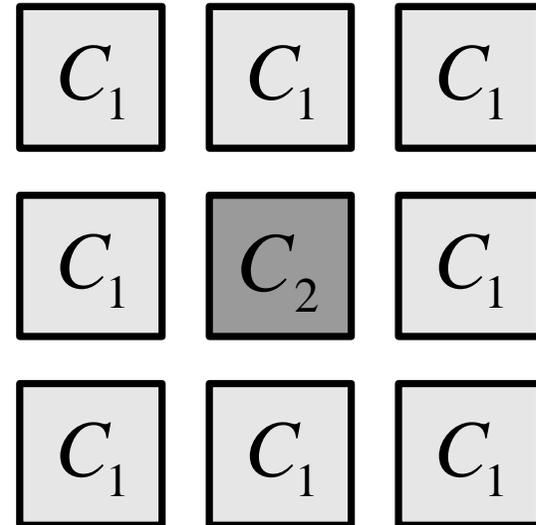


● MOS はバイポーラに比べ ミスマッチ大

容量のマッチングをとるためのレイアウト



- 同じ容量を8個並列接続で“端”の影響(フリンジ容量)を除去
- 重心を同じくする
コモン centroid 法で“傾斜”の影響を除去

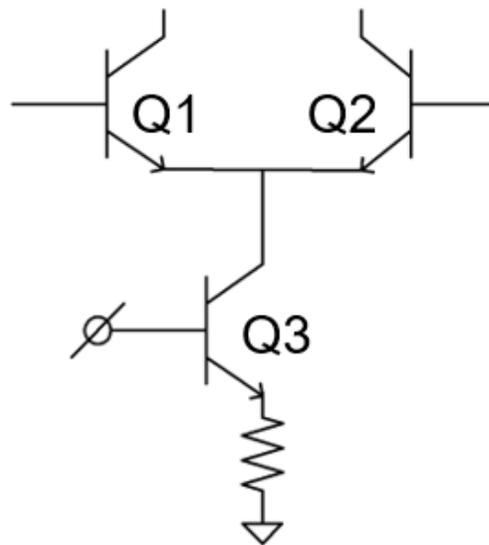


発熱の影響の考慮

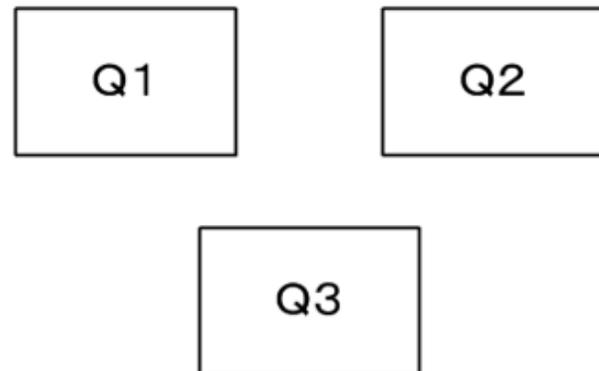
バイアス電流大のバイポーラトランジスタ等
パワー系デバイスや
センサ回路等高精度アナログ回路の
レイアウト設計には「熱の影響」を
考慮する必要あり。

発熱による温度上昇まで考慮した
回路シミュレータの市販のものはない。

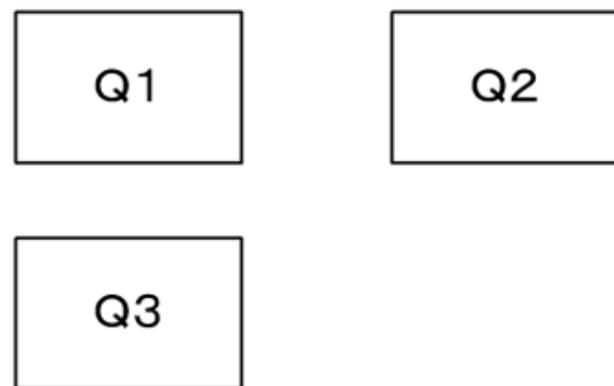
例：バイポーラ
差動アンプの
レイアウト



熱バランスを考慮したレイアウト



熱バランスを考慮しないレイアウト



アナログ回路のレイアウト

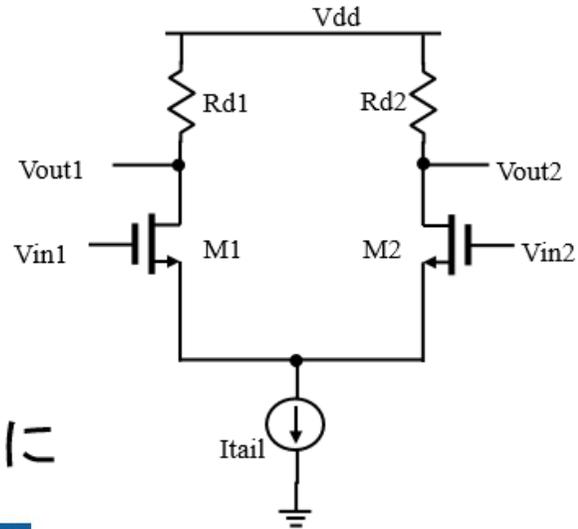
- 見た目が美しいのは 良いレイアウト

- 「美しいレイアウト」とは何か

その一つとして

アナログ回路は**差動回路**が多用

回路が**対称** → レイアウトも**対称**に

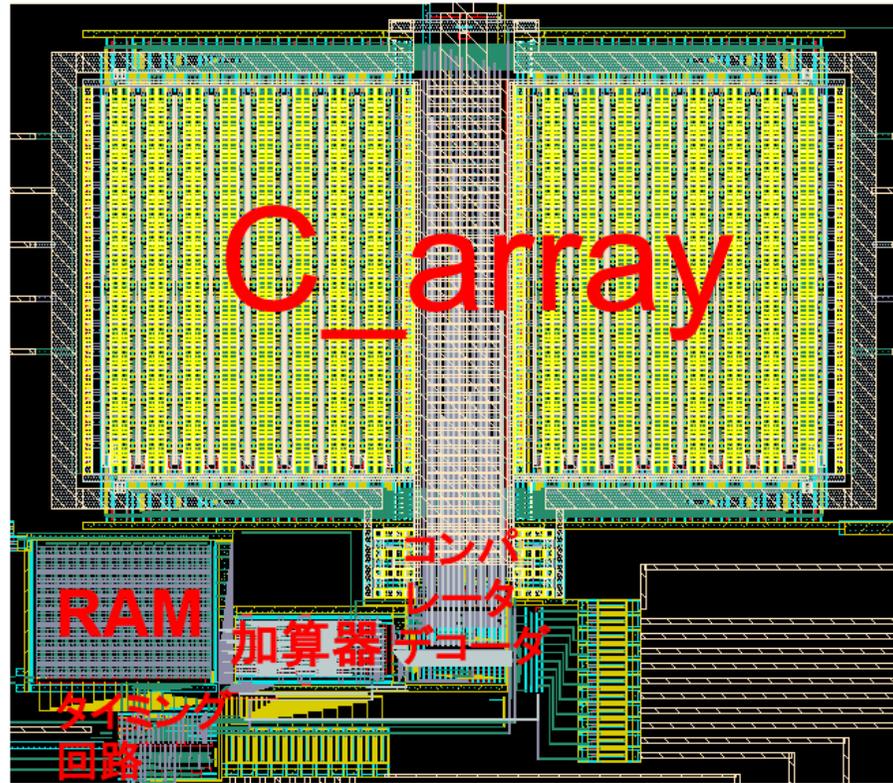


差動回路
左右対称



群馬大学 白石洋一先生より

対称なレイアウト（逐次比較近似ADC）



- アナログ集積回路のレイアウト：
 - 完全自動化は難しい
 - 技術者によるレイアウトの方がコンパクト化（高速・高周波化、低コスト化）ミスマッチ小（高精度化） できる

関係URL

<https://www.analog.com/jp/design-center/design-tools-and-calculators/ltspice-simulator.html>

<https://www.ltspice.jp/>

<https://kobaweb.ei.st.gunma-u.ac.jp/lecture/2016-4-19analog.pdf>

<https://kobaweb.ei.st.gunma-u.ac.jp/warehouse/2015-04-16Mike.pdf>