



TOSHIBA

第462回群馬大学アナログ集積回路研究会

パワーエレクトロニクスにおけるアイソレータ 回路技術

東芝デバイス&ストレージ株式会社

半導体事業部 卯尾豊明

株式会社 東芝

研究開発センター 情報通信プラットフォーム研究所 石原寛明

2021年7月29日

Contents

- 01 はじめに
- 02 絶縁型スマートゲートドライバ
- 03 アイソレーションアンプ(絶縁型アンプ)
- 04 デジタルアイソレータ
- 05 最新の研究事例

01

はじめに



講演者の紹介



株式会社 東芝 (研究開発センター)

- ✓ 東芝グループの研究開発
- ✓ 2つの技術センター/4つの研究所で構成



石原 寛明
パワーエレクトロニクス向け集積回路の研究開発に従事。IEEE会員。

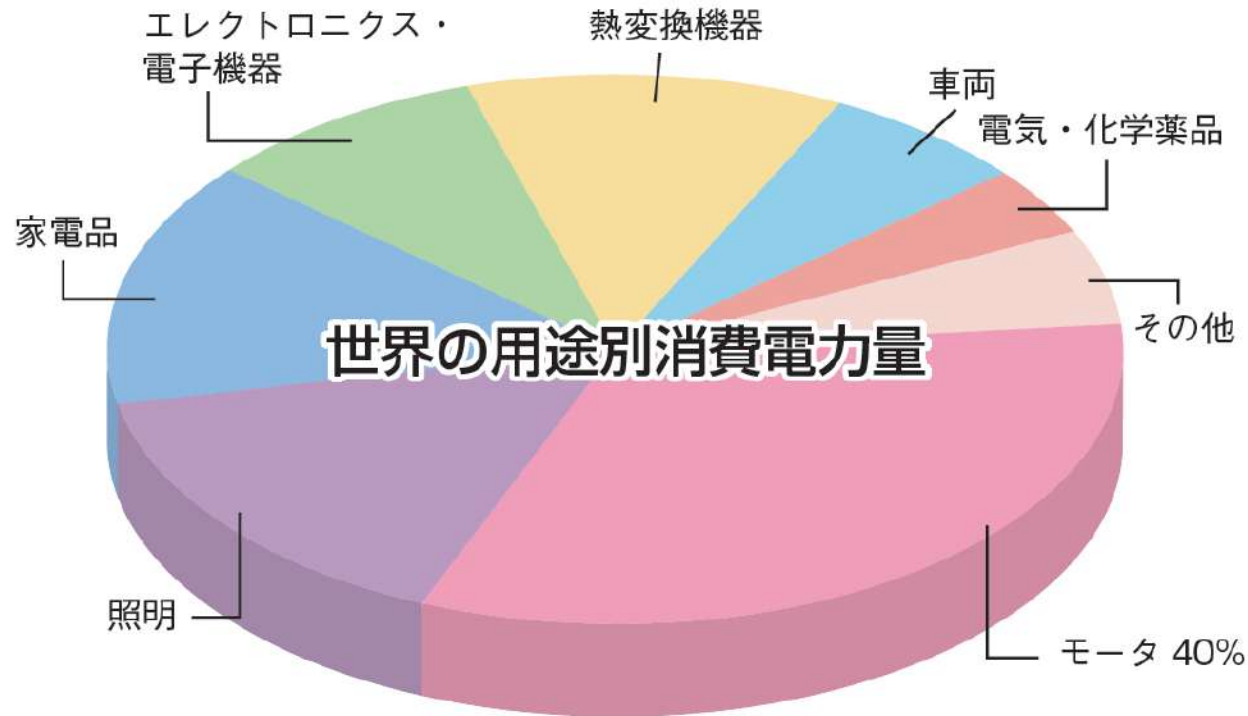
東芝デバイス&ストレージ株式会社 (半導体システム技術センター)

- ✓ 半導体デバイス・HDDの開発設計
- ✓ 車載用アナログIC/マイコン、
モーター制御用IC/パワー半導体 に注力



卯尾 豊明
フォトンプラ用送受信IC、A/D変換IC、高周波用ICの設計・開発に従事。電子情報通信学会会員。

パワーエレクトロニクスに注目する理由



出典：一般社団法人日本電機工業会「トップランナーモーター」、p.1
(https://www.jema-net.or.jp/jema/data/2016_TM.PDF)

世界の消費電力量全体の40～50%を三相誘導電動機(モータ)が占めている。

日本では、家庭用・業務用・産業用のモータの普及台数は約1億台。年間の消費電力量は、全国的全消費電力量の約55%を占めている。

産業用モータによる年間の消費電力量は、産業部門の消費電力量の約75%を占めると推計。

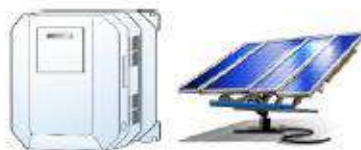
脱炭素社会の実現には、電力を動力に変換する際に生じるエネルギーロスを低減し、エネルギー変換効率を向上させることが不可欠です。

アイソレータ回路の適用例

産業(FA)・他産業



Robotics



Inverter Drive



UPS



Factory Automation



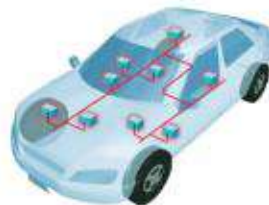
Elevator

Security



Amusement

車載(EV/HEV)



Automotive

民生・家電



IH cooker



Washing Machine



Power supply



Air conditioning



Refrigerator

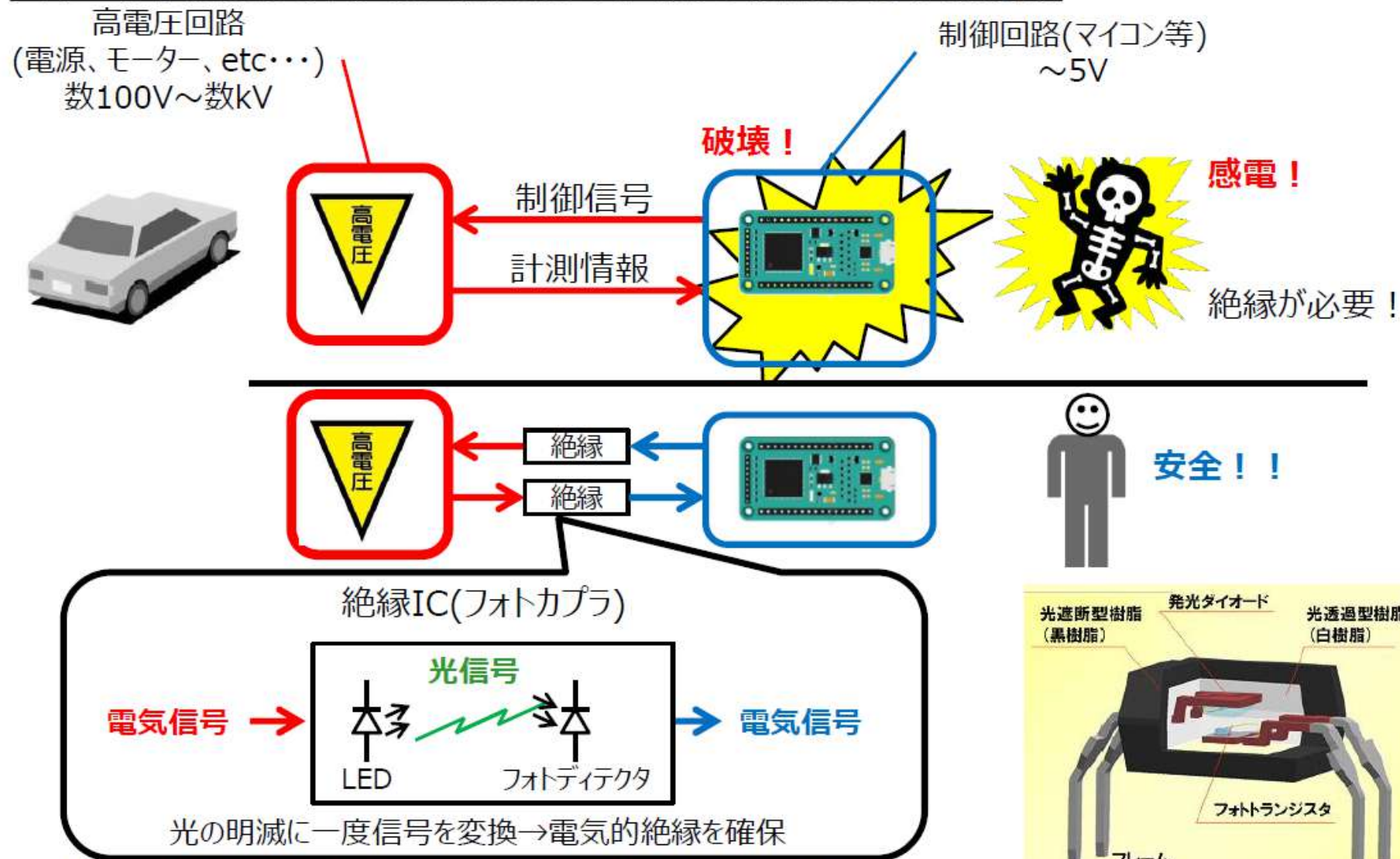


Illumination

産業用機器から身の回りにある製品まで、あらゆる物にアイソレータ回路が入っている。

パワーエレクトロニクスにおけるアイソレータ回路の必要性

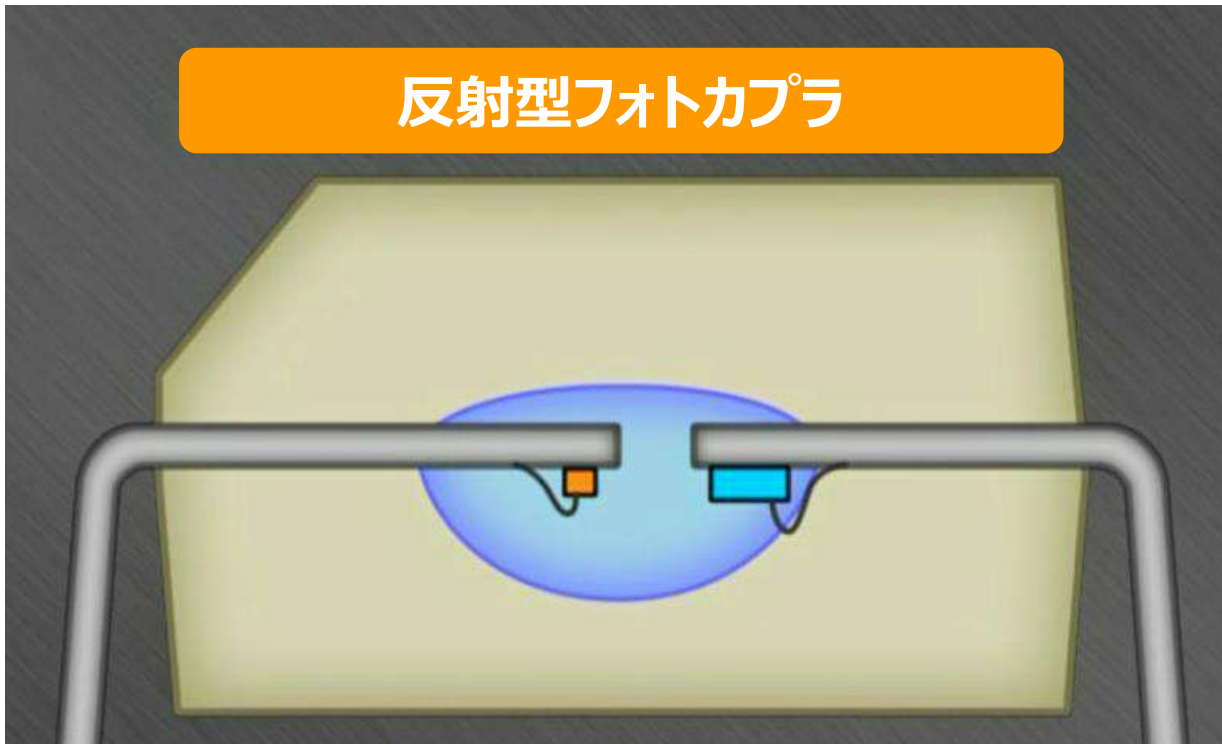
パワエレ回路等で高電圧側と低電圧側の橋渡しをする部品



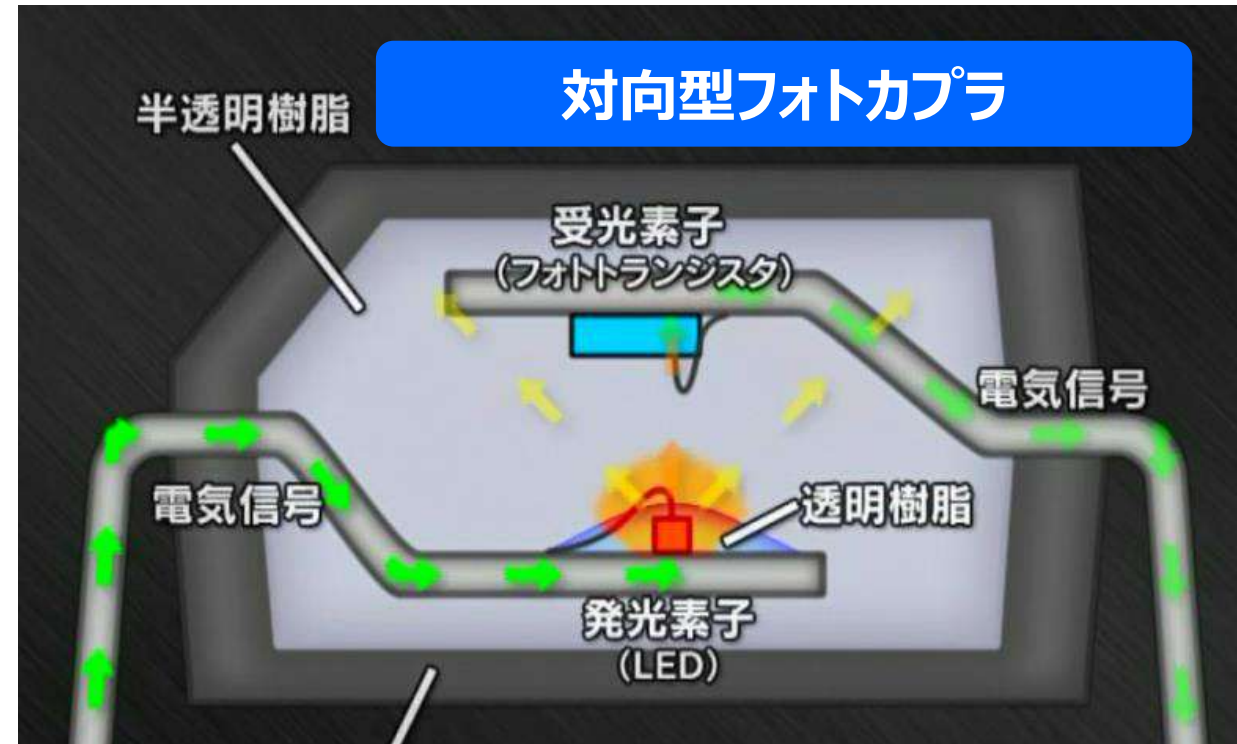
フォトカプラの断面図

光結合状態により、「反射型フォトカプラ」と「対向型フォトカプラ」に大別される。
絶縁分離性能、光結合特性の安定性を考えると対向型フォトカプラが主流。

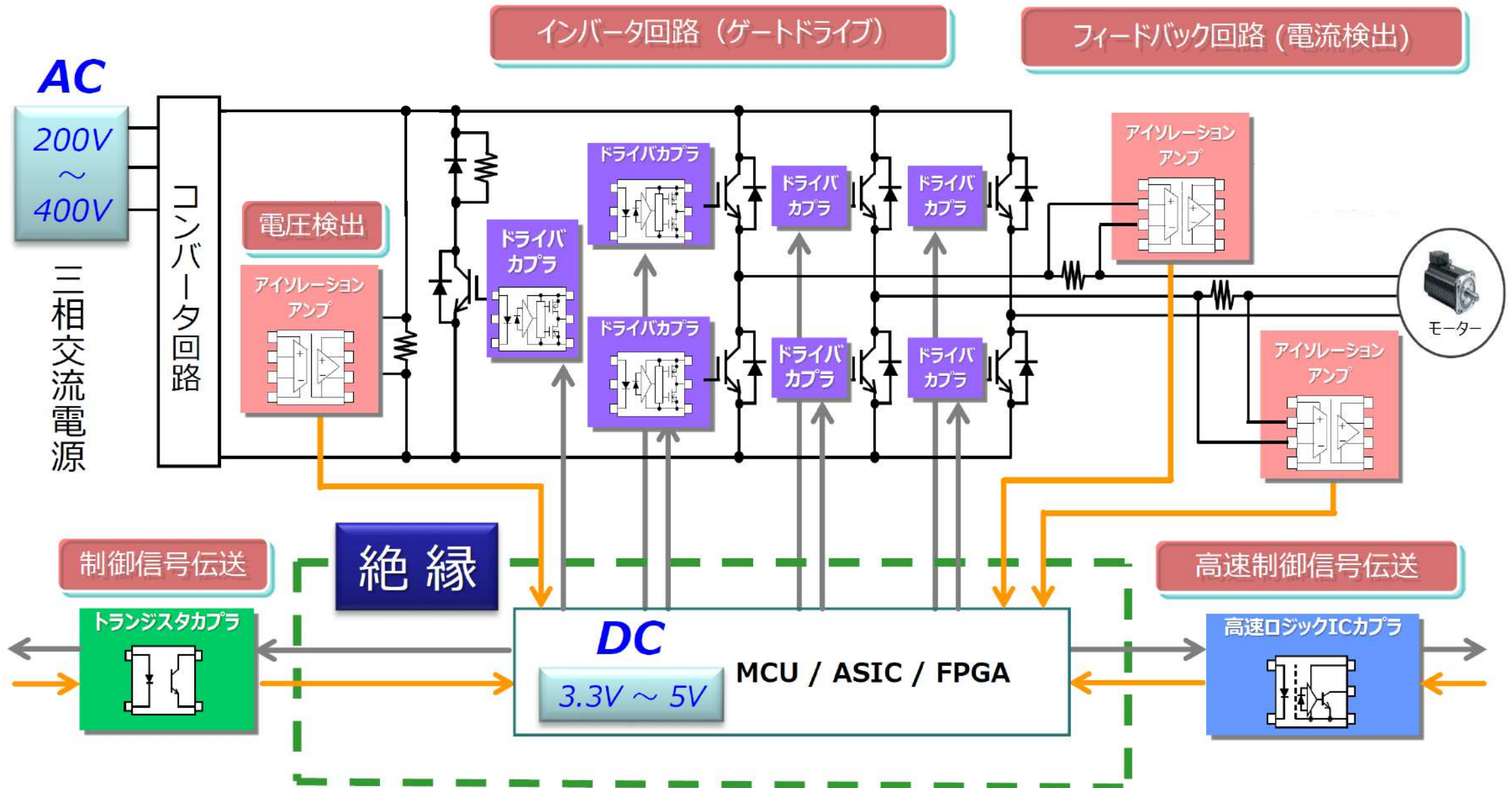
反射型フォトカプラ



対向型フォトカプラ



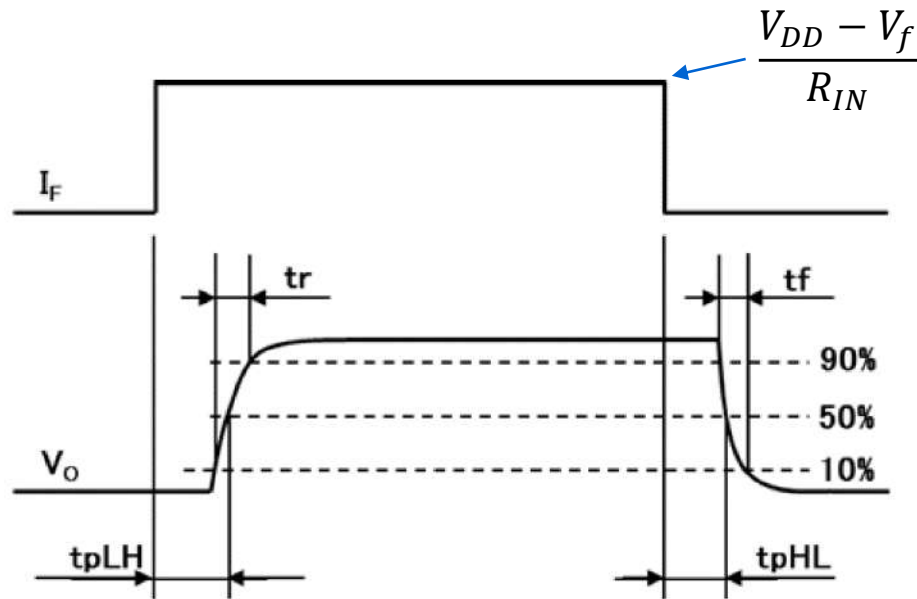
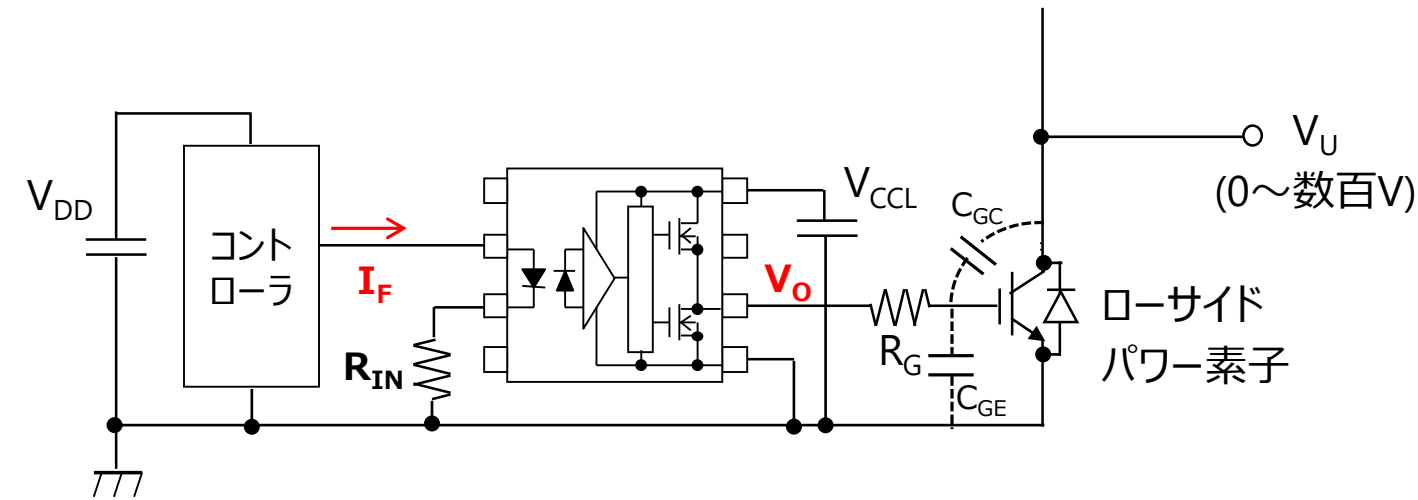
アイソレータ回路の主な適用例



02

絶縁型スマートゲートドライバ

絶縁型ゲートドライブ回路



パワー素子を効率的に駆動するために使用される。パワー素子の入力容量は C_{GE} と C_{GC} の和で表され、数十nF程度の値となる。パワー素子を高速に動作させるためには、瞬間的に数Aの電流で充放電させる必要がある。しかし、コントローラではこのような電流を扱う事が出来ないため、十分な電流駆動能力をもつ「ゲートドライブ回路」が用いられ、絶縁機能を内蔵したものを「絶縁型ゲートドライブ回路」と呼ぶ。

絶縁型ゲートドライブ回路の入力はLEDであり、電圧を入力すると I_F が流れ、LEDが発光する。受信回路ではPD素子で光を受信し、出力電圧 (V_O) を出力する。パワー素子を高速に駆動するため、ゲートドライブ回路の出力素子は LDMOS (Lateral Double Diffused MOS) が使われることが多い。

実用上では、ゲート抵抗 (R_G) を接続してパワー素子の駆動速度を制御する。

パワー素子について

	バイポーラトランジスタ	IGBT	N-ch パワー-MOSFET
構造			
キャリア	電子と正孔	電子と正孔	電子
駆動系	ベース電流	ゲート電圧	ゲート電圧
通電能力	良	優	可
順方向 電圧降下	良	優	可
動作周波数	可 (低い)	良 (~20kHz)	優 (~300kHz)

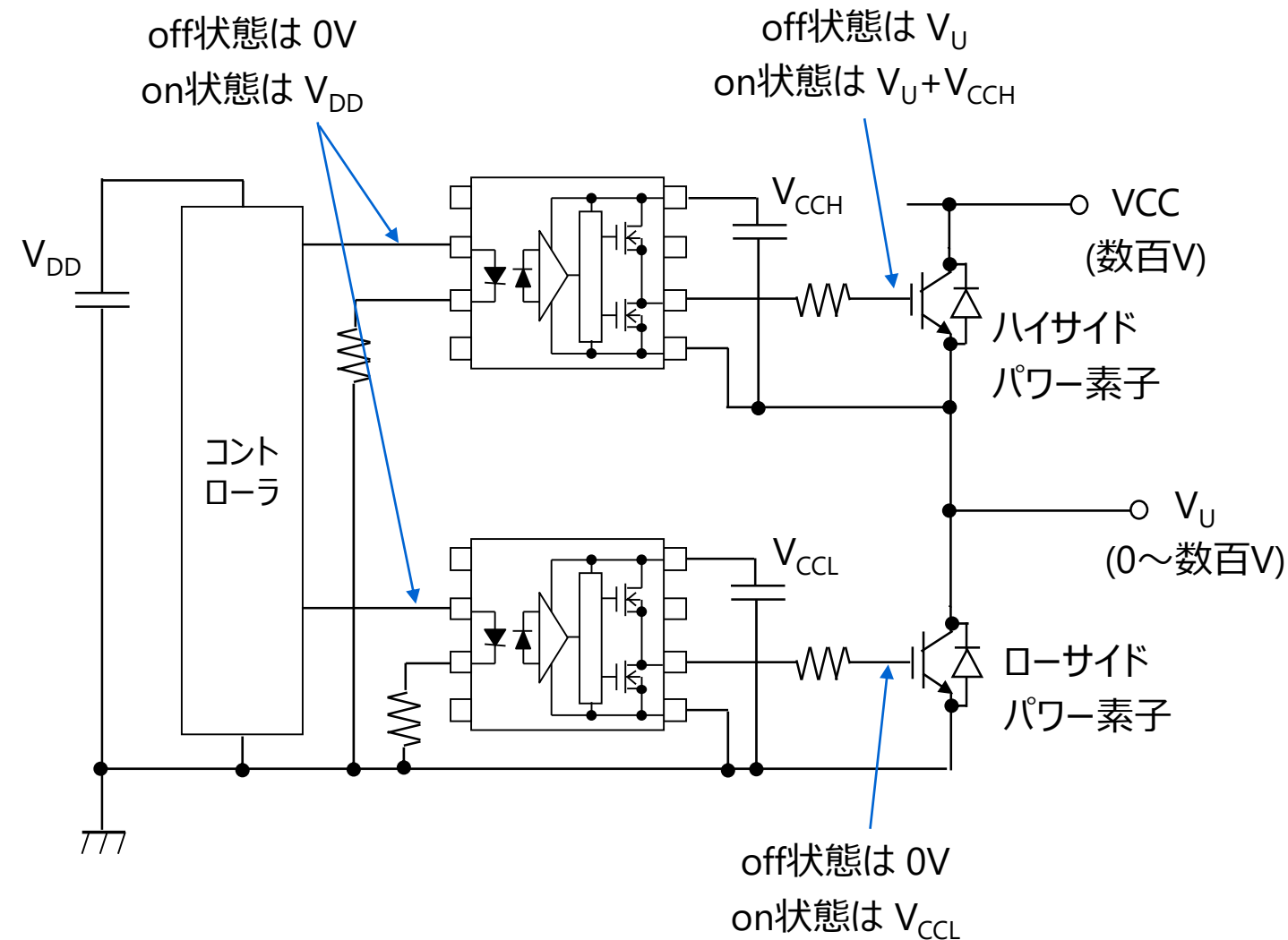
IGBT(Insulated Gate Bipolar Transistor)はパワー-MOSFETに対して基板構造が異なるパワー素子である。

IGBTはバイポーラトランジスタより動作周波数が高く、パワー-MOSFETよりも順方向電圧降下が小さい(オン抵抗が小さい)パワー素子であり、産業界で最も用いられているパワー素子である。

パワー素子には、高耐圧・大電流制御に有利なSiC素子や、小型・高速動作に有利なGaN素子がある。

本説明では、一般的に普及しているIGBT素子を前提としている。

パワー素子とゲートドライブ回路



コントローラの実出力信号(例えば3.3V系)をレベル変換してパワー素子(例えばIGBT素子)を駆動する。

ローサイドは $0 \sim V_{CCL}$ の信号でパワー素子を駆動するので、単純なレベル変換機能となる。

ハイサイドパワー素子のエミッタは V_U であり、 V_U は $0 \sim$ 数百Vの間で高速に変動する。ハイサイドパワー素子を制御するためには、エミッタを基準として $0 \sim V_{CCH}$ の信号を入力する必要がある。



絶縁型ゲートドライブ回路を用いる事で、コントローラからの信号でパワー素子のベース・エミッタ間電圧を制御して、モーター駆動用信号を生成する。

レグ(Reg)と電流出力・電圧出力の関係

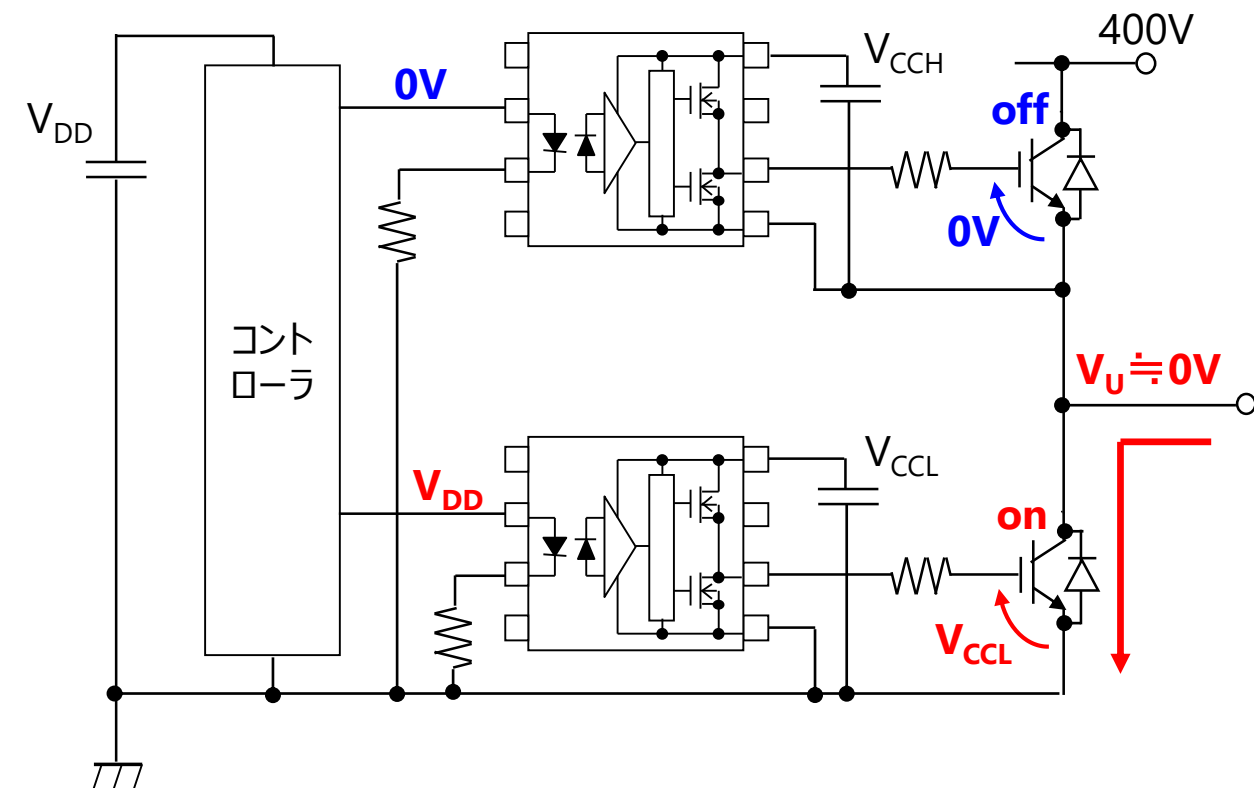


図1. ローサイドをonするとき

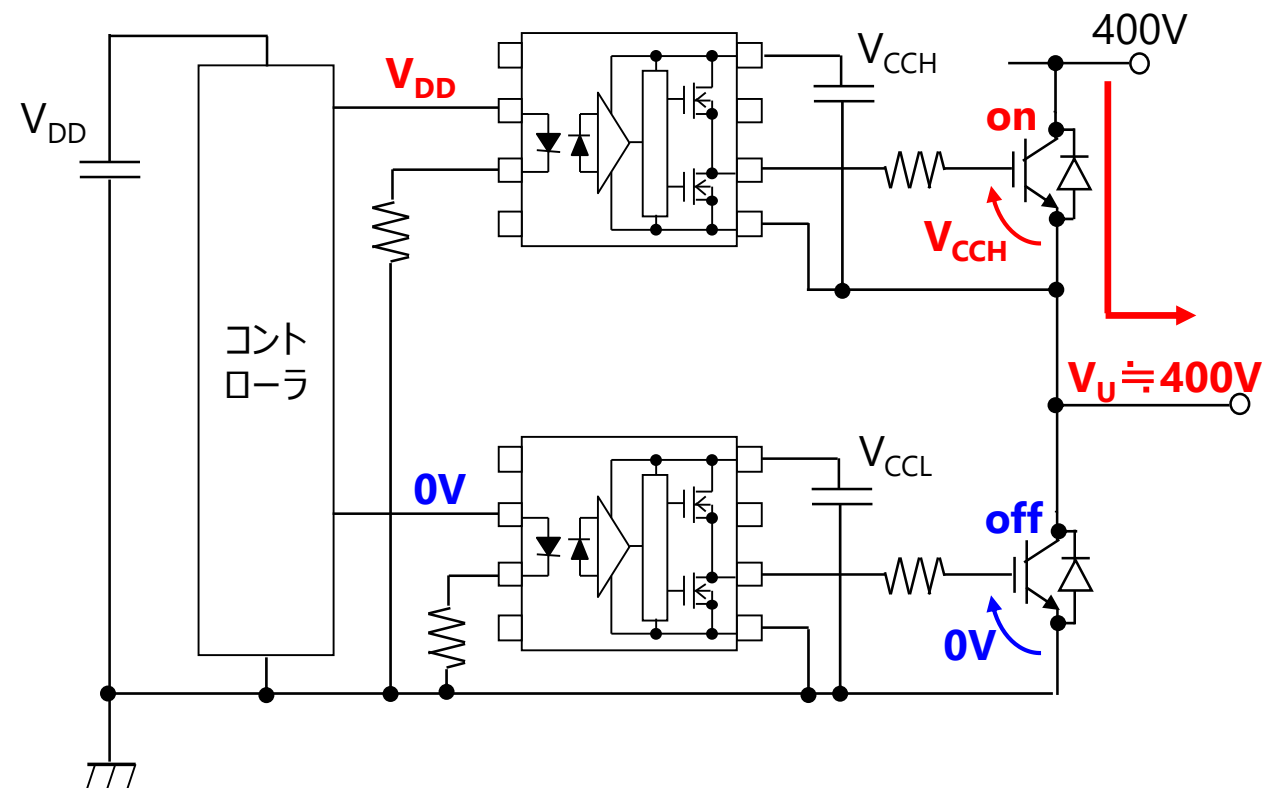
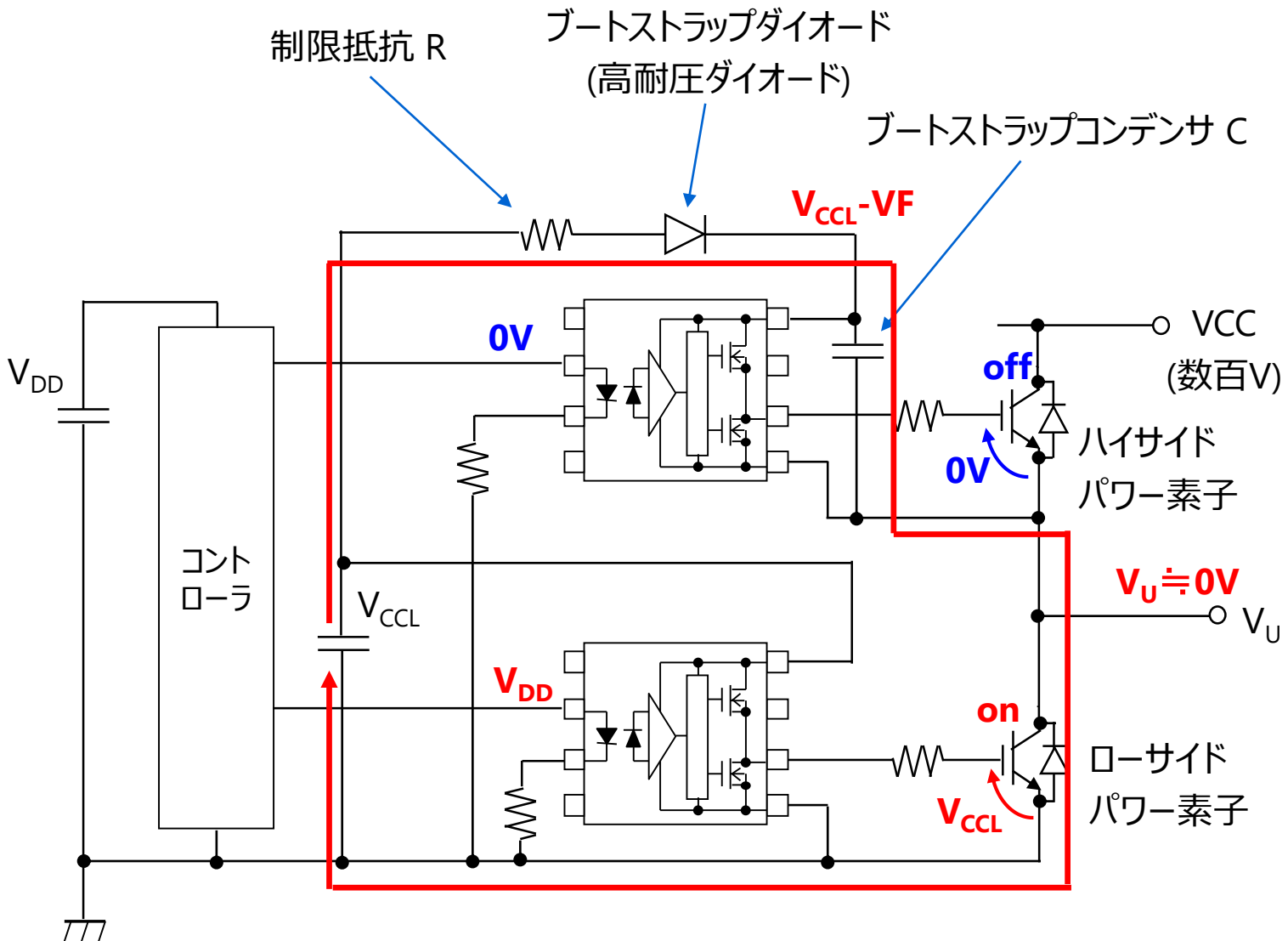


図2. ハイサイドをonするとき

- ✓ ローサイドアームとハイサイドアームを相補的に制御。
- ✓ ハイサイドアームとローサイドアームをレグと呼ぶ。
- ✓ レグを制御する事で、モータの駆動電流を制御する事ができる。

ブートストラップ回路 (充電時)

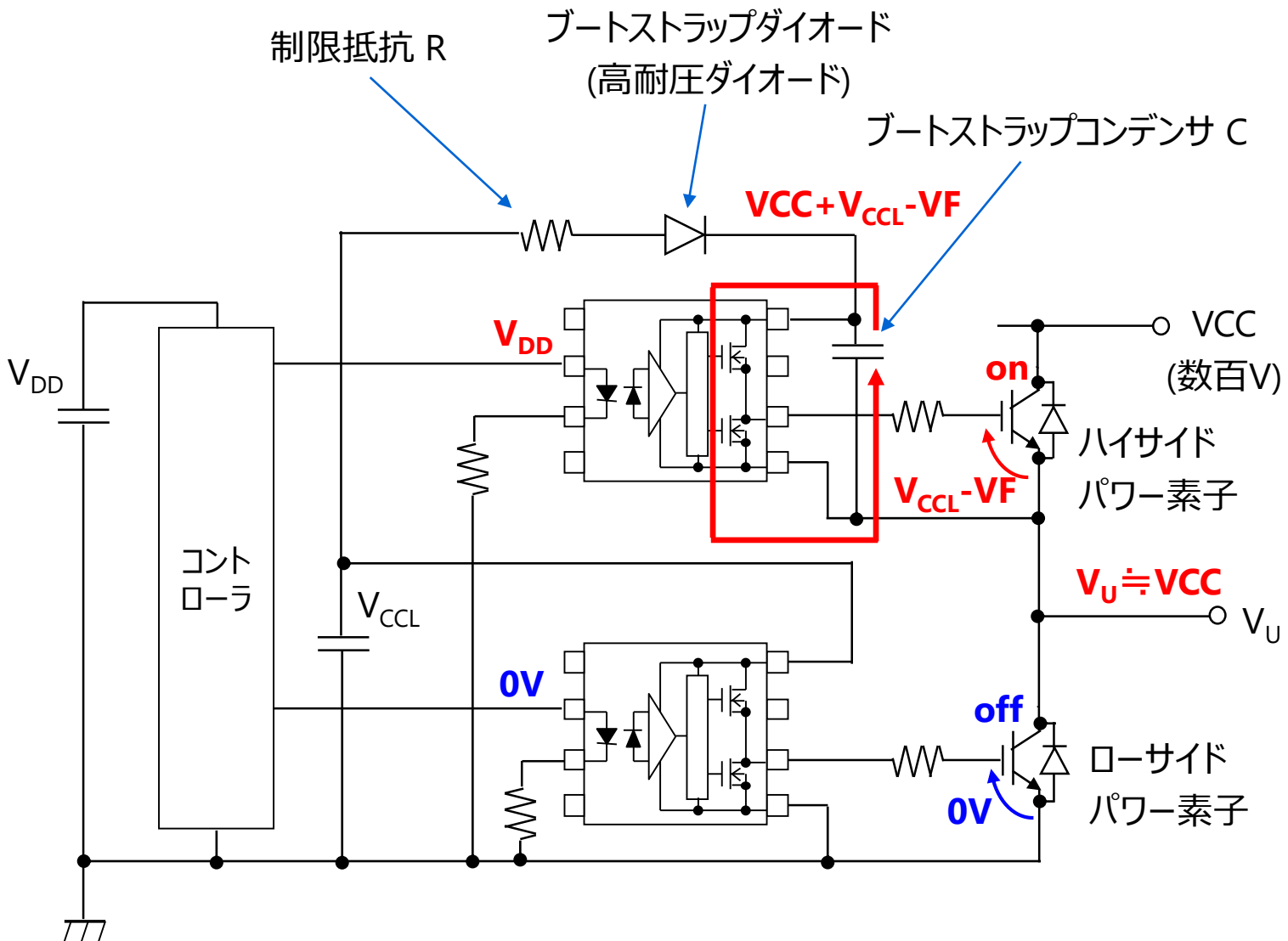


抵抗・容量・ダイオードで構成されるブートストラップ回路で、ハイサイドのゲートドライブ回路に電源を供給。

ローサイドスイッチ	ハイサイドスイッチ	ブートストラップ回路
on	off	充電期間
off	on	放電期間

ブートストラップ回路は、ローサイドがon時に充電、ローサイドがoff時に放電される。
 ローサイドがon、ハイサイドがoffの時、ブートストラップダイオードは順方向バイアスされて、赤矢印のような電流が流れ、ブートストラップ容量に電荷が充電される。ブートストラップ容量の最終的な電圧は $V_{CCL} - V_f$ となる。

ブートストラップ回路 (放電時)

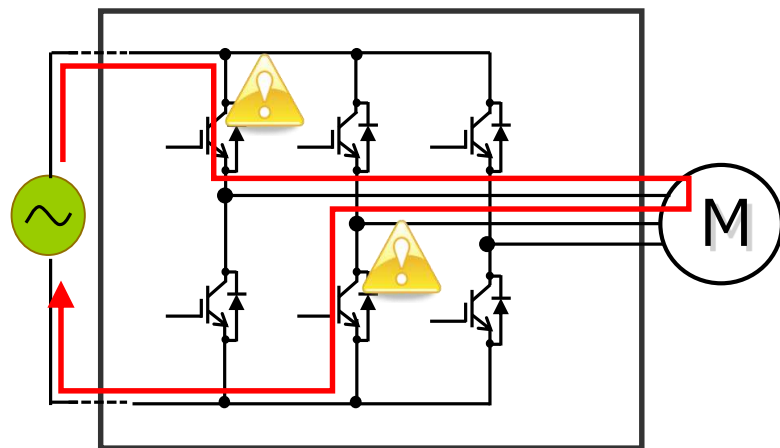


ローサイドスイッチがoffになると相電位が上昇し、ブートストラップ容量への充電動作が止まる。ブートストラップダイオードには $V_{CC} - V_F$ となる逆バイアスが印可されるので、 V_{CCL} への電流は遮断される。

ブートストラップ容量の端子間電圧は $V_{CCL} - V_F$ となり、この電圧がハイサイドのゲートドライブ回路の電源となる。したがって、ハイサイドの信号を受けてハイサイドスイッチを駆動する事ができる。

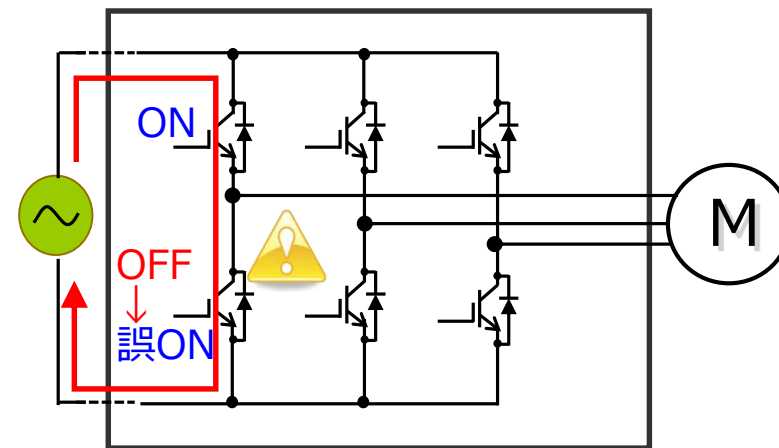
ただし、
原理的にスイッチ回路のみに適用される
ブートストラップ容量が小さいと電圧が低下
高速動作に対応できない場合
がある事に注意する必要がある。

過電流について



出力短絡：

人為的接続ミスや負荷の破壊により別アーム間で過大な電流が流れる。



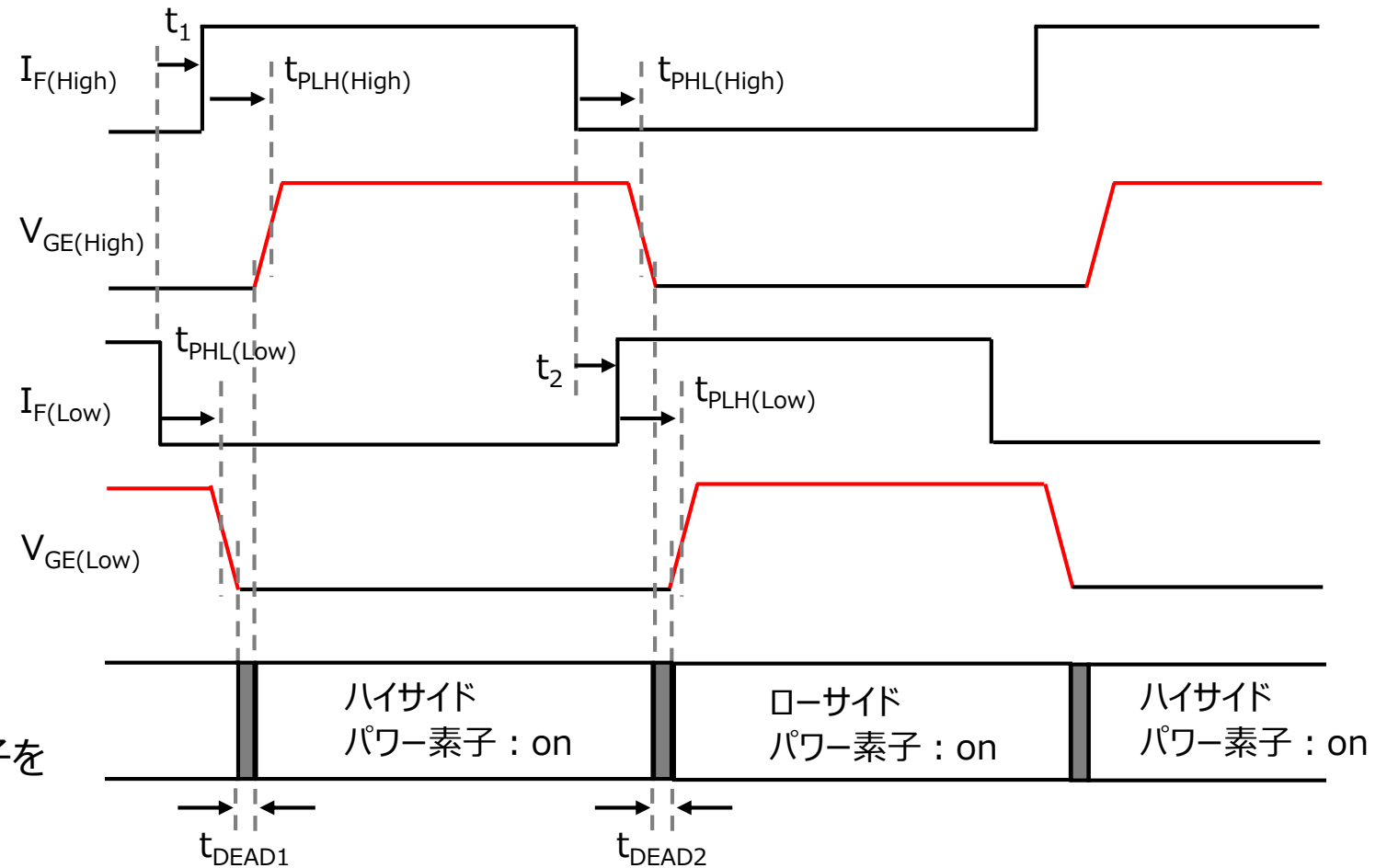
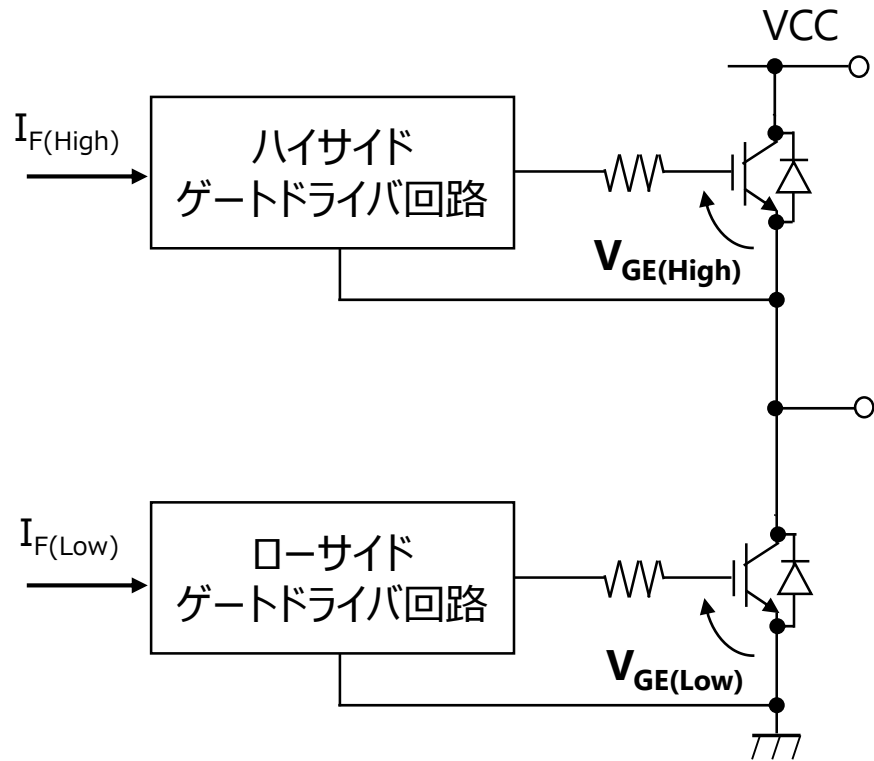
アーム短絡：

ノイズによる誤動作や誤って上下アームを同時オンにすると、レグが短絡し過電流が流れる

IGBT(Insulated Gate Bipolar Transistor)素子の場合、短絡耐量は 10us 程度。
短絡電流が短絡耐量より長い時間流れるとIGBT素子が破壊し、機器の異常動作のリスクがある。

⇒ 過電流によるパワー素子の破壊を防ぐ事はゲートドライバ回路の重要な動作。

デッドタイム



上下アームが短絡しないように、両方のパワー素子を off する期間である「デッドタイム」が必要。

ゲートドライバ回路の応答ばらつきが大きいと、

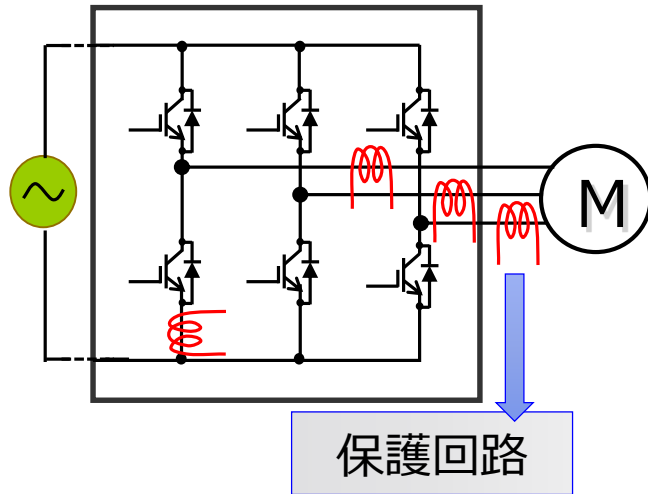
$t_{DEAD1,2} > 0$ にするために t_1 および t_2 を大きくする必要があるのである。

⇒ 応答ばらつきがモータ制御を制約する。

$$t_1 - t_{PHL(Low).Max} + t_{PLH(High).Min} \leq t_{DEAD1} \leq t_1 - t_{PHL(Low).Min} + t_{PLH(High).Max}$$

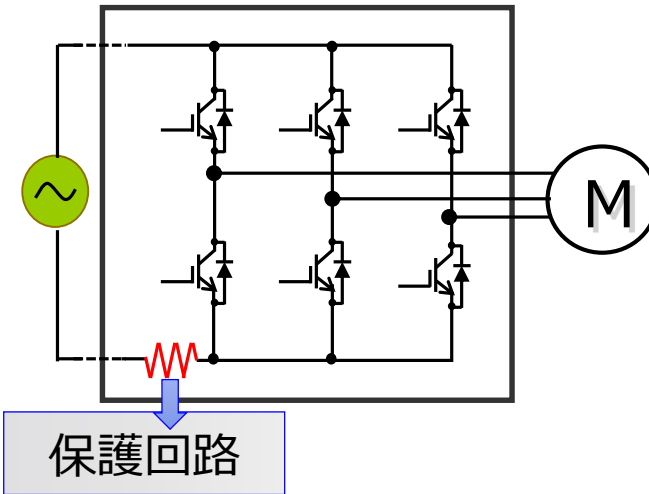
$$t_2 - t_{PHL(High).Max} + t_{PLH(Low).Min} \leq t_{DEAD2} \leq t_2 - t_{PHL(High).Min} + t_{PLH(Low).Max}$$

過電流保護の種類



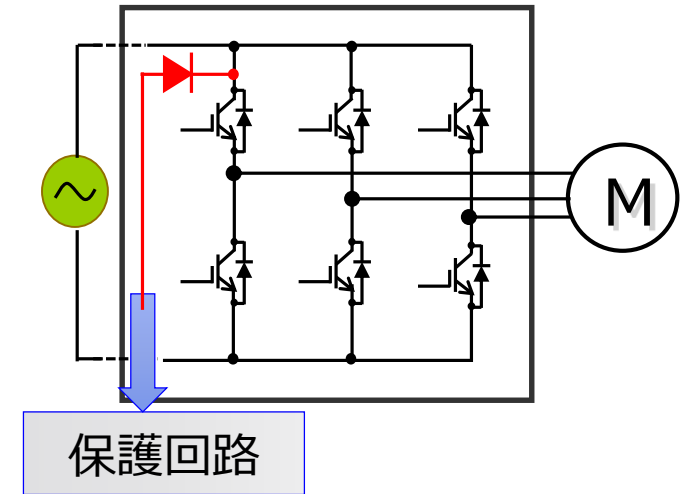
a) カレントトランス

- トランスにより電流をモニタ
- 絶縁が不要
- トランスとセンサ回路が必要でサイズが大きい



b) 電流センス抵抗

- 電流検出用の金属抵抗で電流をモニタ
- 絶縁が必要
- 比較的小型だが、抵抗による電力損失が発生する



c) $V_{CE(SAT)}$ モニタ

- 高耐圧ダイオードを用いてIGBTのコレクタ-エミッタ間電圧をモニタ
- 電力損失が小さい
- IGBT駆動回路側で保護動作ができ高速
- 保護対象の特性で検出感度が変わる

$V_{CE(SAT)}$ 検出方法：過電流が流れているとき

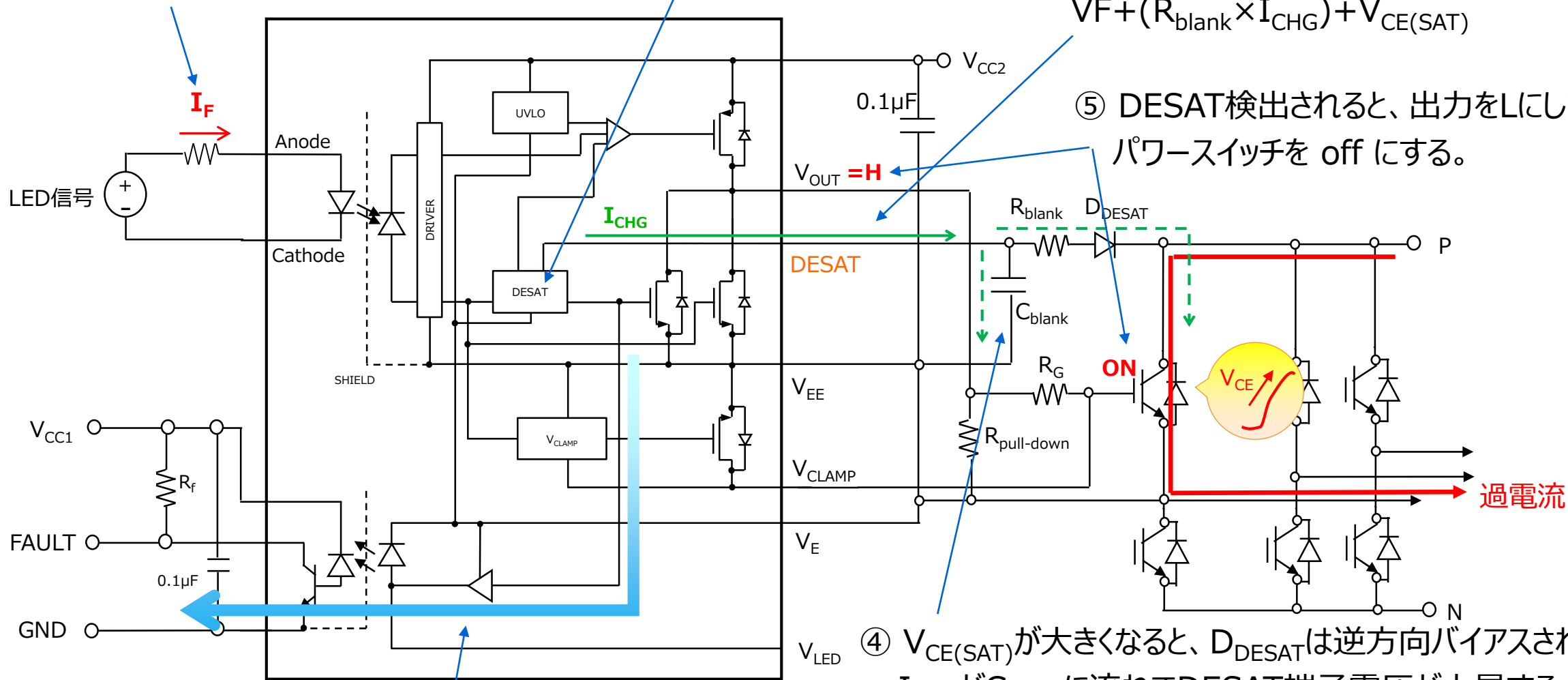
① 入力電流(I_F)が流れて、パワースイッチがonになってから $V_{CE(SAT)}$ 検出機能をEnableにする。

② I_{CHG} が流れる。

③ $V_{CE(SAT)}$ が小さい時、 D_{DESAT} は順方向バイアスされ、DESAT端子電圧は以下となる。

$$V_F + (R_{blank} \times I_{CHG}) + V_{CE(SAT)}$$

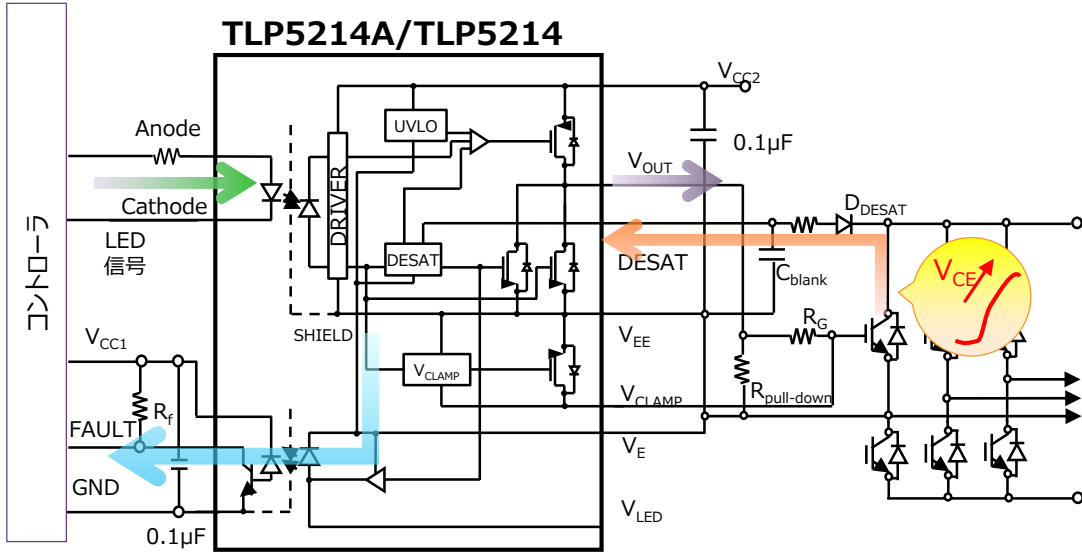
⑤ DESAT検出されると、出力をLにしてパワースイッチを off にする。



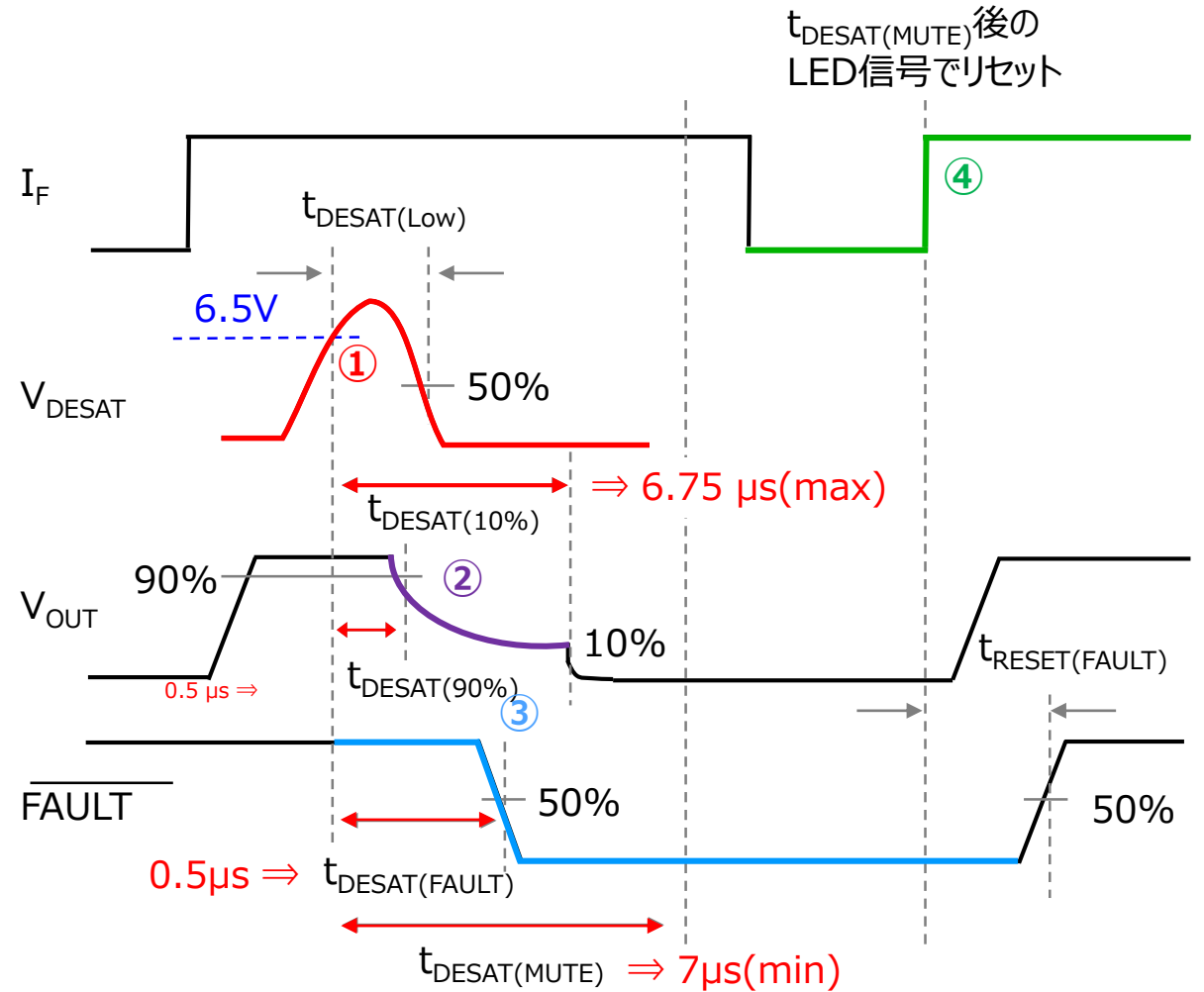
④ $V_{CE(SAT)}$ が大きくなると、 D_{DESAT} は逆方向バイアスされ、 I_{CHG} が C_{blank} に流れてDESAT端子電圧が上昇する。

⑥ コントローラへFAULT信号を発出する

$V_{CE(SAT)}$ 検出方法：過電流状態からの復帰



- ① 過電流が発生し、 $V_{CE} \geq 6.5V$ になると保護機能が動作
(V_{CE} が増加すると I_{CHG} が C_{blank} に流れて V_{DESAT} が上昇)
- ② パワー素子はソフトシャットダウン
(急にシャットダウンすると配線インダクタンスで2次破壊リスク)
- ③ コントロール側へFAULT信号を発出(Low)
- ④ LEDによって次のturn-on信号で保護動作を解除

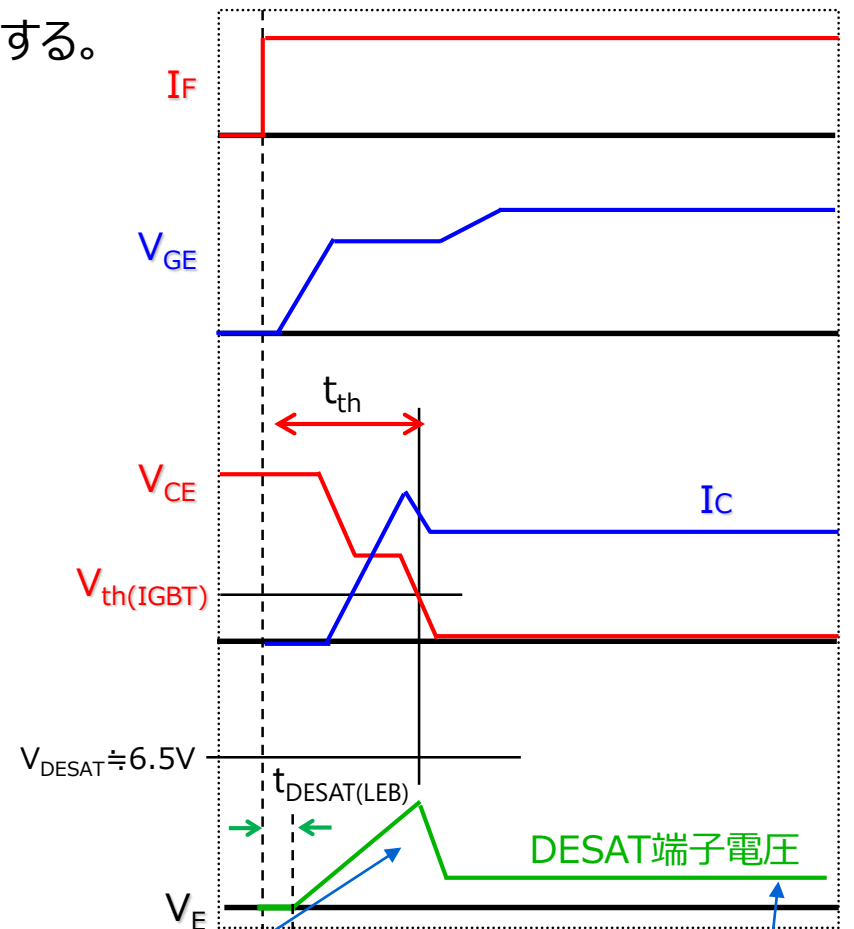
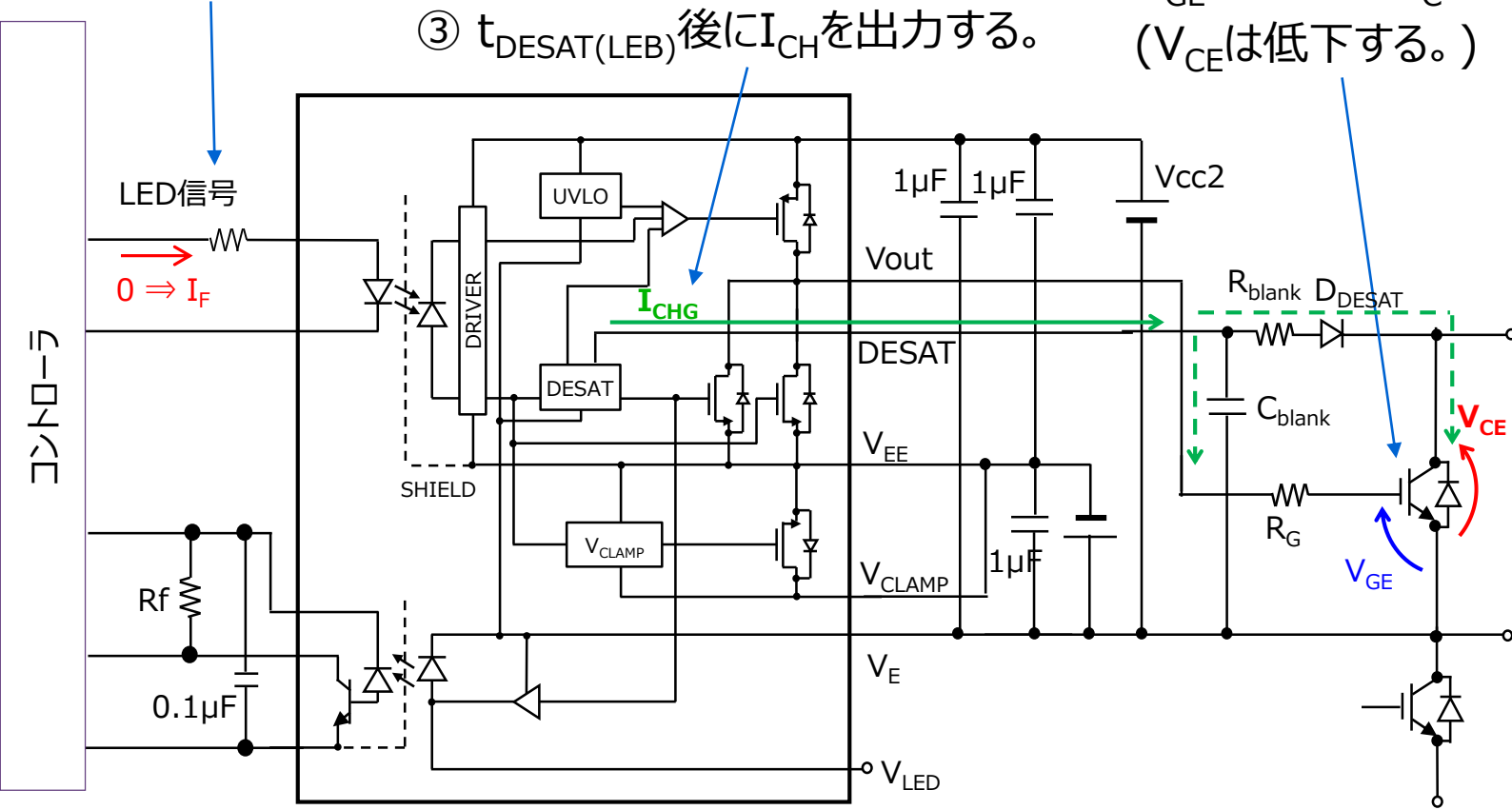


$V_{CE(SAT)}$ 検出方法 : turn-on時の動作

① 入力電流が $0 \Rightarrow I_F$ となる。

③ $t_{DESAT(LEB)}$ 後に I_{CHG} を出力する。

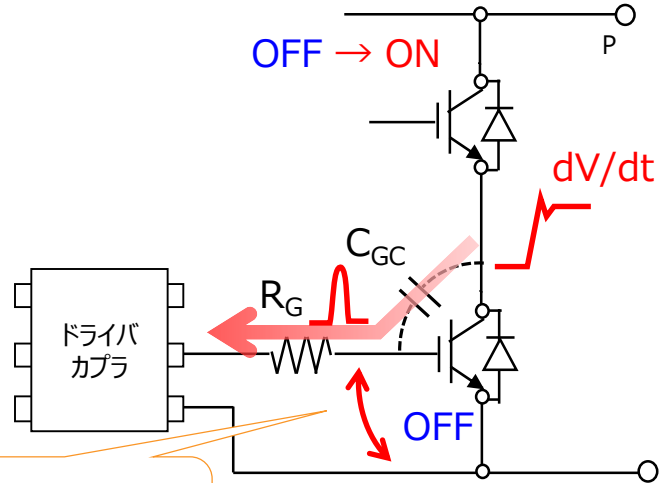
② V_{GE} が上昇して I_C が増加する。
(V_{CE} は低下する。)



④ V_{CE} が大きい時は I_{CHG} は C_{blank} に流れ ($t < t_{th}$)、 V_{CE} が低下すると I_{CHG} は D_{DESAT} に流れ ($t > t_{th}$) で DESAT 端子電圧は低下する。ここで、turn-on時に FAULT 信号が発出されないように C_{blank} の値を決定する。

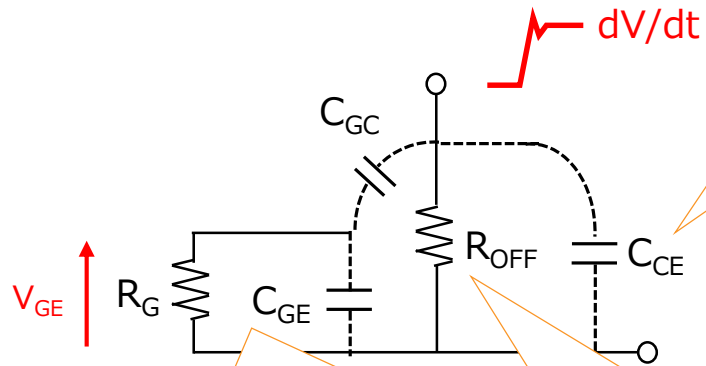
$$V_F + (R_{blank} \times I_{CHG}) + V_{CE(SAT)}$$

セルフ・ターンオン



ゲート電位が持ち上がり、
上下短絡の恐れがある。

等価回路

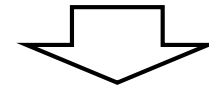


V_{GE} に寄与しないので
無視して良い。

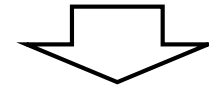
R_G と C_{GE} の合成インピーダンス
を小さくすればセルフ・ターンオン
を抑圧できる。

パワーMOSはoff状態なので
 R_{OFF} は大きく、無視して良い。

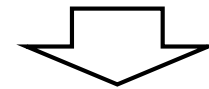
デッドタイム状態からハイサイドがターンオンすると、ハイサイドの V_{CE} が小さくなり、ローサイドの V_{CE} が大きくなる。(dV/dtの発生)



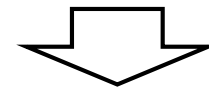
C_{GC} を通過する電流が発生



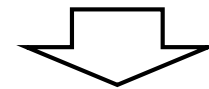
R_G と C_{GE} の合成インピーダンスにより、 V_{GE} が発生



オフしていたローサイドが誤ターンオン(セルフターンオン)する



上下アームが短絡して、過電流が流れる

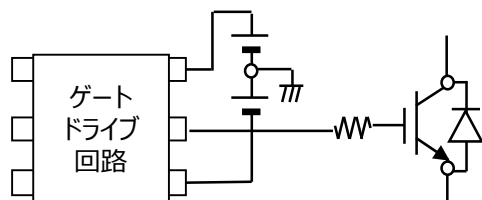


パワー素子が破壊

セルフ・ターンオンは避けなければならない問題

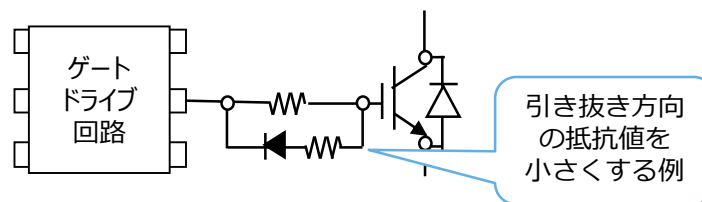
セルフ・ターンオンの対策

セルフ・ターンオンを防ぐためには、閾値が大きなパワー素子を使う方法、 dV/dt を下げる(スイッチング速度が低下)方法、 C_{CG}/C_{GE} が小さなパワー素子を使う方法があるが、それ以外の回路的な対策例を示す。



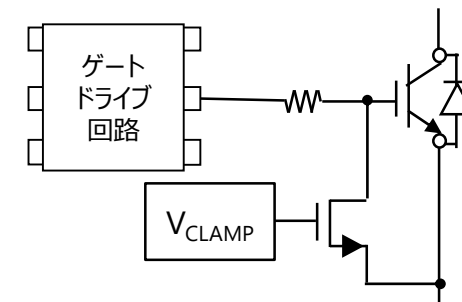
a) 負電源を使用する対策

- V_{GE} の基準電位を負電位にする事で誤動作を防ぐ
- 電源が2つ必要になる
- 閾値電圧が高いパワー素子を使う事と等価



b) ゲート抵抗の調整

- R_G と C_{GE} の合成インピーダンスを下げる事で V_{GE} の上昇を防ぐ
- ターンオン性能には影響しない

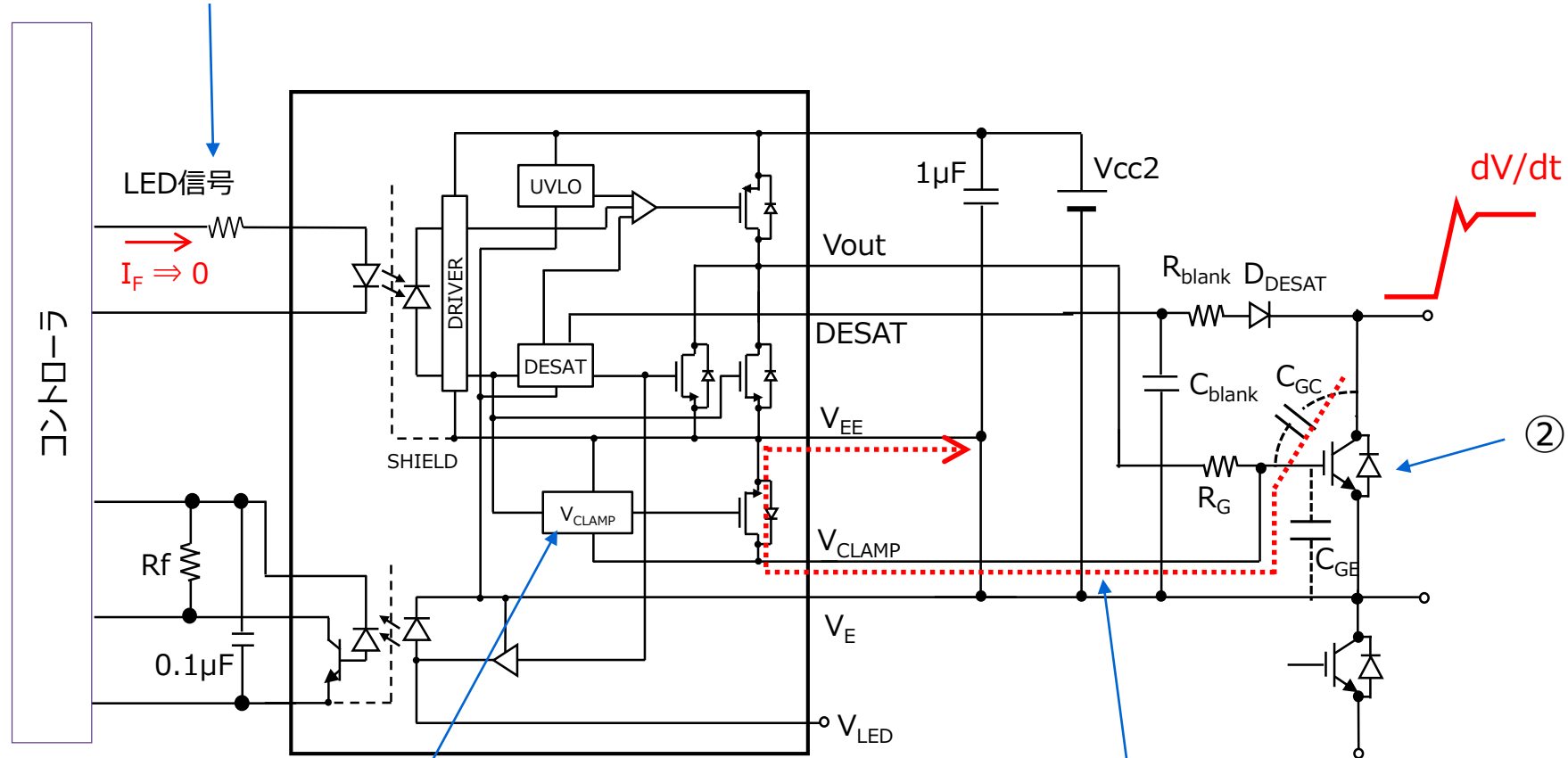


c) ミラークランプ回路

- ゲートドライブ信号がHighからLowに変化し、一定値以下になったらクランプ素子をONにして、パワー素子の入力をクランプする
- アクティブミラークランプ方式と呼ばれている

アクティブミラークランプ回路

① 入力電流が $I_F \Rightarrow 0$ となる。

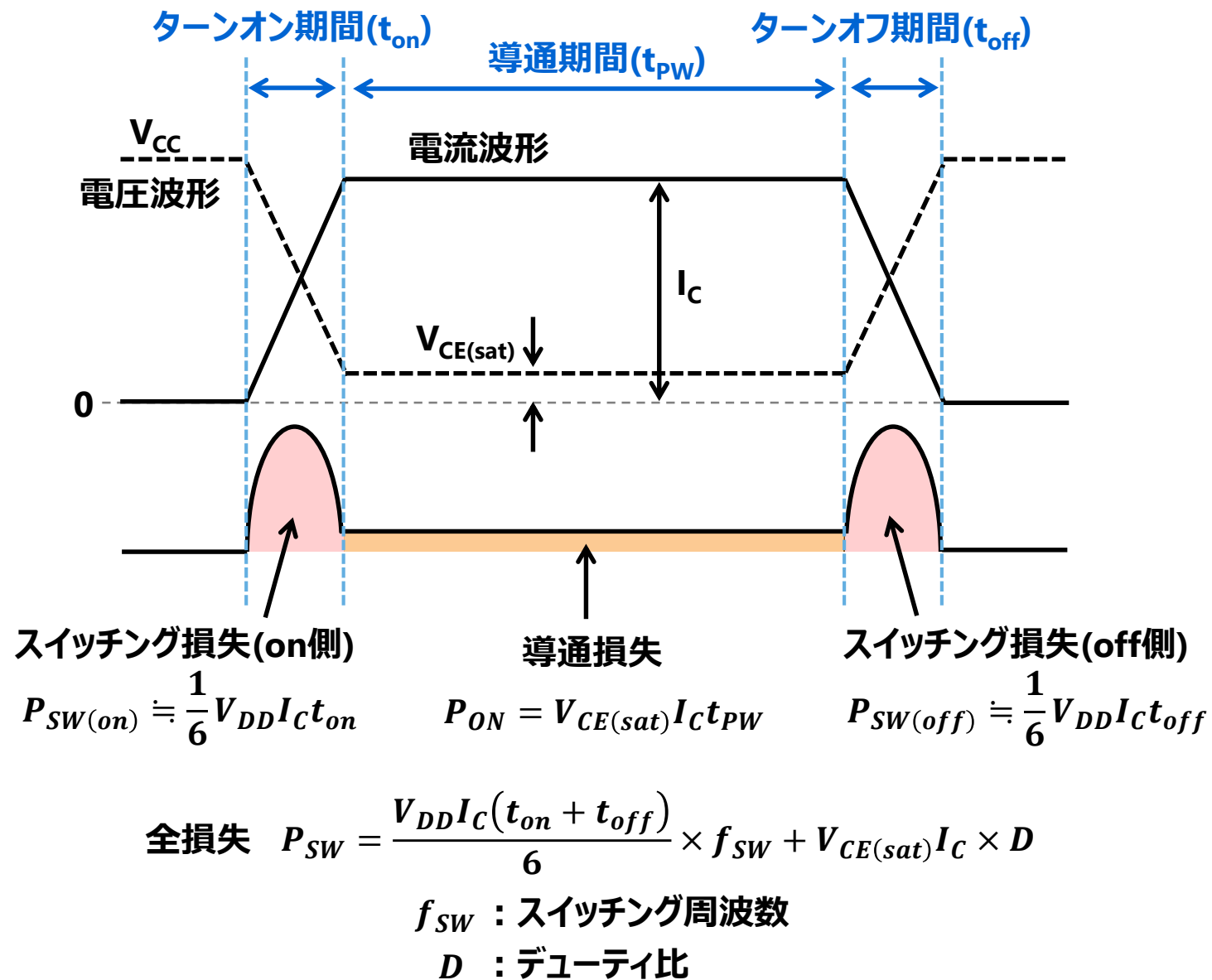
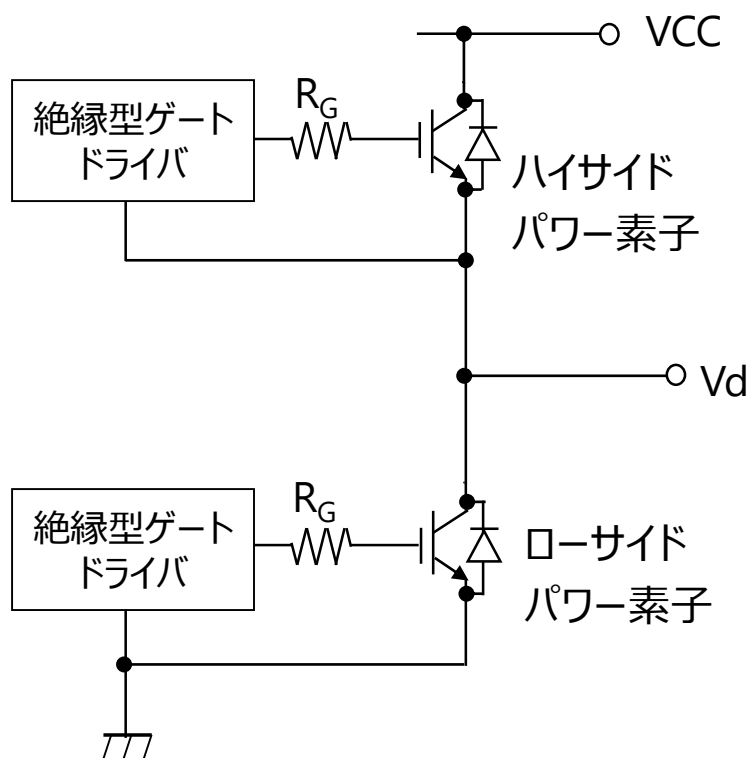


② パワー素子が on状態から off 状態となり、コレクタ電位が上昇する。

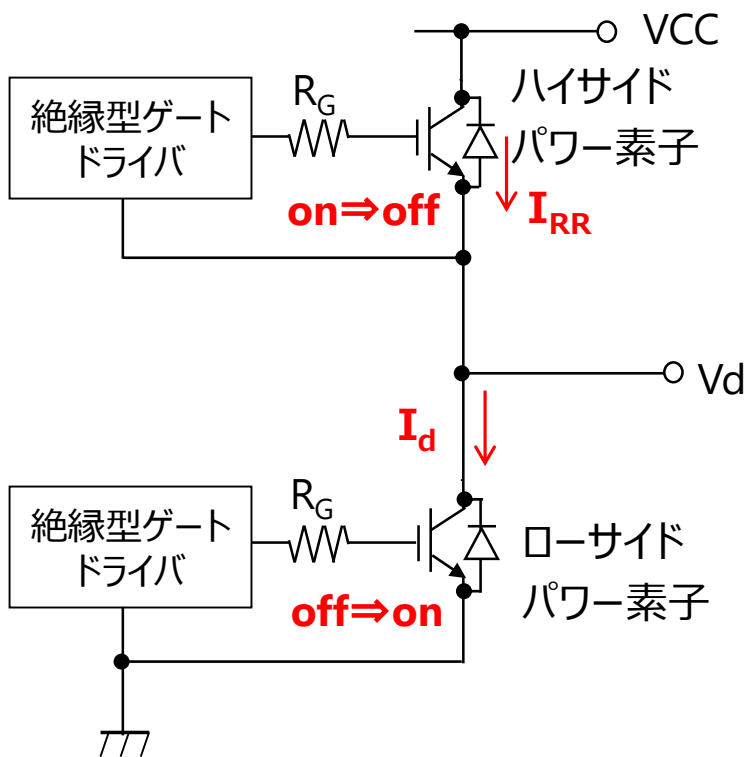
③ ゲート電圧が3V以下になったらミラークランプ回路をEnableにする。

④ dV/dt による電流は R_G や C_{GE} 流れず V_{CLAMP} 端子 \Rightarrow GND 端子に流れる。

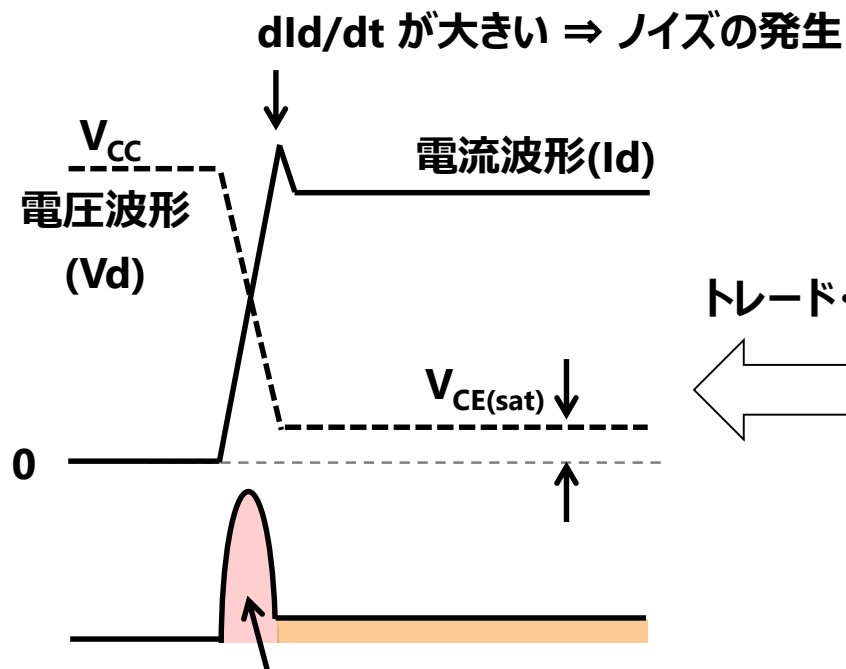
スイッチング損失とスイッチング速度



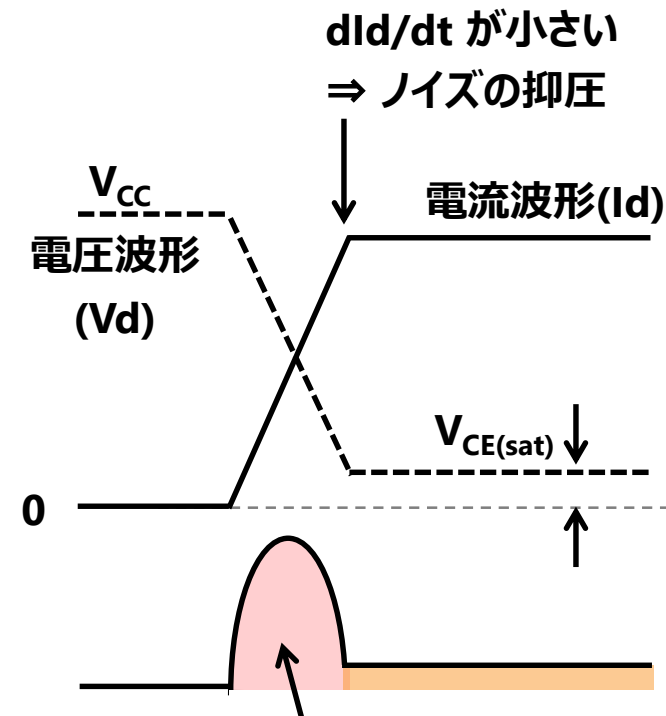
パワー素子のスイッチングに関するトレードオフ



R_G が小さい時(t_{ON} が小)



R_G が大きい時(t_{ON} が大)



トレード・オフ

スイッチング損失が小さい

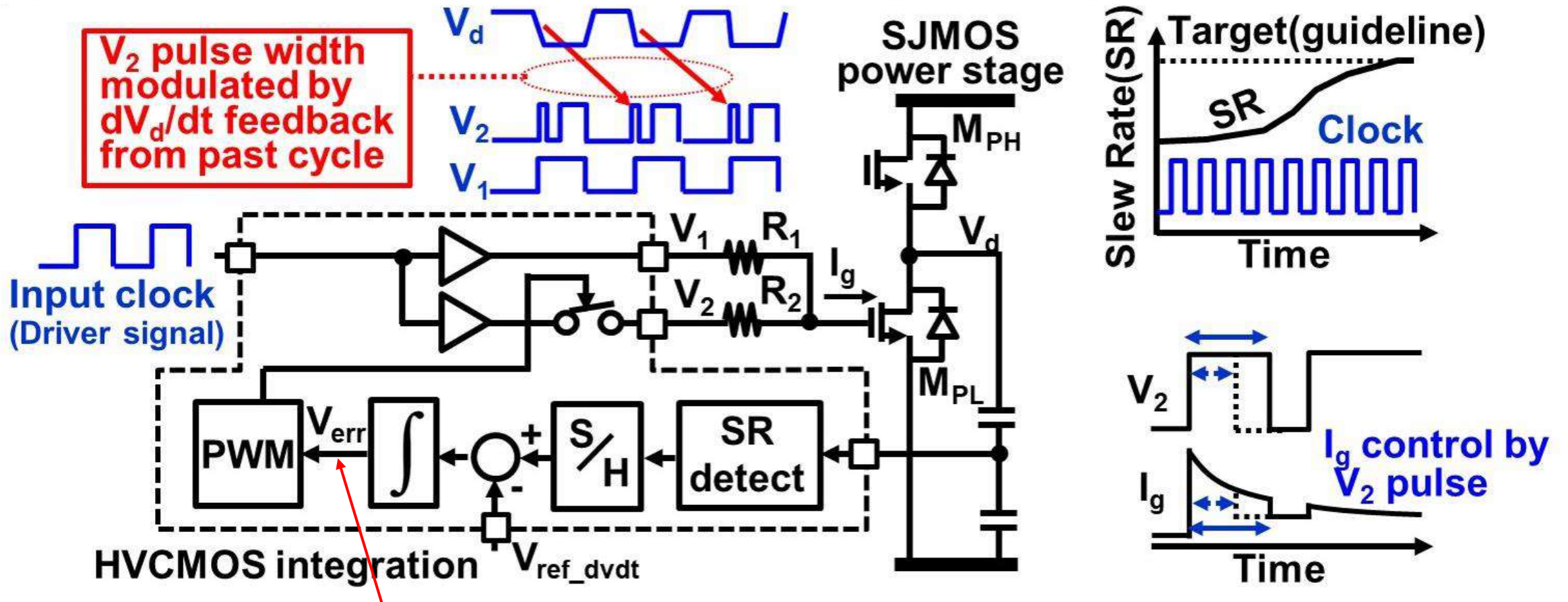
スイッチング損失が大きい

負荷電流、温度、パワー素子の V_{th} により dV/dt が変化するため、ノイズ制約を満たすために大きめな R_G が選択される。

**スイッチング時間(≒ノイズ)とスイッチング損失はトレード・オフの関係
⇒ 上記を克服する技術として、スルーレート制御を紹介する。**

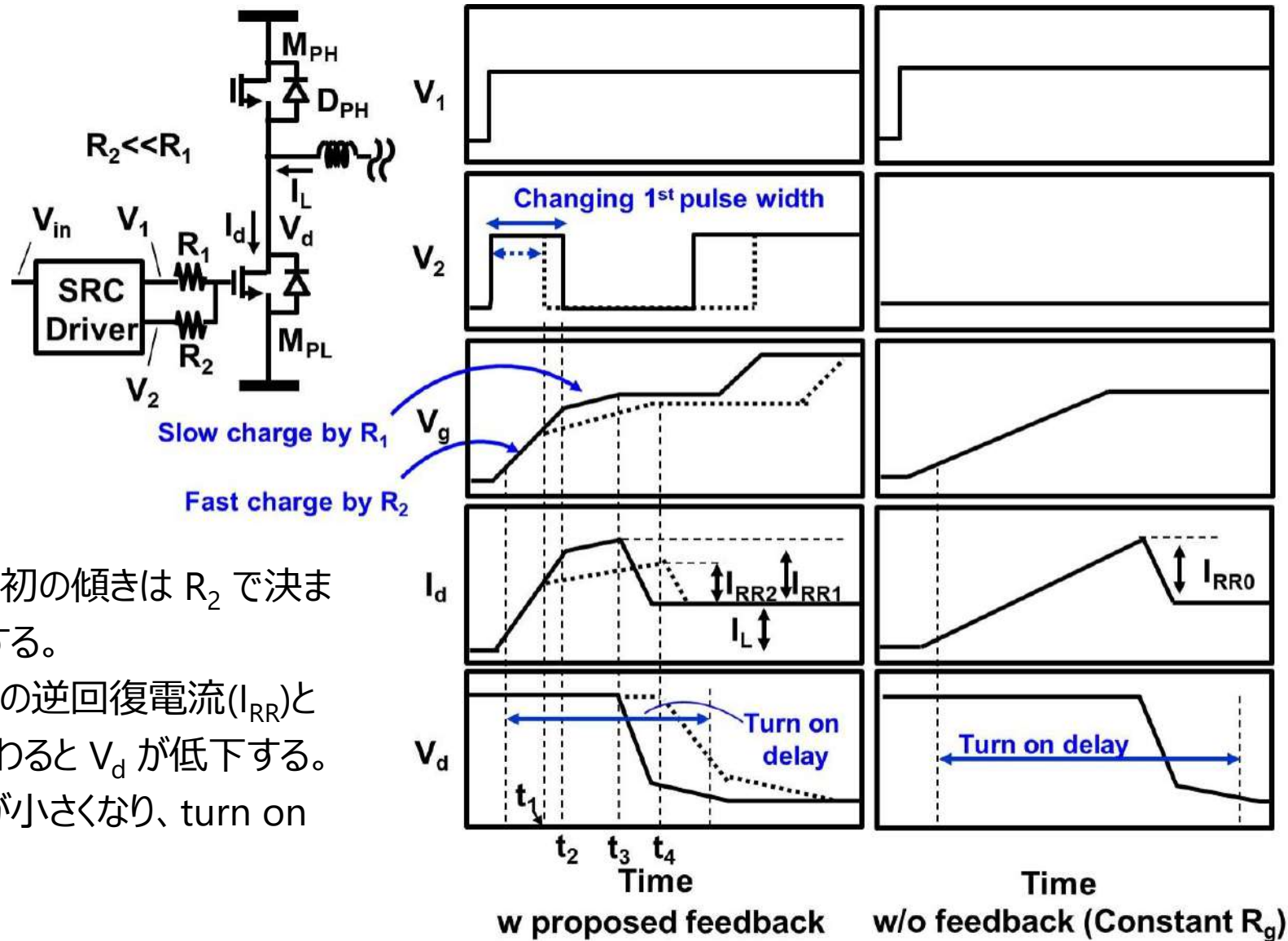
提案するスルーレート制御

$R_2(R_1 \gg R_2)$ はスイッチングサイクルの最初と後半でアクティブになり、ゲートの充電を最適化する。



前サイクルの dV/dt を検出して、次サイクルの dV/dt を制御する。

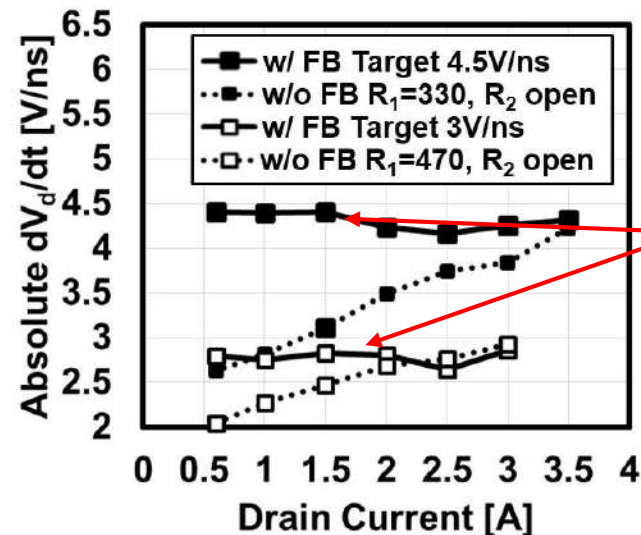
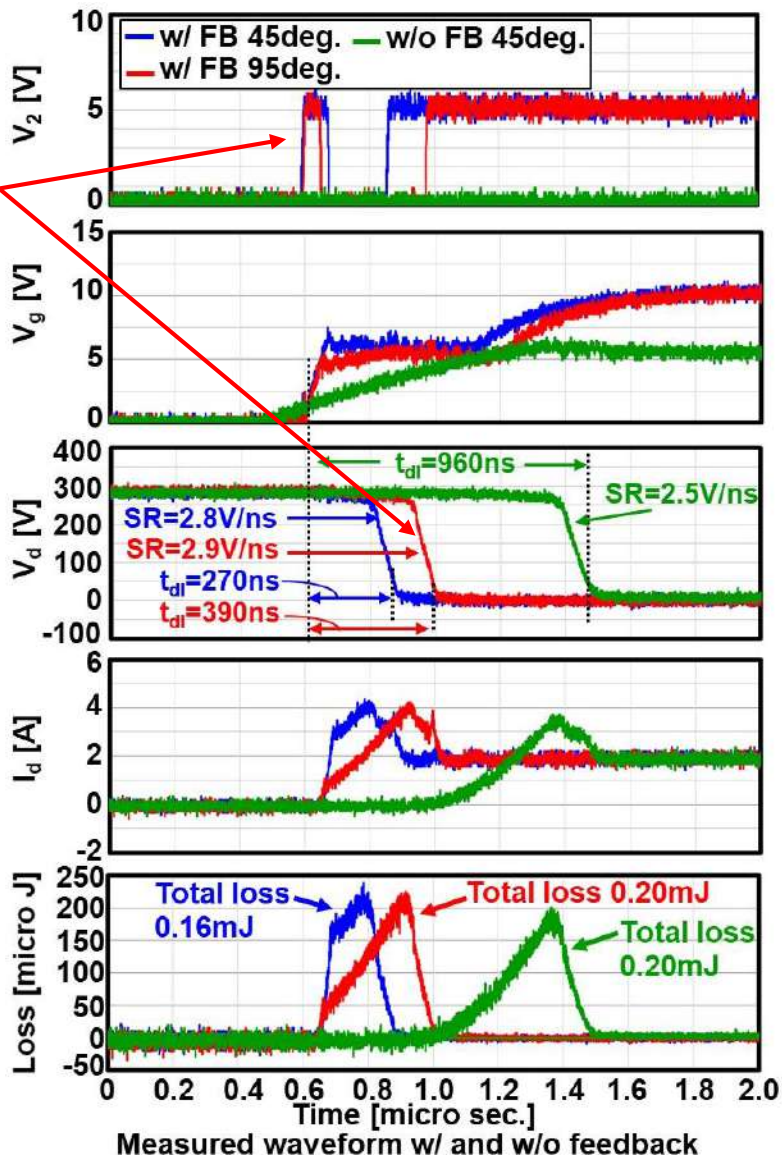
スルーレート制御時の動作波形



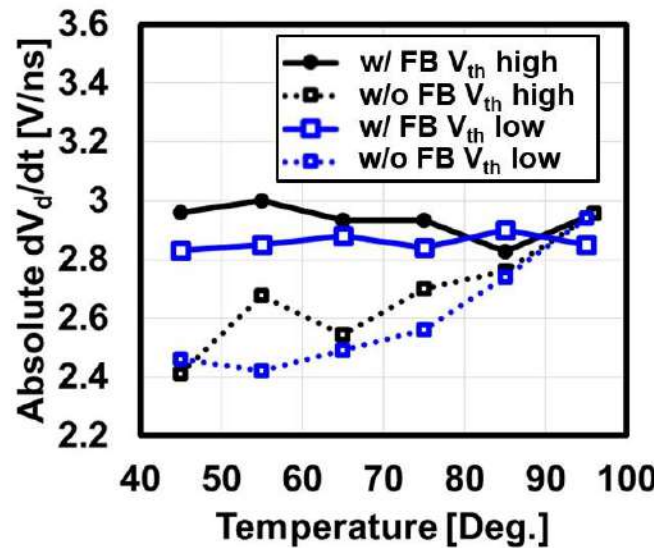
スイッチングサイクルにおける I_d の最初の傾きは R_2 で決まる。 $t=t_2$ で R_1 のみの遷移に移行する。
 $t_2 \sim t_3$ では、MPHの寄生ダイオードの逆回復電流(I_{RR})と負荷電流(I_L)が流れ、 I_{RR} が流れ終わると V_d が低下する。
 V_2 のパルス幅が狭くなると、 dV/dt が小さくなり、turn on 時間も長くなる。

スルーレート制御時の過渡応答波形

V₂幅はdV/dtが一定になるように制御される。

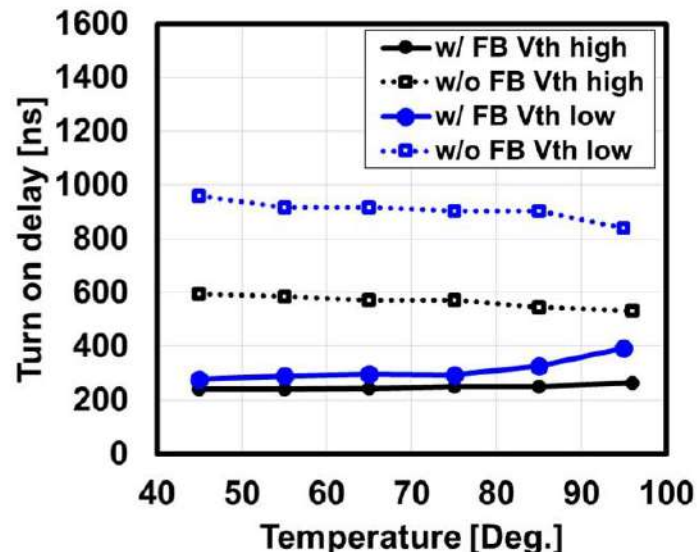
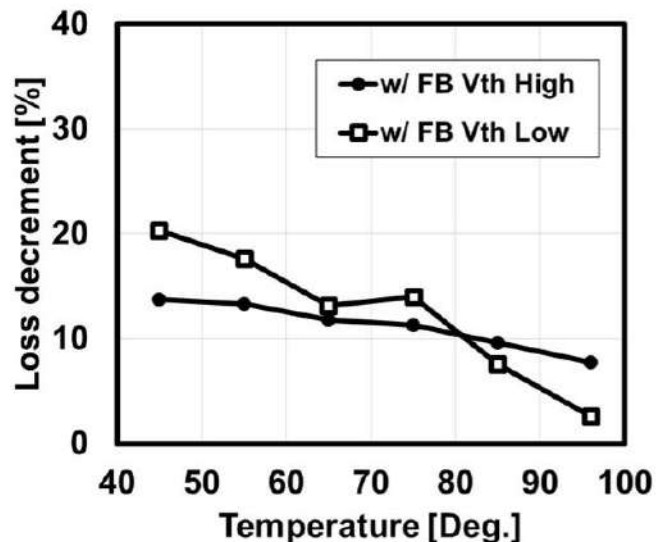
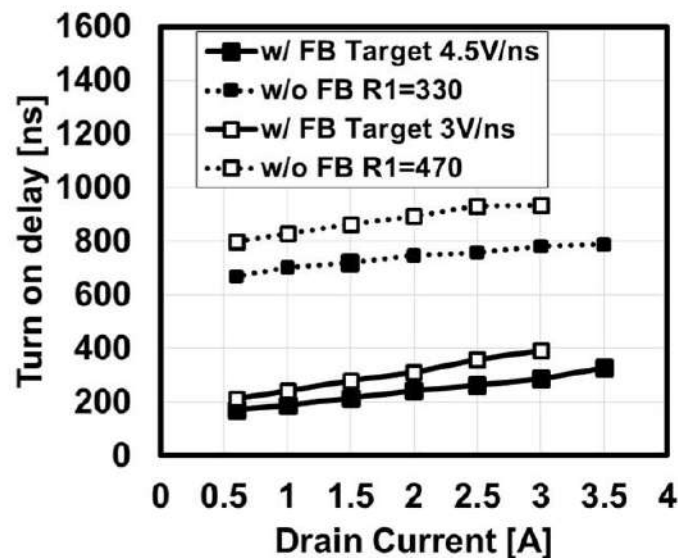
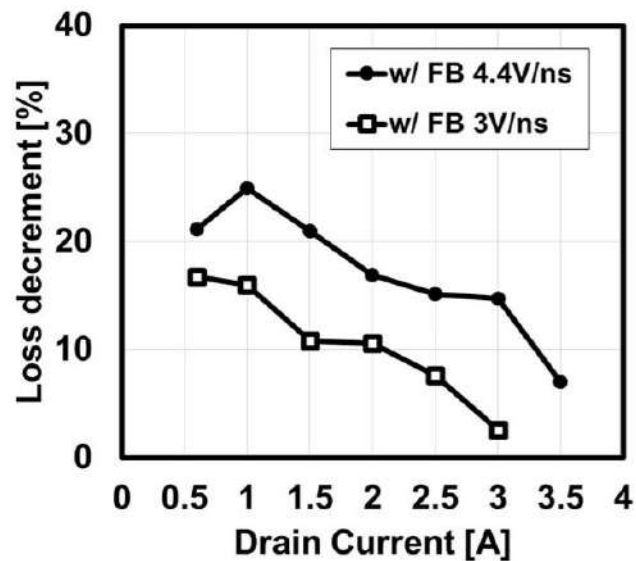


I_dを変えても dV/dtを一定に保っている。(約1/5~1/3)



出典：S. Kawai et al., "A 4.5V/ns Active Slew-Rate-Controlling Gate Driver with Robust Discrete-Time Feedback Technique for 600V Superjunction MOSFETs", ISSCC Dig. Tech. Papers, pp. 252-254, Feb. 2019.

スルーレート制御の効果

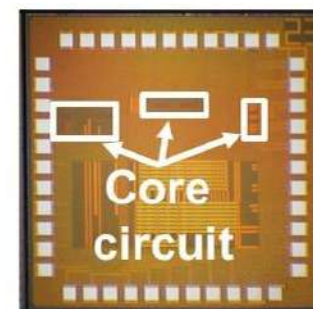


$$\text{Loss decrement} = (1 - E_W / E_{W0}) \times 100$$

E_W : SRC時のスイッチング損失

E_{W0} : SRCを行わない時のスイッチング損失

スイッチング損失の削減とturn on時間の短縮を両立させる事ができる



Chip micrograph

Chip size
2.87mm x 2.87mm

18V 0.13 μ m HV-CMOS technology
でチップを試作して実証。

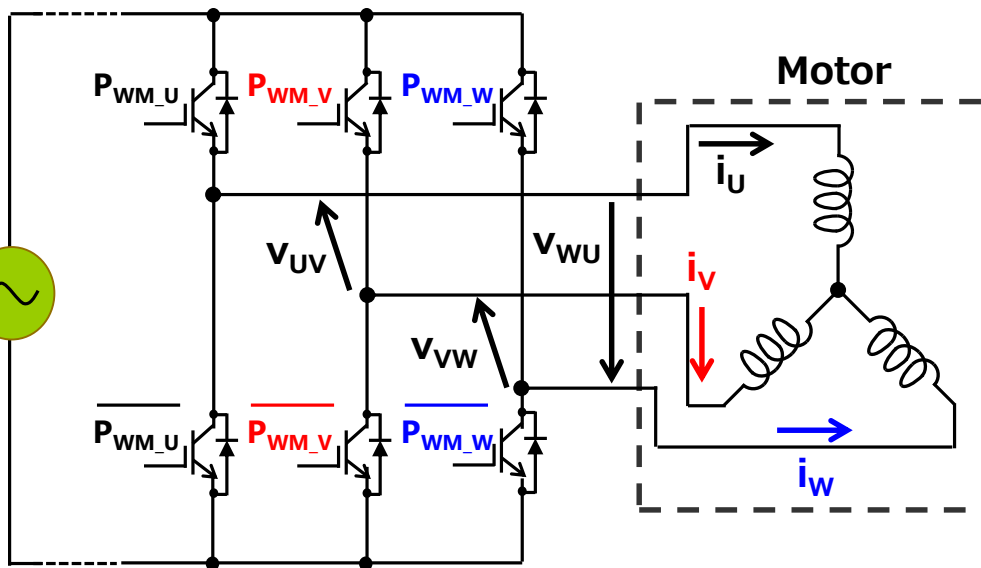
絶縁型スマートゲートドライバのまとめ

- (1) パワー素子を効率的に駆動するために、ゲートドライブ回路が用いられる。
- (2) 絶縁型ゲートドライブの場合は絶縁電源が必要(ブートストラップ回路を用いる場合が多い)
- (3) パワー素子に短絡耐量以上の短絡電流を流してはいけない。
デッドタイムを設けて制御する。
- (4) パワー素子の短絡電流を検出する方法として、 $V_{CE(SAT)}$ を用いる方法を紹介した。
- (5) セルフ・ターンオンによる短絡電流にも注意が必要。今回は、アクティブミラークランプ方式を紹介した。
- (6) スイッチング損失とノイズを最小化するスルーレート制御技術がある。

03

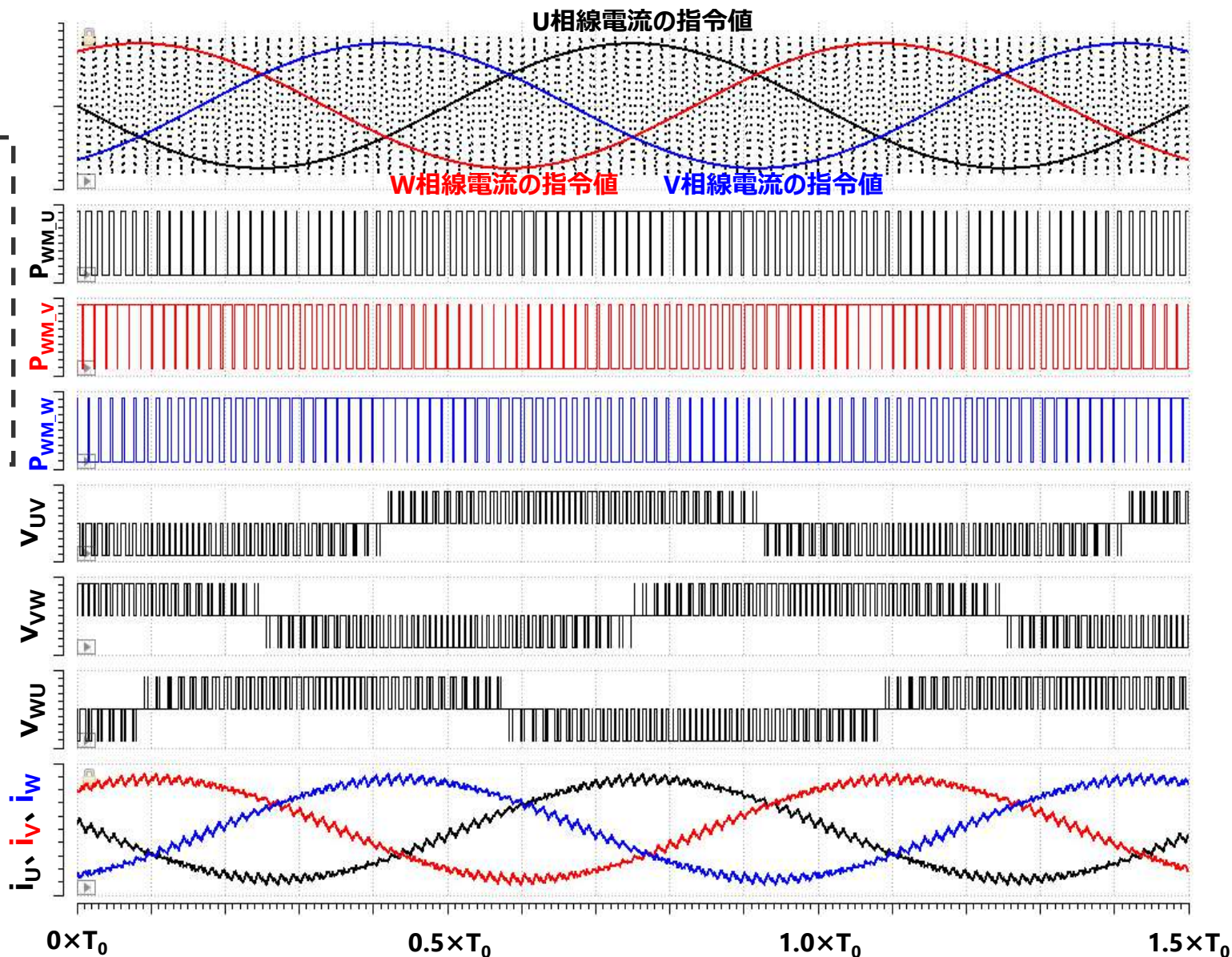
アイソレーションアンプ(絶縁型アンプ)

三相インバータ 正弦波制御(ユニポーラ型PWM制御)

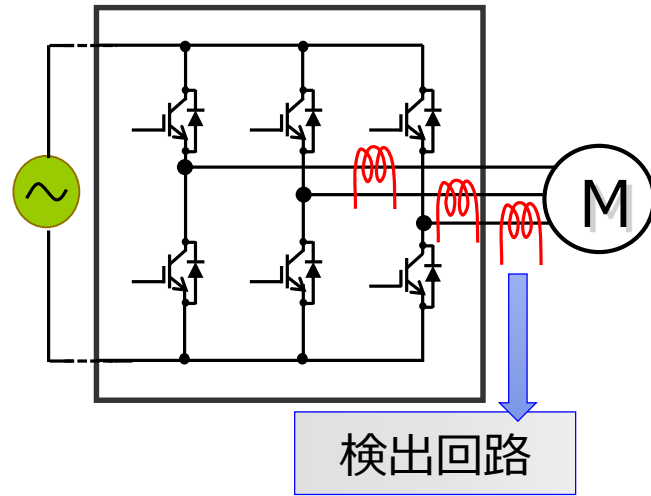


産業用モータ制御では、正確・高速に制御するために、モーターの位置制御・速度制御の他に線電流を検出・制御する必要がある。

エネルギー消費効率の優れた三相誘導電動機の場合、U相・V相・W相の線電流を検出して、コントローラにフィードバックさせている。

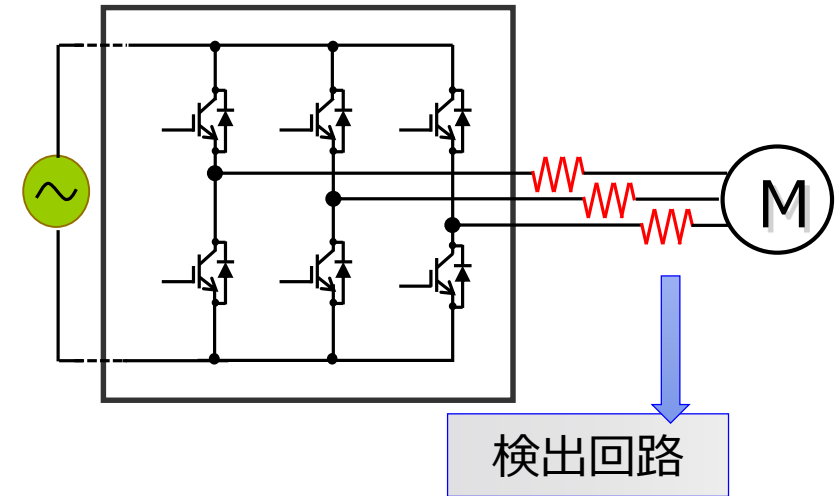


モーター電流検出の方法



a) カレントトランス

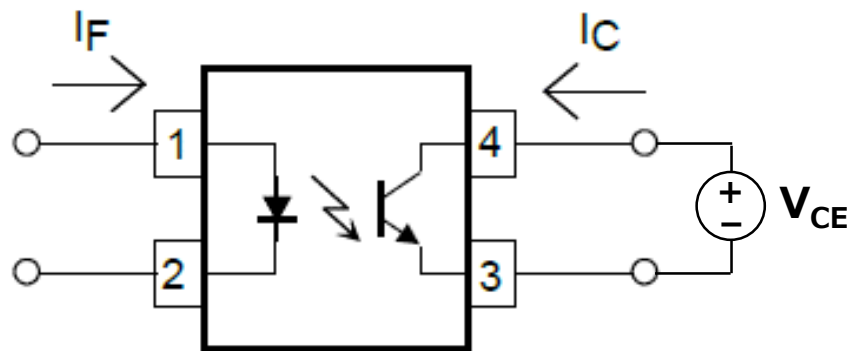
- トランスにより電流を検出
- 安定までのスピードが遅い、誤差が大きい、サイズが大きい
- CTの代わりにホール素子を用いると応答特性が改善
ただし、温度特性、直線性が不十分



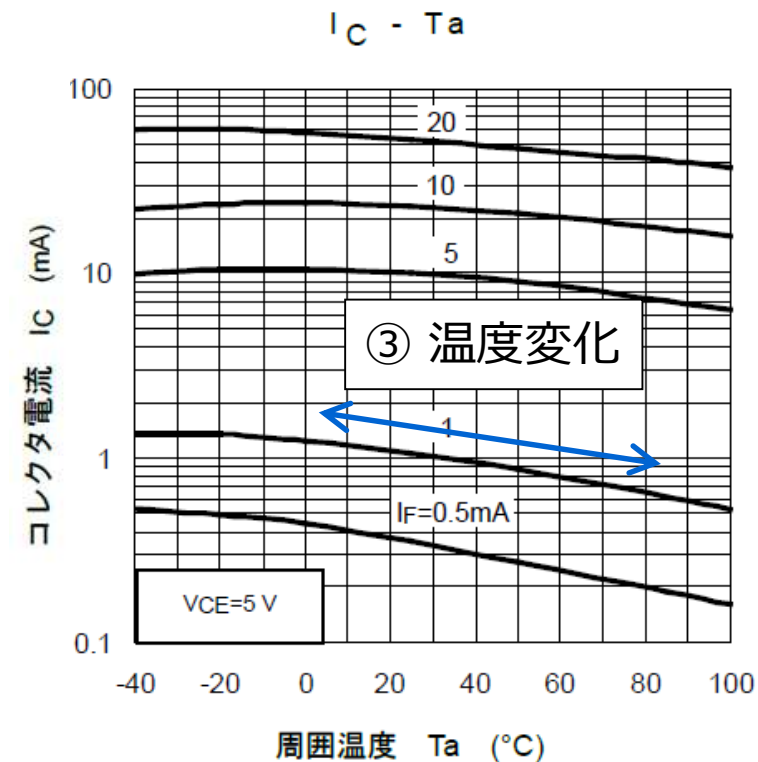
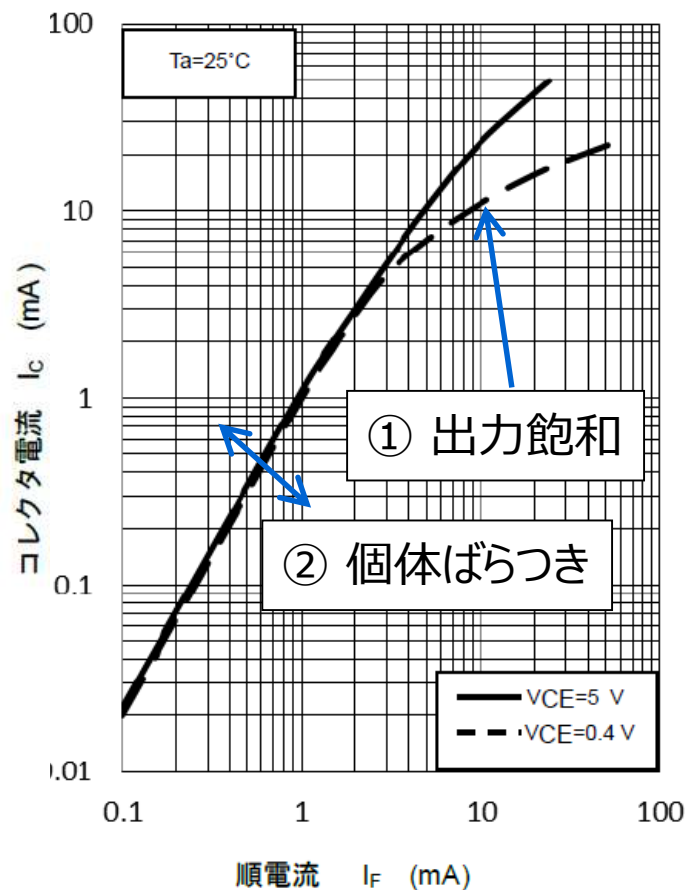
b) 電流センス抵抗

- 電流検出用の金属抵抗で電流をモニタ
- 絶縁が必要
- 応答特性、温度特性、線形性が良い
- センス抵抗による発熱に注意

フォトカプラでアナログ信号を伝送できるか？



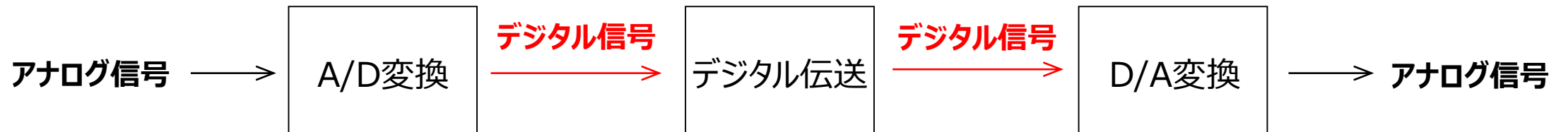
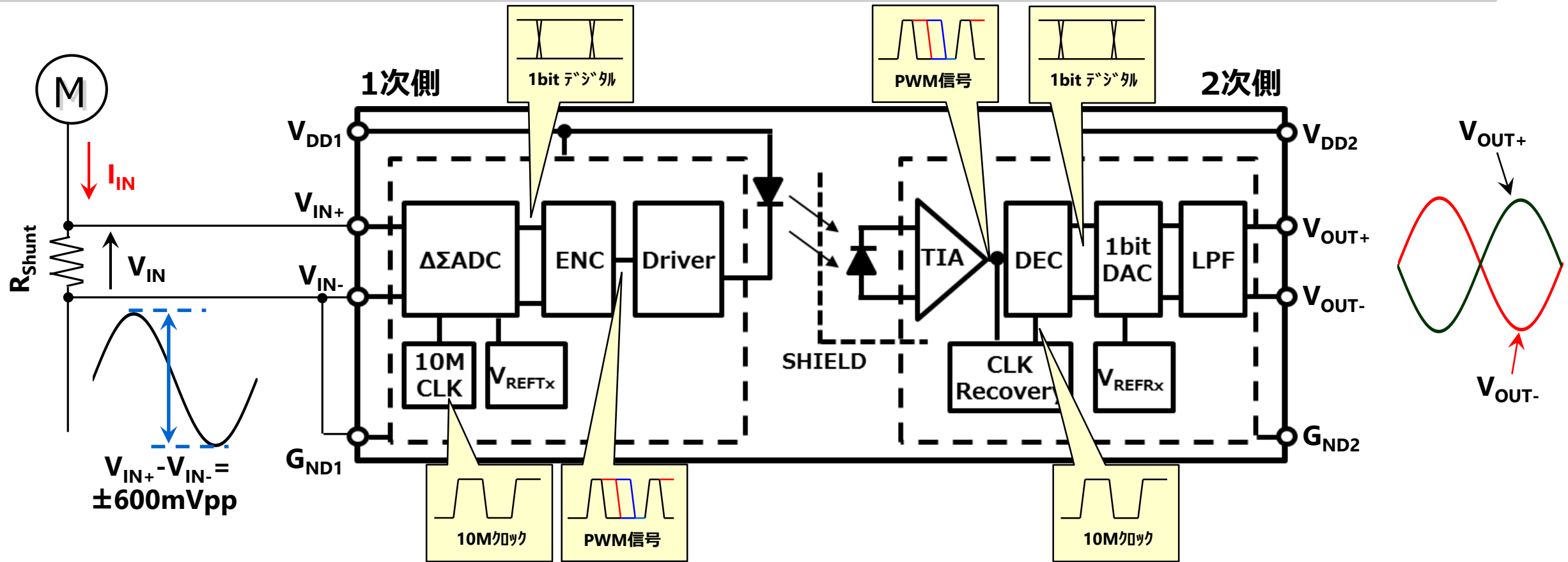
- ① 線形性が悪い
⇒ アナログ信号に歪みが発生
- ② I_C/I_F の個体ばらつきが大きい
⇒ LEDの発光強度・組立精度
- ③ 温度特性が大きい
⇒ 高温になるとLEDの発光効率が低下



TLP785 Datasheet (2019-03-11) より抜粋

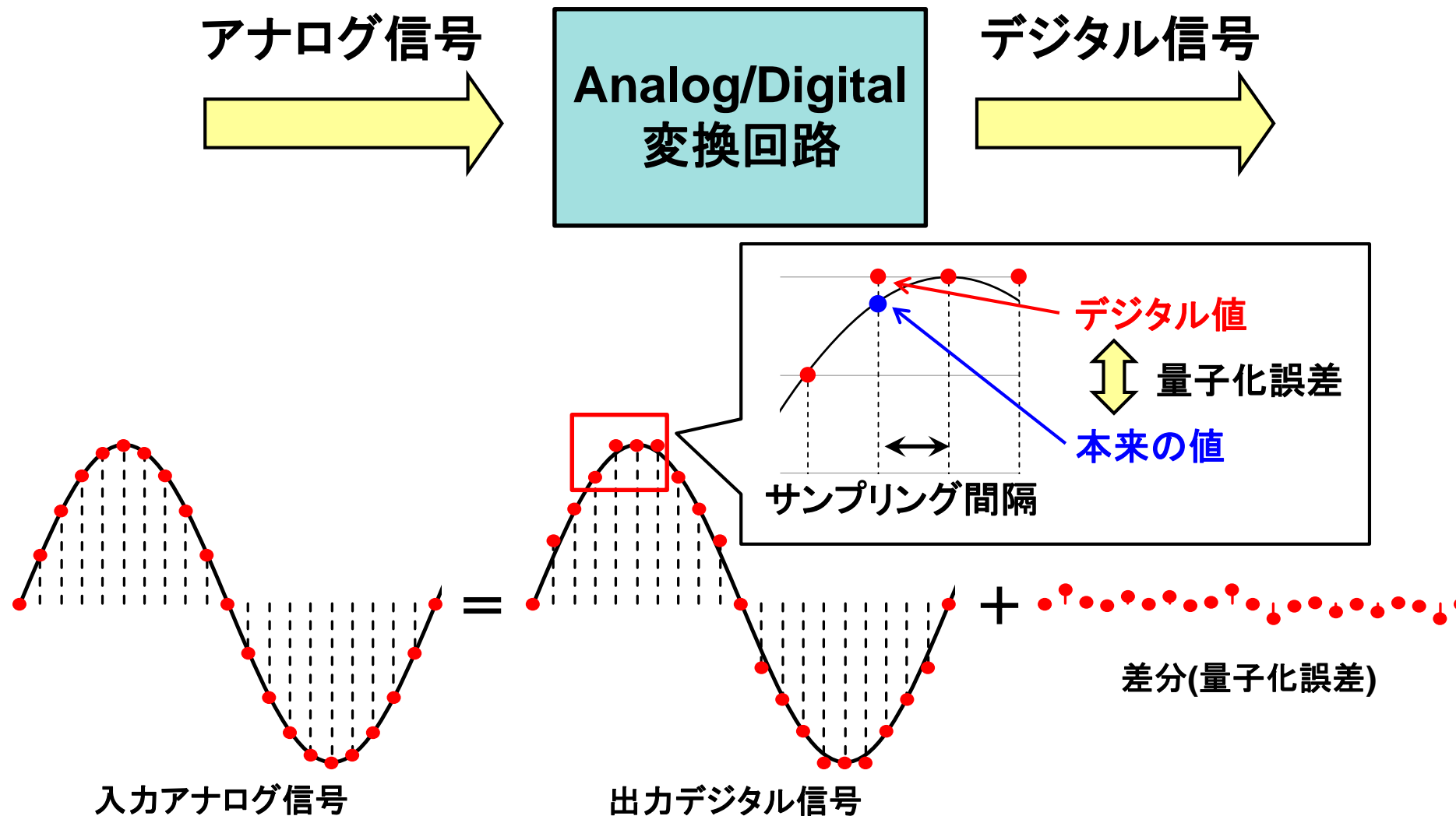
歪み、個体ばらつき、温度特性が大きいので、フォトカプラで高精度アナログ信号伝送をする事ができない。

アイソレーションアンプの基本構造



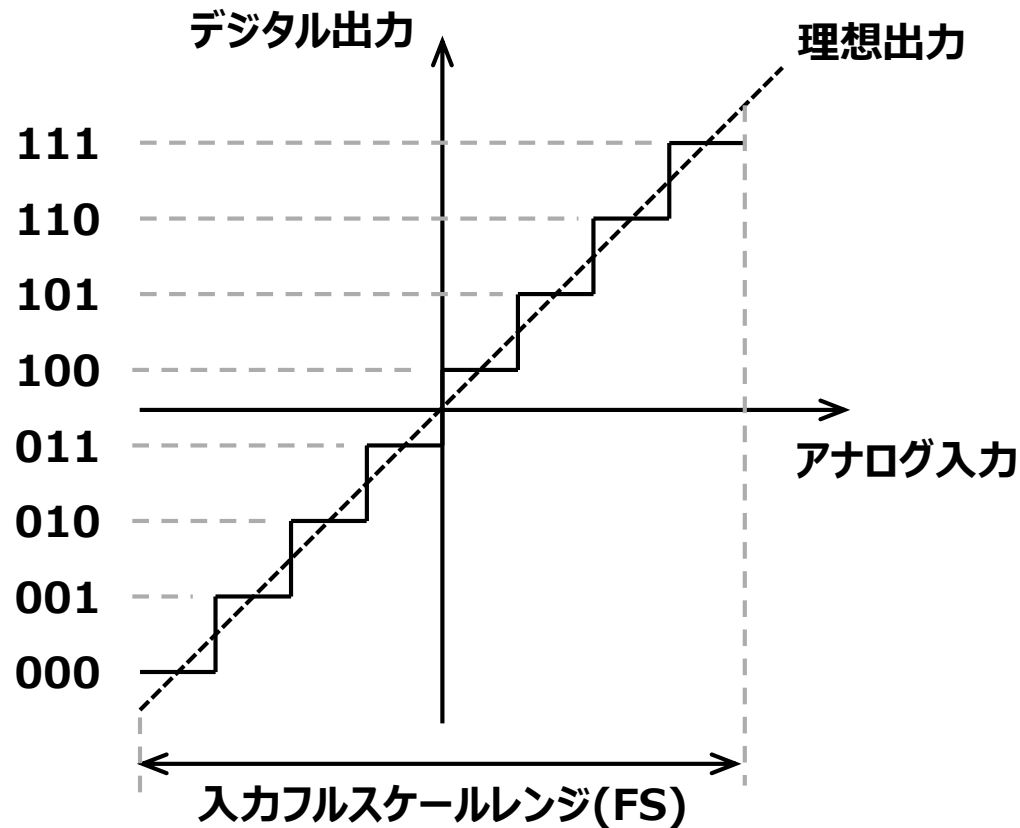
デジタル伝送する事で、絶縁回路の非線形性、ばらつき、温度特性に影響しない
高精度なアナログ情報伝送が可能

Analog to Digital Converterとは？

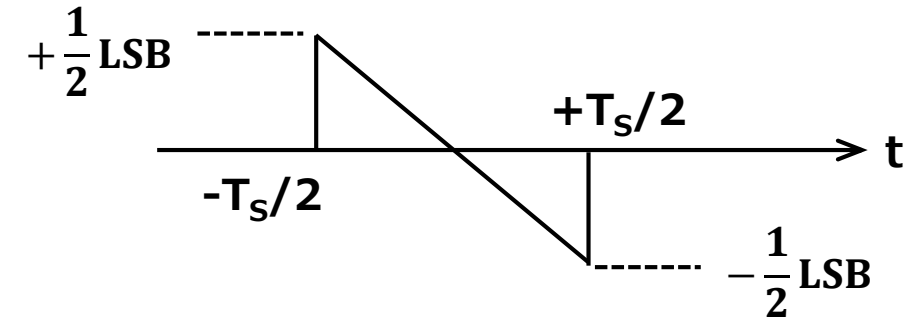


$$\text{SNR} = 10 \times \log_{10} \frac{\text{信号電力}}{\text{雑音電力}}$$

量子化誤差



量子化誤差を時間の関数で表して、実効値を求める。



$$E_q = \sqrt{\frac{1}{T_s} \int_{-T_s/2}^{T_s/2} \left(-\frac{\text{LSB}}{T_s} \cdot t \right)^2 dt} = \frac{\text{LSB}}{\sqrt{12}}$$

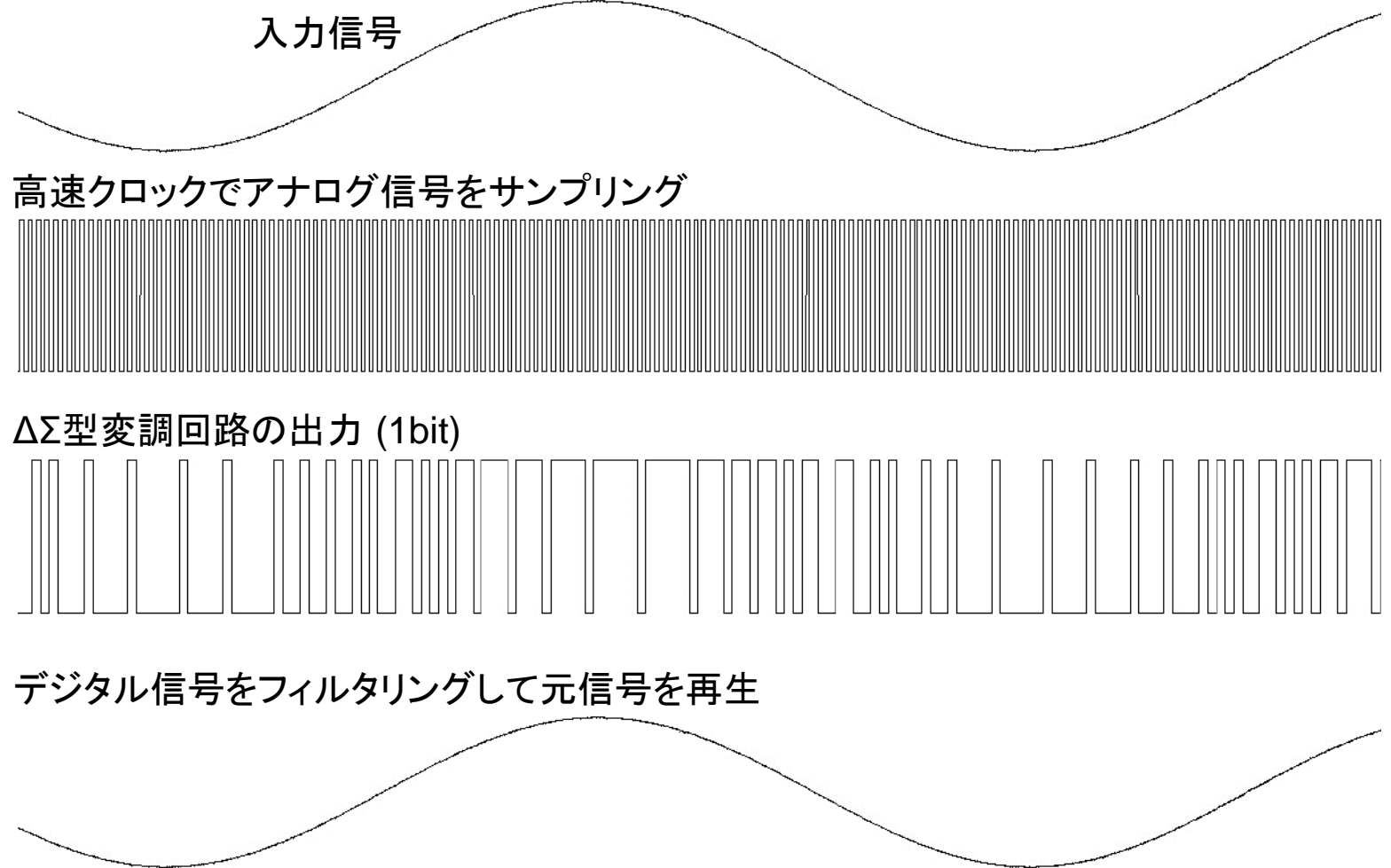
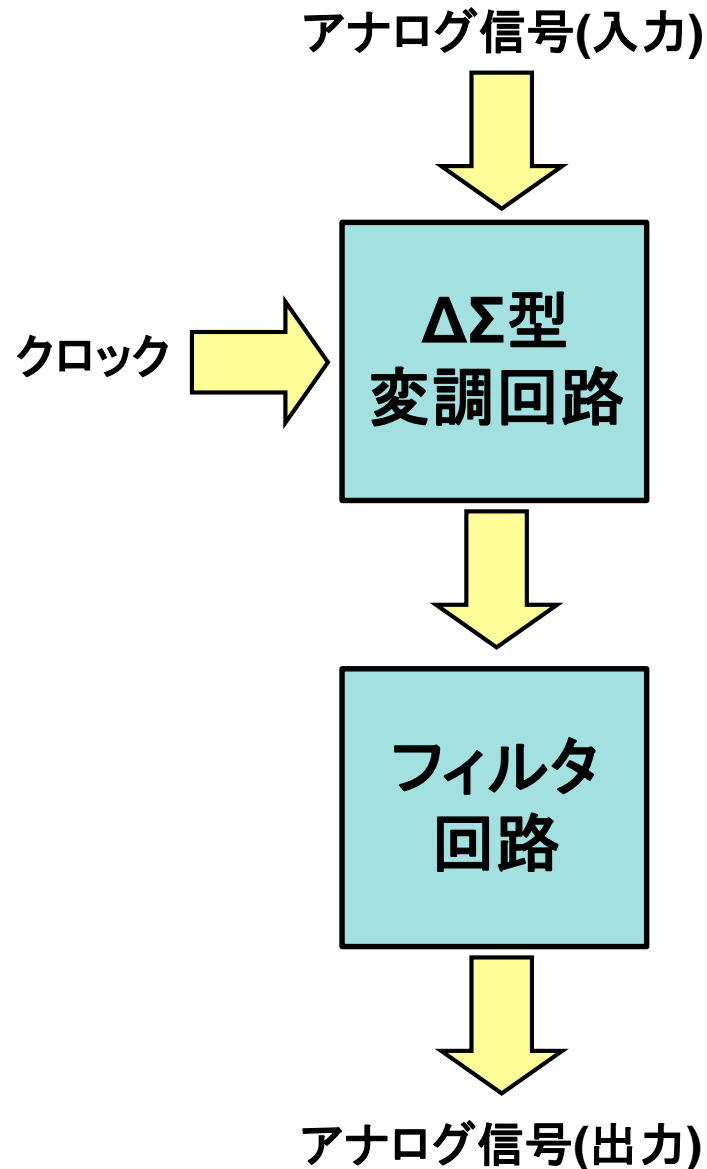
LSB を入力換算すると、 $\text{LSB} = \frac{\text{FS}}{2^N}$ であるので下記となる。

$$E_q = \frac{\text{FS}}{2^N \sqrt{12}}$$

すなわち、A/D変換回路の出力ビット数(N)が大きいと、量子化誤差は小さくなる。

また、A/D変換回路の出力は「理想出力に量子化誤差が加算」されていると考える事ができる。

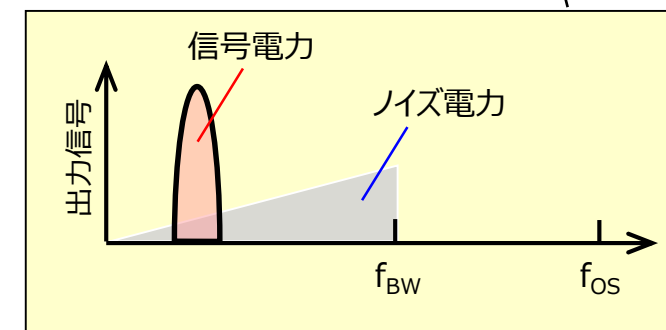
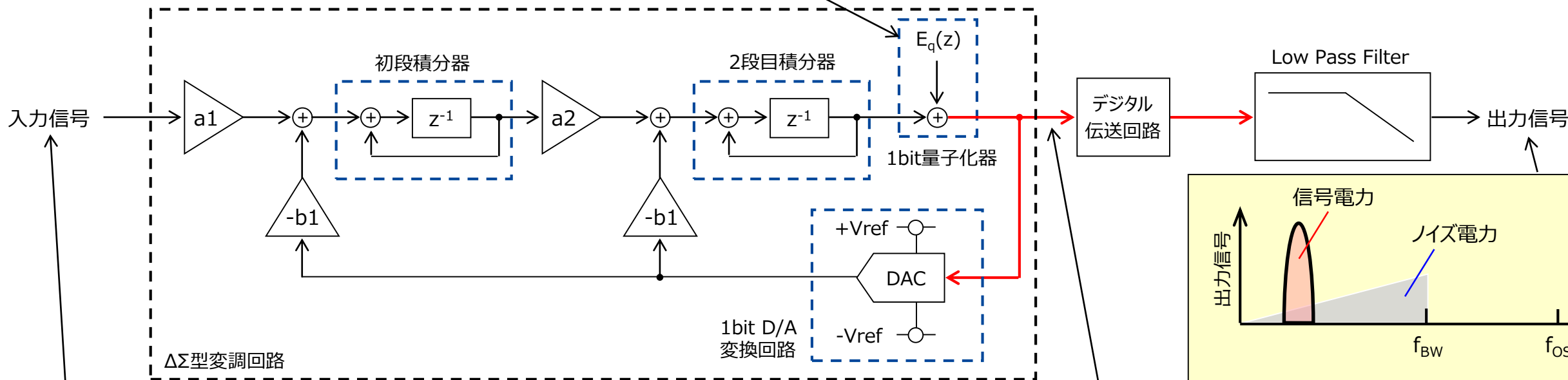
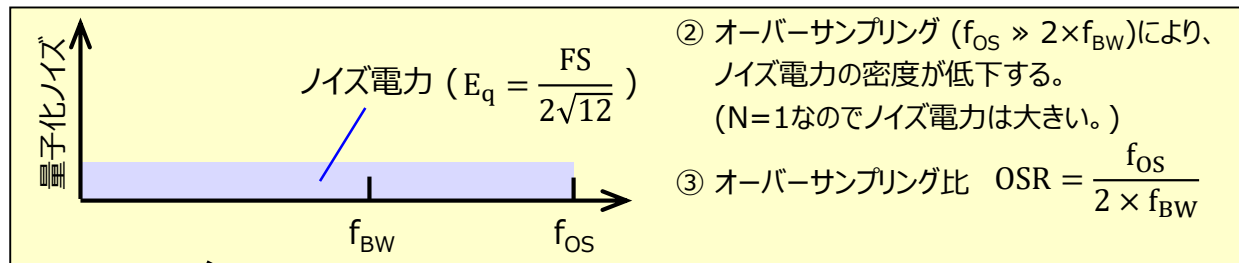
$\Delta\Sigma$ 型A/D変調回路



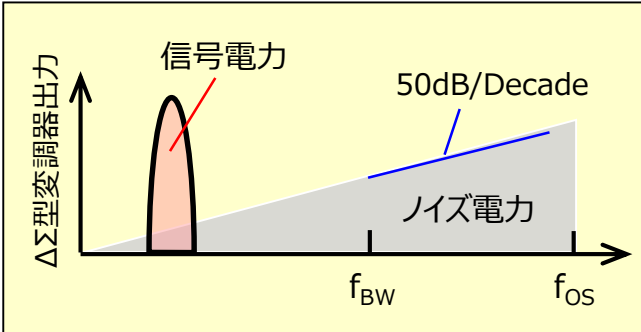
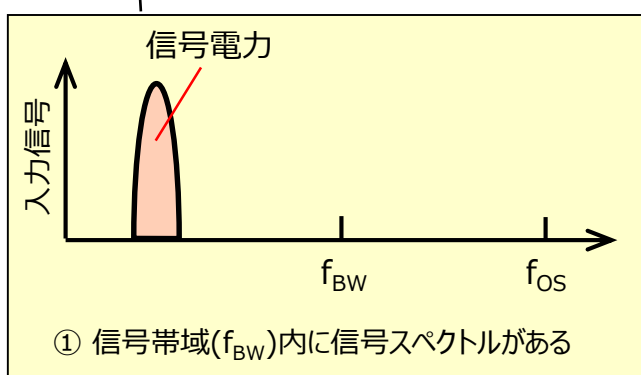
$\Delta\Sigma$ 型A/D変換回路は、1bit変換器を「高速」に動かす事で量子化誤差を低減
⇒ 微細CMOSに適した技術

ΔΣ型A/D変換回路

ΔΣ型A/D変換回路とは、
「低bit量子化器」で高精度A/D変換を行う方法



⑥ 信号帯域外の電力をLPFで除去すると、帯域内ノイズは極めて小さくなる。
(2次のΔΣ型変調回路の場合、遮断領域が50dB/Decade以上の減衰率が必要。)
⇒ 高精度な A/D変換が可能



④ ΔΣ型変調回路の伝達関数によりノイズ電力スペクトルの形が変わる。(ノイズシェーピング)
2次のΔΣ型変調回路の場合、ノイズ電力の形は50dB/Decadeとなる。

⑤ 信号電力の形は不変
概念的には、 Δ (微分) $\Rightarrow \Sigma$ (積分)なので不変

離散時間系における積分

離散時間信号の積分は、

$$V_{out}(t) = V_{in}(t) + V_{in}(t - T) + V_{in}(t - 2T) + \dots$$

となる。上式をラプラス変換して、時間移動の法則を使うと下記のようになる。

$$V_{out}(s) = V_{in}(0) + V_{in}(T)e^{-Ts} + V_{in}(2T)e^{-2Ts} + \dots$$

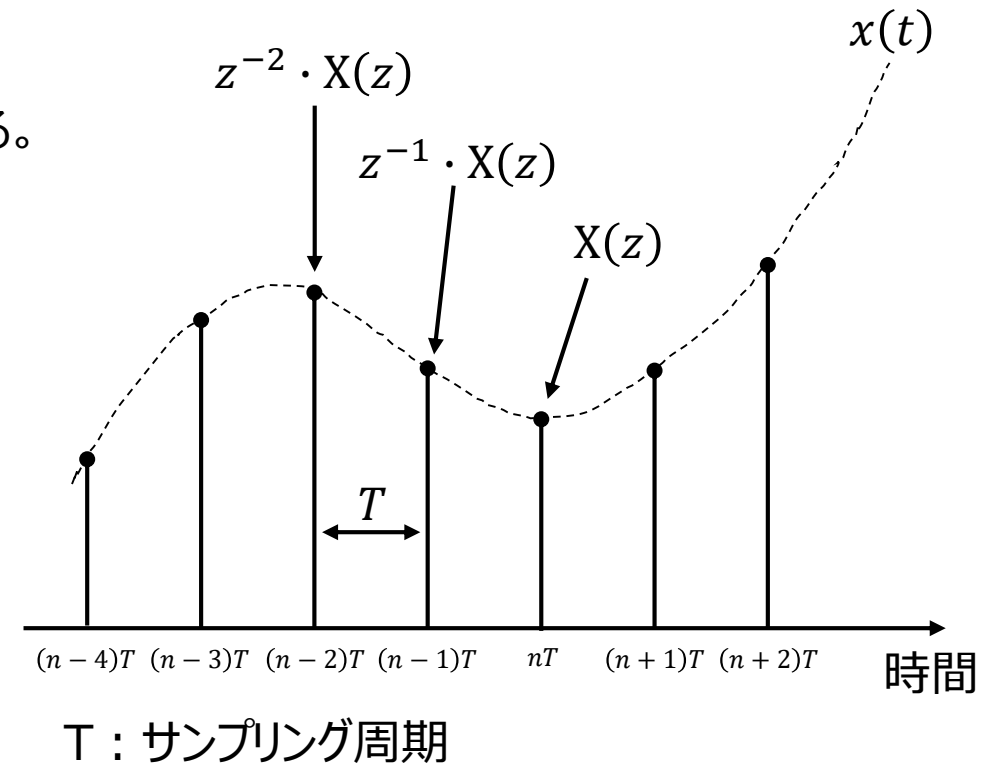
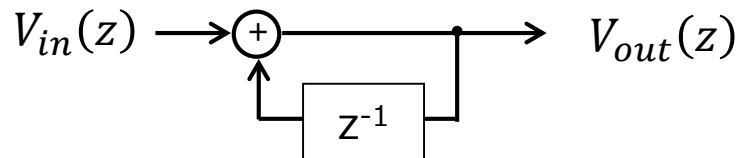
ここで、 $z = e^{sT}$ とすると、下記のように書くことができる(z 変換)。

$$\begin{aligned} V_{out}(z) &= V_{in}(z) + z^{-1}V_{in}(T) + z^{-2}V_{in}(2T) + \dots \\ &= \frac{1}{1 - z^{-1}} V_{in}(z) \end{aligned}$$

となる。この式を変形すると、下記のようになる。

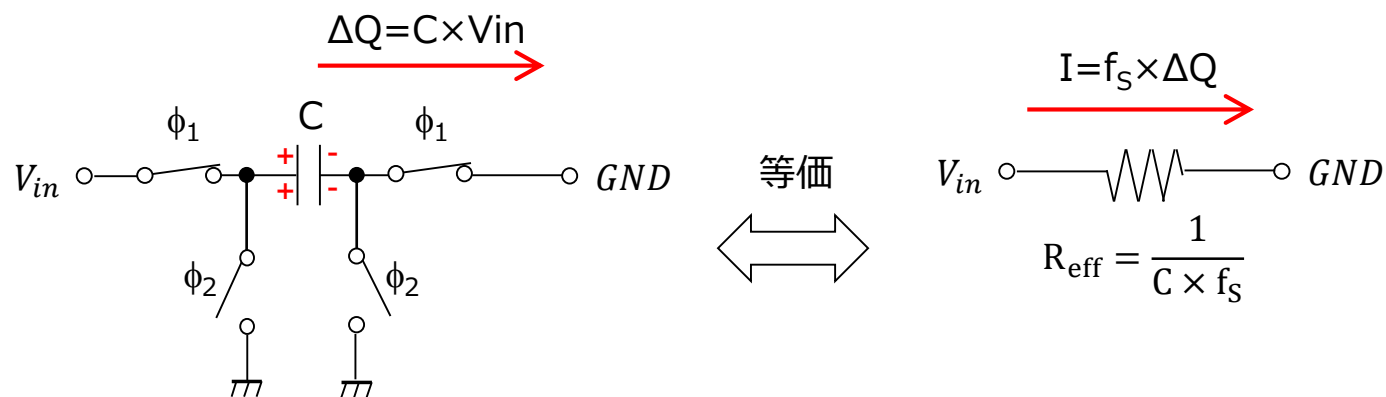
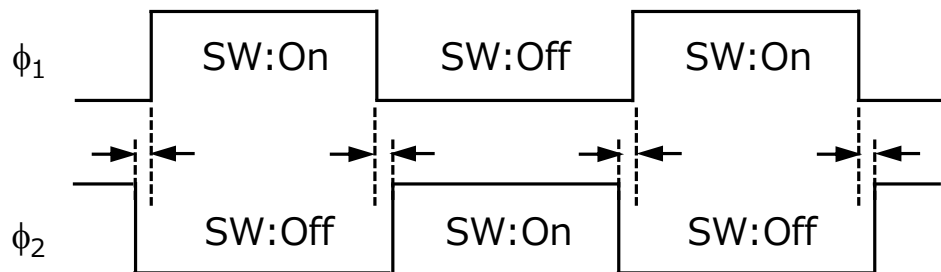
$$V_{out}(z) = V_{in}(z) + z^{-1}V_{out}(z)$$

シグナルフローで書くと下記のようになる。下記を実現する回路構成を考える。



スイッチトキャパシタ回路

ノンオーバーラップクロックでスイッチを動作
(2つスイッチが同時オンにならない)



1クロック動作で $\Delta Q (= C \times V_{in})$ の電荷を充放電する。
クロック周波数を f_s とすると、 $f_s \times \Delta Q$ の電荷が充放電される。
⇒ 平均的に見ると、電流が流れているのと等価。

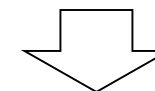
スイッチトキャパシタ回路の利点

- ✓ 大きな抵抗を実現できる
- ✓ 時定数のばらつきが小さい

$$\tau = C_0 R_{\text{eff}} = \frac{C_0}{C \times f_s}$$

スイッチトキャパシタ回路の欠点

- ✓ 連続時間信号を扱えない(サンプリングされる)
- ✓ 信号に対して高いクロック周波数



$\Delta\Sigma$ 型変調回路では、スイッチトキャパシタ回路の欠点は支障にならないので、積分器としてスイッチトキャパシタ回路が用いられる。

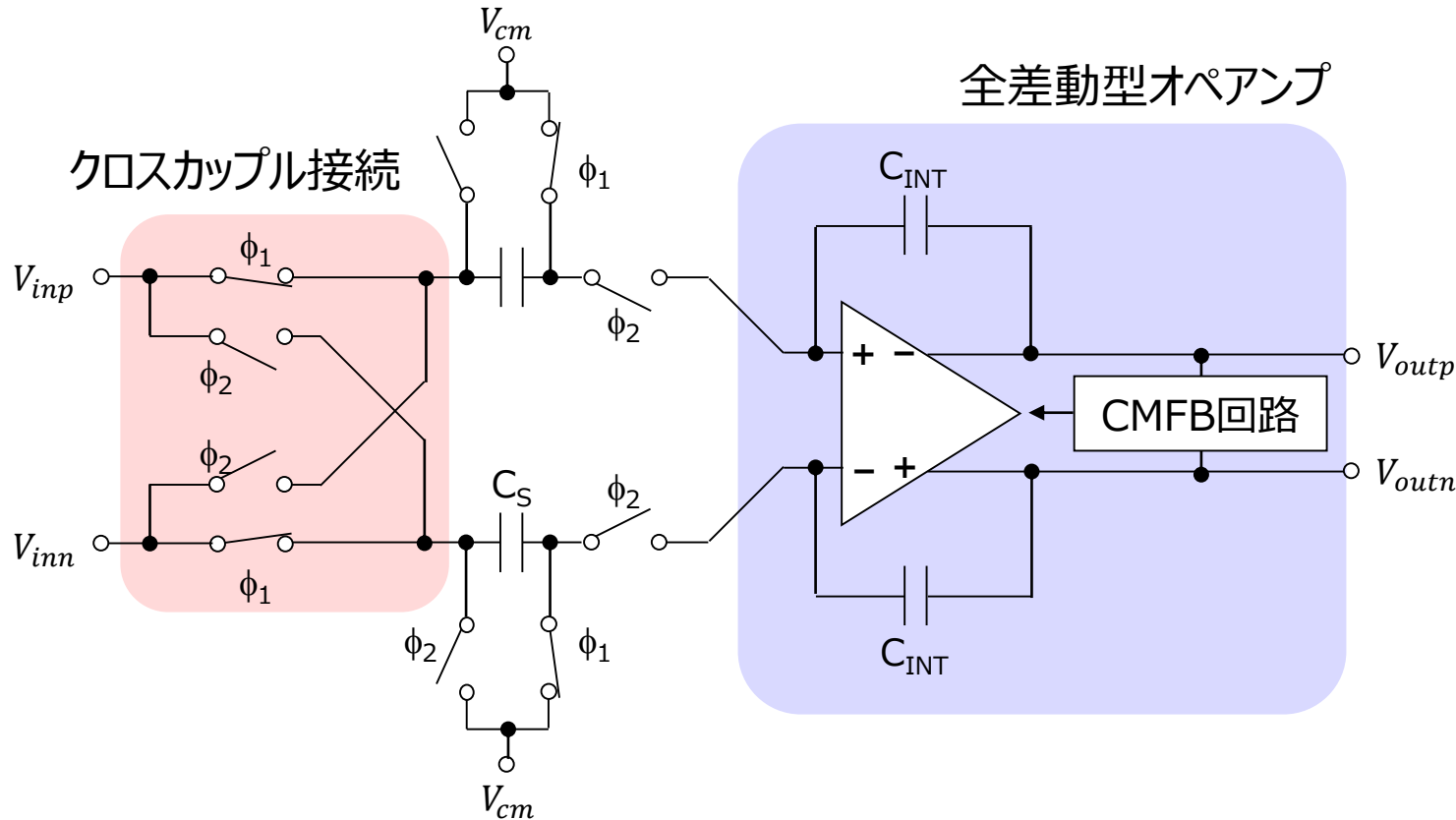
スイッチトキャパシタ積分器

オペアンプと容量を用いて時間分散信号の積分器を実現

	無遅延逆相型	遅延正相型
<p>ϕ_1がclose ϕ_2がopen (Phase1)</p>	<p>C_Sに電荷を充電$\Rightarrow C_{INT}$に転送</p> <p>$\Delta Q = C_S \times V_{in}$</p>	<p>C_Sに電荷を充電</p>
<p>ϕ_1がopen ϕ_2がclose (Phase2)</p>	<p>C_Sの電荷を放電</p>	<p>C_Sの電荷を放電$\Rightarrow C_{INT}$に転送</p> <p>$\Delta Q = -C_S \times V_{in}$</p>
<p>伝達関数</p>	<p>電荷保存則より、$-C_S \cdot V_{in} + C_{INT} \cdot V_{out} \cdot z^{-1} = C_{INT} \cdot V_{out}$</p> $\frac{V_{out}}{V_{in}} = -\frac{C_S}{C_{INT}} \cdot \frac{1}{1 - z^{-1}}$	<p>電荷保存則より、$C_{INT} \cdot V_{out} = C_S \cdot V_{in} \cdot z^{-1} + C_{INT} \cdot V_{out} \cdot z^{-1}$</p> $\frac{V_{out}}{V_{in}} = \frac{C_S}{C_{INT}} \cdot \frac{z^{-1}}{1 - z^{-1}}$

全差動型スイッチトキャパシタ積分器

実際には、全差動型スイッチトキャパシタ積分器が用いられる
(差動入力・差動出力)



伝達関数
$$\frac{V_{out}}{V_{in}} = \frac{V_{outp} - V_{outn}}{V_{inp} - V_{inn}} = 2 \cdot \frac{C_S}{C_{INT}} \cdot \frac{z^{-1}}{1 - z^{-1}}$$

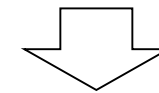
係数「2」はクロスカップル接続の効果

全差動型オペアンプの利点

- ✓ 同相雑音に強い
- ✓ 信号振幅が2倍(S/Nが高い)

全差動型オペアンプの欠点

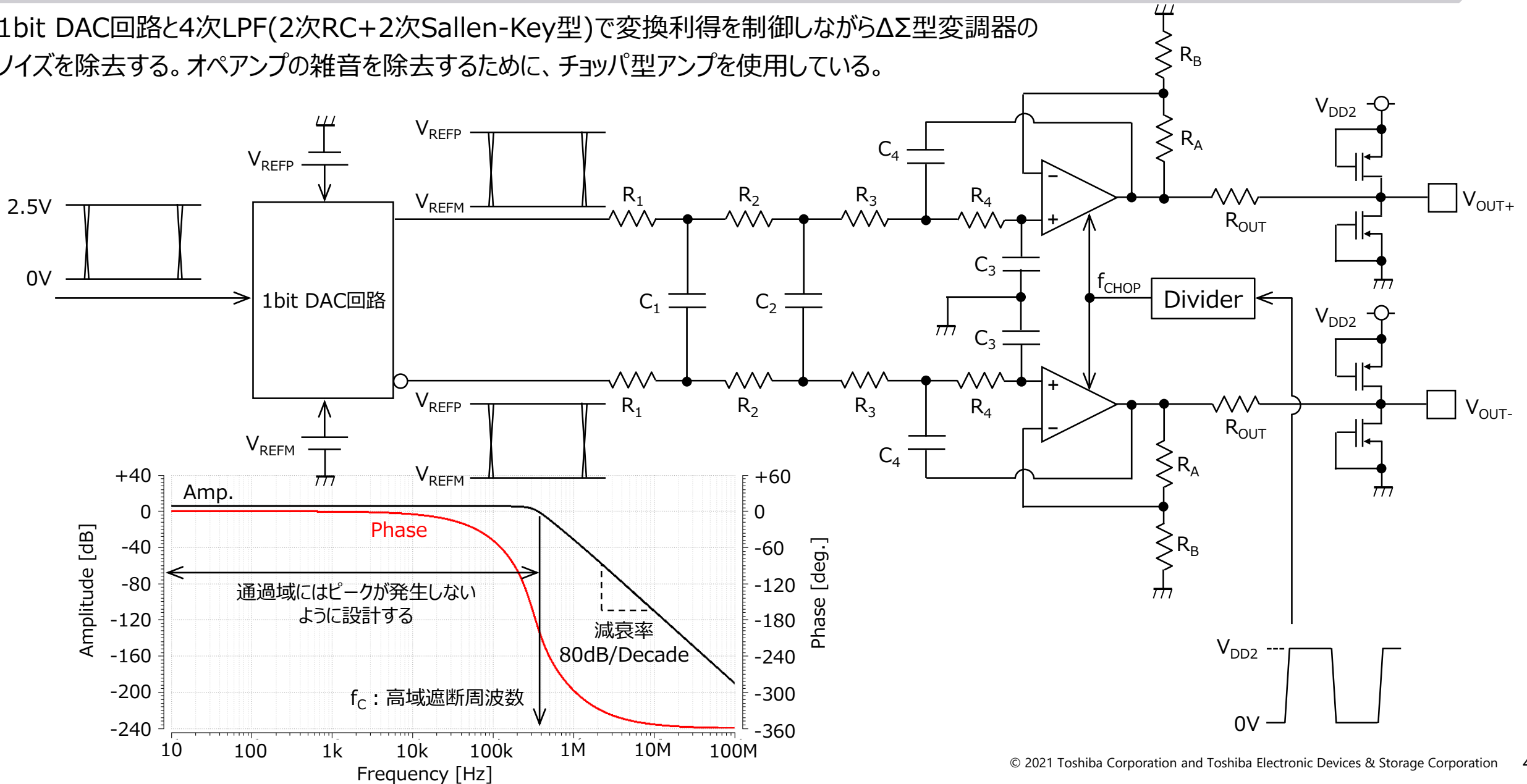
- ✓ 回路・消費電力が2倍
- ✓ コモンモードフィードバック(CMFB)回路が必要



欠点もあるが、高精度 $\Delta\Sigma$ 型変調回路を設計するためには利点の方が多い。
高精度アナログ回路では標準的に使用する。

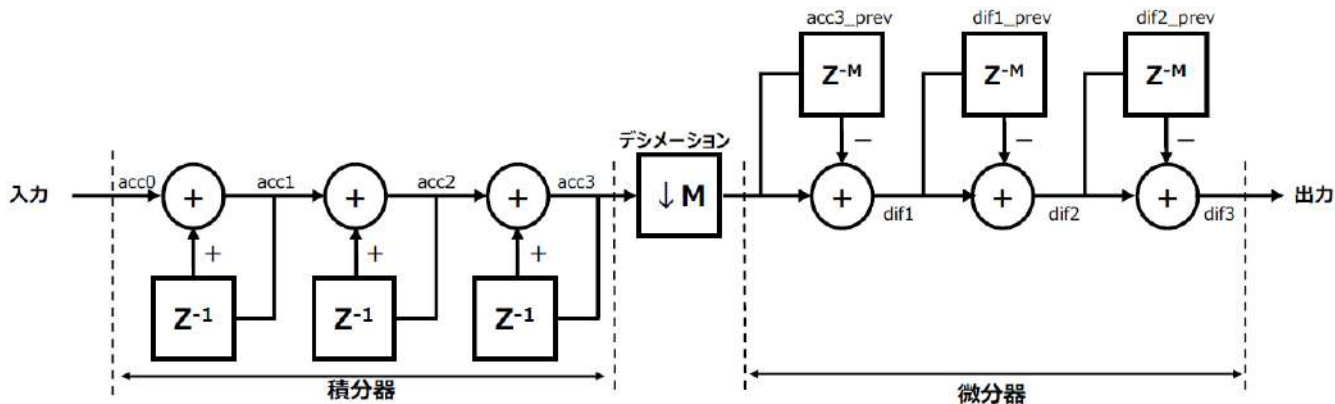
アナログ型LPFの例

1bit DAC回路と4次LPF(2次RC+2次Sallen-Key型)で変換利得を制御しながら $\Delta\Sigma$ 型変調器のノイズを除去する。オペアンプの雑音を除去するために、チョッパ型アンプを使用している。



デジタル型LPFの例

ΔΣ型変調回路の出力(デジタル)をデジタルフィルタでフィルタリングする事でA/D変換する事も可能である。
デジタルフィルタは Sincフィルタと呼ばれる移動平均フィルタが使われる例が多い。

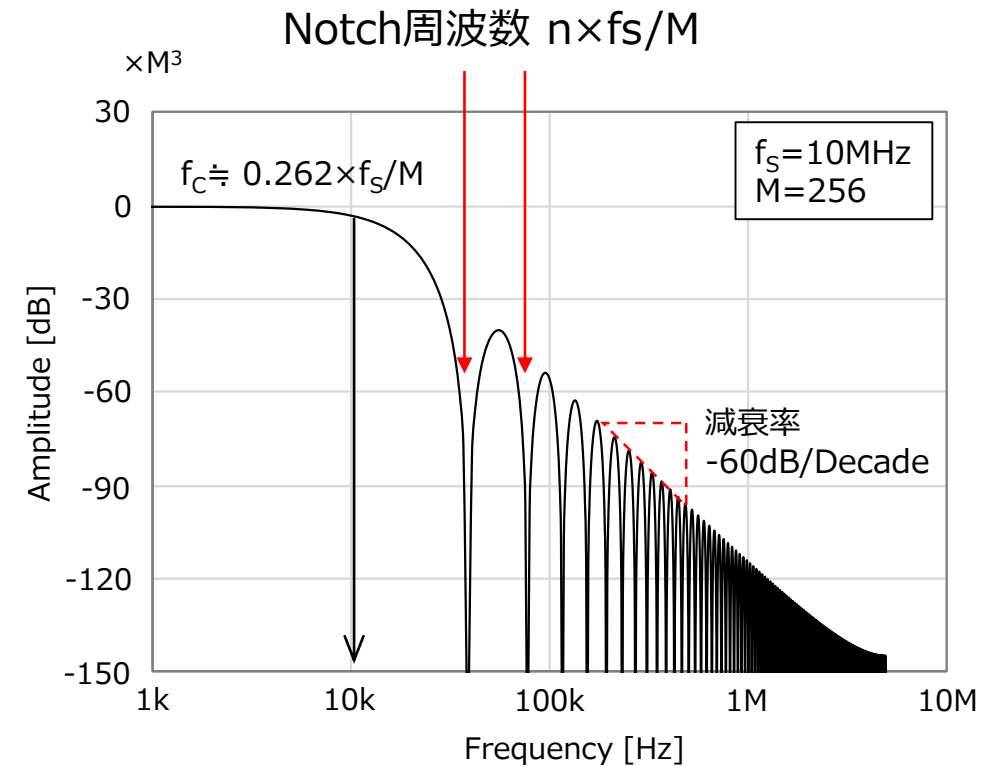


Sinc³フィルタの伝達関数
$$H(z) = \left(\frac{1 - z^{-M}}{1 - z^{-1}} \right)^3$$

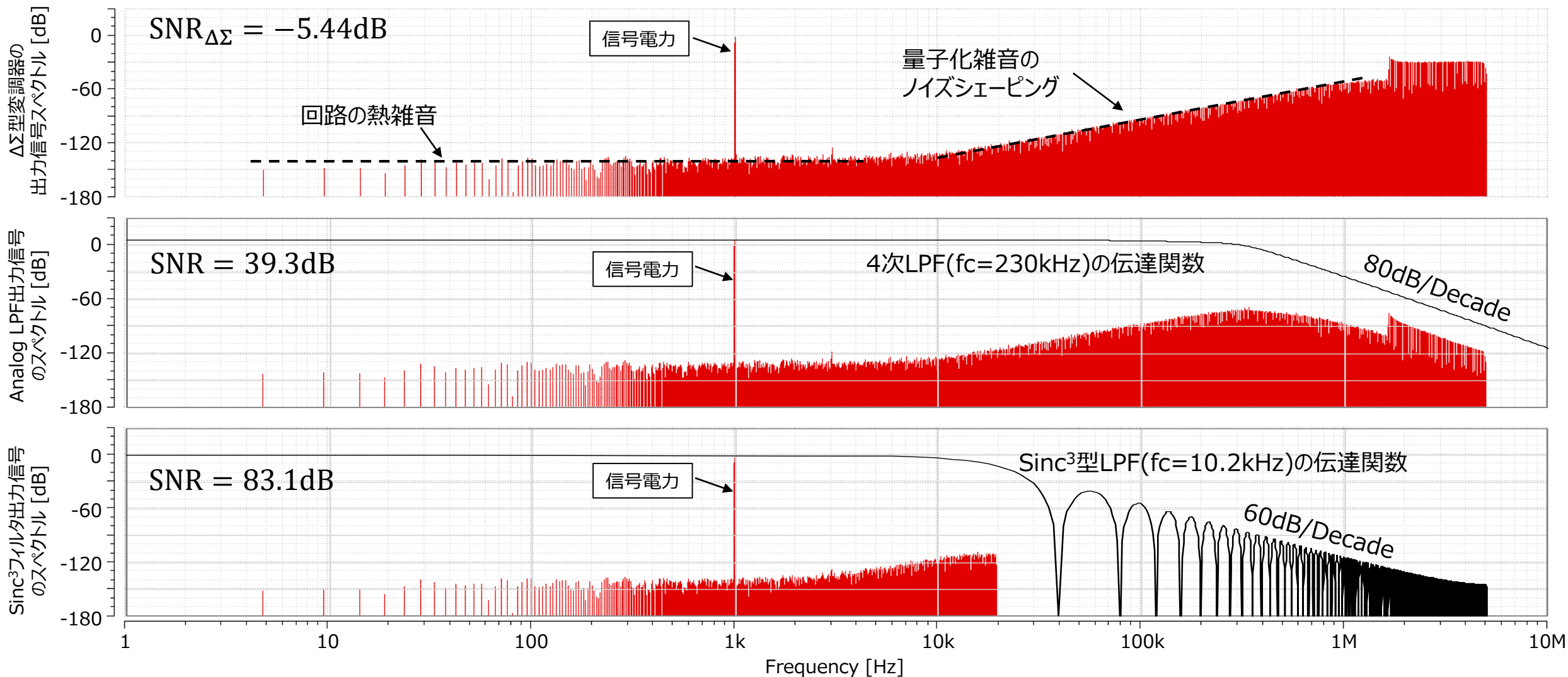
Z に $e^{-j\omega}$ を代入して周波数応答に変換すると下記ようになる。

$$H(\omega) = \left[\frac{\sin(M\omega/2)}{\sin(\omega/2)} \right]^3$$

2次のΔΣ型変調回路のノイズスペクトルは 50dB/Decadeで上昇するが、
Sinc³フィルタの減衰率は 60dB/Decade である。
このため、Sinc³フィルタでΔΣ型変調出力のノイズ電力を除去することができる。



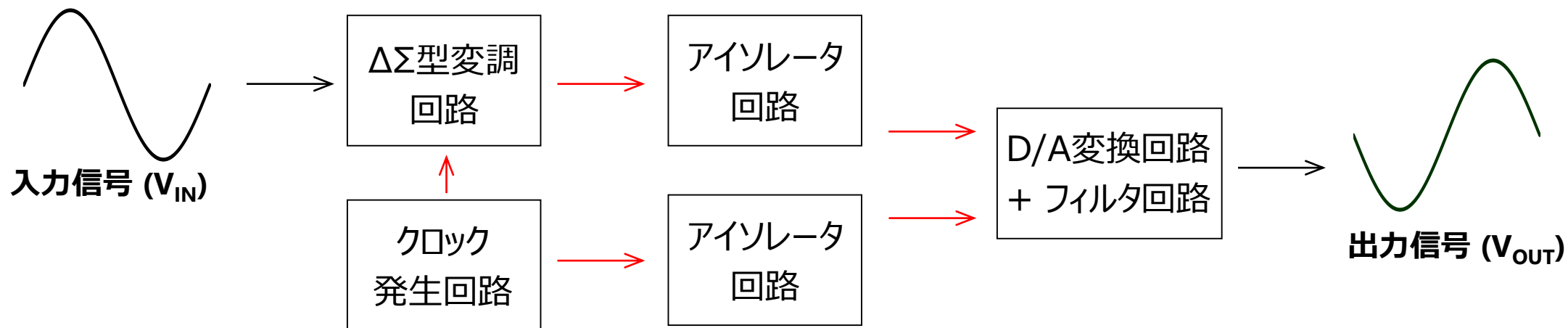
フィルタ帯域とSNR(Signal to Noise Ratio)の関係



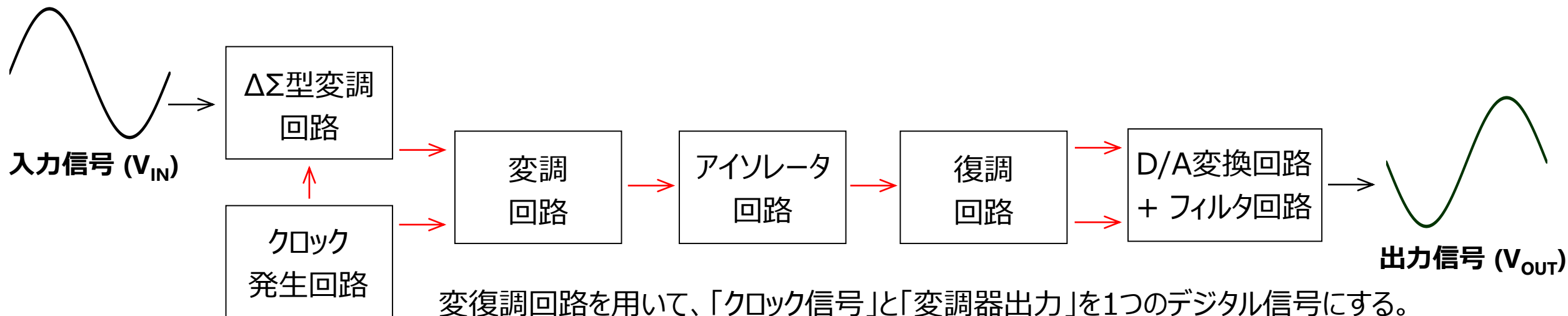
フィルタ帯域(f_c)により除去される雑音量が変化する。

f_c を小さくすれば SNR(ADCの精度)が向上するが、A/D変換できる最大周波数は低下する。

変調・復調回路



ΔΣ型変調回路の出力を伝送するためには、「クロック信号」と「変調器出力」の2種類の信号を伝送する必要がある。
⇒ 2つのアイソレータ回路が必要となり、回路規模・消費電力が大きくなる。



変復調回路を用いて、「クロック信号」と「変調器出力」を1つのデジタル信号にする。
⇒ アイソレータ回路が1つになり、システムが簡素化される。

変調・復調方式

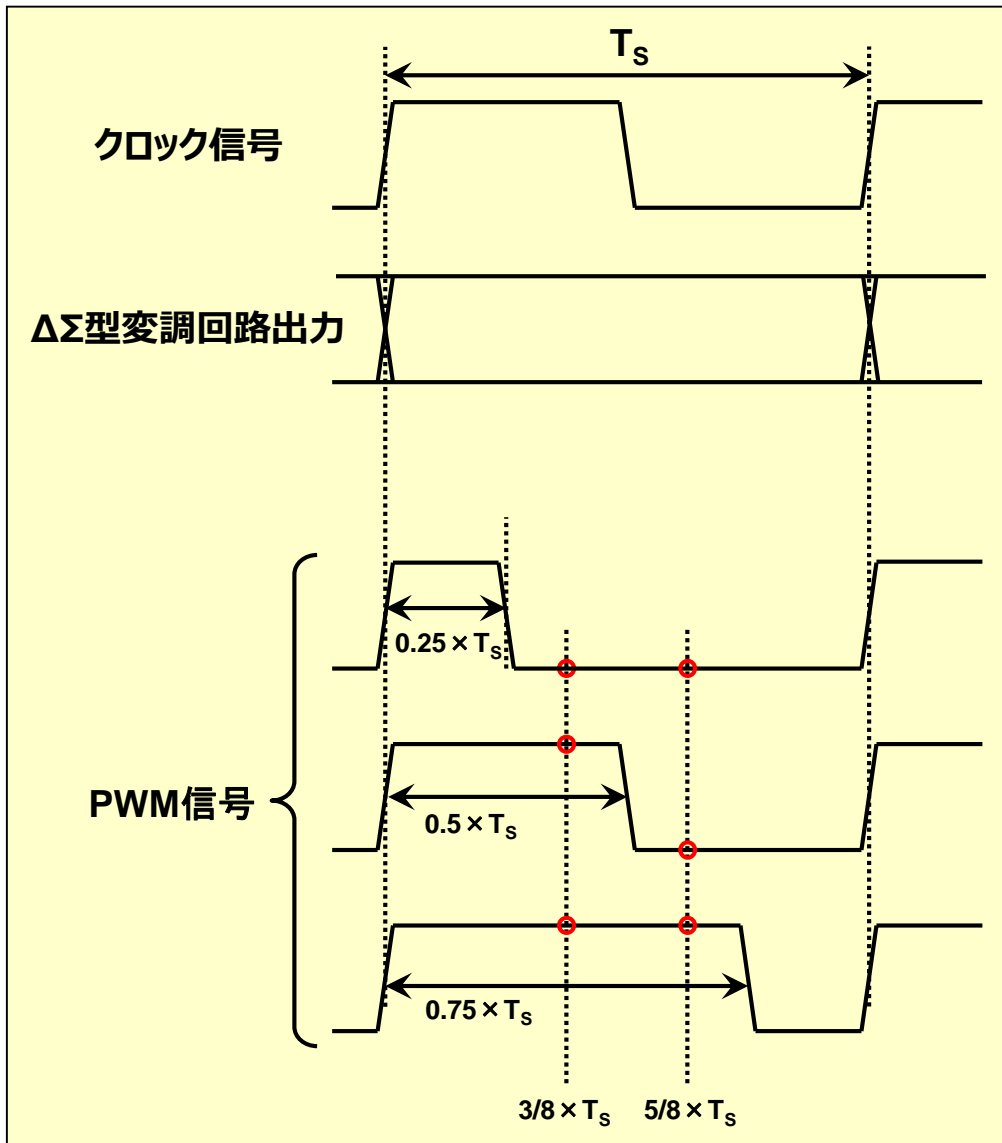


表1. 変調コード一覧

$\Delta\Sigma$ 型変調回路の出力	スクランブルコード	PWM信号
L	L	$1/4 \times T_s$
L	H	$3/4 \times T_s$
H	L	$1/2 \times T_s$
H	H	

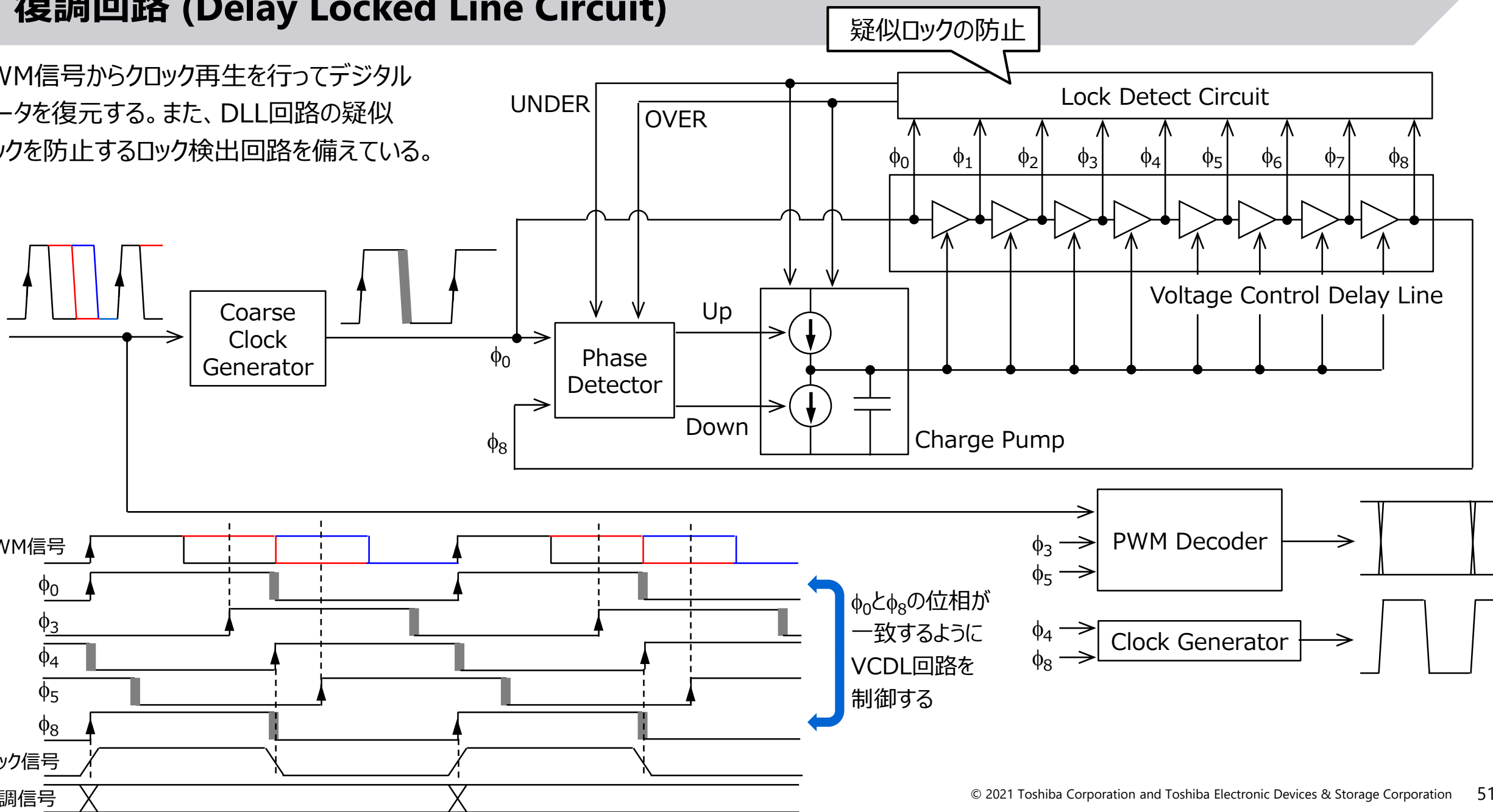
表2. 復調コード一覧

判定位置 ($\times T_s$)		復調コード
3/8	5/8	
L	L	L
H	L	H
H	H	L

- ✓ $\Delta\Sigma$ 型変調回路出力とクロック信号をPWMパルスに変調
クロック情報は立上りエッジ、デジタルデータはパルス幅に保存
- ✓ スクランブルコードを用いる事で、PWMパルス列をランダム化

復調回路 (Delay Locked Line Circuit)

PWM信号からクロック再生を行ってデジタルデータを復元する。また、DLL回路の疑似ロックを防止するロック検出回路を備えている。



アイソレーションアンプの利得

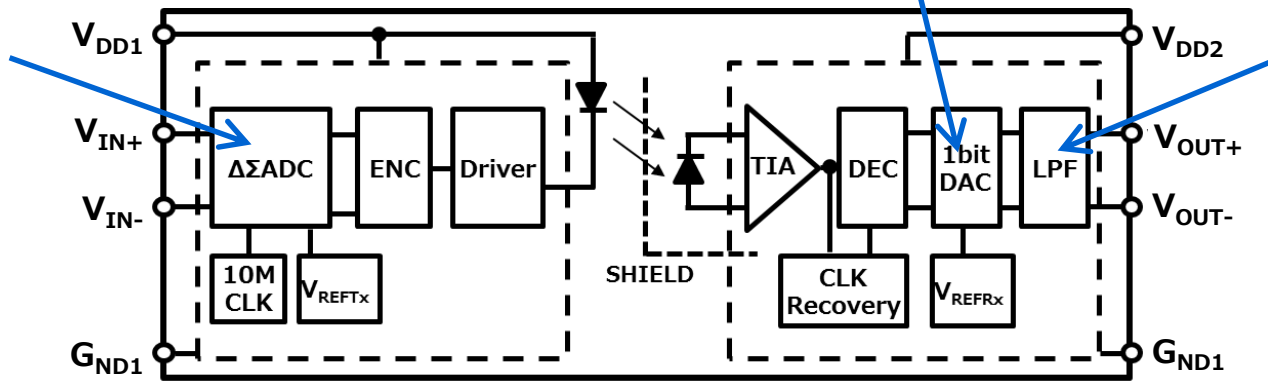
D/A変換回路の利得 $A_{DAC} = \frac{V_{FS_DAC}}{\text{Digital}} = \frac{V_{REFP} - V_{REFM}}{\text{Digital}}$

ΔΣ型変調器の利得

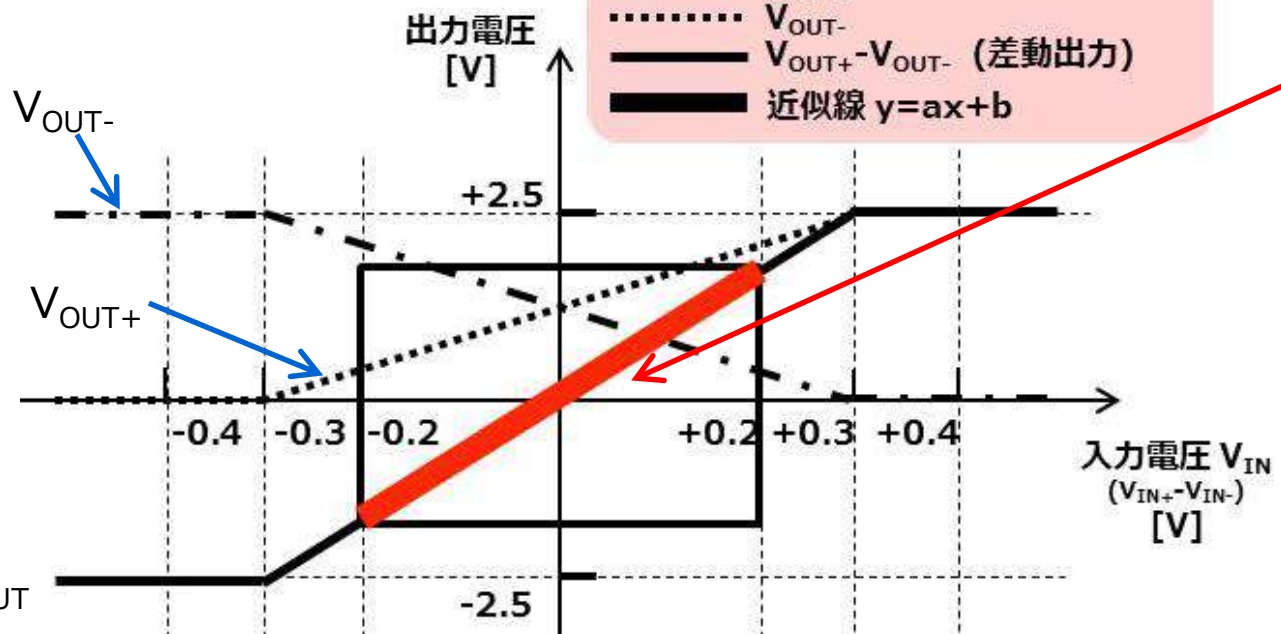
$$A_{ADC} = \frac{\text{Digital}}{V_{FS_ADC}}$$

フィルタ回路の利得

$$A_{LPF} = 1 + \frac{R_A}{R_B}$$



- - - V_{OUT+}
 V_{OUT-}
 ——— $V_{OUT+} - V_{OUT-}$ (差動出力)
 ——— 近似線 $y = ax + b$

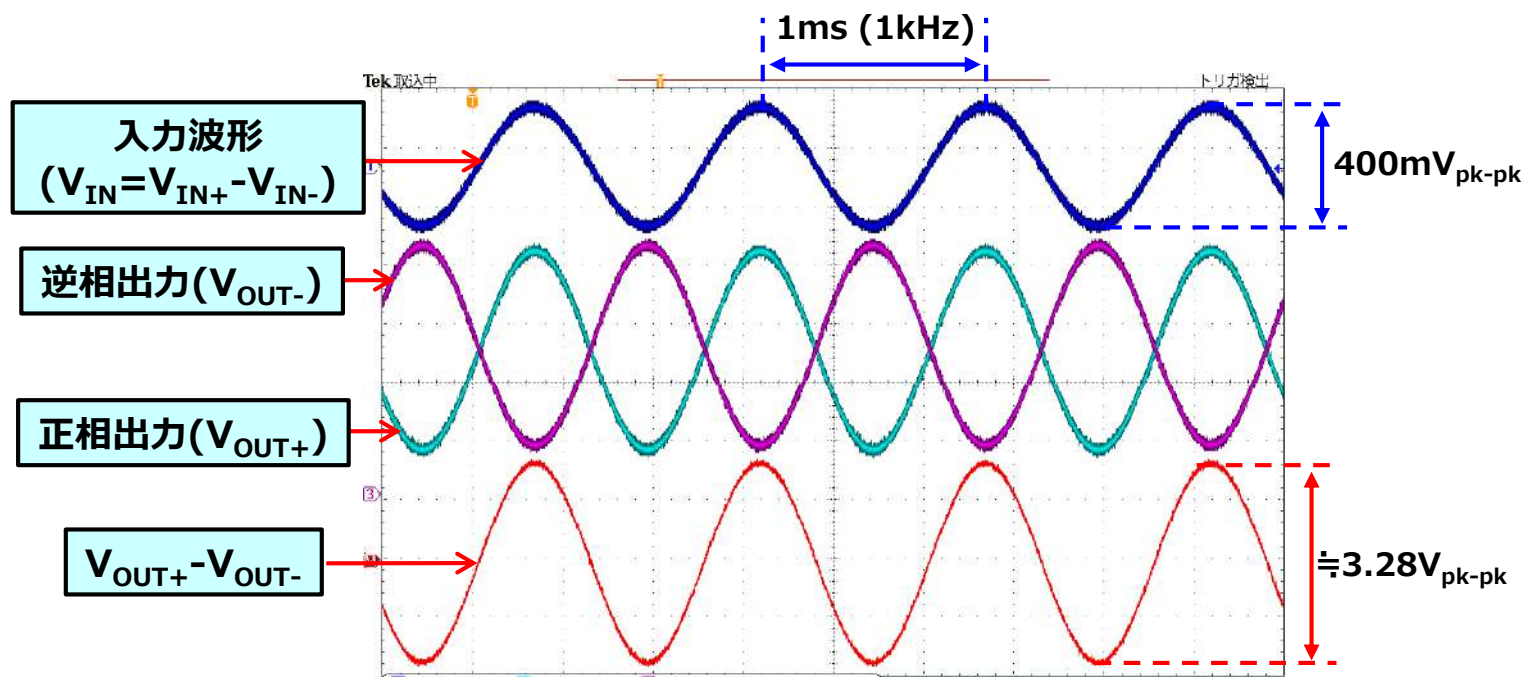


利得(G_{AIN})

$$G_{AIN} = A_{ADC} \times A_{DAC} \times A_{LPF} = \frac{V_{REFP} - V_{REFM}}{V_{FS_ADC}} \cdot \left(1 + \frac{R_A}{R_B} \right)$$

電圧(V_{FS_ADC} , V_{REFP} , V_{REFM})をトリミングすれば利得は高精度(0.5%以下)に決める事ができ、温特・経年劣化等が生じない。
 ⇒ 高精度なモータ電流の検出が可能。

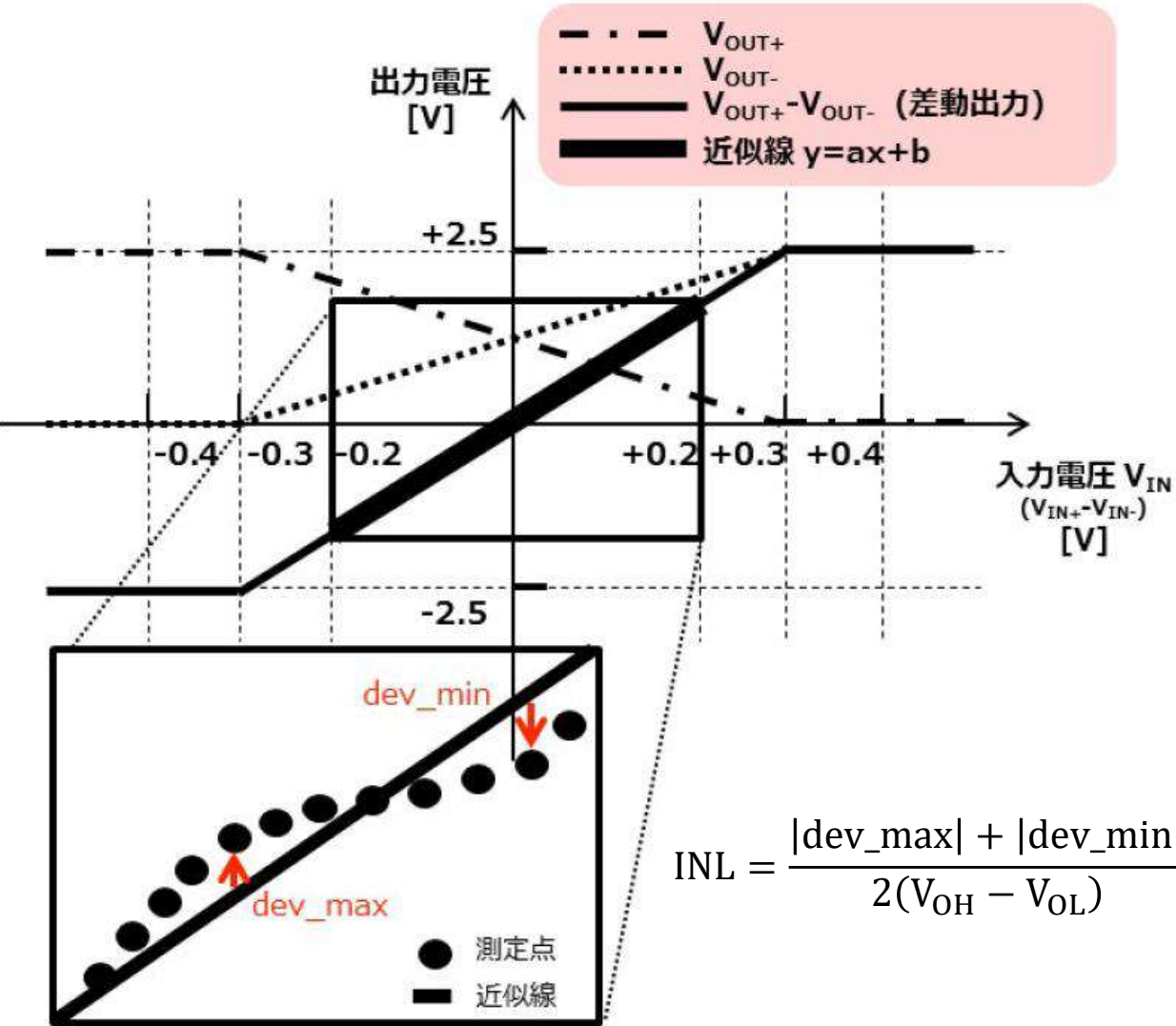
アイソレーションアンプの入出力波形



絶縁アンプの入出力波形 ($V_{DD1}=V_{DD2}=5V$ 、 $T_a=R.T.$)

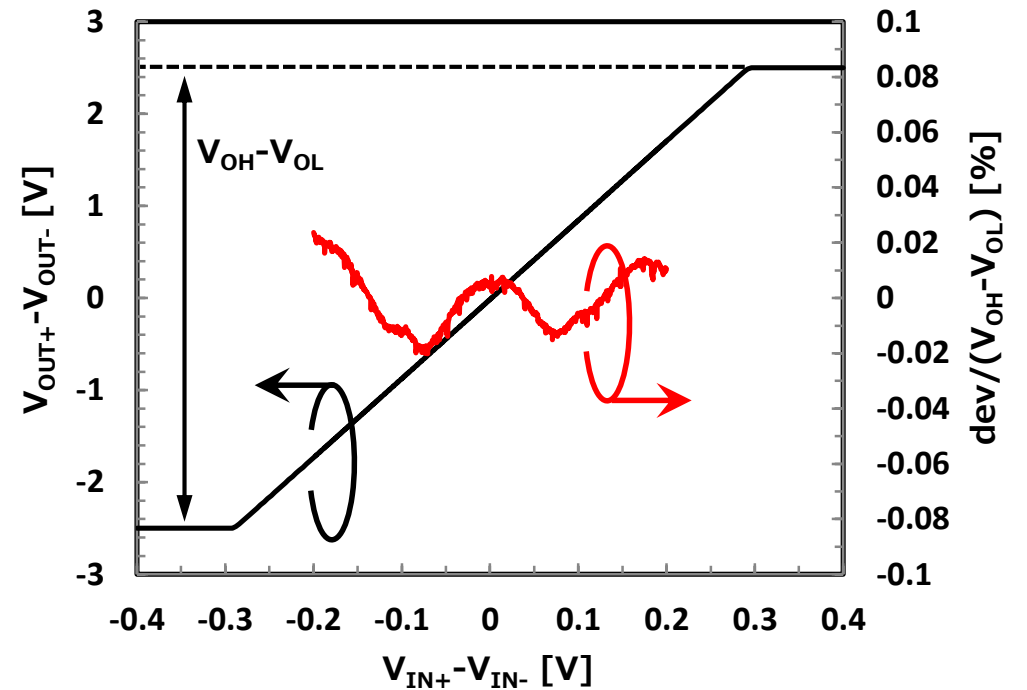
絶縁アンプを用いる事で、絶縁しながら高精度なアナログ信号を検出する事ができる。利得は基準電圧で決まっているので、温特および経年劣化が極めて小さい。

アイソレーションアンプの歪み



$$INL = \frac{|dev_max| + |dev_min|}{2(V_{OH} - V_{OL})}$$

ベストフィットライン法による積分非線形(INL)誤差



絶縁アンプの出力歪み波形 ($V_{DD1} = V_{DD2} = 5V$, $T_a = R.T.$)

$\Delta\Sigma$ 型変換回路は、入力振幅が大きくなると歪みが大きくなる。
 入力レンジ $\pm 300mV$ に対して、 $\pm 200mV$ における絶縁アンプのINLは約0.024%程度になる。

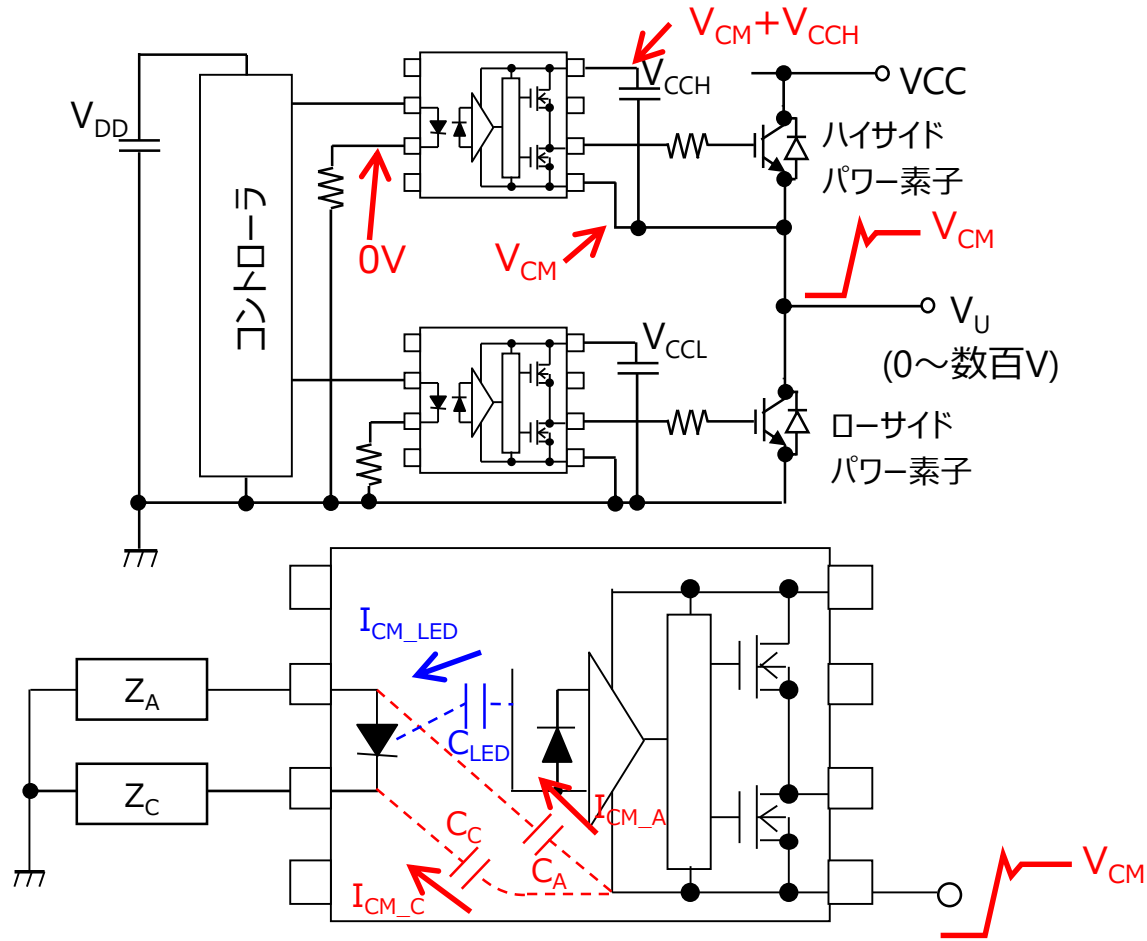
アイソレーションアンプ(絶縁型アンプ)のまとめ

- (1) モータを効率的に駆動するために、モータ駆動電流を検出してフィードバックする。
モータ電流を検出する回路として、アイソレーションアンプ(絶縁型アンプ)が用いられる。
- (2) 絶縁回路では高精度なアナログ信号を伝送する事ができない。
アナログ信号をA/D変換して、絶縁回路ではデジタル信号を伝送する。
- (3) アイソレーションアンプでは、 $\Delta\Sigma$ 型変調回路とフィルタを用いてA/D変換する。
フィルタ帯域とA/D変換精度はトレードオフとなる。
- (4) 変調回路・復調回路を用いる事で、全体システムが効率的に構成される。
- (5) アイソレーションアンプを用いる事で、絶縁しながら高精度なアナログ信号を検出する事ができる。

04

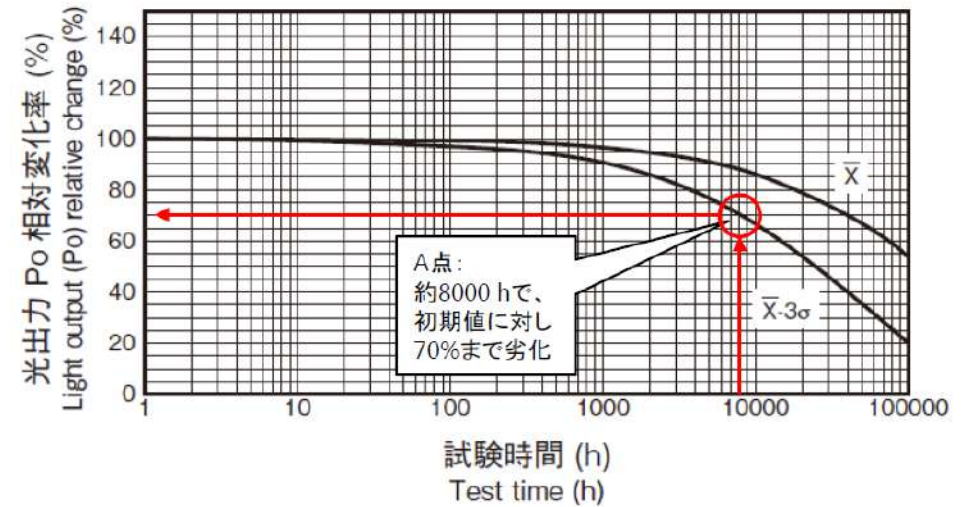
デジタルアイソレータ

従来のアイソレータ(フォトカプラ)の技術的課題



- ✓ GND電位変動(V_{CM})により変位電流が流れる
 - ✓ I_{CM_LED} の影響は静電シールドで防ぐ事ができる
 - ✓ インピーダンスの不均衡(Z_A と Z_C , C_A と C_C)があると、ノイズによりLEDの電流が変化して出力誤動作する。
- ⇒ CMTI(Common Mode Transient Immunity)性能が 40kV/us 程度

GaAs LEDの光出力の経時変化データの例
Test conditions: $I_F = 50 \text{ mA}$, $T_a = 40^\circ\text{C}$

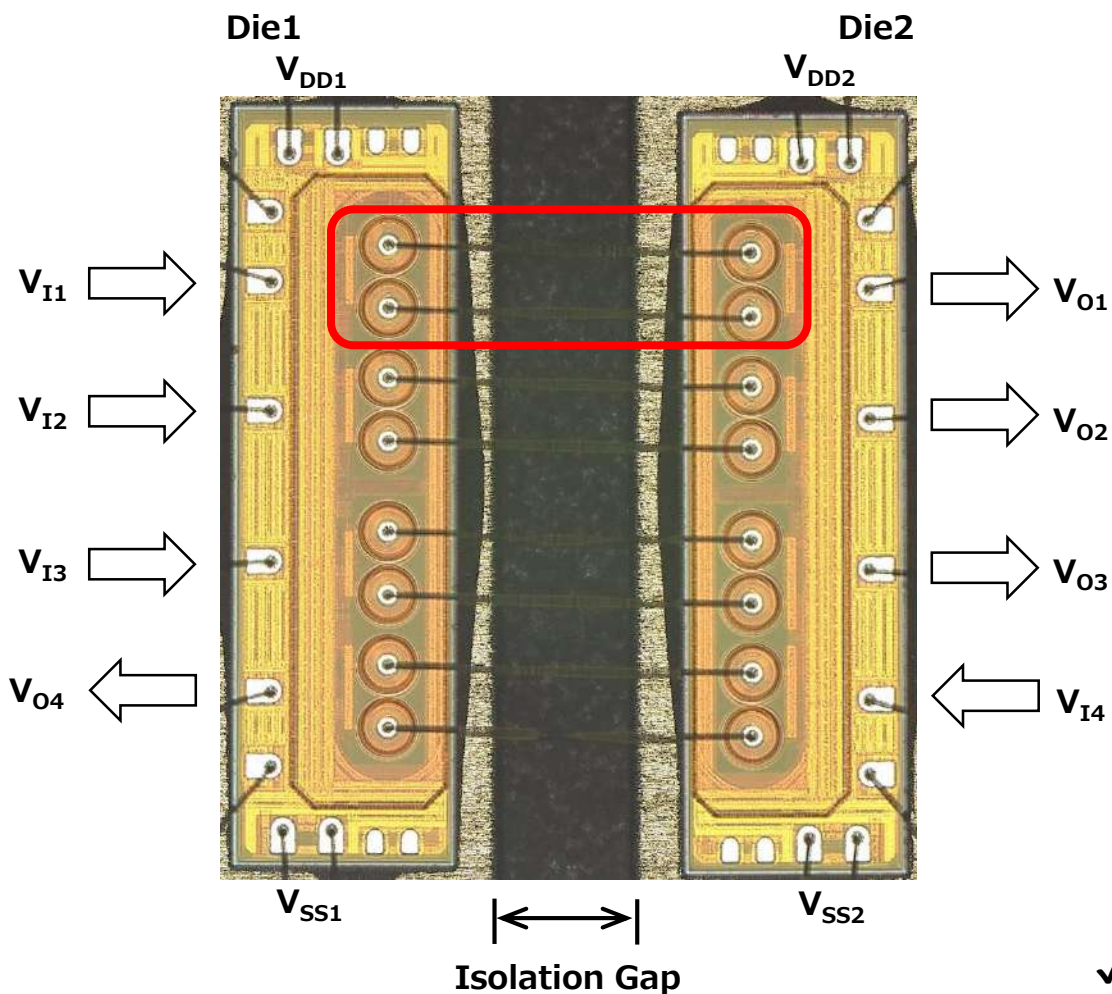


- ✓ LEDの光出力は経時変化する
 - ✓ 高温・高電流条件で劣化が顕著となる
- ⇒ 平均的な使い方だと、寿命は10年程度。

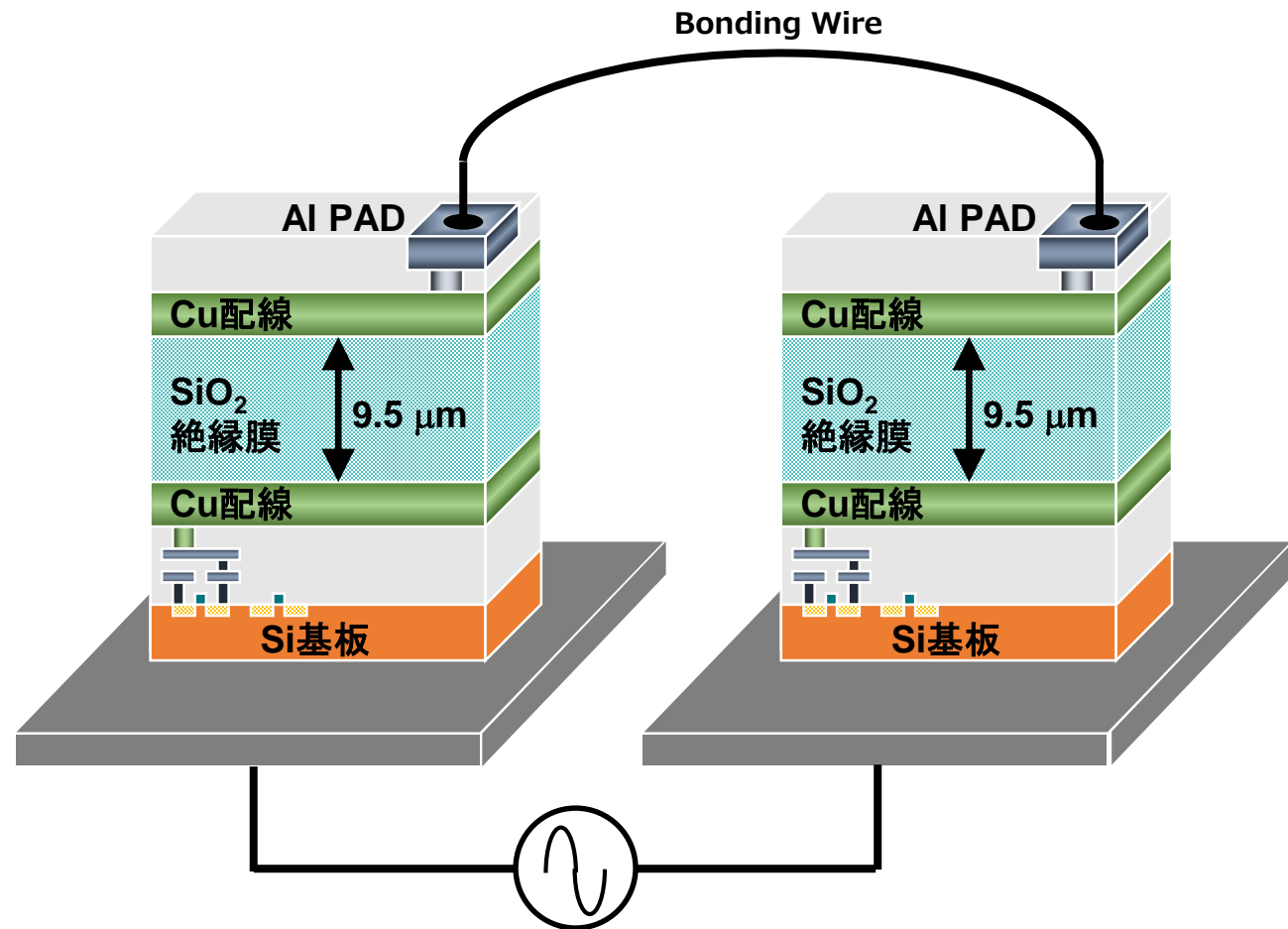
フォトカプラの技術的問題点

- ① CMTIに制約がある
 - ② 寿命が短い
- ⇒ 上記の課題をクリアするアイソレータが必要

チップ°外觀とダブル絶縁構造



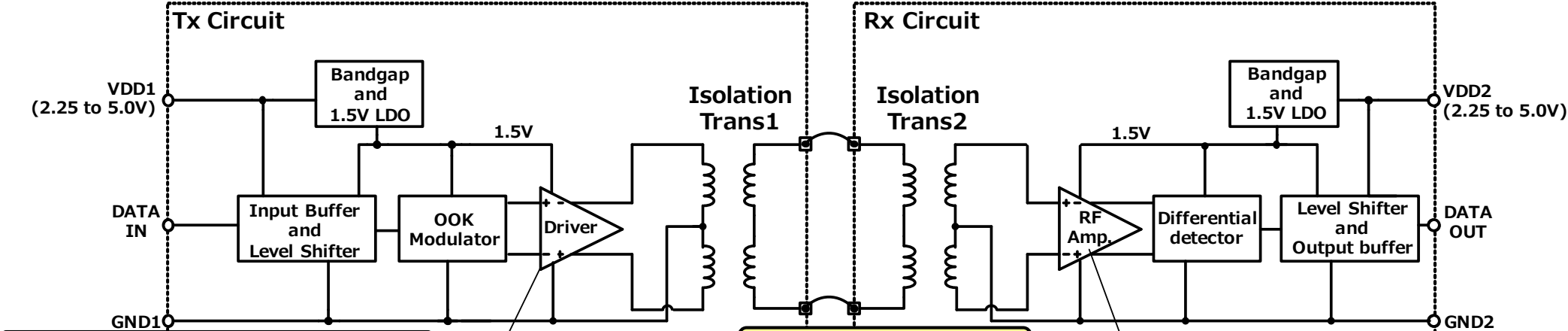
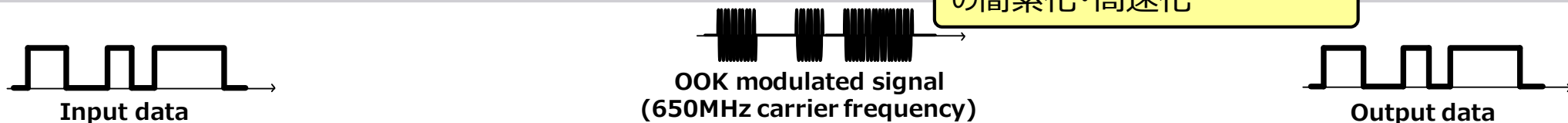
0.13um CMOSプロセスに絶縁膜を集積化
Die1とDie2の通信は差動信号で実施
4chの高速通信回路を実装



- ✓ 厚いSiO₂膜で絶縁性能を担保
ボイドがなく高温環境でも劣化しないため高品質
- ✓ SiO₂膜は 約500V_{rms}/μmであり、上記構成で 10kV_{rms} の絶縁耐力を有する
- ✓ ダブル絶縁構造により絶縁膜の形成が容易

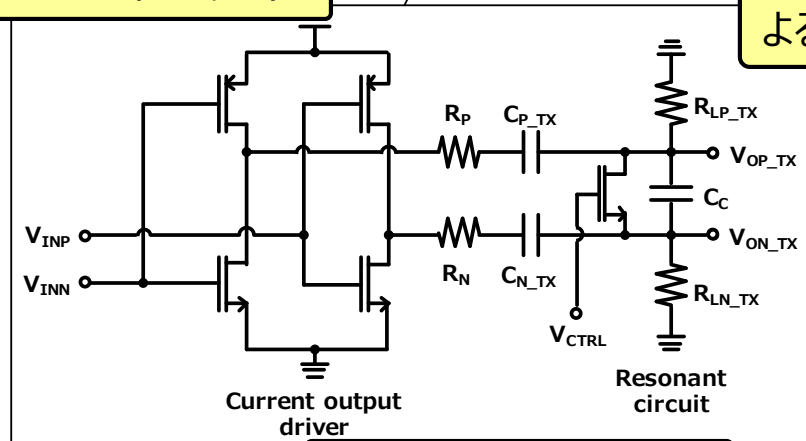
提案するデジタルアイソレータの回路図

OOK方式の採用で復調回路の簡素化・高速化

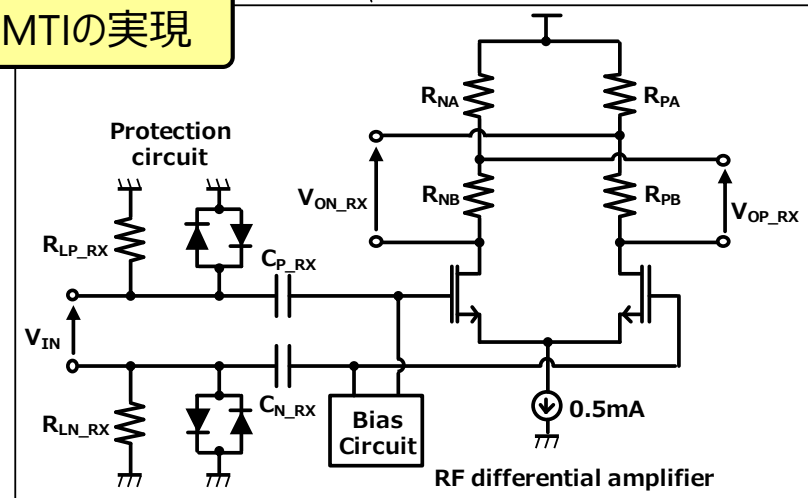


変調信号を工夫して低ジッタ化

ダブル絶縁トランスによる高CMTIの実現



共振回路による低EMI



ダブル絶縁トランスと伝達関数

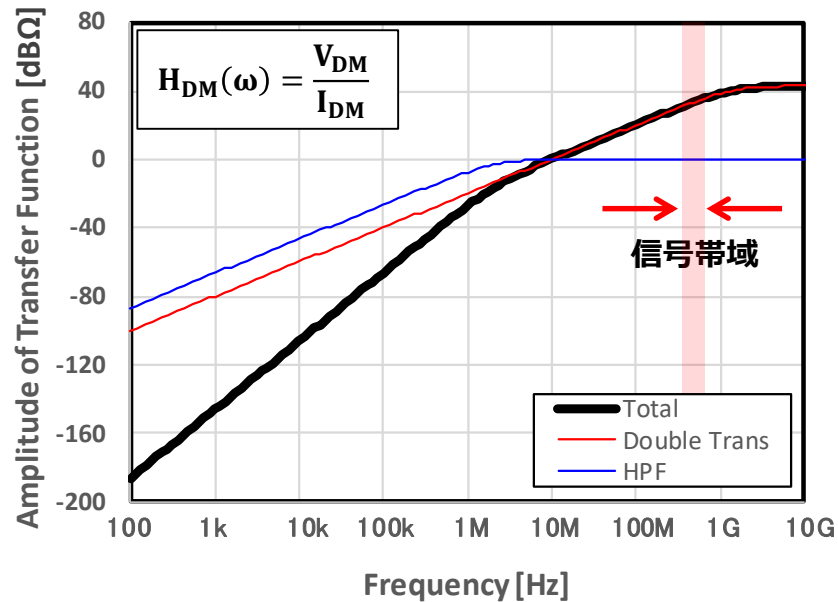
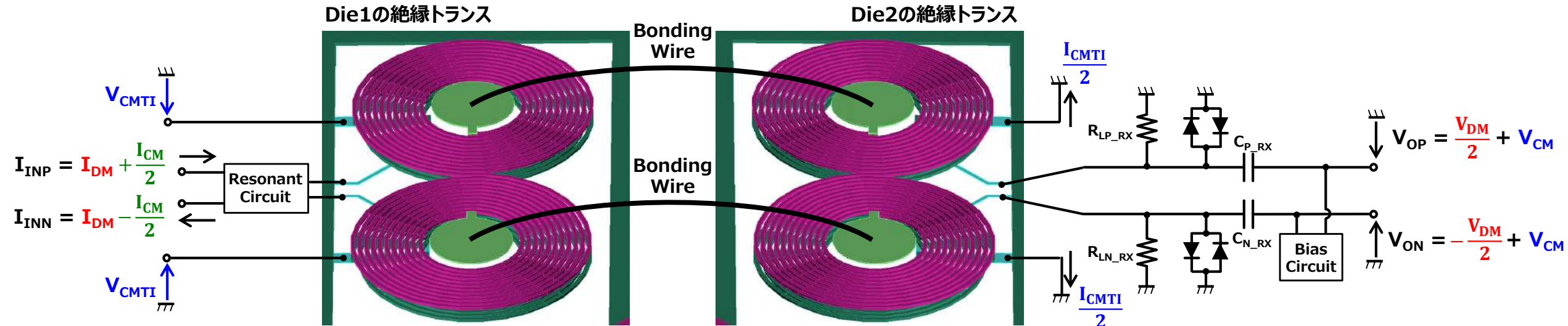


図1. 差動モードの伝達関数

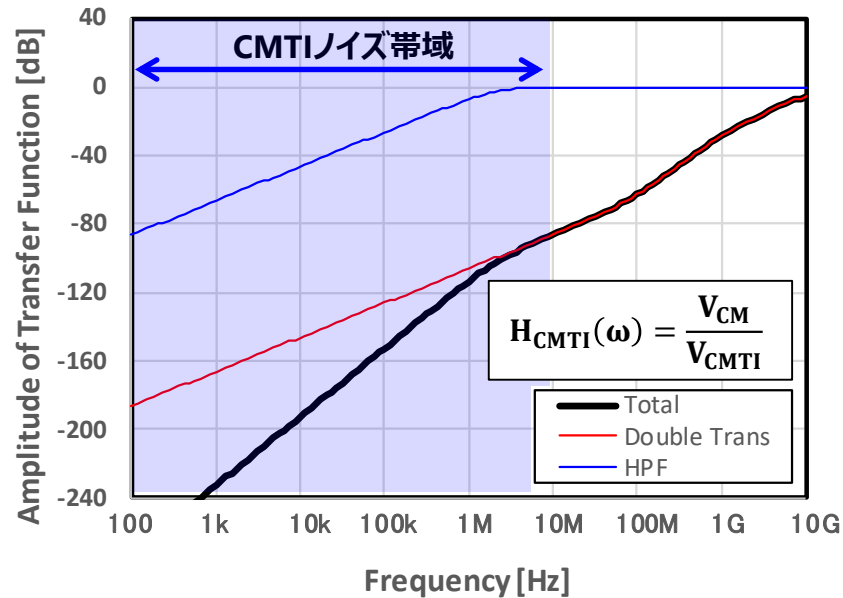
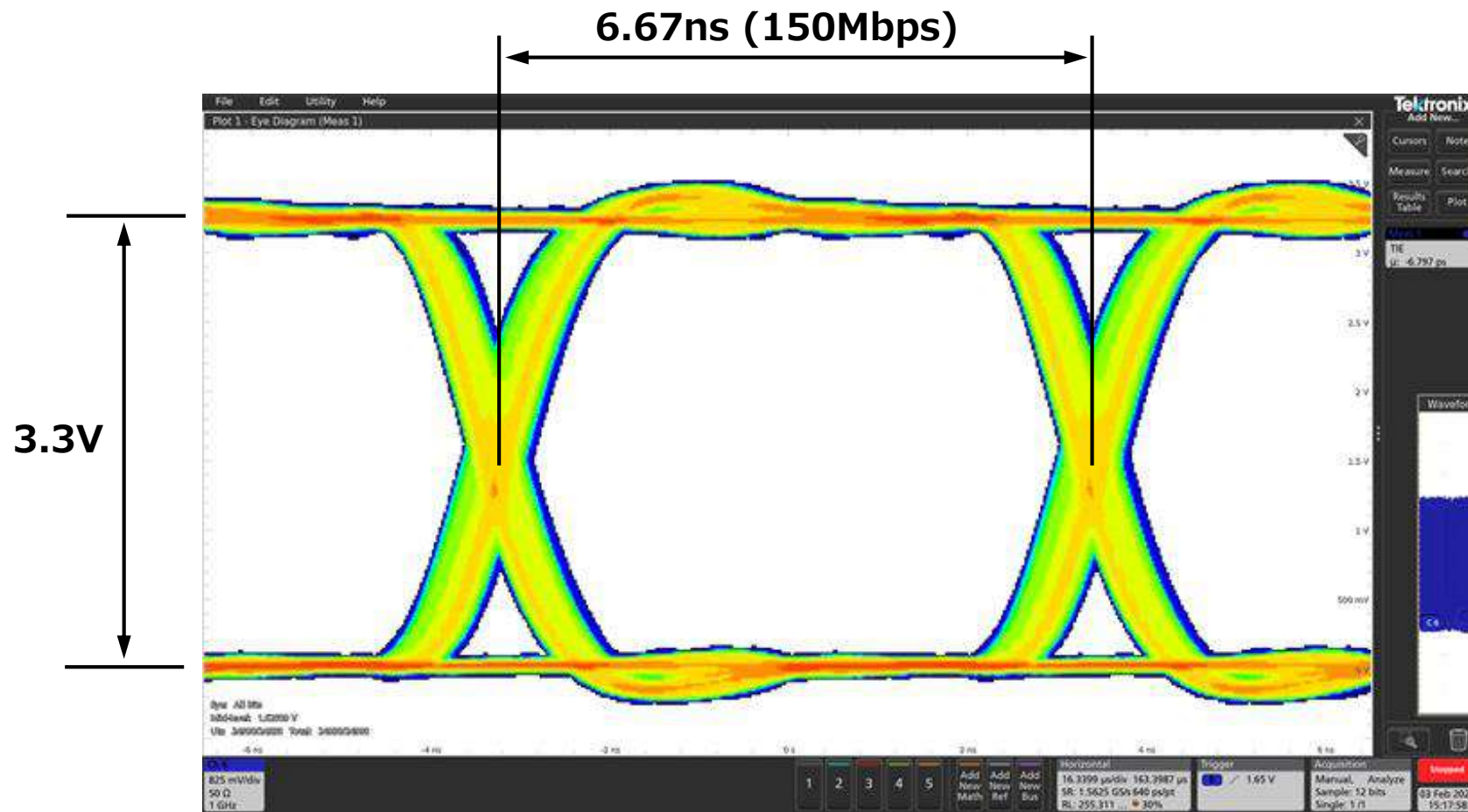


図2. CMTIモードの伝達関数

- ✓ 差動信号 (I_{DM})
 - ⇒ ωL に比例した差動電圧
- ✓ CMTIノイズ
 - ⇒ 大部分は2次側GNDに逃がす
 - 高周波成分は V_{CM} として出力されるが $-90\text{dB}@10\text{MHz}$ まで抑圧
- ✓ 同相信号 (I_{CM})
 - ⇒ 主に I_{DM} の高調波成分
 - EMIの原因になるので共振回路で抑圧する

アイパターン評価結果



【測定条件】

$V_{DD1}=V_{DD2}=3.3V$ 、 $T_a=25^{\circ}C$ 、 $C_L=15pF$
2¹⁵のPRBS信号を入力して出力信号を測定

CMTI耐性の測定結果

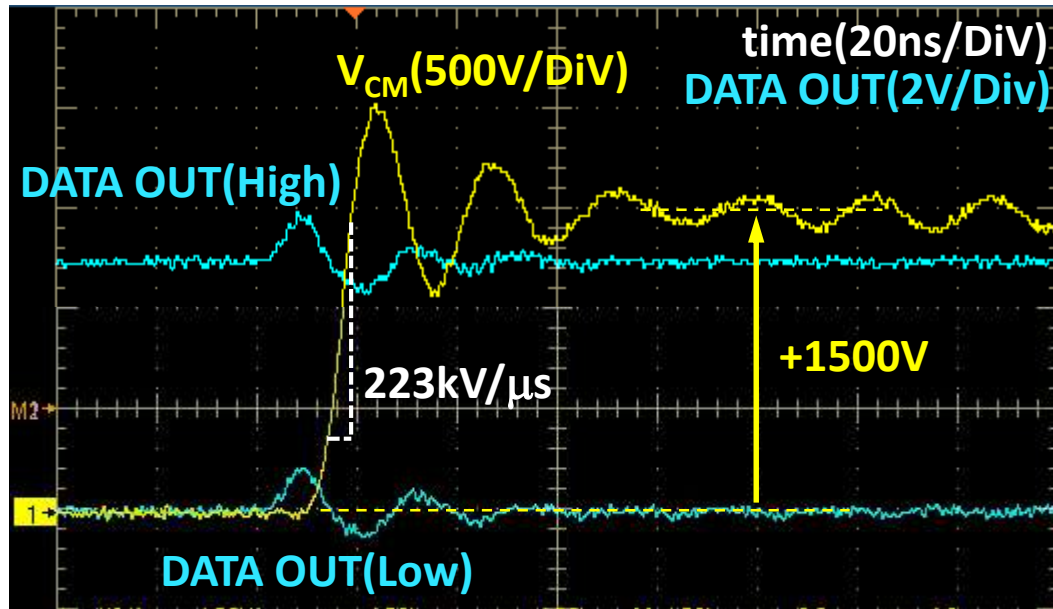


図1. 正側CMTI耐量の測定結果

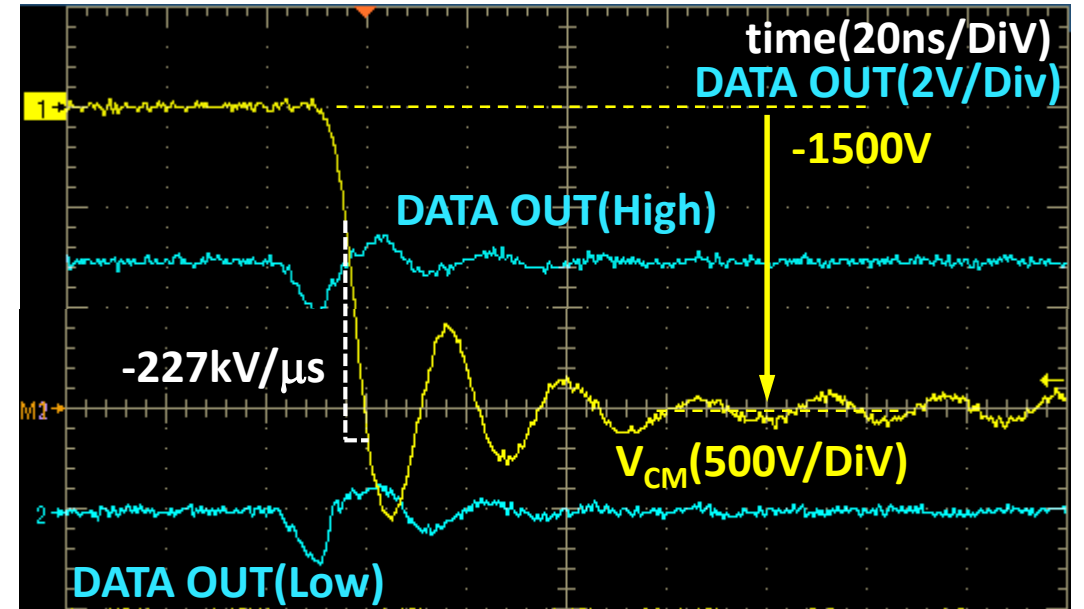


図2. 負側CMTI耐量の測定結果

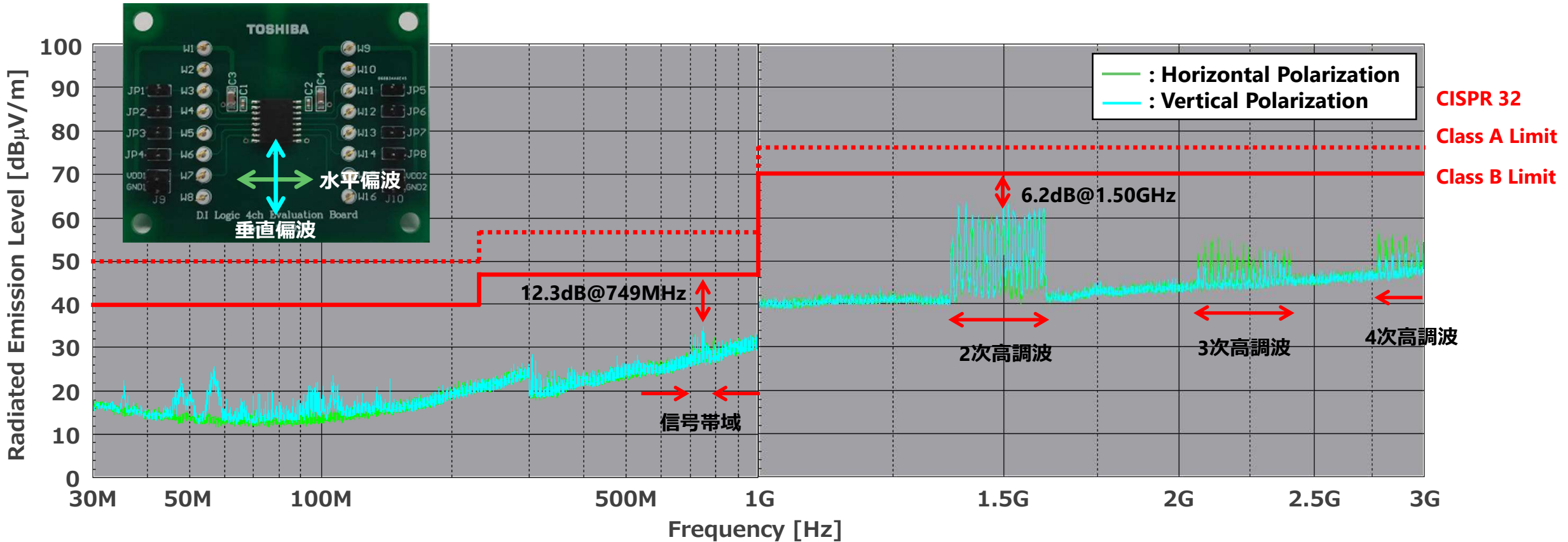
- ✓ 正側CMTIノイズ(0⇒1500V)、負側CMTIノイズ(0⇒-1500V)を印可
入力端子はLowまたはHighに固定した状態で出力信号を測定
 - ✓ $-227\text{kV}/\mu\text{s} \sim +223\text{kV}/\mu\text{s}$ のCMTIノイズに耐性がある事を確認
- ⇒ 評価装置限界までノイズを印可しても出力信号が誤動作しない事を確認
今後、CMTI評価装置を改良して提案回路の特性限界値を確認していく

EMI測定結果

3mアンテナ法によるEMI測定結果

※ CISPR 32 : 国際無線障害特別委員会によるマルチメディア機器のエミッション規格

($V_{DD1}=V_{DD2}=3.3V$ 、 $T_a=25^\circ C$ 、 $C_L=15pF$ 、 $V_{IN1}=V_{IN2}=V_{IN3}=V_{IN4}=High$)



- ✓ 全周波数帯で CISPR 32 Class B に準拠
- ✓ 支配的な放射源は2次高調波帯

- (1) 高CMTIと長寿命の観点からデジタルアイソレータが注目されている
- (2) 厚いSiO₂膜で安定的な絶縁性能を担保
- (3) OOK通信方式を採用して高速伝送、低ジッタ設計で150Mbpsを達成
- (4) ダブル絶縁トランス技術により、200kV/ μ s 以上の高CMTI耐力を実現
- (5) 共振回路の適用によりEMIを抑圧
CRSPR 32 ClassB の放射EMI規格を準拠

05

最新の研究事例

自己紹介

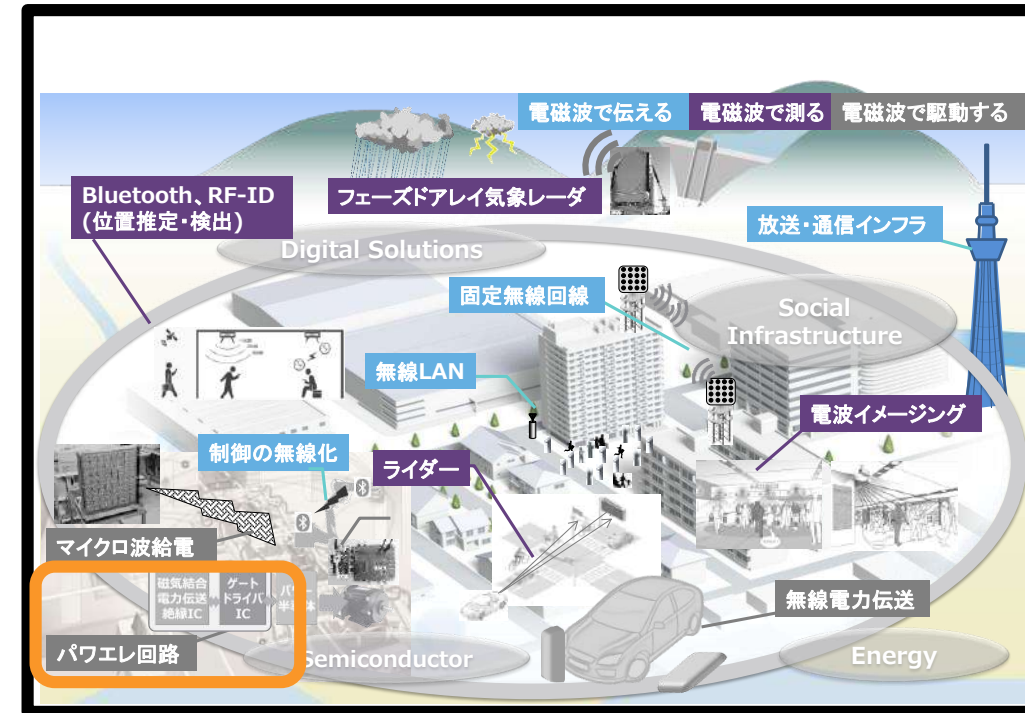
所属： 東芝研究開発センター
情報通信プラットフォーム研究所
ワイヤレスシステムラボラトリー

ワイヤレスシステムラボラトリー所属筆頭著者の
International Solid-State Circuit Conference(ISSCC) 2020での発表

5.1 A 240×192Pixel 10fps 70klux 225m-Range Automotive LiDAR SoC Using a 40ch 0.0036mm² Voltage/Time Dual-Data-Converter-Based AFE,
S. Kondo, et.al.

18.7 A DC to 35MHz Fully Integrated
Single-Power-Supply Isolation Amplifier for Current- and Voltage-Sensing
Front-Ends of Power Electronics
S. Takaya, et.al.

18.8 A Fully-Generic-Process Galvanic Isolator for Gate Driver with 123mW 23%
Power Transfer and Full-Triplex 21/14/0.5Mb/s Bidirectional
Communication Utilizing Reference-Free Dual-Modulation FSK
H. Ishihara, et.al.



無線通信、センシングなどの研究開発を行う

本日は、最新の研究開発動向のご紹介として、無線通信技術を絶縁ICに適用した2件の発表を中心にお話しします

先にご紹介した2つの技術に関する最新の研究開発動向をご紹介します

Contents	
01	はじめに
02	絶縁型スマートゲートドライバ
03	アイソレーションアンプ(絶縁型アンプ)
04	デジタルアイソレータ
05	最新の研究事例

© 2021 Toshiba Corporation 2

“アナログ”伝送による
超広帯域アイソレーションアンプ

3つの信号 + 電力を
ワンパッケージICで絶縁伝送する
電力 + 信号多重伝送IC

05

最新の研究事例

- **研究背景**
- 具体的な技術紹介
 - 超広帯域アイソレーションアンプ (CMOS絶縁プロセスの活用例)
 - 電力 + 信号多重伝送IC (非CMOS絶縁プロセスの活用例)
- まとめ

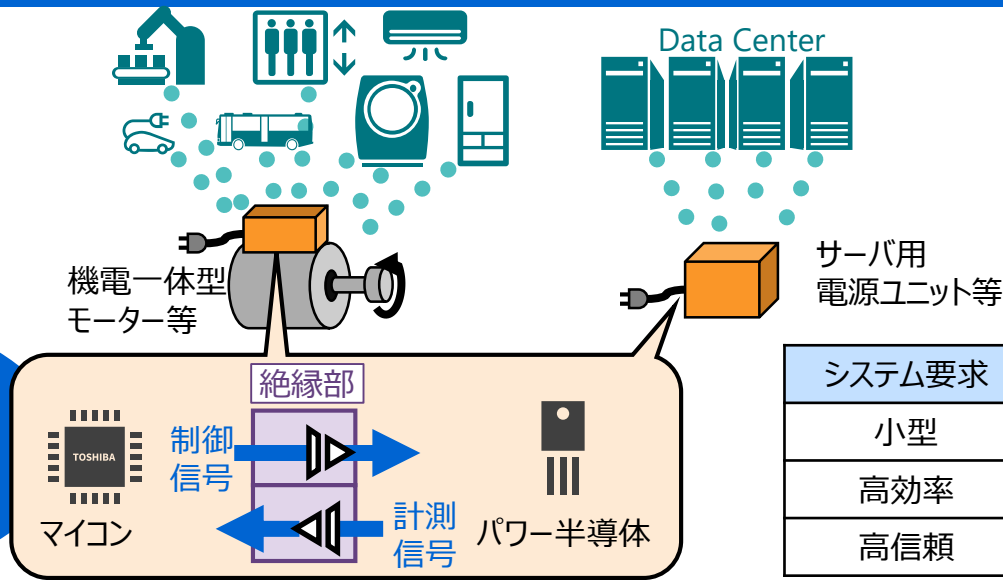
研究の背景

パワーエレクトロニクスのトレンドと絶縁技術への要求

- ・電源システム：GaN等の高速デバイス適用 → ① 広帯域絶縁計測
- ・モーター駆動：制御部小型化、IoT対応 → ② 多チャンネル・多機能絶縁伝送

要求②

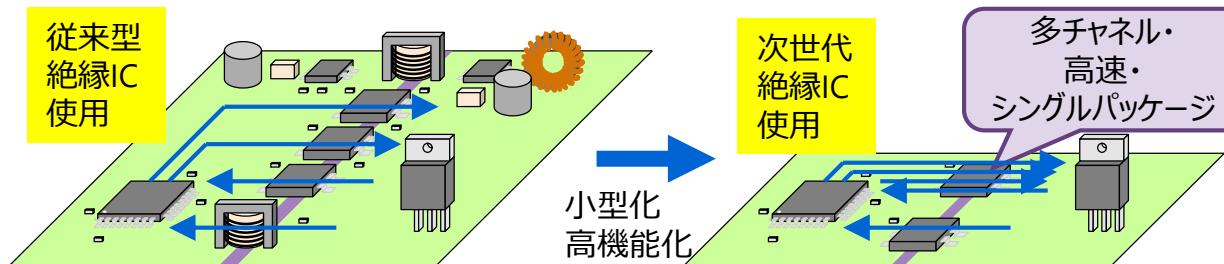
小型・高効率・IoT対応(診断)等
→ 多機能(信号 + 電力)・多チャンネル伝送



要求①

高速駆動化(GaN等)
→ 広帯域計測

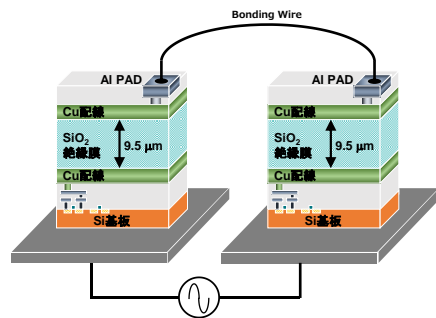
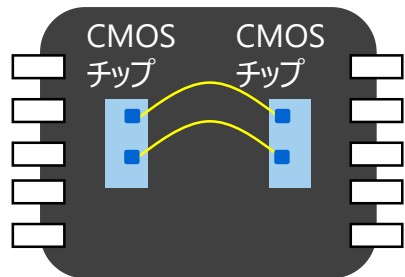
システム要求	絶縁部要求
小型	シングルパッケージ
高効率	高速伝送
高信頼	多チャンネル



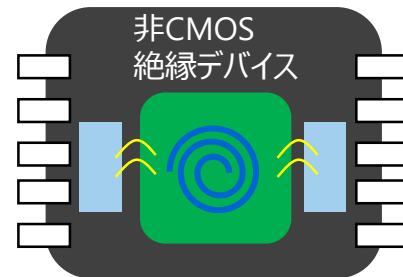
絶縁ICの技術革新が
制御基板の
小型化に貢献

電磁界結合型絶縁デバイスの実現方法

CMOSプロセス



非CMOS(汎用基板)プロセス



小型のPCB基板などで
絶縁部を実現

- 小型 (～数100μm)
- 多並列化可能
- 高周波動作可能 (>～数GHz)
- ×損失大 ($Q < 10$)

～ x10

～ x1/10

～ x1/10

- ×サイズ大 (～数mm)
- ×動作周波数低 (～数100MHz)
- 低損失 ($Q > 10$)

- 回路と絶縁素子を同じチップに搭載でき、小型
- 金属配線層の厚さに制約があり、損失が大きい



小型、高周波動作の特性を生かし、
無線通信技術の応用による超広帯域計測！
要求①を実現

- 厚い金属配線の形成が容易で、低損失
- 高効率での電力伝送が可能



サイズのデメリットを多重信号伝送技術により解決し、
電力を含む多信号伝送をワンパッケージに！
要求②の多機能伝送を実現

絶縁方式毎の長所を生かし、各要求を実現！

05

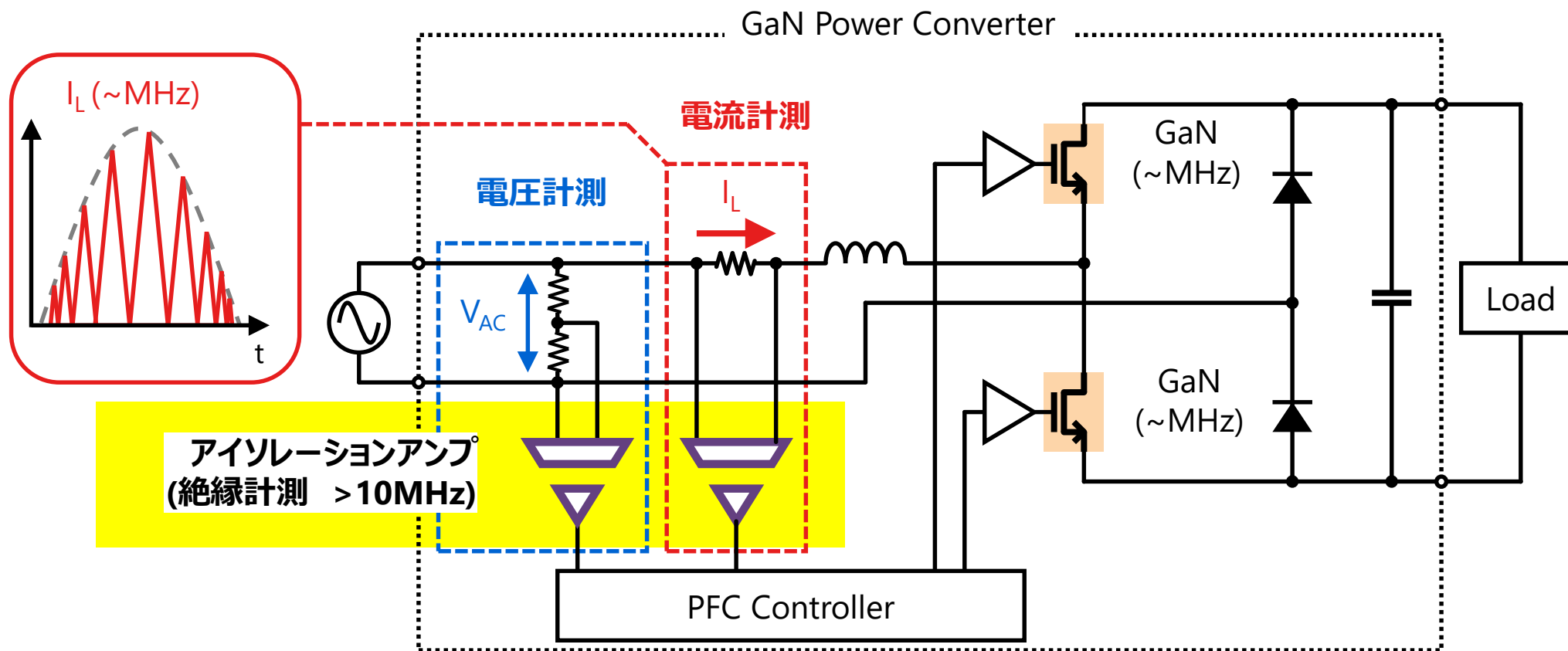
最新の研究事例

- 研究背景
- 具体的な技術紹介
 - **超広帯域アイソレーションアンプ** (CMOS絶縁プロセスの活用例)
 - 電力 + 信号多重伝送IC (非CMOS絶縁プロセスの活用例)
- まとめ

アイソレーションアンプとは

絶縁を確保しつつ、電流や電圧の計測を行う部品

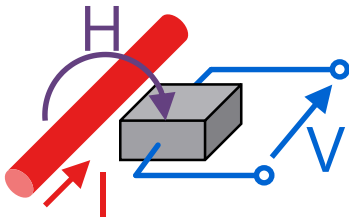
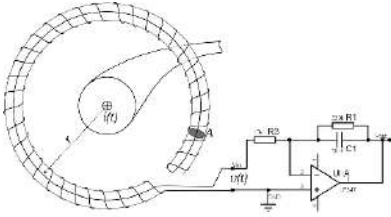

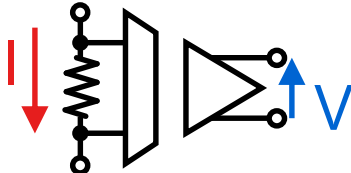
高速なパワーデバイスの性能を最大限引き出すためには、高速な電流計測による高度な制御が必須



絶縁電流計測技術

DC～MHz まで計測可能な小型絶縁計測技術

→シャント抵抗とアイソレーションアンプによる計測が有効だが従来方式では帯域に限界あり

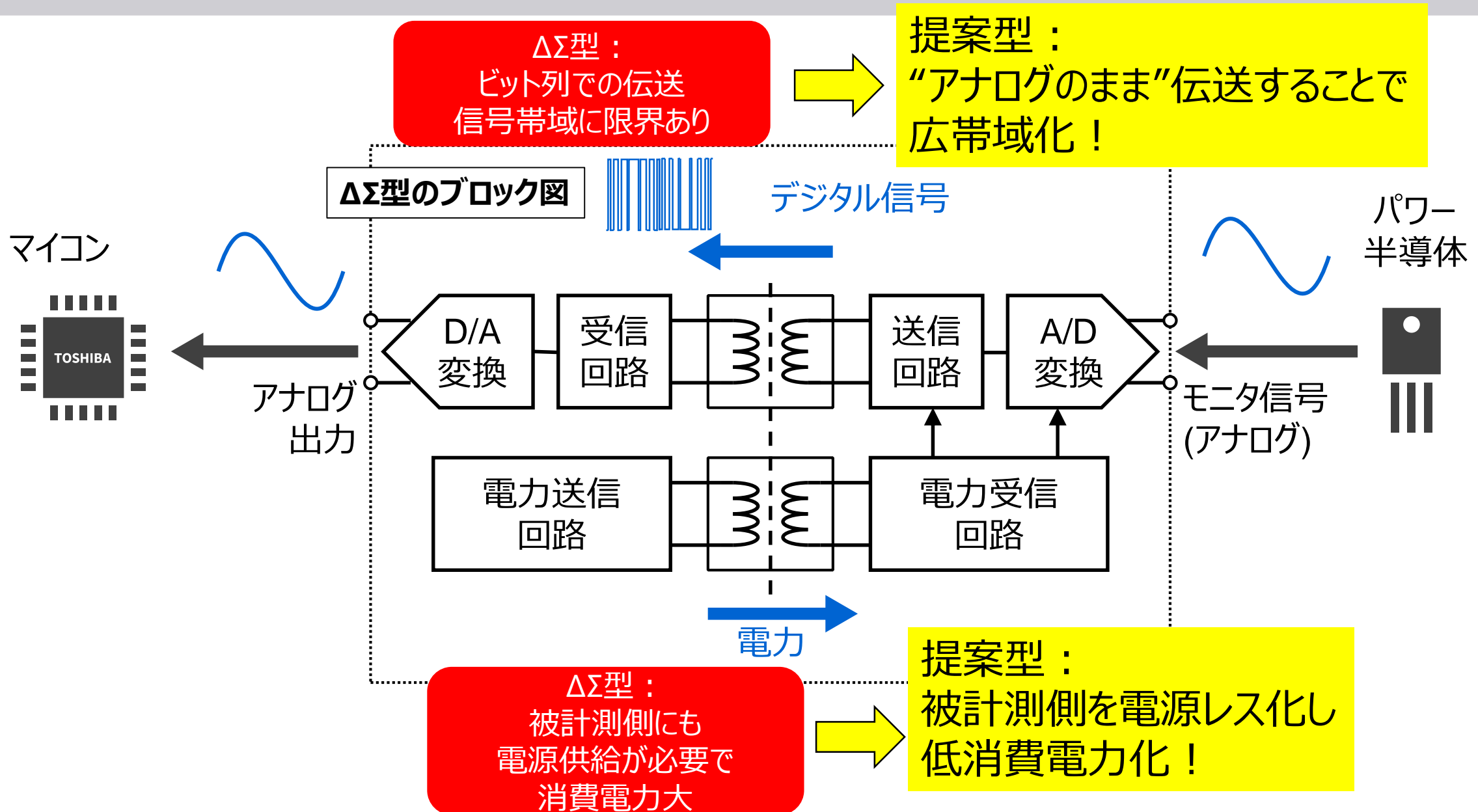
	Hall Sensor 	Rogowski Coil  https://en.wikipedia.org/wiki/Rogowski_coil	Current Trans. 	Shunt Resistor + Isolation Amp. (This Work) 
Coupling	DC	AC	AC	DC
Bandwidth	1MHz	30MHz	250MHz	従来 : 数100kHz ⇒35MHz
Footprint	Small	Small	Large	Small

デルタシグマ型と提案型の比較

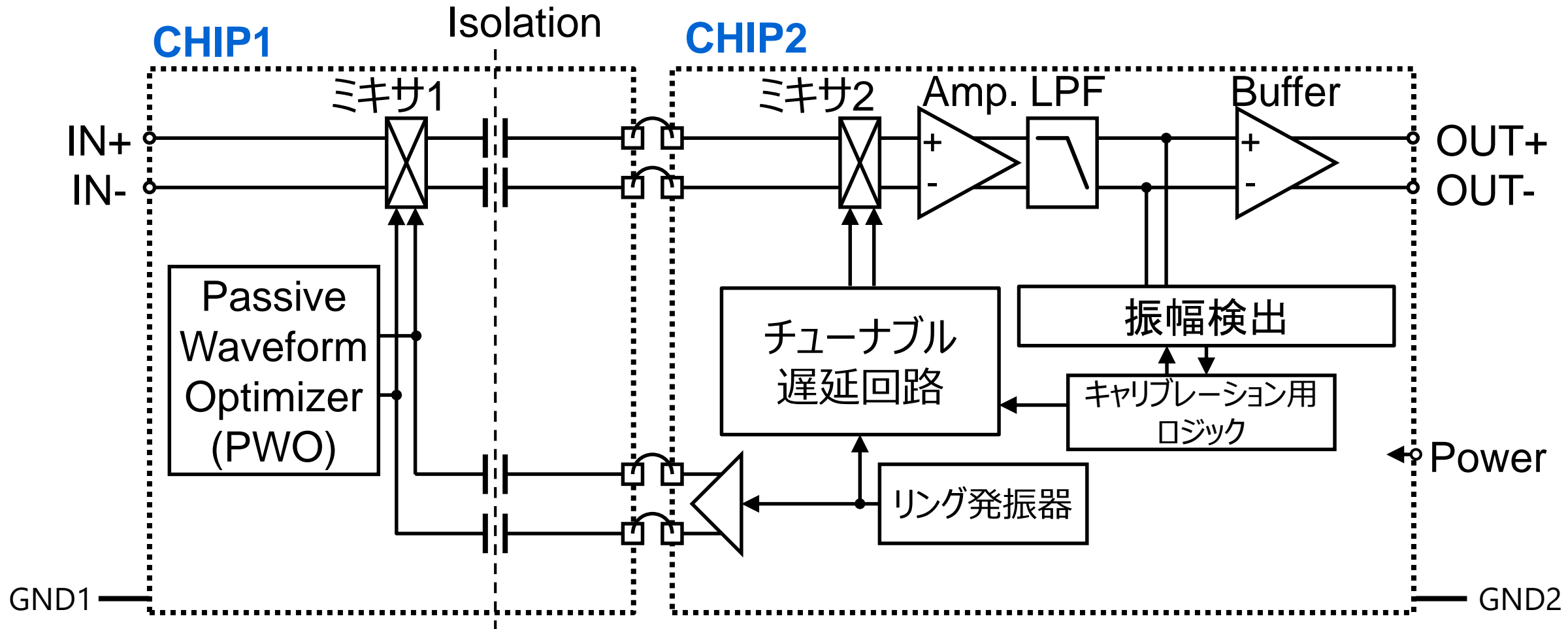
	デルタシグマ型 (狭帯域、高精度)	提案型アイソレーションアンプ ^o (広帯域、中精度)
Power Supply	Dual	Single
Footprint (Other Ckt.)	IC: Small Isolated Power: Large	Small
Signal Bandwidth	DC ~ 数100kHz	DC ~ 35MHz
SNR	> 60dB	~40dB

精度はやや劣るが、単電源動作で超広帯域化が可能！

デルタシグマ型と提案型の比較



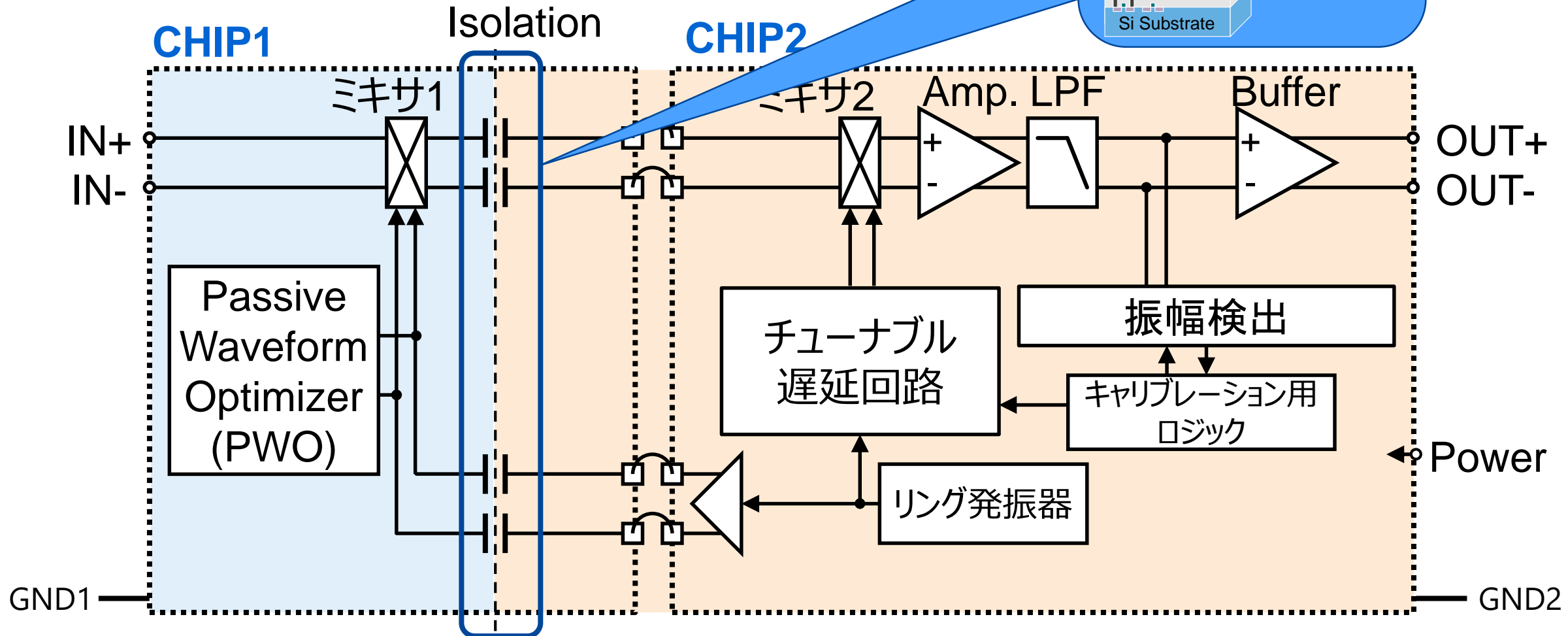
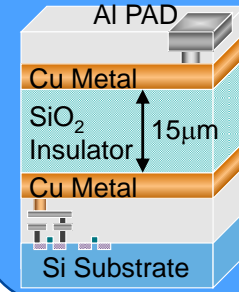
提案型アイソレーションアンプの構成



提案型アイソレーションアンプの動作

絶縁容量でグラウンドが分離（絶縁）された2つのチップで構成

CMOS絶縁プロセスによる
絶縁容量素子

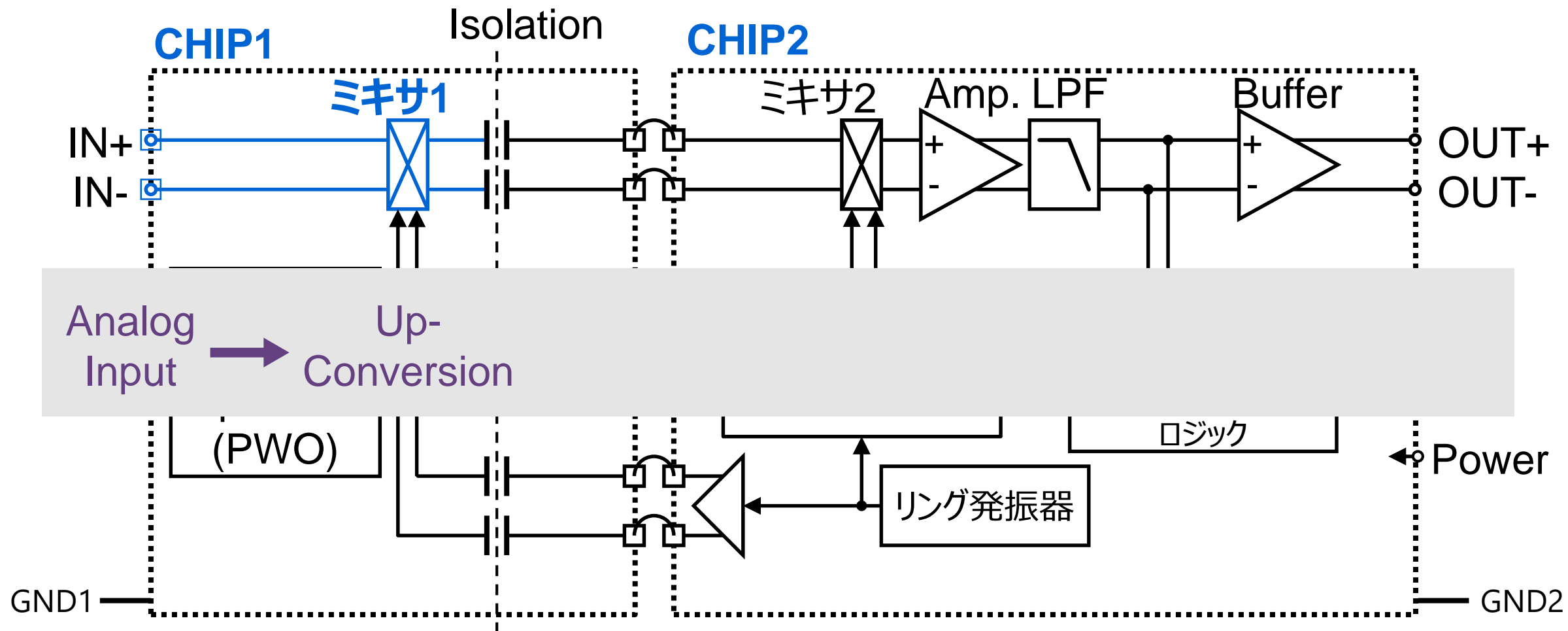


提案型アイソレーションアンプの動作

アナログ入力をミキサ1で高周波に変換

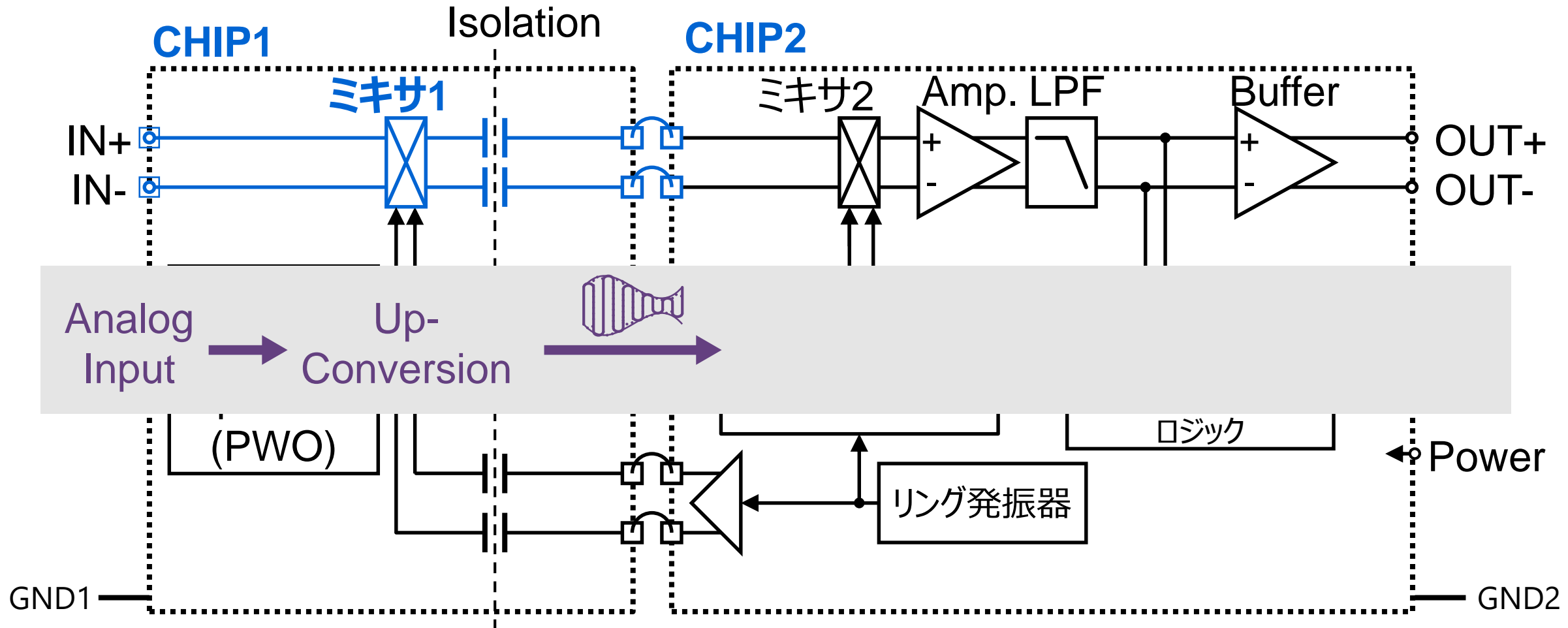
ポイント

無線通信で用いられるアナログ変調技術を活用し
アナログ信号のまま伝送することで広帯域化が容易に！



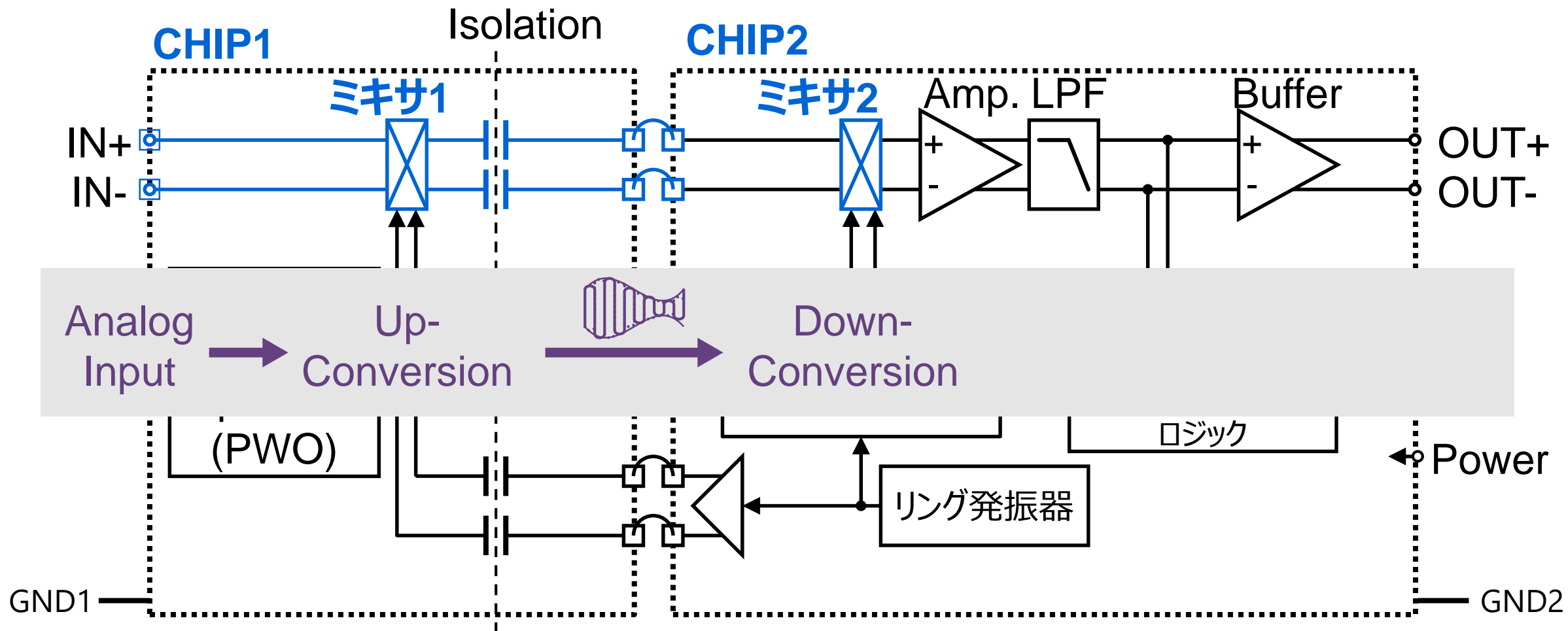
提案型アイソレーションアンプの動作

高周波に変換した信号を絶縁キャパシタでCHIP2に伝送



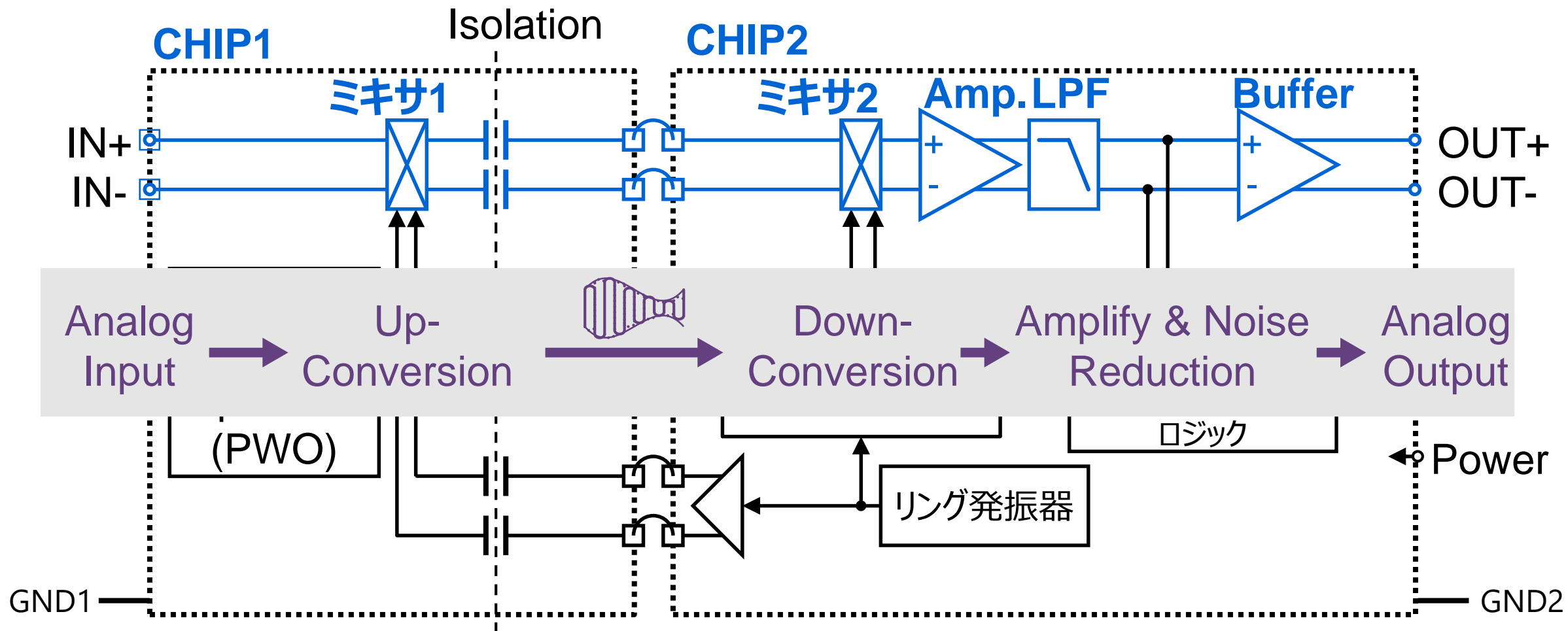
提案型アイソレーションアンプの動作

ミキサ2(MX2)で再度周波数変換し、入力信号を復元



提案型アイソレーションアンプの動作

増幅、フィルタリングして出力

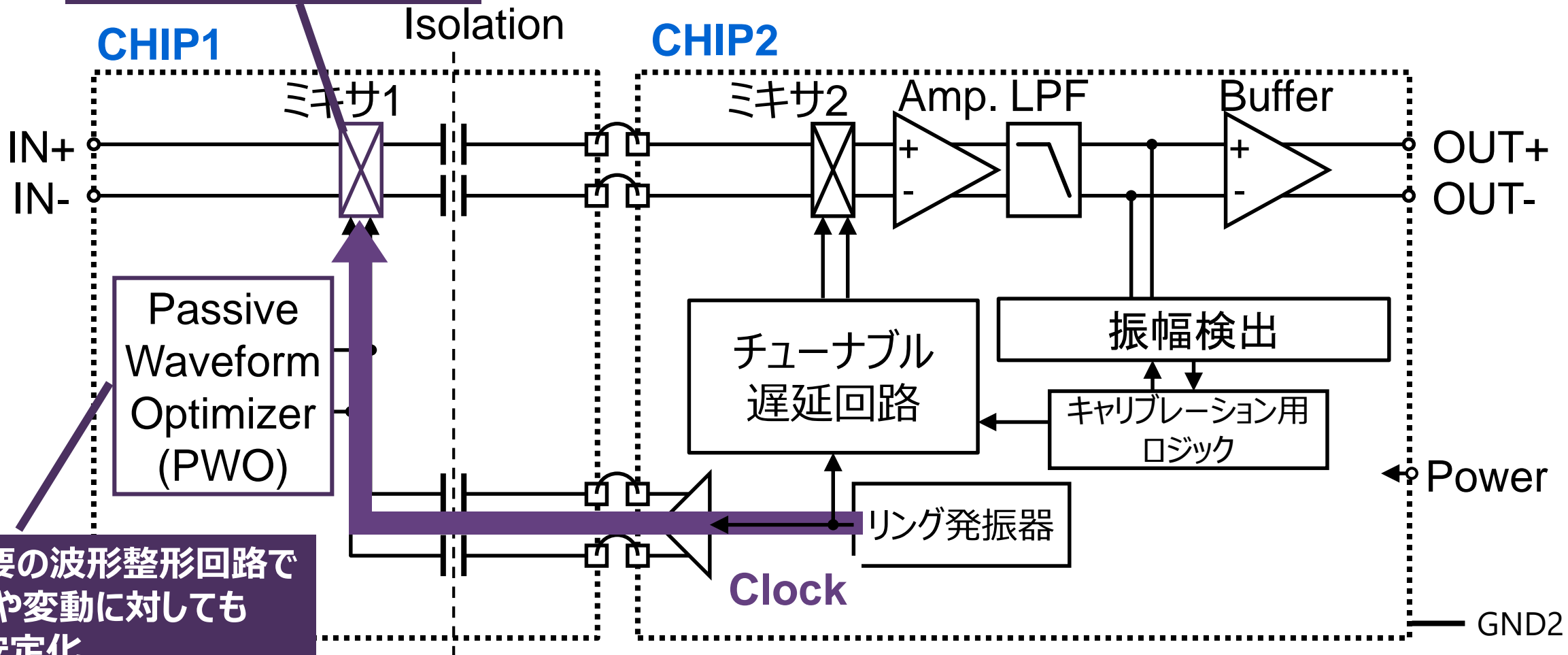


提案型アイソレーションアンプ (低消費電力化のポイント)

ポイント

パッシブミキサを利用することでCHIP1は電源が不要になり、低消費電力化！

パッシブミキサ
クロックの供給のみで動作
(電源不要)



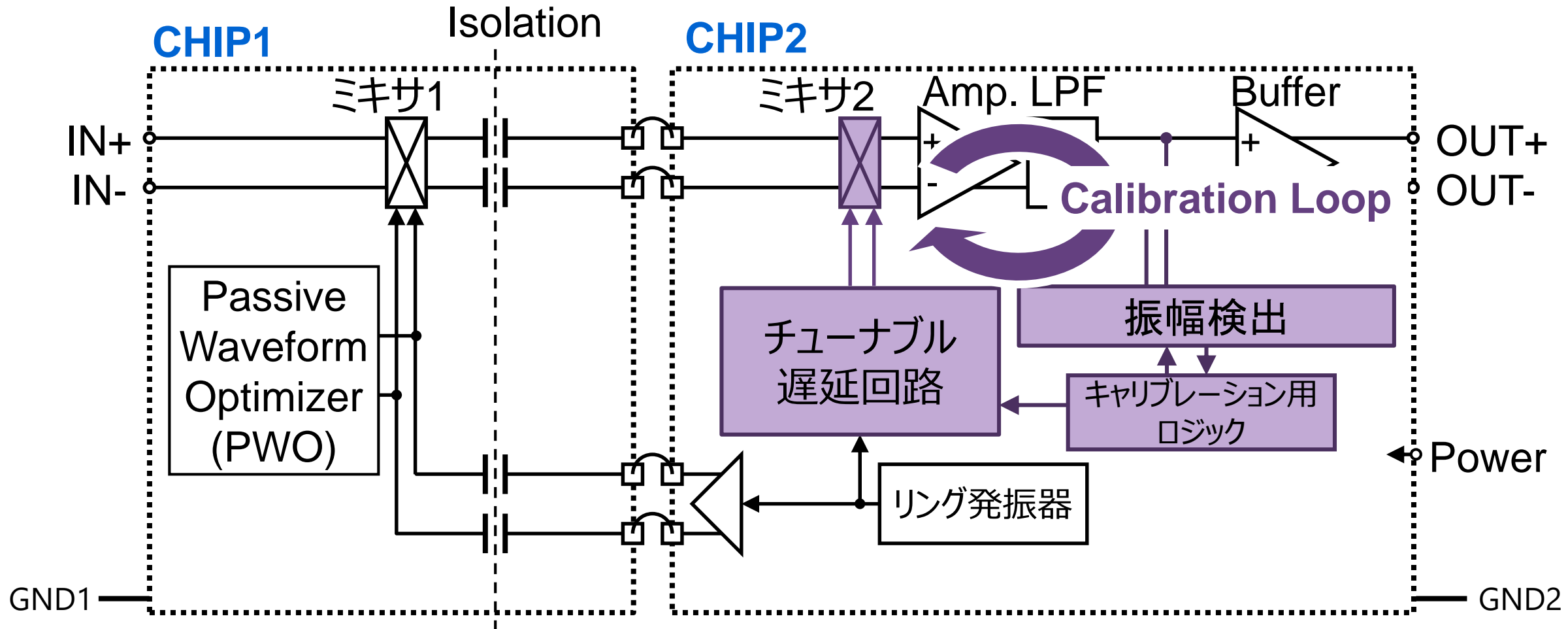
電源不要の波形整形回路で
バラツキや変動に対しても
特性を安定化

提案型アイソレーションアンプ (性能改善のポイント)

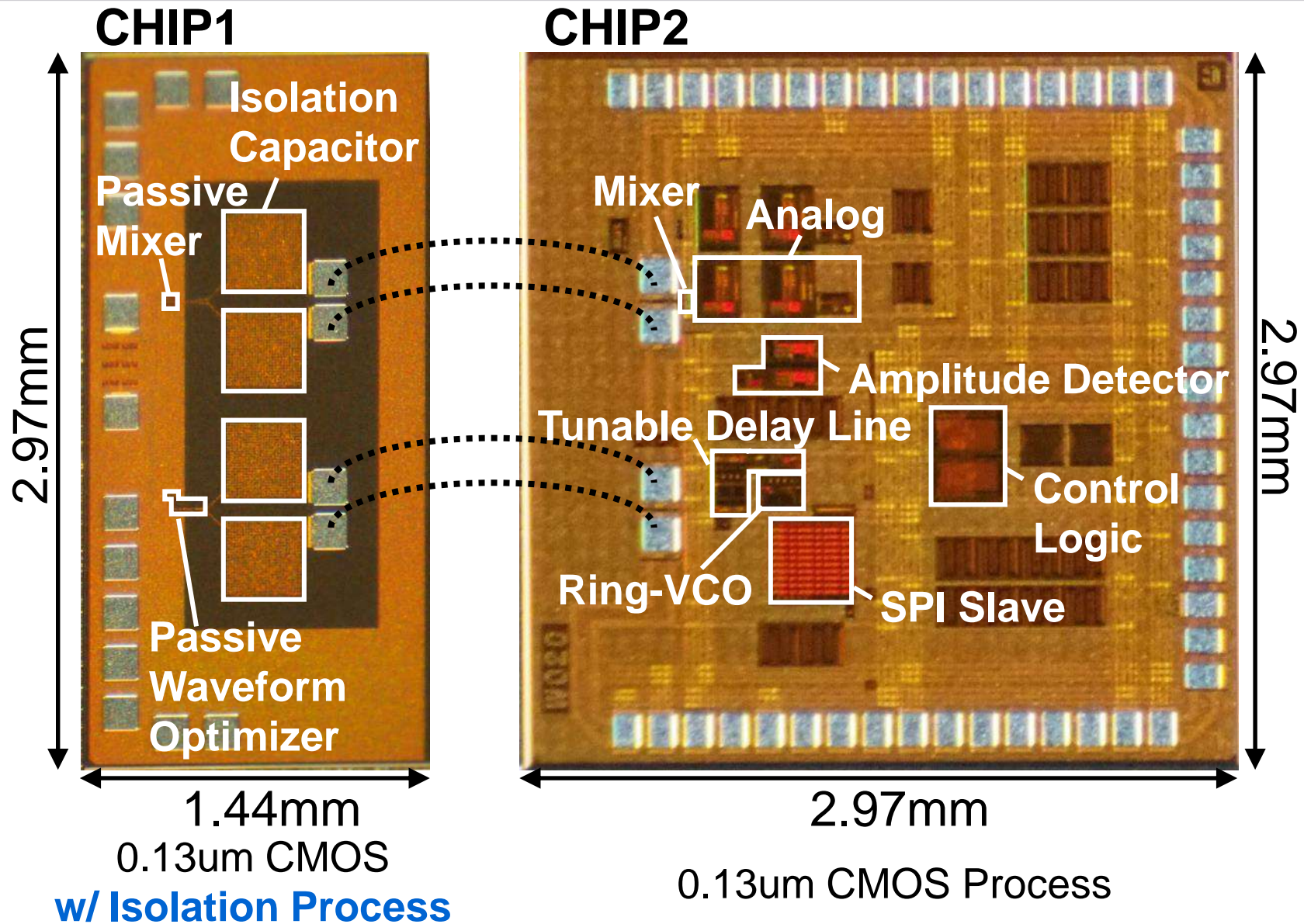
2つのミキサのクロック移相にずれがあると、性能が劣化
(移相ずれに応じた2倍波が発生し、信号エネルギーが減少)
⇒キャリブレーションにより自動でずれを補正

ポイント

キャリブレーションループを用いて自動で性能を最適化



試作チップ

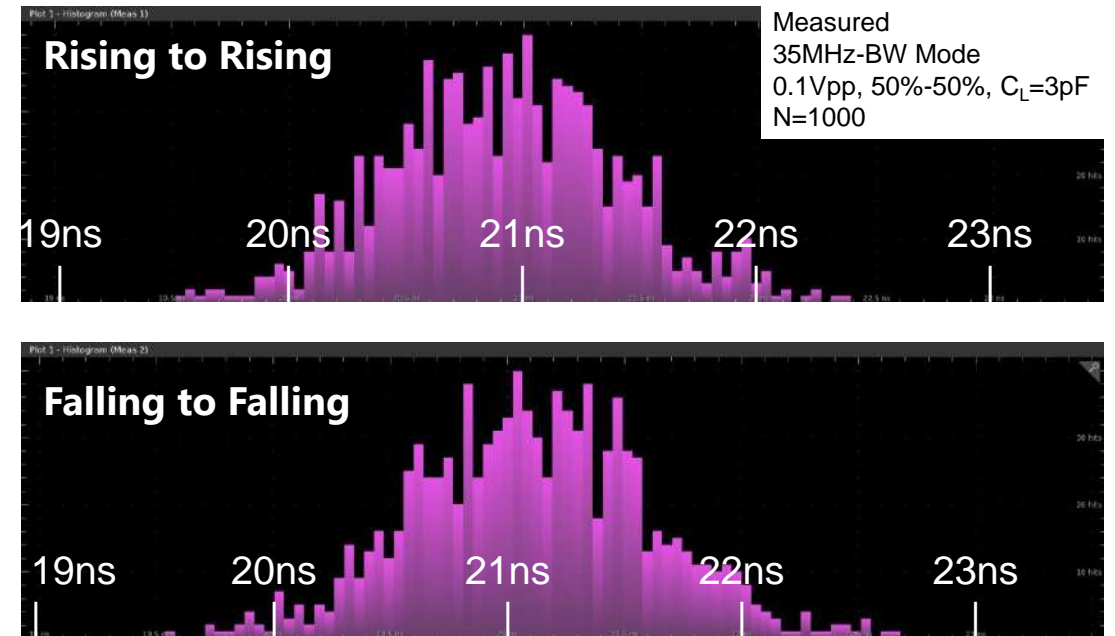
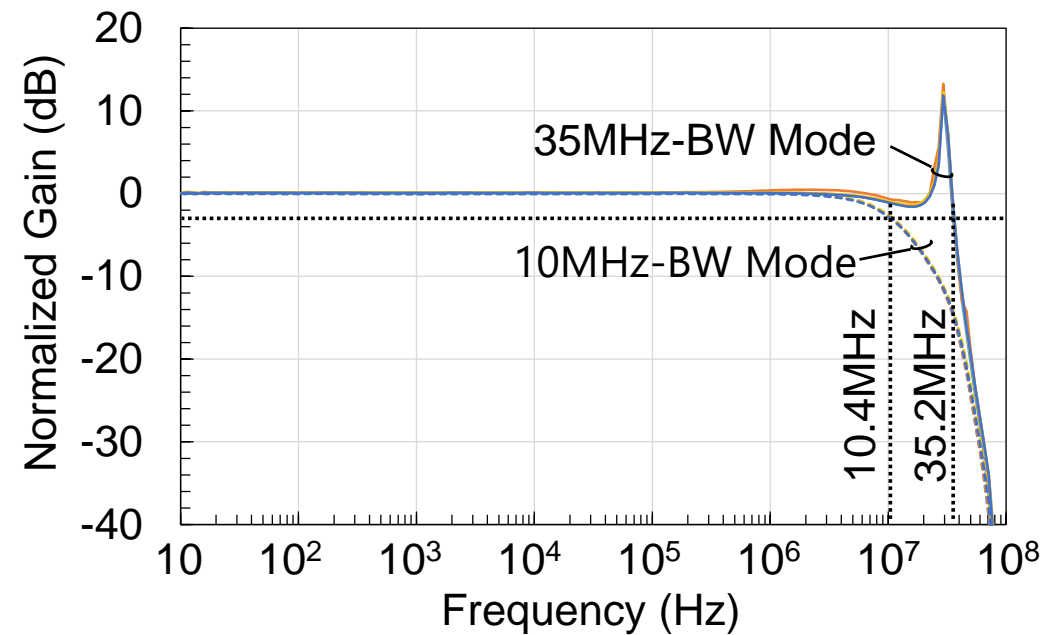


Layout Area

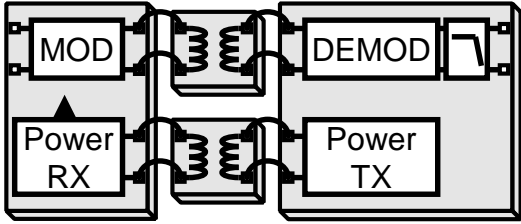
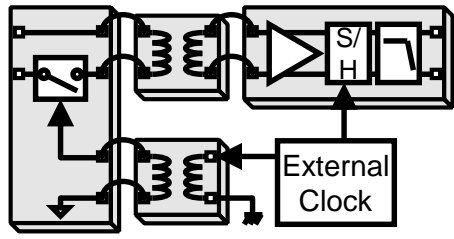
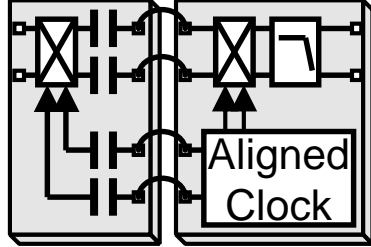
CHIP1 (Core)	0.0017mm ²
CHIP1 (Cap.) x4	0.097mm ²
CHIP2 (Core)	0.60mm ²
Total	0.99mm²

試作ICの特性

- 最大35.2MHzの計測帯域を実現
- 計測遅延は <30nsec



試作ICと従来技術の比較

		AD215 [1]	ISSCC 2011 [2]	This Work
				
Coupler		Trans.	MEMS Trans.	On-chip Cap.
Power Supply		Single	Single	Single
Power Consumption	Analog	-	15.6mW $\xrightarrow{-19\%}$ 12.6mW (Typ.)	
	Total	870mW	-	63.4mW (Typ.)
Core Layout Area	Primary Side	-	0.0015mm ²	0.0017mm ²
	Isolator	-	0.36mm ² x2	0.097mm ² x4
	Secondary Side	-	0.39mm ²	0.60mm ²
	Total	-	1.11mm² $\xrightarrow{-11\%}$ 0.99mm²	
Signal Bandwidth		120kHz	25kHz $\xrightarrow{1408\text{倍}}$ 35.2MHz	
SNR		-	-	40.3dB (0.1V _{PP} , 100kHz in, 1MHz BW)

290倍

[1] Analog Devices, AD215 Datasheet
 [2] F. Rothan et al., ISSCC 2011.

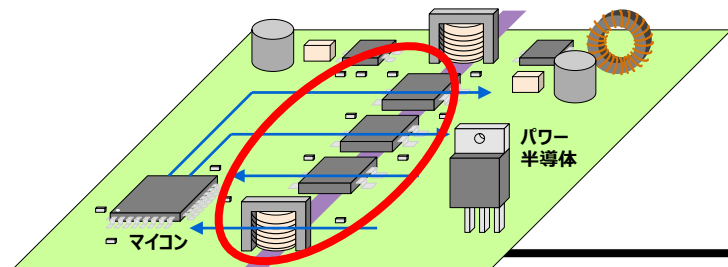
05

最新の研究事例

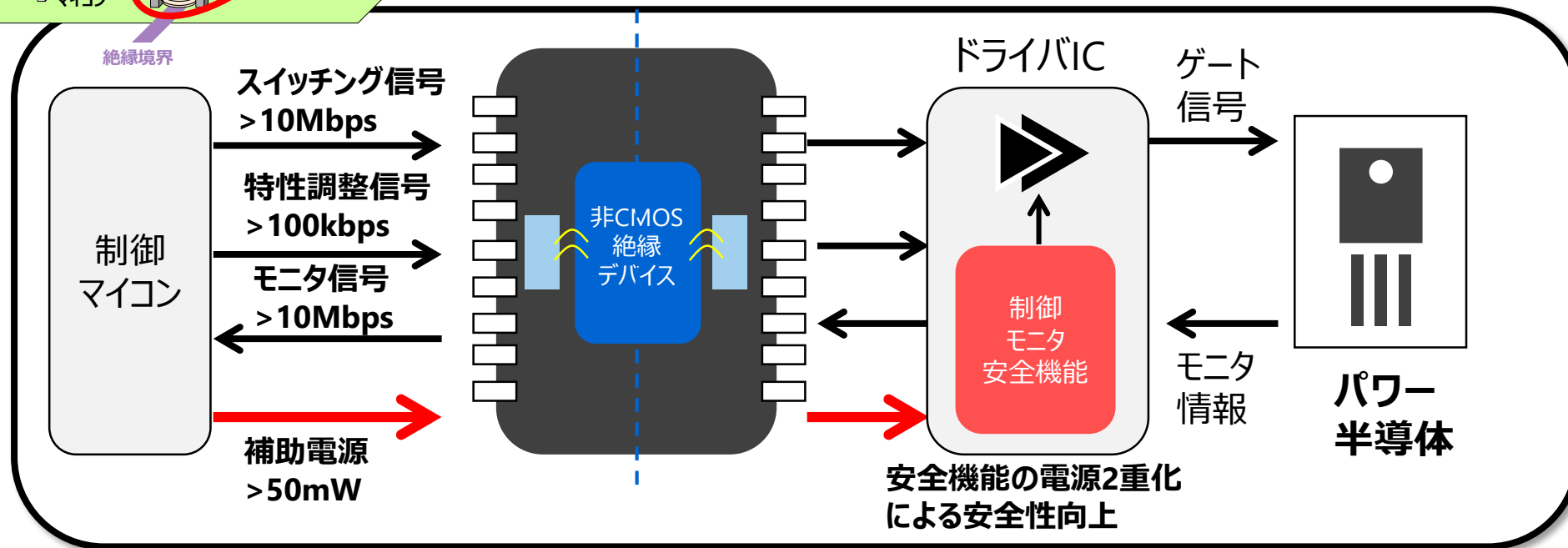
- 研究背景
- 具体的な技術紹介
 - 超広帯域アイソレーションアンプ (CMOS絶縁プロセスの活用例)
 - **電力 + 信号多重伝送IC (非CMOS絶縁プロセスの活用例)**
- まとめ

パワー半導体駆動向け絶縁ICの要求

システムの小型高効率化・高機能化のため、
絶縁を介して多様な双方向信号伝送、電力伝送が必要に



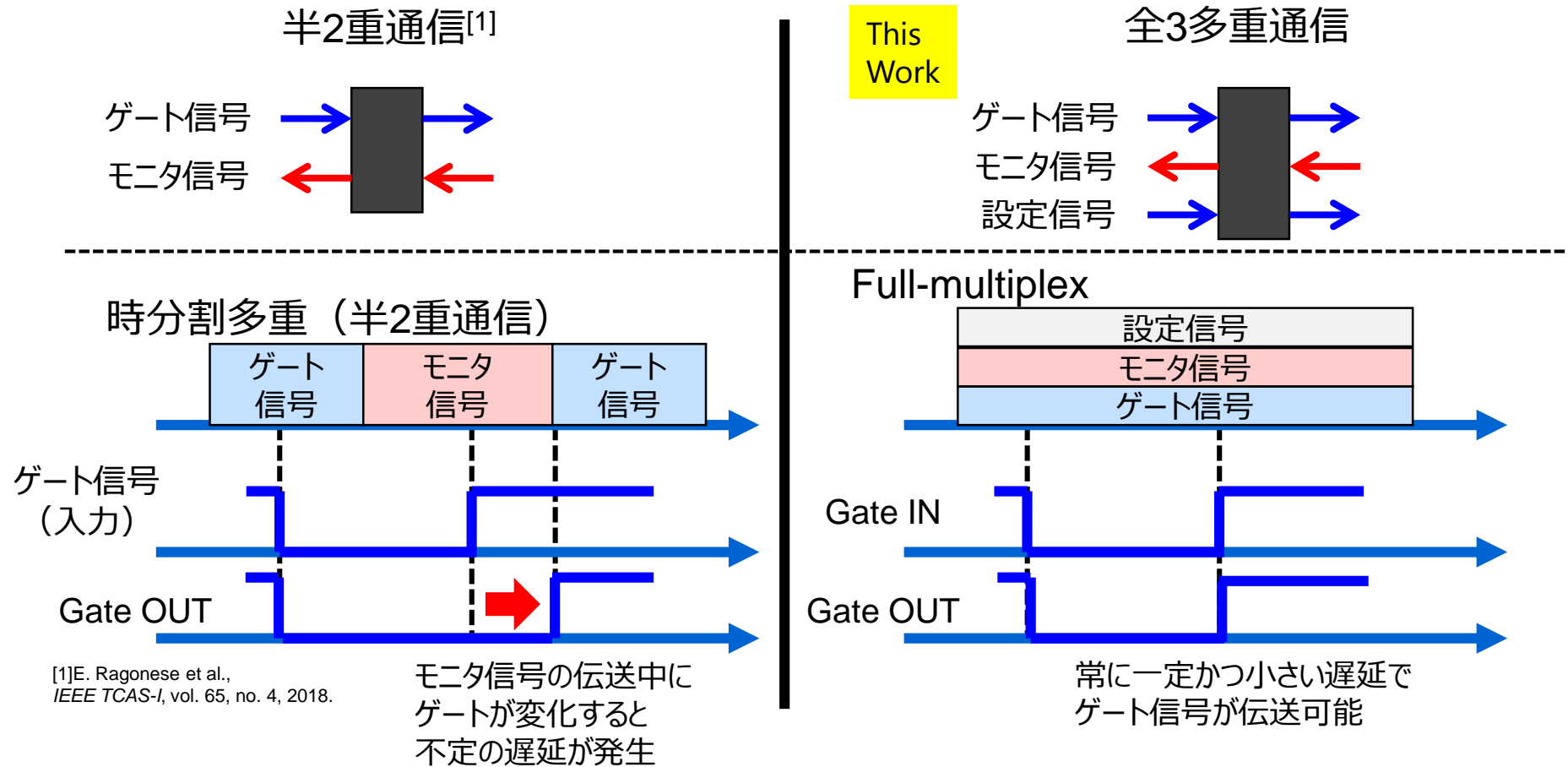
- 複数機能をワンパッケージ化
- 電力伝送でさらに小型化



電力伝送に適する非CMOSTランスはサイズ大で並列化困難
→独自の通信・電力多重化技術によりワンパッケージ化を実現！

ゲートドライブ用途における全多重通信の必要性

従来技術で電力伝送+半2重通信の報告はあるが、ゲートドライブ用途には不適



This Work

全3多重通信

時分割多重 (半2重通信)

Full-multiplex

ゲート信号 (入力)

Gate OUT

[1] E. Ragonese et al.,
IEEE TCAS-I, vol. 65, no. 4, 2018.

モニタ信号の伝送中に
ゲートが変化すると
不定の遅延が発生

Gate IN

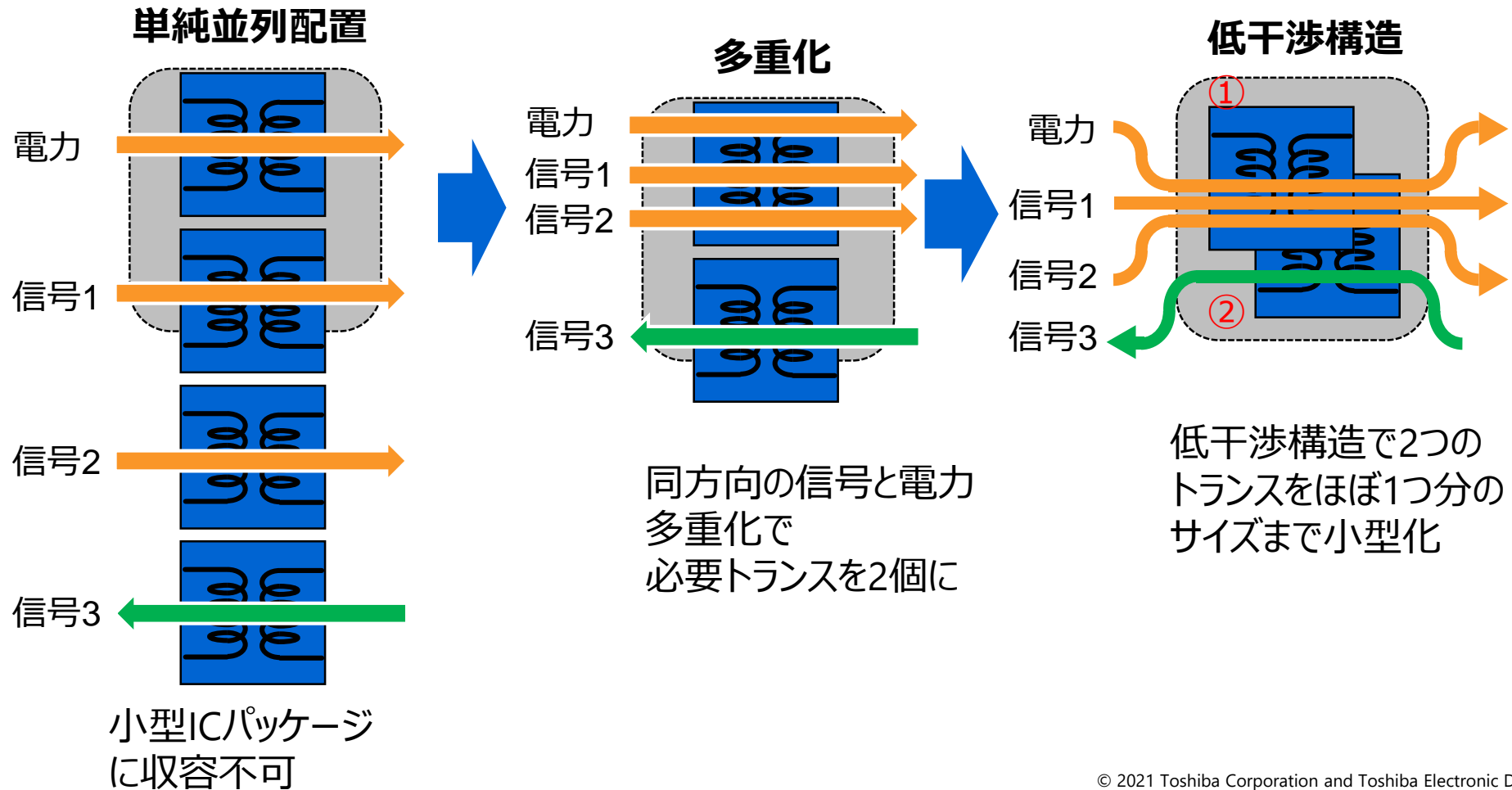
Gate OUT

常に一定かつ小さい遅延で
ゲート信号が伝送可能

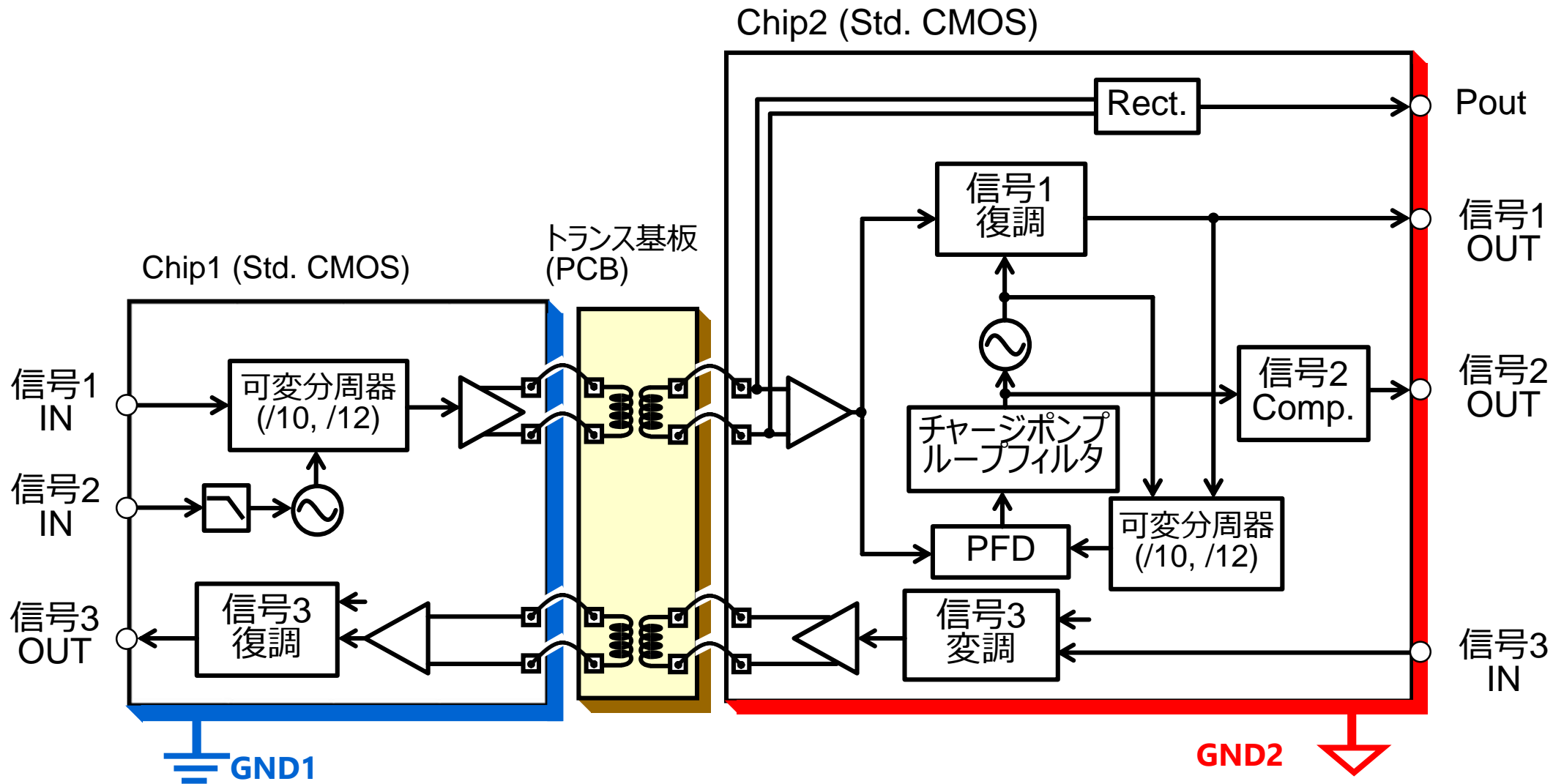
電力伝送 + 全多重(3多重)の通信を実現することで、ゲートドライブ用途に親和性の高い小型絶縁技術を提供

多重伝送コンセプト

- ・電力伝送に有利な非CMOSトランスを採用
- ・多重伝送と低干渉構造によりトランス面積を大幅に削減



提案回路の構成

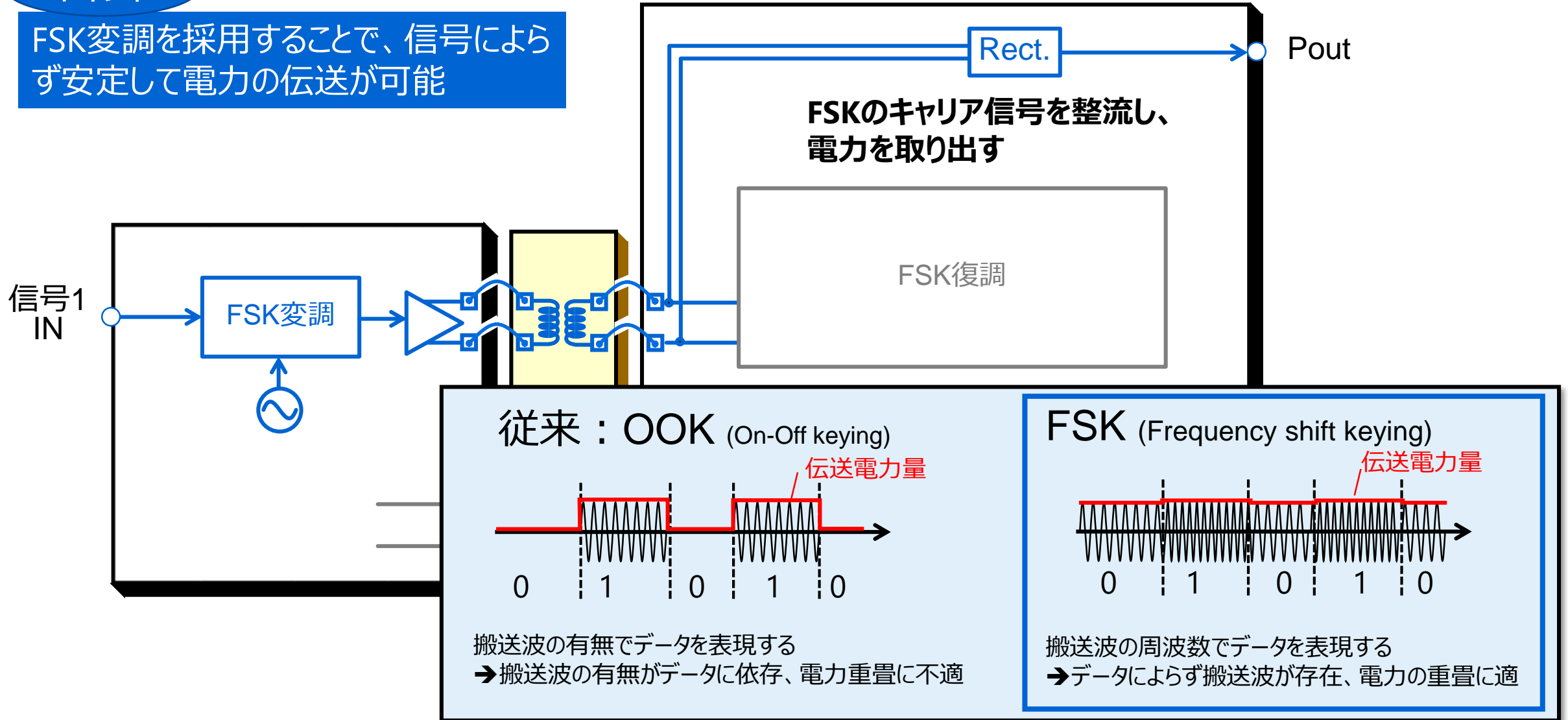


2つのCMOSチップとPCBトランスで構成される
チップ間はPCBトランス基板により電氣的に絶縁される

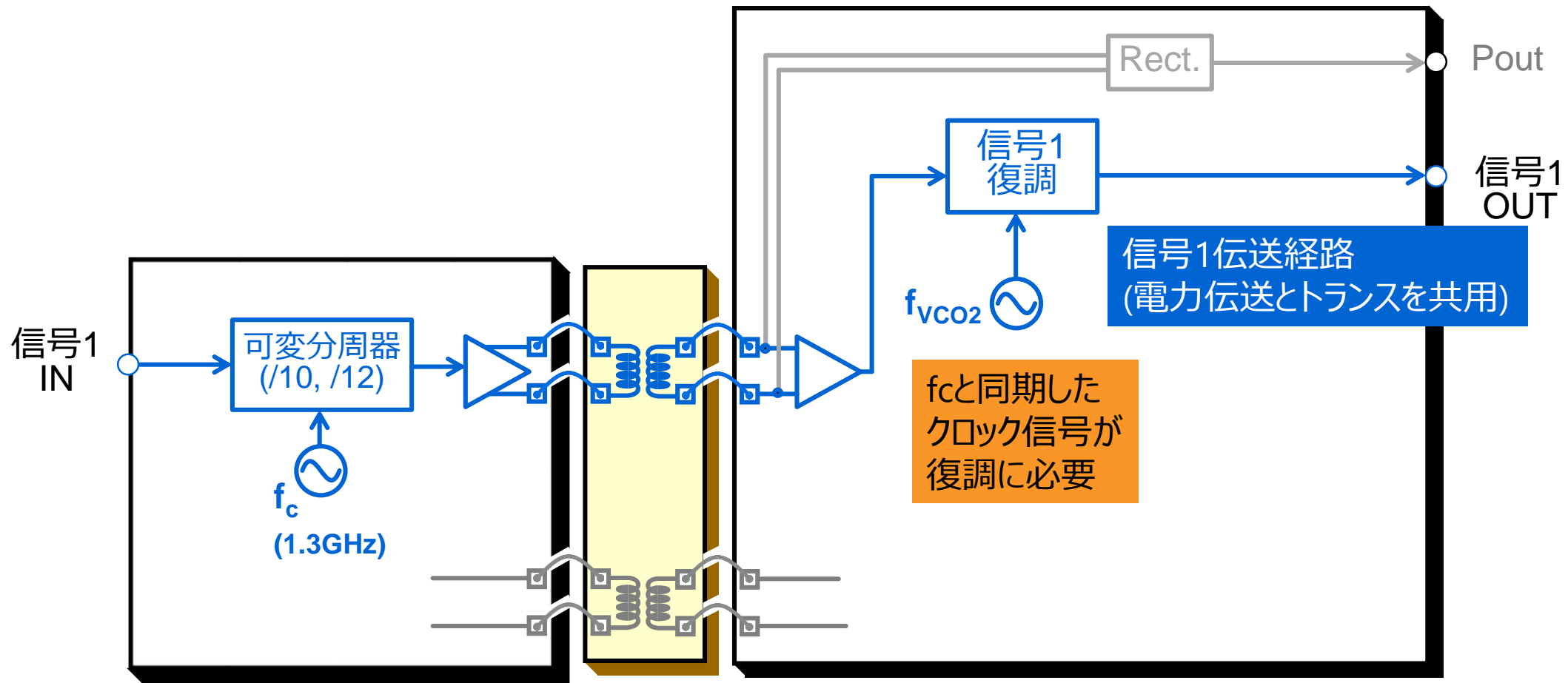
提案回路の動作（電力伝送）

ポイント

FSK変調を採用することで、信号によらず安定して電力の伝送が可能



提案回路の動作（信号1の伝送）

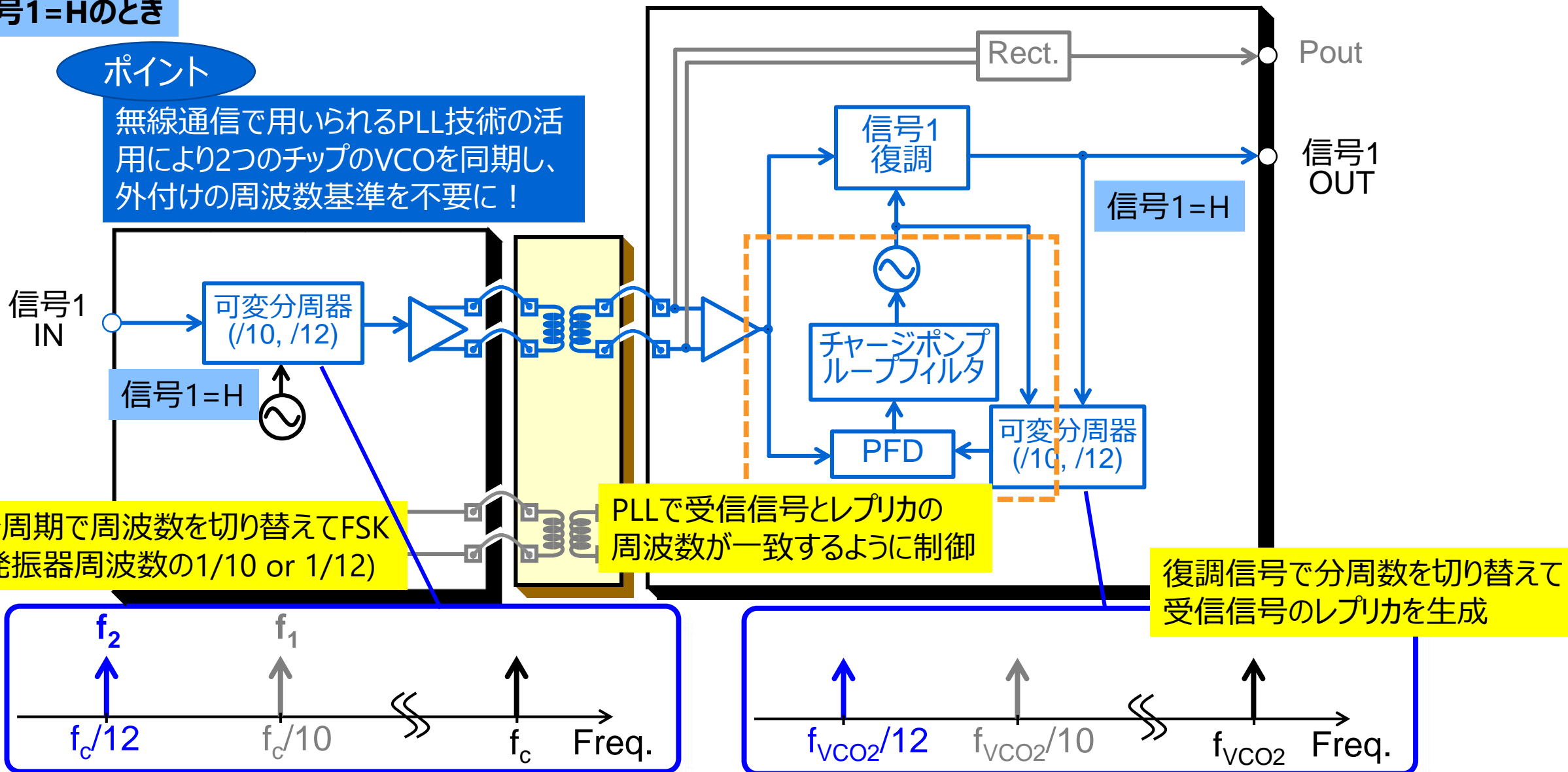


提案回路の動作 (クロックの同期)

信号1=Hのとき

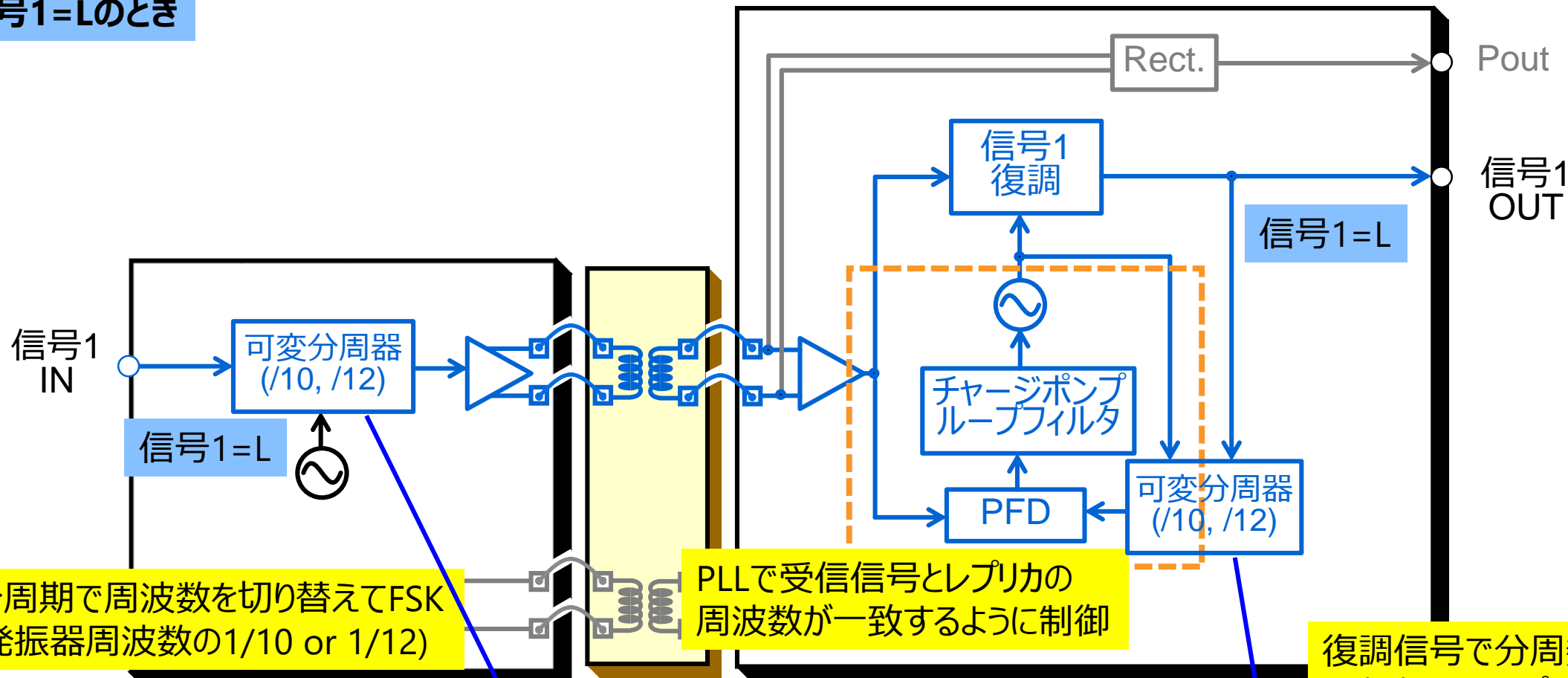
ポイント

無線通信で用いられるPLL技術の活用により2つのチップのVCOを同期し、外付けの周波数基準を不要に！



提案回路の動作 (クロックの同期)

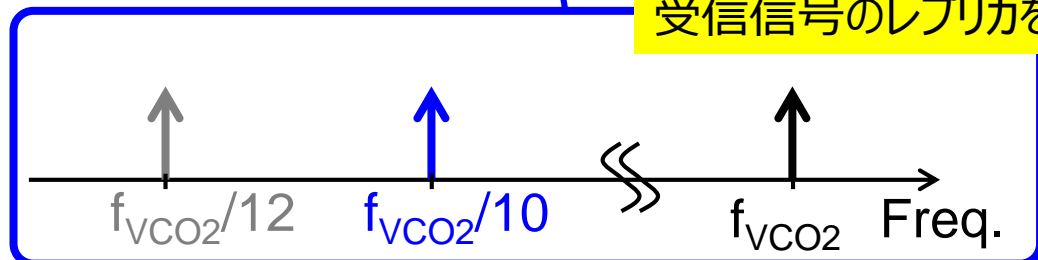
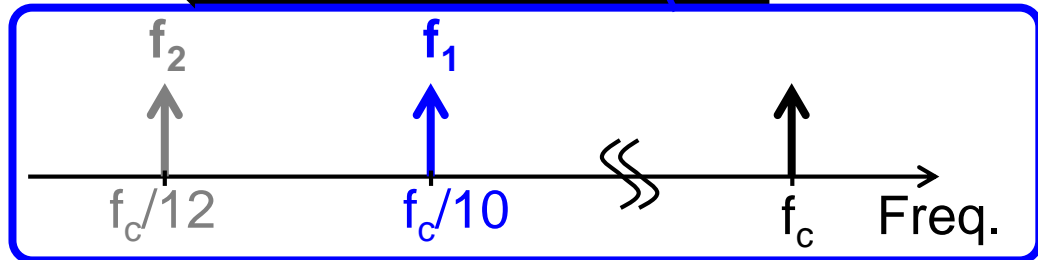
信号1=Lのとき



分周期で周波数を切り替えてFSK (発振器周波数の1/10 or 1/12)

PLLで受信信号とレプリカの周波数が一致するように制御

復調信号で分周数を切り替えて受信信号のレプリカを生成

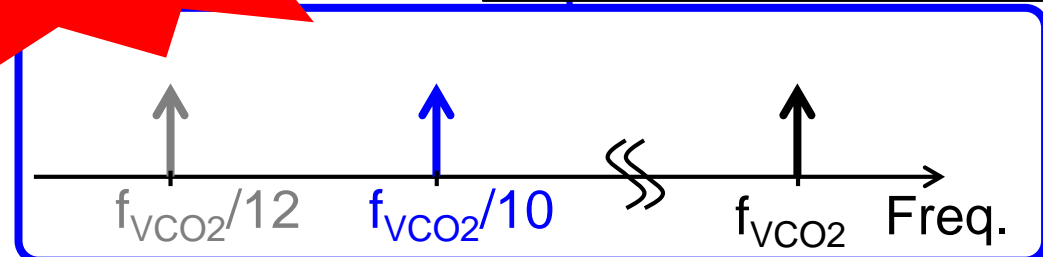
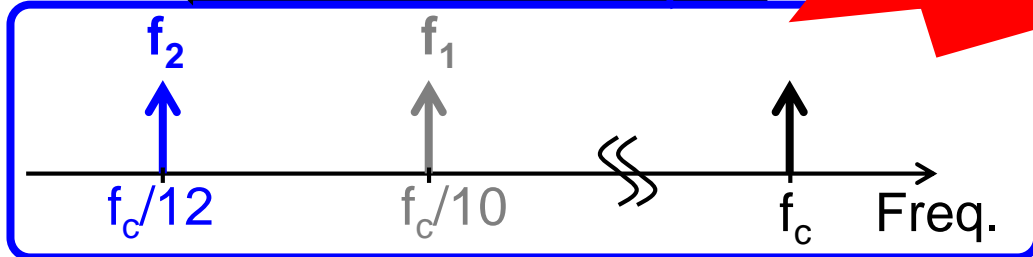
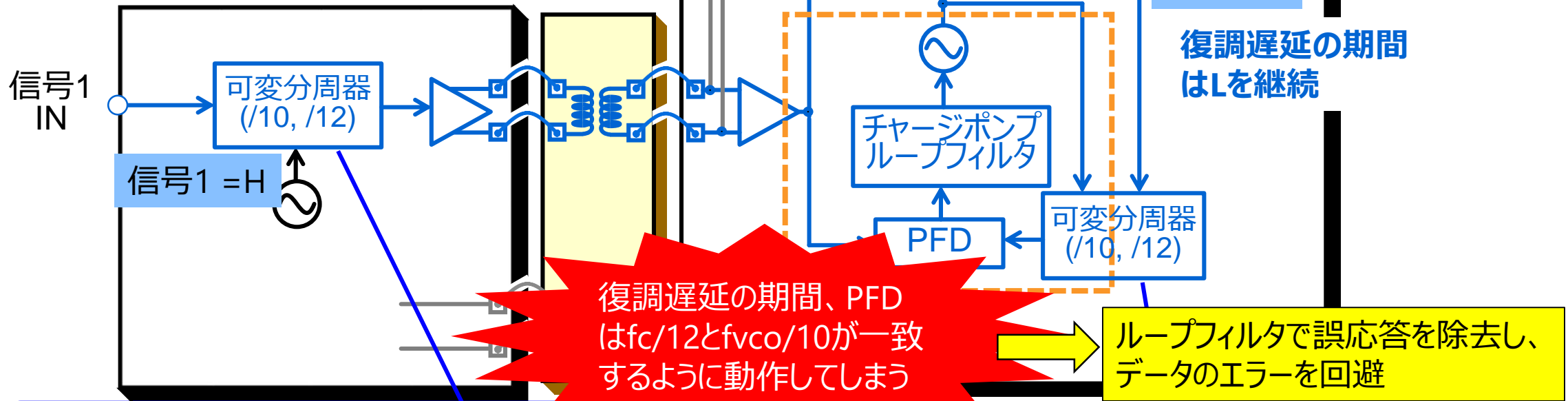


提案回路の動作 (クロックの同期)

信号1=L → Hの瞬間

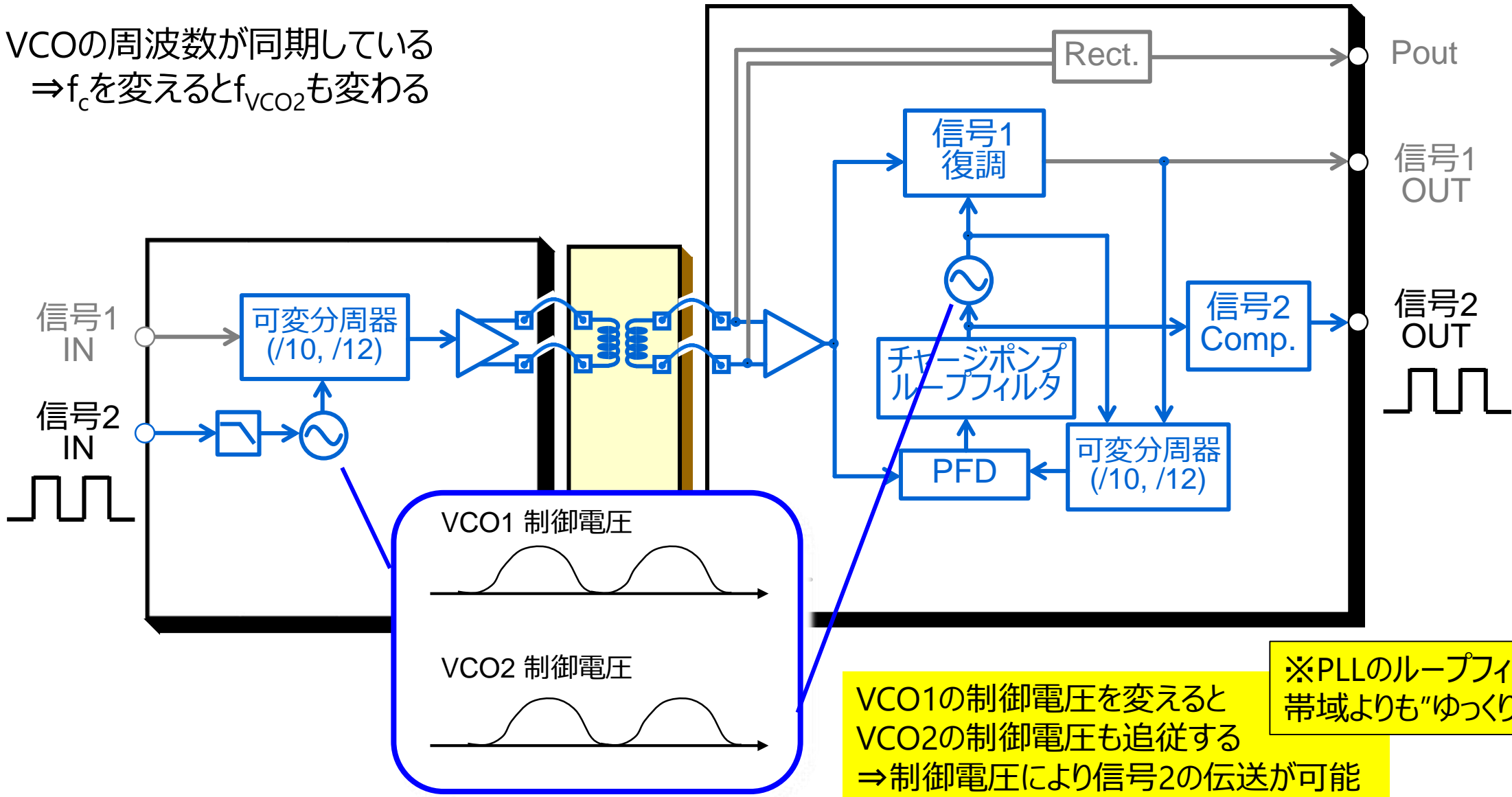
ポイント

瞬間的なPFDの誤応答を除去できるようにループフィルタの帯域を設定



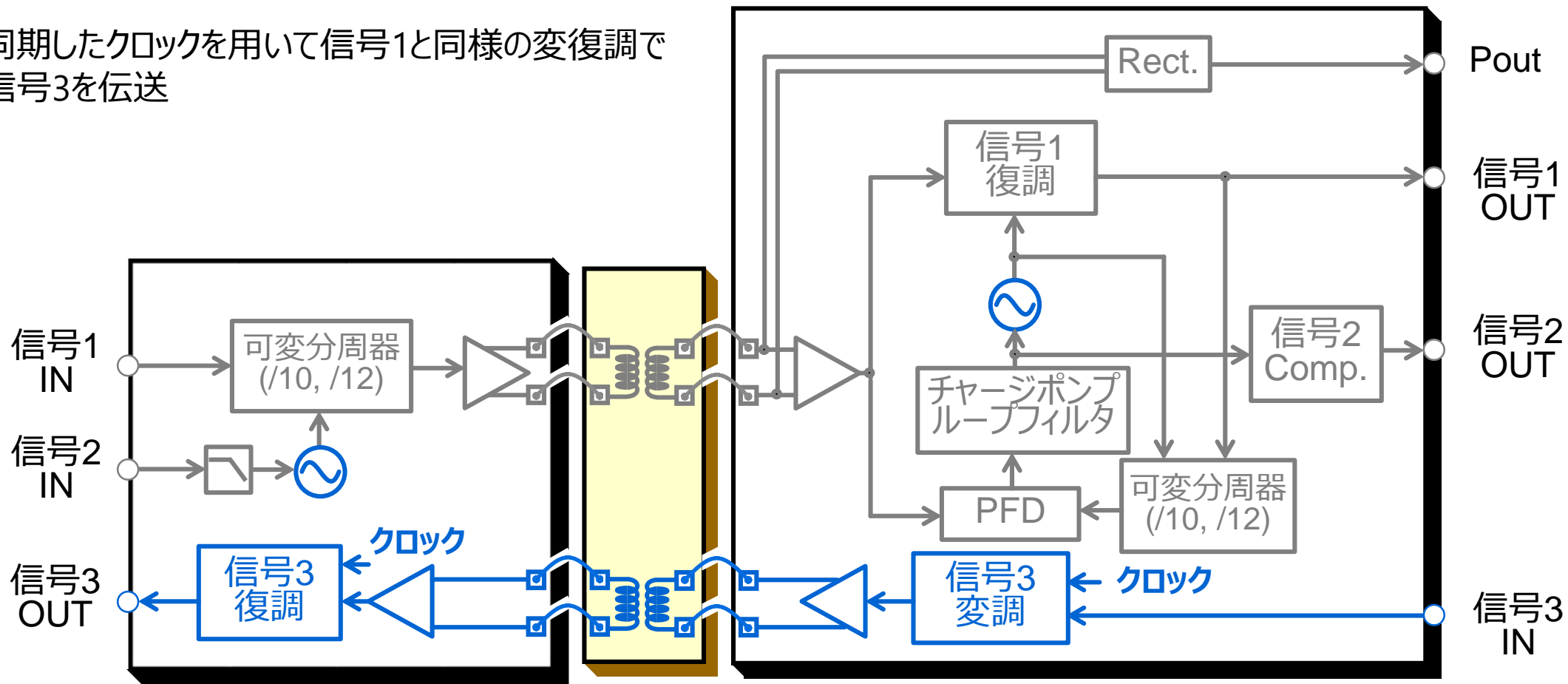
提案回路の動作（信号2の伝送）

VCOの周波数が同期している
 $\Rightarrow f_c$ を変えると f_{VCO2} も変わる



提案回路の動作（信号3の伝送）

同期したクロックを用いて信号1と同様の変復調で信号3を伝送

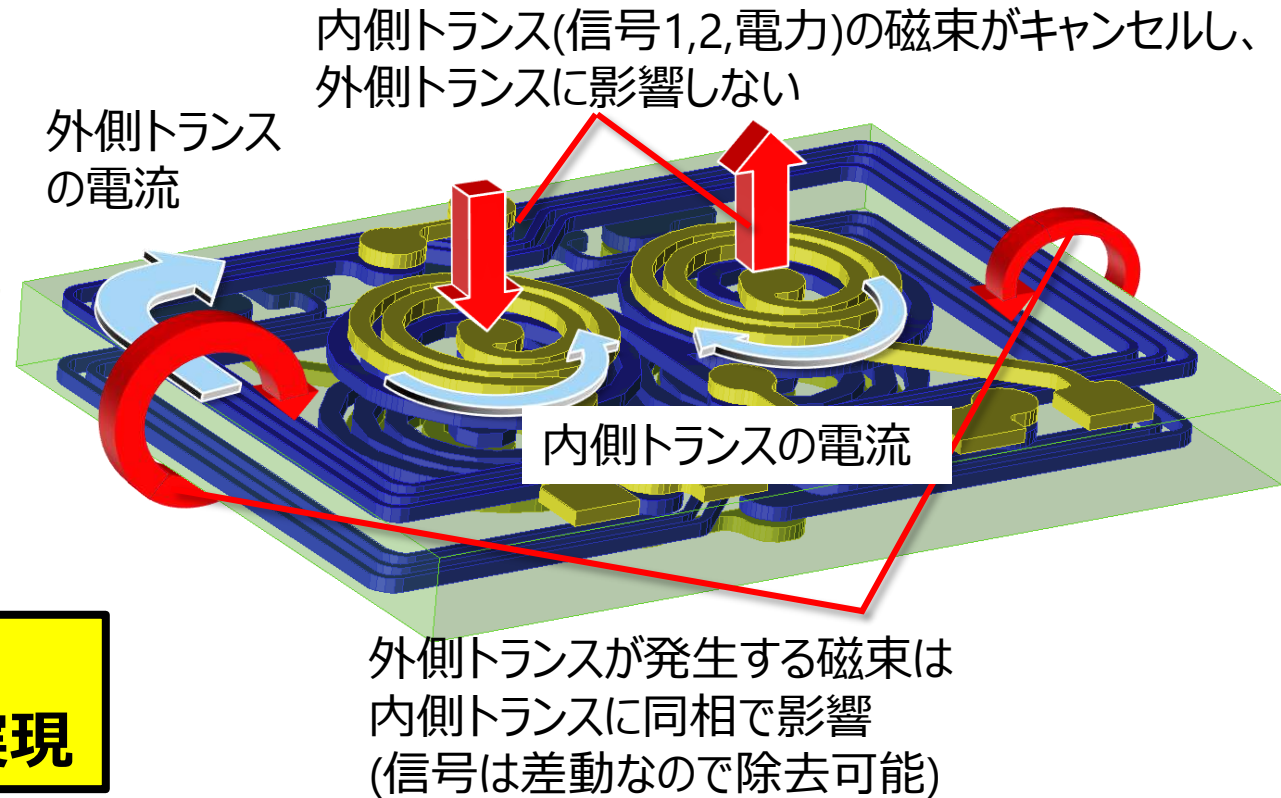
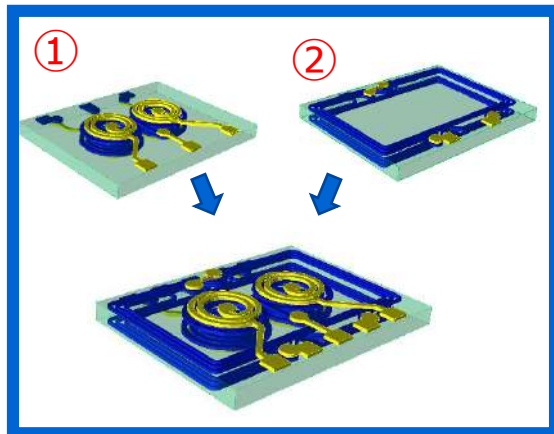


トランス2個で3信号と電力のすべてを伝送できる

低干渉トランス構造

- 内側のトランスの対象巻き線に逆方向の電流を流すことで発生する磁束をキャンセルし、相互干渉を低減

2つのトランスを同心配置



2個のトランスを
ほぼトランス1つ分の面積で実現

トランス特性の電磁界解析シミュレーション

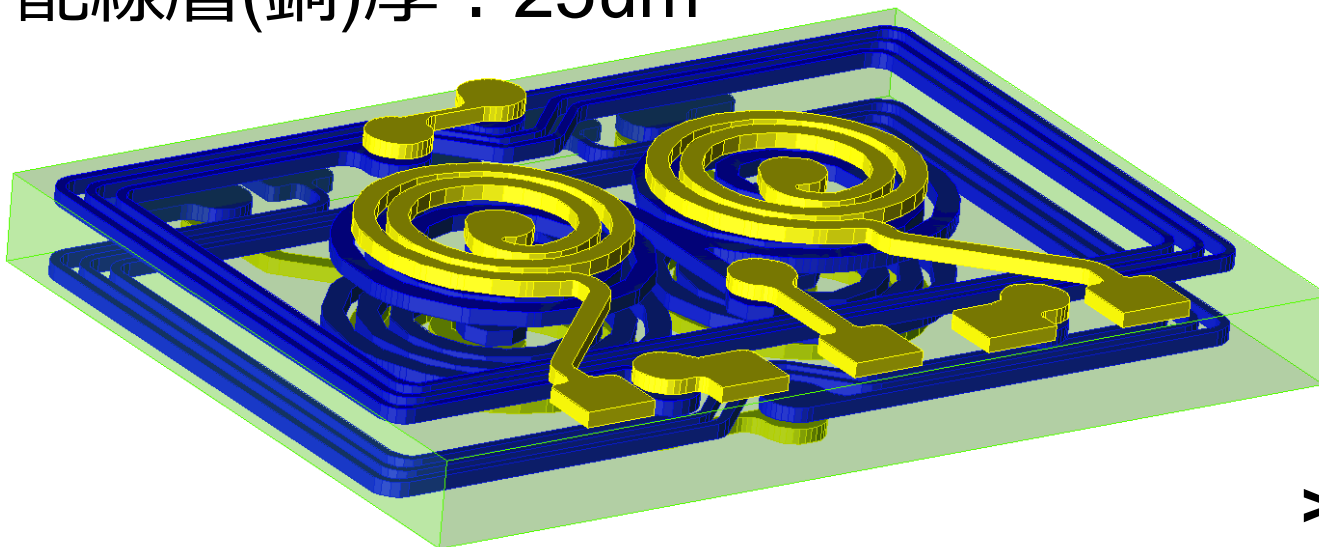
内側トランス		外側トランス	
L1 (上側)	60.0 nH	L3 (上側)	60.5 nH
L2 (下側)	56.5 nH	L4 (下側)	56.8 nH
Q1 @ 100MHz	32.3	Q3 @ 100MHz	23.5
Q2 @ 100MHz	30.9	Q4 @ 100MHz	20.2

結合係数		
k12	電力、信号1・2	0.59
k34	信号3	0.57
k13	不要干渉	0.01
k24	不要干渉	0.01
k14	不要干渉	0.01
k23	不要干渉	0.01

High-Q
(高効率)

**トランス間の干渉は
無視できるレベル**

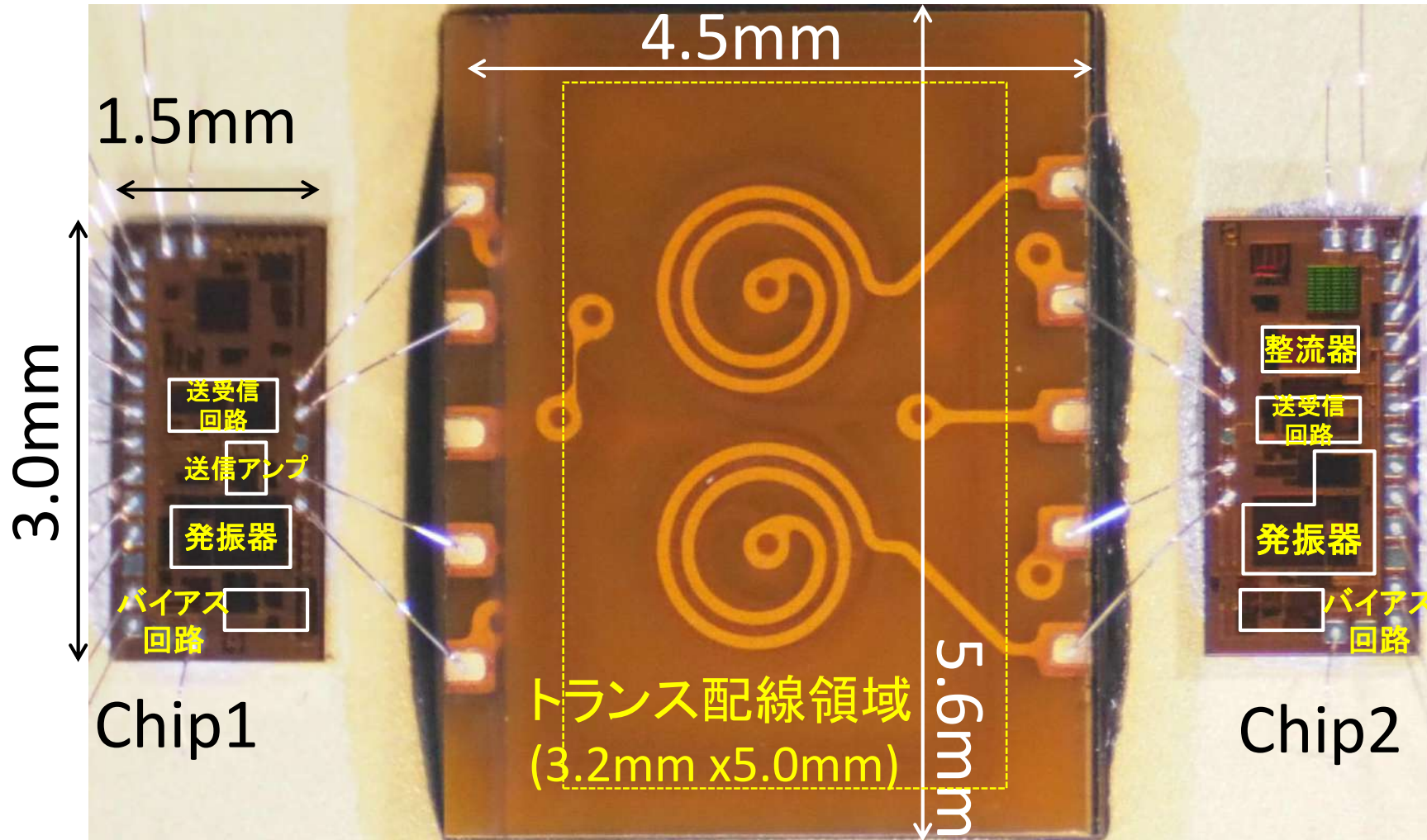
配線層(銅)厚 : 25um



↑>100um 絶縁膜

>6kV 絶縁耐圧

Chip Micrograph



Power Consumption
(@100Ω Load)

CHIP1: 27.4mW (from 1.5V)
432.2mW (from 5.5V)

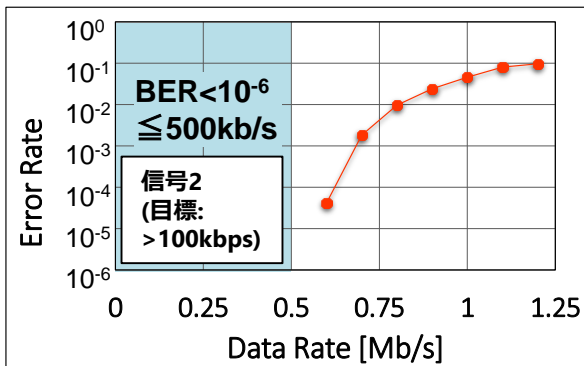
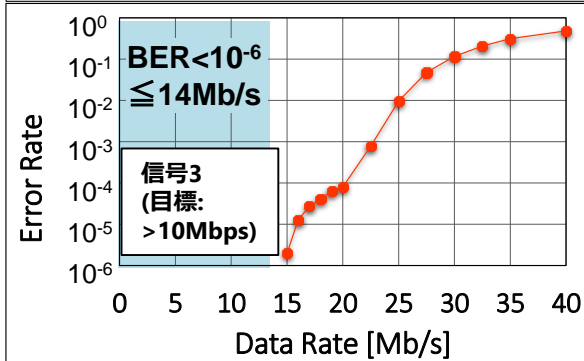
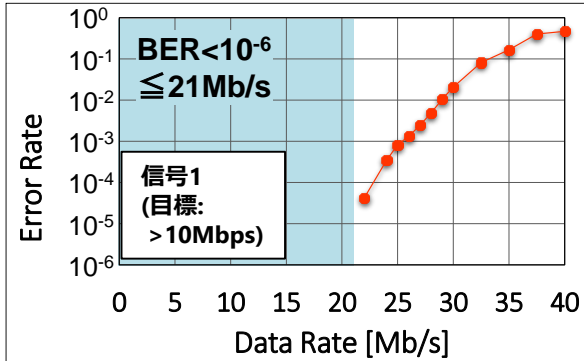
CHIP2: 47.7mW (from 1.5V)
5.7mW (from 4.0V)

フレキシブルPCB基板

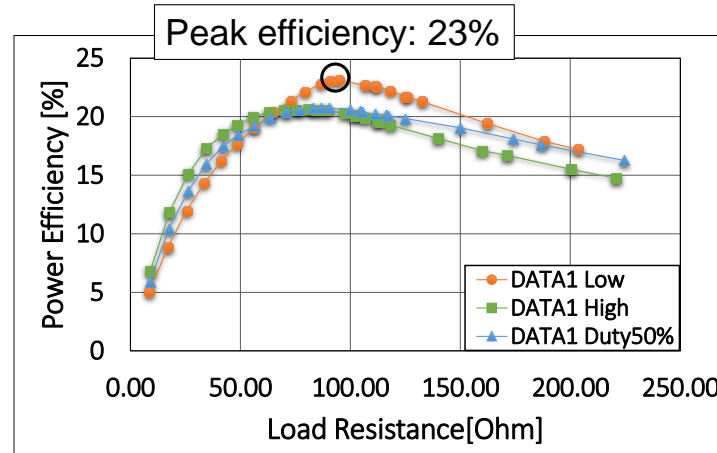
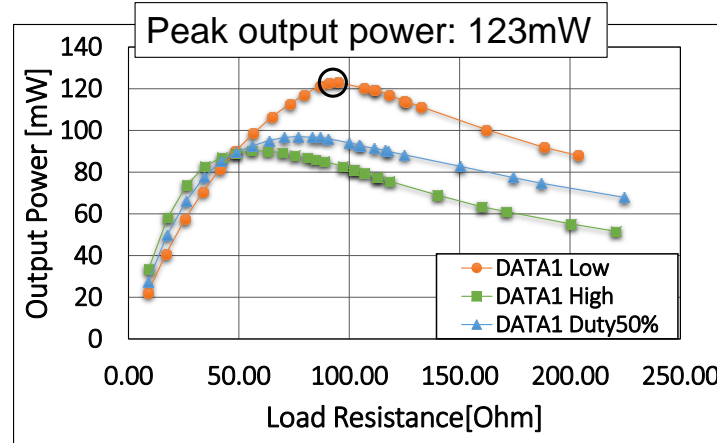
Chip1, Chip2:
0.13μm standard CMOS

試作ICの性能

最大
20Mbps
以上で
通信可能



100mW超の電力を
通信と同時に伝送



	東芝	従来技術
CMOS プロセス	0.13um Standard CMOS	0.35um BCD + 特殊絶縁 プロセス
トランスの 実現方法	フレキシブル PCB基板	
絶縁耐圧	6kV	5kV
通信多重	全三多重	半二重
Data Rate [bps]	21M / 14M / 500k	50M / 5M
絶縁電力供給	123 mW	107 mW
Power Transfer Efficiency [%]	23	20 ※LDMOS 使用

• 共用トランスによる電力と全多重の通信を実現

05

最新の研究事例

- 研究背景
- 具体的な技術紹介
 - 超広帯域アイソレーションアンプ (CMOS絶縁プロセスの活用例)
 - 電力 + 信号多重伝送IC (非CMOS絶縁プロセスの活用例)
- **まとめ**

絶縁ICの研究開発の事例を紹介

- CMOS絶縁プロセスを活用した超広帯域アイソレーションアンプ
- 非CMOS絶縁プロセスを活用した電力 + 多重信号伝送IC

ポイント

- CMOS、非CMOSそれぞれの長所を生かした応用
- 無線通信回路技術の活用により、新しいコンセプトの絶縁IC技術を提案

TOSHIBA

※ 社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。