

温故知新：

古典数学の電子回路設計への適用

電子回路での新アルゴリズムをいかにして考案したか

群馬大学 大学院理工学府 電子情報部門

小林 春夫

koba@gunma-u.ac.jp

<https://kobaweb.ei.st.gunma-u.ac.jp/>

レポート情報は
最後のページ



Carolus Fridericus Gauss
(独: 1777-1855)

「整数論は数学の女王である。」

カール・フリードリヒ・ガウス

過去の整数論

身近にあるが、謎が多く美しい。
他分野へ貢献しない孤高の学問。

現在の整数論

情報通信処理に応用(暗号化・符号論)
⇒ デジタル信号との相性良し

アナログ集積回路設計への整数論応用は未知の世界
⇒ この分野を切り開く

- 大学での工学の研究教育
- アナログ半導体の重要性
- 研究内容の概要
- 三角数の性質を用いたDA変換器
- 貴金属比サンプリング
- 剰余系サンプリング
- 最後に
- 付録

電子情報部門(電気電子工学専攻)
小林・桑名研究室での研究

- 大学での工学の研究教育
- アナログ半導体の重要性
- 研究内容の概要
- 三角数の性質を用いたDA変換器
- 貴金属比サンプリング
- 剰余系サンプリング
- 最後に
- 付録

フンボルトの大学の理念

「知識は 発展している、
作り出されている、進歩している。

大学は 学問を未だに
完全には解決されていない
問題として、
たえず研究されるものとして
扱うことに特色がある。」



Friedrich Wilhelm
Christian Karl Ferdinand
Freiherr von Humboldt
1767年 - 1835年.

ドイツの言語学者・政治家・貴族。
フンボルト大学（ベルリン大学）
の創設者

学生時代の「数学」の講義にて印象に残る言葉
「数学の定理の発見は、論理的に
ひとつひとつ積み上げてなされるのではない。
このような定理が成立するのではないかと
直感で予測して、論理的に証明していく。」

工学分野:

「解析だけでなく 設計を教えよ」

「科学」と「技術」は似て非なるもの

- 「科学（理学、Science）」と「技術（工学、Technology）」は似ているが異なる。
- 「理学」が真理を追究するのを目的
- 「工学」は役に立つこと（「ものづくり」だけでなく「環境問題」等も含めて）を目的とした実学。
- 「工学」は社会性をもった学問。

「技術で世の中に喜びを提供する」



「研究所は、技術ではなく
どういふものが人に好かれるかを
研究するところである。」 (本田宗一郎)

東大名誉教授 北森俊行先生



北森先生

思考力・創造力の向上のために

- 数学の定理を教え、証明してみせるよりも、
定理を発見する気持ちを教える。
- 物理法則を教えるよりも、
物理法則を見つけ出そうという気持ちを教える。
- 出来上がった理論を教えるよりも、
理論を創る気持ちを教える。

- 大学での工学の研究教育
- アナログ半導体の重要性
- 研究内容の概要
- 三角数の性質を用いたDA変換器
- 貴金属比サンプリング
- 剰余系サンプリング
- 最後に
- 付録



- 電子の発見から124年 (1897年)
グラスゴー大学 ケルビン卿
- トランジスタの発明から74年 (1947年)
ベル研究所 ウィリアム・ショックレイ氏 ら
- 集積回路の発明から63年 (1958年)
インテル社 ロバート・ノイス氏
テキサス・インスツルメンツ社 ジャック・キルビー氏

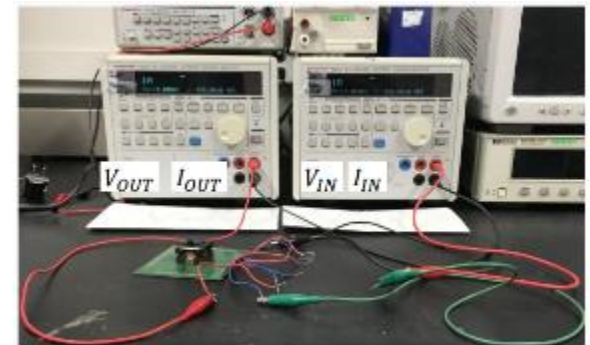
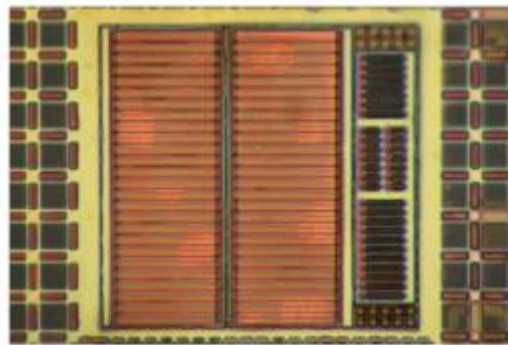
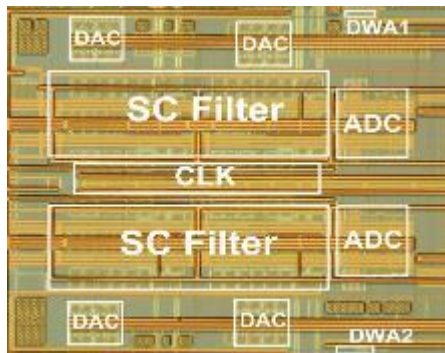
物理学の一分野にすぎなかったエレクトロニクスは学問的・技術的および産業的に急速に発展してきた。

集積回路: Integrated Circuit (IC)

大規模集積回路:

Large Scale Integrated Circuit (LSI)

一つのチップ上に多数のトランジスタ、R、Cが集積、配線結合
開発には、様々な分野の先端科学技術が必要



群馬大学と産業界で共同開発した
集積回路チップ

集積回路チップの
測定環境

様々な電子機器・システムを支える



スマホ



PC



電子計測器



オーディオ



自動車



鉄道

- 様々な製品を支えるキーコンポーネント
- 長期的に成長産業

短期的には：**山高ければ谷深し**

[「半導体・デジタル産業戦略」を取りまとめました \(METI/経済産業省\)](#)

● [半導体・デジタル産業戦略 \(PDF形式：814KB\)](#)

● [半導体・デジタル産業戦略について \(要点\) \(PDF形式：162KB\)](#)

● [半導体・デジタル産業戦略 \(概要\) \(PDF形式：2,762KB\)](#)

● [半導体戦略 \(PDF形式：8,652KB\)](#)

「米中半導体戦争」が本格化、日本が急速な構造変化を生き残る道

真壁昭夫：法政大学大学院教授

国際・中国 今週のキーワード 真壁昭夫

2021.1.12 4:20

半導体不足、ついにスマホメーカーにも 危険水域に

小久保 重徳 2021/07/21 12:00



米ウォール・ストリート・ジャーナルは7月19日、世界的な半導体不足の波が、ついにスマートフォン業界にも押し寄せたと報じた。

© iBpress 提供 アップルストアに並ぶiPhone
(写真：西村尚己/アフロ)

HOME > 山陰中央新報ニュース > 自動車半導体不足が長期化 他業界と争奪 減産続く コスト上昇、収益圧迫も

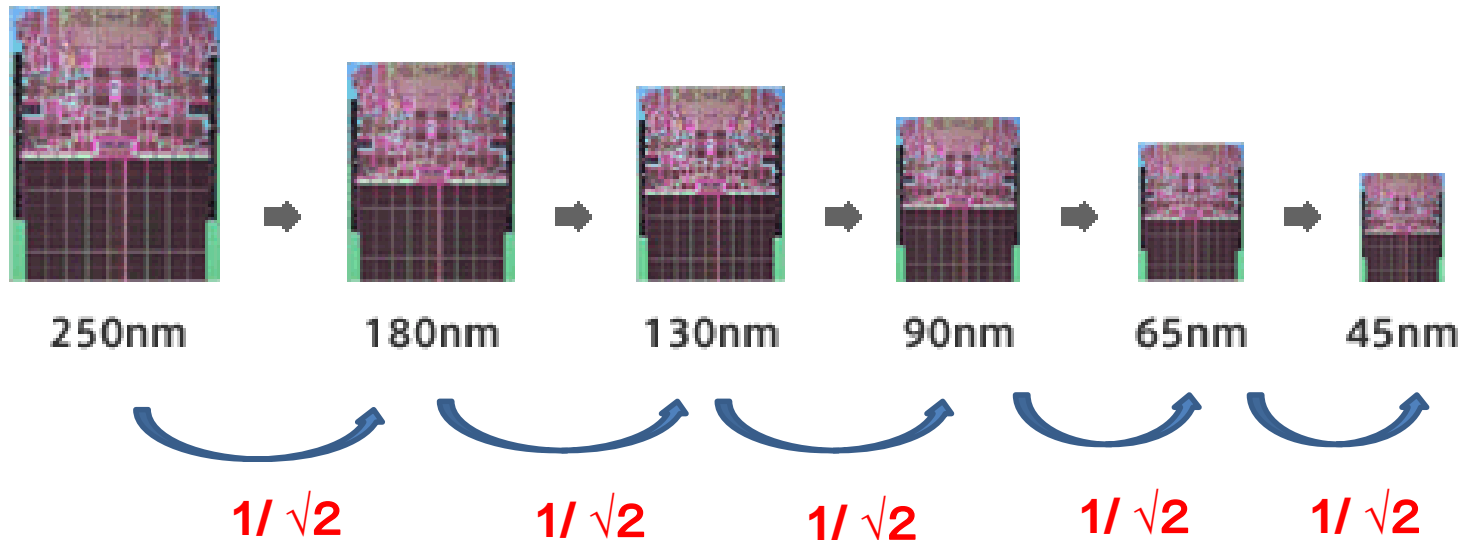
自動車半導体不足が長期化 他業界と争奪 減産続く コスト上昇、収益圧迫も

2021/7/21 04:00

半導体の供給不足が自動車業界で長期化している。社会のデジタル化に伴い、電機など他業界との争奪戦が激化しているため、部品が調達できずに年明けから減産を続ける国内自動車大手の態勢が正常化する見通し...

LSIプロセス進展

$\sqrt{2}$ 白銀比



LSIプロセスが1世代進む ⇒ サイズ $1/\sqrt{2}$ 、面積 $1/2$

- 大学での工学の研究教育
- アナログ半導体の重要性
- 研究内容の概要
- 三角数の性質を用いたDA変換器
- 貴金属比サンプリング
- 剰余系サンプリング
- 最後に
- 付録

数学を用いたデジタル・アナログ変換器 アーキテクチャの開発

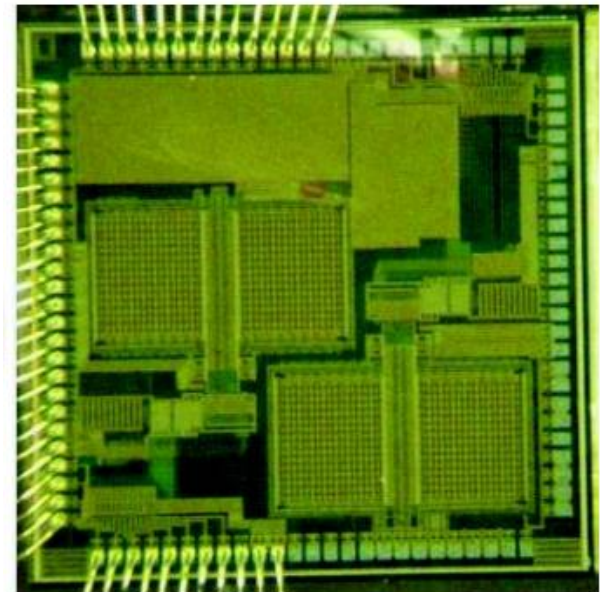
群馬大学大学院 理工学府

電子情報部門

小林春夫 桑名杏奈

Outline

1. 学術的背景
2. 研究教育の目的・意義
3. 具体的な研究成果
 - オイラーナイトツアーDACレイアウト
 - 素数DAC
 - 剰余系サンプリング
 - 黄金比サンプリング
4. 研究業績
5. まとめ



アナログ集積回路

Outline

1. 学術的背景

2. 研究教育の目的・意義

3. 具体的な研究成果

- オイラーナイトツアー-DACレイアウト
- 素数DAC
- DAC非線形解析
- 剰余系サンプリング
- 黄金比サンプリング

4. 研究業績

5. まとめ



Leonardo Fibonacci
(伊:1170-1250年頃)

電子回路設計とICTの融合分野

デジタル回路システム： 加算器・乗算器等
洗練されたアルゴリズムに基づいて設計

アナログ電子回路： 「カンと経験」「匠の世界」

「美しい数学に基づくとスマートな回路になる」を経験

申請者の研究室では「信号処理技術を利用したアナログ回路設計」の研究開発を行い、国際学会・論文発表・特許出願

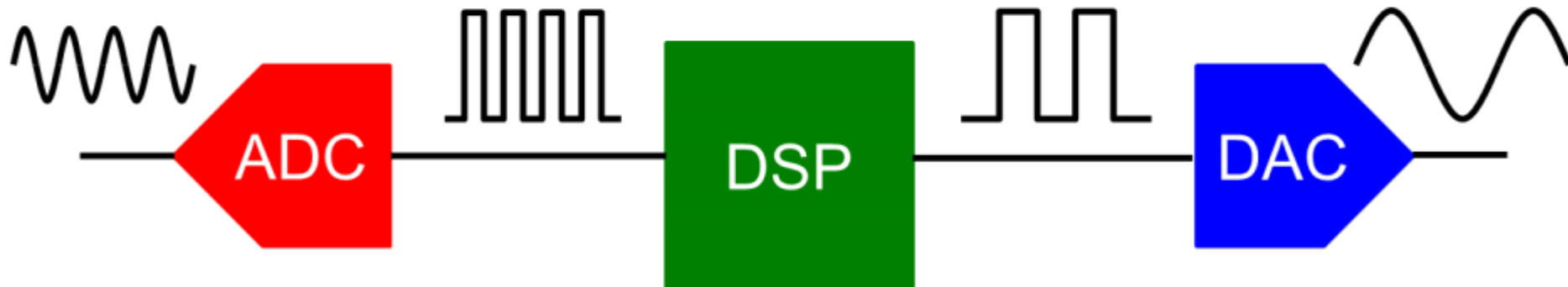
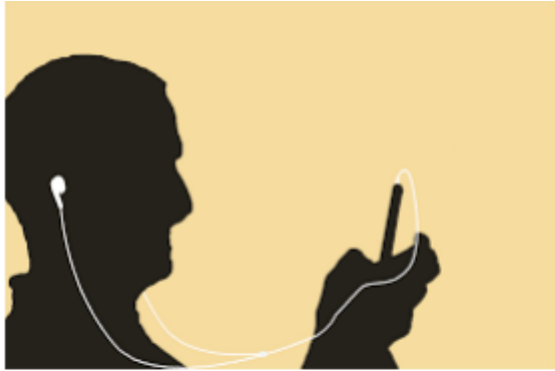
この研究をさらに継続発展させた

特にデジタル・アナログ(Digital-to-Analog: DA)変換器設計で
数学(整数論、剰余系、連分数展開、魔方陣、符号理論、和算 等)を適用
新規構成を生み出す

その性能を評価する数値シミュレーション技術を開発

「勘と経験」を体系的な理論に昇華するうえで、ICT技術は有用な手段 を示した

AD変換器、DA変換器とは



高性能なDA変換器が求められている

Outline

1. 学術的背景

2. 研究教育の目的・意義

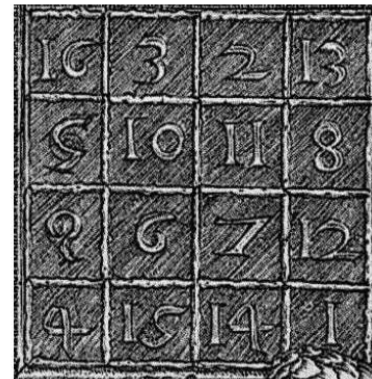
3. 具体的な研究成果

- オイラーナイトツアー-DACレイアウト
- 素数DAC
- DAC非線形解析
- 黄金比サンプリング

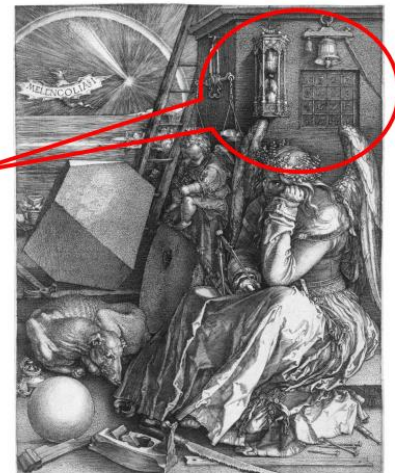
4. 研究業績

5. まとめ

15世紀 西洋



魔方陣



独: Melencolia I(1514)
作: Albrecht Durer

ICT・数理データ科学の**研究**の観点から

- 数理学の新たな応用分野を開拓

電子回路設計： 「勘と経験」の世界



数理学の視点から理論的・体系的設計論の構築。

- 整数論をDA変換回路アーキテクチャ設計に適用



小規模回路構成を実現

数学に基づく設計で 良い電子回路が実現できる一例を示した。

- モンテカルロ法での効果的な数値シミュレーション技術を開発



回路構成素子の製造ばらつきの回路全体への特性への影響を推定

ICT・数理データ科学の**教育**の観点から

- 研究担当学生に、この分野の「研究を通じての教育」を実践
- 一連の数学に基づく電子回路アーキテクチャの研究
剰余系、魔方陣、和算など、日常的に身近な題材を扱ったものが多い
高校生、一般の方への数理科学、電気電子工学分野への入門教材としても有用。
- 2020年度後期 電子情報理工学部 学部1年での導入教育で使用 (140名受講)
<https://kobaweb.ei.st.gunma-u.ac.jp/lecture/lecture.html>

2020年度 後期

基礎電子情報理工学I (学部1年生向け 金曜1-2限) 小林春夫先生

- 第1回「電子工学と情報数理工学の融合(1) フィボナッチ数列による逐次比較近似AD変換器アルゴリズム設計」[日本語資料](#) [英文資料](#)
- 第2回「電子工学と情報数理工学の融合(2) 魔方陣によるDA変換器の単位セル選択アルゴリズム設計」[日本語資料](#) [英文資料](#)
- 第3回「電子工学と情報数理工学の融合(3) 剰余系(孫子算経)による時間デジタル変換回路アーキテクチャ設計」[日本語資料](#) [英文資料](#)
- 第4回「電子工学と情報数理工学の融合(4) デジタル信号処理チップ(DSP)の基礎」[日本語資料](#) [英文資料](#)

- 2021年7月末 高校生向けの模擬授業 開催予定
「古典整数論から先端集積回路アーキテクチャ設計へ」
- 一般の方向け: 小林春夫、桑名杏奈「電子回路設計と古典数学」
和算ジャーナル 第5号(会報通巻55), pp.60-65 (2021年6月)

Outline

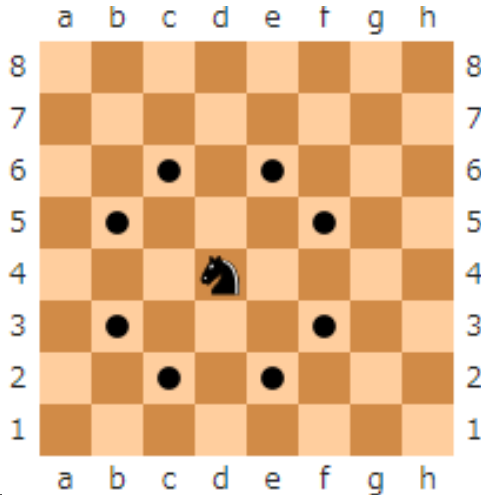
1. 学術的背景
2. 研究教育の目的・意義
3. 具体的な研究成果
 - オイラーナイトツアー-DACレイアウト
 - 素数DAC
 - DAC非線形解析
 - 黄金比サンプリング
4. 研究業績
5. まとめ

10	5	3	16
15	4	6	9
8	11	13	2
1	14	12	7

魔方陣

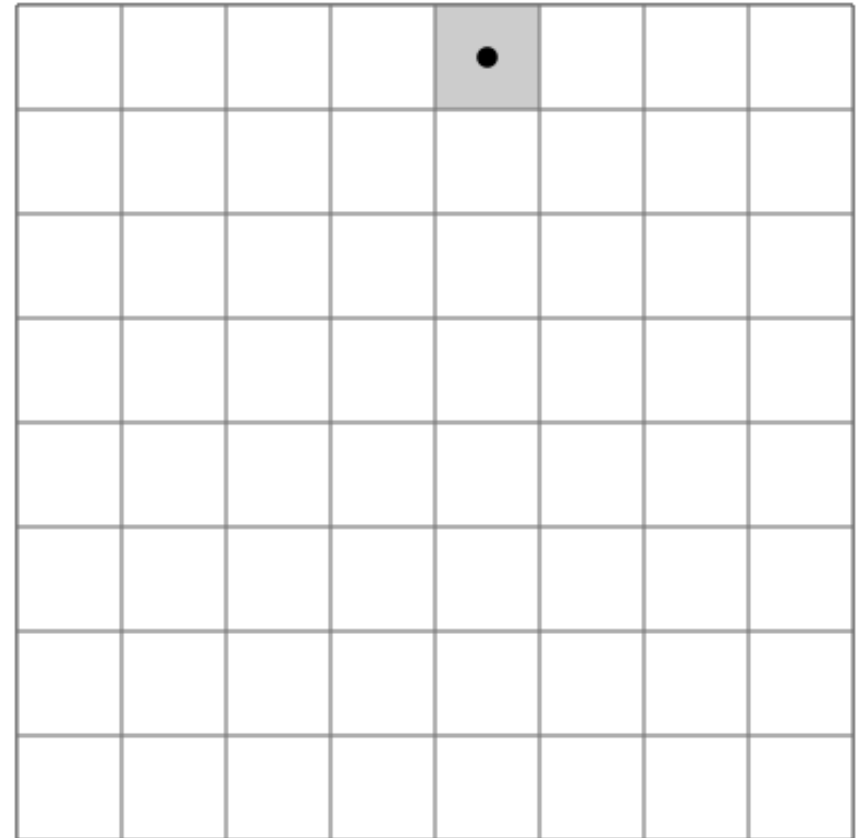
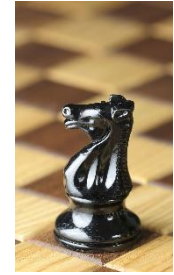
What is Knight Tour ?

Chess



15	62	19	34	1	50	31	46
18	35	16	63	32	47	2	49
61	14	33	20	51	4	45	30
36	17	60	13	64	29	48	3
11	58	21	40	5	54	27	44
22	37	12	59	28	41	6	53
57	10	39	24	55	8	43	26
38	23	56	9	42	25	54	7

Knight



What is Euler's Knight Tour ?



- Found by Leonhard Euler
- Magic square
+
Knight tour

1	48	31	50	33	16	63	18
30	51	46	3	62	19	14	35
47	2	49	32	15	34	17	64
52	29	4	45	20	61	36	13
5	44	25	56	9	40	21	60
28	53	8	41	24	57	12	37
43	6	55	26	39	10	59	22
54	27	42	7	58	23	38	11

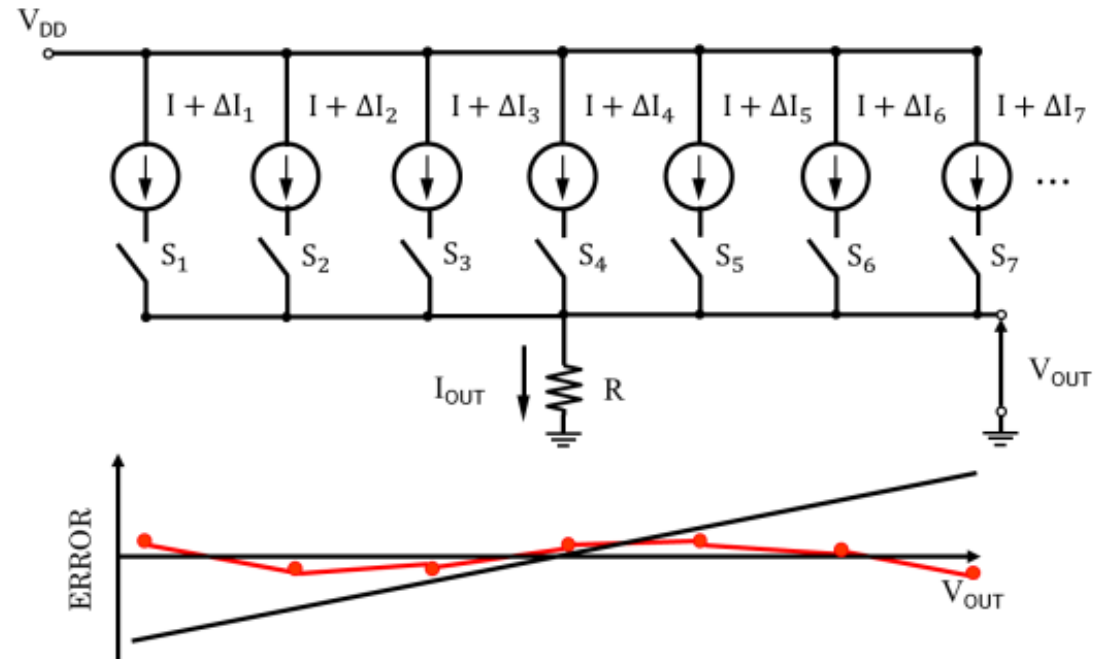
260
260

8x8 Euler's Knight Tour

単位セル選択アルゴリズムによる線形成向上

◆ DA変換器 - システムティック・ミスマッチとレイアウト

S4	S8	S12	S5
S14	S10	S6	S1
S9	S13	S2	S15
S3	S7	S16	S11



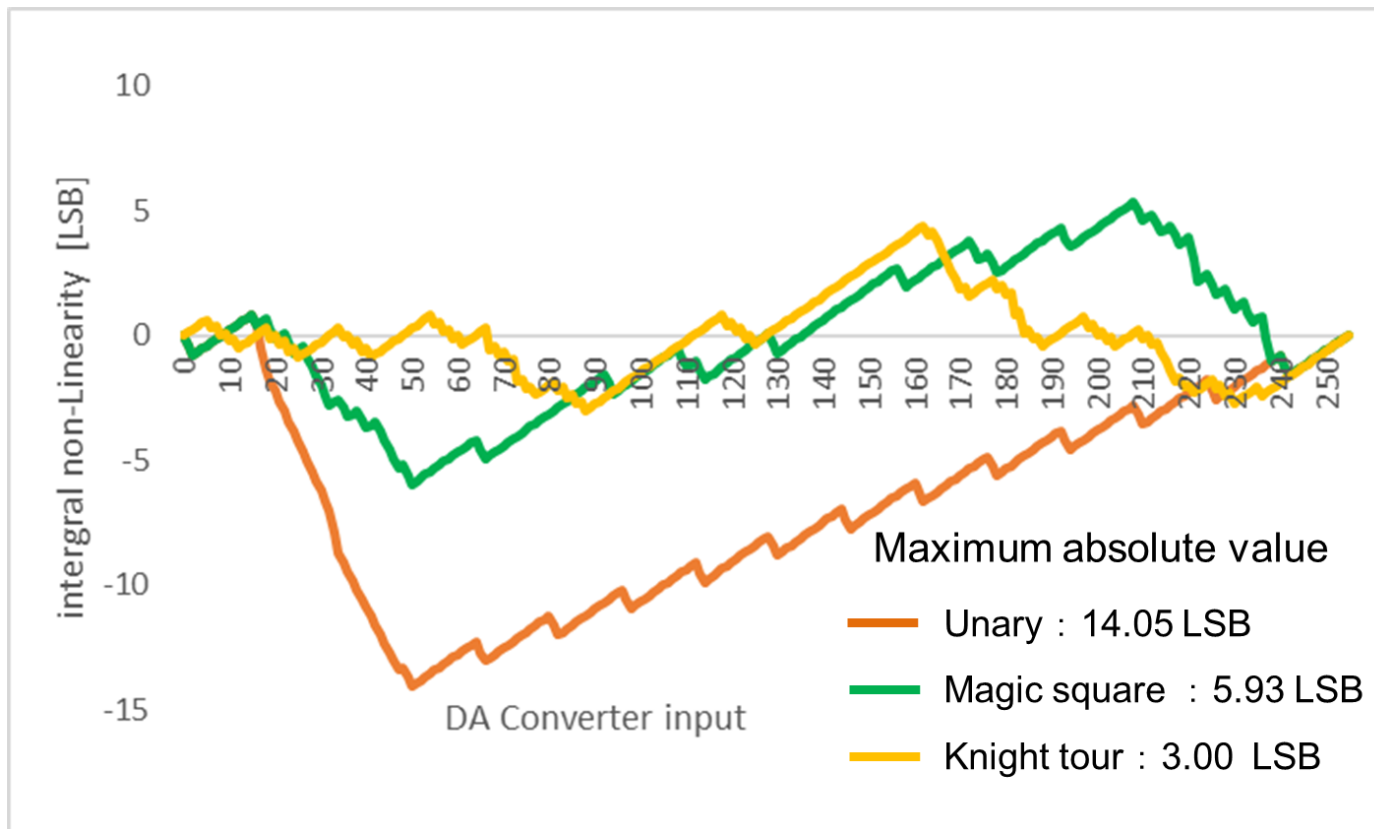
スイッチング順序を変える事によりエラーをキャンセル



魔方陣+ナイトツアー配列

DAC 線形性シミュレーション結果

[1] “Digital-to-Analog Converter Linearity Improvement Technique Based on Classical Number Theory for Modern ULSI”,
30th International Workshop on Post-Binary ULSI Systems (May 2021).



Euler Knight tour

➡ Best

Magic square

➡ Second

Regular

➡ Third

Outline



Christian Goldbach
1690-1764

1. 学術的背景
2. 研究教育の目的・意義
3. 具体的な研究成果

- オイラーナイトツアー-DACレイアウト
- 素数DAC
- DAC非線形解析
- 黄金比サンプリング

4. 研究業績
5. まとめ

+	2	3	5	7	11	13	17	19
2	4	5	7	9	13	15	19	21
3	5	6	8	10	14	16	20	22
5	7	8	10	12	16	18	22	24
7	9	10	12	14	18	20	24	26
11	13	14	16	18	22	24	28	30
13	15	16	18	20	24	26	30	32
17	19	20	22	24	28	30	34	36
19	21	22	24	26	30	32	36	38

← Prime number

↑ Prime number

ゴールドバッハ予想

素数DAC

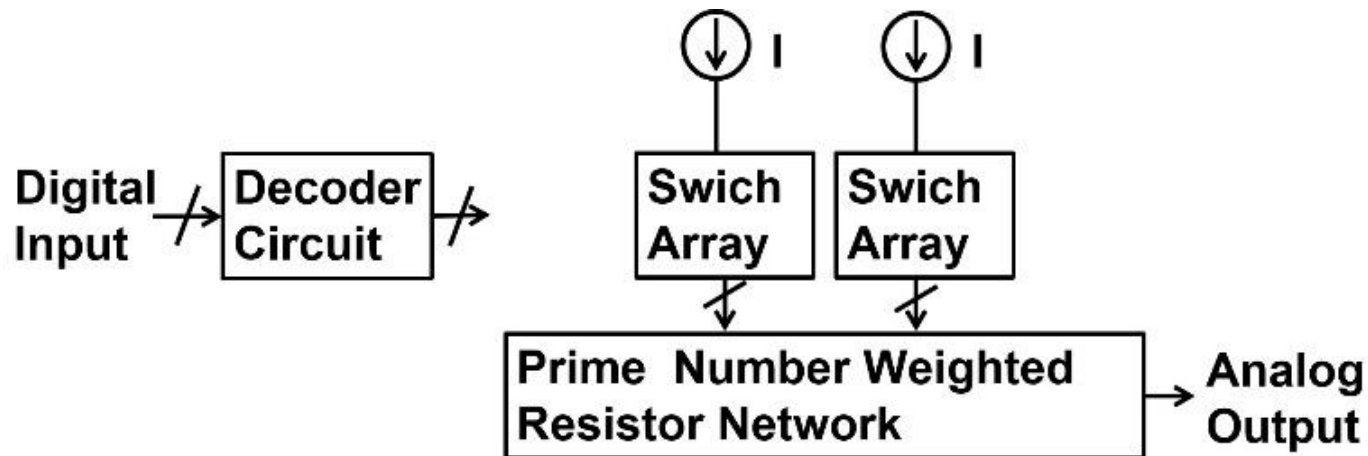
[1] "Digital-to-Analog Converter Architectures Based on Goldbach Conjecture for Prime Numbers in Mixed-Signal ULSI",
30th International Workshop on Post-Binary ULSI Systems (May 2021).

ゴールドバッファの予想 「全ての偶数は2つの素数の和で表せる」

素数抵抗ネットワーク、デコーダ回路、2つの電流源、2つのスイッチ配列でDACを構成できる。



アナログ回路が少ないので 先端微細LSIで実現に適している。



Outline

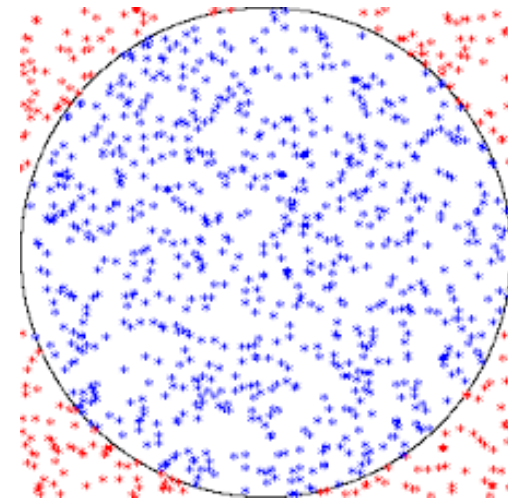


フォンノイマン

1. 学術的背景
2. 研究教育の目的・意義
3. 具体的な研究成果

- オイラーナイトツアー-DACレイアウト
- 素数DAC
- DAC非線形解析
- 黄金比サンプリング

4. 研究業績
5. まとめ



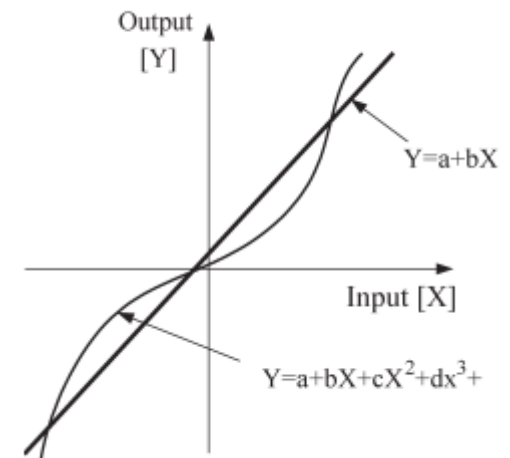
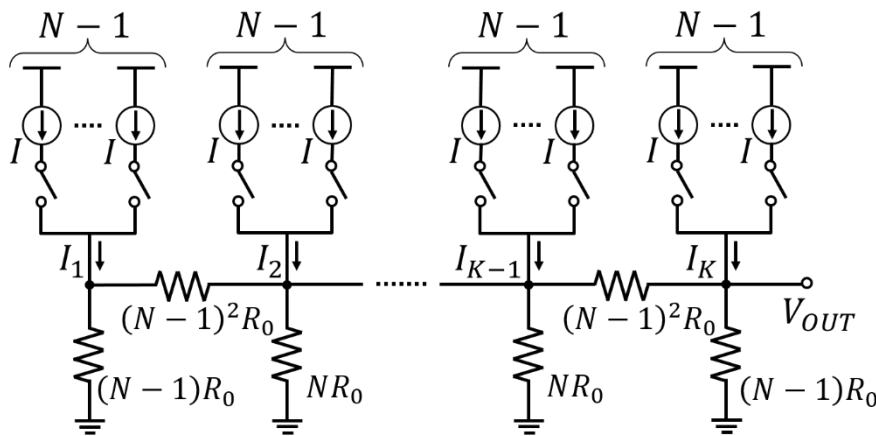
モンテカルロ法で
円周率を求める

DA変換器の非線形解析

- [1] "Nonlinearity Analysis of Resistive Ladder-Based Current-Steering Digital-to-Analog Converter", 17th International SOC Design Conference (Oct. 2020)
- [2] "Digital-to-Analog Converter Configuration Based on Non-uniform Current Division Resistive-Ladder", 36th International Technical Conference on Circuits/Systems, Computers and Communications (June 2021).

電流源と抵抗ネットワークで構成されるDA変換器の非線形解析

- 電流値、抵抗値の製造ばらつきで特性が劣化
モンテカルロシミュレーションで解析
誤差の傾向の規則性を見出す



電流源と抵抗ネットワークで構成されるDA変換器

Outline

1. 学術的背景

2. 研究教育の目的・意義

3. 具体的な研究成果

- オイラーナイトツアー-DACレイアウト
- 素数DAC
- DAC非線形解析
- 黄金比サンプリング

4. 研究業績

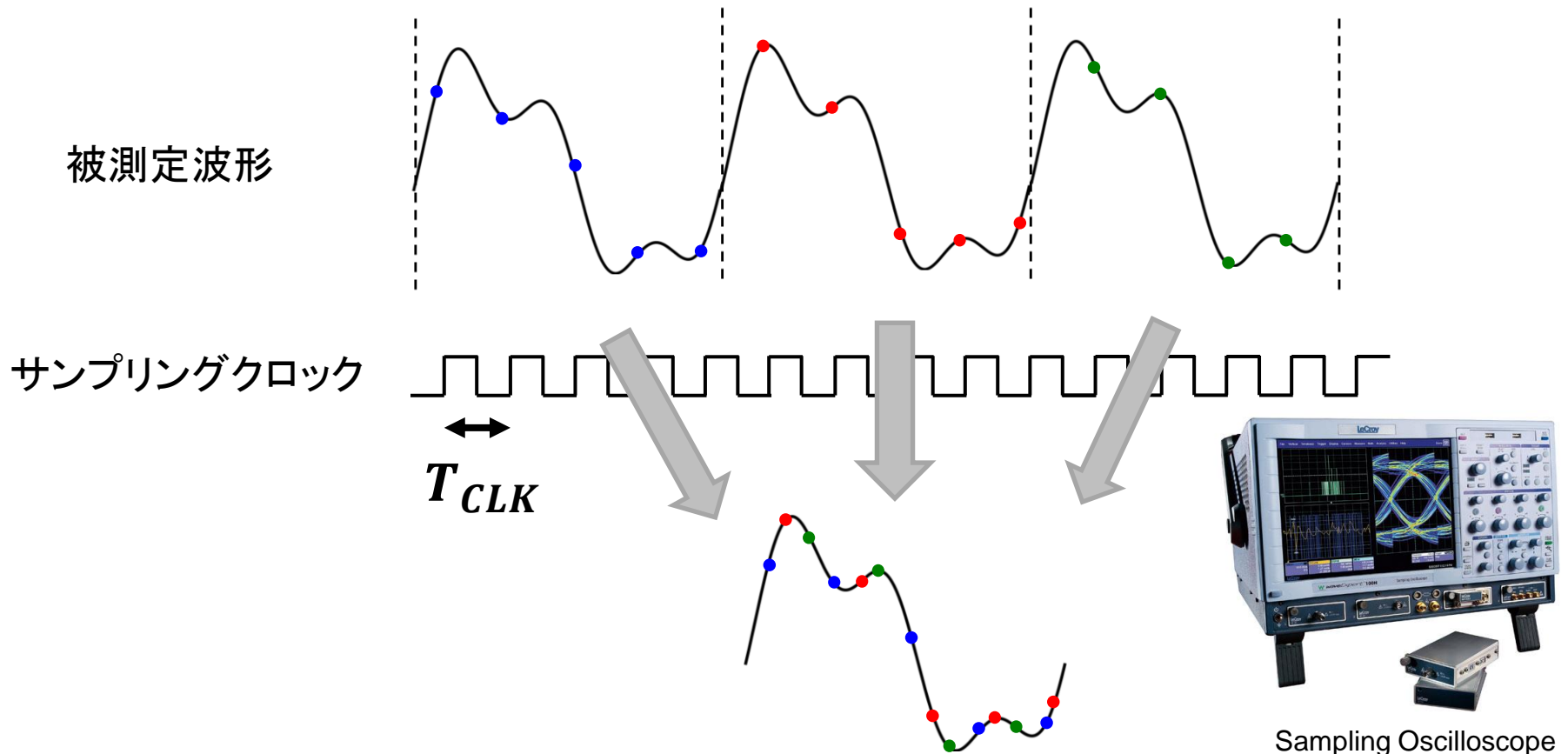
5. まとめ



パンテオン神殿(ギリシャ)

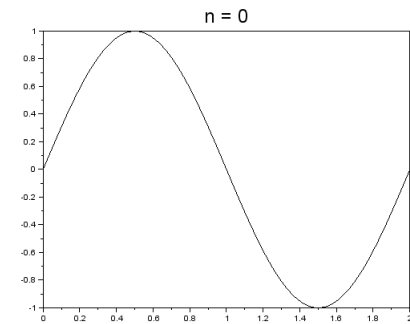
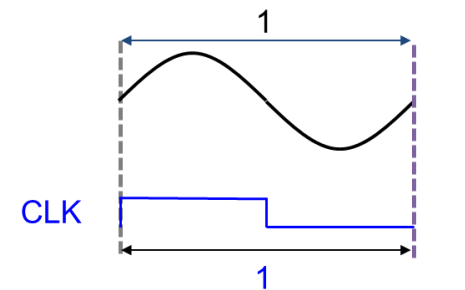
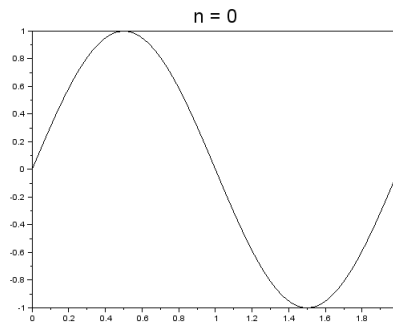
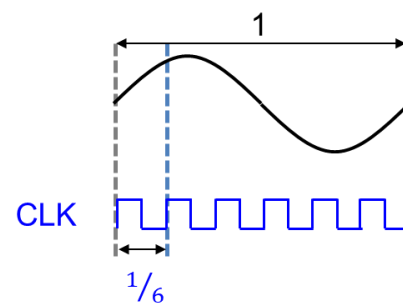
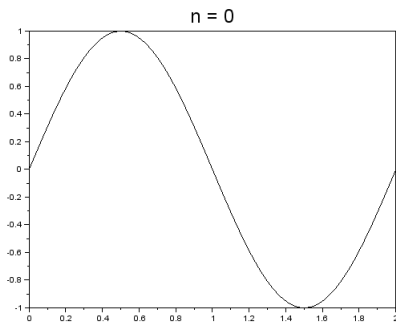
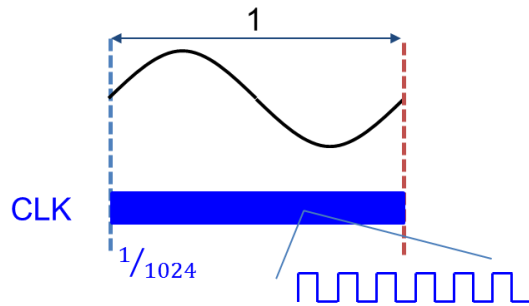
等価時間サンプリング

- 繰り返し時間波形の観測
- サンプリングオシロスコープに使用



波形抜け現象

$$f_{CLK} \gg f_{sin} \quad f_{CLK} \approx \frac{1}{\alpha} f_{sin} \left(\alpha = 1, \frac{1}{2}, \frac{1}{3}, \frac{2}{3}, \dots, \frac{1}{6}, \dots \right) \quad f_{CLK} \approx f_{sin}$$



サンプリング点: 局在化



測定時間が長くなる

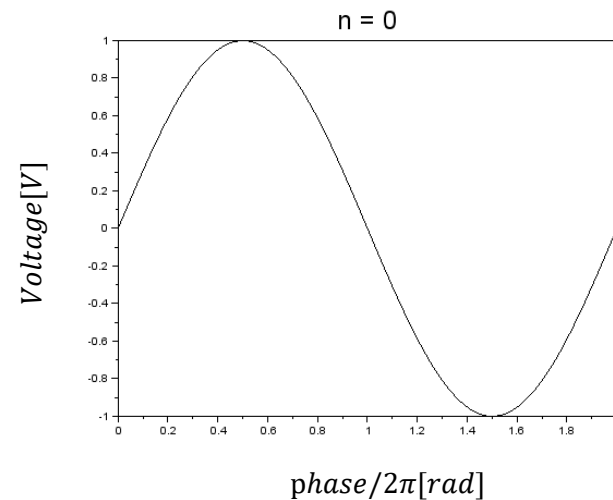
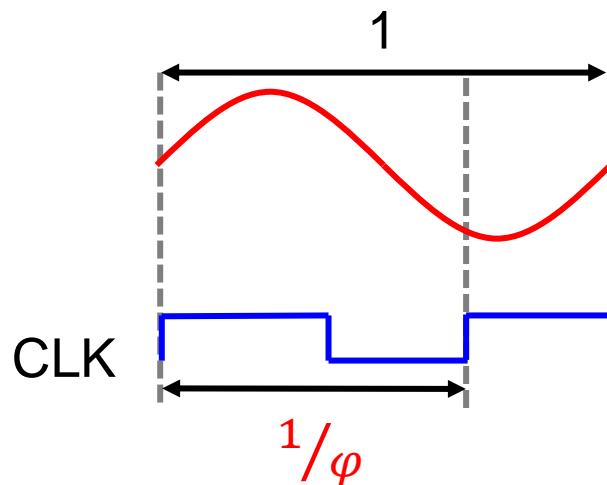


黄金比サンプリング

[1] "Metallic Ratio Equivalent-Time Sampling: A Highly Efficient Waveform Acquisition Method",
27th IEEE International Symposium on On-Line Testing and Robust System Design (June 2021).

$$f_{CLK} = \varphi \times f_{sig}$$

φ : 黄金比 (= 1.6180339887...)



効率的波形取得条件

Outline

1. 学術的背景
2. 研究教育の目的・意義
3. 具体的な研究成果
 - オイラーナイトツアー-DACレイアウト
 - 素数DAC
 - DAC非線形解析
 - 黄金比サンプリング
4. 研究業績
5. まとめ



研究業績(論文、著書等)

論文

- [1] Y. Abe, S. Katayama, A. Kuwana, H. Kobayashi, "Frequency Estimation Sampling Circuit with Hilbert Filter and Proactive Usage of Aliasing Phenomenon", Journal of Mechanical and Electrical Intelligent System (May 2021).

国際学会

- [1] S. Yamamoto, Y. Sasaki, Y. Zhao, J. Wei, A. Kuwana, K. Sato, T. Ishida, T. Okamoto, T. Ichikawa, T. Nakatani, T. Tran, S. Katayama, K. Hatayama, H. Kobayashi, "Metallic Ratio Equivalent-Time Sampling: A Highly Efficient Waveform Acquisition Method", 27th IEEE International Symposium on On-Line Testing and Robust System Design (June 2021).
- [2] M. Hirai, H. Tanimoto, Y. Gendai, S. Yamamoto, A. Kuwana, H. Kobayashi, "Digital-to-Analog Converter Configuration Based on Non-uniform Current Division Resistive-Ladder", 36th International Technical Conference on Circuits/Systems, Computers and Communications (June 2021).
- [3] Y. Zhao, A. Kuwana, S. Yamamoto, Y. Sasaki, H. Kobayashi, T. Tran, T. Nakatani, K. Hatayama, K. Sato, T. Ishida, T. Okamoto, T. Ichikawa, J. Wei, S. Katayama, "Input Signal and Sampling Frequencies Requirements for Efficient ADC Testing with Histogram Method", 36th International Technical Conference on Circuits/Systems, Computers and Communications (June 2021).
- [4] X. Bai, Y. Du, T. Tran, A. Kuwana, H. Kobayashi, "Digital-to-Analog Converter Architectures Based on Goldbach Conjecture for Prime Numbers in Mixed-Signal ULSI", 30th International Workshop on Post-Binary ULSI Systems (May 2021).
- [5] D. Yao, A. Kuwana, H. Kobayashi, K. Kawauchi, "Digital-to-Analog Converter Linearity Improvement Technique Based on Classical Number Theory for Modern ULSI", 30th International Workshop on Post-Binary ULSI Systems (May 2021).

研究業績(論文、著書等)

国際学会(続き)

- [5] D. Yao, A. Kuwana, H. Kobayashi, K. Kawauchi, "Digital-to-Analog Converter Linearity Improvement Technique Based on Classical Number Theory for Modern ULSI", 30th International Workshop on Post-Binary ULSI Systems (May 2021).
- [6] P. Zhang, A. Kuwana, S. Yamamoto, Y. Zhao, Y. Sasaki, H. Kobayashi, "Efficient Linearity Self-Calibration Condition with Histogram Method for Time-to-Digital Converter", 4th International Conference on Technology and Social Science (Dec. 2020)
- [7] Y. Du, X. Bai, M. Hirai, S. Yamamoto, A. Kuwana, H. Kobayashi, K. Kubo, "Digital-to-Analog Converter Architectures Based on Polygonal and Prime Numbers", 17th International SOC Design Conference (Oct. 2020)
- [8] M. Hirai, H. Tanimoto, Y. Gendai, S. Yamamoto, A. Kuwana, H. Kobayashi, "Nonlinearity Analysis of Resistive Ladder-Based Current-Steering Digital-to-Analog Converter", 17th International SOC Design Conference (Oct. 2020)

国内学会・研究会 計10件

- [1] 李 雄炎, 林海軍, 桑名杏奈, 小林春夫「電荷モード折り返しAD変換回路の検討」
第11回電気学会東京支部栃木・群馬支所合同研究発表会(2021年3月)

その他

- [1] 小林春夫、桑名杏奈「電子回路設計と古典数学」
和算ジャーナル 第5号(会報通巻55), pp.60-65(2021年6月)

<https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2021/wasanken.pdf>

Outline

1. 学術的背景
2. 研究教育の目的・意義
3. 具体的な研究成果
 - オイラーナイトツアー-DACレイアウト
 - 素数DAC
 - DAC非線形解析
 - 黄金比サンプリング
4. 研究業績
5. まとめ



孫子算經

数学の電子回路設計への応用



Carolus Fridericus Gauss
(独:1777-1855)

「整数論は数学の女王である。」

カール・フリードリヒ・ガウス

過去の整数論

身近にあるが、謎が多く美しい。

他分野へ貢献しない孤高の学問。

現在の整数論

情報通信処理に応用(暗号化・符号論)

⇒デジタル信号との相性良し

**AD/DA変換器への整数論応用は未知の世界
今後大きな発見が待っている可能性**

さらなる発展へ

- 中国最大のLSI国際会議で招待講演の予定

(Invited) H. Kobayashi, A. Kuwana, et. al.,

“Classical Mathematics and Analog/Mixed-Signal IC Design”,

14th IEEE International Conference on ASIC, Kunming, China (Nov. 2021).

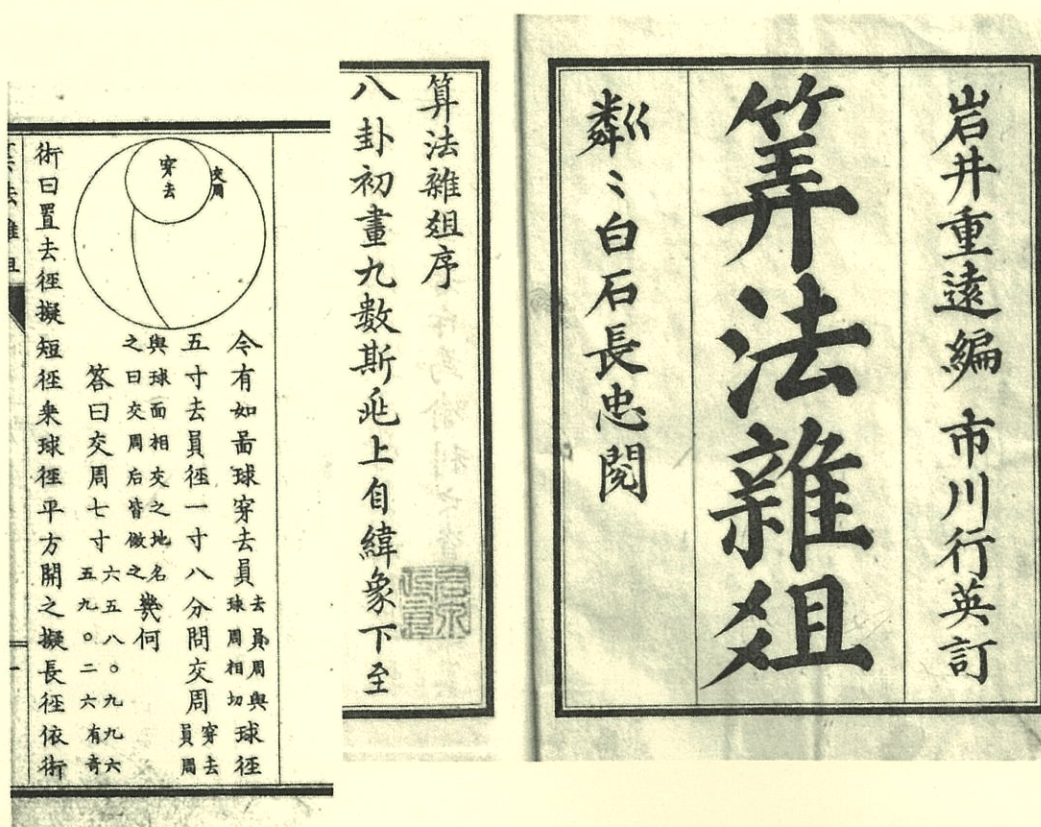
- 科研費 基盤(C)に採択 2021年-2023年

令和 3 年 (2021 年) 6 月 10 日発行

Wasan Journal

和算ジャーナル

No.5 2021



(岩井重遠編『算法雑俎』影印)

群馬県和算研究会

Meeting for the study of Japanese pre-modern mathematics Wasan in Gunma

『和算ジャーナル』第5号 (会報通巻55)

令和3年(2021)6月10日発行

目 次

【巻頭言】	危機を乗り越えて新たな活動を	会長 長井 宏之	2
表紙解説	表紙影印本『算法雑俎』の解説とその編者	前会長 小林 龍彦	3
【和算一般】			
	「算額」と真善美について—圏論と記号論を援用して—	大山 智徳	4
	「節分」日付の変更について	皆川 一郎	8
	和算入門 (換式と変式)	藤井 康生	10
	群馬の未解決算額の考察 全3問	月崎 浩成	14
	閑話三題 (2)	山口 正義	22
	和算家法道寺の扱った九円問題図の共通性について	田部井勝稲	26
	30分で分かる不変な反転の考え方	小曾根 淳	32
	『礪溪叢書』に見る上州人の算額題2問について	小林 龍彦	36
	筑波山の算額について (新発見か?)	松本登志雄	44
	教科書に紹介された算額—光龍寺	中村 幸夫	48
	ある和算問題について	武田 恒夫	54
【和算資料】			
	廻国算法道行活字版 後編	松本登志雄	55
【数学応用・数学教育・その他】			
	電子回路設計と古典数学	小林 春夫・桑名 杏奈	60
	高校1年の方程式で満点を取れる生徒がいない	長井 宏之	66
	収束する無限等比級数を図形により表現する方法	関 憲一郎	70
【活動状況】			
	令和2年群馬県和算研究会活動報告		74
	研究・広報活動		76
	入会案内/刊行本紹介		77
	編集後記	松本登志雄	78
	(活動の写真撮影)	新井 重雄・大塚 信男・周東 武	

電子回路設計と古典数学

Electronic Circuit Design based on Classical Mathematics

小林 春夫, 桑名 杏奈 (群馬大学)

Haruo KOBAYASHI, Anna KUWANA (Gunma University)

1. はじめに

江戸時代の和算家 久留島喜内は優れた詰将棋をいくつも残している。一方、電子回路設計は将棋のようなところがある。(現在のようなコンピュータ将棋が発展する前は) 将棋は頭を使うゲームで理屈・理論に基づくようであるが、将棋指しの得意不得意や好みのような「理外の理」で戦法が選ばれるところがある。同様に電子回路設計では理論化・体系化は完全には確立されておらず、設計者の経験や得意不得意、好みで回路方式が選択されるところがある。電子回路設計分野のこの状況を打破しこの分野を「アナログサイエンス」としてさらに発展させるため、筆者らはアナログ・デジタル混載の電子回路設計の理論化・体系化や新回路方式の開発を目的として和算を含めた古典数学をこれに応用する研究を行ってきた。本稿ではベテラン将棋棋士が自戦記集を記すのと同じような気持ちで、筆者らがこれまでいくつか取り組んできた研究事例とその根底にある「思い」を紹介する。

2. 古典数学を用いた電子回路設計の研究事例

(a) フィボナッチ数列重み付けを用いた冗長比較近似AD変換器：

逐次比較近似AD変換器 (Analog-to-Digital Converter: アナログ・デジタル変換器) は「天秤の原理」によりアナログ信号をデジタル信号に変換する回路である。そこでは通常2進重み付けされた「分銅」を用いるが、約1.6進であるフィボナッチ数列重み付けされた「分銅」を用いて高性能化できることを示した。(図1)

[1] 小林春夫, 小林佑太朗「フィボナッチ数列と電子回路の話」

群馬県和算研究会会報 第50号 (2016年3月)

[2] Y. Kobayashi, H. Kobayashi, “Redundant SAR ADC Algorithm Based on Fibonacci Sequence”,

Key Engineering Materials, pp.117-126 (2016).

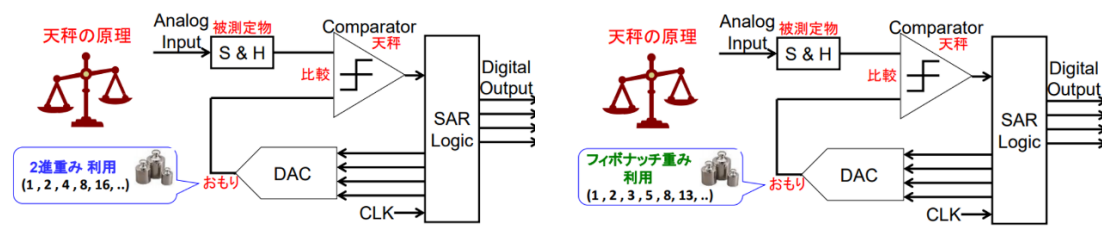


図1 逐次比較近似AD変換器。(左)2進重み付け。(右)フィボナッチ数列重み付け。

(b) フィボナッチ数列重み付け DA 変換器 :

多くの DA 変換器(Digital-to-Analog Converter: デジタル・アナログ変換器) は 2 進重みづけで構成されているが、フィボナッチ数列重み付け DA 変換器の構成を考案した。これは (a)のフィボナッチ数列重み付け逐次比較近似 AD 変換器内での使用に適している。

[3] T. Arafune, Y. Kobayashi, S. Shibuya, H. Kobayashi,
 “Fibonacci Sequence Weighted SAR ADC Algorithm and its DAC Topology”,
 IEEE International Conference on ASIC, Chengdu, China (Nov. 2015)

(c) 白銀比重み付けを用いた冗長比較近似AD変換器 :

同様に、白銀比 (約 1.42 進) 重み付け逐次比較近似 AD 変換器の利点を明確化した。

[4] 小林佑太郎、荒船拓也、澁谷将平、小林春夫「擬似白銀比を用いた逐次比較近似 AD 変換器冗長アルゴリズム設計」電気学会論文誌 (和文誌 C), vol. 137, no. 2, pp.222-228 (2017 年 2 月).

(d) 多角数性質を用いたDA変換器 :

任意の自然数は三角数 (1, 3, 6, 10, 15, 21,... (図 2)) の 3 つ以下の和で表現することができる。この性質を用いて 3 個の電流源と (筆者らが考案した) 三角数抵抗ネットワークで DA 変換器が構成できることを示した。(図 3) さらにこれを任意の N 角数 (多角数) の場合に一般化した。

[5] Y. Du, X. Bai, M. Hirai, S. Yamamoto, A. Kuwana, H. Kobayashi, K. Kubo,
 "Digital-to-Analog Converter Architectures Based on Polygonal and Prime Numbers",
 17th International SOC Design Conference, Yeosu, Korea (Oct. 2020).

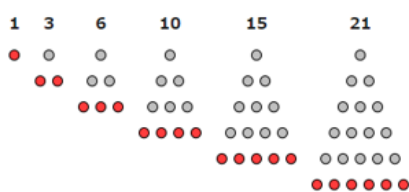


図 2 三角数

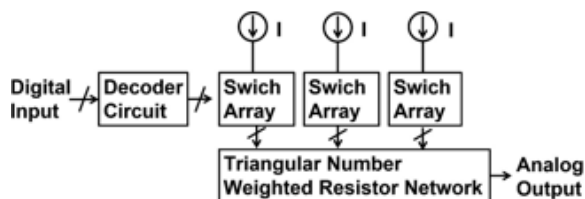


図 3 三角数に基づく DA 変換器の構成

(e) 素数の性質を用いた DA 変換器 :

ゴールドバッファの予想:「任意の偶数は 2 個の素数の和で表すことができる。」(図 4) この性質を利用して 2 個の電流源と (筆者らが考案した) 素数抵抗ネットワークで DA 変換器が構成できることを示した。(図 5)

[6] X. Bai, Y. Du, T. M. Tran, A. Kuwana, H. Kobayashi,
 "Digital-to-Analog Converter Architectures Based on Goldbach Conjecture for Prime Numbers in Mixed-Signal ULSI", 30th International Workshop on Post-Binary ULSI Systems (May 2021).

1 ← 2: 2	16 ← 32: 13+19
2 ← 4: 2+2	17 ← 34: 17+17
3 ← 6: 3+3	18 ← 36: 17+19
4 ← 8: 3+5	19 ← 38: 19+19
5 ← 10: 3+7	20 ← 40: 17+23
6 ← 12: 5+7	21 ← 42: 19+23
7 ← 14: 7+7	22 ← 44: 13+31
8 ← 16: 5+11	23 ← 46: 23+23
9 ← 18: 7+11	24 ← 48: 19+29
10 ← 20: 7+13	25 ← 50: 19+31
11 ← 22: 11+11	26 ← 52: 23+29
12 ← 24: 11+13	27 ← 54: 23+31
13 ← 26: 13+13	28 ← 56: 19+37
14 ← 28: 11+17	29 ← 58: 29+29
15 ← 30: 13+17	30 ← 60: 29+31

図4 ゴールドバッファの予想

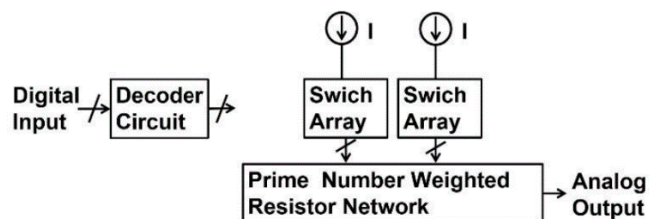


図5 素数の性質に基づく DA 変換器

フェルマーの最終定理のように、整数論の定理は理解しやすいが証明は非常に難しいものが多い。しかしながら回路設計の立場からは「整数論の定理」(結果)を活用するのみで「証明」をおこなうわけではない。また全ての整数に対しては証明されていない「ゴールドバッハの予想」も、回路設計の立場からすれば使用する数(例えば $1024 \times 1024 = 1048756$)まで成立することを計算機シミュレーションでしらみつぶしに計算チェックすればその成果を利用できる。したがって、数学を専門としていない回路設計分野の者にも整数論の成果を十分活用できる。

(f) N進数を用いたDA変換器:

N進数を用いたDA変換器の構成を考案し、従来の2進重み付け構成DA変換器より特性が良くなる可能性を示した。

[7] M. Hirai, H. Tanimoto, Y. Gendai, S. Yamamoto, A. Kuwana, H. Kobayashi, "Nonlinearity Analysis of Resistive Ladder-Based Current-Steering Digital-to-Analog Converter", International SOC Design Conference, Yeosu, Korea (Oct. 2020)

(g) 方陣を用いたDA変換器の単位セル選択アルゴリズムによる線形性向上技術:

DA変換器の単位セル選択に魔方陣、ラテン方陣を用いるアルゴリズムを開発した。

[8] 東野将史, 小林春夫「魔方陣レイアウトによる DA 変換器の直線性の改善」

和算ジャーナル 第2号(会報通巻52), (2018年3月)

[9] M. Higashino, S. N. B. Mohyar, Y. Dan, Y. Sun, A. Kuwana, H. Kobayashi, "Digital-to-Analog Converter Layout Technique and Unit Cell Sorting Algorithm for Linearity Improvement Based on Magic Square", Journal of Technology and Social Science, Vol.4, No.1, pp.22-35 (Jan. 2020).

[10] D. Yao, Y. Sun, M. Higashino, S. N. Mohyar, T. Yanagida, T. Arafune, N. Tsukiji, H. Kobayashi, "DAC Linearity Improvement with Layout Technique using Magic and Latin Squares", IEEE International Symposium on Intelligent Signal Processing and Communication Systems, Xiamen, China (Nov. 2017)

さらにオイラー・ナイトツアー方陣 (ナイトツアー方陣と魔方陣の両方の性質をもつ) を用いるアルゴリズムを調べた。ナイトツアー(Knight tour)はチェスのKnight (八方桂馬) の動きを模したアルゴリズムである。

[11] D. Yao, A. Kuwana, H. Kobayashi, “Segmented-type DAC Unit Cell Selection Algorithm based on Euler’s Knight Tour & Magic Square”, 第11回 電気学会東京支部栃木・群馬支所合同研究発表会 オンライン開催 (2021年3月)

同じような研究がロシアのサンクトペテルブルク工科大学からナイトツアー方陣の使用が提案されている。しかしながら、サンクトペテルブルク市は数学者オイラーが長年滞在した都市であるにも関わらず、このグループからはまだオイラー・ナイトツアー方陣を調べた発表はないようである。(図6, 7)

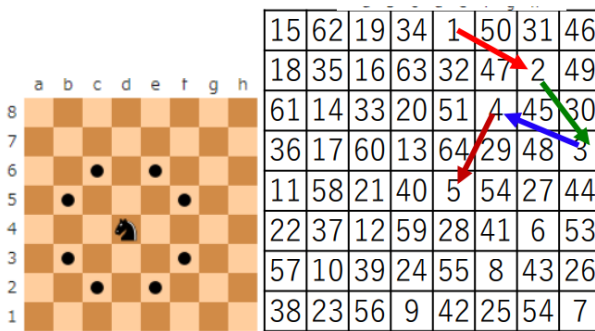


図6 チェスのナイトの動きとナイトツアー

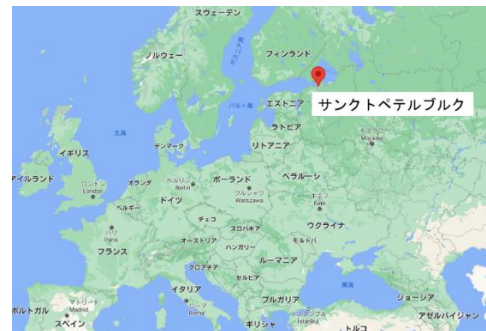


図7 サンクトペテルブルク市

(h) Gray code入力による低グリッチDA変換器：

Gray code は米国ベル研究所のFrank Gray により1947年に特許出願された、2進符号とは異なるデジタル数値の符号化方式である。(図8) ロバストな符号であるのでAD変換器にはよく用いられている。しかしこの分野の大家の先生によればDA変換器には適用された事例はないとのことであった。そこで敢えて実現法をあれこれ検討してみた末に、構成を考案することができた。Gray code を用いるとDA変換器で入力切り替え時に出力アナログ信号に生じるスパイク上のノイズ (グリッチ) を低減できる。

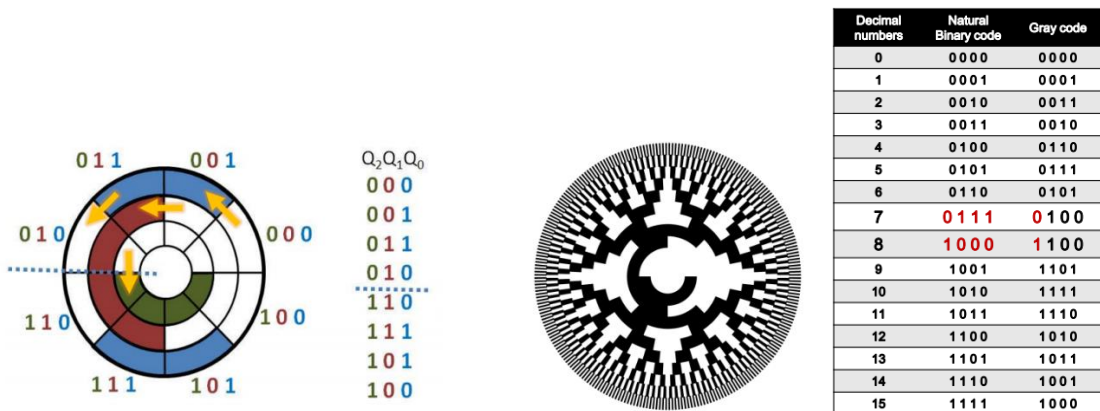


図8 Gray code: 前後に隣接する符号間のハミング距離が必ず 1

[12] R. Jiang, G. Adhikari, Y. Sun, D. Yao, R. Takahashi, Y. Ozawa, N. Tsukiji, H. Kobayashi, R. Shiota, "Gray-code Input DAC Architecture for Clean Signal Generation", IEEE International Symposium on Intelligent Signal Processing and Communication Systems, Xiamen, China (Nov. 2017).

(i) Gray code, 剰余系を用いた時間デジタル変換器 :

Gray code および剰余系を用いた時間デジタル変換器を開発した。従来のフラッシュ型時間デジタル変換器に比べて、性能は同等で回路規模・消費電力を激減できる。

[13] C. Li, H. Kobayashi, "A Residue Number System Based Time-to-Digital Converter Architecture and its FPGA Implementation", Key Engineering Materials, pp.127-132 (2016)

[14] C. Li, H. Kobayashi, "A Glitch-Free Time-to-Digital Converter Architecture Based on Gray Code", 電気学会論文誌 (和文誌 C), vol. 136, no. 1, pp.22-27 (2016年1月)

(j) 剰余系を用いた高周波波形サンプリング回路の開発 :

波形サンプリングを行うと周波数領域で折り返しが生じる。これを剰余系と考え積極的に利用し、高周波信号波形の周波数推定に用いる方式を考案した。

[15] 阿部優大, 片山翔吾, 李 从兵, 小林春夫「孫子算経 (剰余系) の電子回路設計への応用」第14回全国和算研究大会, 栃木県佐野市 (2018年8月26日)

[16] Y. Abe, S. Katayama, C. Li, A. Kuwana, H. Kobayashi, "Frequency Estimation Sampling Circuit Using Analog Hilbert Filter and Residue Number System", IEEE International Conference on ASIC, Chongqing, China (Oct. 2019)

(k) 高周波波形の黄金比等価時間サンプリングを用いた高効率波形取得方式 :

AD変換器テストで正弦波入力周波数とサンプリングクロック周波数が黄金比にすると効率的に波形取得が可能であることを示した。これを黄金比サンプリングと名付けた。

[17] Y. Sasaki, Y. Zhao, A. Kuwana, H. Kobayashi, "Highly Efficient Waveform Acquisition Condition in Equivalent-Time Sampling System", IEEE Asian Test Symposium, Hefei, Anhui, China (Oct. 2018)

3. 古典数学を用いた電子回路設計の学生教育への展開

群馬大学電子情報理工学科 学部1年生の講義にて電子工学と情報工学の融合分野としてこれらの「古典数学を用いた電子回路設計」の講義を専門課程の導入教育として2020年度まで4年間 毎年90分 x 4回 行ってきた。フィボナッチ数列、黄金比、魔方陣、剰余系は学部1年生にもわかりやすい題材である。下記に講義資料を公開している。

<https://kobaweb.ei.st.gunma-u.ac.jp/analog-web/analogworkshop.html>

孫子算経に剰余系が記されていると紹介すると、中国からの留学生から「小中学校で孫子算経を学んだが日本の大学に来て出てくるとは思わなかった」との感想があった。

4. さらなる発展を目指して

この分野の一連の研究紹介の国際学会での下記の招待講演を行った。(図 9)

[18] (Invited) H. Kobayashi, H. Lin, "Analog/Mixed-Signal Circuit Design Based on Mathematics", IEEE International Conference on Solid-State and Integrated Circuit Technology, Hangzhou, China (Oct. 2016)

講演後、聴衆のお一人から「あなたの話を気に入った。自分はシンガポールで半導体ビジネスをしているが、遊びに来い。蟹をごちそうする」と言っていただいた。

2014年に米国系半導体メーカー主催の講演会にて300人以上の聴衆のもと、下記講演を行ない、話を楽しんでもらえた。

[19] 小林春夫「温故知新：古典数学の掘り起しと AD/DA 変換器設計への応用」第2回アナログ・グルとの集い ～日本の電子産業を強くする技術とは～ 東京 (2014年12月)

2021年10月の国際会議でも下記の招待講演を行う予定である。

[20] (Invited) H. Kobayashi, A. Kuwana, et. al., "Classical Mathematics and Analog/Mixed-Signal IC Design", IEEE International Conference on ASIC, Kunming, China (Oct. 2021)

またこれらの関連研究テーマにて、文部科学省科学研究費、群馬大学 ICT 教育・数理データ科学に関するプロジェクト研究に採択された。

集積回路分野は経済・産業に強く結びつき、近年この分野の学会では技術の面白さに加えて「どのくらい性能は上がったか、低消費電力化できたか、回路の小型化（低コスト化）できたか」という結果すなわち直近の実利を強く問われることが多い。(図 10) 一方、数学では「何に役に立つのか」ということは問わずに「知的な面白さ・研究者の感性」に基づき研究を進めている印象を受ける。江戸の庶民は和算を囲碁・将棋のように楽しみで学んでいたと書物には記されている。数学の成果がのちに思いも知れないブレイクスルーを生じることがしばしばあることは歴史が示している。両者の研究スタンスは対極をなす。筆者らは大学においては、集積回路設計研究に数学研究のスタンスを取り入れる必要があると考え、その一つとして「古典数学に基づく電子回路設計の研究」を行ってきている。少しずつこの分野の研究者に関心を持ってもらってきている。

謝辞：原稿を見ていただきました田部井勝稲先生に感謝します。



図9 中国での集積回路国際学会に研究室から大勢で参加

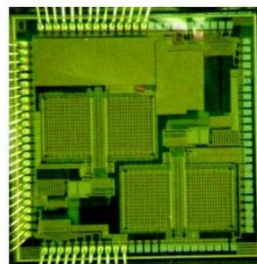


図10 群馬大学で開発した AD 変換器

- 大学での工学の研究教育
- アナログ半導体の重要性
- 研究内容の概要
- 三角数の性質を用いたDA変換器
- 貴金属比サンプリング
- 剰余系サンプリング
- 最後に
- 付録

A Proposal of Digital-to-Analog Converter Architectures Based on Polygonal Numbers

Xueyan Bai, D. Yao, Y. Du, T. Tran,

A. Kuwana, H. Kobayashi,

K. Kubo

Gunma University

Oyama National College of Technology



Contents

- Research Objective
- Background
- Polygonal Number
- Triangular Number DAC
- Triangular Number DAC Decoder, Check Program
- Summary
- Square Numbers DAC Results
- Conclusion

Contents

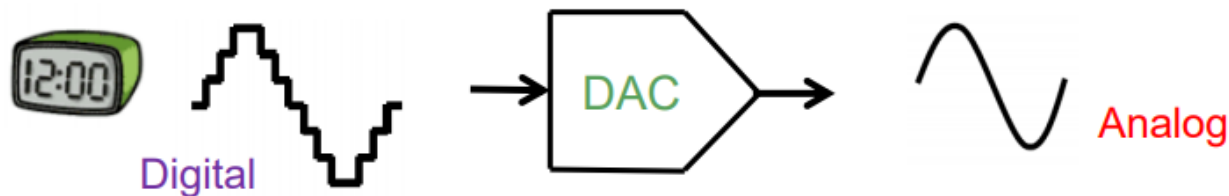
- **Research Objective**
- Background
- Polygonal Number
- Triangular Number DAC
- Triangular Number DAC Decoder, Check Program
- Summary
- Square Numbers DAC Results
- Conclusion

Research Objective

- Interesting properties of number theory



- Possibility of new configurations of DAC (6-bit case)

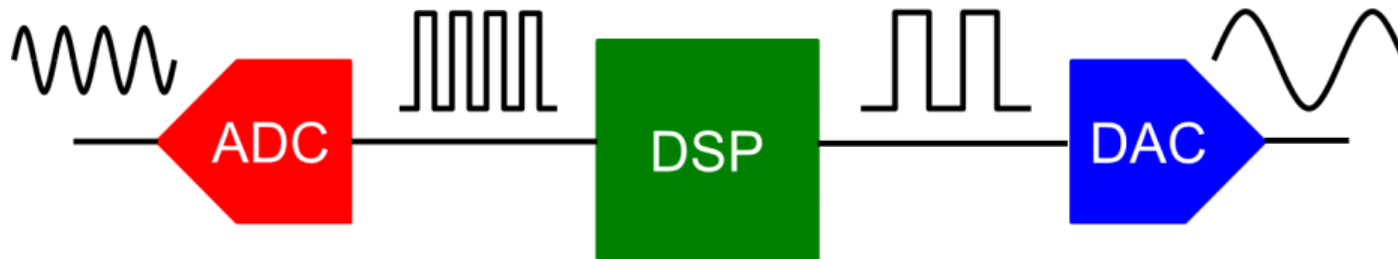


Contents

- Research Objective
- **Background**
- Polygonal Number
- Triangular Number DAC
- Triangular Number DAC Decoder, Check Program
- Summary
- Square Numbers DAC Results
- Conclusion

Importance of ADC / DAC

- Rapid development of digital electronics technology
- A natural signal is analog



DACs are Everywhere !



**Communication
equipment**



**Electronic measuring
instrument**



Audio systems

Integer Theory and Electronic Circuit Design

Many interesting properties of Integers



Currently
No Link

Electronic circuit designs

Our research here makes their links !



Carolus Fridericus Gauss
(1777-1855)

Integer theory is
queen of Mathematics

Contents

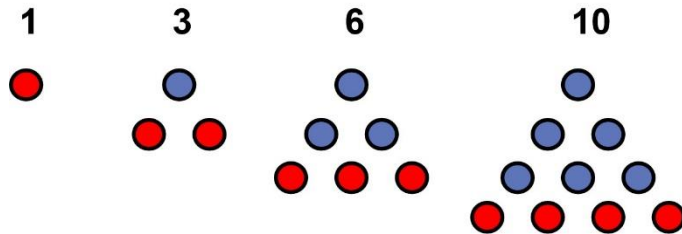
- Research Objective
- Background
- **Polygonal Number**
- Triangular Number DAC
- Triangular Number DAC Decoder, Check Program
- Summary
- Square Numbers DAC Results
- Conclusion

Polygonal Number

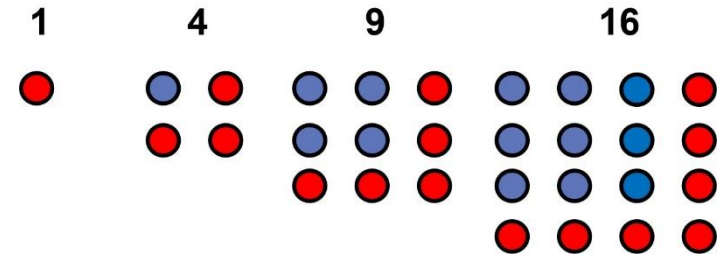
Polygonal Number



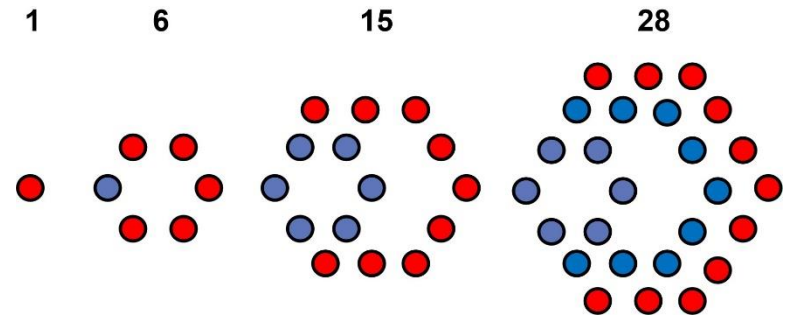
Represented as dots or pebbles arranged in the shape of a regular polygon.



(a) Triangular numbers.



(b) Square numbers.



(c) Hexagonal numbers.

Fermat Polygonal Number Theorem

Any natural number



expressed by

Sum of **N** N-angular numbers



Pierre de Fermat
1607 – 1665

k-th of N-angular number, $m(N, k)$ can be expressed by

$$m(N, k) = (1/2) k [(N-2)k - (N-4)]$$

Then N-angular numbers are given by

$$1, N, 3N-3, 6N-8, 10N-15, \dots$$

for $k=1, 2, 3, 4, 5, \dots$

Contents

- Research Objective
- Background
- Polygonal Number
- **Triangular Number DAC**
- Triangular Number DAC Decoder, Check Program
- Summary
- Square Numbers DAC Results
- Conclusion

What is Triangular Number ?

Triangular Number : 1, 3, 6, 10, 15, 21, 28, 36, 45, 55, 66, .. $n(n+1)/2$

									1										
								2	3										
							4	5	6										
						7	8	9	10										
					11	12	13	14	15										
				16	17	18	19	20	21										
			22	23	24	25	26	27	28										
		29	30	31	32	33	34	35	36										
	37	38	39	40	41	42	43	44	45										
	46	47	48	49	50	51	52	53	54	55									
	56	57	58	59	60	61	62	63	64	65	66								
67	68	69	70	71	72	73	74	75	76	77	78								
79	80	81	82	83	84	85	86	87	88	89	90	91							

Theory of Trigonometric Numbers

Any natural number \longrightarrow Sum of 3 triangular numbers
expressed by

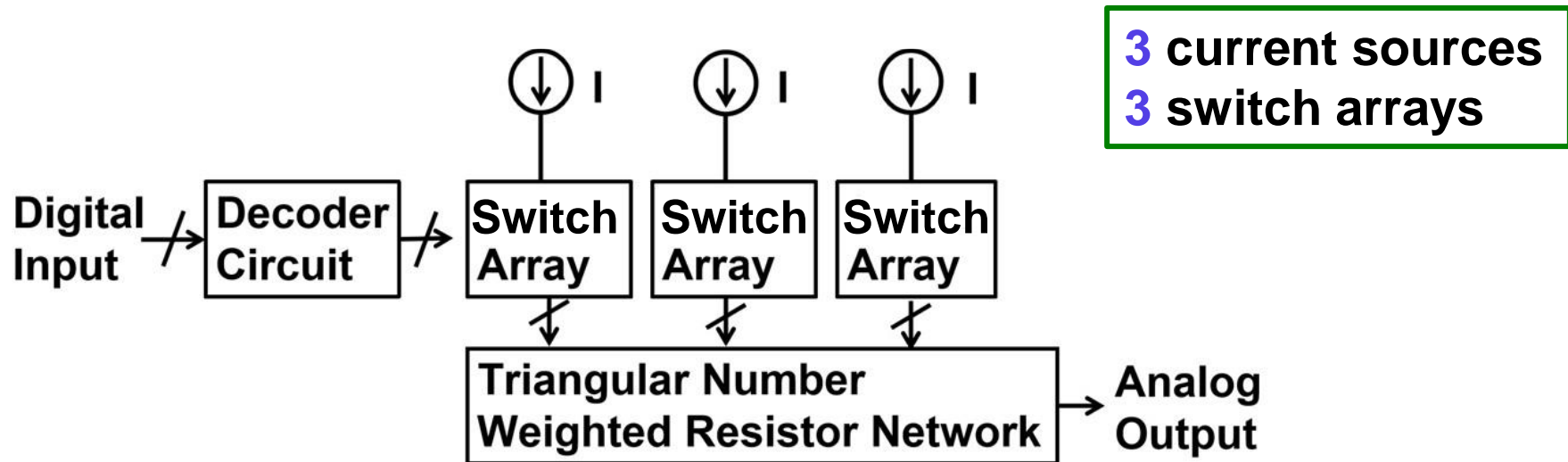
1: 1	16: 1+15	31: 3+28	46: 1+45
2: 1+1	17: 1+1+15	32: 1+3+28	47: 1+1+45
3: 3	18: 3+15	33: 6+6+21	48: 3+45
4: 1+3	19: 1+3+15	34: 6+28	49: 1+3+45
5: 1+1+3	20: 10+10	35: 1+6+28	50: 1+21+28
6: 6	21: 21	36: 36	51: 15+36
7: 1+6	22: 1+21	37: 1+36	52: 1+6+45
8: 1+1+6	23: 1+1+21	38: 1+1+36	53: 10+15+28
9: 3+6	24: 3+21	39: 3+36	54: 3+6+45
10: 10	25: 1+3+21	40: 1+3+36	55: 55
11: 1+10	26: 1+10+15	41: 3+10+28	56: 1+55
12: 1+1+10	27: 6+21	42: 6+36	57: 1+1+55
13: 3+10	28: 28	43: 1+6+36	58: 3+55
14: 1+3+10	29: 1+28	44: 6+10+28	59: 1+3+55
15: 15	30: 1+1+28	45: 45	60: 15+45

Theory of Trigonometric Numbers

Any natural number \longrightarrow Sum of 3 triangular numbers
expressed by

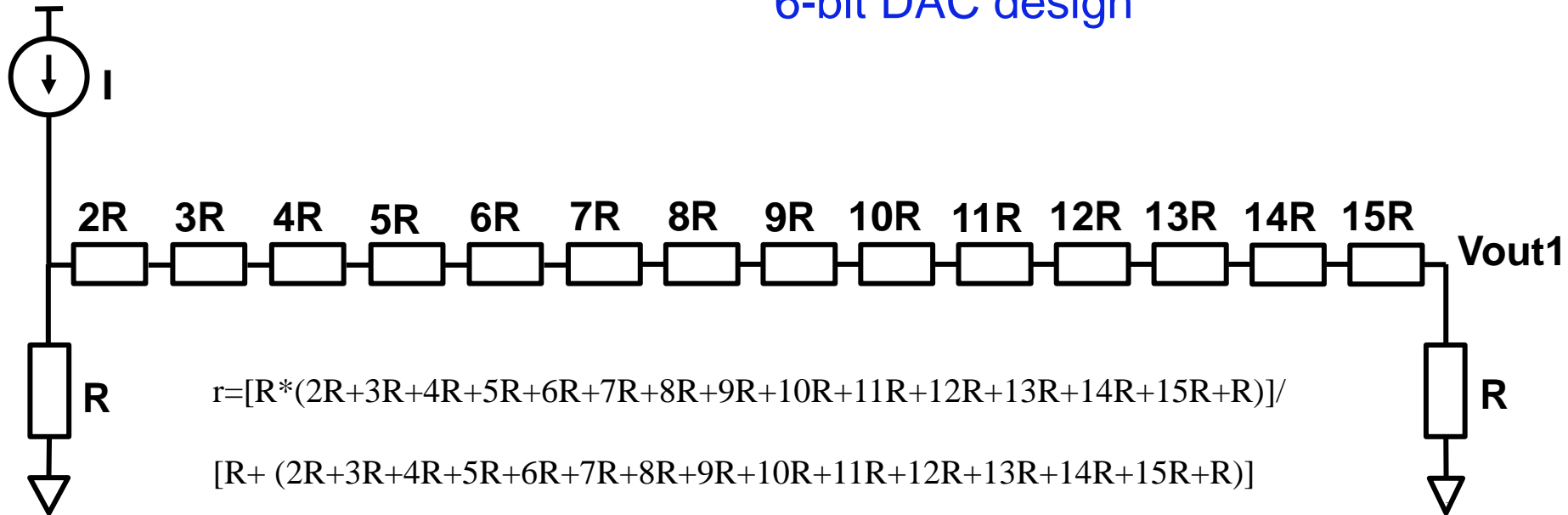
61: 6+55	76: 10+66	91: 91	106: 1+105	121: 1+120
62: 1+6+55	77: 1+10+66	92: 1+91	107: 1+1+105	122: 1+1+120
63: 3+15+45	78: 78	93: 1+1+91	108: 3+105	123: 3+120
64: 3+6+55	79: 1+78	94: 3+91	109: 1+3+105	124: 1+3+120
65: 10+55	80: 1+1+78	95: 1+3+91	110: 55+55	125: 10+10+105
66: 66	81: 3+78	96: 3+15+78	111: 6+105	126: 6+120
67: 1+66	82: 1+3+78	97: 6+91	112: 1+6+105	127: 1+6+120
68: 1+1+66	83: 28+55	98: 1+6+91	113: 1+21+91	
69: 3+66	84: 6+78	99: 21+78	114: 3+6+105	
70: 1+3+66	85: 1+6+78	100: 3+6+91	115: 10+105	
71: 6+10+55	86: 10+10+66	101: 10+91	116: 1+10+105	
72: 6+66	87: 3+6+78	102: 1+10+91	117: 6+6+105	
73: 1+6+66	88: 10+78	103: 6+6+91	118: 3+10+105	
74: 1+28+45	89: 1+10+78	104: 3+10+91	119: 28+91	
75: 3+6+66	90: 6+6+78	105: 105	120: 120	

Proposed Triangular Number DAC



Triangular Number DAC **Input 1**

6-bit DAC design



$$r = [R * (2R + 3R + 4R + 5R + 6R + 7R + 8R + 9R + 10R + 11R + 12R + 13R + 14R + 15R + R)] / [R + (2R + 3R + 4R + 5R + 6R + 7R + 8R + 9R + 10R + 11R + 12R + 13R + 14R + 15R + R)]$$

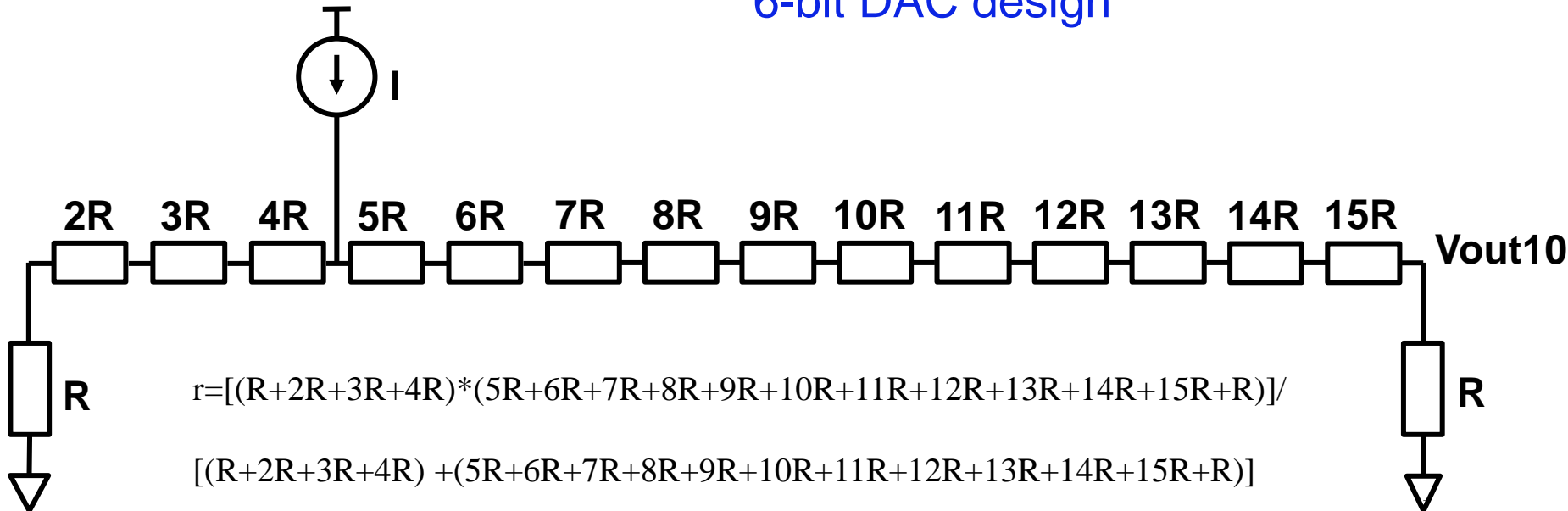
$$V = I * r$$

$$V_{out1} / V = R / (2R + 3R + 4R + 5R + 6R + 7R + 8R + 9R + 10R + 11R + 12R + 13R + 14R + 15R + R)$$

$$V_{out1} = I * R / 121$$

Triangular Number DAC **Input 10**

6-bit DAC design



$$r = \frac{[(R+2R+3R+4R) * (5R+6R+7R+8R+9R+10R+11R+12R+13R+14R+15R+R)]}{[(R+2R+3R+4R) + (5R+6R+7R+8R+9R+10R+11R+12R+13R+14R+15R+R)]}$$

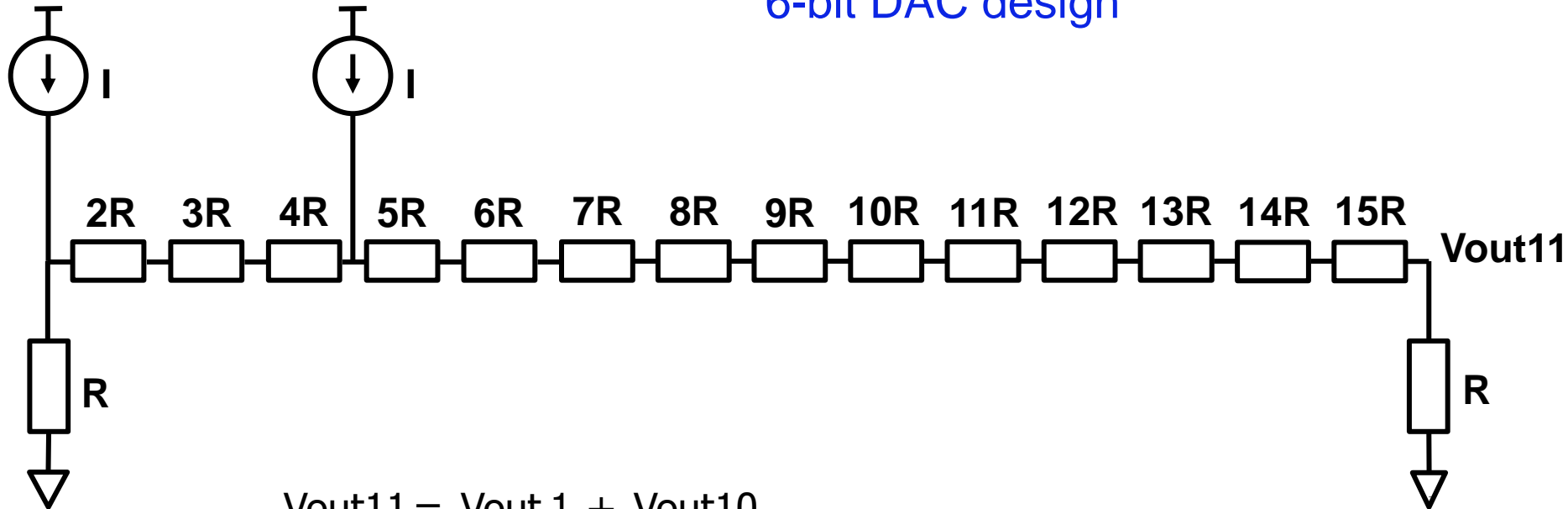
$$V = I * r$$

$$V_{out10}/V = R / (5R+6R+7R+8R+9R+10R+11R+12R+13R+14R+15R+R)$$

$$V_{out10} = 10I * R / 121$$

Triangular Number DAC **Input 11**

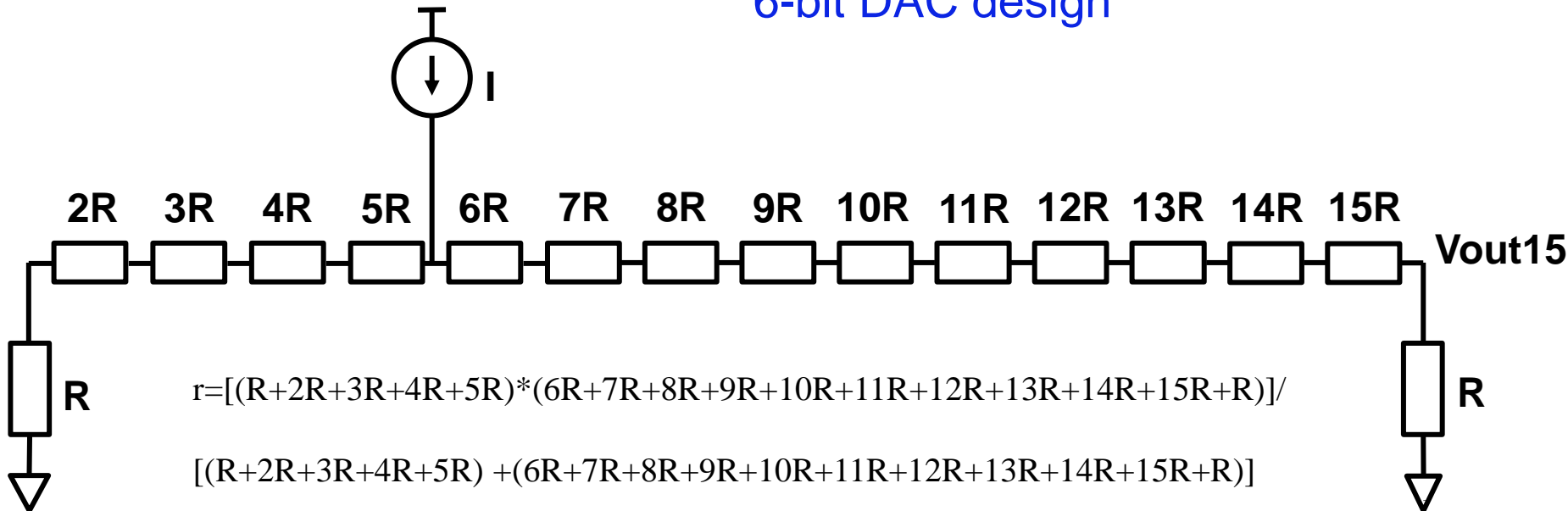
6-bit DAC design



$$\begin{aligned}
 V_{out11} &= V_{out1} + V_{out10} \\
 &= I \cdot R / 121 + 10I \cdot R / 121 \\
 &= \mathbf{11I \cdot R / 121}
 \end{aligned}$$

Triangular Number DAC **Input 15**

6-bit DAC design



$$r = \frac{[(R+2R+3R+4R+5R) * (6R+7R+8R+9R+10R+11R+12R+13R+14R+15R+R)]}{[(R+2R+3R+4R+5R) + (6R+7R+8R+9R+10R+11R+12R+13R+14R+15R+R)]}$$

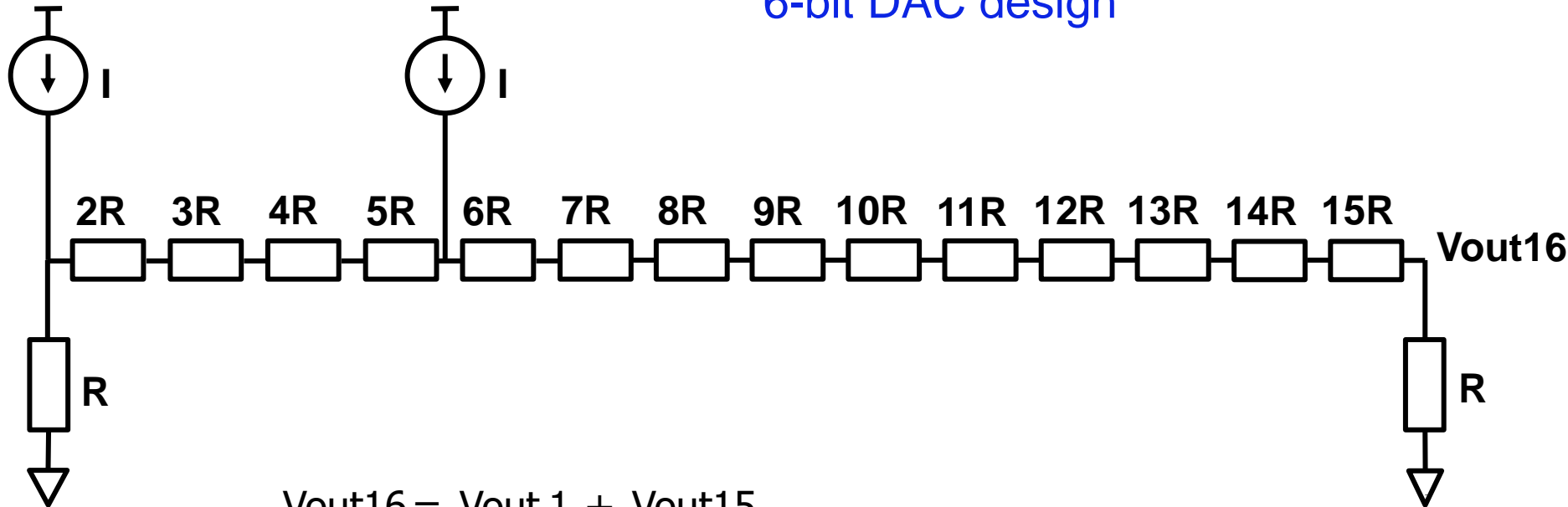
$$V = I * r$$

$$V_{out15}/V = R / (6R+7R+8R+9R+10R+11R+12R+13R+14R+15R+R)$$

$$V_{out15} = 15I * R / 121$$

Triangular Number DAC **Input 16**

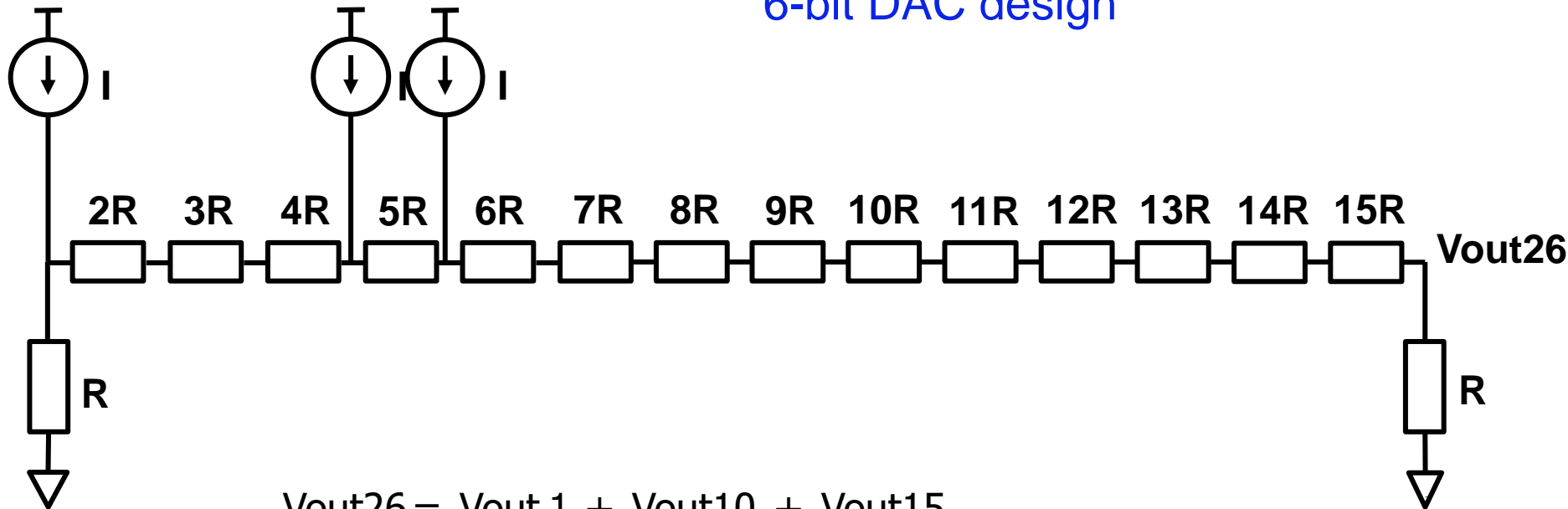
6-bit DAC design



$$\begin{aligned}
 V_{out16} &= V_{out1} + V_{out15} \\
 &= I \cdot R / 121 + 15I \cdot R / 121 \\
 &= \mathbf{16I \cdot R / 121}
 \end{aligned}$$

Triangular Number DAC **Input 26**

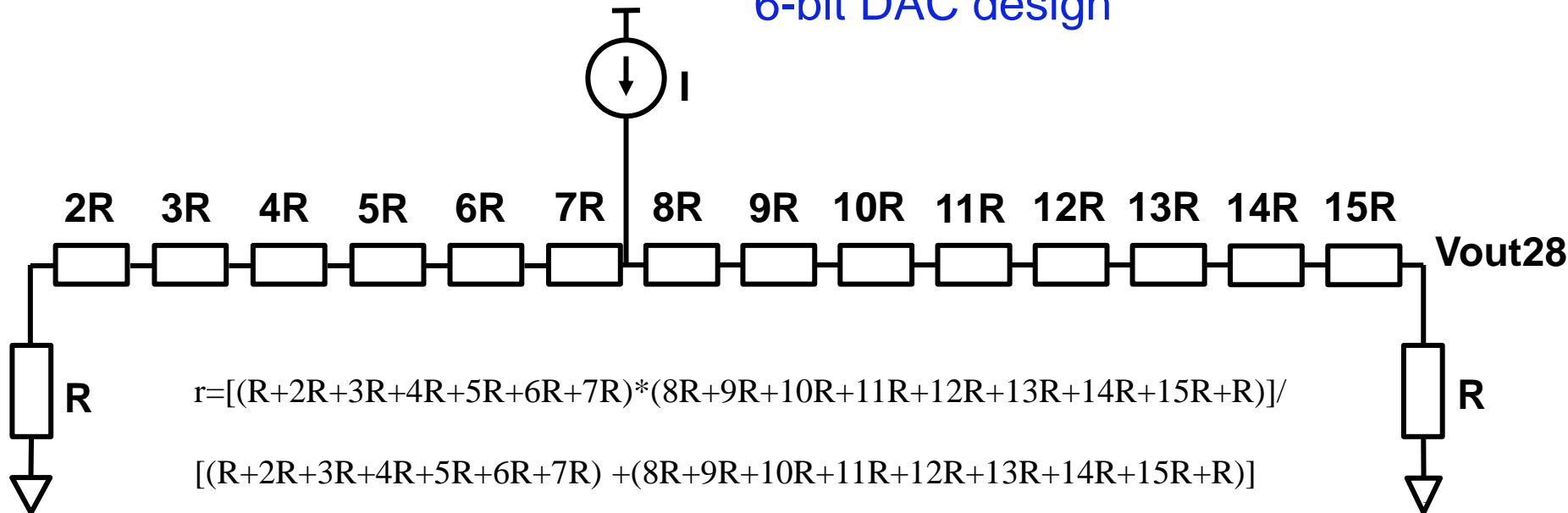
6-bit DAC design



$$\begin{aligned}
 V_{out26} &= V_{out1} + V_{out10} + V_{out15} \\
 &= I \cdot R / 121 + 10I \cdot R / 121 + 15I \cdot R / 121 \\
 &= \mathbf{26I \cdot R / 121}
 \end{aligned}$$

Triangular Number DAC **Input 28**

6-bit DAC design



$$r = \frac{[(R+2R+3R+4R+5R+6R+7R) * (8R+9R+10R+11R+12R+13R+14R+15R+R)]}{[(R+2R+3R+4R+5R+6R+7R) + (8R+9R+10R+11R+12R+13R+14R+15R+R)]}$$

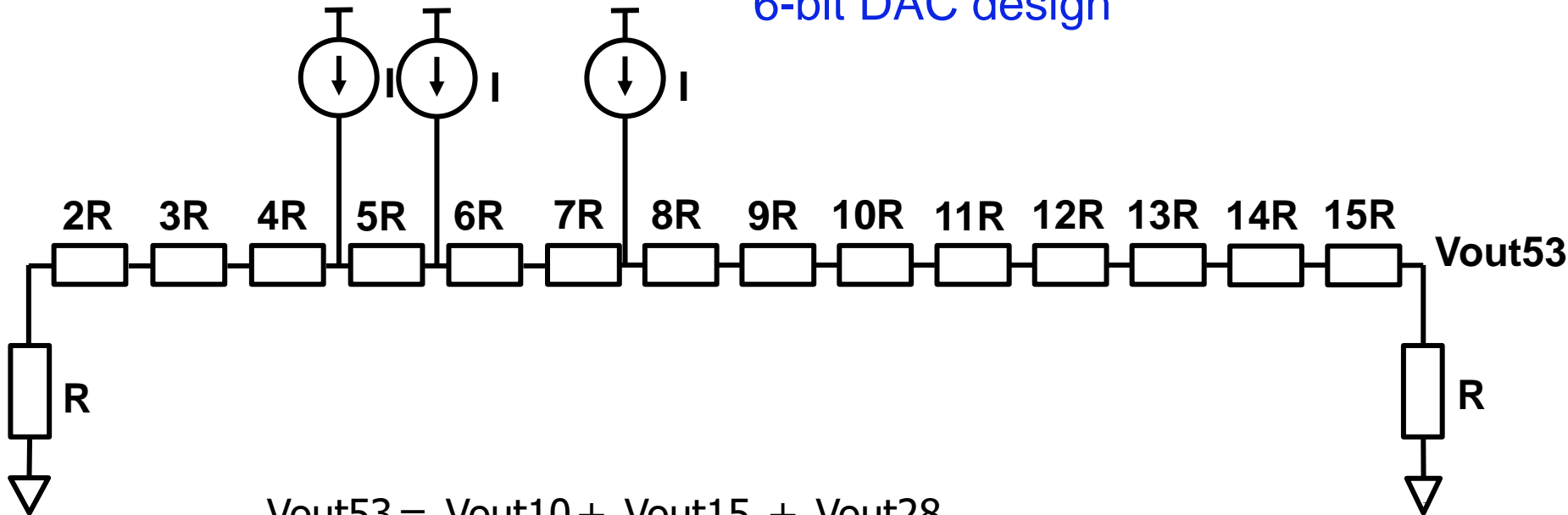
$$V = I * r$$

$$V_{out28}/V = R / (8R+9R+10R+11R+12R+13R+14R+15R+R)$$

$$V_{out28} = 28I * R / 121$$

Triangular Number DAC **Input 53**

6-bit DAC design



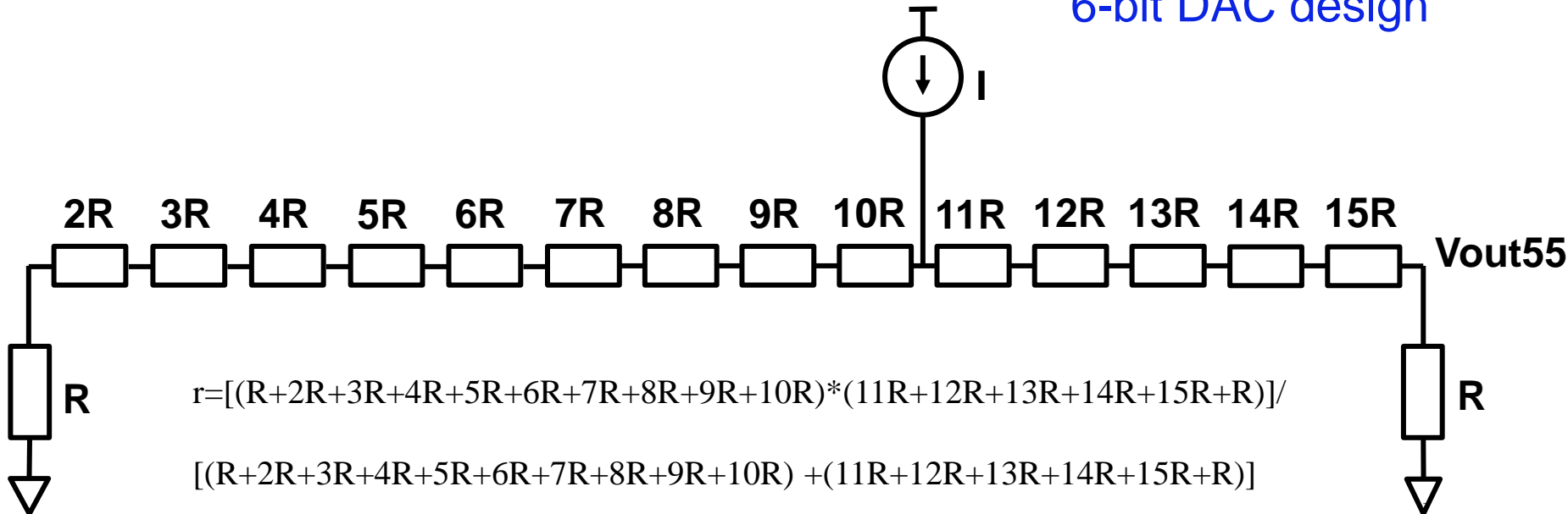
$$V_{out53} = V_{out10} + V_{out15} + V_{out28}$$

$$= 10I \cdot R / 121 + 15I \cdot R / 121 + 28I \cdot R / 121$$

$$= \mathbf{53I \cdot R / 121}$$

Triangular Number DAC **Input 55**

6-bit DAC design



$$r = \frac{[(R+2R+3R+4R+5R+6R+7R+8R+9R+10R) * (11R+12R+13R+14R+15R+R)]}{[(R+2R+3R+4R+5R+6R+7R+8R+9R+10R) + (11R+12R+13R+14R+15R+R)]}$$

$$V = I * r$$

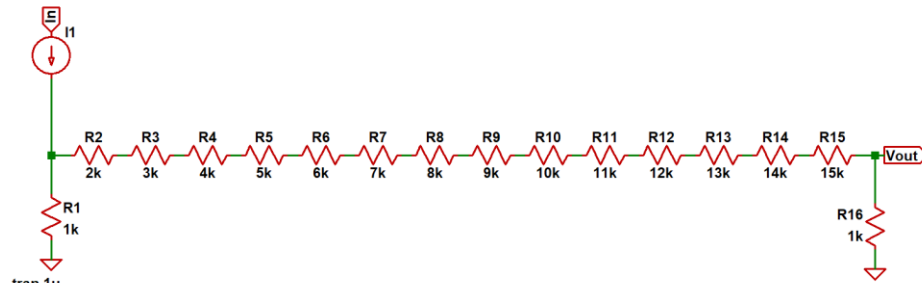
$$V_{out55}/V = R / (11R + 12R + 13R + 14R + 15R + R)$$

$$V_{out55} = 55I * R / 121$$

Triangular Number DAC **Input 1**

6-bit DAC simulation

PULSE(0 100u 100n 0.1p 0.1p 100n 1 1)

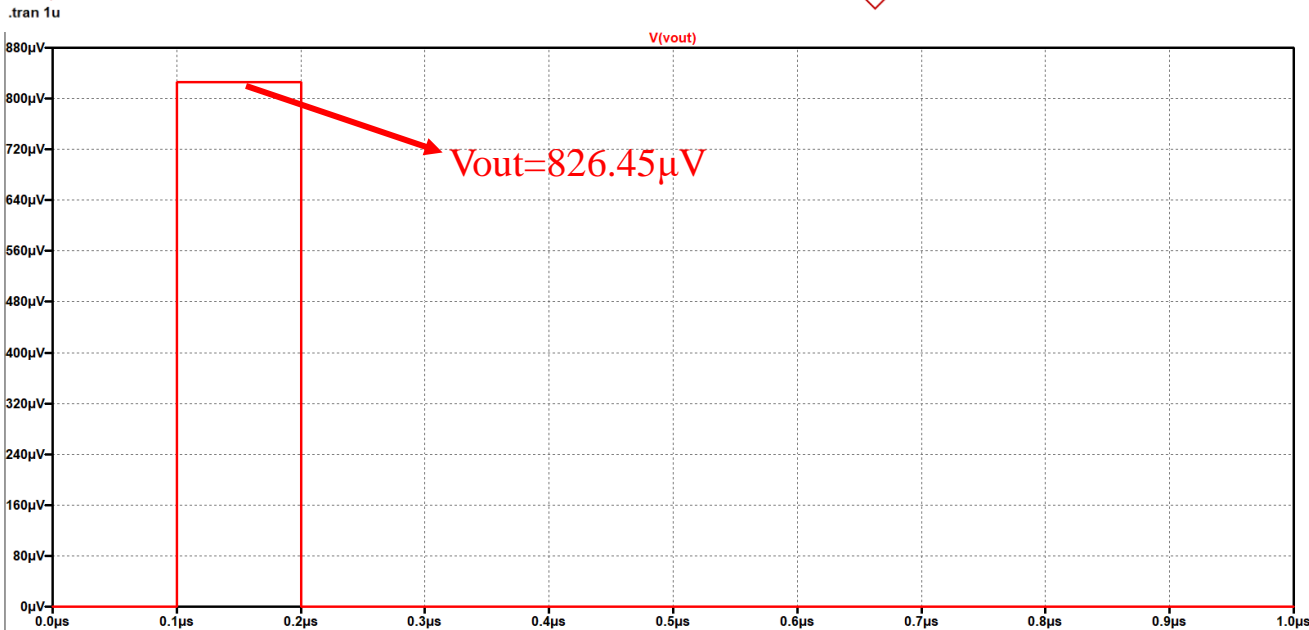


Theoretical Value

$$V_{out} = I \cdot R / 121 = 826.45 \mu\text{V}$$

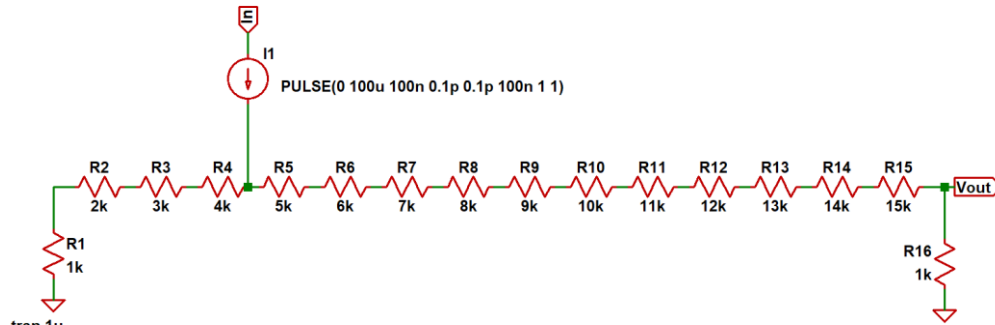
Simulation Value

$$V_{out} = 826.45 \mu\text{V}$$



Triangular Number DAC **Input 10**

6-bit DAC simulation

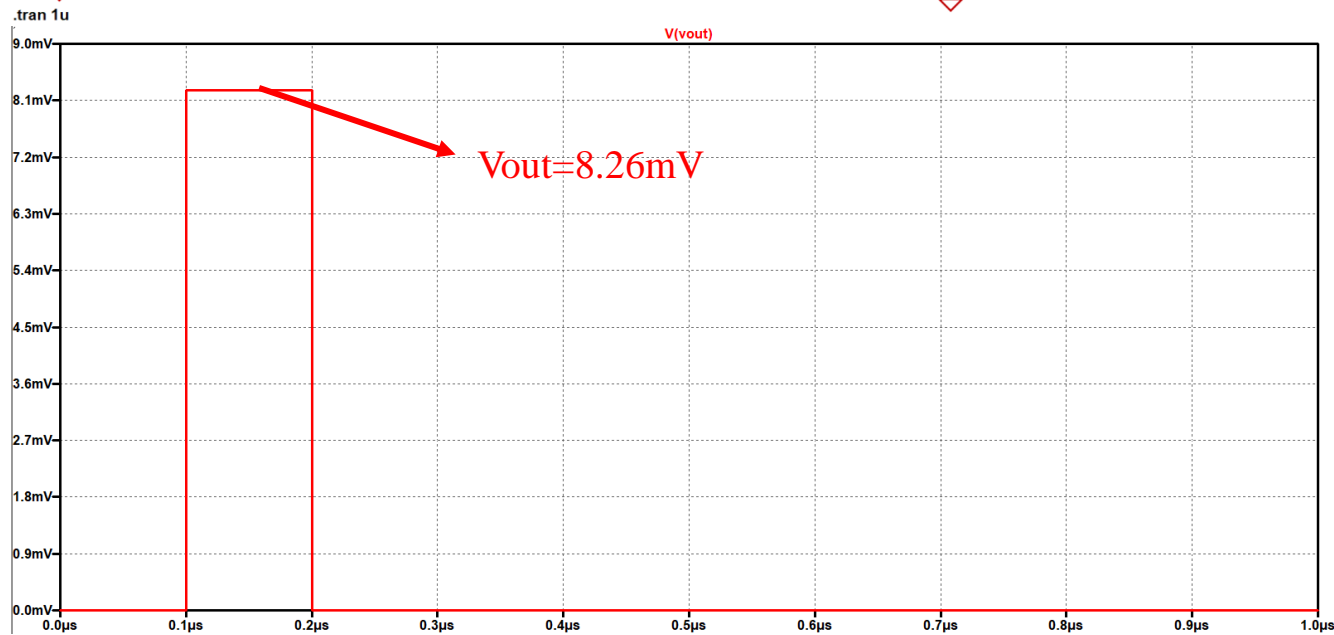


Theoretical Value

$$V_{out} = 10I \cdot R / 121 = 8.26\text{mV}$$

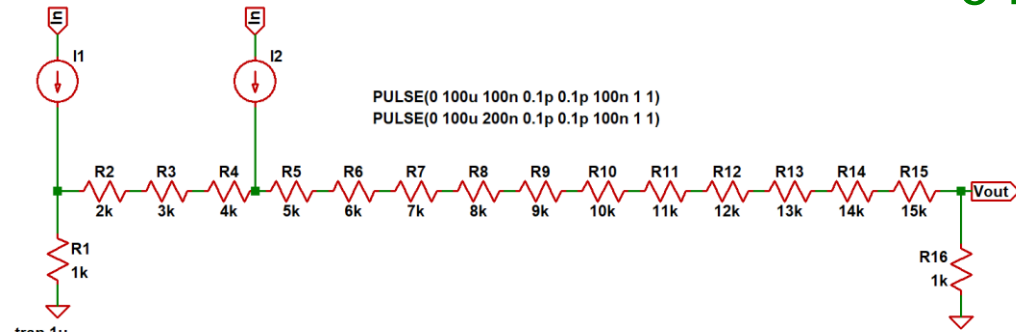
Simulation Value

$$V_{out} = 8.26\text{mV}$$



Triangular Number DAC **Input 11**

6-bit DAC simulation

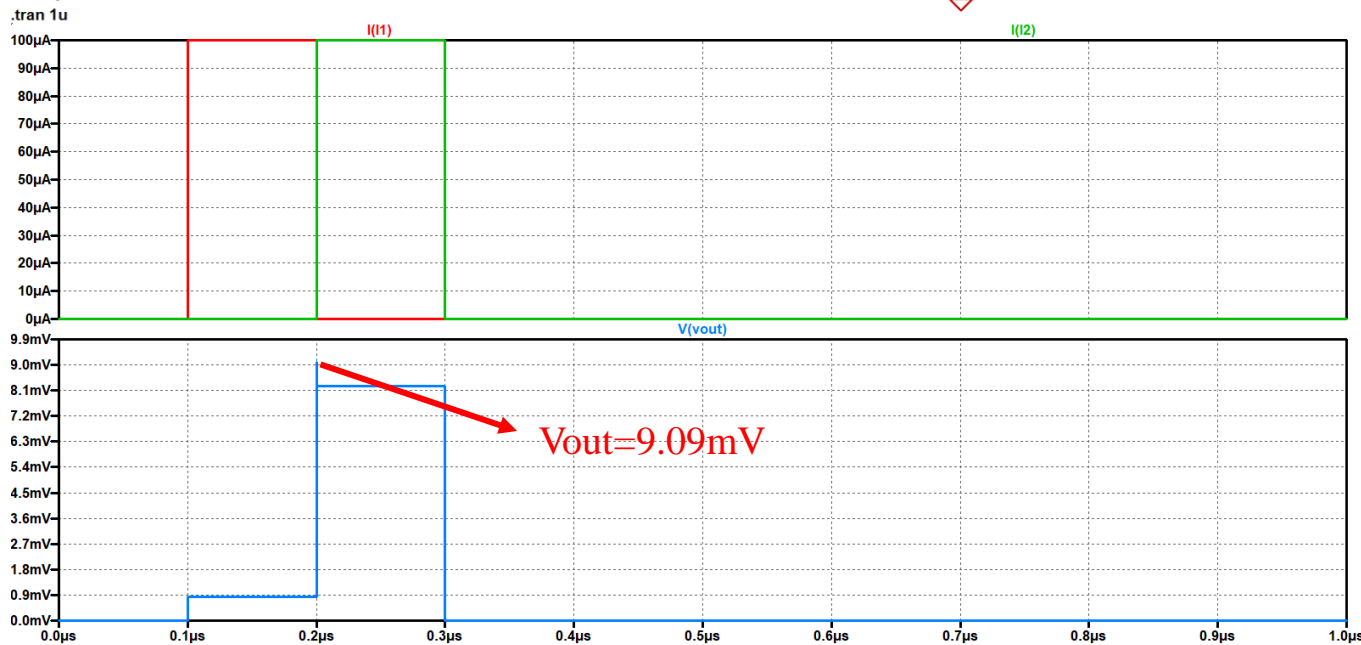


Theoretical Value

$$V_{out} = 11I \cdot R / 121 = 9.09\text{mV}$$

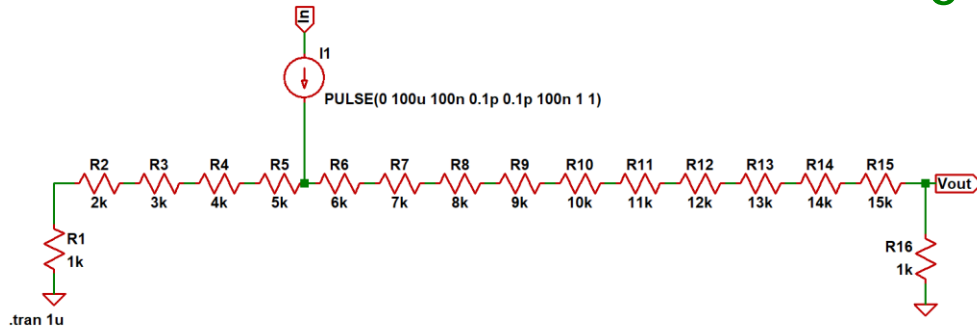
Simulation Value

$$V_{out} = 9.09\text{mV}$$



Triangular Number DAC **Input 15**

6-bit DAC simulation

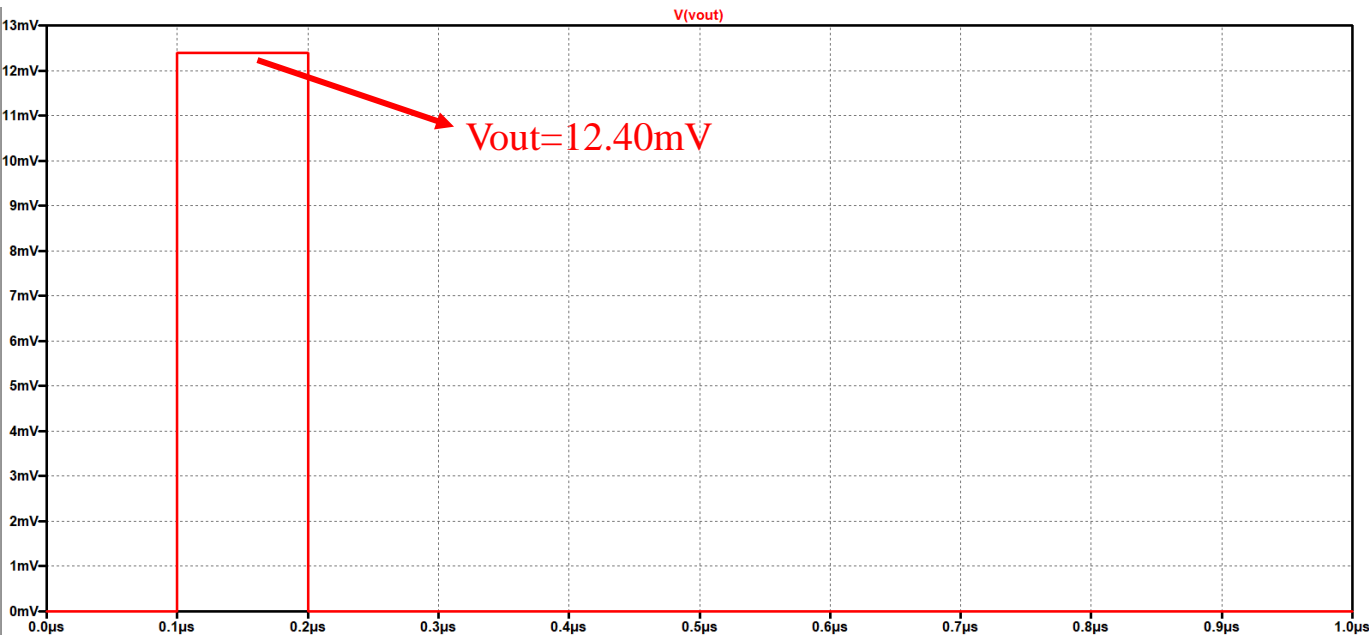


Theoretical Value

$$V_{out} = 15I \cdot R / 121 = 12.40\text{mV}$$

Simulation Value

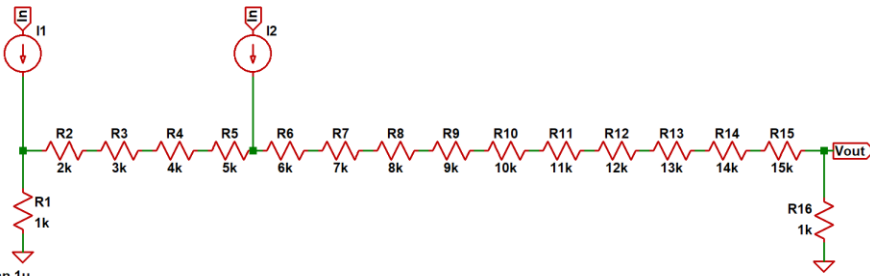
$$V_{out} = 12.40\text{mV}$$



Triangular Number DAC **Input 16**

6-bit DAC simulation

```
PULSE(0 100u 100n 0.1p 0.1p 100n 1 1)
PULSE(0 100u 200n 0.1p 0.1p 100n 1 1)
```

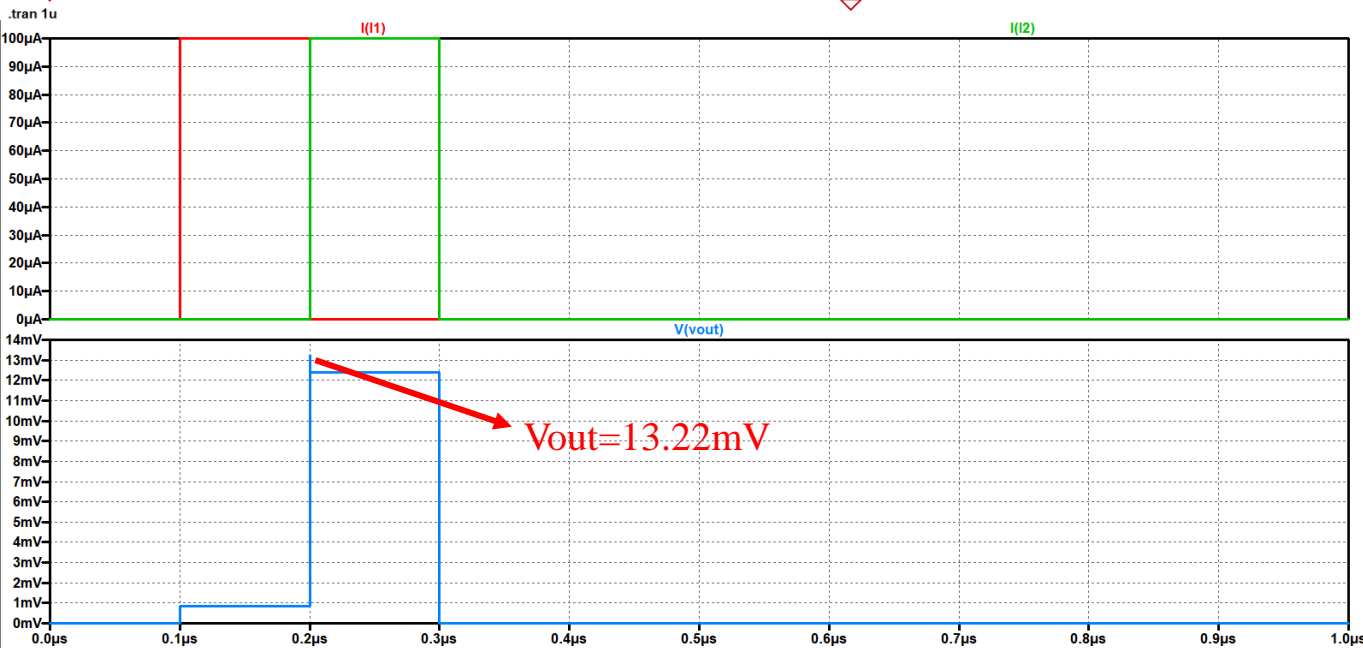


Theoretical Value

$$V_{out} = 16I \cdot R / 121 = 13.22\text{mV}$$

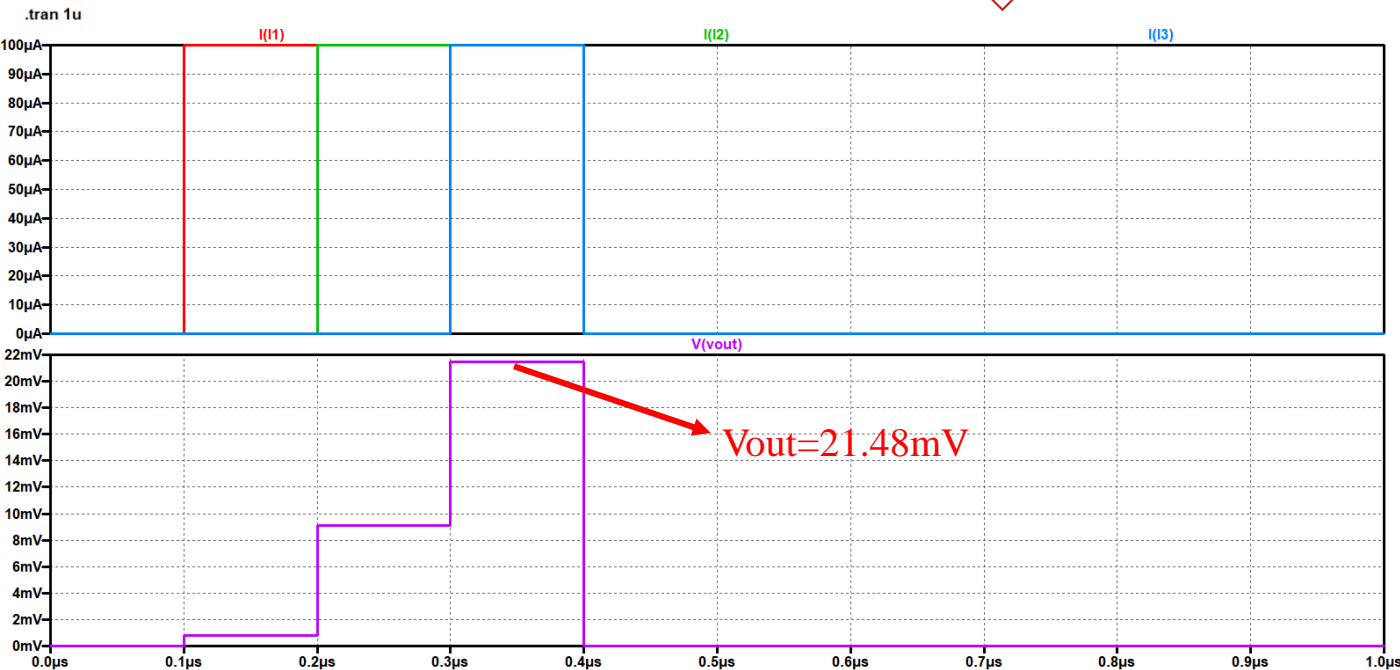
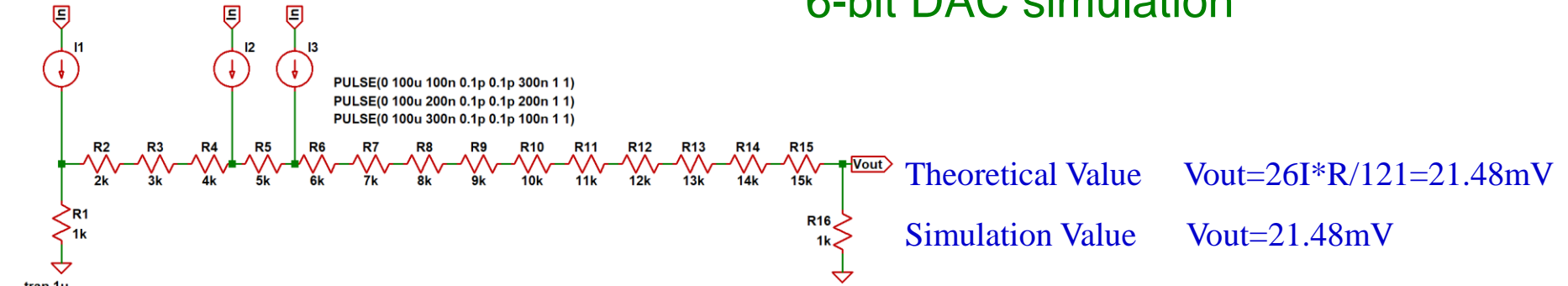
Simulation Value

$$V_{out} = 13.22\text{mV}$$



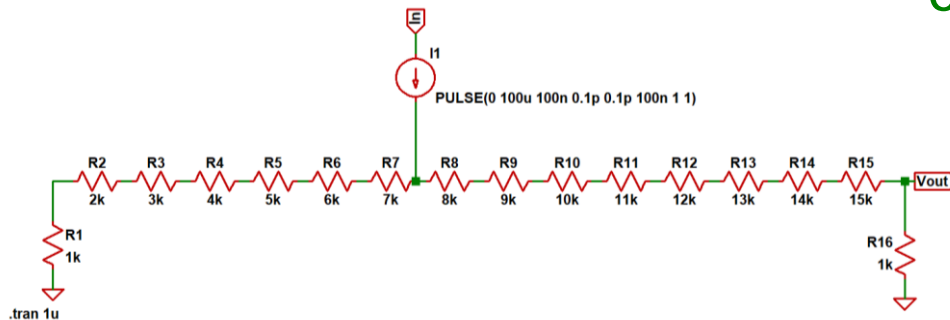
Triangular Number DAC **Input 26**

6-bit DAC simulation



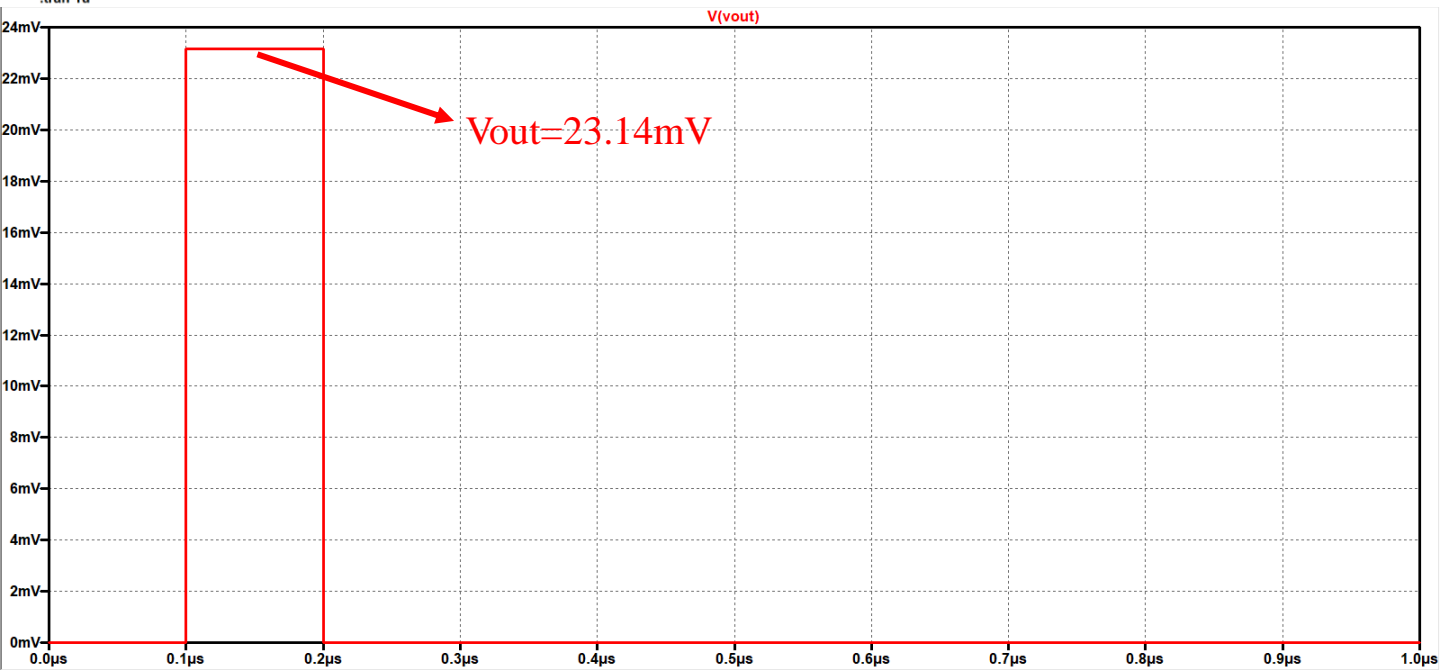
Triangular Number DAC **Input 28**

6-bit DAC simulation



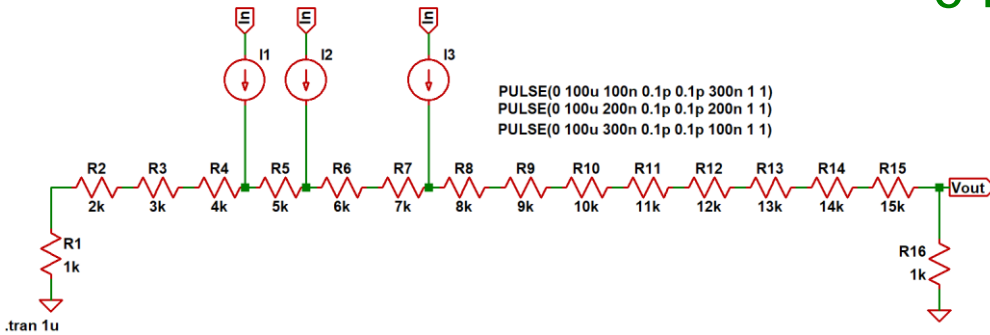
Theoretical Value $V_{out}=28I \cdot R/121=23.14\text{mV}$

Simulation Value $V_{out}=23.14\text{mV}$



Triangular Number DAC **Input 53**

6-bit DAC simulation

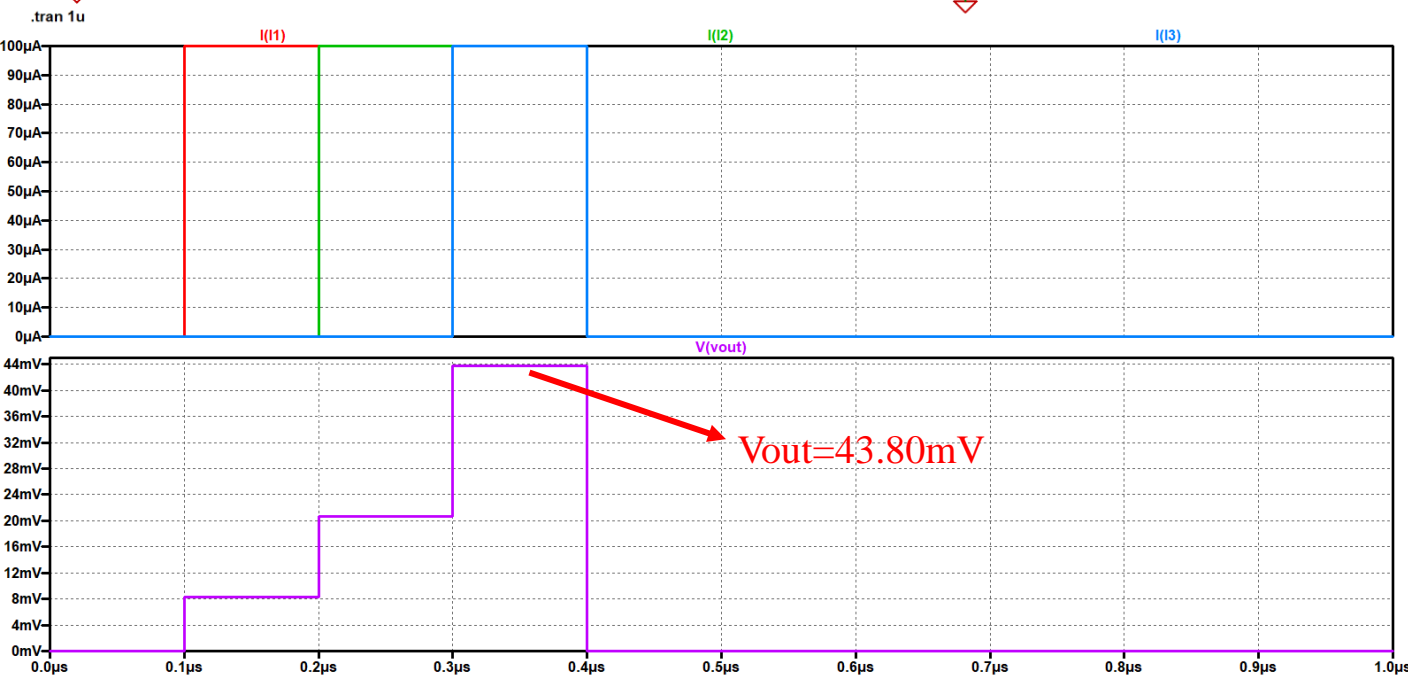


Theoretical Value

$$V_{out} = 53I \cdot R / 121 = 43.80mV$$

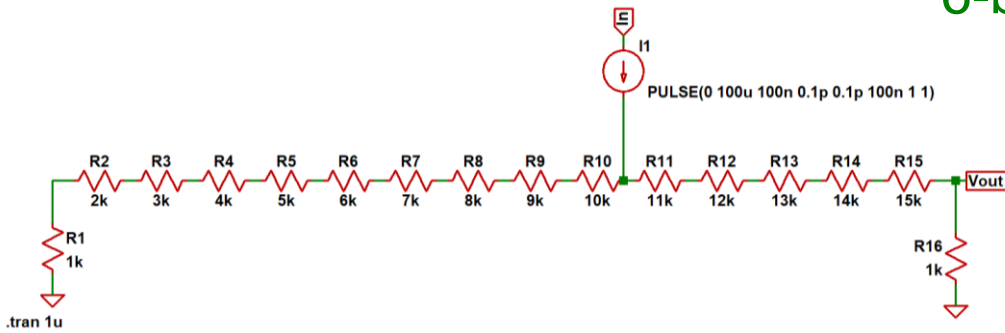
Simulation Value

$$V_{out} = 43.80mV$$



Triangular Number DAC **Input 55**

6-bit DAC simulation

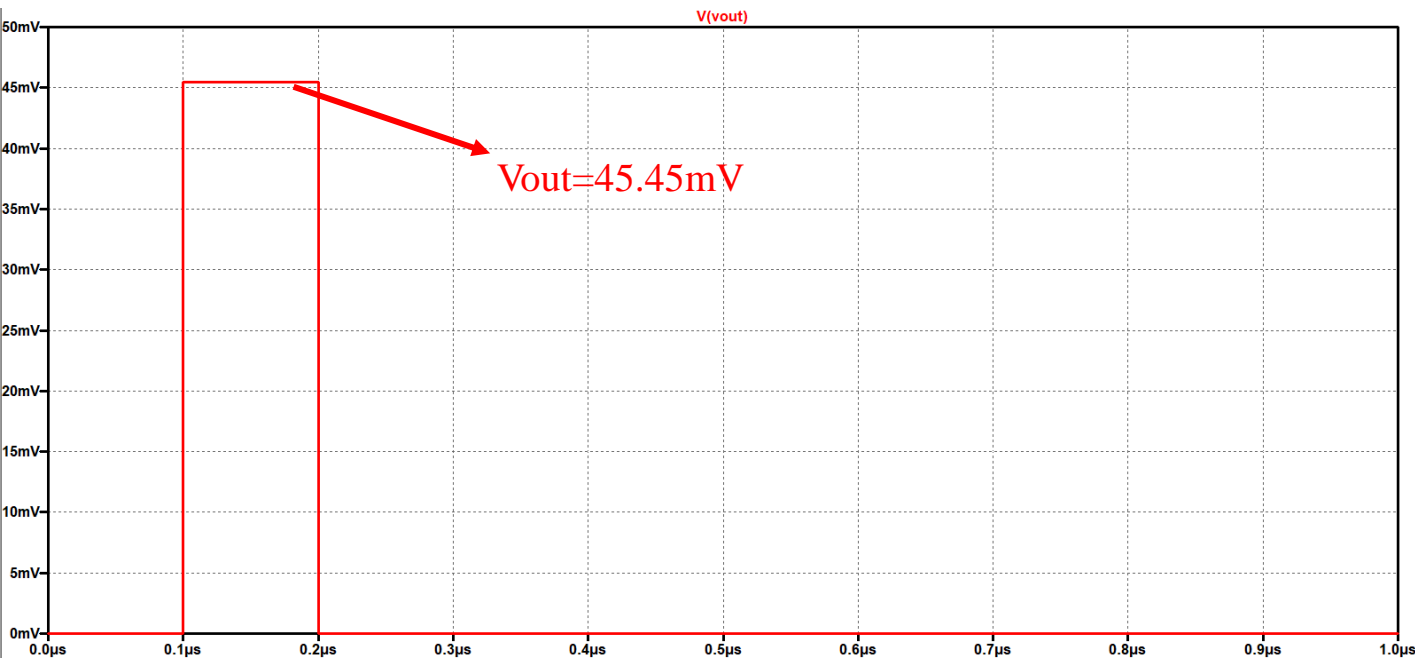


Theoretical Value

$$V_{out} = 55I \cdot R / 121 = 45.45\text{mV}$$

Simulation Value

$$V_{out} = 45.45\text{mV}$$

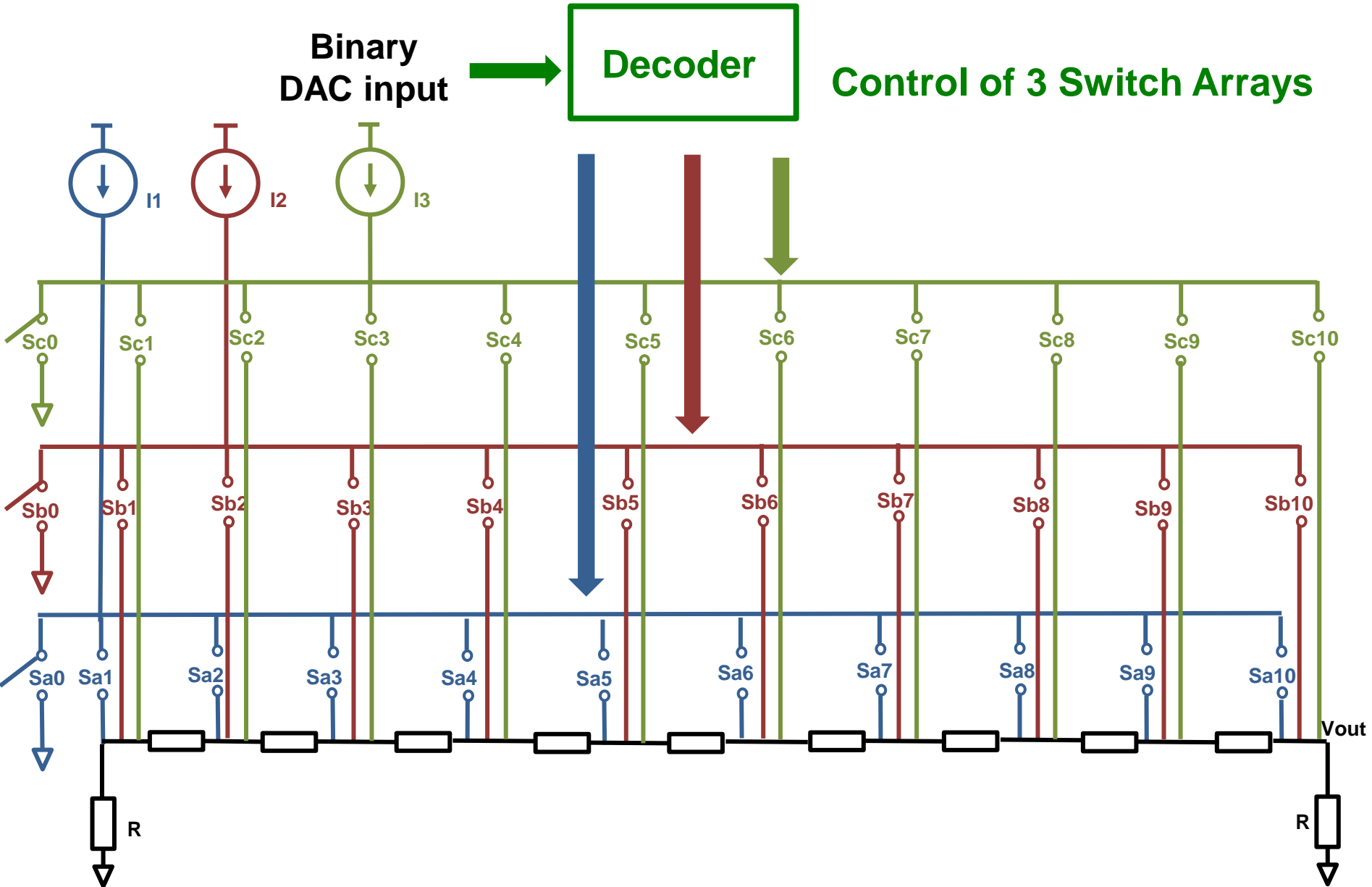


Contents

- Research Objective
- Background
- Polygonal Number
- Triangular Number DAC
- **Triangular Number DAC Decoder, Check Program**
- Summary
- Square Numbers DAC Results
- Conclusion

Circuits for Explanation of Switches

Sa0,... Sa10, Sb0,... Sb10, Sc0,... Sc10



Triangular Number DAC Decoder Check Program

Input

B5, B4, B3, B2, B1, B0(from 0 to 63)

Sa00 = Logical expression with B5, B4, B3, B2, B1, B0

Sa01 = Logical expression with B5, B4, B3, B2, B1, B0

:

Sb00 = Logical expression with B5, B4, B3, B2, B1, B0

Sb01 = Logical expression with B5, B4, B3, B2, B1, B0

:

Sc00 = Logical expression with B5, B4, B3, B2, B1, B0

Sc01 = Logical expression with B5, B4, B3, B2, B1, B0

:

DataA = $0 \cdot Sa00 + 1 \cdot Sa01 + 3 \cdot Sa02 + 6 \cdot Sa03 + 10 \cdot Sa04$
 $+ 15 \cdot Sa05 + 21 \cdot Sa06 + 28 \cdot Sa07 + 36 \cdot Sa08 + 45 \cdot Sa09 + 66 \cdot Sa10.$

DataB = $0 \cdot Sb00 + 1 \cdot Sb01 + 3 \cdot Sb02 + 6 \cdot Sb03 + 10 \cdot Sb04$
 $+ 15 \cdot Sb05 + 21 \cdot Sb06 + 28 \cdot Sb07 + 36 \cdot Sb08 + 45 \cdot Sb09 + 66 \cdot Sb10.$

DataC = $0 \cdot Sc00 + 1 \cdot Sc01 + 3 \cdot Sc02 + 6 \cdot Sc03 + 10 \cdot Sc04$
 $+ 15 \cdot Sc05 + 21 \cdot Sc06 + 28 \cdot Sc07 + 36 \cdot Sc08 + 45 \cdot Sc09 + 66 \cdot Sc10.$

Data = $B0 + 2 \cdot B1 + 4 \cdot B2 + 8 \cdot B3 + 16 \cdot B4 + 32 \cdot B5$

Triangular Number DAC Decoder Check program

Output

B5, B4, B3, B2, B1, B0

If Data = DataA + DataB + DataC,
the output is OK.

If Data \neq DataA + DataB + DataC,
the output is WRONG.

6-bit binary input

decode

B5=0, B4=0, B3=0, B2=0, B1=0, B0=0	OK	0 = 0 + 0 + 0
B5=0, B4=0, B3=0, B2=0, B1=0, B0=1	OK	1 = 1 + 0 + 0
B5=0, B4=0, B3=0, B2=0, B1=1, B0=0	OK	2 = 1 + 1 + 0
B5=0, B4=0, B3=0, B2=0, B1=1, B0=1	OK	3 = 3 + 0 + 0
B5=0, B4=0, B3=0, B2=1, B1=0, B0=0	OK	4 = 1 + 3 + 0
B5=0, B4=0, B3=0, B2=1, B1=0, B0=1	OK	5 = 1 + 1 + 3
B5=0, B4=0, B3=0, B2=1, B1=1, B0=0	OK	6 = 6 + 0 + 0
B5=0, B4=0, B3=0, B2=1, B1=1, B0=1	OK	7 = 1 + 6 + 0
B5=0, B4=0, B3=1, B2=0, B1=0, B0=0	OK	8 = 1 + 1 + 6
B5=0, B4=0, B3=1, B2=0, B1=0, B0=1	OK	9 = 3 + 6 + 0
B5=0, B4=0, B3=1, B2=0, B1=1, B0=0	OK	10 = 10 + 0 + 0
B5=0, B4=0, B3=1, B2=0, B1=1, B0=1	OK	11 = 1 + 10 + 0
B5=0, B4=0, B3=1, B2=1, B1=0, B0=0	OK	12 = 1 + 1 + 10
B5=0, B4=0, B3=1, B2=1, B1=0, B0=1	OK	13 = 3 + 10 + 0
B5=0, B4=0, B3=1, B2=1, B1=1, B0=0	OK	14 = 1 + 3 + 10
B5=0, B4=0, B3=1, B2=1, B1=1, B0=1	OK	15 = 15 + 0 + 0
B5=0, B4=1, B3=0, B2=0, B1=0, B0=0	OK	16 = 1 + 15 + 0
B5=0, B4=1, B3=0, B2=0, B1=0, B0=1	OK	17 = 1 + 1 + 15
B5=0, B4=1, B3=0, B2=0, B1=1, B0=0	OK	18 = 3 + 15 + 0
B5=0, B4=1, B3=0, B2=0, B1=1, B0=1	OK	19 = 1 + 3 + 15
B5=0, B4=1, B3=0, B2=1, B1=0, B0=0	OK	20 = 10 + 10 + 0

Calculation results are correct.

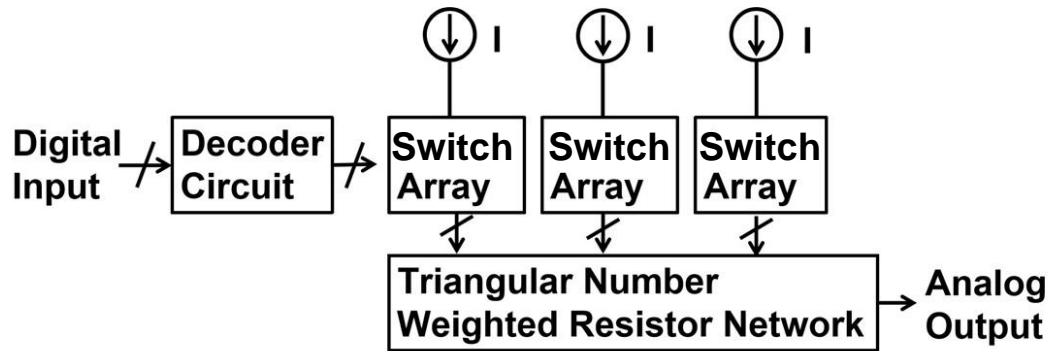
Contents

- Research Objective
- Background
- Polygonal Number
- Triangular Number DAC
- Triangular Number DAC Decoder, Check Program
- **Summary**
- Square Numbers DAC Results
- Conclusion

Summary

Triangular number DAC

3 current sources
3 switch arrays



6-bit DAC design

6-bit binary input

decode

B5=0, B4=0, B3=0, B2=0, B1=0, B0=0	OK	0 = 0 + 0 + 0
B5=0, B4=0, B3=0, B2=0, B1=0, B0=1	OK	1 = 1 + 0 + 0
B5=0, B4=0, B3=0, B2=0, B1=1, B0=0	OK	2 = 1 + 1 + 0
B5=0, B4=0, B3=0, B2=0, B1=1, B0=1	OK	3 = 3 + 0 + 0
B5=0, B4=0, B3=0, B2=1, B1=0, B0=0	OK	4 = 1 + 3 + 0
B5=0, B4=0, B3=0, B2=1, B1=0, B0=1	OK	5 = 1 + 1 + 3
B5=0, B4=0, B3=0, B2=1, B1=1, B0=0	OK	6 = 6 + 0 + 0
B5=0, B4=0, B3=0, B2=1, B1=1, B0=1	OK	7 = 1 + 6 + 0
B5=0, B4=0, B3=1, B2=0, B1=0, B0=0	OK	8 = 1 + 1 + 6
B5=0, B4=0, B3=1, B2=0, B1=0, B0=1	OK	9 = 3 + 6 + 0
B5=0, B4=0, B3=1, B2=0, B1=1, B0=0	OK	10 = 10 + 0 + 0
B5=0, B4=0, B3=1, B2=0, B1=1, B0=1	OK	11 = 1 + 10 + 0
B5=0, B4=0, B3=1, B2=1, B1=0, B0=0	OK	12 = 1 + 1 + 10
B5=0, B4=0, B3=1, B2=1, B1=0, B0=1	OK	13 = 3 + 10 + 0
B5=0, B4=0, B3=1, B2=1, B1=1, B0=0	OK	14 = 1 + 3 + 10
B5=0, B4=0, B3=1, B2=1, B1=1, B0=1	OK	15 = 15 + 0 + 0
B5=0, B4=1, B3=0, B2=0, B1=0, B0=0	OK	16 = 1 + 15 + 0
B5=0, B4=1, B3=0, B2=0, B1=0, B0=1	OK	17 = 1 + 1 + 15
B5=0, B4=1, B3=0, B2=0, B1=1, B0=0	OK	18 = 3 + 15 + 0
B5=0, B4=1, B3=0, B2=0, B1=1, B0=1	OK	19 = 1 + 3 + 15
B5=0, B4=1, B3=0, B2=1, B1=0, B0=0	OK	20 = 10 + 10 + 0

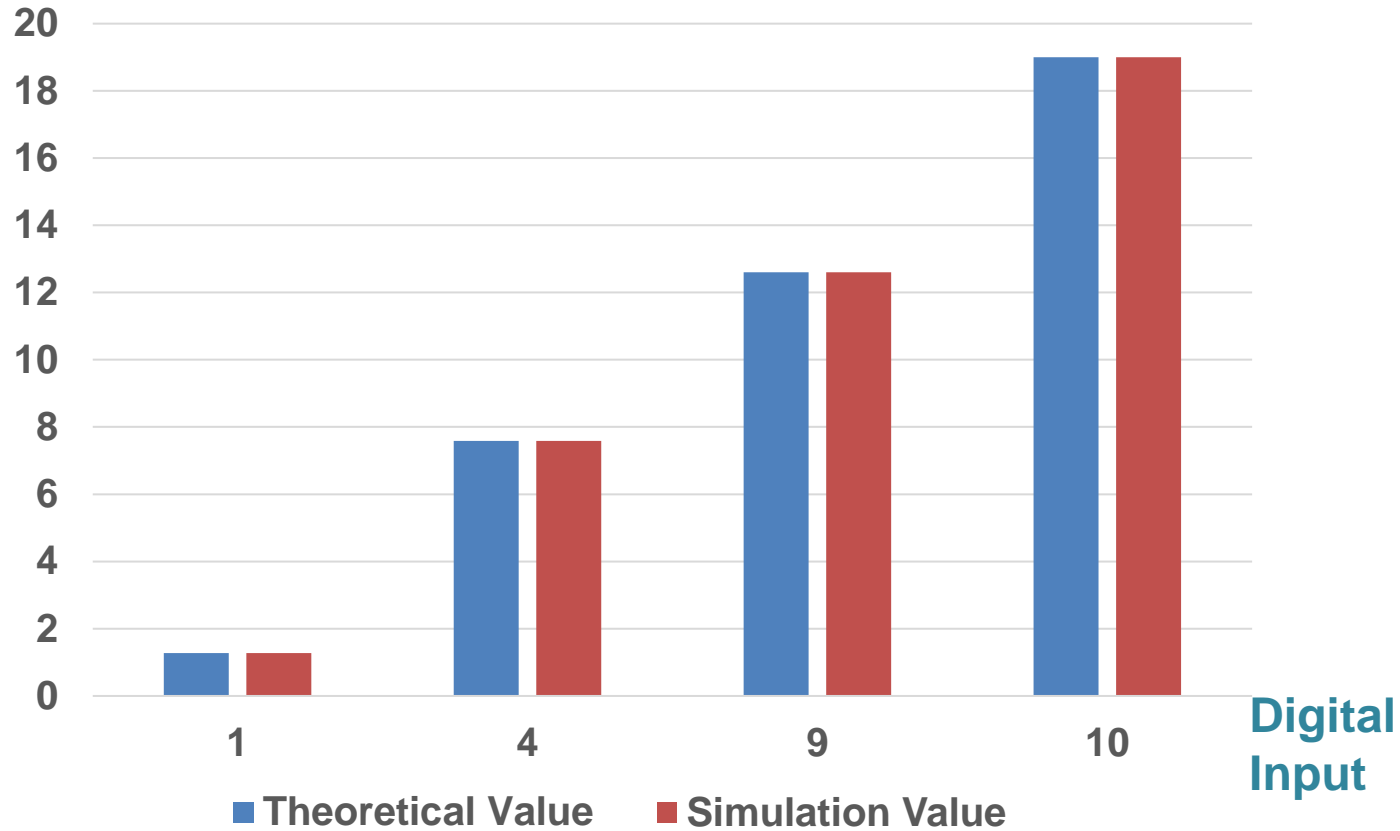
Calculation results are correct.

Contents

- Research Objective
- Background
- Polygonal Number
- Triangular Number DAC
- Triangular Number DAC Decoder, Check Program
- Summary
- **Square Numbers DAC Results**
- Conclusion

Square Numbers DAC Results

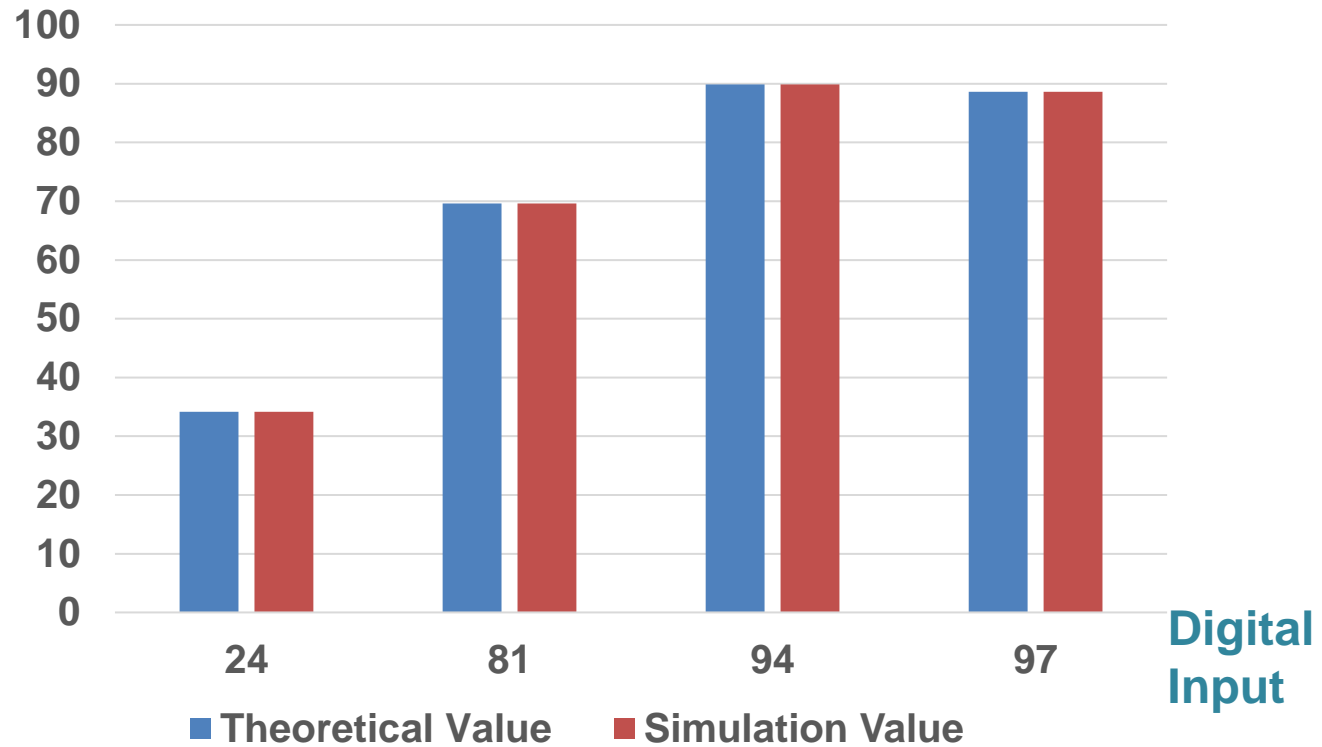
Analog
Output
Vout [mV]



Input	1	4	9	16
Theoretical Value	$V_{out} = I \cdot R / 79$ =1.27mV	$V_{out} = 6I \cdot R / 79$ =7.59mV	$V_{out} = 10I \cdot R / 79$ =12.6mV	$V_{out} = 15I \cdot R / 79$ =19.00mV
Simulation Value	Vout=1.27mV	Vout=7.59mV	Vout=12.6mV	Vout=19.00mV

Square Numbers DAC Results

Analog
Output
Vout [mV]




Input	24	81	94	97
Theoretical Value	$V_{out} = I \cdot R / 79$ =34.18mV	$V_{out} = 55I \cdot R / 79$ =69.62mV	$V_{out} = 71I \cdot R / 79$ =89.87mV	$V_{out} = 70I \cdot R / 79$ =88.61mV
Simulation Value	Vout=34.18mV	Vout=69.62mV	Vout=89.87mV	Vout=88.61mV

Contents

- Research Objective
- Background
- Polygonal Number
- Triangular Number DAC
- Triangular Number DAC Decoder, Check Program
- Summary
- Square Numbers DAC Results
- **Conclusion**

Conclusion

- **Completely new DAC architectures based on number theory**
- **Design of 6-bit DAC based on triangular number theory**
 **Verified by SPICE simulation**
- **Decoder Design**
- **Decoder Check program**



Fermat polygonal number theorem
was finally proven in 1813,
by Augustin-Louis Cauchy.



1789 – 1857

ご清聴ありがとうございました

Thank you for listening

謝謝

Merci de votre attention

講義の内容

- 大学での工学の研究教育
- アナログ半導体の重要性
- 研究内容の概要
- 三角数の性質を用いたDA変換器
- 貴金属比サンプリング
- 剰余系サンプリング
- 最後に
- 付録

貴金属比の特性を利用した 等価時間サンプリングの波形 取得効率解析

山本 修平、佐々木優斗、趙宇杰、魏江林、桑名杏奈(群馬大学)
佐藤賢央、石田嵩、岡本智之、市川保(ローム)
中谷隆之、Tran Minh Tri、片山 翔吾
畠山一実、小林春夫(群馬大学)

目次

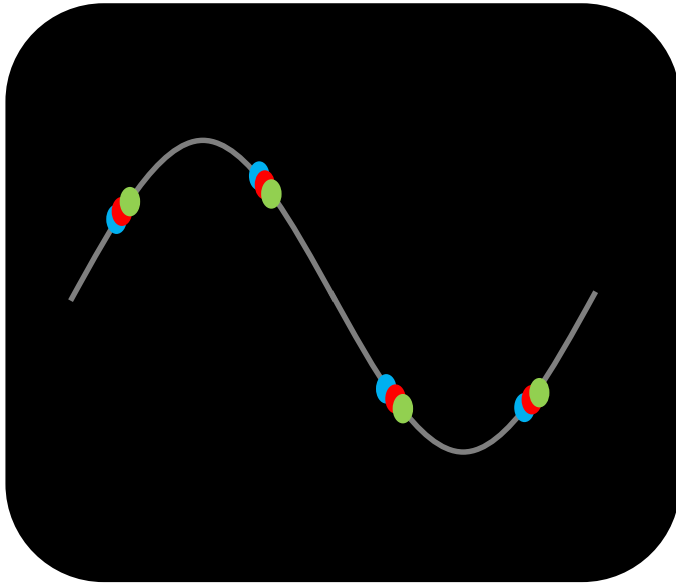
- 研究目的
- 等価時間サンプリング
- 貴金属比サンプリング
 - 概要
 - 効率
 - 効率の周期性
 - 最高効率点
 - 効率悪化点
- まとめと今後の課題

目次

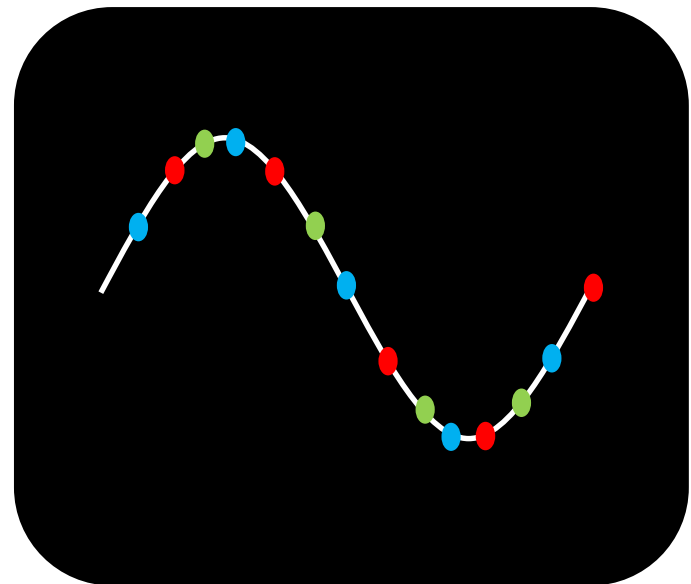
- 研究目的
- 等価時間サンプリング
- 貴金属比サンプリング
 - 概要
 - 効率
 - 効率の周期性
 - 最高効率点
 - 効率悪化点
- まとめと今後の課題

研究目的

効率的なIC試験のために、
等価時間サンプリングでの**高効率**波形を取得する。



サンプリング点が**局在**



サンプリング点が**分散**

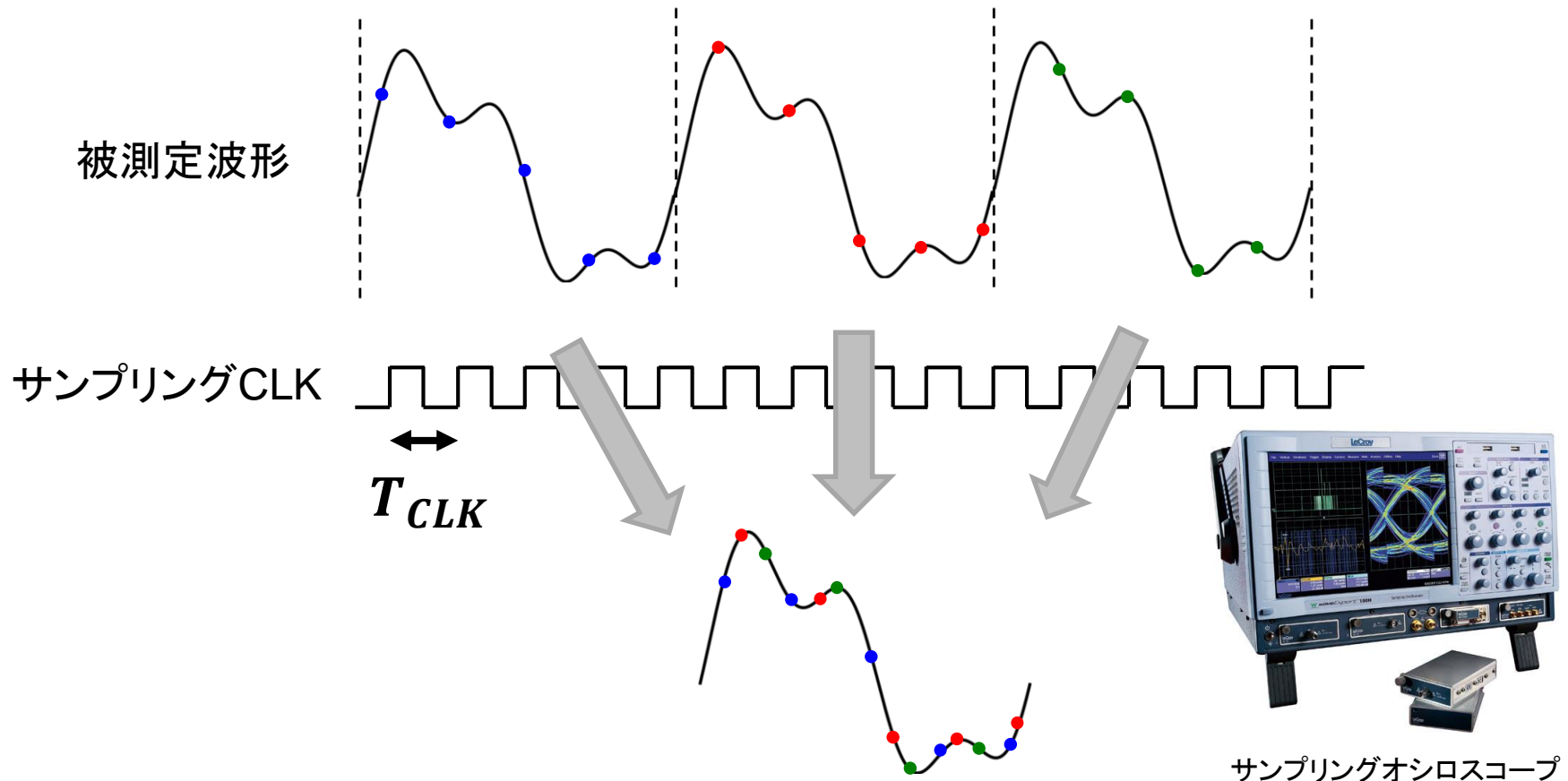


目次

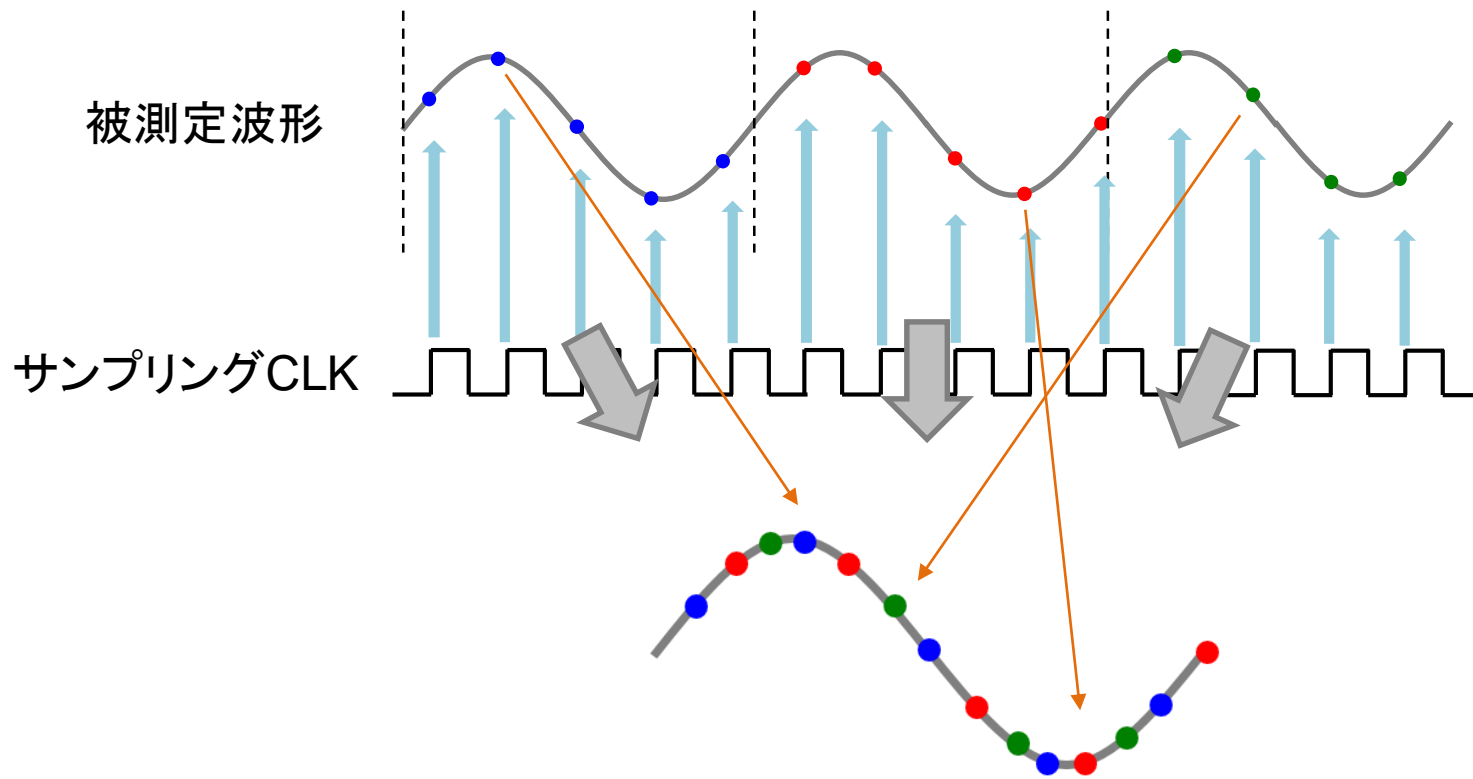
- 研究目的
- 等価時間サンプリング
- 貴金属比サンプリング
 - 概要
 - 効率
 - 効率の周期性
 - 最高効率点
 - 効率悪化点
- まとめと今後の課題

等価時間サンプリングとは

- 繰り返し波形を高時間分解能でサンプリングする技術。
- サンプリング・オシロスコープ等で使用。



ランダム・サンプリングの原理



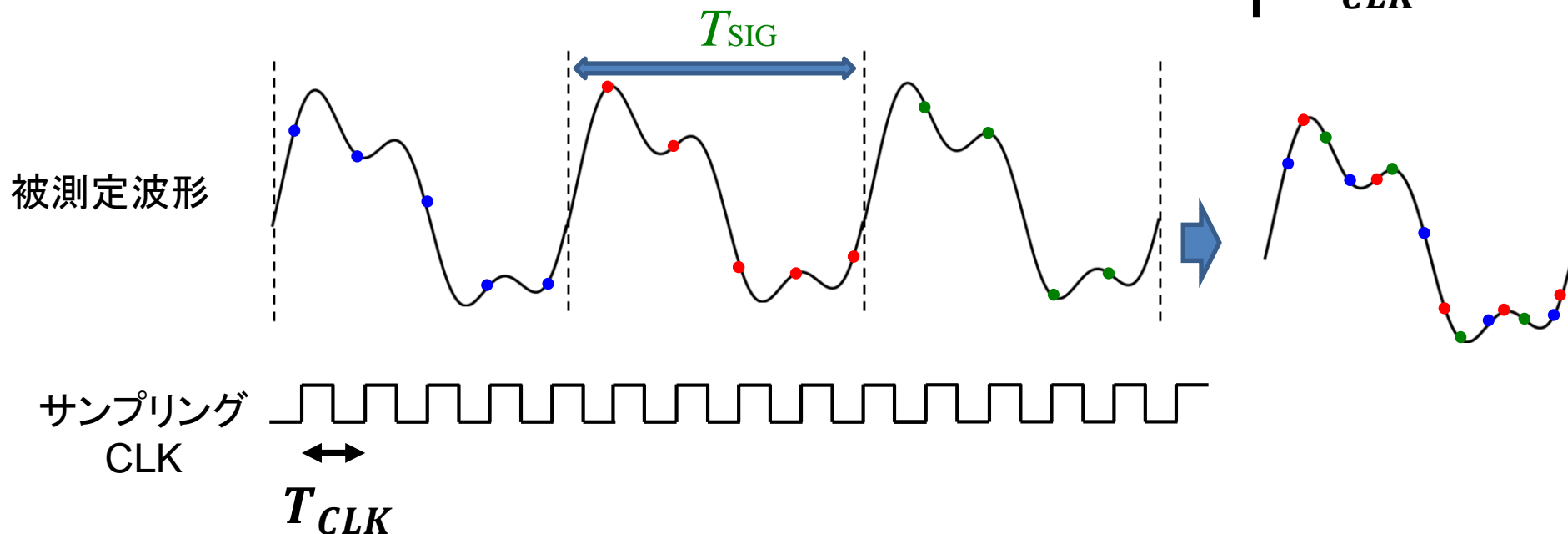
繰り返し波形を非同期CLKでサンプリング



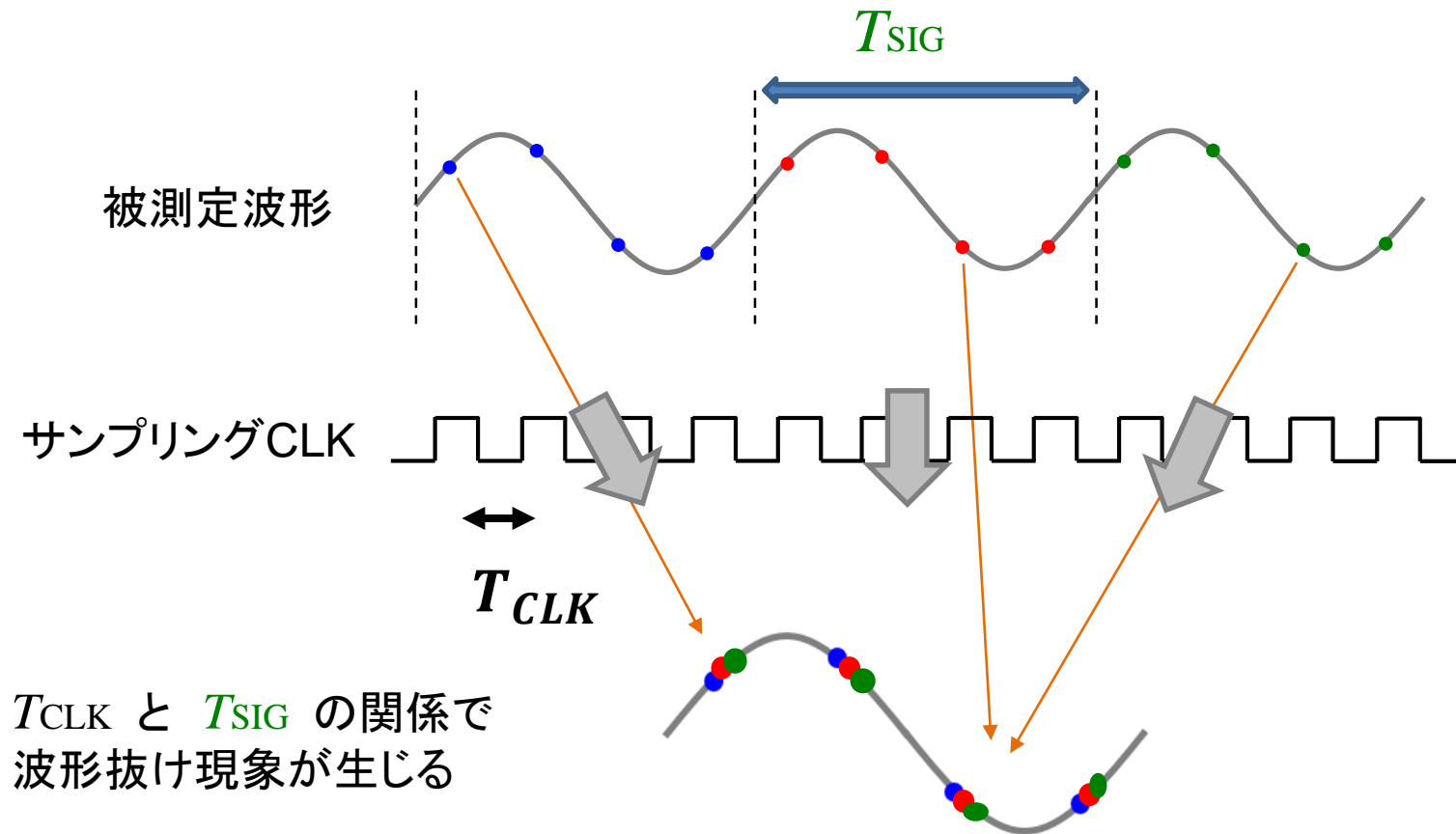
1周期波形を構成

IC試験と等価時間サンプリング

- IC試験時に入力信号は制御可能
周期 T_{SIG} の入力 → 周期 T_{SIG} の出力信号



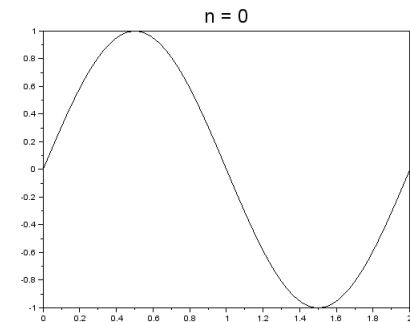
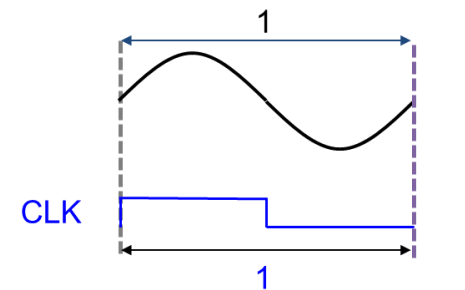
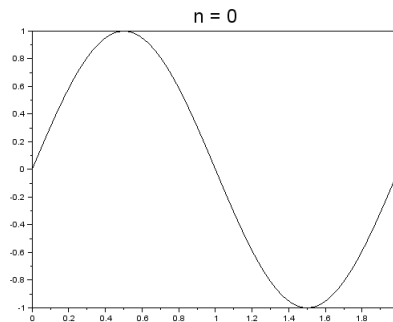
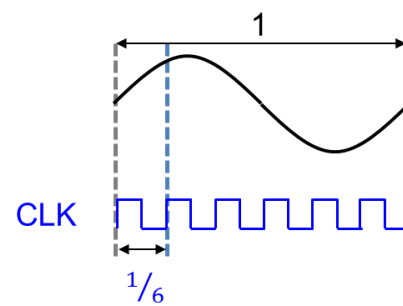
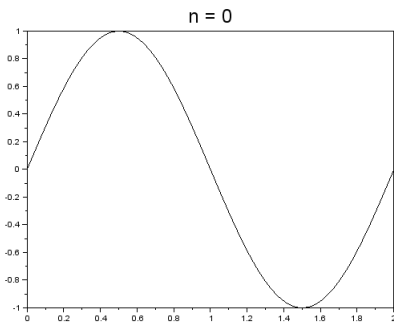
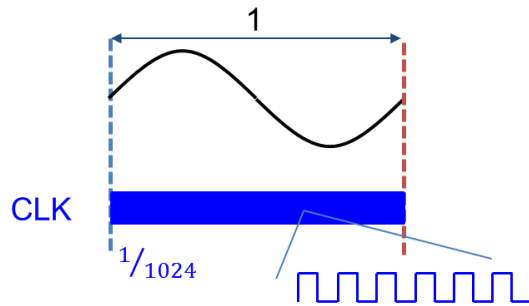
波形抜け現象



波形を再構成するために大量のデータが必要 ➡ 測定時間: 長

波形抜け条件(低効率)

$$f_{CLK} \gg f_{sin} \quad f_{CLK} \approx \frac{1}{\alpha} f_{sin} \left(\alpha = 1, \frac{1}{2}, \frac{1}{3}, \frac{2}{3}, \dots, \frac{1}{6}, \dots \right) \quad f_{CLK} \approx f_{sin}$$



サンプリング点が局在 \Rightarrow 隣接するサンプリング点間の距離の比: 大

高波形取得効率条件

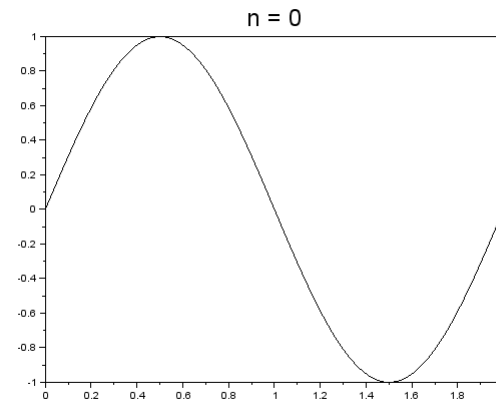
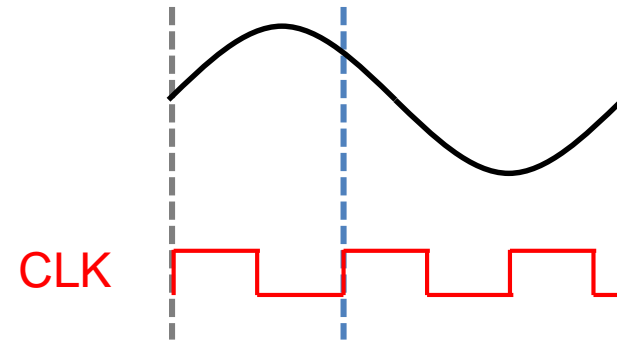
適切なCLK



サンプリング点が1周期内で一様に**分散**



高波形取得効率



サンプリング点が**分散** ➡ 隣接するサンプリング点間の距離の比: **小**

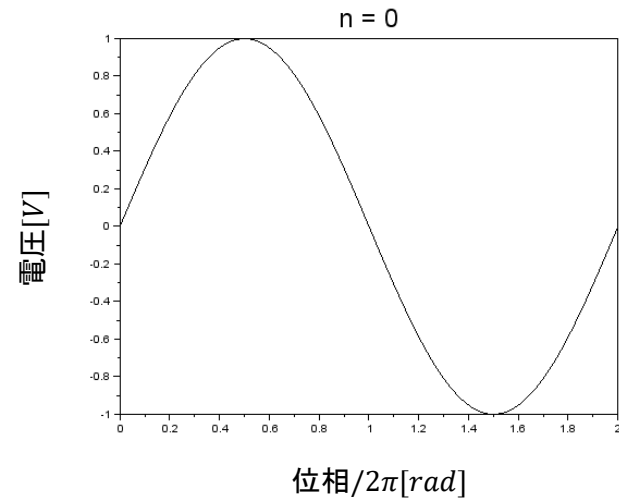
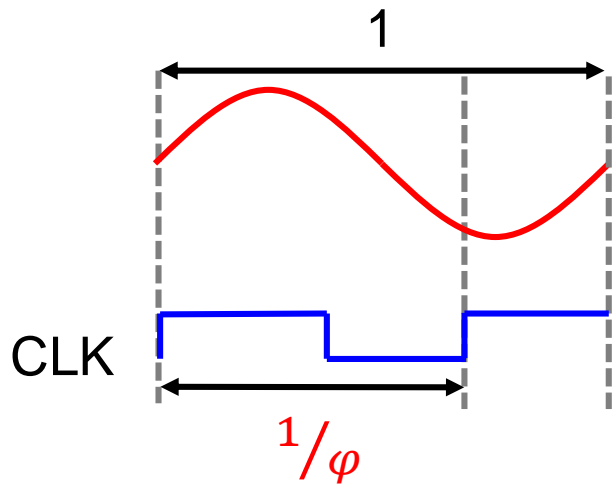
目次

- 研究目的
- 等価時間サンプリング
- **貴金属比サンプリング**
 - 概要
 - 効率
 - 効率の周期性
 - 最高効率点
 - 効率悪化点
- まとめと今後の課題

黄金比サンプリング

$$f_{CLK} = \varphi \times f_{sig}$$

φ : 黄金数 (= 1.6180339887...)



サンプリング点 \rightarrow 常に位相全体にまんべんなく分布

黄金比とは

黄金比は、 $x^2 - x - 1 = 0$ の正の解

$$x = 1.618033988749895 \dots = \varphi$$

最も美しい比

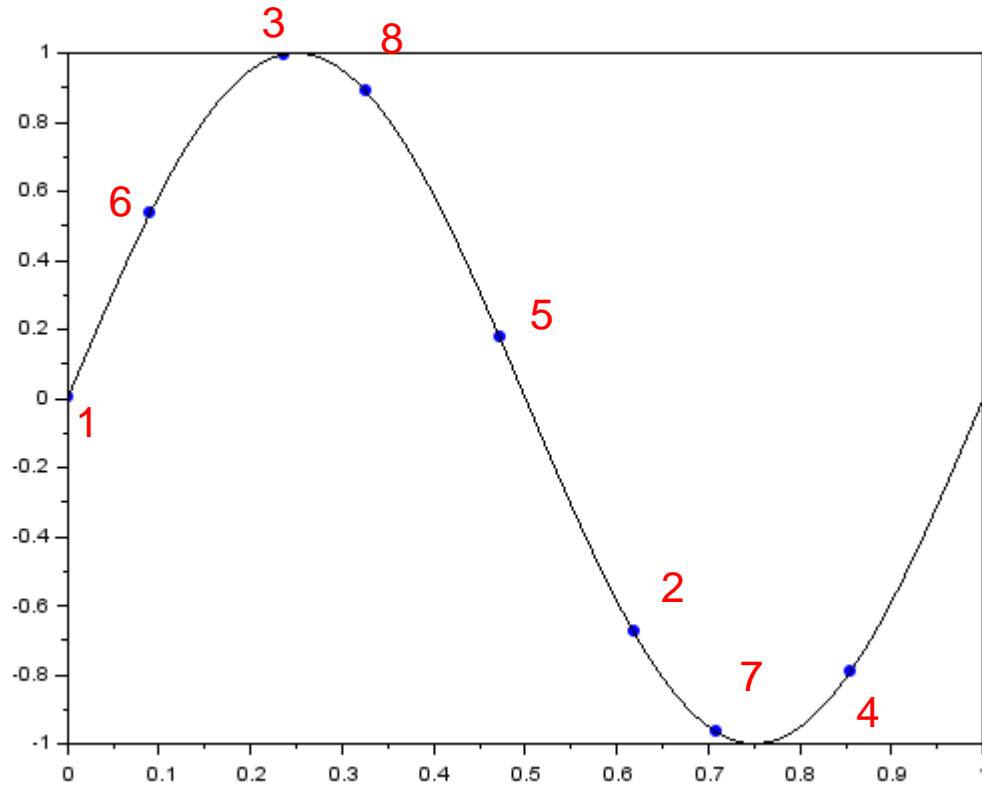
パルテノン神殿



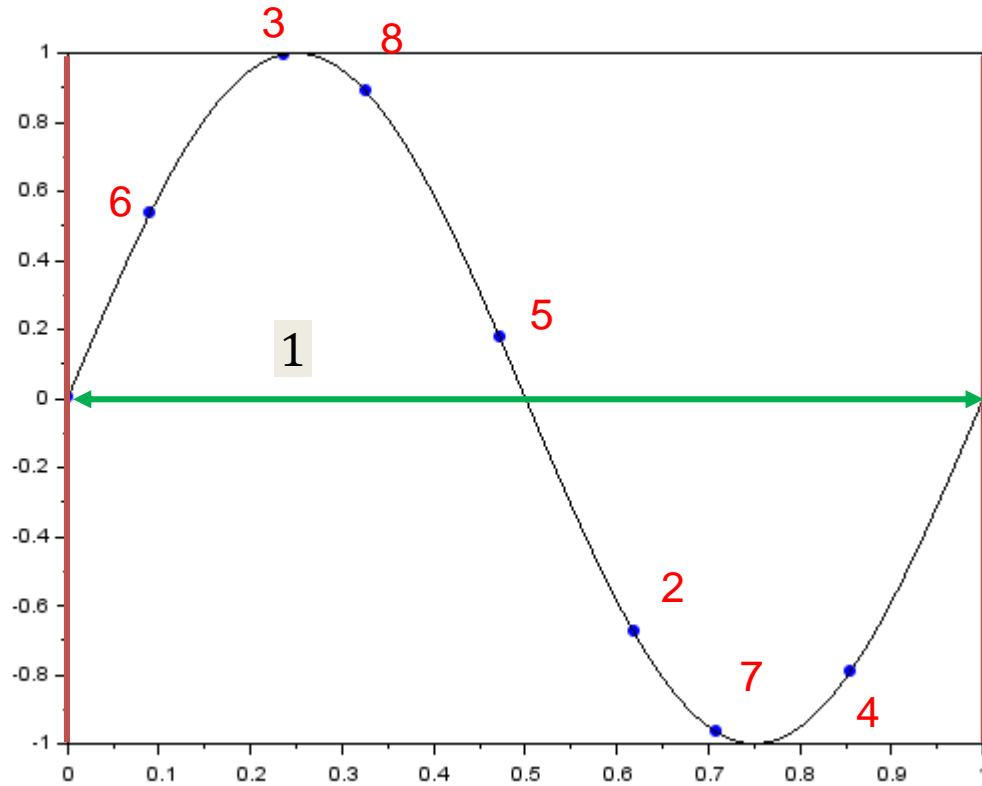
モナ・リザ



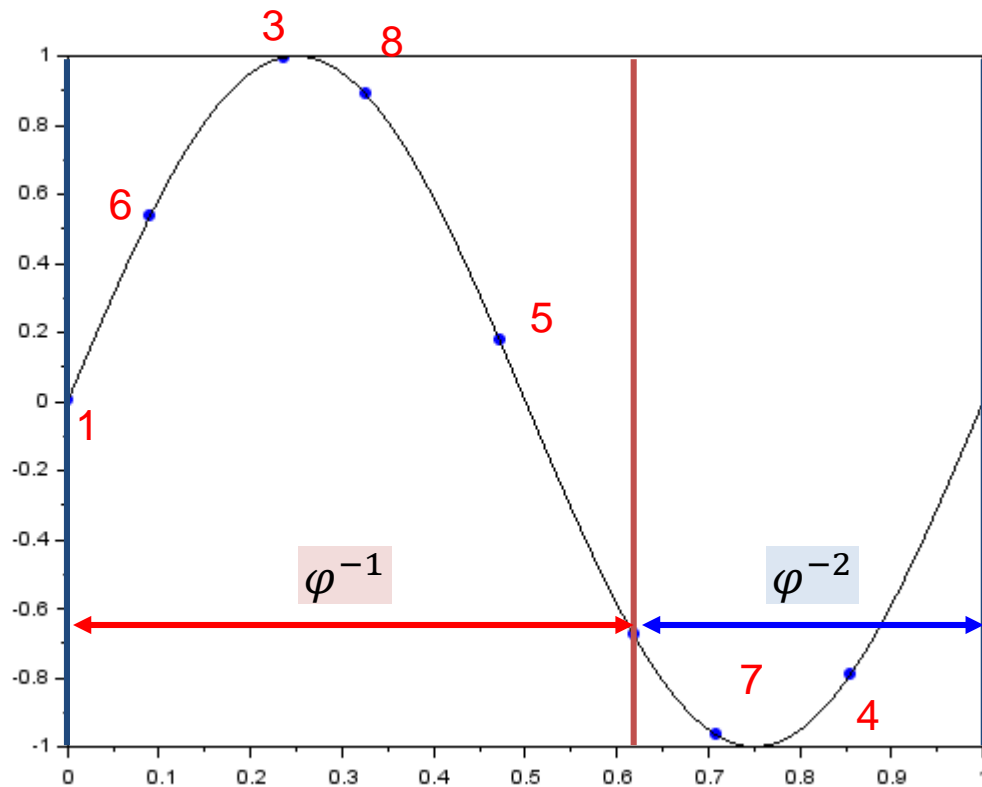
黄金比サンプリング(8点)



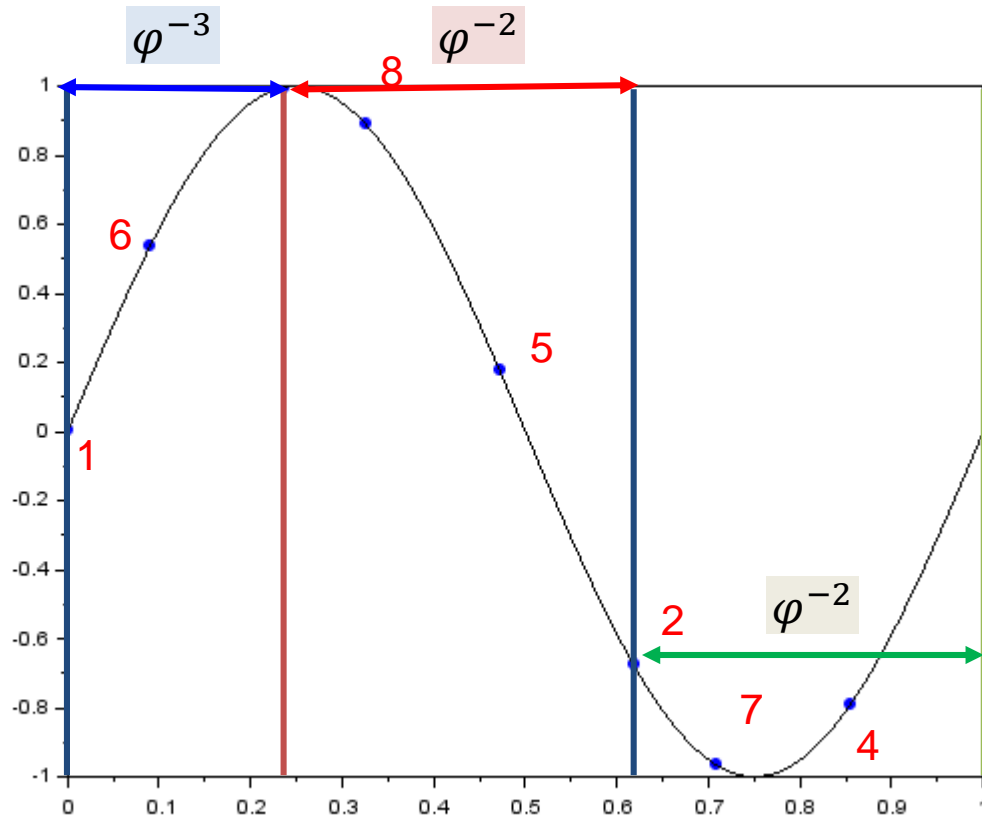
黄金比サンプリングの例(1/8)



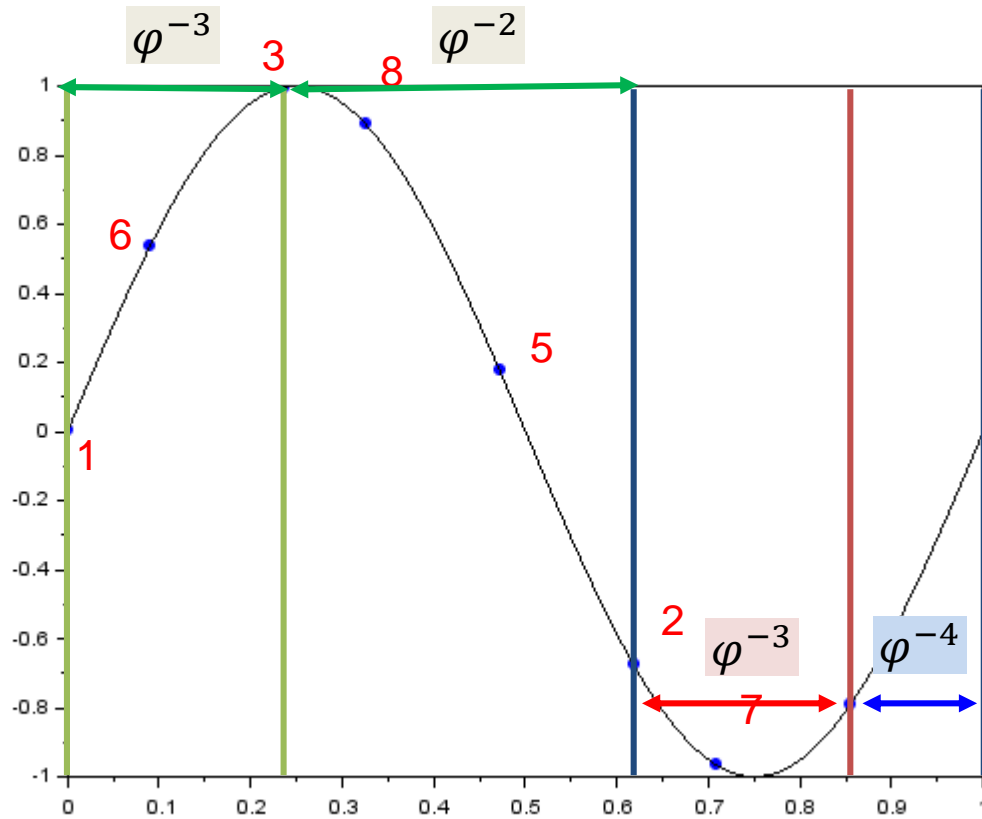
黄金比サンプリングの例(2/8)



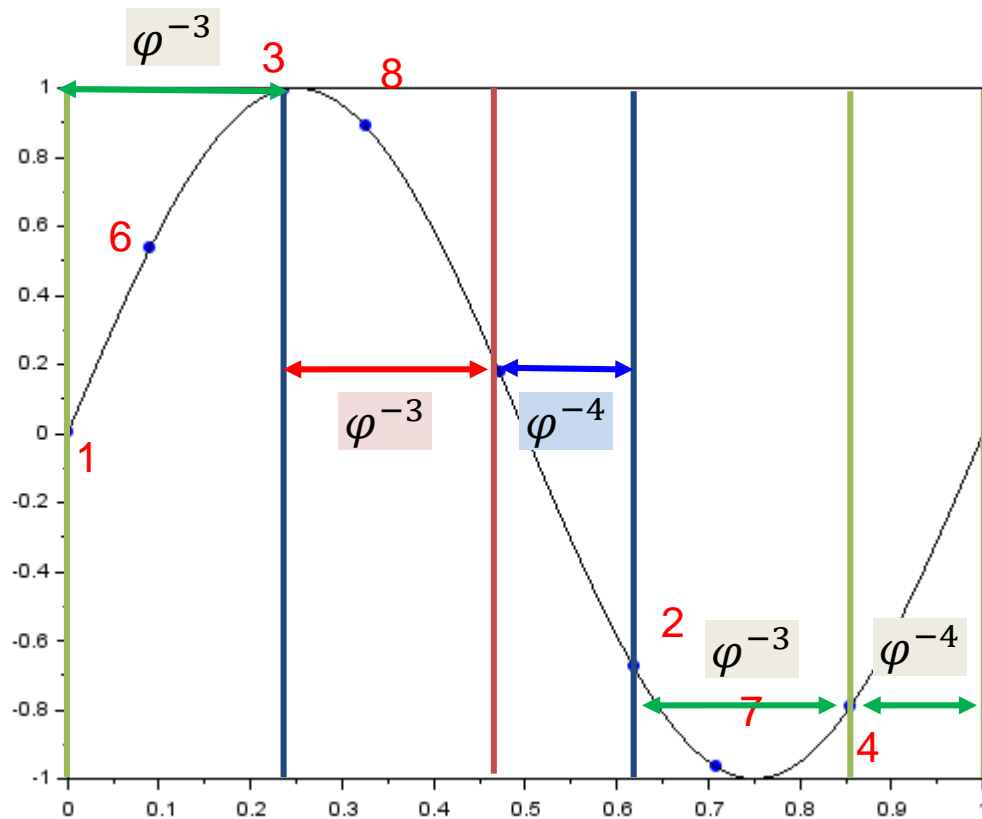
黄金比サンプリングの例(3/8)



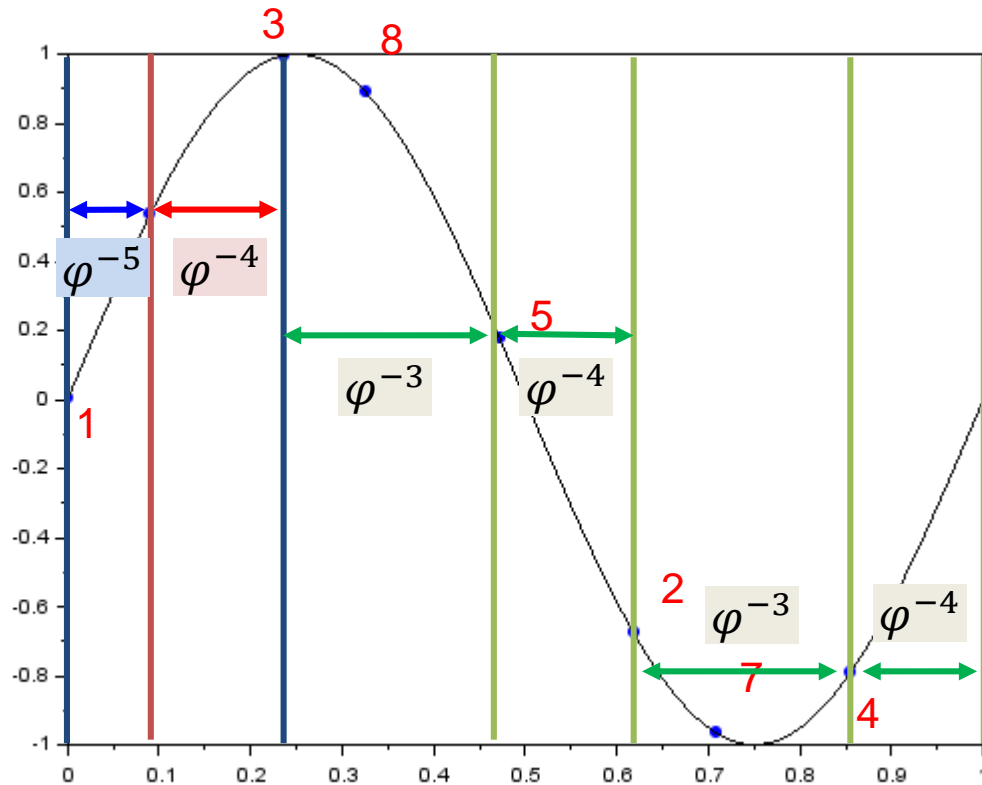
黄金比サンプリングの例(4/8)



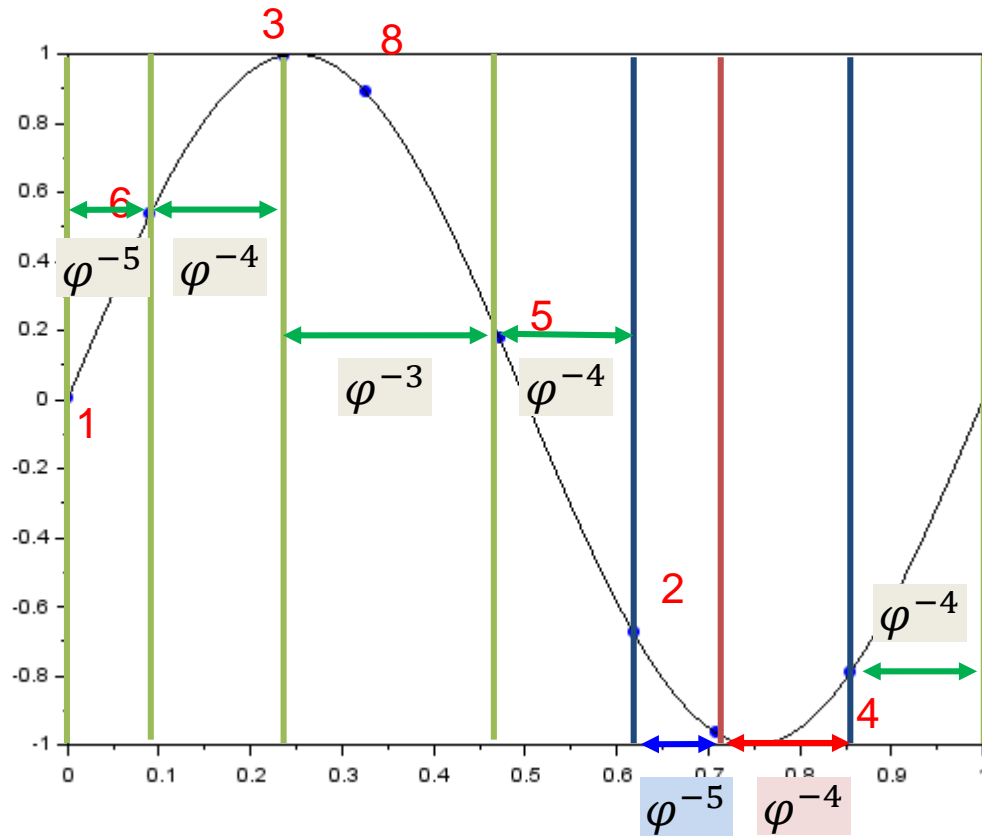
黄金比サンプリングの例(5/8)



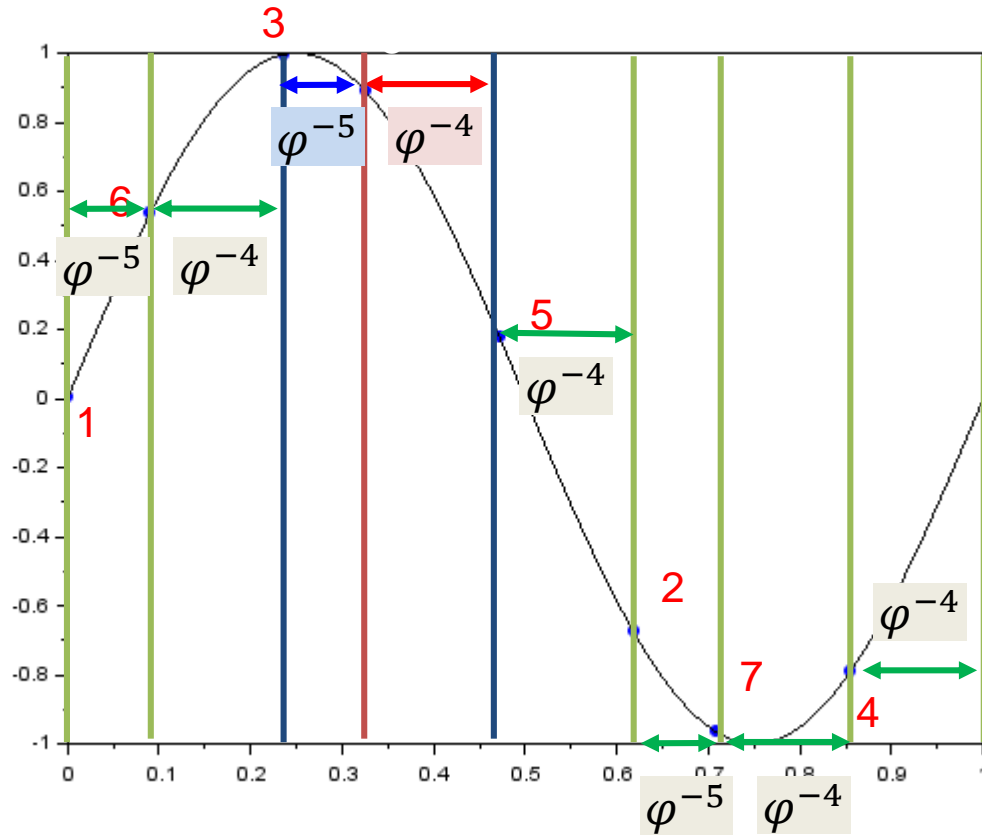
黄金比サンプリングの例(6/8)



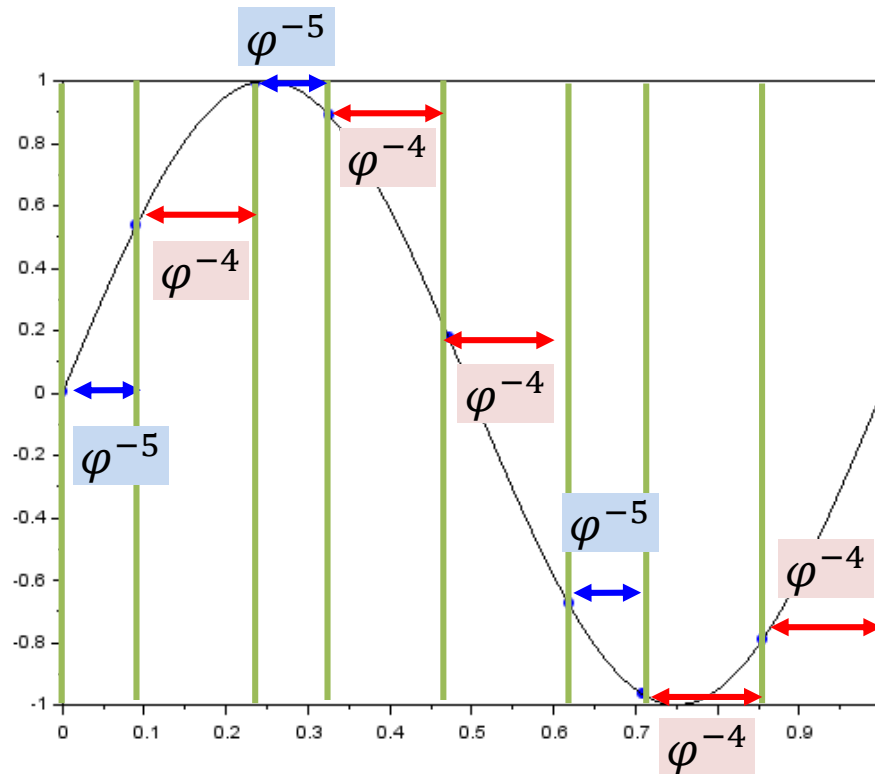
黄金比サンプリングの例(7/8)



黄金比サンプリングの例(8/8)



隣接点間距離 (黄金比サンプリング)

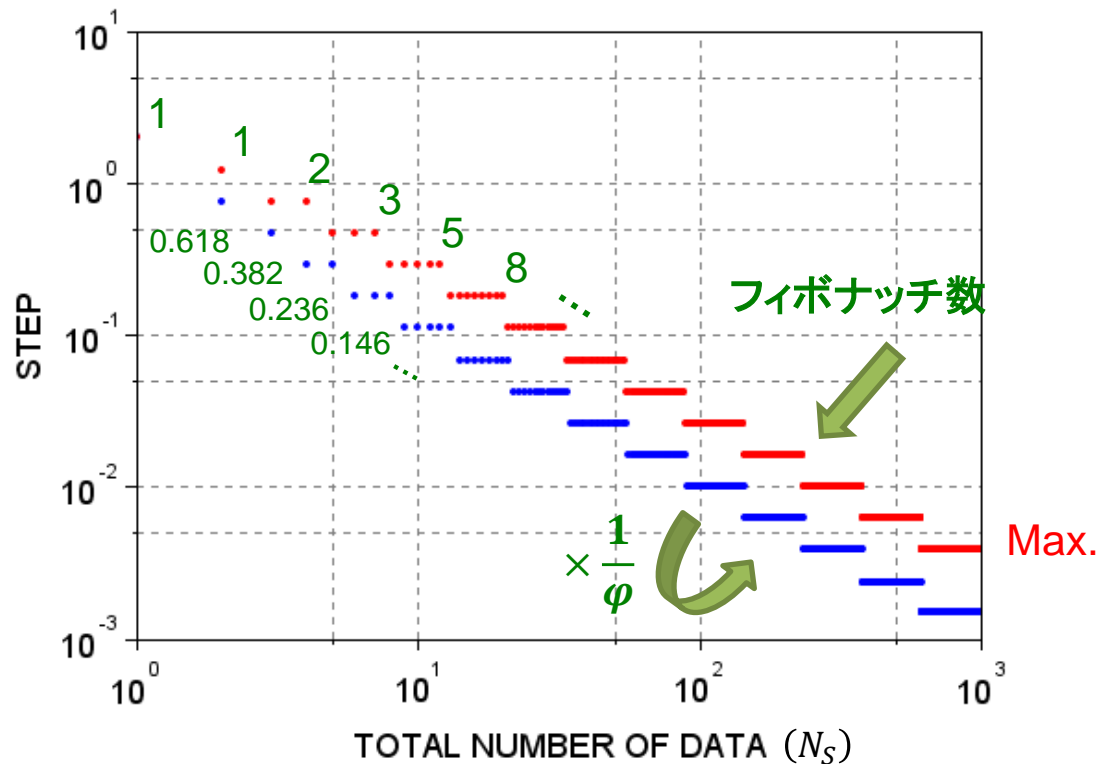


φ : 黄金数 (= 1.6180339887...)

最大距離 / 最小距離 = φ または φ^2 (比が一定)

➡ サンプリング点: 近付きすぎる & 遠すぎることはない

時間分解能 (黄金比サンプリング)



最大・最小距離: フィボナッチ数毎に $\times 1/\phi$

➔ 時間分解能: 「1 / 総サンプリング数」で向上

貴金属比

貴金属比

$$1: \frac{n + \sqrt{n^2 + 4}}{2} \quad (n = 1, 2, 3 \dots)$$



M : 貴金属数

$n=1$: 黄金比 ($M = 1.6180\dots$)

$n=2$: 白銀比 ($M = 2.4142\dots$)

$n=3$: 青銅比 ($M = 3.3027\dots$)

⋮

$n=m$: $1:M$

逆数との差が自然数

$$M - \frac{1}{M} = \text{自然数}$$

連分数として表現

$$M = n + \frac{1}{n + \frac{1}{M}}$$

隣り合う項の比の極限が
貴金属比になる数列

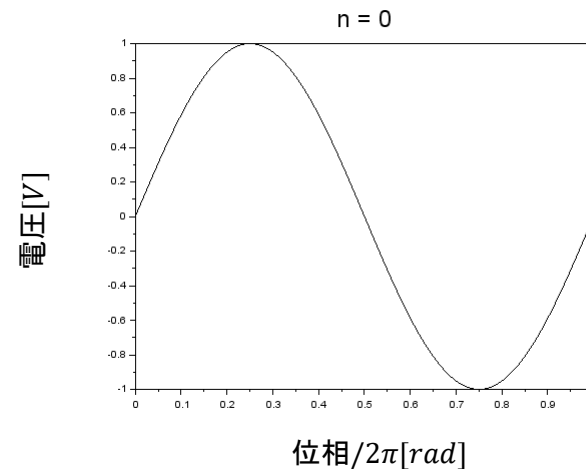
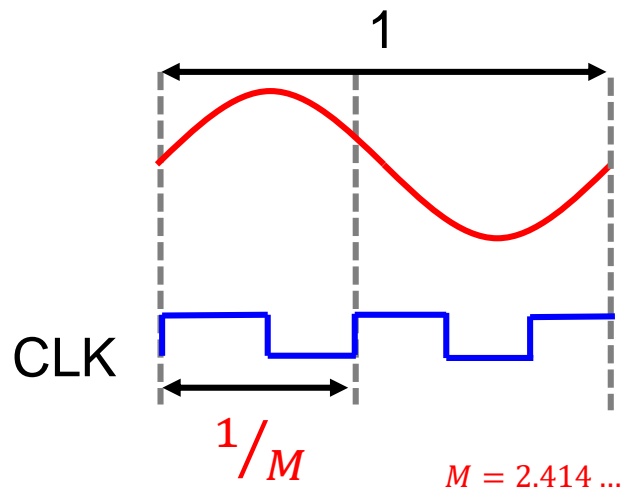
$$F_0 = 0, F_1 = 1, F_{n+2} = nF_{n+1} + F_n$$

貴金属比サンプリング

f_{CLK} を固定させ、 f_{sig} を変化させたいという技術的要求

$$f_{CLK} = M \times f_{sig}$$

M : 貴金属数



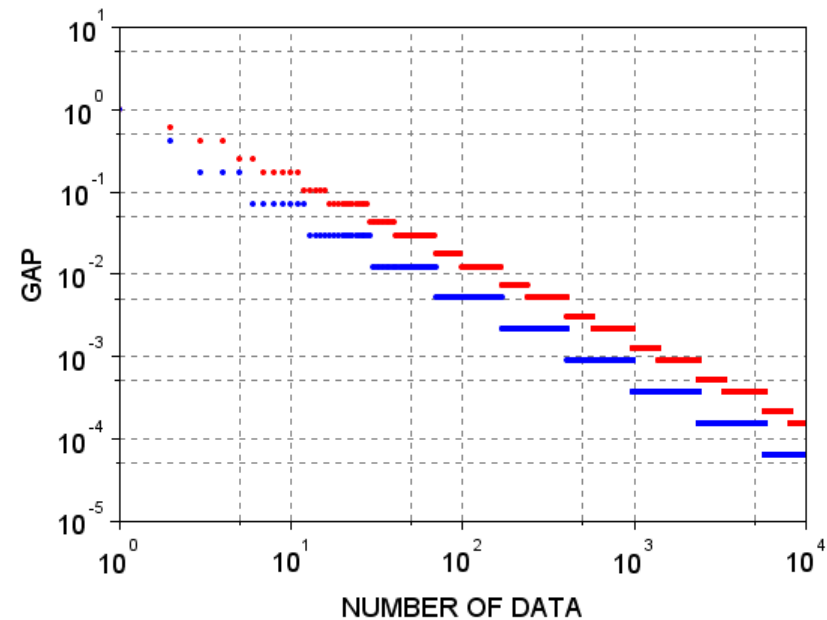
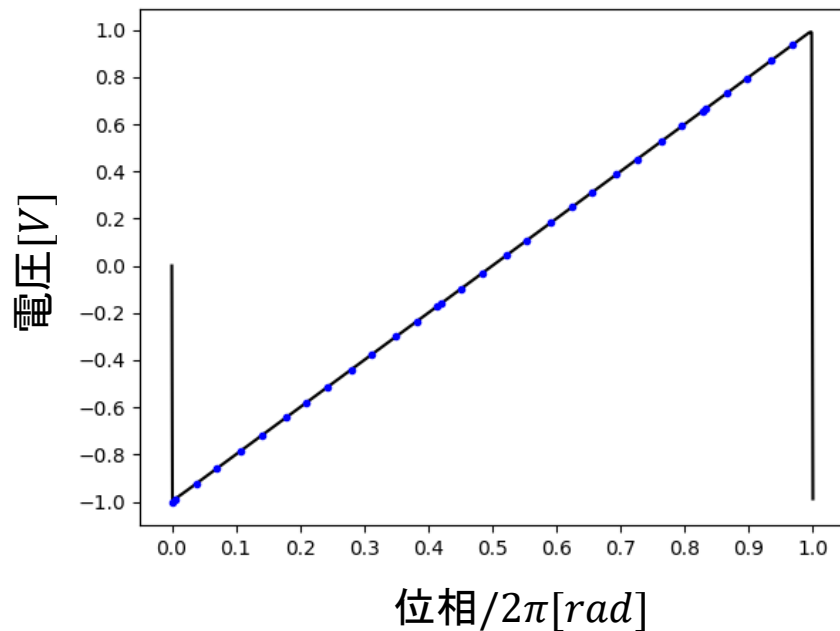
白銀比サンプリングの場合

サンプリング点 \rightarrow 常に位相全体にまんべんなく分布

白銀比サンプリング

$$f_{CLK} = (1 + \sqrt{2}) \times f_{sig}$$

$n = 32$

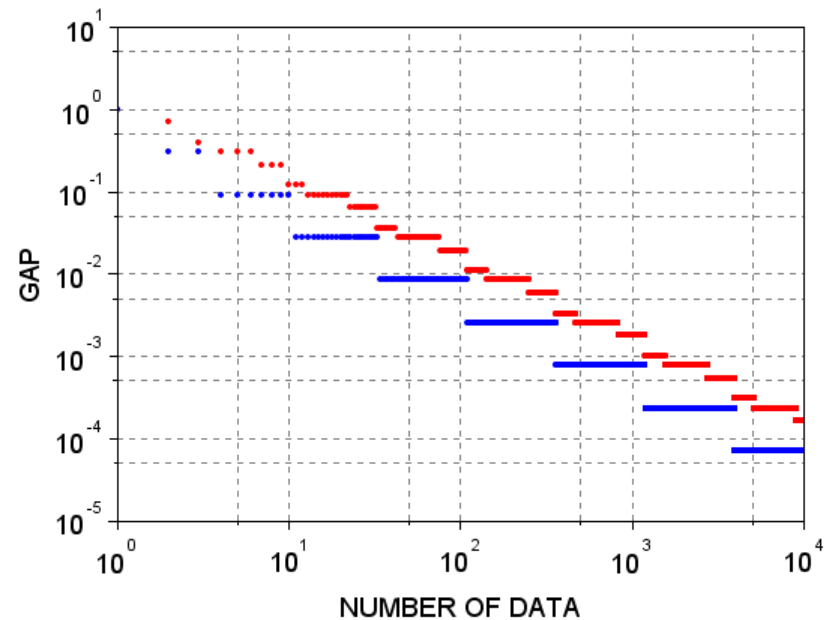
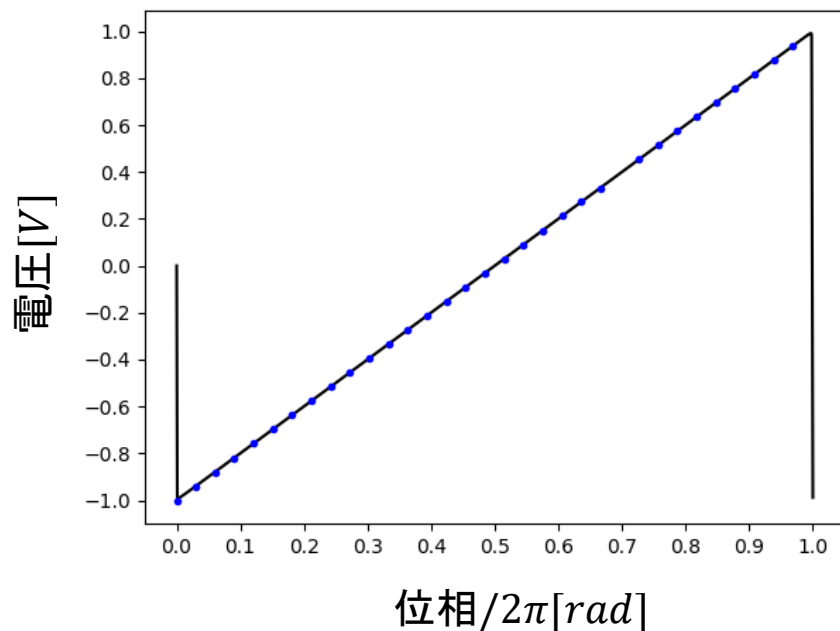


$$\text{最大距離} / \text{最小距離} = 2 + \sqrt{2}, 1 + \sqrt{2}, \sqrt{2}$$

青銅比サンプリング

$$f_{CLK} = \left(\frac{1 + \sqrt{13}}{2} \right) \times f_{sig}$$

$n = 32$



$$\text{最大距離} / \text{最小距離} = \frac{5 + \sqrt{13}}{2}, \frac{3 + \sqrt{13}}{2}, \frac{1 + \sqrt{13}}{2}, \frac{\sqrt{13} - 1}{2}$$

目次

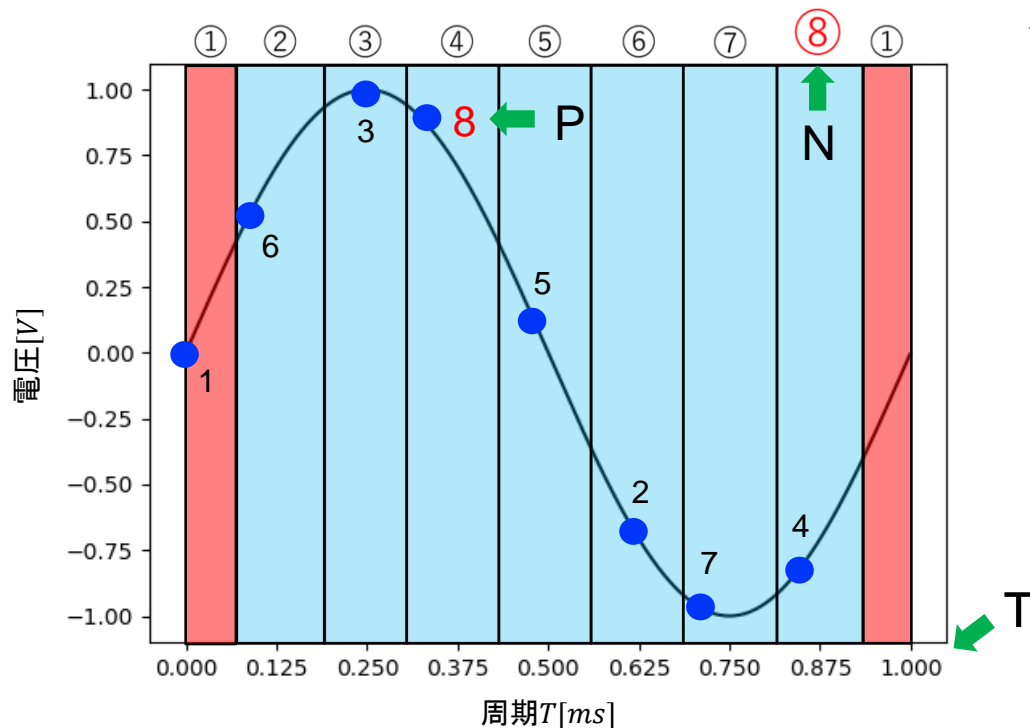
- 研究目的
- 等価時間サンプリング
- **貴金属比サンプリング**
 - 概要
 - **効率**
 - 効率の周期性
 - 最高効率点
 - 効率悪化点
- まとめと今後の課題

効率について

N : 周期 T の分割数

P : N 個のすべての区間に少なくとも1点以上の状態になるまでの必要な点数

$$\text{効率 } E = \frac{N}{P}$$



黄金比サンプリング8分割の場合

←分割領域を識別する番号

● サンプリング点とサンプリング順序

隣り合うサンプリング点の差は $\frac{2T}{N}$ 以下

黄金比サンプリング8分割の場合

$P = 8, N = 8, T = 1.0$ より、

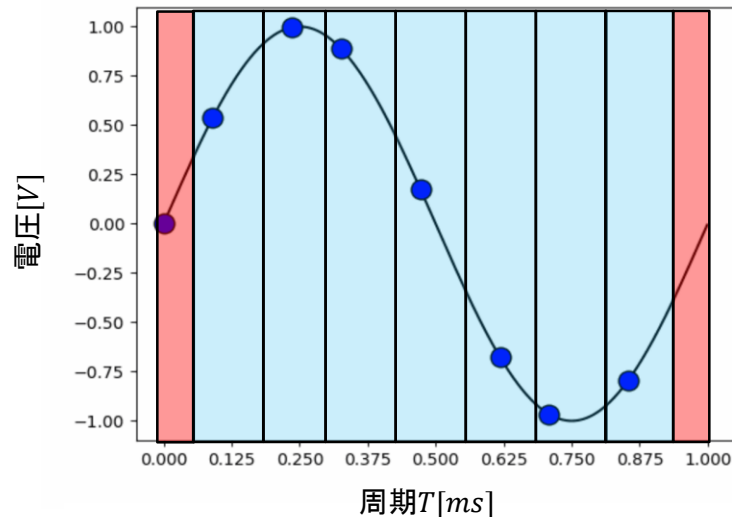
$$E = \frac{8}{8} = 1.0$$

隣り合うサンプリング点の差は $\frac{2}{8}$ 以下

貴金属比による効率の違い

8分割のとき

$n = 1$ のとき ($M = 1.6180\dots$)



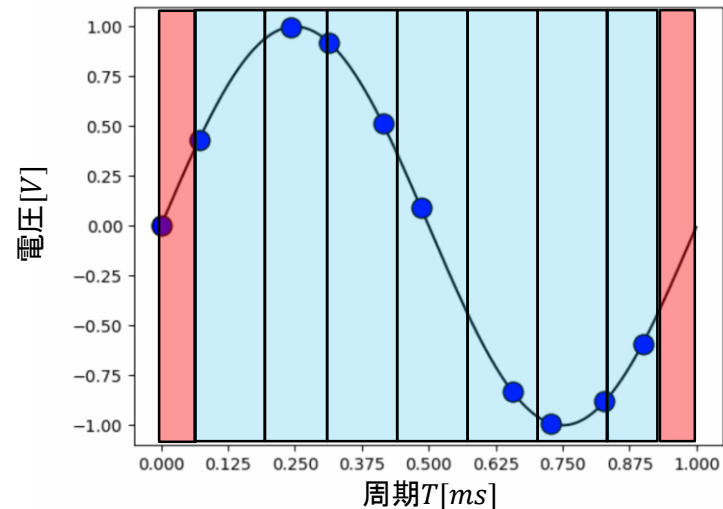
8点必要

$P = 8, N = 8, T = 1.0$ であるので、

$$E = \frac{8}{8} = 1.0$$

隣り合うサンプリング点の差は $\frac{2}{8}$ 以下となる。

$n = 2$ のとき ($M = 2.4142\dots$)



10点必要

$P = 10, N = 8, T = 1.0$ であるので、

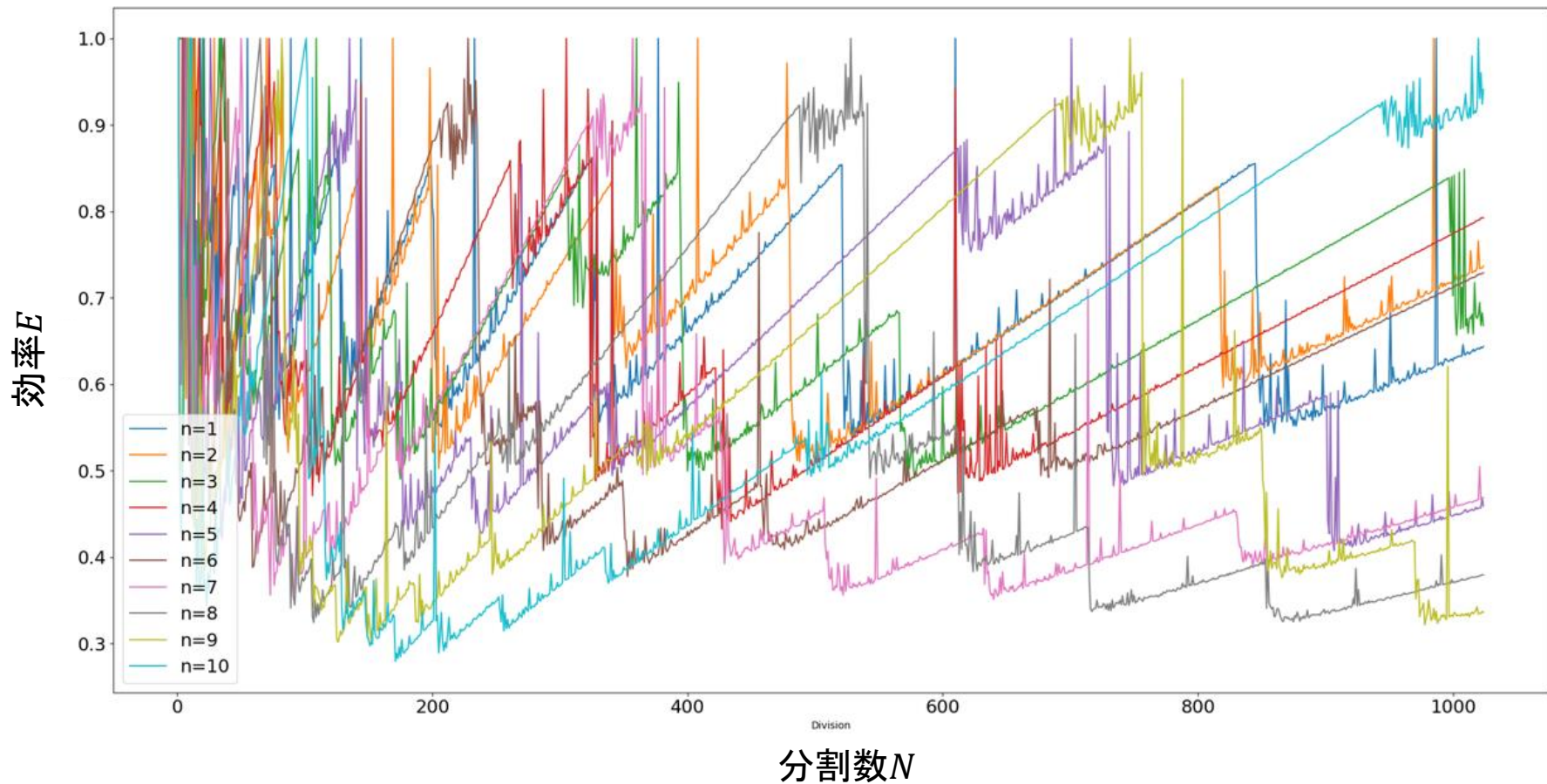
$$E = \frac{8}{10} = 0.8 \dots$$

隣り合うサンプリング点の差は $\frac{2}{8}$ 以下となる。

貴金属比によって効率が異なる。

各貴金属比による効率

第 n 貴金属数($n = 1 \sim 10$), 分割数 $N = 1 \sim 1024$ の効率 E の遷移



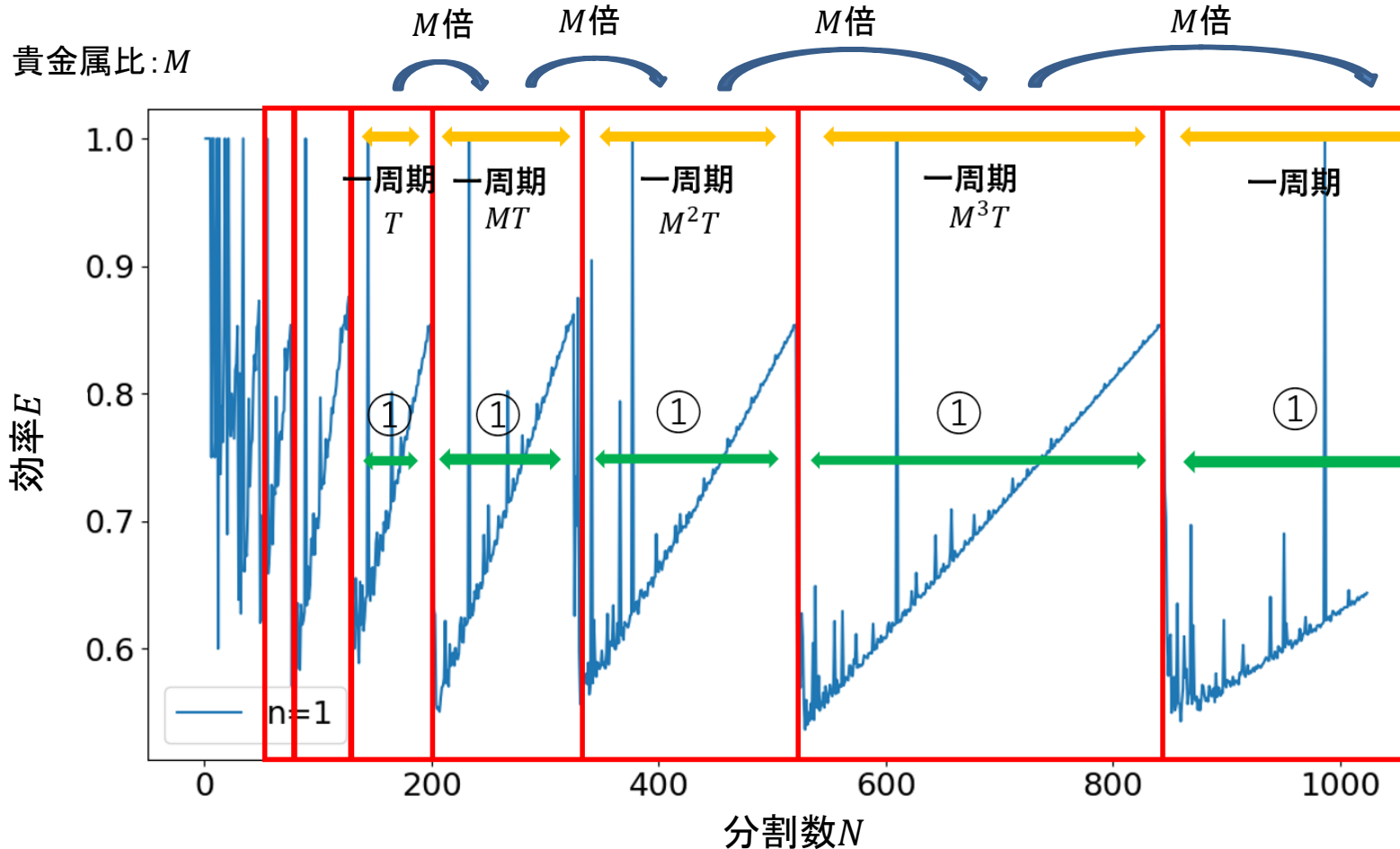
効率が貴金属比によって異なる。
縦軸を効率にするとランプ波状に遷移していることが確認できる。

目次

- 研究目的
- 等価時間サンプリング
- **貴金属比サンプリング**
 - 概要
 - 効率
 - **効率の周期性**
 - 最高効率点
 - 効率悪化点
- まとめと今後の課題

黄金比サンプリングの効率の周期性

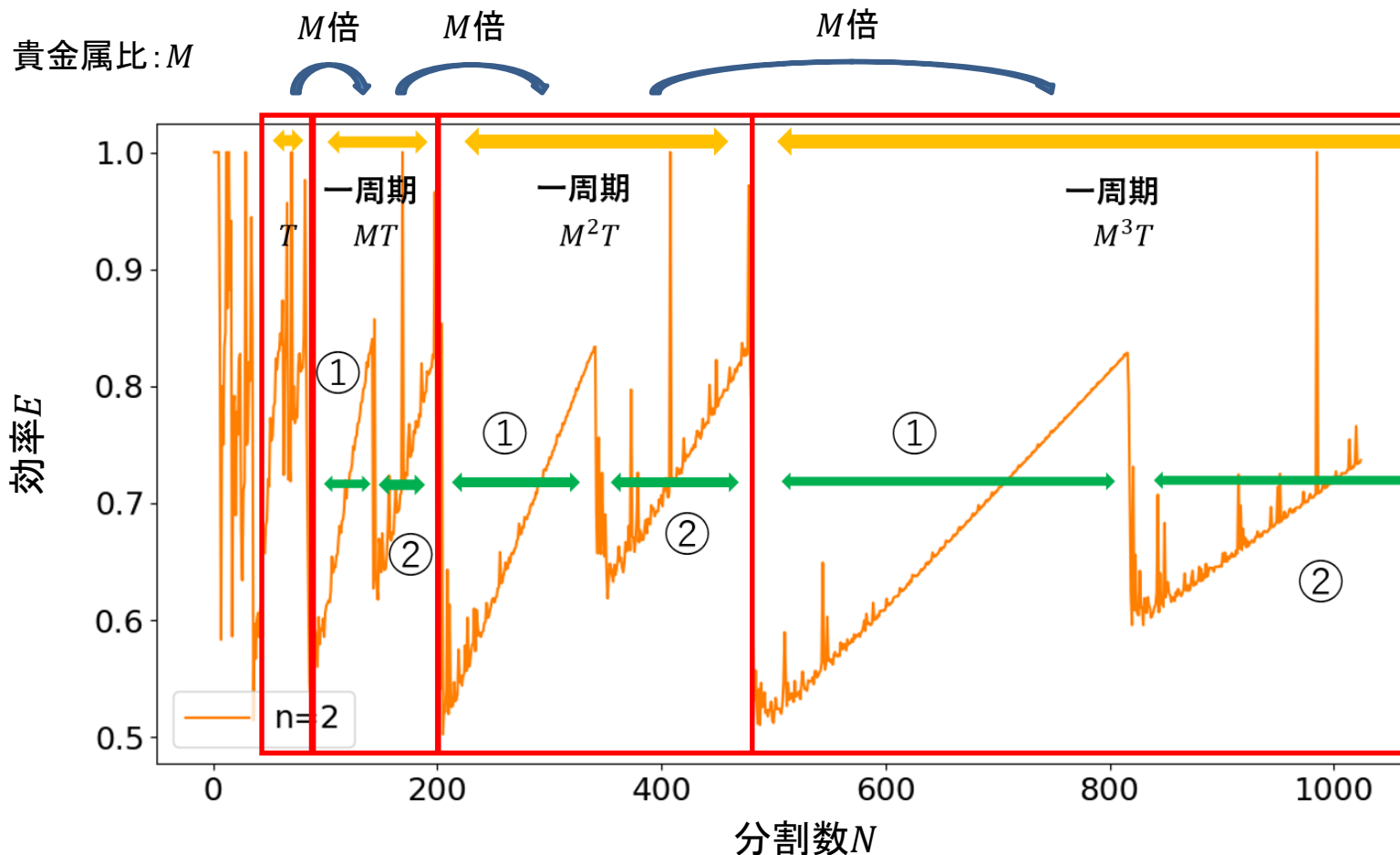
第 n 貴金属数 $n = 1$, 分割数 $N = 1 \sim 1024$ の効率 E の遷移



一周を一つのランプ波で区切ると同じような波形が繰り返されている。
それぞれの周期の長さは、一周ごとに黄金数倍される。

白銀比サンプリングの効率の周期性

第 n 貴金属数 $n = 2$, 分割数 $N = 1 \sim 1024$ の効率 E の遷移



2つのランプ波で区切ると同じような形で遷移していることが確認できる。
 周期の長さは、一周期を経るごとに白銀数倍されていく。

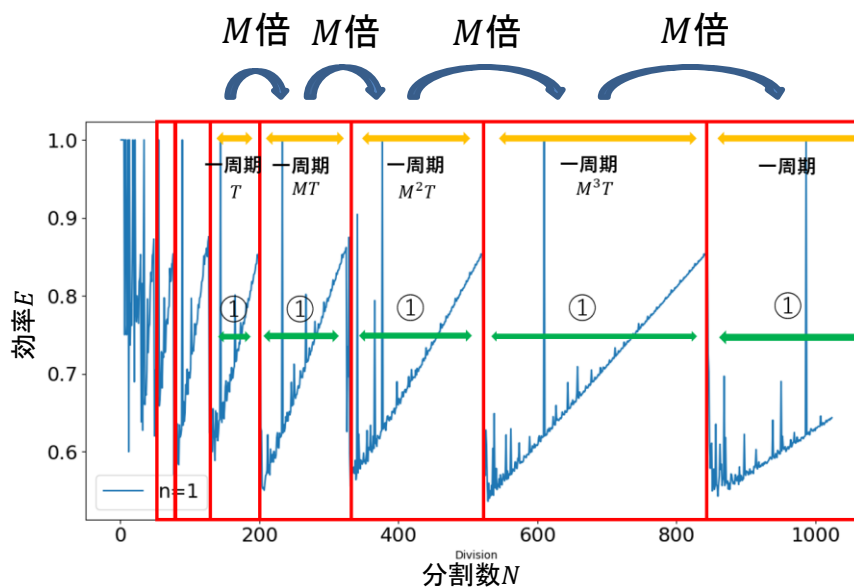
効率の周期性の発見

第 n 貴金属比における一周期は、 n 個のランプ波とみると周期性が見られる。

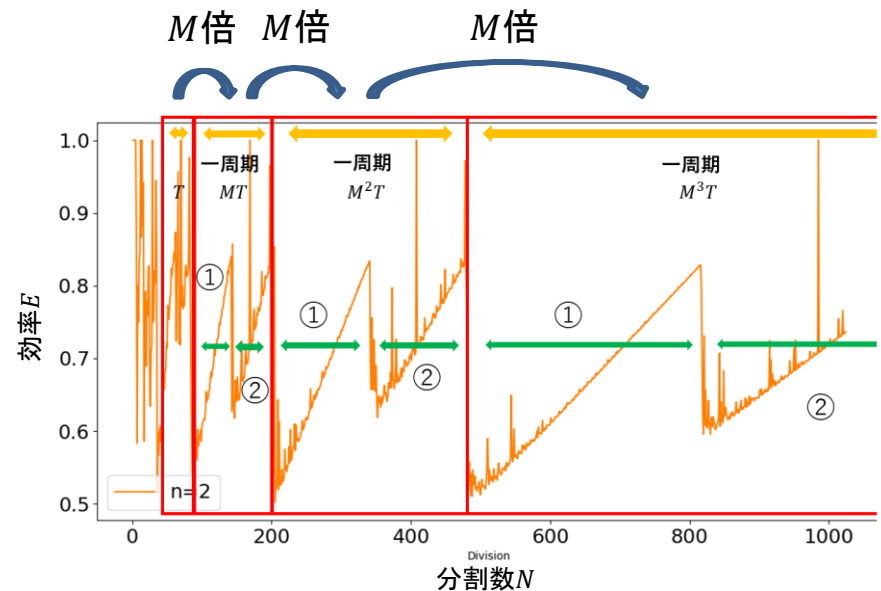
効率の周期の長さは、一周期毎に貴金属比倍されていく。

T_L : L 回目の周期 M : 貴金属数

$$T_L = MT_{L-1}$$



第 n 貴金属数 $n = 1$, 分割数 $N = 1 \sim 1024$ の効率 E の遷移



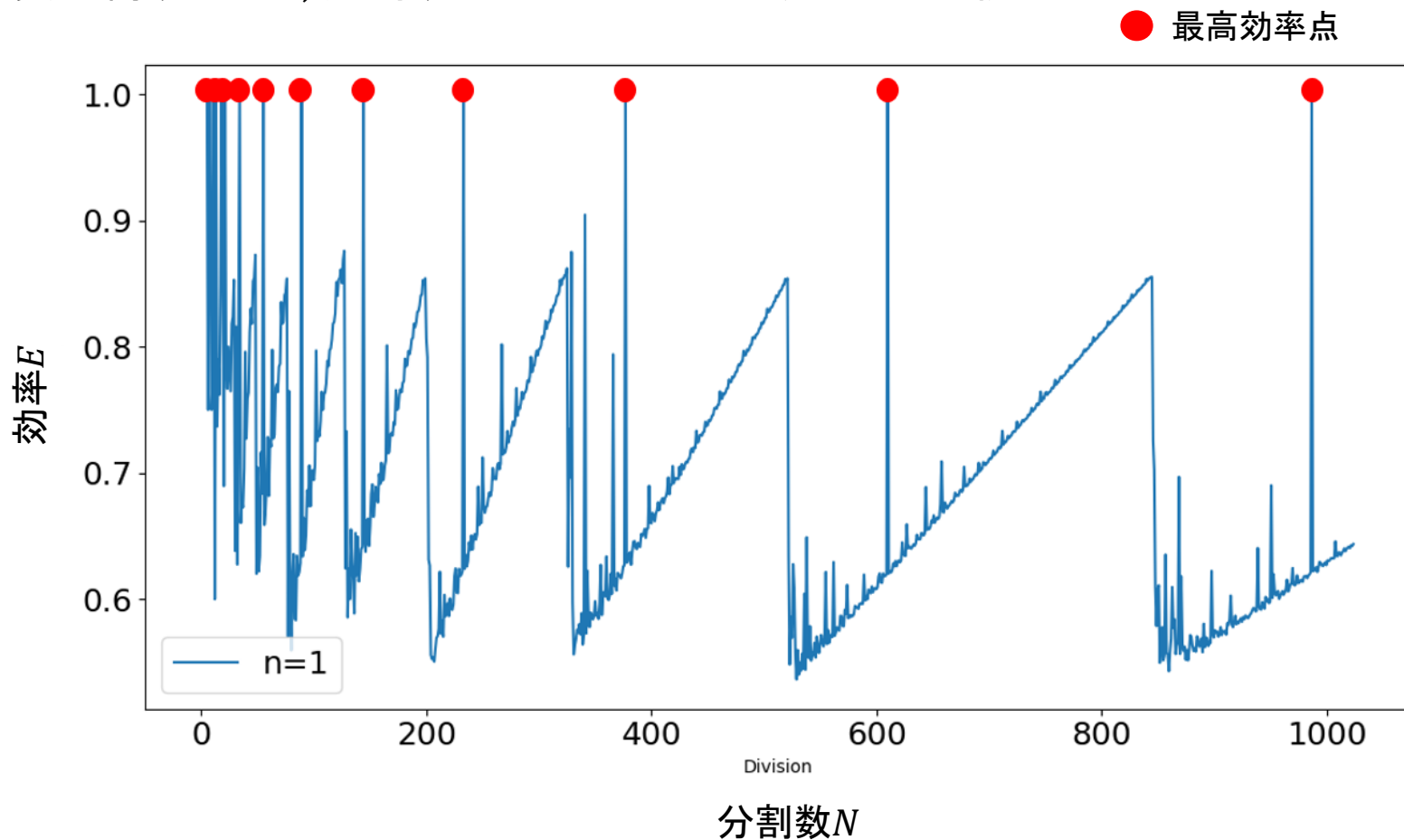
第 n 貴金属数 $n = 2$, 分割数 $N = 1 \sim 1024$ の効率 E の遷移

目次

- 研究目的
- 等価時間サンプリング
- **貴金属比サンプリング**
 - 概要
 - 効率
 - 効率の周期性
 - **最高効率点**
 - 効率悪化点
- まとめと今後の課題

効率が1.0になるときの分割数

第 n 貴金属数 $n = 1$, 分割数 $P = 1 \sim 1024$ の効率 E の遷移



効率が1.0になる分割数が存在する。
このときの分割数を最高効率点と定義する。

最高効率点の法則性の発見

黄金比($n = 1, M = 1.6180339887\dots$)のとき

最高効率点 = 1, 2, 3, 4, 5, 7, 8, 11, 13, 18, 21, 34, 55, 89, 144, 233, 377, **610**, **987**, ...
 $987 \div 610 = 1.6180327 \dots$

白銀比($n = 2, M = 2.4142135623\dots$)のとき

最高効率点 = 1, 2, 3, 4, 5, 12, 14, 29, 70, 169, **408**, **985**, ...
 $985 \div 408 = 2.4142156 \dots$

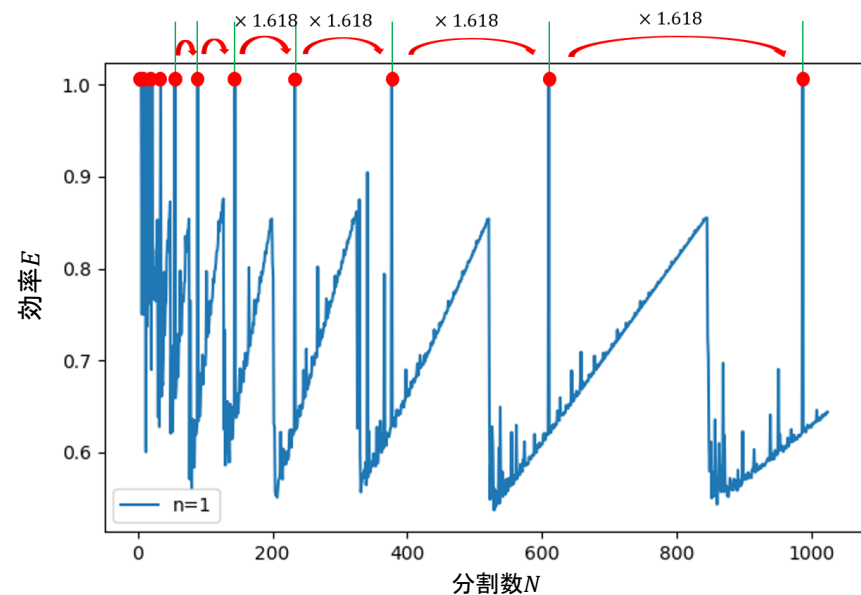
青銅比($n = 3, M = 3.3027756377\dots$)のとき

最高効率点 = 1, 2, 3, 4, 5, 6, 10, 20, 33, 35, **109**, **360**, ...
 $360 \div 109 = 3.3027522 \dots$

隣り合う項の比の極限が
貴金属比になる数列と一致

$$F_0 = 0, F_1 = 1, F_{m+2} = nF_{m+1} + F_m$$

F_m : m 番目の最高効率点



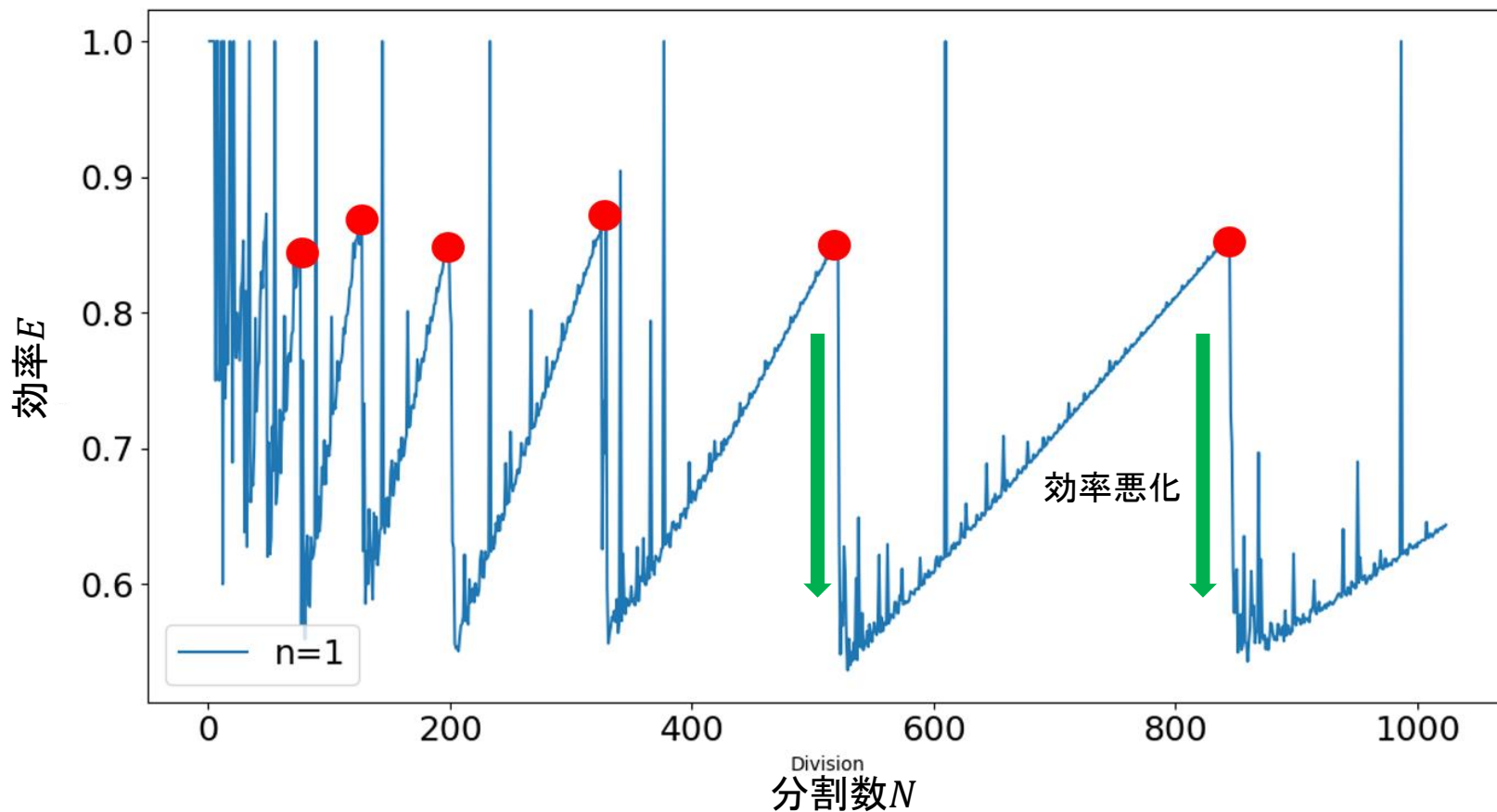
目次

- 研究目的
- 等価時間サンプリング
- **貴金属比サンプリング**
 - 概要
 - 効率
 - 効率の周期性
 - 最高効率点
 - **効率悪化点**
- まとめと今後の課題

効率が一気に悪くなる分割数

第 n 貴金属数 $n = 1$, 分割数 $N = 1 \sim 1024$ の効率 E の遷移

● 効率悪化点



効率が一気に悪くなる分割数が存在する。
このときの分割数を効率悪化点と定義する。

効率悪化点の法則性の発見

黄金比($n = 1, M = 1.6180339887\dots$)のとき

効率悪化点 = ... 48, 76, 127, 199, 325, **521**, **845**, ...

$$845 \div 521 = 1.6218809 \dots$$

白銀比($n = 2, M = 2.4142135623\dots$)のとき

効率悪化点 = ... 83, 142, **199**, **341**, **479**, **816**...

$$816 \div 341 = 2.3929618 \dots, \quad 479 \div 199 = 2.4070351 \dots$$

青銅比($n = 3, M = 3.3027756377\dots$)のとき

効率悪化点 = ... 95, 120, **170**, **306**, 394, **566**, **997**...

$$997 \div 306 = 3.2581699 \dots, \quad 566 \div 170 = 3.3294117 \dots$$

全体の $1/n$ の効率悪化点

$$F_0 = 0, F_1 = 1, F_{m+2} = nF_{m+1} + F_m$$

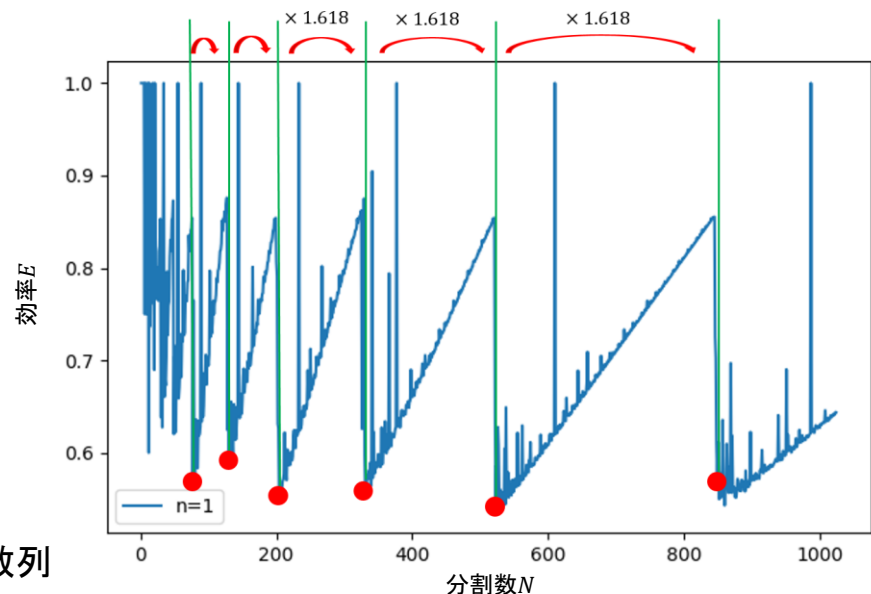
$$G_m = F_{m+2} + F_m$$

効率悪化点と貴金属比の関係

$$G_m : G_{m+n} = 1 : M$$

G_m : m 個目の効率悪化点

F_m : m 番目の隣り合う項の比が第 n 貴金属比になる数列



目次

- 研究目的
- 等価時間サンプリング
- 貴金属比サンプリング
 - 概要
 - 効率
 - 効率の周期性
 - 最高効率点
 - 効率悪化点
- **まとめと今後の課題**

まとめ

- 貴金属比サンプリングは、分割数によって最も波形取得効率が良い貴金属比が異なる。
- 貴金属比サンプリングの効率に関する法則性の発見

➤ 効率の周期の長さ

T_L : L 回目の周期 M : 貴金属数

$$T_L = MT_{L-1}$$

➤ 最高効率点の法則性

F_m : m 個目の最高効率点

$$F_0 = 0, F_1 = 1, F_{m+2} = nF_{m+1} + F_m$$

➤ 効率悪化点の法則性

G_m : m 個目の効率悪化点 M : 第 n 貴金属数

$$G_m = F_{m+2} + F_m$$

$$G_m : G_{m+n} = 1 : M$$

今後の課題

- 貴金属比サンプリングによる全ての効率悪化点の法則性の理論的な導出。
- 最高効率点を除いた最大効率と最小効率の決定方法の特定。
- 任意の分割数に対して、一番効率が良い貴金属比の特定が容易にできるようにする。

Q&A

- Q. どの貴金属比を用いるかはどのように決定するか
- A. 利用する際の条件によって一番効率の良い貴金属比を特定し、用いることが一番好ましいが、現状、容易に特定ができない場合があります。しかし、貴金属比であれば波形抜けが起こらずに効率的にサンプリングができるため、各状況下での制約に基づいて任意に決定して頂いても十分効率的にサンプリングができると考えています。
- Q. ジッタなどの影響で思い通りにサンプリングができないなどの問題が考えられるが、どのように考えていますか。
- A. あくまでも理論的に検証を行ったため、現状、実機でどうなるかまでは検証していません。

講義の内容

- 大学での工学の研究教育
- アナログ半導体の重要性
- 研究内容の概要
- 三角数の性質を用いたDA変換器
- 貴金属比サンプリング
- 剰余系サンプリング
- 最後に
- 付録

剰余系サンプリングによる 高周波/アナログデジタル混載集積回路の 試験技術の検討

片山 翔吾, 阿部 優大, 桑名 杏奈,
浅見 幸司, 石田 雅裕, 大田 龍弥, 小林 春夫

群馬大学

株式会社アドバンテスト研究所

株式会社 アドバンテスト



Outline

1. 研究背景
2. 剰余系サンプリング
 - 中国の剰余定理
 - 剰余系サンプリングの原理
3. 高周波/アナログデジタル混載集積回路試験への応用
 - 周波数分解能の向上
 - マルチトーン試験への応用
 - 高周波狭帯域デバイス試験への応用
4. まとめ

Outline

1. 研究背景

2. 剰余系サンプリング

- 中国の剰余定理
- 剰余系サンプリングの原理

3. 高周波/アナログデジタル混載集積回路試験への応用

- 周波数分解能の向上
- マルチトーン試験への応用
- 高周波狭帯域デバイス試験への応用

4. まとめ

研究背景

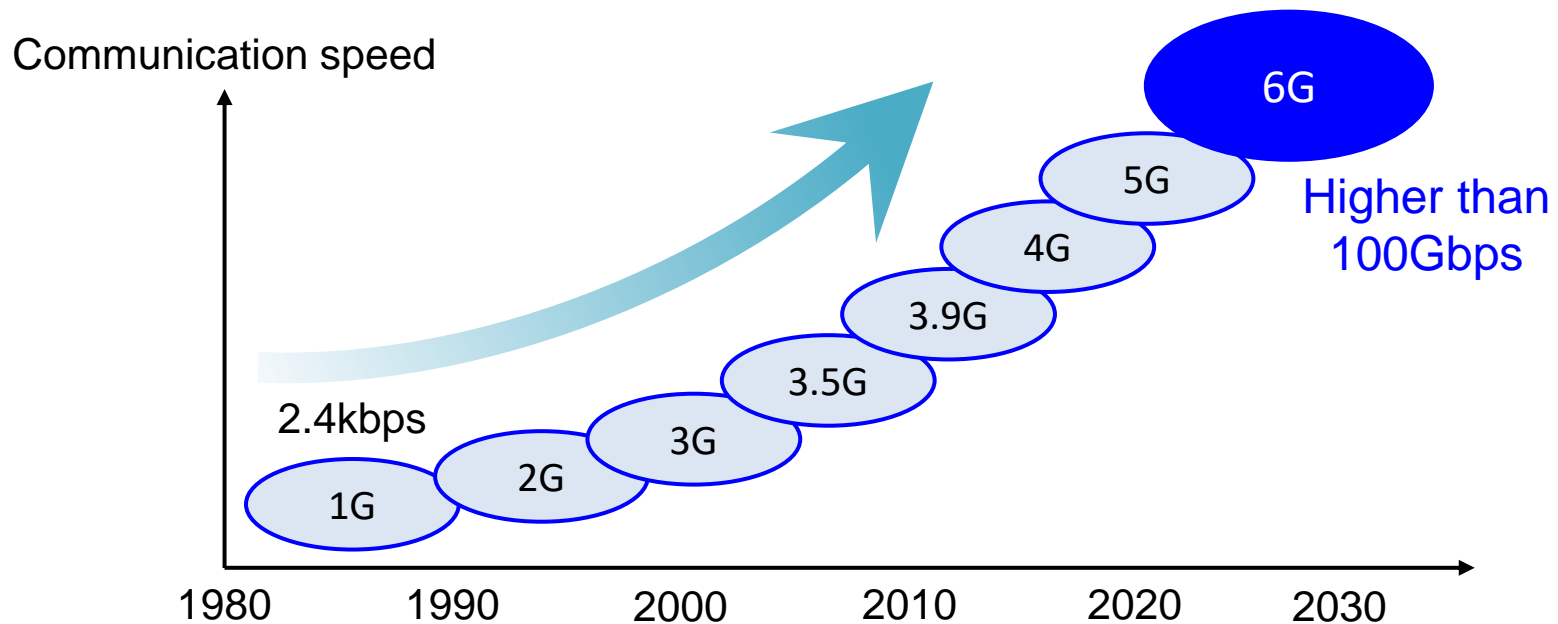
5Gがスタート 次世代通信6Gの製品開発が求められる



通信周波数はより高周波化



効果的な高周波デバイス試験技術が要求される



研究目標

安価な高周波デバイス試験技術を開発



剰余系サンプリングを用いた
高周波/アナログデジタル混載集積回路試験

剰余系サンプリング

高周波信号を複数の低周波クロックでサンプリング
波形の折り返し現象(エイリアシング)を利用

低周波クロック使用 ➡ 高周波サンプリング **低コスト化**

Outline

1. 研究背景
2. 剰余系サンプリング
 - 中国の剰余定理
 - 剰余系サンプリングの原理
3. 高周波/アナログデジタル混載集積回路試験への応用
 - 周波数分解能の向上
 - マルチトーン試験への応用
 - 高周波狭帯域デバイス試験への応用
4. まとめ

中国の剰余定理



孫子

中国の数学書「孫子算経」に 剰余を用いた問題

3で除した場合の剰余は2
5で除した場合の剰余は3
7で除した場合の剰余は2
元の数はいくつか?

答え: 23

一般化



中国の剰余定理



孫子算経

中国の剰余定理の利用法

兵士の数を早く数え上げるために使用



孫子

3人組の余りは?

余り: 2人



...



中国の剰余定理の利用法

兵士の数を早く数え上げるために使用



孫子

5人組の余りは?

余り: 3人



中国の剰余定理の利用法

兵士の数を早く数え上げるために使用



孫子

7人組の余りは?で23人



剰余系の例

$$\text{mod}_3 23 = 2, \text{mod}_5 23 = 3, \text{mod}_7 23 = 2$$

- 互いに素な自然数 3, 5, 7
 $N = 3 \times 5 \times 7 = 105$
- k ($0 \leq k \leq N - 1 (= 104)$)

$$a: k \text{ を } 3 \text{ で除した剰余} \quad a = \text{mod}_3(k)$$

$$b: \quad 5 \quad b = \text{mod}_5(k)$$

$$c: \quad 7 \quad c = \text{mod}_7(k)$$

$$k \longleftrightarrow (a, b, c)$$

1対1対応

中国の剰余定理

a	b	c	k
0	0	1	15
1	1	2	16
2	2	3	17
0	3	4	18
1	4	5	19
2	0	6	20
0	1	0	21
1	2	1	22
2	3	2	23
0	4	3	24
1	0	4	25
2	1	5	26
0	2	6	27
1	3	0	28
2	4	1	29

剰余系

Outline

1. 研究背景
2. 剰余系サンプリング
 - 中国の剰余定理
 - 剰余系サンプリングの原理
3. 高周波/アナログデジタル混載集積回路試験への応用
 - 周波数分解能の向上
 - マルチトーン試験への応用
 - 高周波狭帯域デバイス試験への応用
4. まとめ

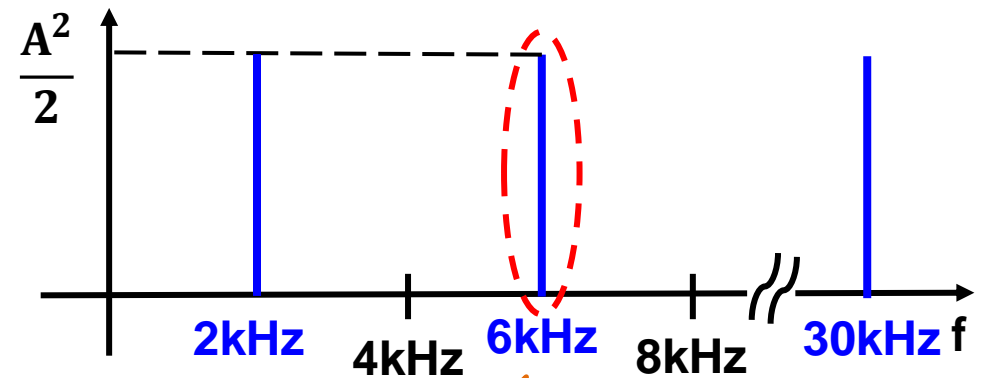
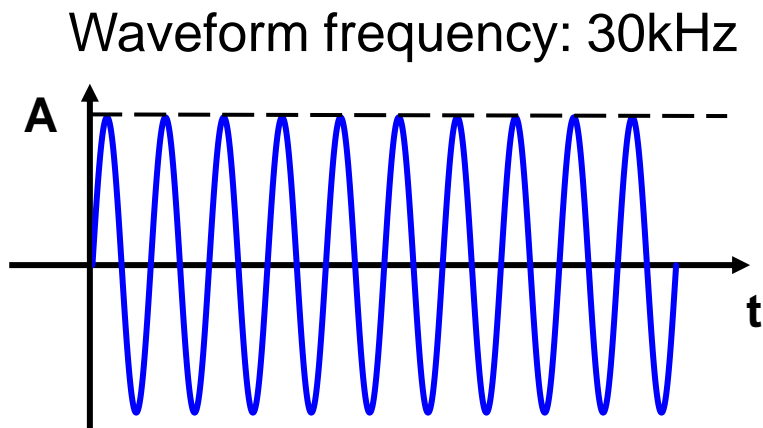
スペクトラムの折り返し現象

入力信号周波数: 30 kHz
サンプリング周波数: 8 kHz

FFT

周波数スペクトラム
サンプリング周波数帯域内に
折り返される

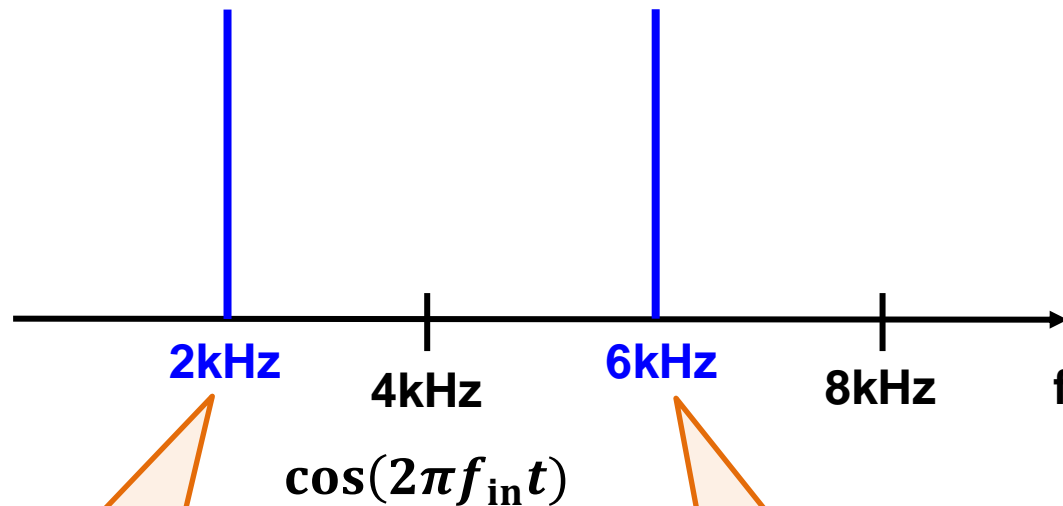
ナイキスト定理を満たさない



剰余周波数
 $\text{mod}_8 30 = 6$

負の周波数スペクトラム

入力信号周波数: 30 kHz
 サンプリング周波数: 8 kHz



負の剰余周波数
 $8 - \text{mod}_8 30 = 2$

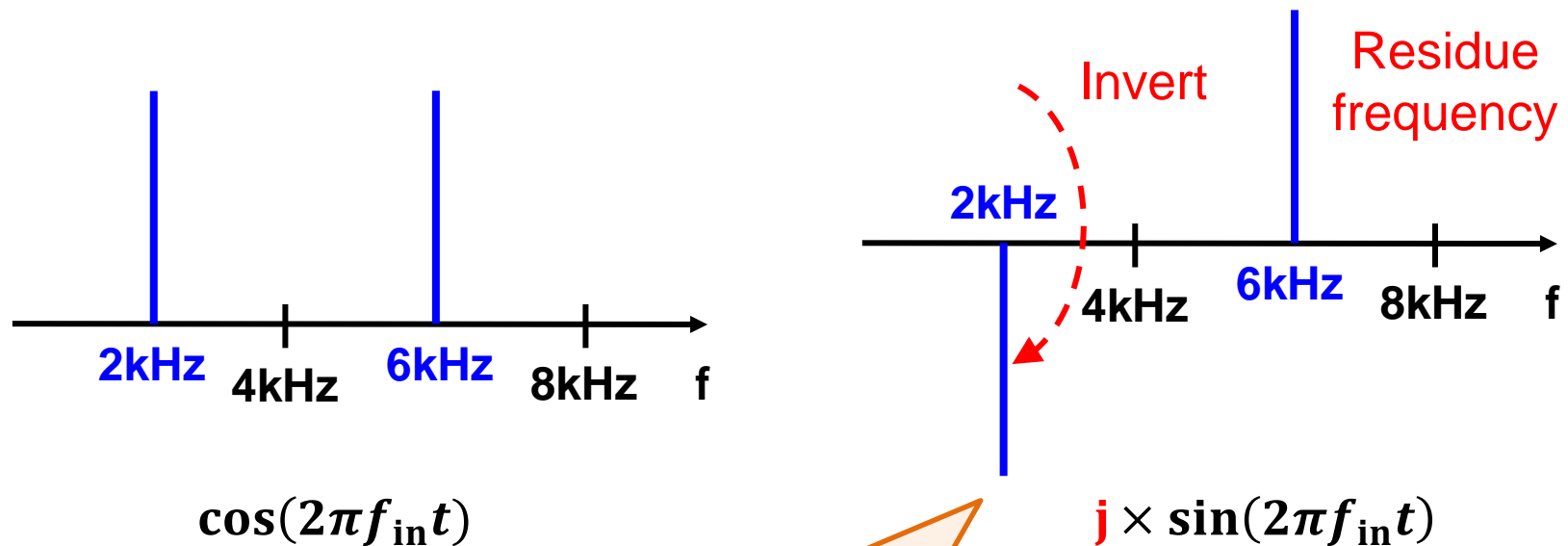
剰余周波数
 $\text{mod}_8 30 = 6$

FFTにより負の周波数スペクトラムも発生
 正の周波数スペクトラムのみ取り出し剰余系を適用

$j \times \sin(2\pi f_{in} t)$ の複素FFT

入力信号周波数: 30 kHz
サンプリング周波数: 8 kHz

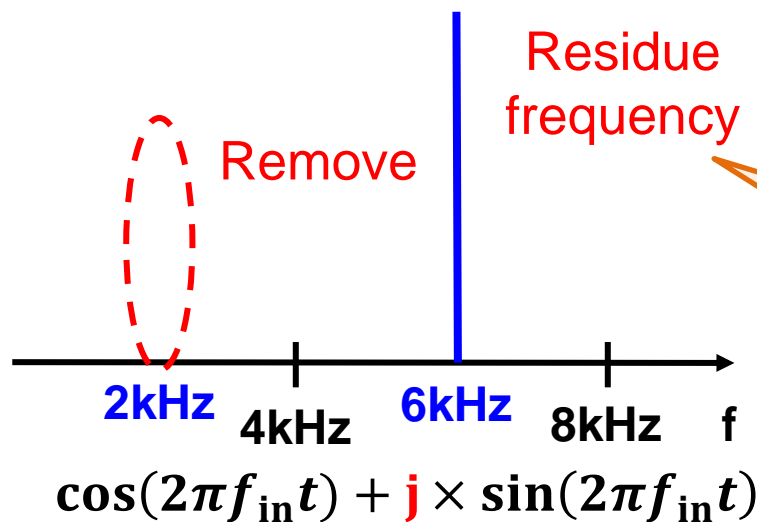
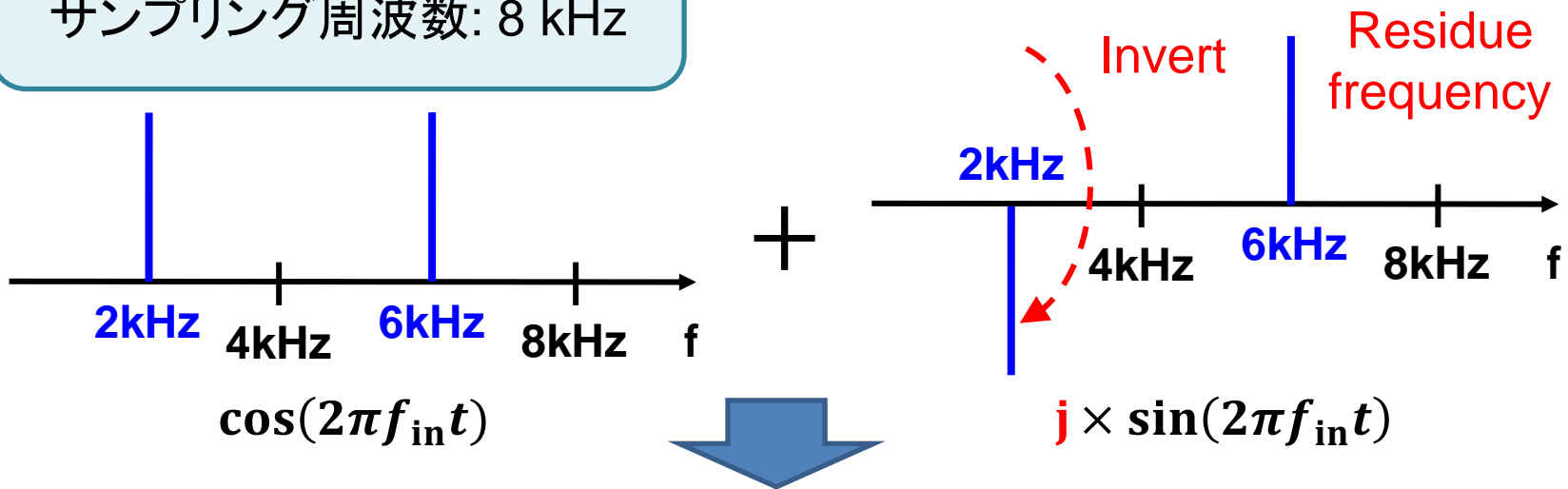
位相を 90° 回転, 複素単位 j をかけて複素FFT



負の周波数スペクトラムが反転

$\cos(2\pi f_{in}t) + j \times \sin(2\pi f_{in}t)$ の複素FFT

入力信号周波数: 30 kHz
サンプリング周波数: 8 kHz



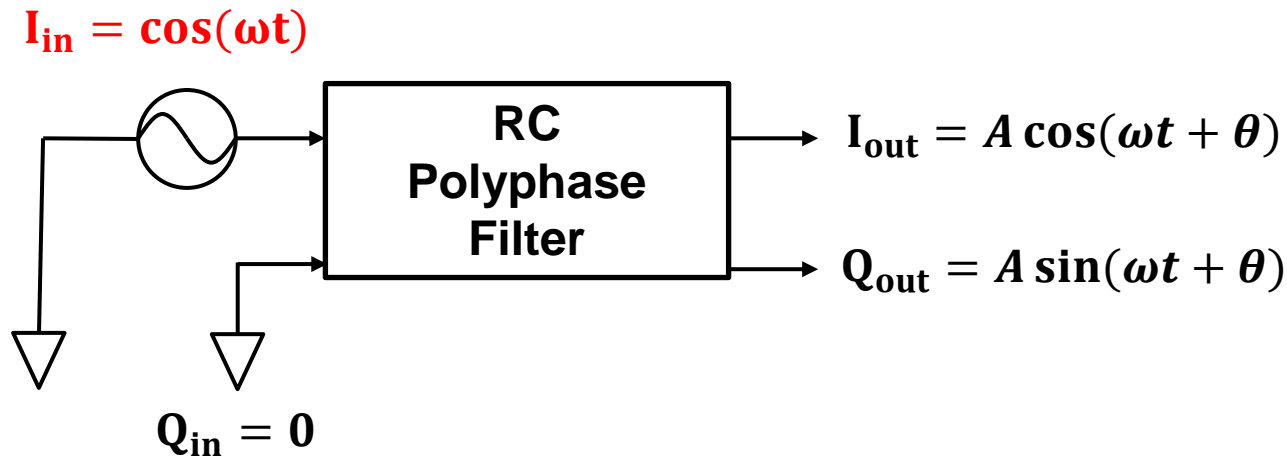
正の剰余周波数スペクトラムのみ
取り出される

$j \times \sin(2\pi f_{in} t)$ の生成方法

アナログ・ヒルベルト・フィルタを使用
(RCポリフェーズフィルタ)



David Hilbert
1862 - 1943

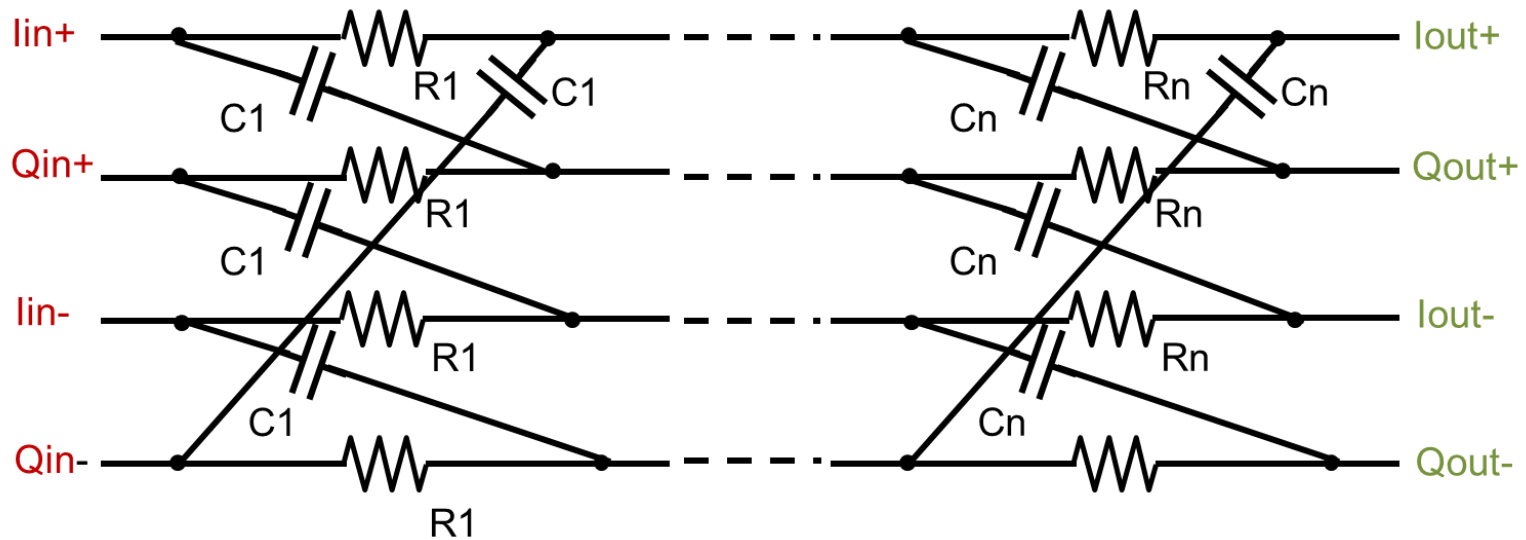
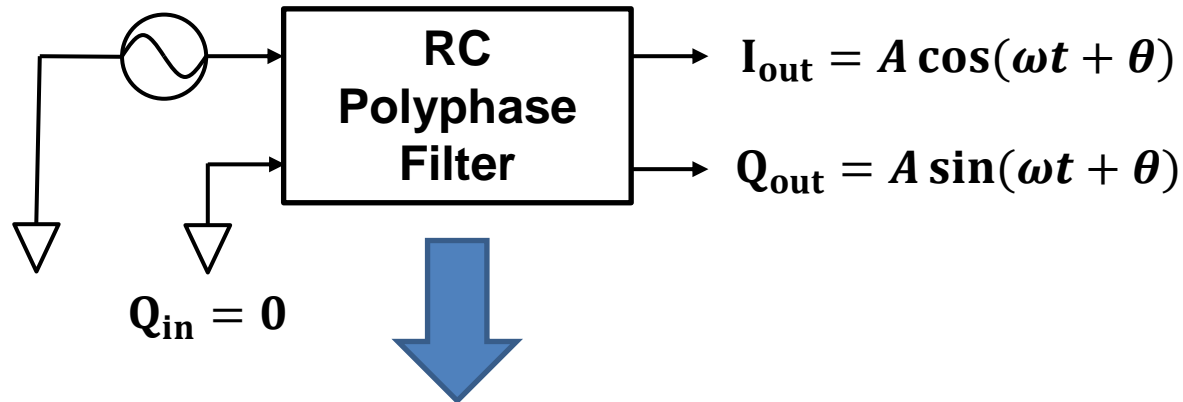


入力信号から同相/直交信号を生成

- [2] Y. Tamura, R. Sekiyama, K. Asami, H. Kobayashi,
"RC Polyphase Filter As Complex Analog Hilbert Filter", IEEE ICSICT (Oct. 2016).

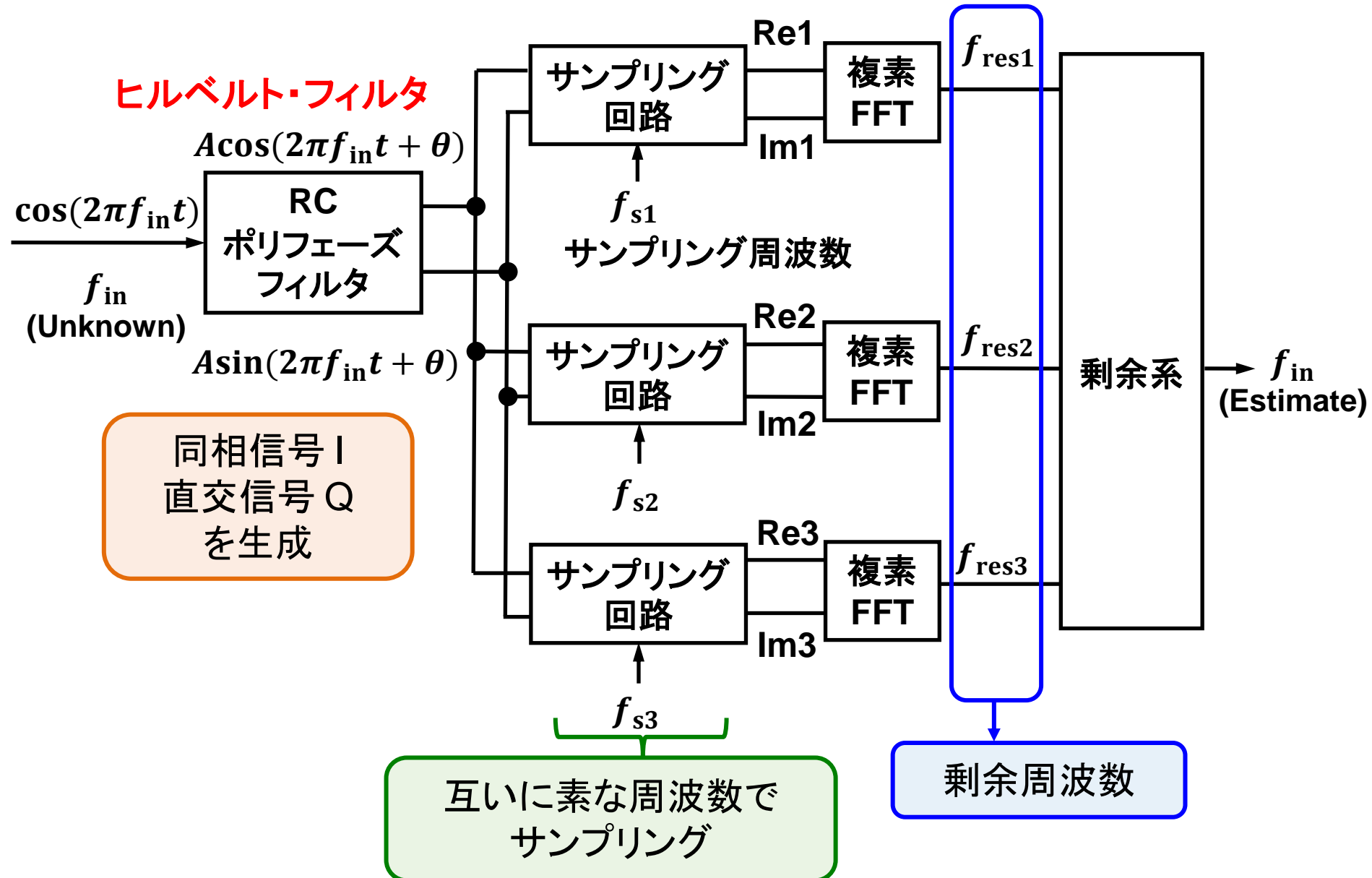
RCポリフェーズフィルタの回路構成

$$I_{in} = \cos(\omega t)$$



パッシブ・バンドストップ・フィルタを構成

剰余系サンプリング回路



剰余系サンプリングによる周波数推定

入力信号周波数: 12 GHz
 サンプリング周波数:
 229 kHz, 233 kHz, 239 kHz

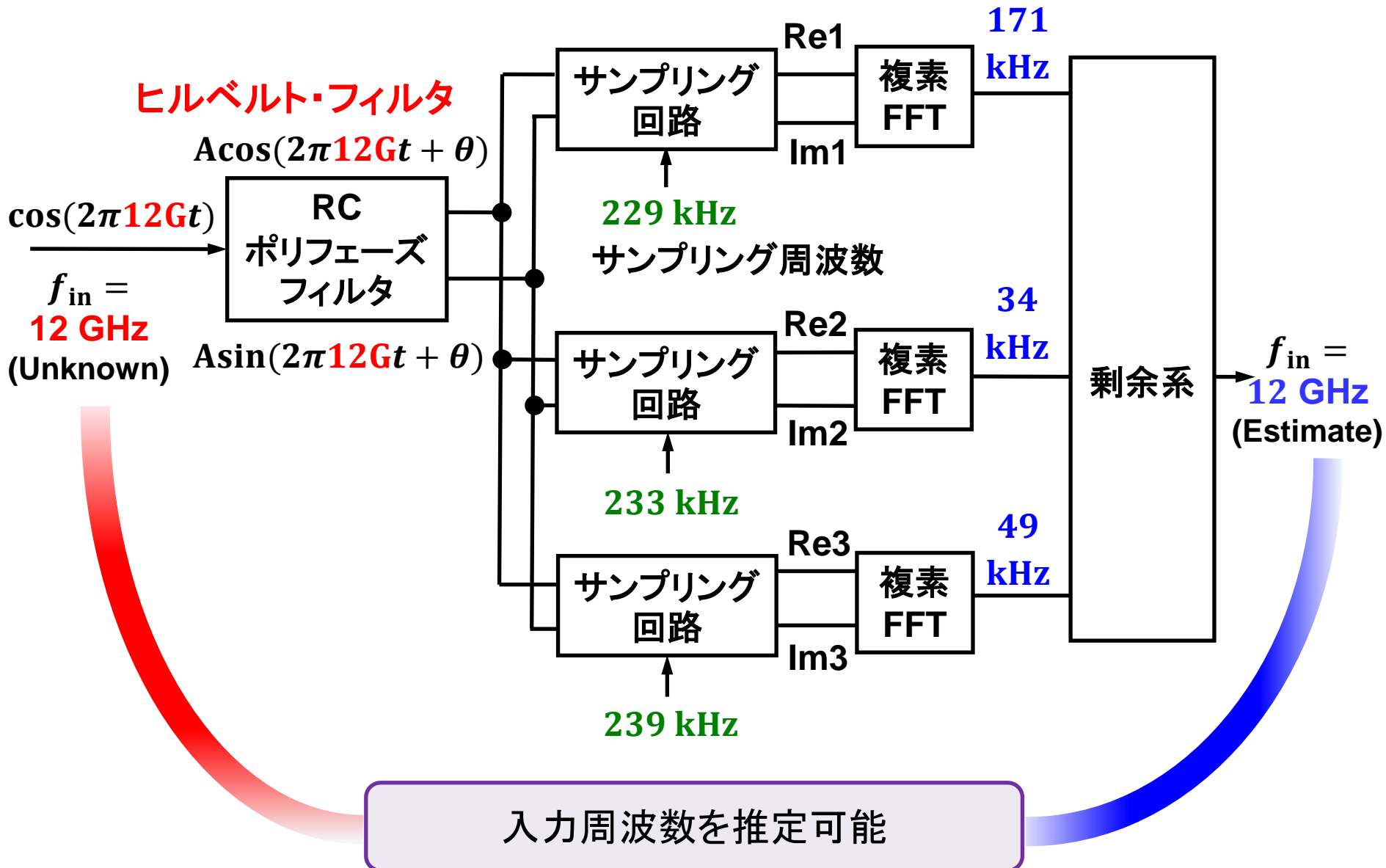
剰余周波数:
 171 kHz, 34 kHz, 49 kHz

剰余周波数と剰余系を用い
 入力周波数を推定

入力周波数推定値: 12 GHz

a [kHz]	b [kHz]	c [kHz]	k [kHz]
0	0	0	0
1	1	1	1
2	2	2	2
⋮	⋮	⋮	⋮
169	32	47	11999998
170	33	48	11999999
171	34	49	12000000
172	35	50	12000001
173	36	51	12000002
⋮	⋮	⋮	⋮
226	230	235	12752320
227	231	237	12752321
228	232	238	12752322

周波数推定シミュレーション



Outline

1. 研究背景
2. 剰余系サンプリング
 - 中国の剰余定理
 - 剰余系サンプリングの原理
3. 高周波/アナログデジタル混載集積回路試験への応用
 - 周波数分解能の向上
 - マルチトーン試験への応用
 - 高周波狭帯域デバイス試験への応用
4. まとめ

剰余系サンプリングの周波数分解能

$$\text{周波数分解能: } \frac{f_s}{N} = \frac{1}{t_{\max}}$$

N : サンプリングポイント数

t_{\max} : 測定時間

N : 大 \Rightarrow 周波数分解能 $\frac{f_s}{N}$: 高

多数のサンプリングデータの取得により
周波数分解能の高分解能化が可能

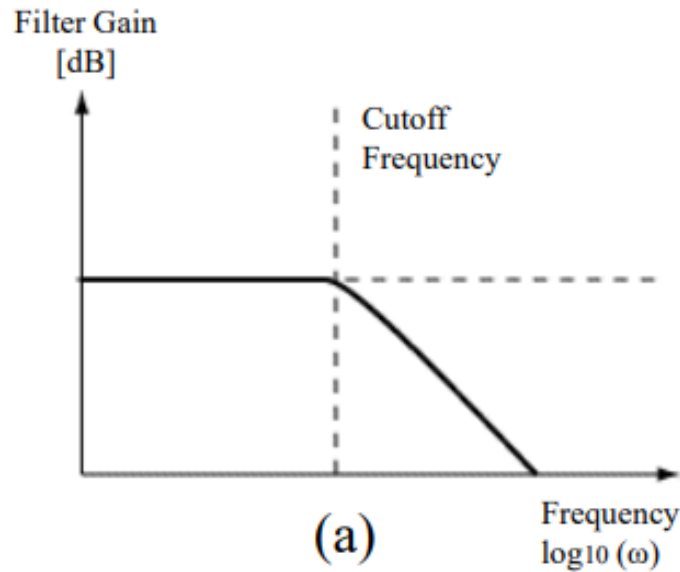
Example : 入力信号周波数 $f_{\text{in}} = 19.386$ [kHz]

f_s [kHz]	理想の場合の 剰余周波数 [kHz]	剰余周波数 [kHz] (ビン/FFTポイント数)			
		$t_{\max} = 1$ [ms]	$t_{\max} = 10$ [ms]	$t_{\max} = 100$ [ms]	$t_{\max} = 1000$ [ms]
3	1.386	1 (2/3)	1.4 (15/30)	1.39 (140/300)	1.386 (1387/3000)
5	4.386	4 (5/5)	4.4 (45/50)	4.39 (440/500)	4.386 (4387/5000)
7	5.386	5 (6/7)	5.4 (55/70)	5.39 (540/700)	5.386 (5387/7000)
11	8.386	8 (9/11)	8.4 (85/110)	8.39 (840/1100)	8.386 (8387/11000)
13	6.386	6 (7/13)	6.4 (65/130)	6.39 (640/1300)	6.386 (6387/13000)

Outline

1. 研究背景
2. 剰余系サンプリング
 - 中国の剰余定理
 - 剰余系サンプリングの原理
3. 高周波/アナログデジタル混載集積回路試験への応用
 - 周波数分解能の向上
 - マルチトーン試験への応用
 - 高周波狭帯域デバイス試験への応用
4. まとめ

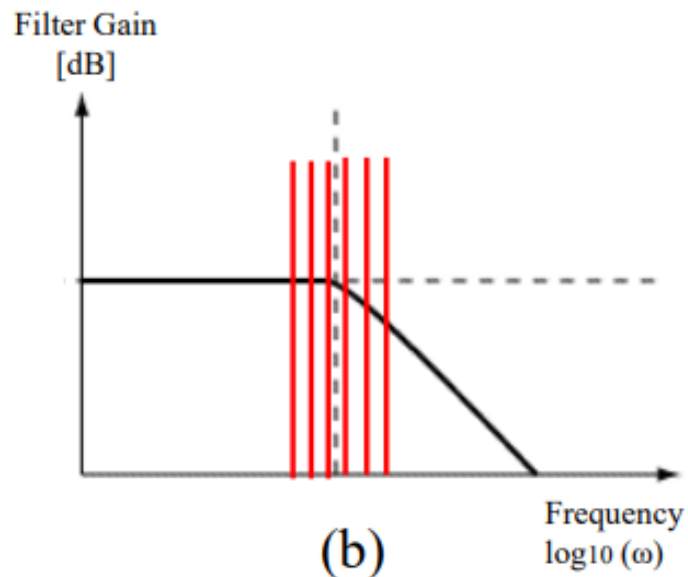
マルチトーン試験への応用 1



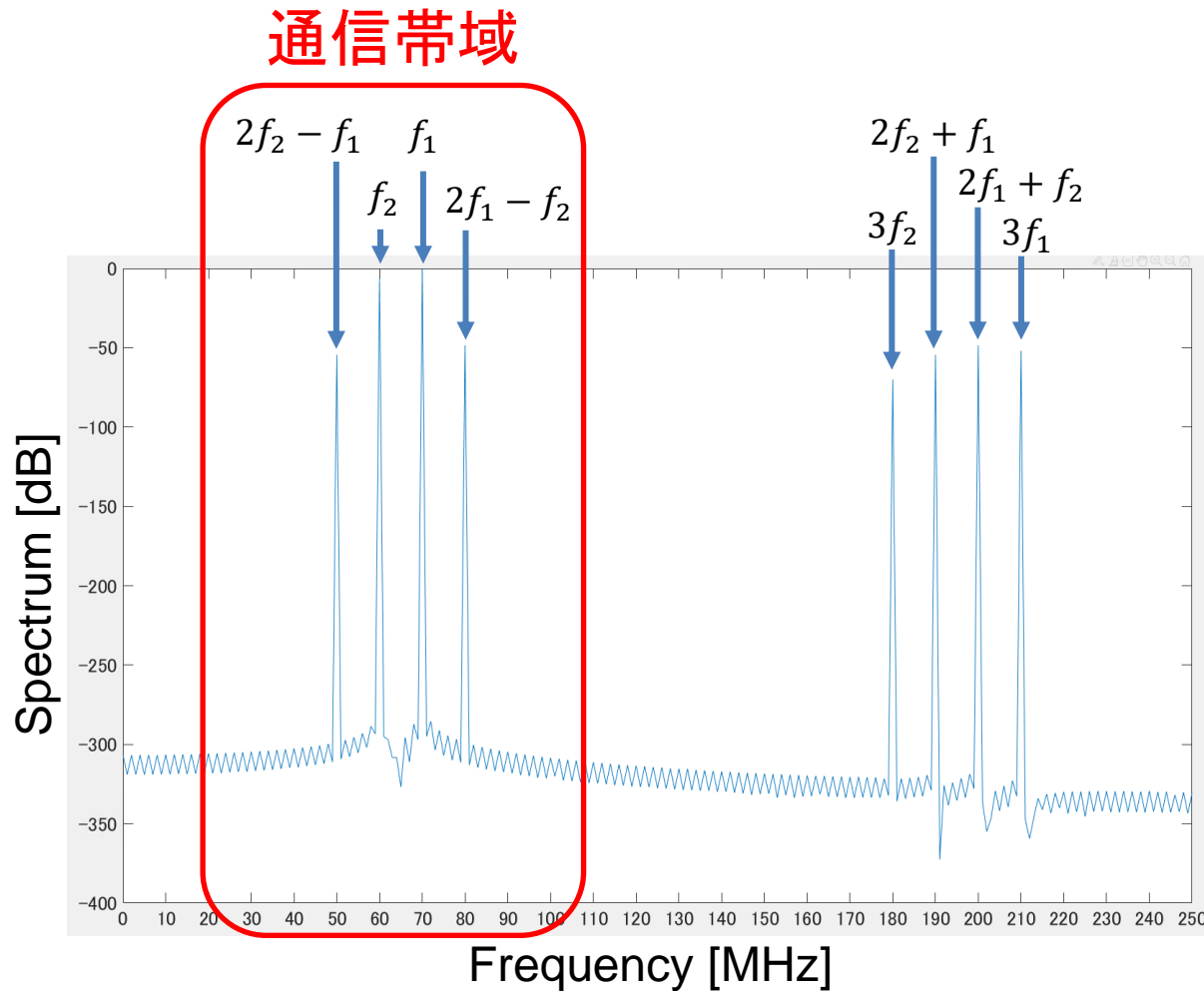
Ex) アナログ・ローパス・フィルタの
特性試験

(a) ゲイン特性

(b) カットオフ周波数近辺の周波数
を含むマルチトーンを生成
ゲイン特性を同時に測定する



マルチトーン試験への応用 2

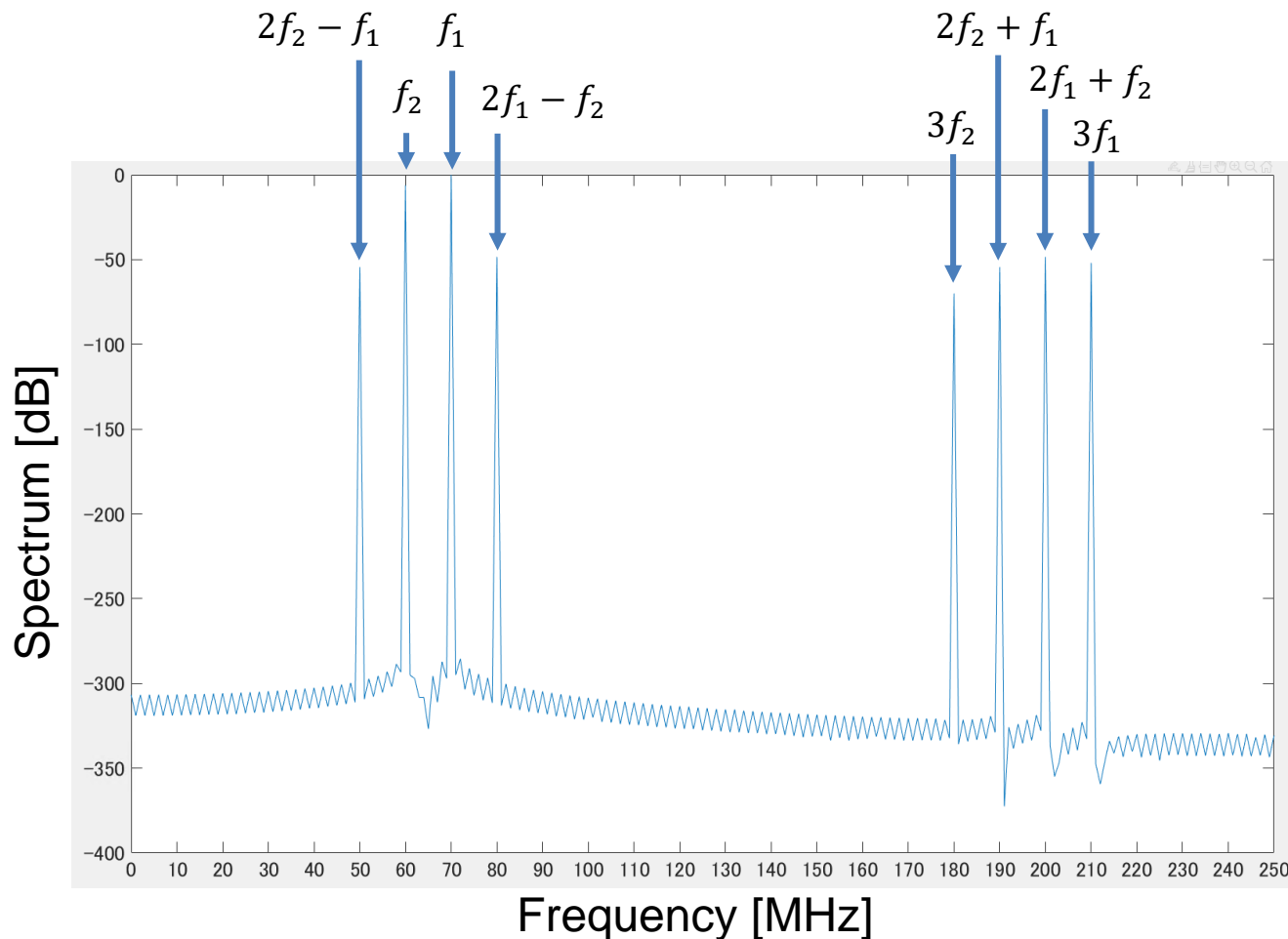


2トーン信号を印加すると
高周波デバイスの周波数歪は相互変調歪として現れる

2トーン試験 シミュレーション条件

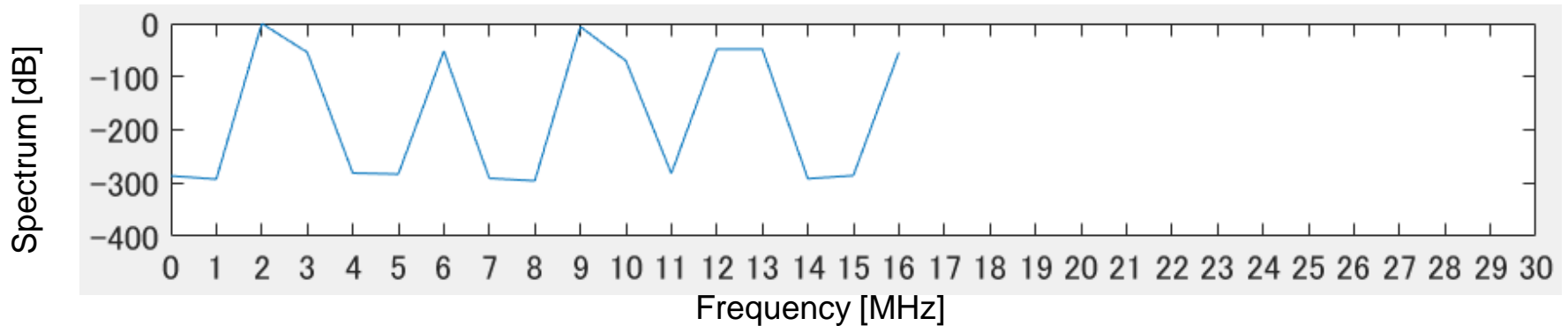
Input: $x(t) = \cos(2\pi f_1 t) + 0.5 \cos(2\pi f_2 t)$, $f_1 = 70$ MHz, $f_2 = 60$ MHz

Output: $y(t) = x(t) - 0.01 x(t)^3$



2トーン試験シミュレーション ($f_{s1} = 17 \text{ MHz}$)

サンプリング周波数: $f_{s1} = 17 \text{ MHz}$

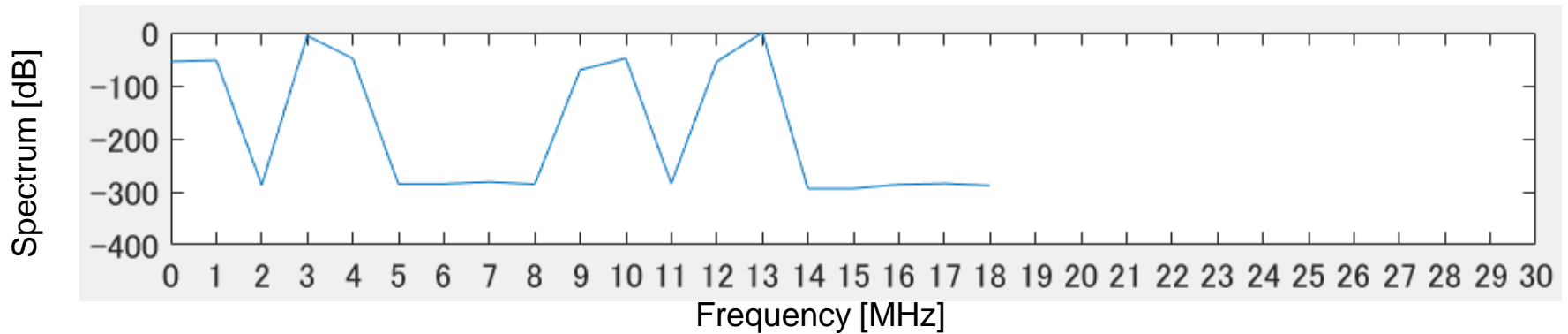


理論値		シミュレーション結果		
	Freq. [MHz]	Power [dBc]	Residue freq. [MHz]	Power [dBc]
f_1	70	0.00	2	0.00
f_2	60	-6.07	9	-6.07
$3f_1$	210	-51.9	6	-51.9
$3f_2$	180	-70.0	10	-70.0

理論値		シミュレーション結果		
	Freq. [MHz]	Power [dBc]	Residue freq. [MHz]	Power [dBc]
$2f_1 - f_2$	80	-48.4	12	-48.4
$2f_2 - f_1$	50	-54.4	16	-54.4
$2f_1 + f_2$	200	-48.4	13	-48.4
$2f_2 + f_1$	190	-54.4	3	-54.4

2トーン試験シミュレーション ($f_{s2} = 19 \text{ MHz}$)

サンプリング周波数: $f_{s2} = 19 \text{ MHz}$

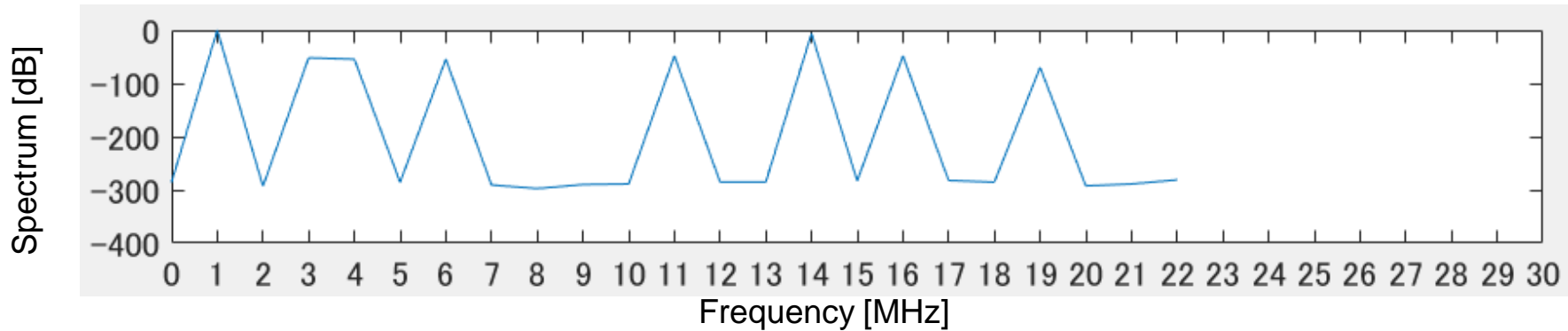


理論値			シミュレーション結果	
	Freq. [MHz]	Power [dBc]	Residue freq. [MHz]	Power [dBc]
f_1	70	0.00	13	0.00
f_2	60	-6.07	3	-6.07
$3f_1$	210	-51.9	1	-51.9
$3f_2$	180	-70.0	9	-70.0

理論値			シミュレーション結果	
	Freq. [MHz]	Power [dBc]	Residue freq. [MHz]	Power [dBc]
$2f_1 - f_2$	80	-48.4	4	-48.4
$2f_2 - f_1$	50	-54.4	12	-54.4
$2f_1 + f_2$	200	-48.4	10	-48.4
$2f_2 + f_1$	190	-54.4	0	-54.4

2トーン試験シミュレーション ($f_{s3} = 23 \text{ MHz}$)

サンプリング周波数: $f_{s3} = 23 \text{ MHz}$

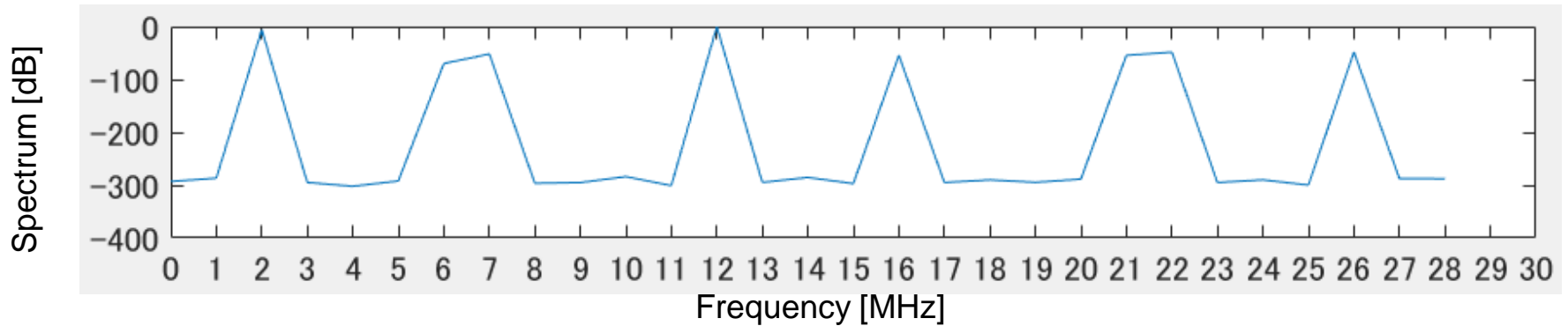


理論値		シミュレーション結果		
	Freq. [MHz]	Power [dBc]	Residue freq. [MHz]	Power [dBc]
f_1	70	0.00	1	0.00
f_2	60	-6.07	14	-6.07
$3f_1$	210	-51.9	3	-51.9
$3f_2$	180	-70.0	19	-70.0

理論値		シミュレーション結果		
	Freq. [MHz]	Power [dBc]	Residue freq. [MHz]	Power [dBc]
$2f_1 - f_2$	80	-48.4	11	-48.4
$2f_2 - f_1$	50	-54.4	4	-54.4
$2f_1 + f_2$	200	-48.4	16	-48.4
$2f_2 + f_1$	190	-54.4	6	-54.4

2トーン試験シミュレーション ($f_{s4} = 29 \text{ MHz}$)

サンプリング周波数: $f_{s4} = 29 \text{ MHz}$

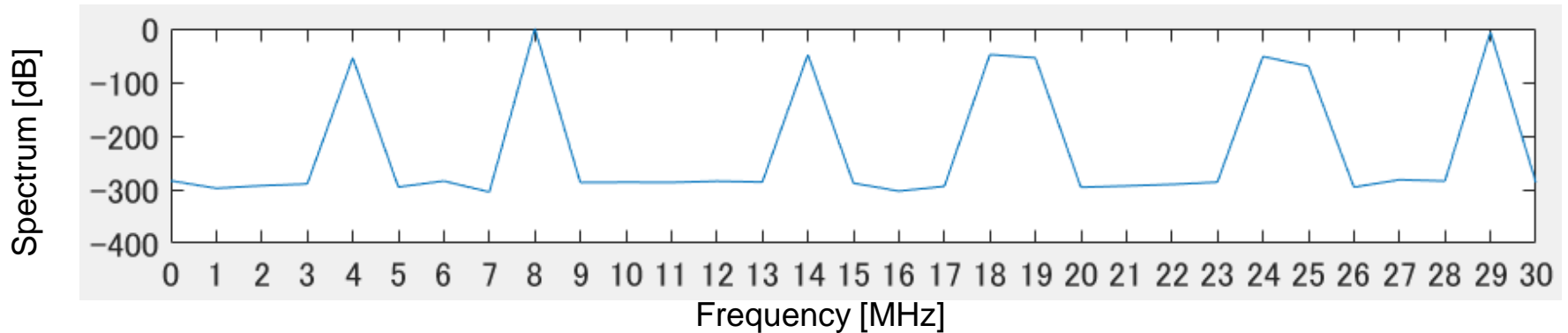


理論値			シミュレーション結果	
	Freq. [MHz]	Power [dBc]	Residue freq. [MHz]	Power [dBc]
f_1	70	0.00	12	0.00
f_2	60	-6.07	2	-6.07
$3f_1$	210	-51.9	7	-51.9
$3f_2$	180	-70.0	6	-70.0

理論値			シミュレーション結果	
	Freq. [MHz]	Power [dBc]	Residue freq. [MHz]	Power [dBc]
$2f_1 - f_2$	80	-48.4	22	-48.4
$2f_2 - f_1$	50	-54.4	21	-54.4
$2f_1 + f_2$	200	-48.4	26	-48.4
$2f_2 + f_1$	190	-54.4	16	-54.4

2トーン試験シミュレーション ($f_{s5} = 31 \text{ MHz}$)

サンプリング周波数: $f_{s5} = 31 \text{ MHz}$



理論値			シミュレーション結果	
	Freq. [MHz]	Power [dBc]	Residue freq. [MHz]	Power [dBc]
f_1	70	0.00	8	0.00
f_2	60	-6.07	29	-6.07
$3f_1$	210	-51.9	24	-51.9
$3f_2$	180	-70.0	25	-70.0

理論値			シミュレーション結果	
	Freq. [MHz]	Power [dBc]	Residue freq. [MHz]	Power [dBc]
$2f_1 - f_2$	80	-48.4	18	-48.4
$2f_2 - f_1$	50	-54.4	19	-54.4
$2f_1 + f_2$	200	-48.4	14	-48.4
$2f_2 + f_1$	190	-54.4	4	-54.4

高調波, 相互変調歪の理論値
その剰余周波数におけるパワー → 一致

Outline

1. 研究背景
2. 剰余系サンプリング
 - 中国の剰余定理
 - 剰余系サンプリングの原理
3. 高周波/アナログデジタル混載集積回路試験への応用
 - 周波数分解能の向上
 - マルチトーン試験への応用
 - 高周波狭帯域デバイス試験への応用
4. まとめ

高周波狭帯域デバイス試験への応用

Bluetooth basic rate (BR)

キャリア周波数: $2402 + k$ [MHz], $k = 0, 1, 2, \dots, 78$

チャンネル間隔: 1 MHz

送信信号: 1 Msps Gaussian Frequency Shift Keying (GFSK)

BT積: 0.5

変調指数: 0.28 ~ 0.35

GFSK信号: 2.402 GHz ~ 2.480 GHz で周波数ホッピング

剰余系サンプリングを
ホッピング回路の試験に応用

剰余系サンプリング:

バンド幅 78 MHzより低いサンプリング周波数を使用

$f_s = 7, 11, 13, 17$ MHz

Bluetooth ホッピング回路試験 シミュレーション条件

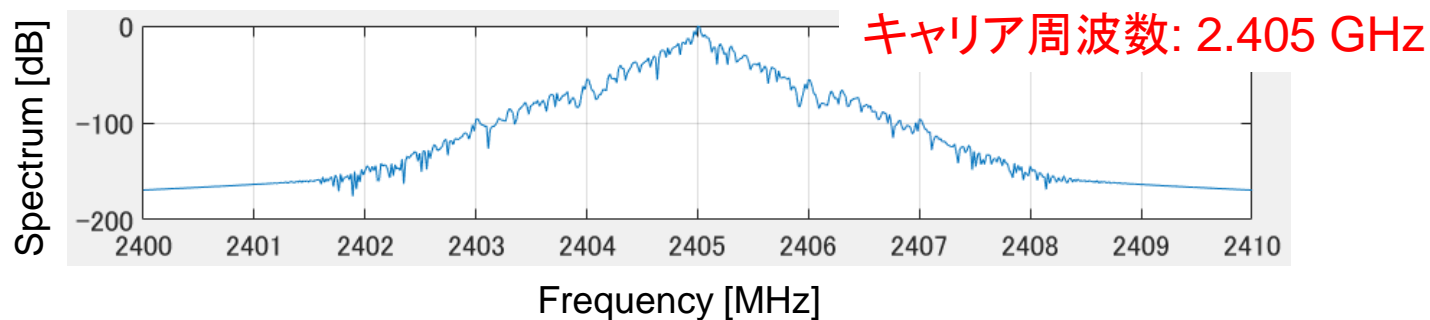
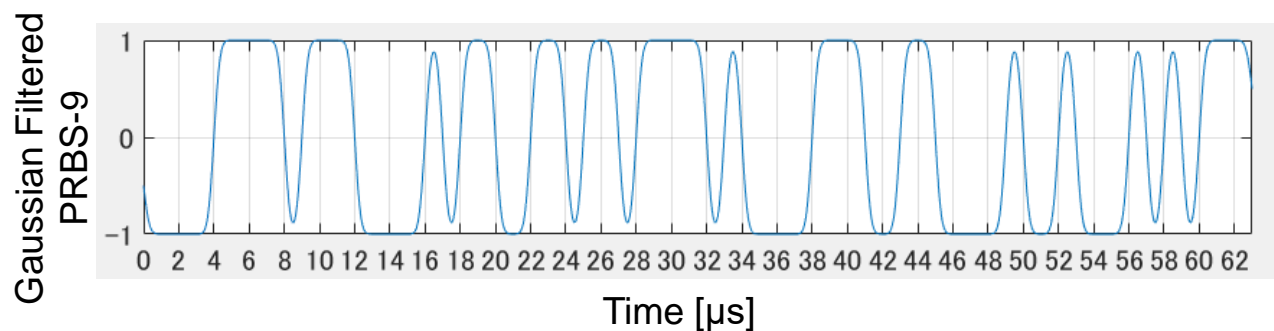
キャリア周波数: 2405 MHz

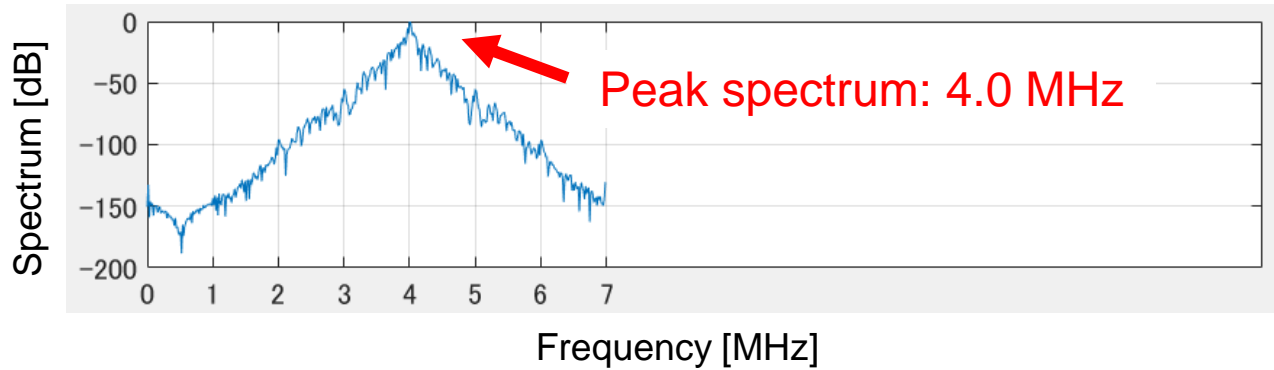
信号: Gaussian filtered PRBS-9 (BT = 0.5)

変調指数: 0.3

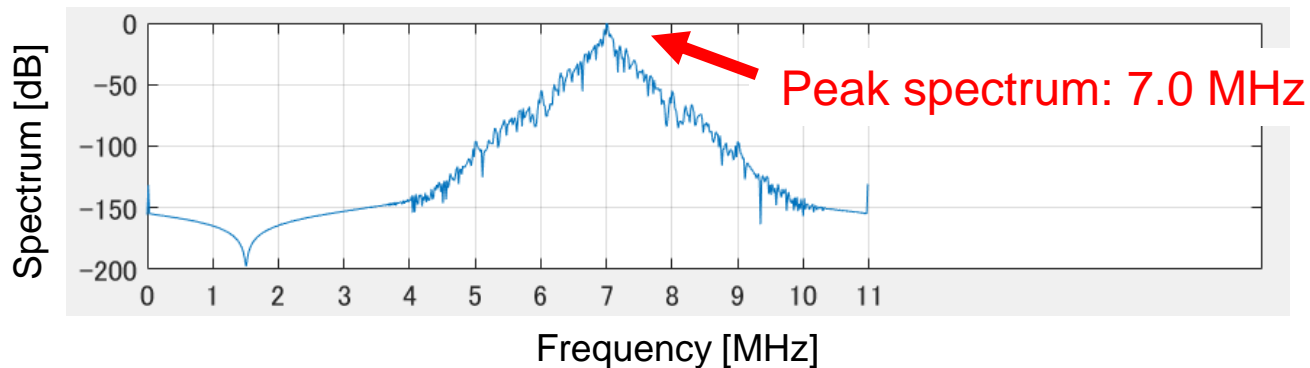
サンプリング周波数:

$$f_{s1} = 7 \text{ MHz}, f_{s2} = 11 \text{ MHz}, f_{s3} = 13 \text{ MHz}, f_{s4} = 17 \text{ MHz}$$

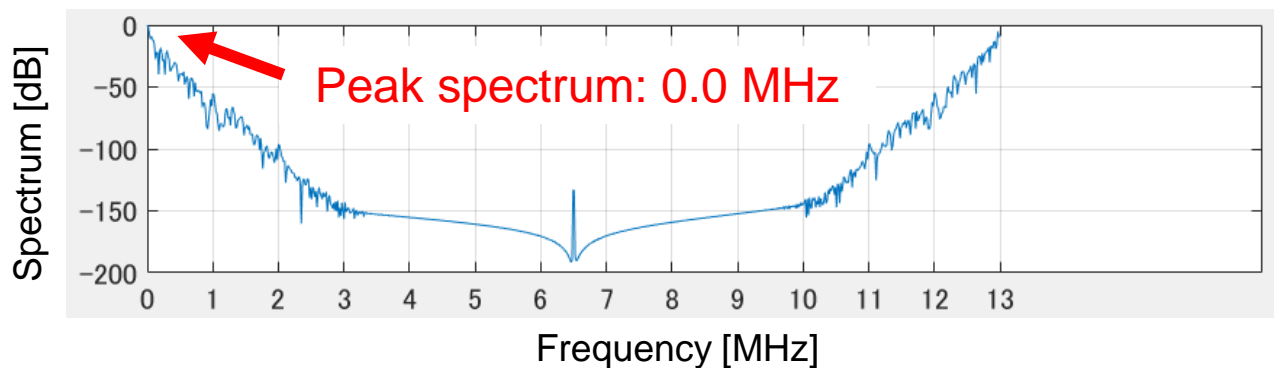


BTホッピング回路試験シミュレーション ($f_s = 7\text{MHz}, 11\text{MHz}$)サンプリング周波数: $f_{s1} = 7\text{MHz}$ 

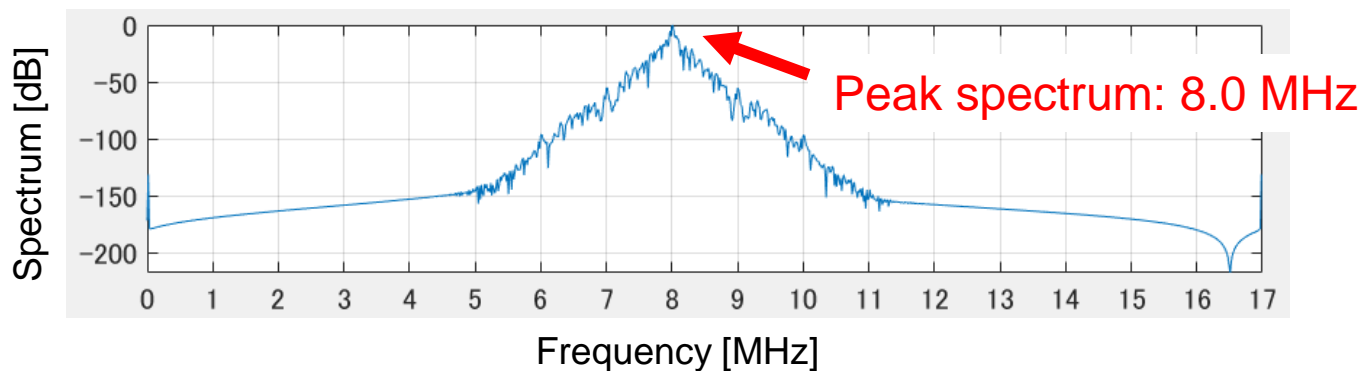
$$\text{mod}_7(2405) = 4$$

サンプリング周波数: $f_{s2} = 11\text{MHz}$ 

$$\text{mod}_{11}(2405) = 7$$

BTホッピング回路試験シミュレーション ($f_s = 13\text{MHz}, 17\text{MHz}$)サンプリング周波数: $f_{s3} = 13\text{MHz}$ 

$$\text{mod}_{13}(2405) = 0$$

サンプリング周波数: $f_{s4} = 17\text{MHz}$ 

$$\text{mod}_{17}(2405) = 8$$

剰余系サンプリングにより周波数ホッピング回路の試験が可能

Outline

1. 研究背景
2. 剰余系サンプリング
 - 中国の剰余定理
 - 剰余系サンプリングの原理
3. 高周波/アナログデジタル混載集積回路試験への応用
 - 周波数分解能の向上
 - マルチトーン試験への応用
 - 高周波狭帯域デバイス試験への応用
4. まとめ

まとめ

- 剰余系サンプリング:
高周波信号を複数の低周波クロックでサンプリング
➡ 安価に高周波サンプリングを実現
- 高周波/アナログデジタル混載集積回路試験に応用
 - サンプリング点数を増加 ➡ 周波数分解能が向上
(測定時間は長時間)
 - 2トーン信号試験:
高調波, 相互変調歪の理論値
その剰余周波数におけるパワー } 一致
 - 高周波狭帯域デバイス試験:
剰余系サンプリングにより
周波数ホッピング回路の試験が可能

剰余系サンプリングの適用例と今後の課題

帯域 中心周波数 f_c	狭帯域		広帯域
	f_c 未知	f_c 既知	
適合性	最適	適	不適
適用例	Bluetooth ホッピング回路 テスト	狭帯域MTによる フィルタテスト	広帯域MTによる フィルタテスト
商 (折り返し回数)	未知	既知	未知・複数 (スペクトラムが重なる)
手法	ピーク等が 剰余系の組と 一致するか確認	Under samplingで可 複数のADCは不要	

狭帯域: サンプリングクロックより狭い帯域

広帯域: サンプリングクロックより広い帯域

Next

折り返したスペクトラムが重なる ➡ 剰余周波数のパワーが異なる場合あり
冗長なサンプリング手法, 重なったスペクトラムを分離する手法を検討

まとめ

- 剰余系サンプリング:
高周波信号を複数の低周波クロックでサンプリング
➡ 安価に高周波サンプリングを実現
- 高周波/アナログデジタル混載集積回路試験に応用
 - サンプリング点数を増加 ➡ 周波数分解能が向上
(測定時間は長時間)
 - 2トーン信号試験:
高調波, 相互変調歪の理論値
その剰余周波数におけるパワー } 一致
 - 高周波狭帯域デバイス試験:
剰余系サンプリングにより
周波数ホッピング回路の試験が可能

Number Theory for RF/AMS Testing



Carolus Fridericus Gauss
(1777-1855)

*“Number theory is
the queen of mathematics”*

Past Number theory

Beautiful and mysterious
NEVER practical

Current Number theory

For information communication processing
➔ good match to digital technology

Number theory application
for RF/AMS device testing is a frontier.
There are great chances for new discovering!

講義の内容

- 大学での工学の研究教育
- アナログ半導体の重要性
- 研究内容の概要
- 三角数の性質を用いたDA変換器
- 貴金属比サンプリング
- 剰余系サンプリング
- 最後に
- 付録

異文化技術融合の重要性

フィボナッチ数列、黄金比と
冗長逐次比較近似AD変換アルゴリズム
を結びつける

Creativity is just connecting things.
「創造力とは、いろいろなものをつなぐ力だ」
(Steve Jobs, Apple社)



アナログサイエンスの提唱

アナログ技術を「匠の技」から「サイエンス」へ

「匠の技」「センス」「経験」を主張していると、
アナログ人口は増えず、産業は伸びない。

技術でうまくいく、いかないというのは
「理屈」がある。

それを科学的に解明し

体系的な設計論、教育システムを確立するべき。



その一つとして古典整数論の活用

付録

大学での研究教育

群馬大学大学院 理工学府

小林春夫

アインシュタインの言葉

「大学の教育の価値は、
事実を数多く学ぶことではない。
教科書からは学べないことを考えるよう、
頭を鍛えることである。」

「学校で学んだことを
一切忘れてしまった時に、
なお残っているもの、それこそ教育だ。」

「学び」と「教え」の姿勢

「稽古とは、一より習い十を知り、
十より返る、もとのその一。」

(千利休)

「知って覚えたことを
直ぐに言葉には出すことをせず、
不断に学び続けて、
これを人に教える。」 (論語)

大学での教育研究

「大学は専門的な知識を成果に結びつける、
そのやり方を教えるところである。」

「大学はさまざまな専門分野の知識を集めて
成果に結びつけるところである。」

(経営学者 ピーター・ドラッカー)

知識、情報の活用

「知識の奴隷になるのではなく、
知識を縦横無尽に使いこなす。」

(松下幸之助)

「知識」は本の中にはない。
本の中にはあるのは「情報」である。
「知識」とはそれらの「情報」を仕事や成果に
結び付ける能力である。

(ピータードラッカー)

研究でも 大河の流れも小さな湧水から

「大木を育てるには小さな種をまく必要がある。
小さなことから始めよ。
小さなことを大切にせよ。」

(リチャード W. ハミング、ベル研究所)

「着眼大局 着手小局」

良い研究のためには 素人発想、玄人実行

「発想は、単純、素直、自由、簡単でなければならない。

発想を実行に移すには知識がいる。

習熟された技がいる。

考えがよくても、

下手に作ったものはうまくは動かない。」

(カーネギーメロン大学 金出武雄 教授)

「自然は美しい」という考え方

「原天地美達萬部物理」 莊子

天地の美に基づきて、万物の理に達す

物理学者 湯川秀樹が好んだ言葉



「自然の書物は数学で書かれている」

ガリレオ・ガリレイ

工学は新しい社会を創造できる

「もの作り」だけではない。
「新しい社会作り」ができる。

イノベーション:

新しい技術もとに、
社会的意義のある新たな価値を創造し、
社会的に大きな変化をもたらす変革。

蒸気機関の発明: 馬車から鉄道へ

→ 社会が大きく変わる

工学のアプローチ

机上の空論ではなく、実際に“**現場**”で
“**現物**”を観察し、“**現実**”を認識した上で
問題解決を図る。(三現主義)

「現場、そこに発想の原点がある。
facts こそが よりどころである。」

(東大名誉教授 北森俊行先生)

教えと学び

「松下電器は人を作る会社です。
あわせて電気製品を作っています。」

(松下幸之助)

「情報化社会においては、
いかなる組織も学ぶ組織にならねばならない。
同時に教える組織にもならなければならない。」

(ドラッカー)

学問の心得、自戒

足代弘訓(江戸時代後期の国学者)

人をあざむくために学問をしない。

人とあらそうために学問をしない。

人をそしるために学問をしない。

人の邪魔をするために学問しない。

自分を自慢をするために学問をしない。

名を売るために学問をしない。

利をむさぼるために学問をしない。

宇都宮高校の生徒の時代にはじめて聴く。自分を戒める。

教師像を考える

The mediocre teacher tells.

凡庸な教師は指示をする。

The good teacher explains.

良い教師は説明をする。

The superior teacher demonstrates.

優れた教師は範となる。

The great teacher inspires.

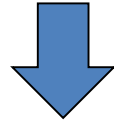
偉大な教師は内なる心を揺り動かす。

(教育学者 William Arthur Ward)

「悪しき専門家」になるな

新しいことをやろうとする。

トラブルに対処する提案をする。



できないという理由をすぐ5つあげる。

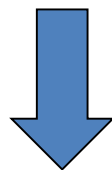
A winner finds solutions, a loser finds excuses.

解決策を見つける人は勝者となり、
言い訳を見つける人は敗者となる。

研究成果を公表する

アカデミズムの世界では重要

新しい知見・研究結果



公開・発表してはじめて意味をもち
成果として認められる。

研究室からの海外国際学会参加・発表



米国一流大学は厳しい

● 教員

任期制。 Tenure をとるまで大変。

研究成果をあげ論文を書かねば生き残れない

Publish or Perish

学生の授業評価も 教員の重要な評価項目

休講したら必ず補講を行う(契約社会)

● 学生

卒業が大変

教員、学生はハードに仕事・勉強する。

米国一流大学の工学部

- 教授は産業界との共同研究



- 最先端の研究テーマ

産業界によい研究テーマ・先端技術情報あり

- 共同研究費の一部をテーマ担当の
大学院生の奨学金(生活費、授業料程度)に



- 大学院生は産業界の先端技術を身につけ
ハイテク企業に就職

米国一流大学での博士課程修了学生

- 学界だけでなく産業界もリード。
- 博士号取得者は産業界でも高く評価され、給与、地位がよい。
- 博士号の有無は歴然とした社会的立場の差あり
- 幅広い知識
Major (専攻) と Minor (副専攻)2つ
- レベルも高い。Doctor of Philosophy ↔ Ph.D.
- 日米競争力の差との指摘もある。



日本でも求められつつある。

「実利」だけでは大学に人は集まらない

「この地上で大学ほど美しいものは、そう多くはない。
なぜなら、そこには無知でありたくない人たちが
真理探究のために集まり、
真理を知った人たちが、
それを広めようとしているからである。」
(英国 教育者、ジョン・メイスフィールド)

「私が数学の研究をするのは人間の名誉のためだ」
(フランス 数学者 アンドレ・ヴェイユ)

人は最終的に「何をなしたか」で評価される

中東：キリスト教、イスラム教、ユダヤ教

死海：湖面が海より低い。湖水が流れ出さない。

塩分が高く、植物・魚はほとんど生きられない。

ガリラヤ湖：湖水が河となり流れ出す。

まわりは豊かな緑で花が咲き乱れている。

繁栄するためには「得る」だけはだめ。

「与え」なければならない。

Input だけではだめ。

Output をださなければならない。

Output をだすための訓練が卒業研究。



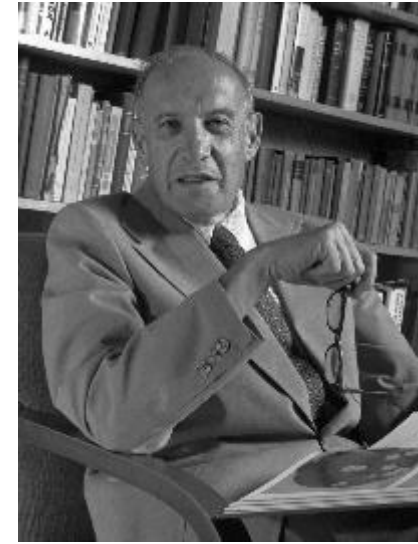
成果を上げるものはアウトプット思考である

仕事を生産的なものにするには、
成果すなわち仕事のアウトプットを
中心に考えなければならない。

技能や知識などインプットから
スタートしてはならない。

技能・情報・知識は道具にすぎない。

(経営学者 ピーター ドラッカー)



米英の大学での卒業式

Commencement

Commencement (コメンズメント)の
本来の意味は「始まり」

米英では学位授与式、卒業式のこと。
「新しい生活の始まり」

レポート課題

内容: この講義の内容に関係したことを調べ
その内容について A4レポート用紙2枚程度に
まとめよ。できるだけ手書きでなくコンピュータを用いよ。

ファイル名: 学籍番号(名前).pdf

例えば T123D456 群馬太郎 の場合は
T123D456(群馬太郎).pdf

締め切り: 2022年1月31日(月)23:59まで

提出先:

<https://kobaweb.ei.st.gunma-u.ac.jp/lecture/lecture.html>

レポート課題

内容: この講義の内容に関係したことを調べ
その内容について A4レポート用紙2枚程度に
まとめよ。できるだけ手書きでなくコンピュータを用いよ。

ファイル名: 学籍番号(名前).pdf

例えば T123D456 群馬太郎 の場合は
T123D456(群馬太郎).pdf

締め切り: 2022年1月31日(月)23:59まで

提出先:

<https://kobaweb.ei.st.gunma-u.ac.jp/lecture/lecture.html>