

トランジスタレベルでの アナログ電子回路設計の基礎

群馬大学 名誉教授
小林春夫

koba@gunma-u.ac.jp



本セミナーのポイント

アナログ回路の仕事にかかわる際に最も高いハードル：
トランジスタレベルの回路を理解できるようになること
良い教科書を読んで独学しても理解するのは非常に大変

本セミナーでは、標準的な2乗則に従うMOSトランジスタを用いた回路の解析・設計のポイントを動作のイメージが湧くように解説します。



世界中のほとんどのアナログ集積回路のテキスト

主な受講対象者

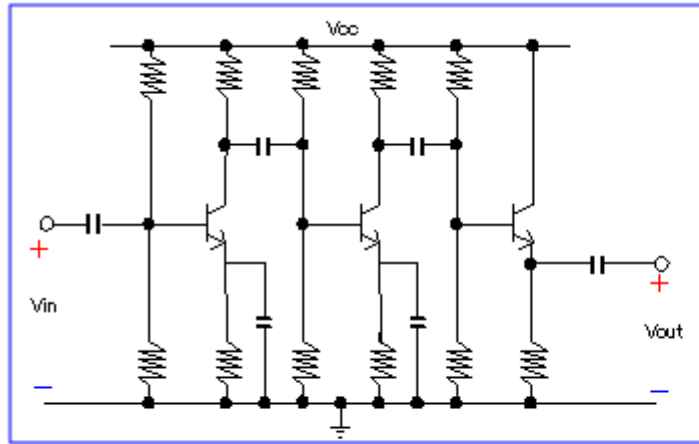
- アナログ電子回路設計について学び始めた方、
初学者、基礎固めをしたい方
- 材料や部材技術を専門としているが、
回路設計についても知る必要がある方
- WEB上の情報や市販の入門書を読み独学を始めるも、
理解し難い方、課題を抱えている方
- ゆくゆくはアナログ半導体やCMOSアナログ回路等への
応用を目指している方

本セミナーで得られる主な知識・情報・ノウハウ

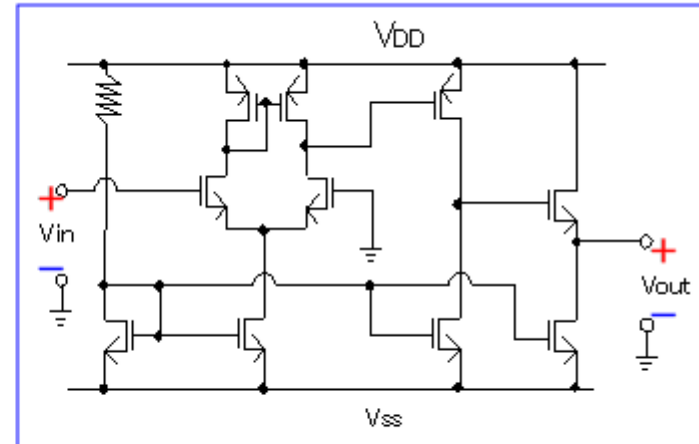
- アナログ電子回路設計の基礎知識
- トランジスタレベルの回路を
独学して理解できる水準の知識

個別部品回路と集積回路の違い

オーディオ増幅器の典型例

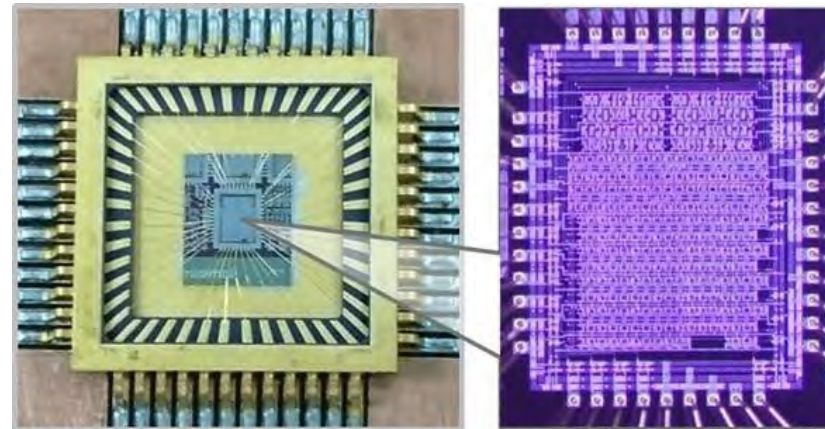
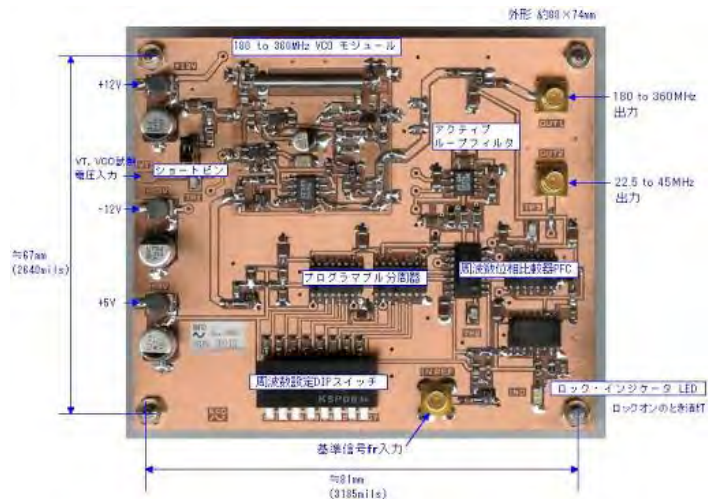


個別部品回路



CMOS集積回路

R, C: **低**コスト
トランジスタ: **高**価格



R, C: **高**コスト
トランジスタ: **低**価格

センサインターフェース アナログ回路の重要性

英国ロンドンのテムズ川の流速を電磁流量計の原理で測定を試みる。(磁界は地磁気を利用)



マイケル
ファラデー
1791-1867
英国
化学者
物理学者

↓
出力電気信号が非常に小
フィルタリング・増幅する電子回路がない

自動車に
多数の
センサ

電磁流量計の動作原理

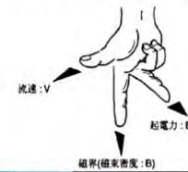
- ファラデーの法則
起電力 \propto 流速

$$E = D \cdot \bar{V} \cdot B$$

E : 起電力(V)
 D : 管内径(m)
 \bar{V} : 平均流速(m/s)
 B : 磁束密度(T)



- フレミングの右手の法則

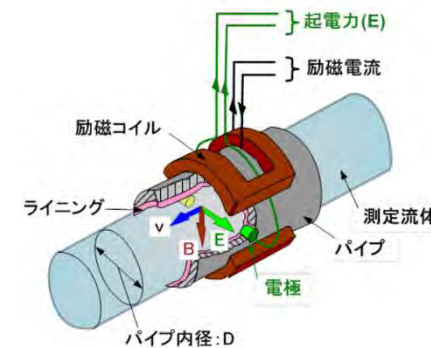


Michael Faraday /
Bonaventura Thurlemann 1941

電磁流量計の動作原理

- 起電力 E (V)
 $E = D \cdot \bar{V} \cdot B$
- 体積流量 Q (m³/s)
 $Q = \frac{\pi}{4} \cdot D^2 \cdot \bar{V}$
- 起電力と体積流量の関係

$$E = \frac{4}{\pi} \cdot \frac{B}{D} \cdot Q$$



電源回路



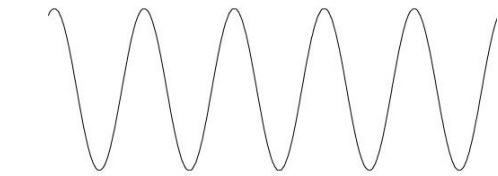
無線通信用回路

スマホ、携帯等での電波送受信回路

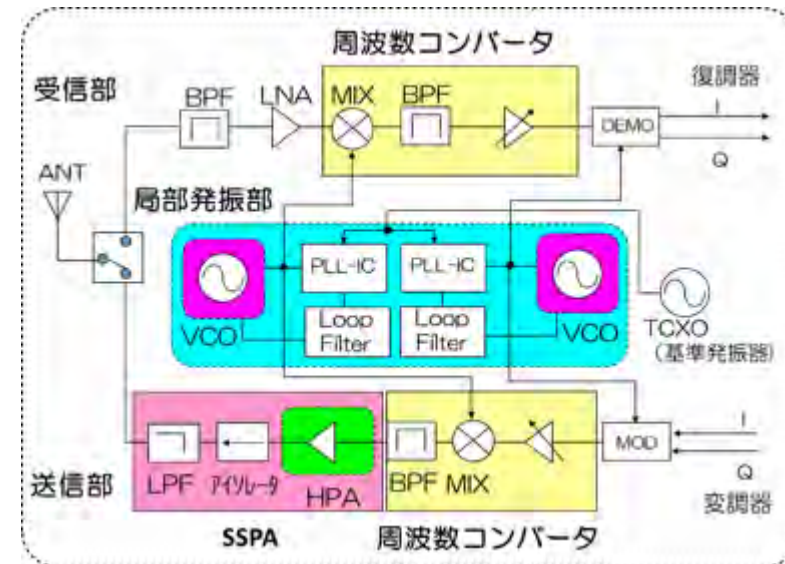
受信回路: 電波の高周波信号を低周波信号に変換して
信号処理

送信回路: 低周波信号を高周波のキャリアに乗せて
電波で送信

高周波信号



低周波信号



目次 (1/3)

1. MOSトランジスタの構造・動作と機能
 - 1.1 MOSトランジスタ構造
 - 1.2 MOSトランジスタ動作
 - ・ 線形領域での動作
 - ・ 飽和領域での動作
 - 1.3 MOSトランジスタのスイッチ機能と信号増幅機能
 - ・ スイッチ機能とデジタル回路
 - ・ 信号増幅機能とアナログ回路

2. MOSトランジスタを用いた各種の回路設計とそのポイント
 - 2.1 デジタルCMOS回路
 - ・ トランジスタレベルのデジタルCMOS回路
 - ・ 消費電力
 - ・ スピード
 - 2.2 電流源
 - ・ NMOS電流源とPMOS電流源
 - ・ カスコード電流源
 - ・ 電流スイッチ

目次 (2/3)

2.3 電流ミラー回路

- ・電流のコピー
- ・電流の増幅

2.4 オペアンプの基本動作

- ・理想オペアンプ特性
- ・開ループ利得、負帰還、仮想接地
- ・小信号解析の必要性
- ・加減算回路、時間積分回路、計装増幅器
- ・ボルテージフォロワ回路

2.5 ソース接地増幅回路と小信号等価回路

2.6 ゲート接地増幅回路

2.7 ソースフォロワ回路

2.8 差動増幅回路

- ・抵抗負荷
- ・能動負荷

2.9 比較回路と正帰還

目次 (3/3)

2.10 基準電圧源回路 (バンドギャップ基準電圧生成回路の基本)

- ・なぜ基準電圧が必要か
- ・バンドギャップ基準電圧生成回路の読み方

2.11 スイッチトキャパシタ回路

- ・スイッチトキャパシタ回路の構成と動作
- ・なぜスイッチトキャパシタを用いるのか

2.12 発振回路

- ・なぜ発振回路が必要か
- ・リング発振回路
- ・弛緩発振回路
- ・LC発振回路

2.13 MOSトランジスタとバイポーラトランジスタの回路設計の相違

3. まとめ

付録

1. MOSトランジスタの構造・動作と機能

1.1 MOSトランジスタ構造

MOS: Metal Oxide Semiconductor

メタル(かつては金属、現在は多結晶シリコン: 導体)

絶縁膜 (酸化シリコン SiO_2)

半導体 で構成される容量

電極

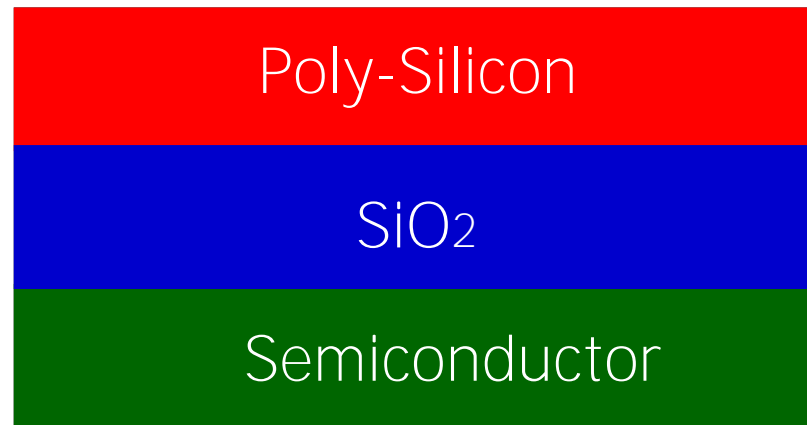
Poly-Silicon

絶縁膜

SiO_2

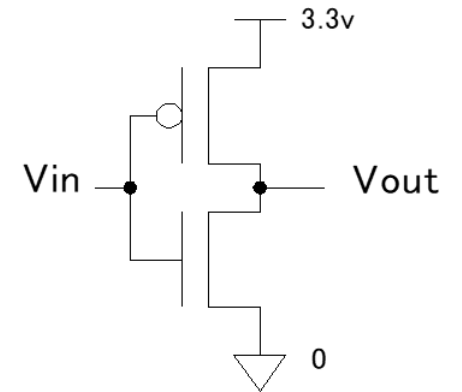
電極

Semiconductor



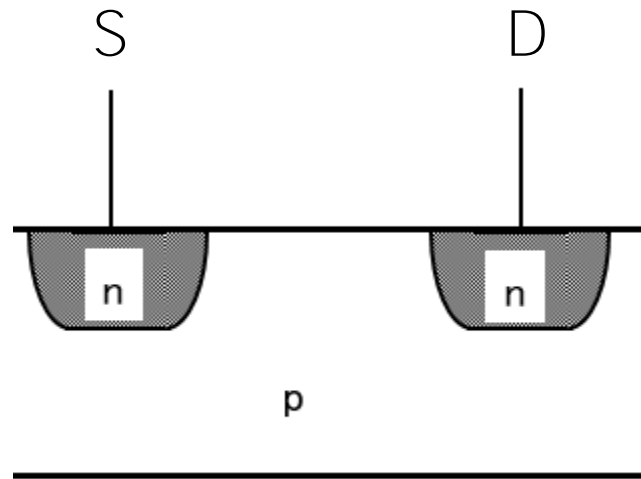
PMOS と NMOS

- 同じサイズ、バイアス電圧ならば
NMOSのほうが**PMOS**に比べ
2～3倍 電流が流れる、高速
 - **PMOS**は電源側、**NMOS**はグランド側で
使用する(特性が生かせる)
- ➡ 回路図では**PMOS** が上側、**NMOS**は下側になる

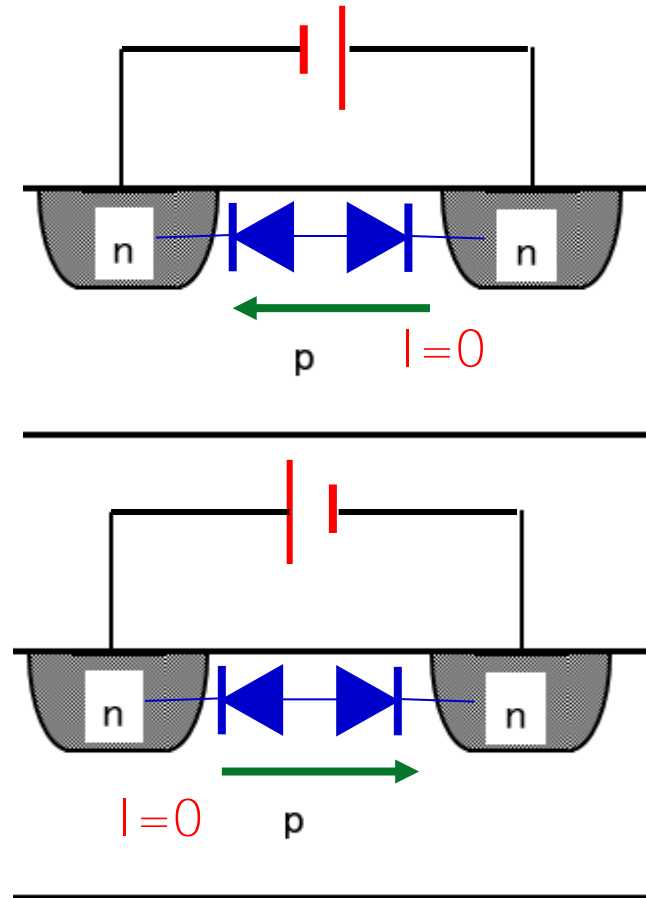


2つのPN接合の逆向き接続

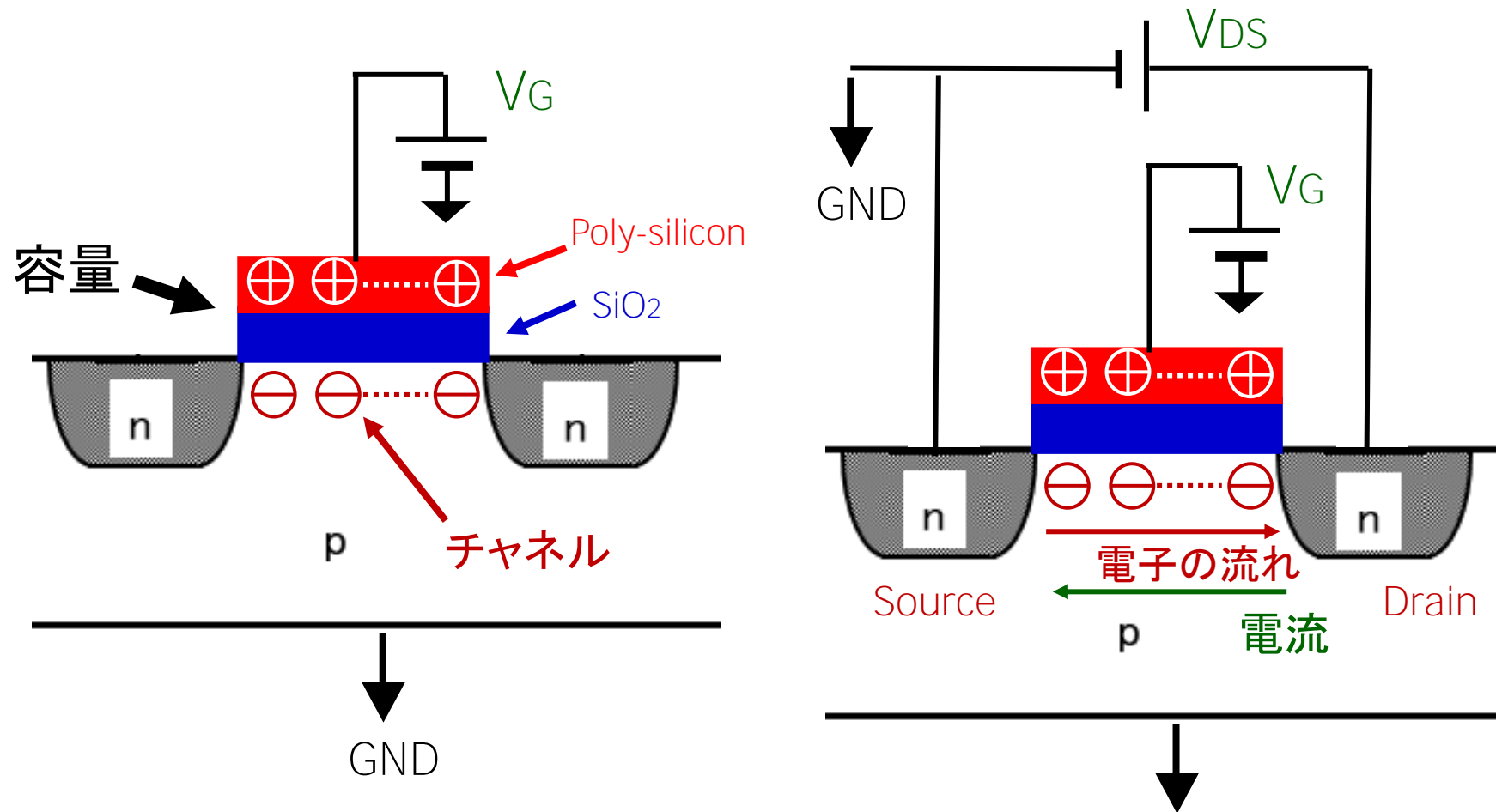
NMOS説明用



S, D 間に
電流は流れない



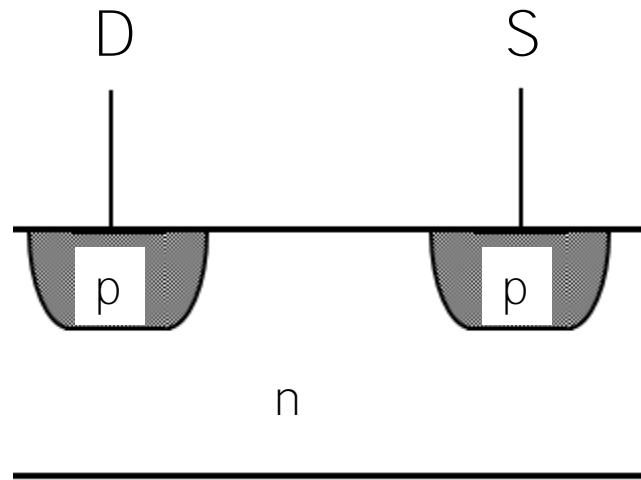
NMOSトランジスタの原理



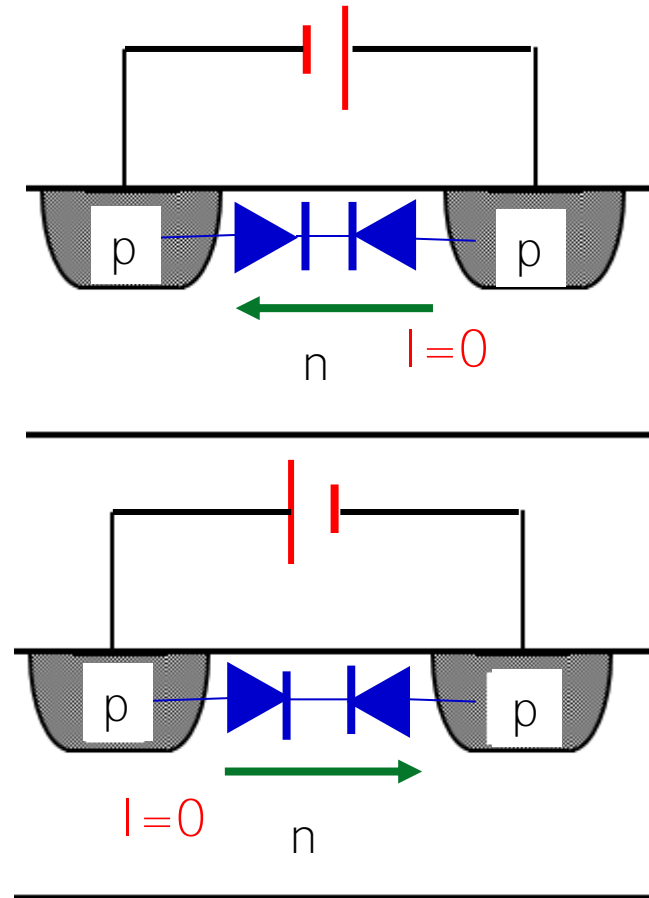
表面のチャンネルを電荷が流れる

2つのPN接合の逆向き接続

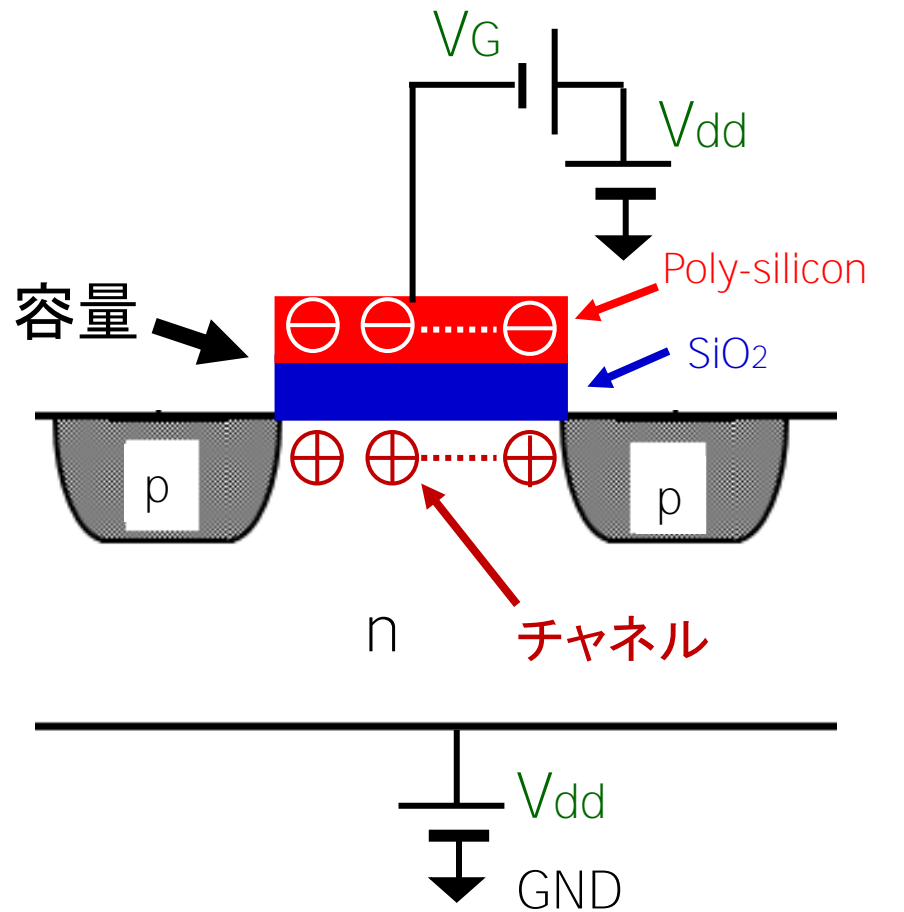
PMOS説明用



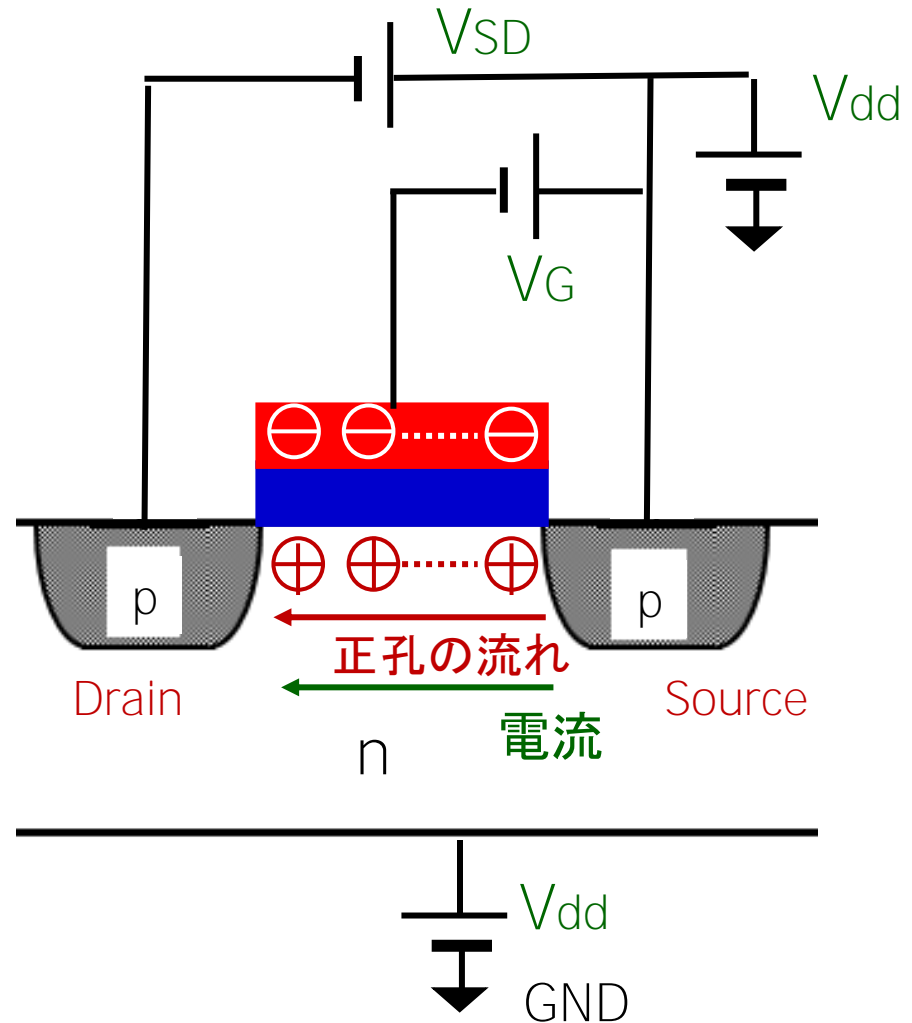
S, D 間に
電流は流れない



PMOSトランジスタの原理



表面のチャンネルを電荷が流れる



PMOS, NMOS, CMOS

PMOS: Positive

電荷の運び手が正孔 (hole) \oplus

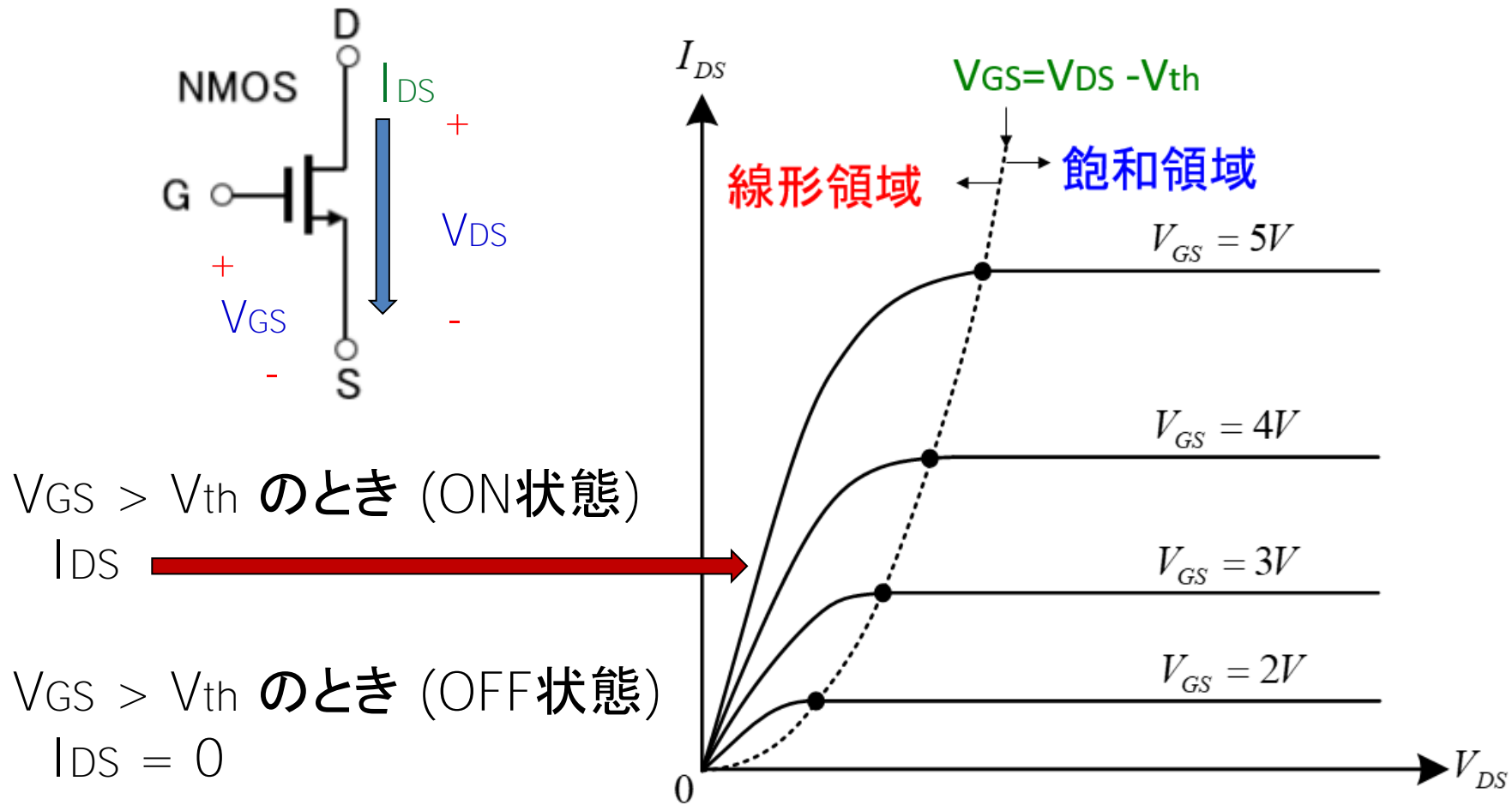
NMOS: Negative

電荷の運び手が電子 (electron) \ominus

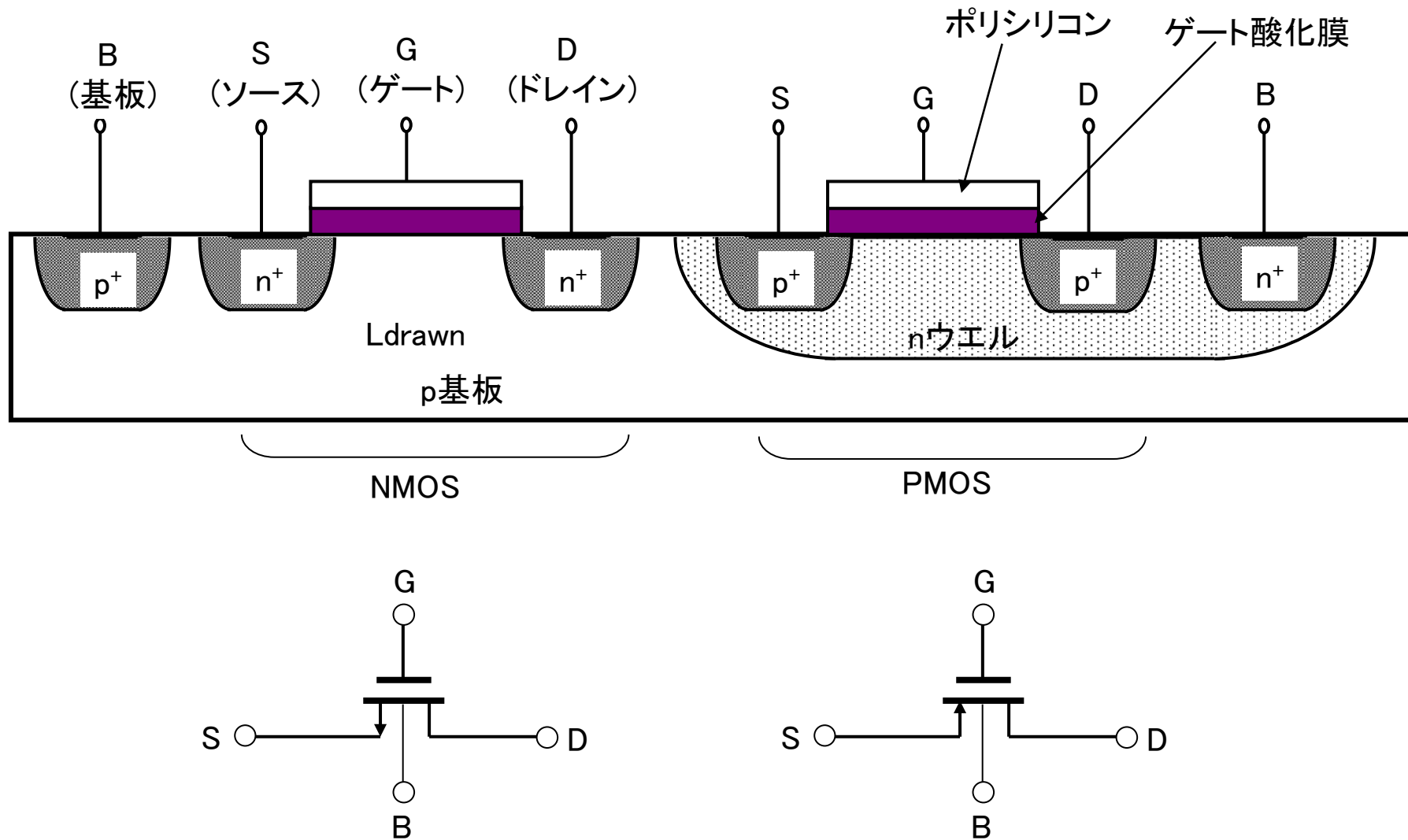
CMOS: Complementary 相補的

PMOS + NMOS

NMOSトランジスタの電圧電流特性

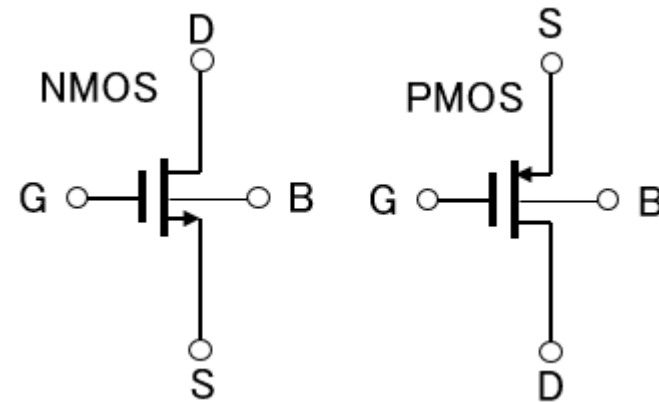


CMOSトランジスタの構造

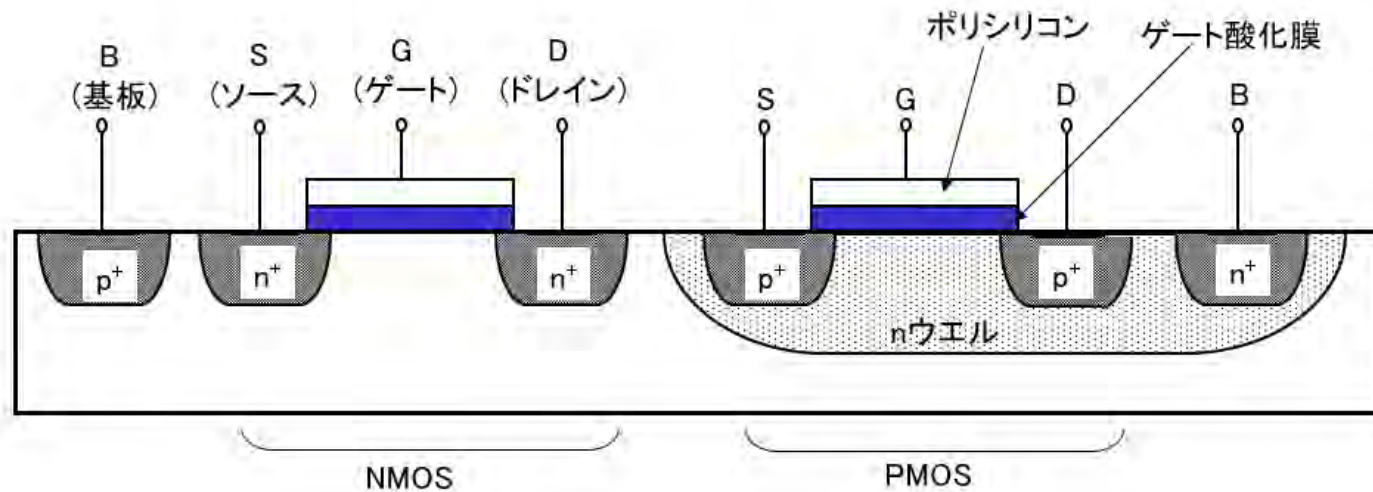


MOSトランジスタの記号

4端子と考える場合

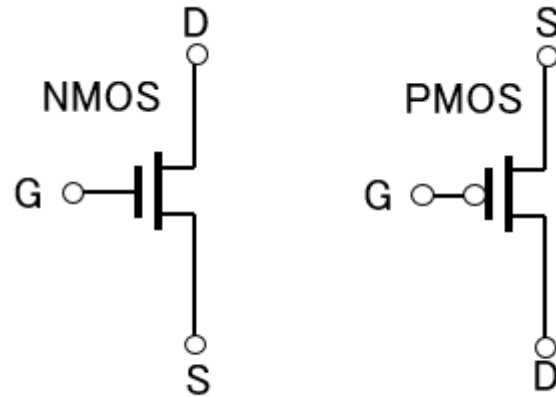


アナログに使用

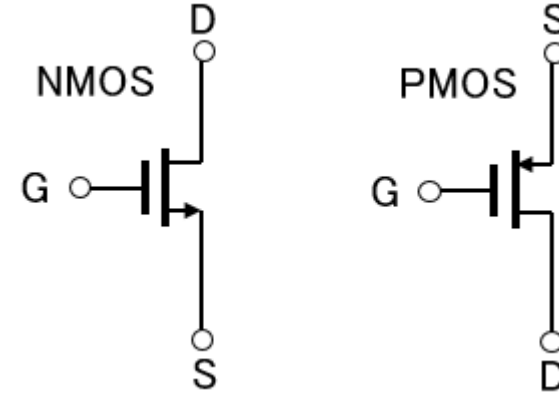


MOSトランジスタの記号

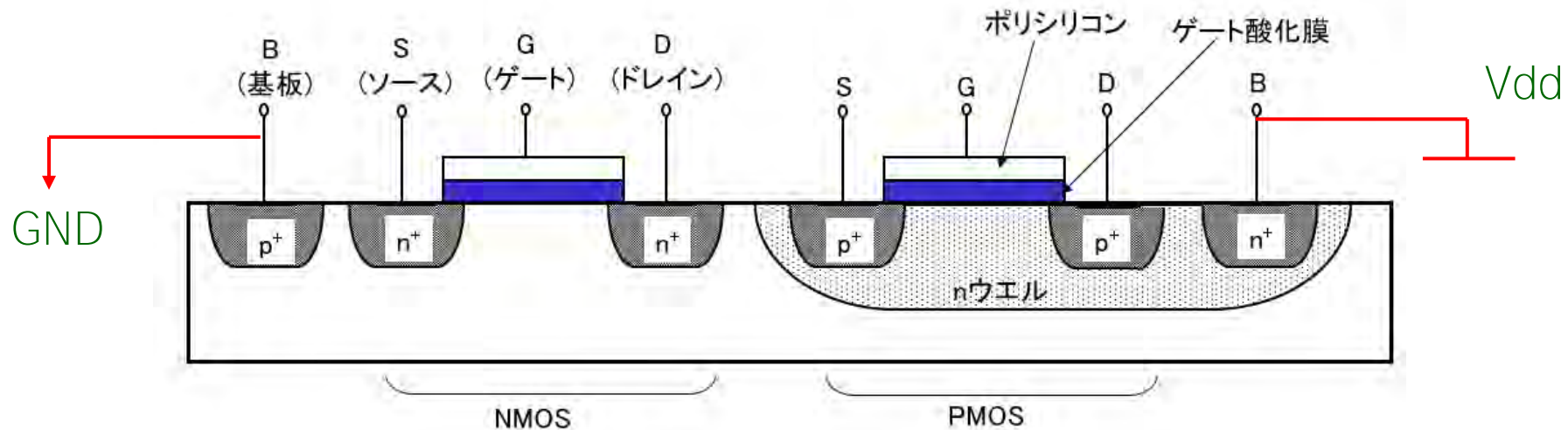
3端子と考える場合



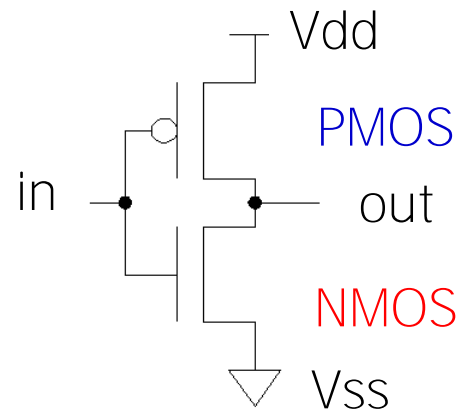
主にデジタルに使用



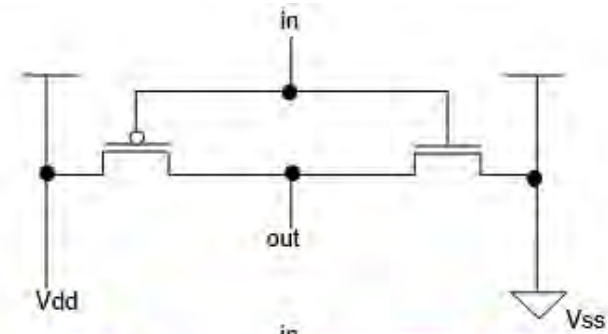
主にアナログに使用



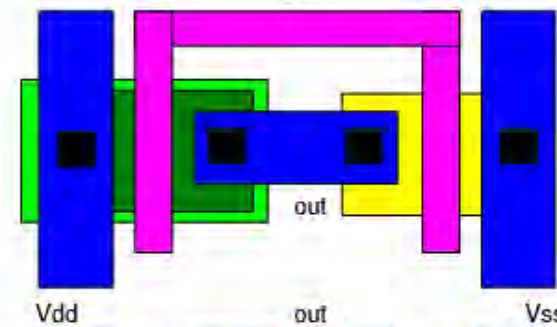
CMOSインバータのレイアウトと構造



CMOSインバータ
回路図



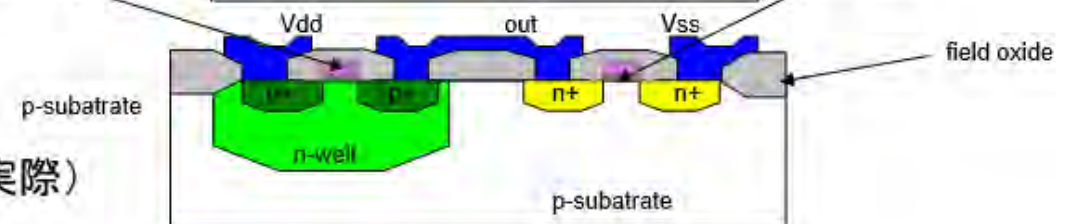
レイアウト図



断面図(モデル)



断面図(実際)



NMOS, PMOS トランジスタのデバイス構造

NMOS トランジスタ

P型基板中の **2つのn+層**の一方をソース、他方をドレイン。

その間の表面に薄い絶縁酸化膜を置く。

上に電極を置いてゲートとする。

PMOS トランジスタ

P型基板中に **ウエル(井戸の意味)** のN層を形成。

その中に **2つのp+層**を形成、その一方をソース、他方をドレイン。

その間の表面に薄い絶縁酸化膜を置く。

上に電極を置いてゲートとする。

両トランジスタともソースとドレイン：

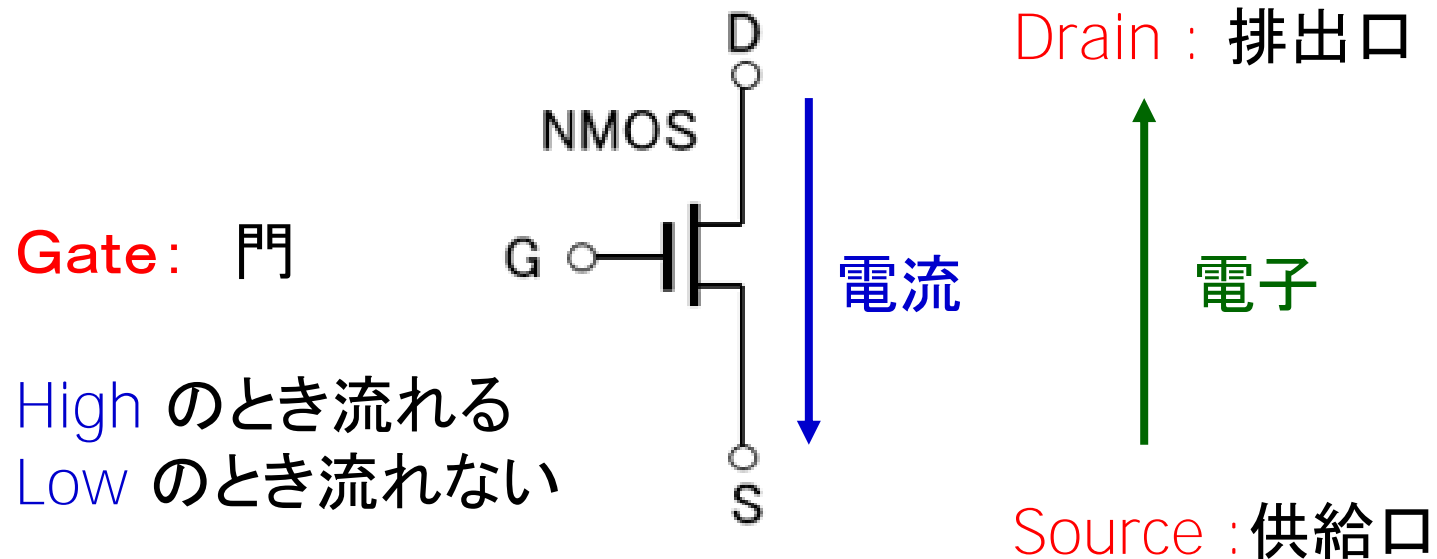
デジタル応用 入れ替え可

アナログ応用 入れ替え不可

NMOS動作

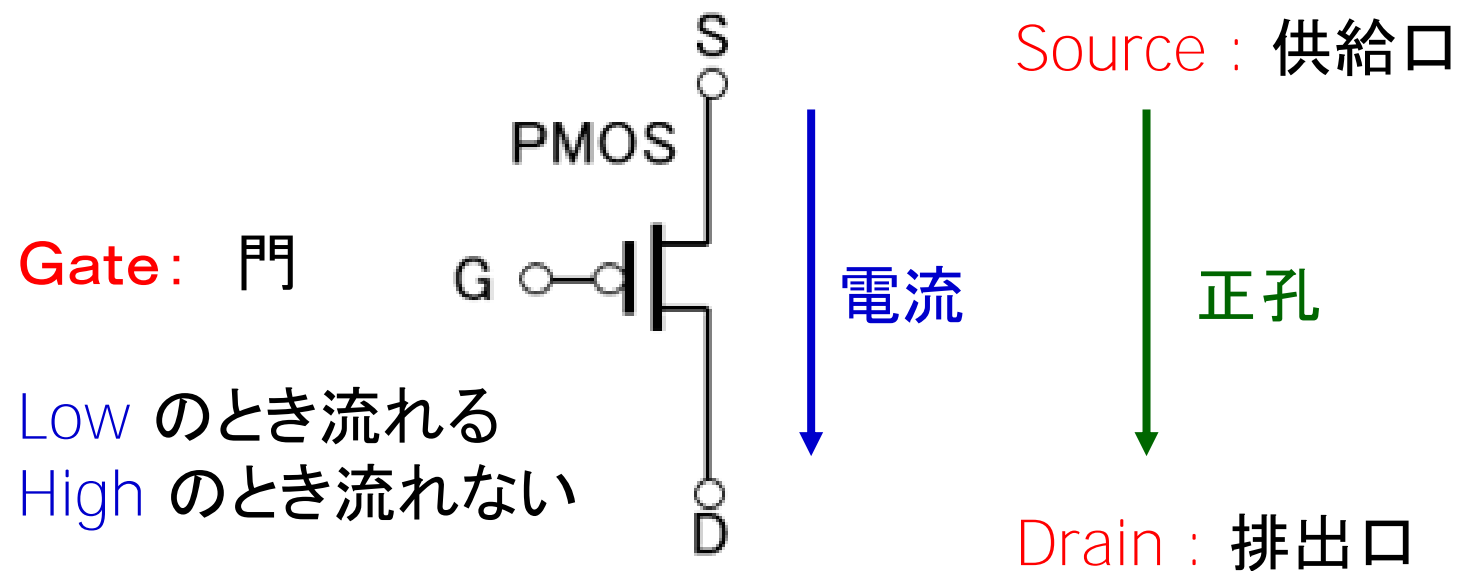
電気の運び手が電子 (electron)

飽和領域: $I_d = \beta_n (W / L) (V_{gs} - V_{th})^2$



PMOS動作

電気の運び手が**正孔** (hole) ²
飽和領域: $I_d = \beta_p (W / L) (V_{sg} - |V_{thp}|)^2$



NMOS と PMOS の比較

NMOS: 電気の運び手が電子 (electron)
飽和領域: $I_d = \beta_n (W / L) (V_{gs} - V_{th})^2$

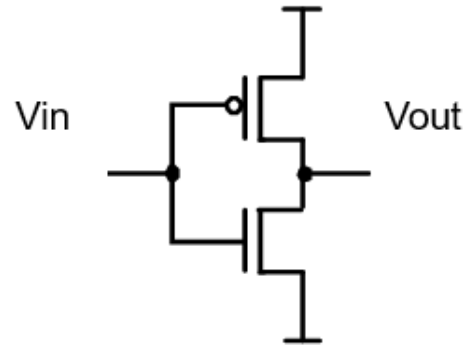
PMOS: 電気の運び手が正孔 (hole)
飽和領域: $I_d = \beta_p (W / L) (V_{sg} - |V_{thp}|)^2$

$$\beta_n / \beta_p = 2 \sim 3$$

同じサイズ (W, L), 電圧のとき
NMOS が PMOS より 2-3 倍の電流が流れる。

NMOS のほうが特性良し

NMOSとPMOS のトランジスタサイズ



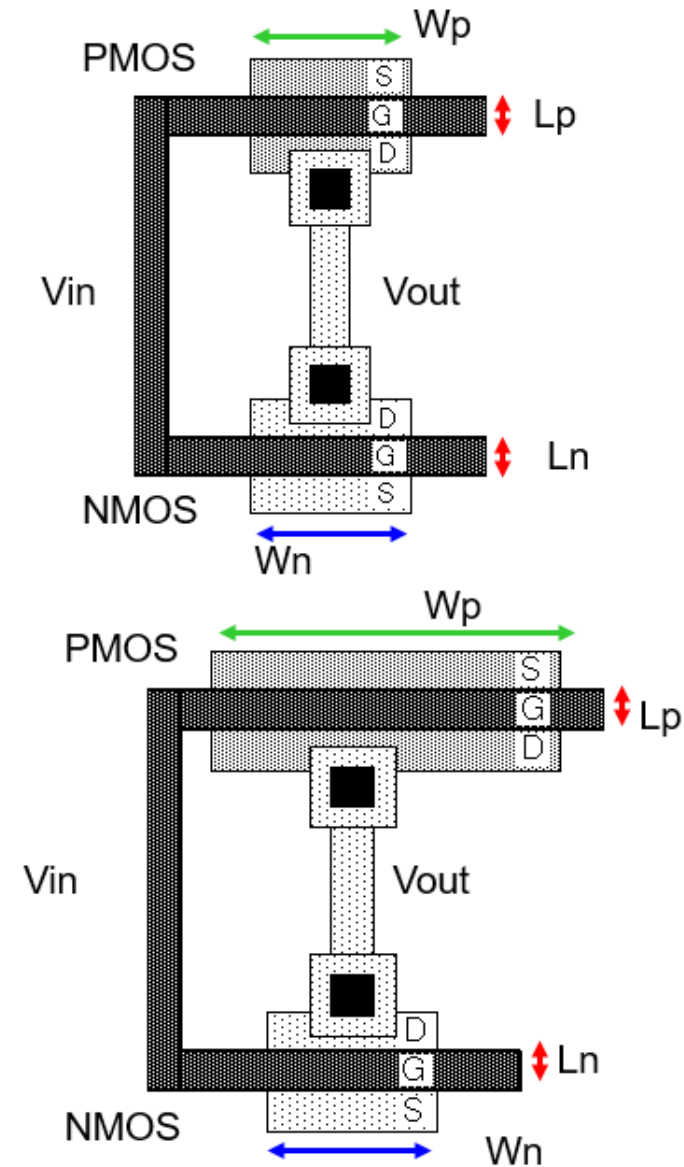
Inverter:

$$\frac{W_p}{L_p} \doteq 2 \cdot \frac{W_n}{L_n}$$

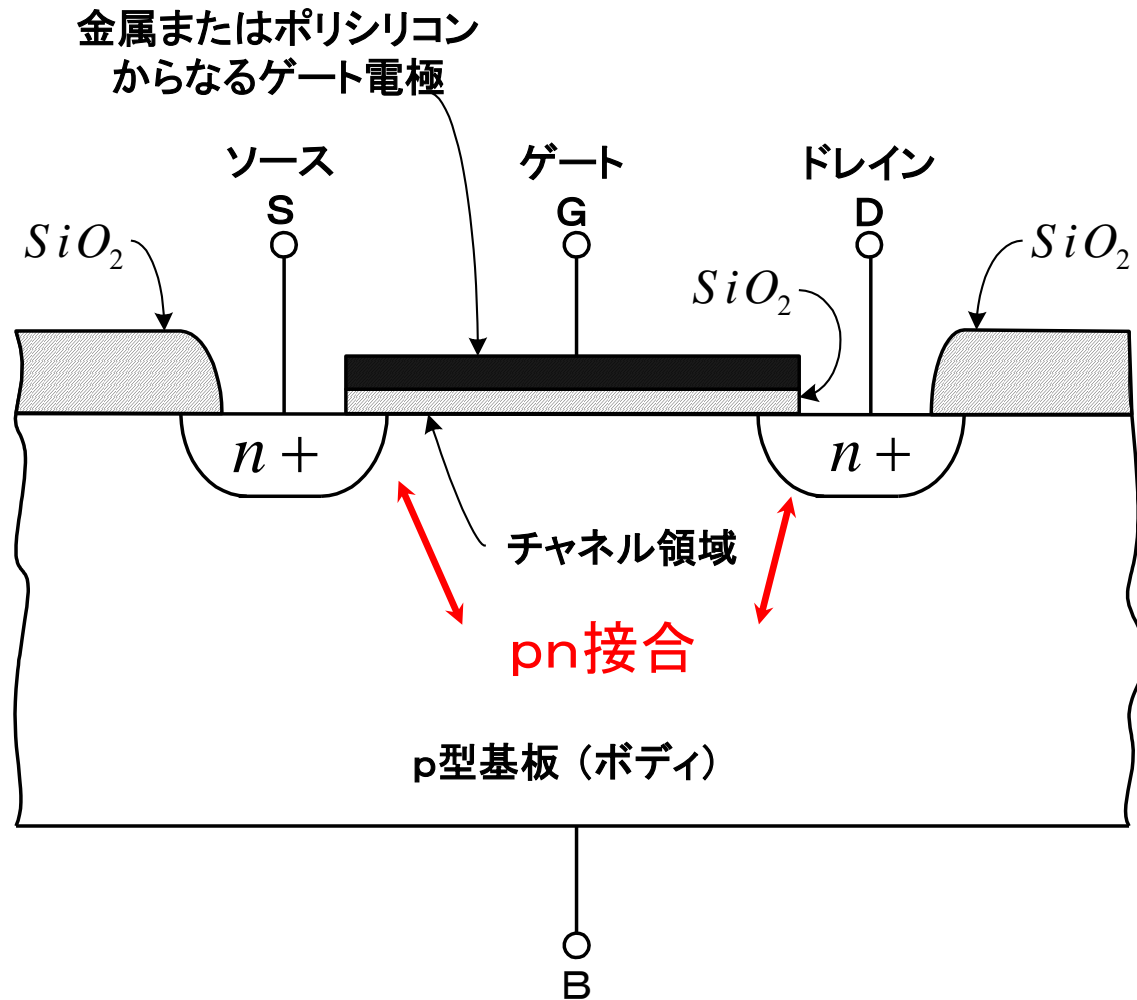
とPMOSの $\frac{W_p}{L_p}$ を

NMOSの $\frac{W_n}{L_n}$ より2-3倍

程度大きくすることあり



MOSデバイス



NMOSの構造

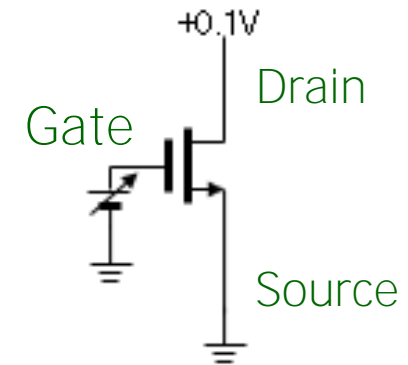
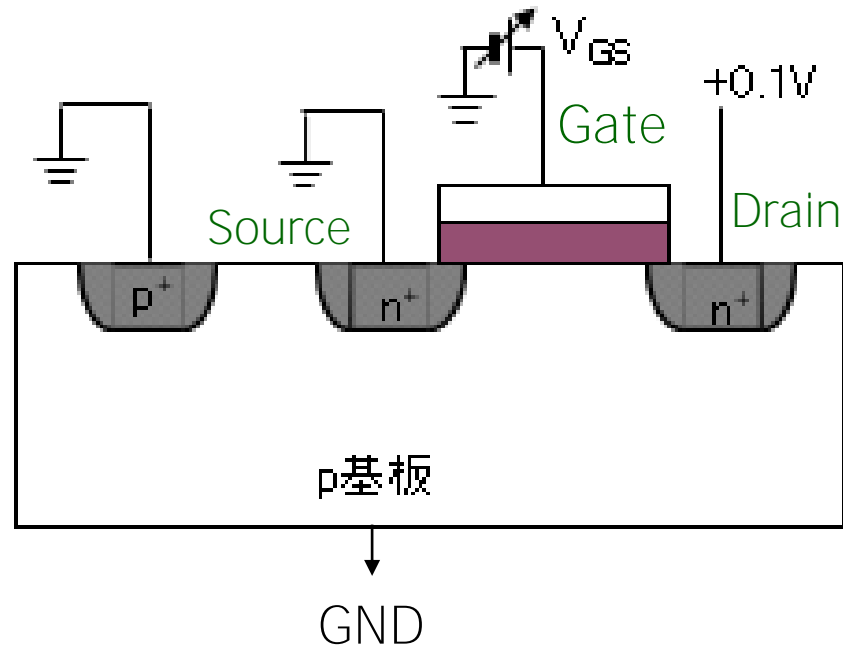
$V_{GS}=0$ の時、ソースとドレインは
pn接合により分離



ソース-ドレイン間に
大きな抵抗 ($10^{12} \Omega$)

NMOS トランジスタの電流生成

$$V_{GS} = 0$$

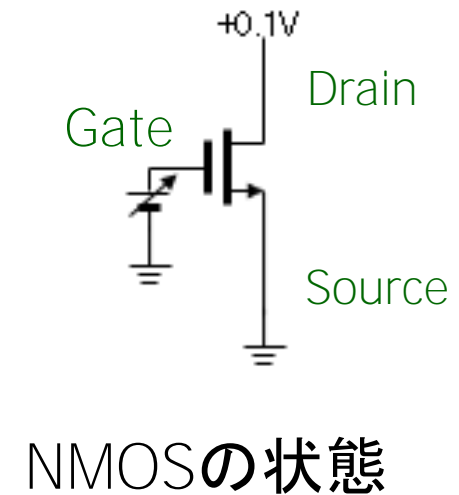
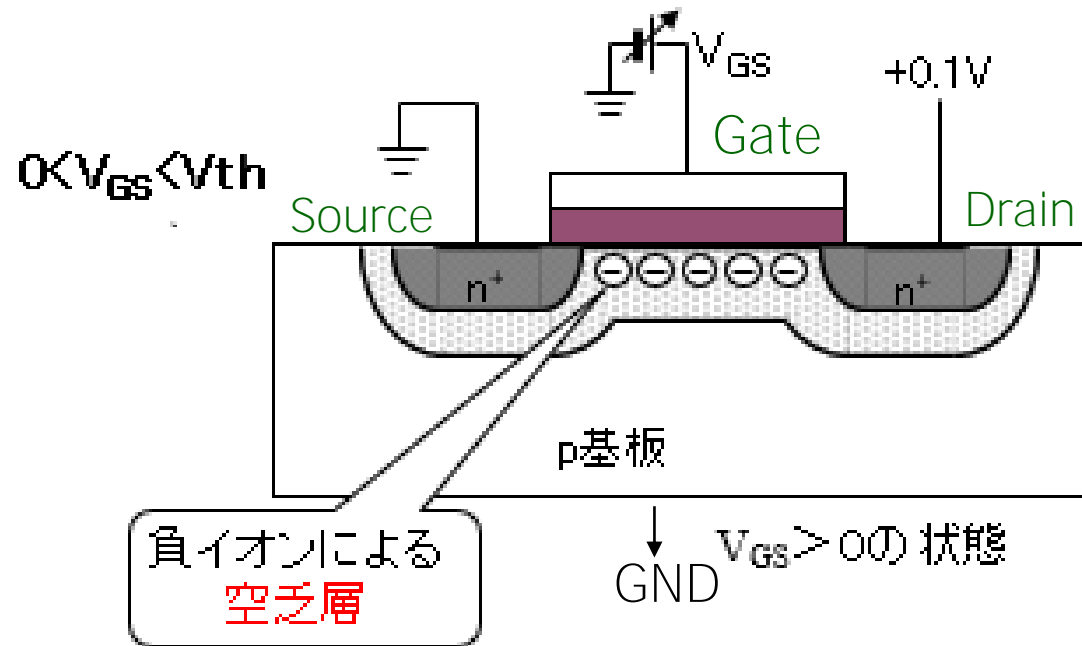


NMOSの状態

NMOSのゲート電がゼロ $V_{GS} = 0$
ドレイン・ソース間に電流流れない

NMOS トランジスタの電流生成

$$0 < V_{GS} < V_{th}$$



V_{gs}を徐々に上げる。

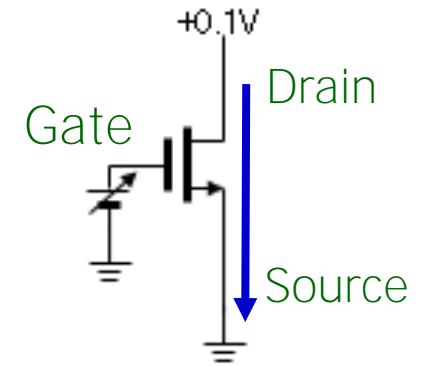
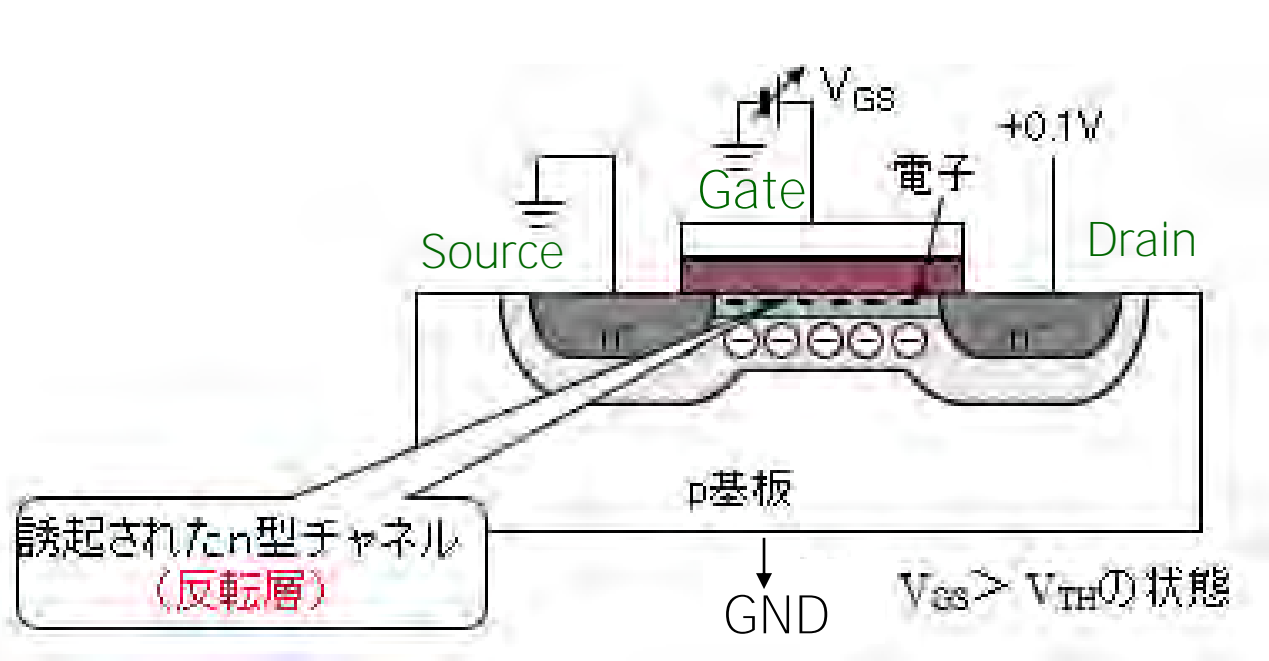
ゲート・基板間がキャパシタ構造

➡ 酸化膜の下に負イオンが蓄積 **空乏層**

ドレイン・ソース間に電圧を印加しても電流は流れない。

NMOS トランジスタの電流生成

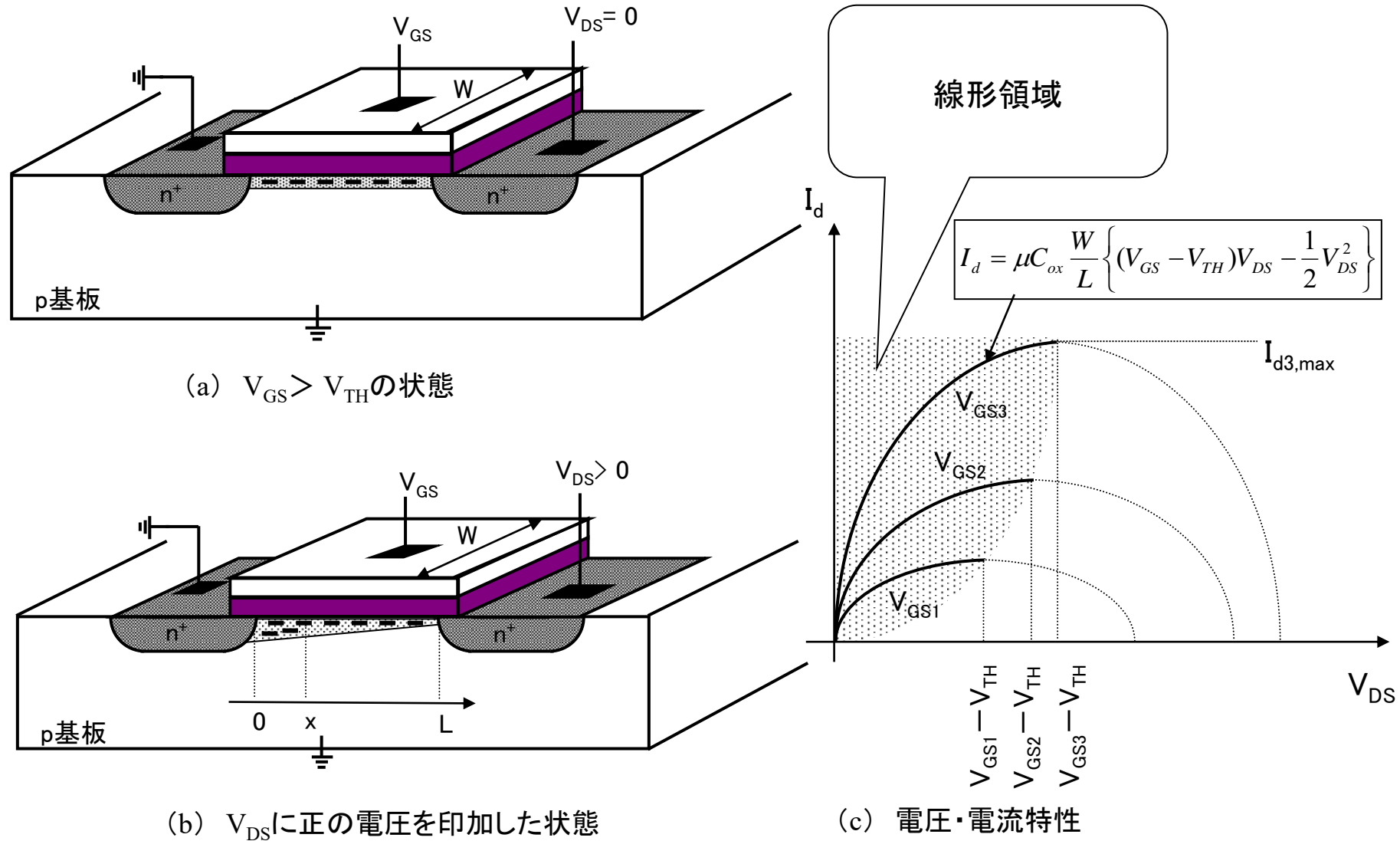
$$V_{th} < V_{GS}$$



NMOSの状態

さらに V_{GS} 電圧を上げる。
 空乏層と酸化膜の間にチャネル(反転層)が生成。
 チャネルができ始める電圧: V_{th} (しきい電圧)
 ドレイン・ソース間に電圧を印加すると電流が流れる。

線形領域での電圧・電流特性



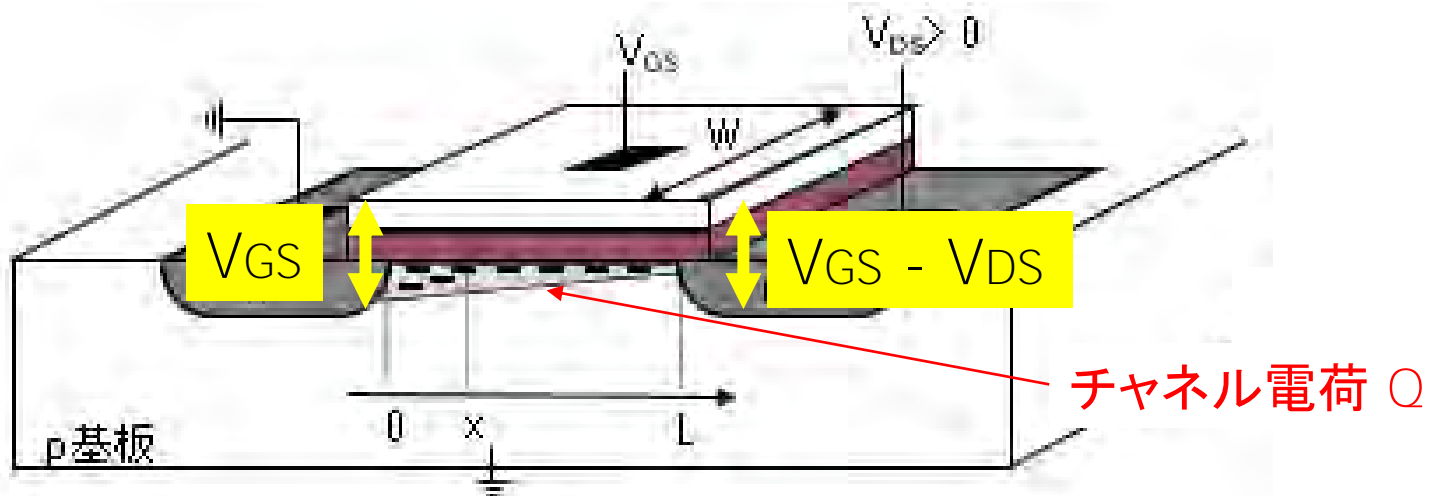
線形領域でのNMOSドレイン電流式導出

チャネル電荷 $Q = \frac{1}{2} C [(V_{GS} - V_{th}) + (V_{GS} - V_{DS} - V_{th})]$
 $= C [(V_{GS} - V_{th}) - (1/2) V_{DS}]$

容量 $C = C_{ox} W$ C_{ox} : 単位W当たりのゲート酸化膜容量

電界 $E = V_{DS}/L$

電流 $I = \mu_n Q E$ μ_n : 電子の移動度
 $= \mu_n C_{ox} (W/L) [(V_{GS} - V_{th}) V_{DS} - (1/2) V_{DS}^2]$



線形領域での電圧・電流特性

(1) チャンネルができる適当な V_{GS} を印加した状態ではチャンネル内の電荷は次式のようになる。

$$Q = CV$$

本構造では、反転層が $V_{GS} = V_{TH}$ から生じ、
電荷は $(V_{GS} - V_{TH})$ に比例。

従って、単位 W 当りの容量を C_{ox} とすると、

$$Q_d = WC_{ox}(V_{GS} - V_{TH})$$

(2) この状態で同図(b)のように V_{DS} を印加すると、反転層電荷が X に比例して変化するため、

x での電位および電荷密度を V_x および Q_{dx} とすると、

$$Q_{dx} = WC_{ox}(V_{GS} - V_x - V_{TH})$$

一方、電流 I は一般的に

$$I = \frac{dQ}{dt} = \frac{dQ}{dx} \cdot \frac{dx}{dt} = Q_{dx}v$$

ここで、 v はキャリアの移動速度。

移動度を μ 、電界強度を E とすると、 $v = \mu E$ 、

従って、電荷が負であることを加味すると、

$$\begin{aligned} I_d &= -Q_{dx}v = -WC_{ox}(V_{GS} - V_x - V_{TH})v \\ &= -WC_{ox}(V_{GS} - V_x - V_{TH})\mu \frac{dV_x}{dx} \end{aligned}$$

$$\therefore \int_0^L I_d dx = \mu WC_{ox}(V_{GS} - V_x - V_{TH})dV_x$$

電流はどこでも同じな ので、

$$I_d = \mu C_{ox} \frac{W}{L} \left\{ (V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2 \right\}$$

(3) 上図(c)に I_d と V_{DS} の関係を図示した。特性は放物線を形成し、その頂点は $V_{DS} = V_{GS} - V_{TH}$ において、

$$I_d = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$$

となる。

この放物線は V_{GS} の上昇で上昇する。
この領域を線形領域と呼ぶ。

MOSトランジスタの線形領域(1)

$V_{gs} > V_{th}$, $V_{ds} < V_{gs} - V_{th}$ のとき

$I_d = K (V_{gs} - V_{th}) V_{ds}$ ならば

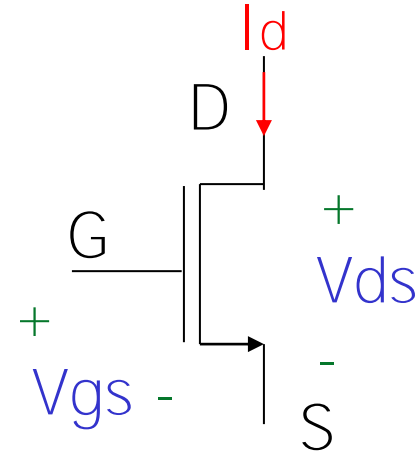
I_d と V_{ds} は比例。すなわち MOS は

抵抗値 $R = \frac{1}{K (V_{gs} - V_{th})}$

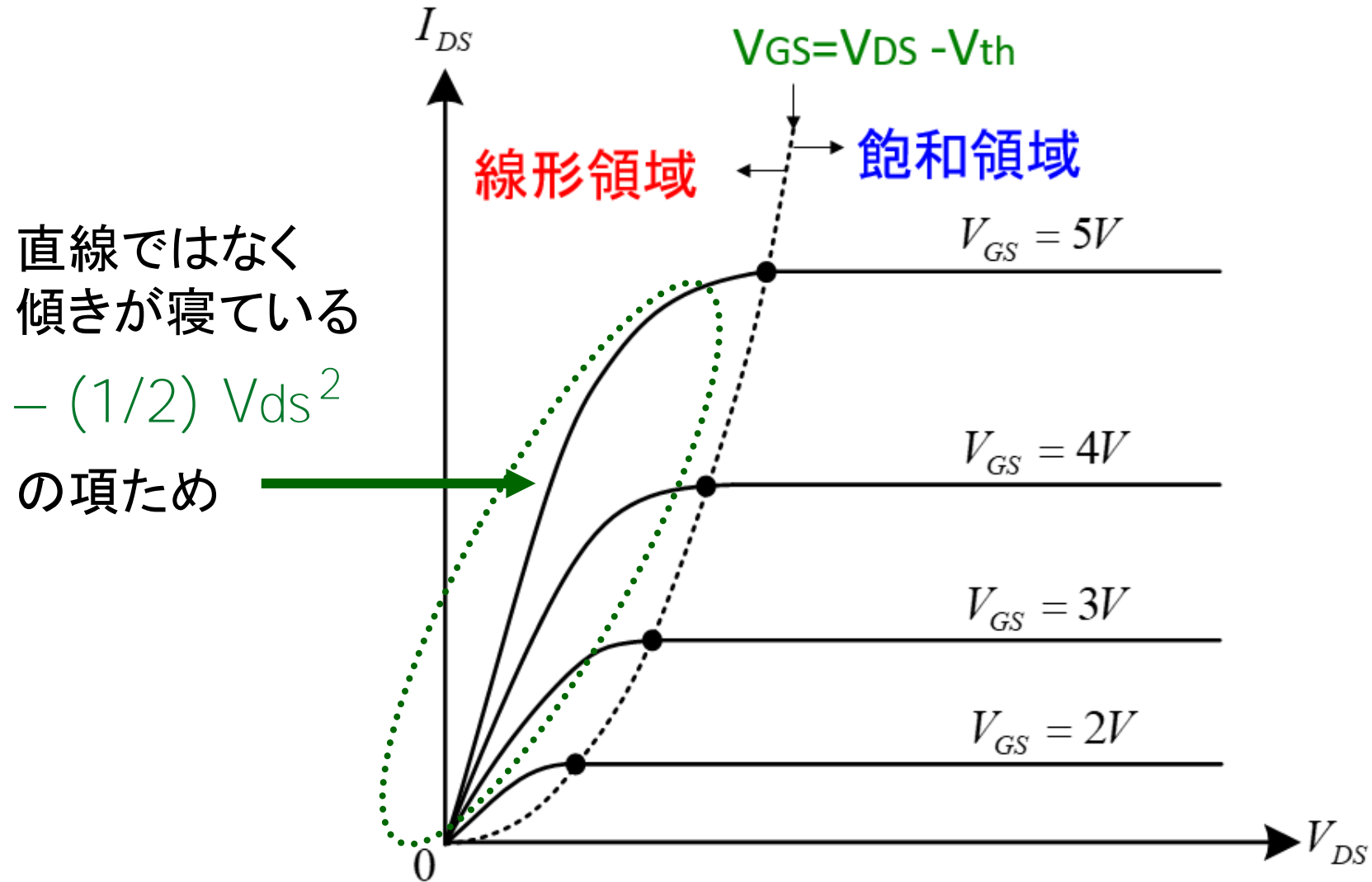
のデバイスとなる。(V_{gs} を変化させることで可変抵抗になる。)

実際は

$$I_d = 2\beta_n (W / L) [(V_{gs} - V_{th}) V_{ds} - \underbrace{(1/2) V_{ds}^2}_{\text{この項あり。}}]$$



MOSトランジスタの線形領域(2)



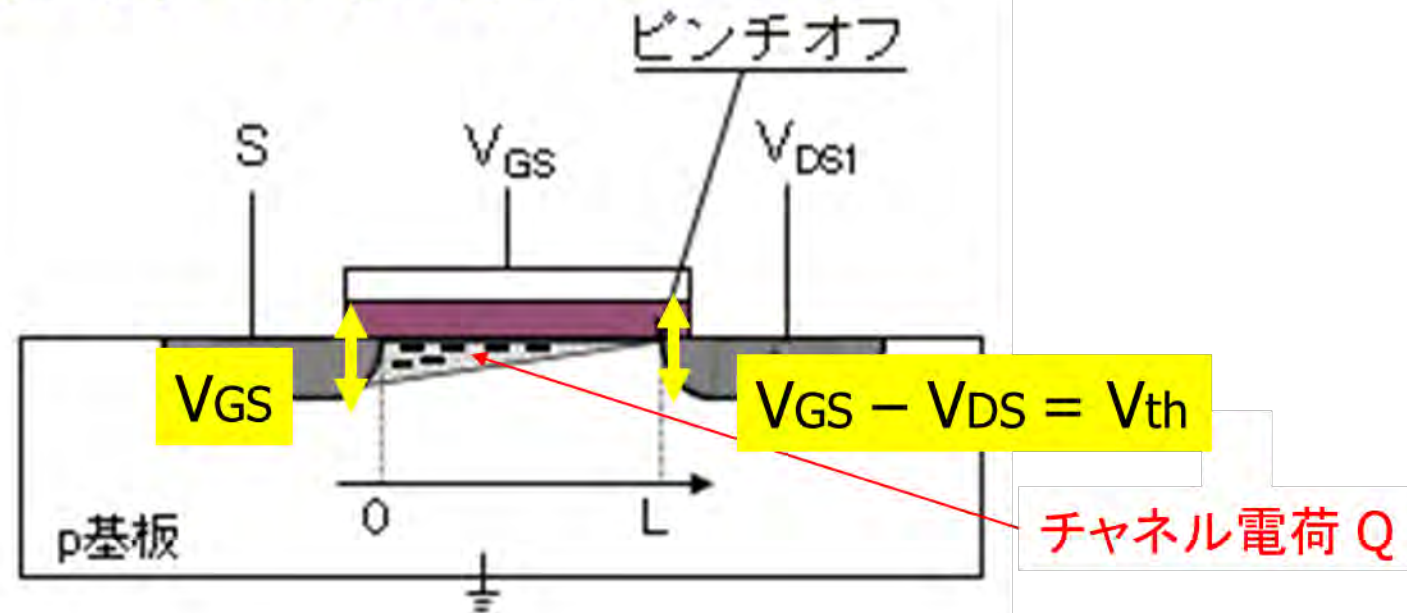
ドレイン端でピンチオフ

$$V_{DS} = V_{GS} - V_{th}$$

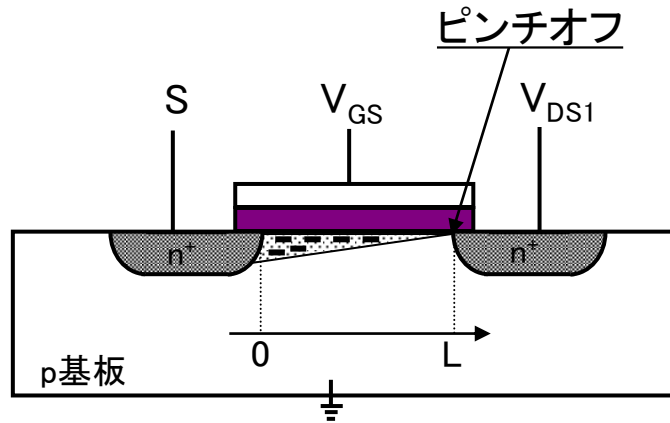
$$I = \mu_n C_{ox} (W/L) [(V_{GS} - V_{th}) V_{DS} - (1/2) V_{DS}^2]$$

$V_{DS} = V_{GS} - V_{th}$ のとき

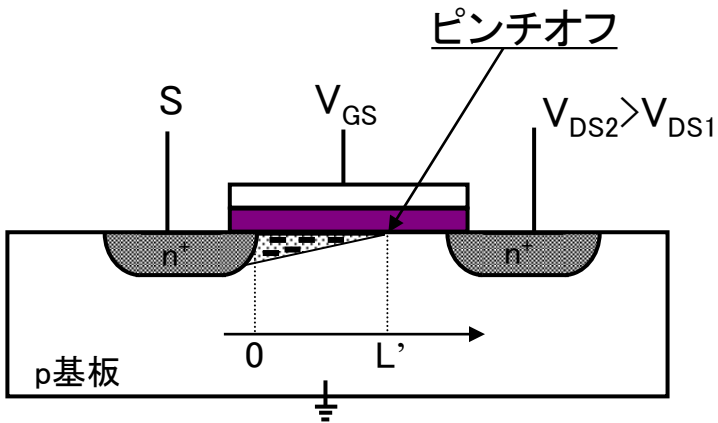
$$I = (1/2) \mu_n C_{ox} (W/L) (V_{GS} - V_{th})^2$$



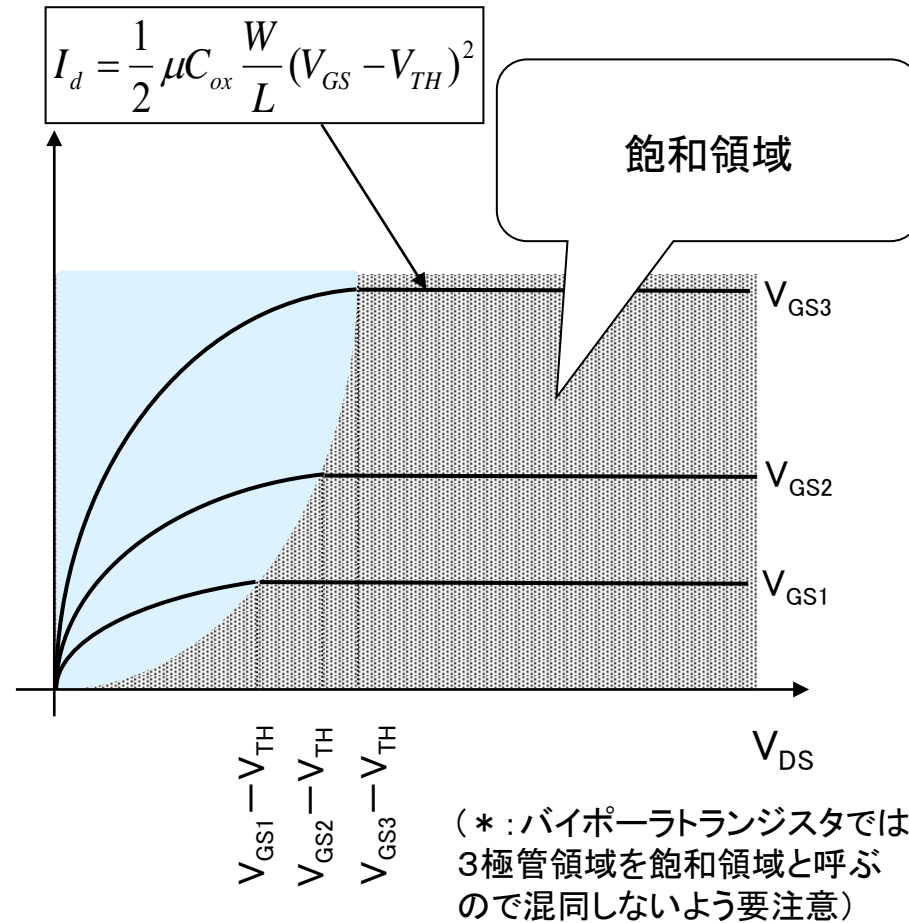
飽和領域での電圧・電流特性



(a) $V_{DS1} > V_{GS} - V_{TH}$ 状態



(b) $V_{DS2} > V_{DS1}$ 状態



(c) MOSTランジスタの電圧・電流特性

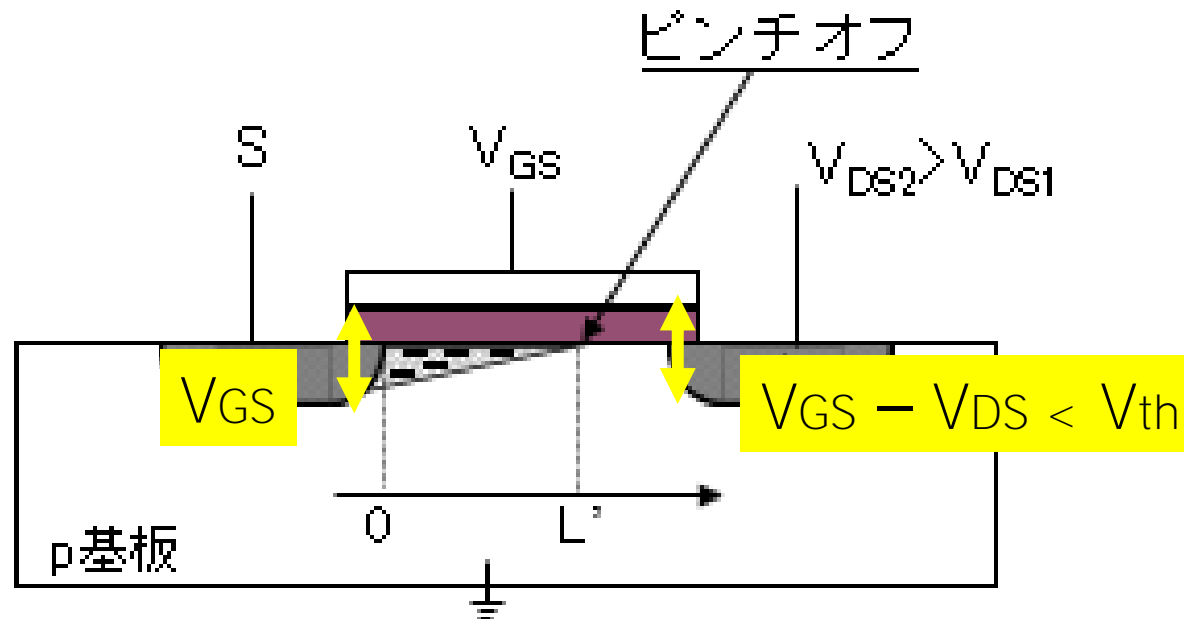
さらに V_{DS} を大きく

$$V_{DS} > V_{GS} - V_{th}$$

$$I = \mu_n C_{ox} (W/L) [(V_{GS} - V_{th}) V_{DS} - (1/2) V_{DS}^2]$$

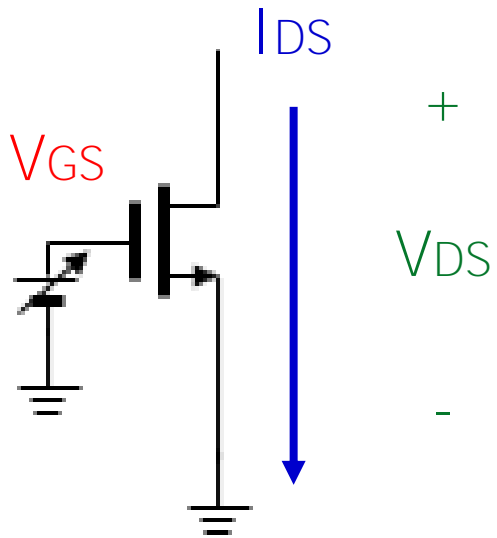
$V_{DS} > V_{GS} - V_{th}$ のときも

$$I = (1/2) \mu_n C_{ox} (W/L) (V_{GS} - V_{th})^2$$



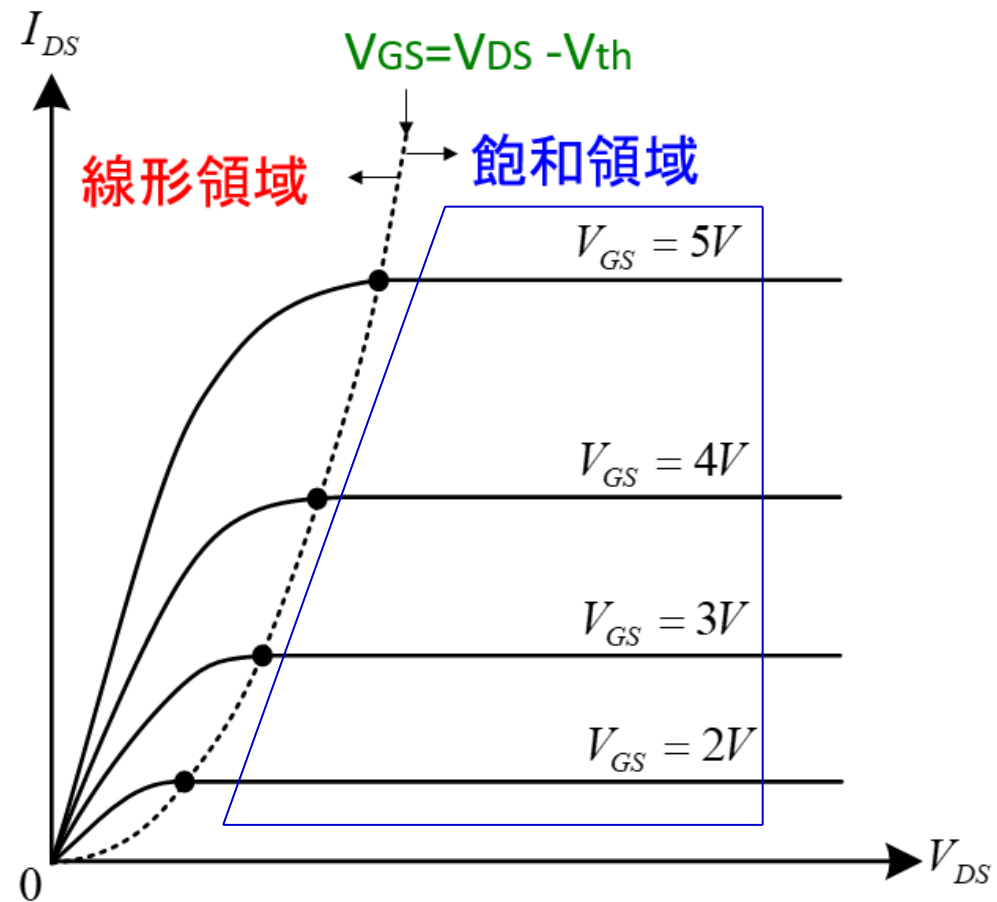
MOSトランジスタの飽和領域 (1)

電流源として使用



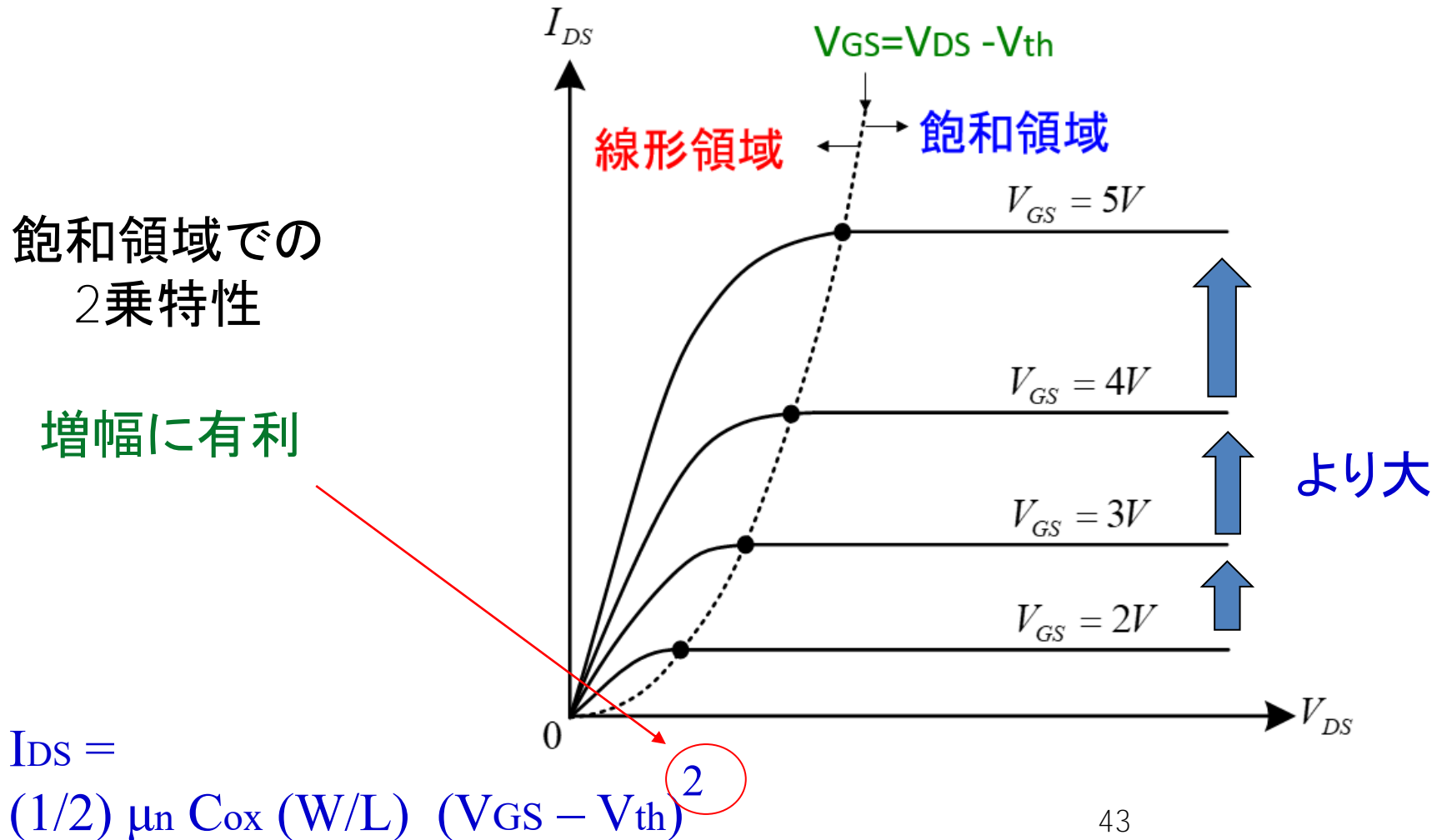
電圧 V_{DS} にかかわらず
一定電流 I_{DS}

I_{DS} の値は V_{GS} で制御可



MOSトランジスタの飽和領域 (2)

- 増幅回路として使用



飽和領域の電圧・電流特性

$V_{DS} \geq V_{GS} - V_{TH}$ を越えると、
ゲート・ドレイン間の電位差が V_{TH} 以下になるため、
ドレイン近傍でチャネルを形成できなくなる。
この状態を ピンチオフ と呼ぶ。

この状態で、さらに V_{ds} をあげても電流は変化せず一定となる。
電流は次式で表される。

$$I_d = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$$

この領域を **飽和領域** と呼ぶ。

より正確には

さらに V_{DS} を大きく

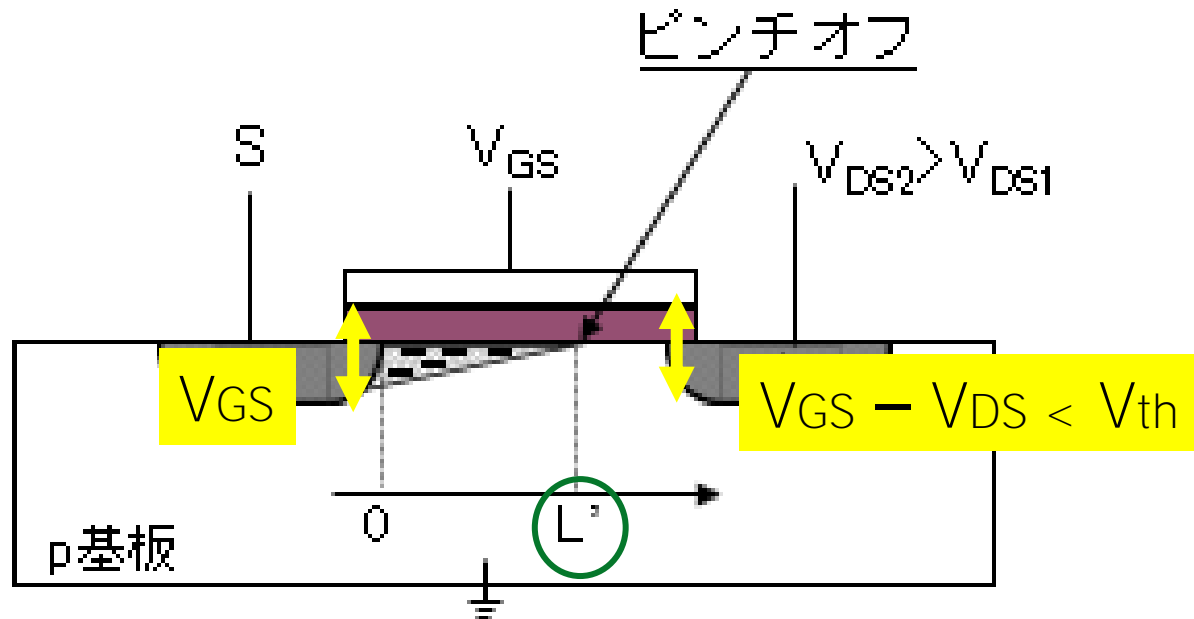
$$V_{DS} > V_{GS} - V_{th}$$

$$I = \mu_n C_{ox} (W/L) [(V_{GS} - V_{th}) V_{DS} - (1/2) V_{DS}^2]$$

 $V_{DS} > V_{GS} - V_{th}$ のときも

$$I = (1/2) \mu_n C_{ox} (W/L') (V_{GS} - V_{th})^2$$

ピンチオフ



チャンネル長変調効果

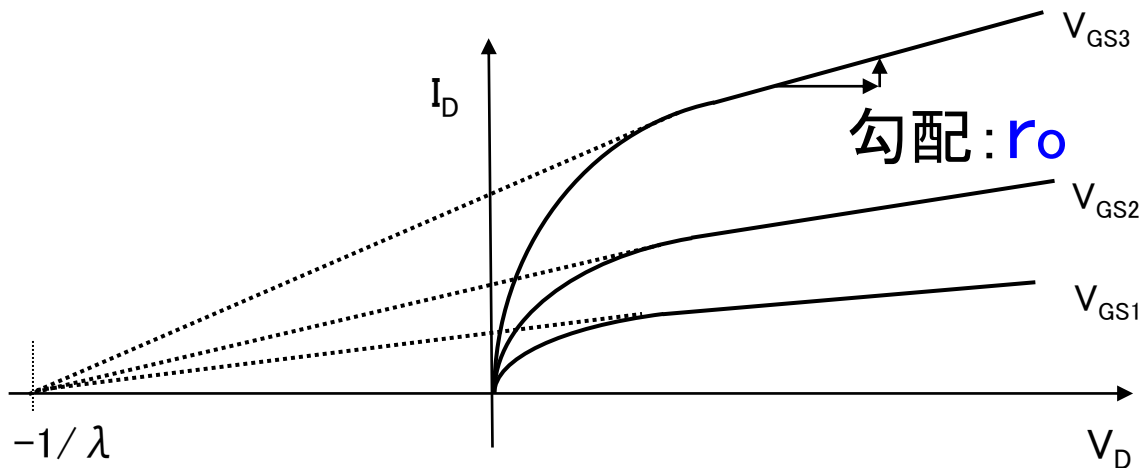
$$L' < L$$

飽和領域でも

 V_{DS} 増加 I_{DS} 増加

チャンネル長変調効果

実際は飽和領域で V_{DS} 大 \Rightarrow ドレイン電流 大



チャンネル長 L は V_D の増大で短くなり、 $L' = L - \Delta L$

$$I_d = \frac{1}{2} \mu C_{ox} \frac{W}{L'} (V_{GS} - V_{TH})^2 \approx \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \left(1 + \frac{\Delta L}{L}\right)$$

$$= \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_D)$$

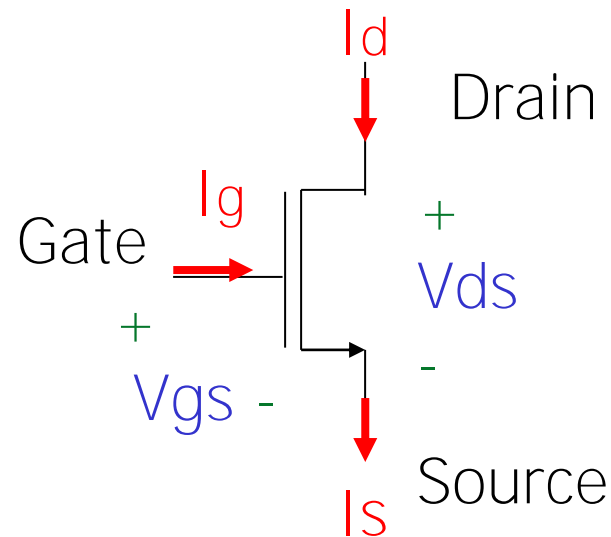
勾配 $\partial I_d / \partial V_D$ は

$$\frac{\partial I_d}{\partial V_D} \propto \frac{\lambda}{L} \propto \frac{1}{L^2}$$

チャンネル長 L が2倍になると傾きは1/4

NMOSのレイアウト

回路図

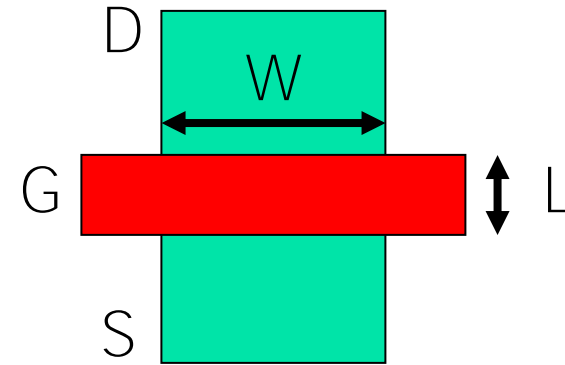


- ゲート電流 $I_g = 0$

$$I_g = 0$$

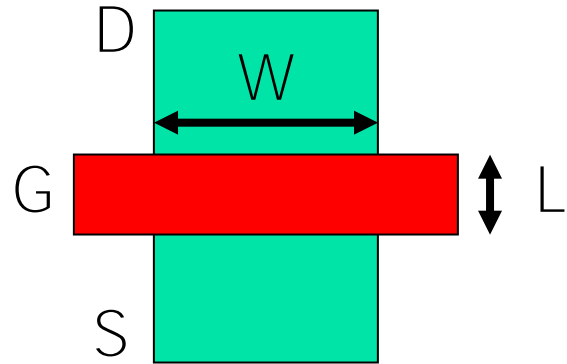
$$I_d = I_s$$

チップ上レイアウト



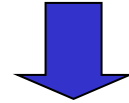
W: チャンネル幅
L: チャンネル長

NMOSのチャネル長



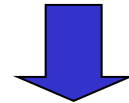
W: チャネル幅
L: チャネル長

MOSTランジスタの微細化



チャネル長 L の微細化
微細化されれば高速・低消費電力

0.18 μm CMOS プロセス

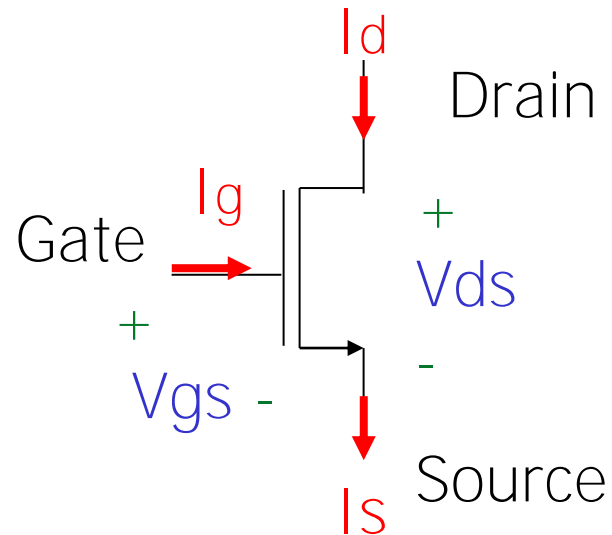


$L=0.18\mu\text{m}$ のこと

65nm, 45nm... CMOS プロセスが開発されている
莫大な設備投資が必要。

最近 “2ナノメートルランジスタ”
の報道を目にするが $L=2\text{nm}$ のこと

NMOSのスレッショルド電圧



NMOS は

Gate が High であればON

Gate が Low であればOFF



より正確には

$V_{gs} > V_{th}$ であればON

$V_{gs} < V_{th}$ であればOFF

V_{th} : スレショルド電圧、
0.3V ~ 0.5V程度

「物理定数」ではない。
作成プロセス時に調整可能

NMOSトランジスタ 大電流特性

3つの動作領域

オン領域

- 飽和領域

$$(V_{gs} > V_{th}, \quad V_{ds} > V_{gs} - V_{th})$$

$$I_d = \beta_n (W / L) (V_{gs} - V_{th})^2$$

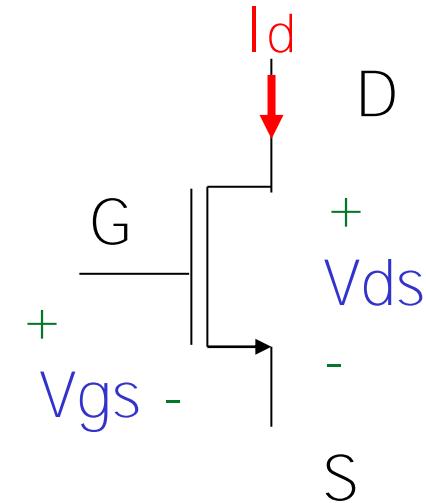
- 線形領域

$$(V_{gs} > V_{th}, \quad V_{ds} < V_{gs} - V_{th})$$

$$I_d = 2\beta_n (W / L) \times [(V_{gs} - V_{th}) V_{ds} - (1/2) V_{ds}^2]$$

- オフ領域 ($V_{gs} < V_{th}$)

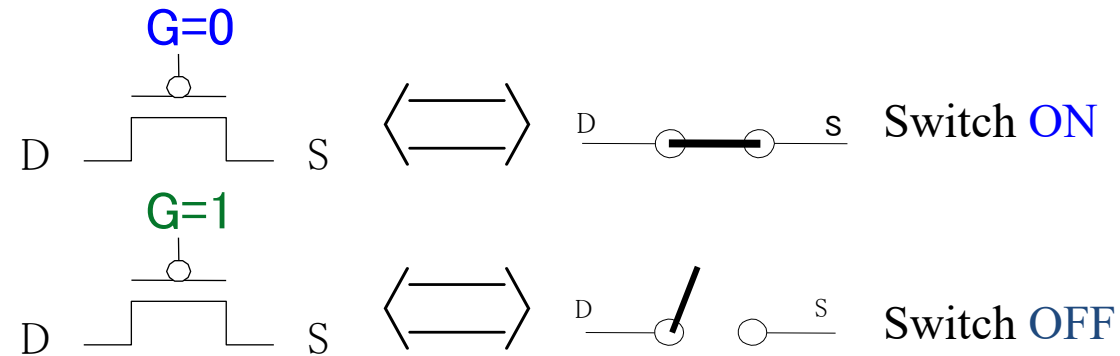
$$I_d = 0$$



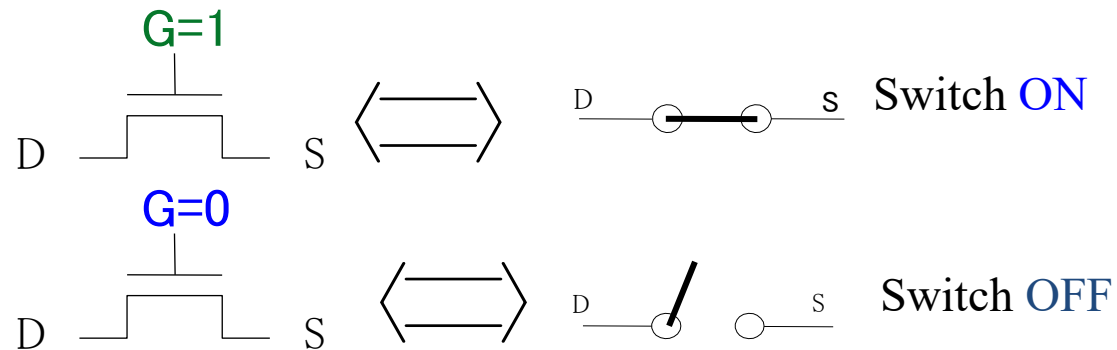
1.3 MOSトランジスタの スイッチ機能と信号増幅機能

スイッチ機能とデジタル回路

(1) PMOS



(2) NMOS



電源回路のパワー回路部でもスイッチとして利用

信号増幅機能とアナログ回路

飽和領域

$$I_{DS} = K(V_{GS} - V_{th})^2$$

この“2乗”が信号増幅につながる

$$\Delta I_{DS} = g_m \Delta V_{GS}$$

ΔV_{GS}

小さなゲート電圧変化

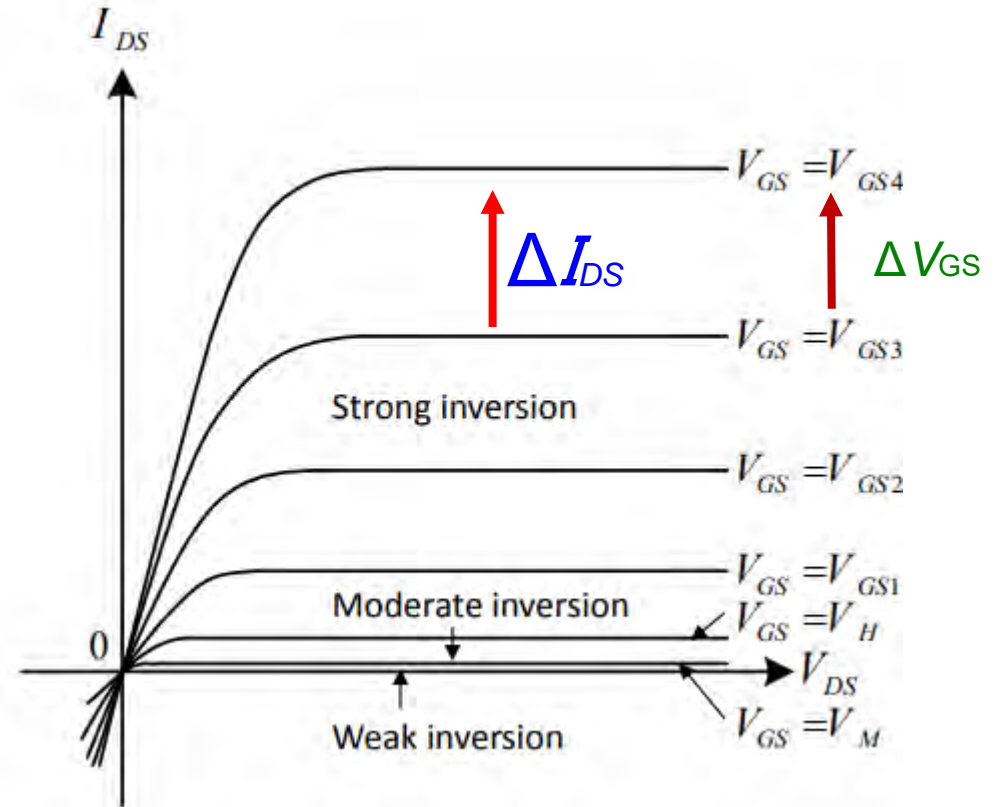


ΔI_{DS}

大きな電流変化

g_m

I_{DS} が大きいほど大きい



相互コンダクタンス

窓のカーテンを開けると部屋に太陽光が入ってくる

窓のカーテン: **ゲート**(門)

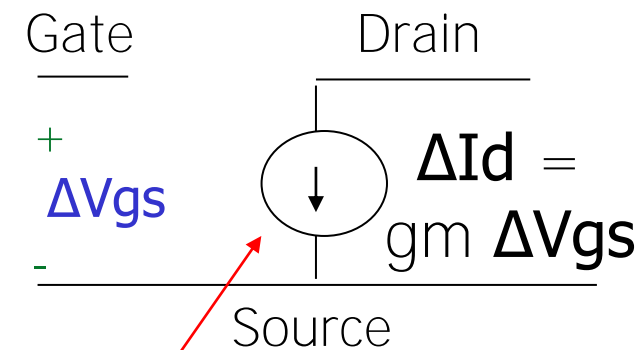
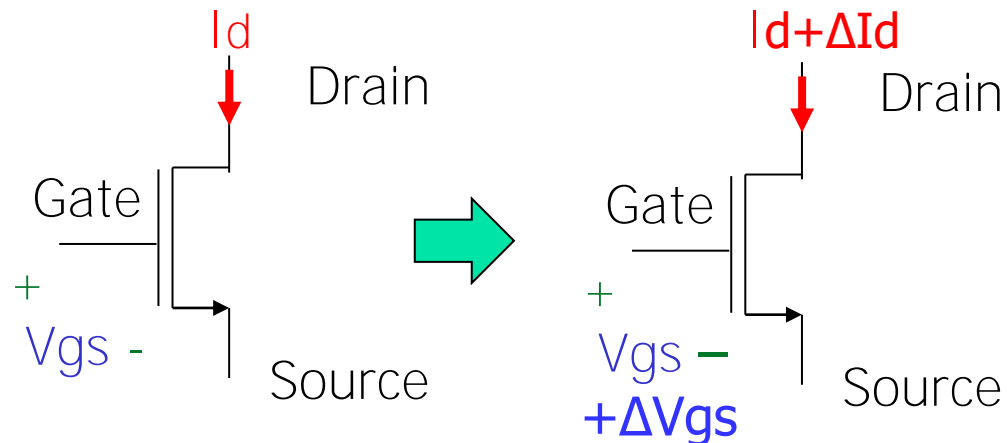
外の太陽: **ソース**(供給口)

部屋: **ドレイン**(排出口)



相互ダクタンス

$$g_m = \frac{\Delta I_d}{\Delta V_{gs}}$$



電圧制御電流源

飽和領域 相互コンダクタンス表現 1

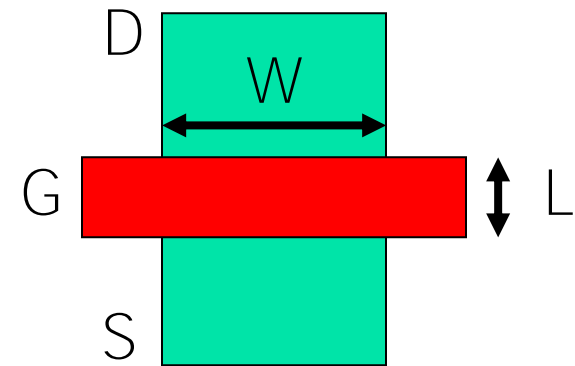
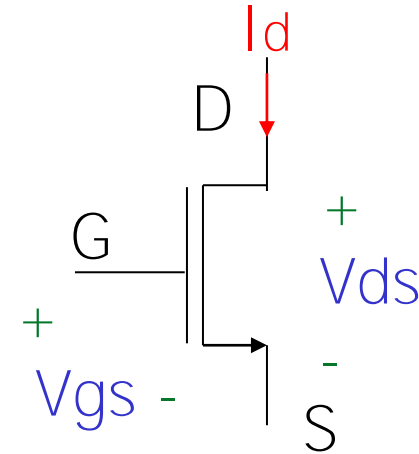
$$I_{ds} = \beta_n \cdot (W / L) (V_{gs} - V_{th})^2$$

$$g_m = \frac{\Delta I_{ds}}{\Delta V_{gs}}$$

$$= 2 \beta_n (W/L) (V_{gs} - V_{th})$$

$$= 2 \sqrt{\beta_n (W/L) I_{ds}}$$

g_m は $\sqrt{\beta_n}$, $\sqrt{W/L}$, $\sqrt{I_d}$ に比例



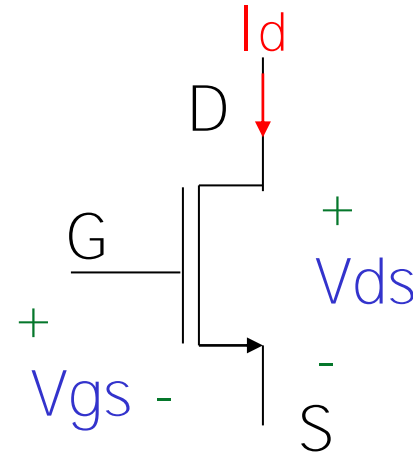
飽和領域 相互コンダクタンス表現 2

$$I_{ds} = \beta_n \cdot (W / L) (V_{gs} - V_{th})^2$$

$$g_m = \frac{\Delta I_{ds}}{\Delta V_{gs}}$$

$$= 2 \beta_n (W/L) (V_{gs} - V_{th})$$

$$= \frac{2 I_{ds}}{V_{gs} - V_{th}}$$



$V_{gs} - V_{th}$

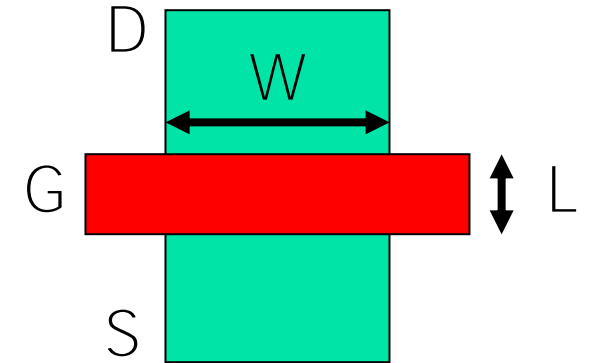
実行ゲート電圧

g_m は $V_{gs} - V_{th}$ が一定のとき I_{ds} に比例

線形領域 相互コンダクタンス

$$I_d = 2\beta_n \cdot (W / L) [(V_{gs} - V_{th}) V_{ds} - (1/2) V_{ds}^2]$$

$$\begin{aligned} g_m &= \frac{\Delta I_{ds}}{\Delta V_{gs}} \\ &= 2 \beta_n (W/L) V_{ds} \end{aligned}$$



線形領域では飽和領域に比べ g_m が小さい

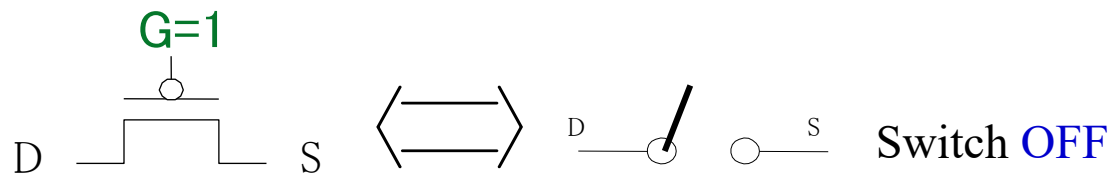
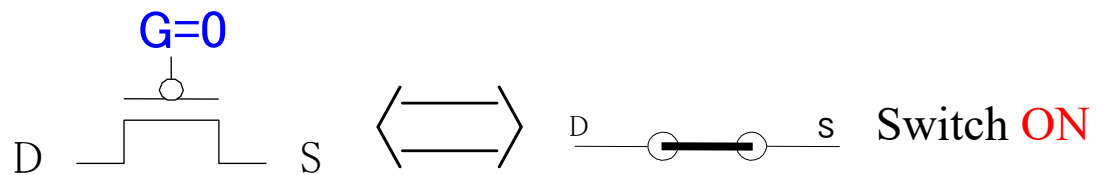
線形領域の条件: $V_{ds} < V_{gs} - V_{th}$

2. MOSトランジスタを用いた 各種の回路設計とそのポイント

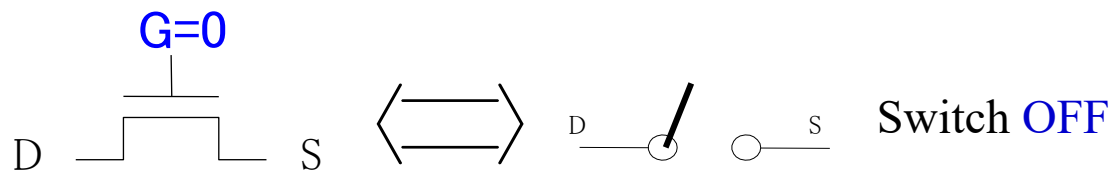
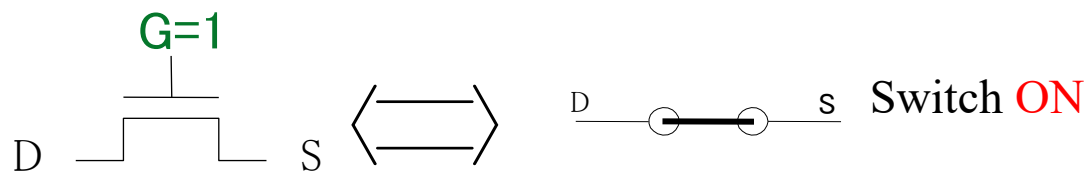
2.1 デジタルCMOS回路

PMOS, NMOS スイッチ

(1) PMOS

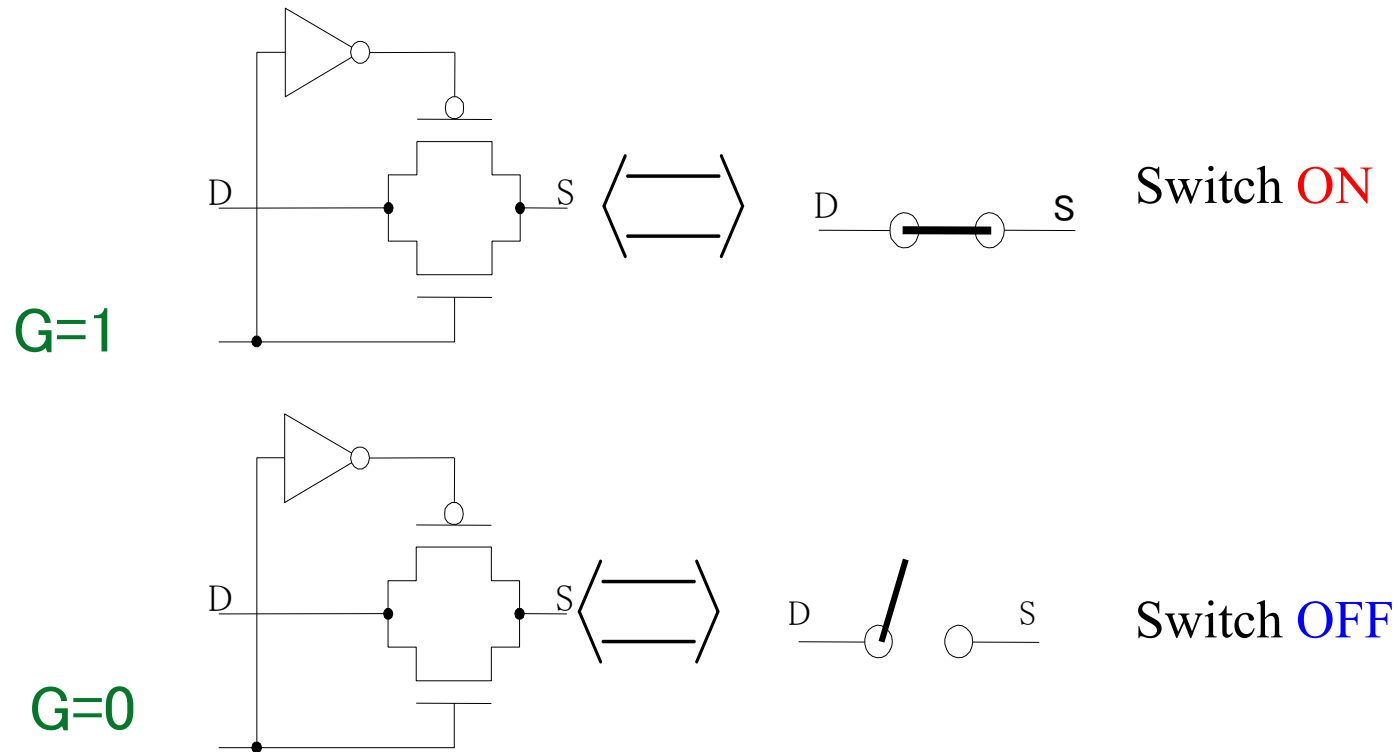


(2) NMOS



CMOS スイッチ

(3) CMOS



論理否定 (NOT)


論理変数 A, Z

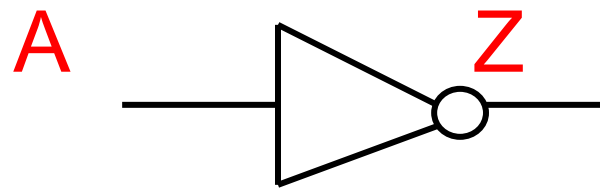
A : 入力, Z : 出力

$$Z = \overline{A}$$

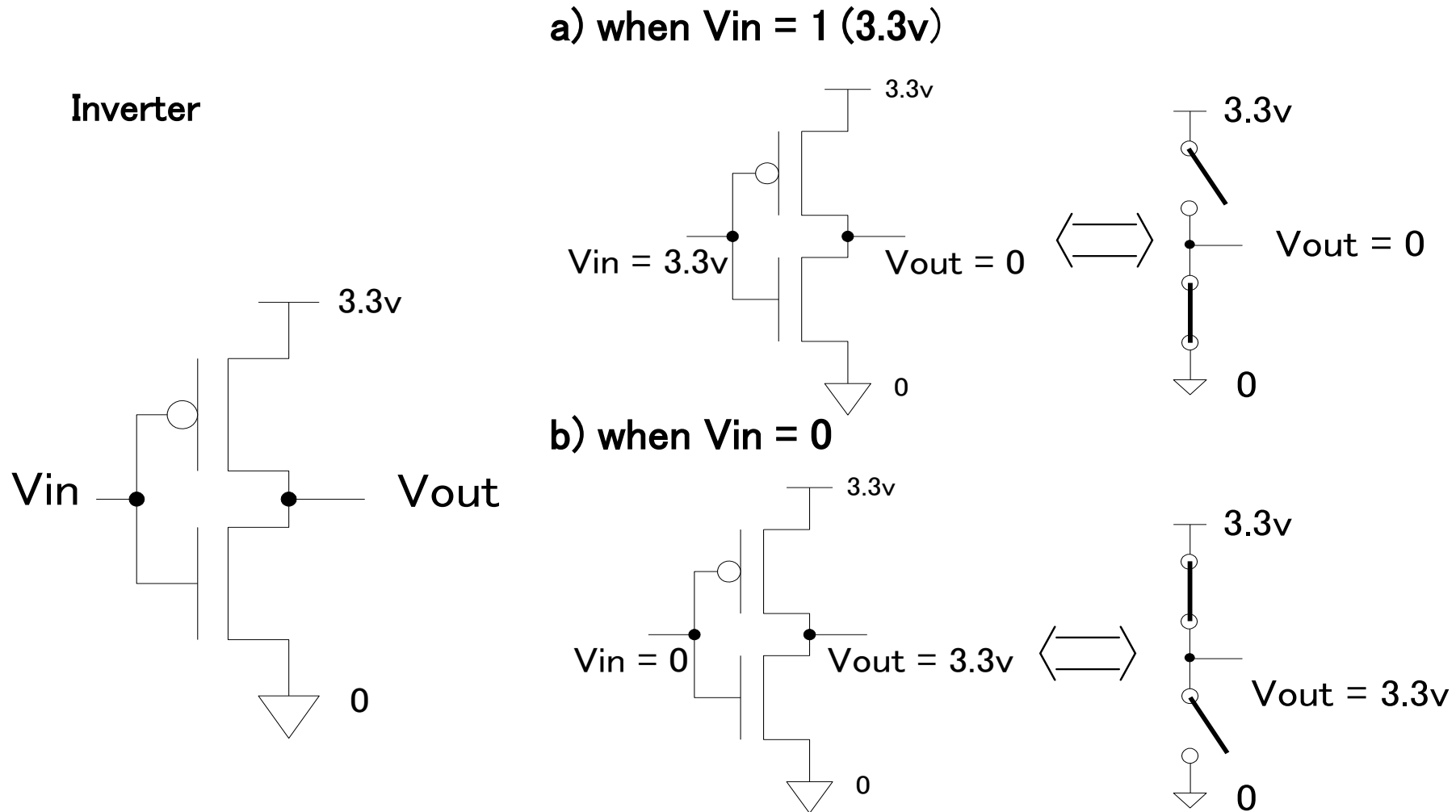
真理値表

A	Z
0	1
1	0

NOT を実現する回路  インバータ回路



CMOSインバータ回路



NAND (NAND = AND + NOT)

論理変数 A, B, Z

A, B : 入力, Z : 出力

$$Z = \overline{A \cdot B}$$

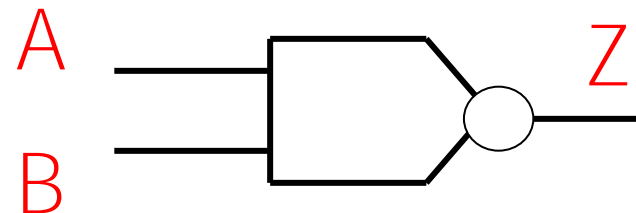
A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0

真理値表

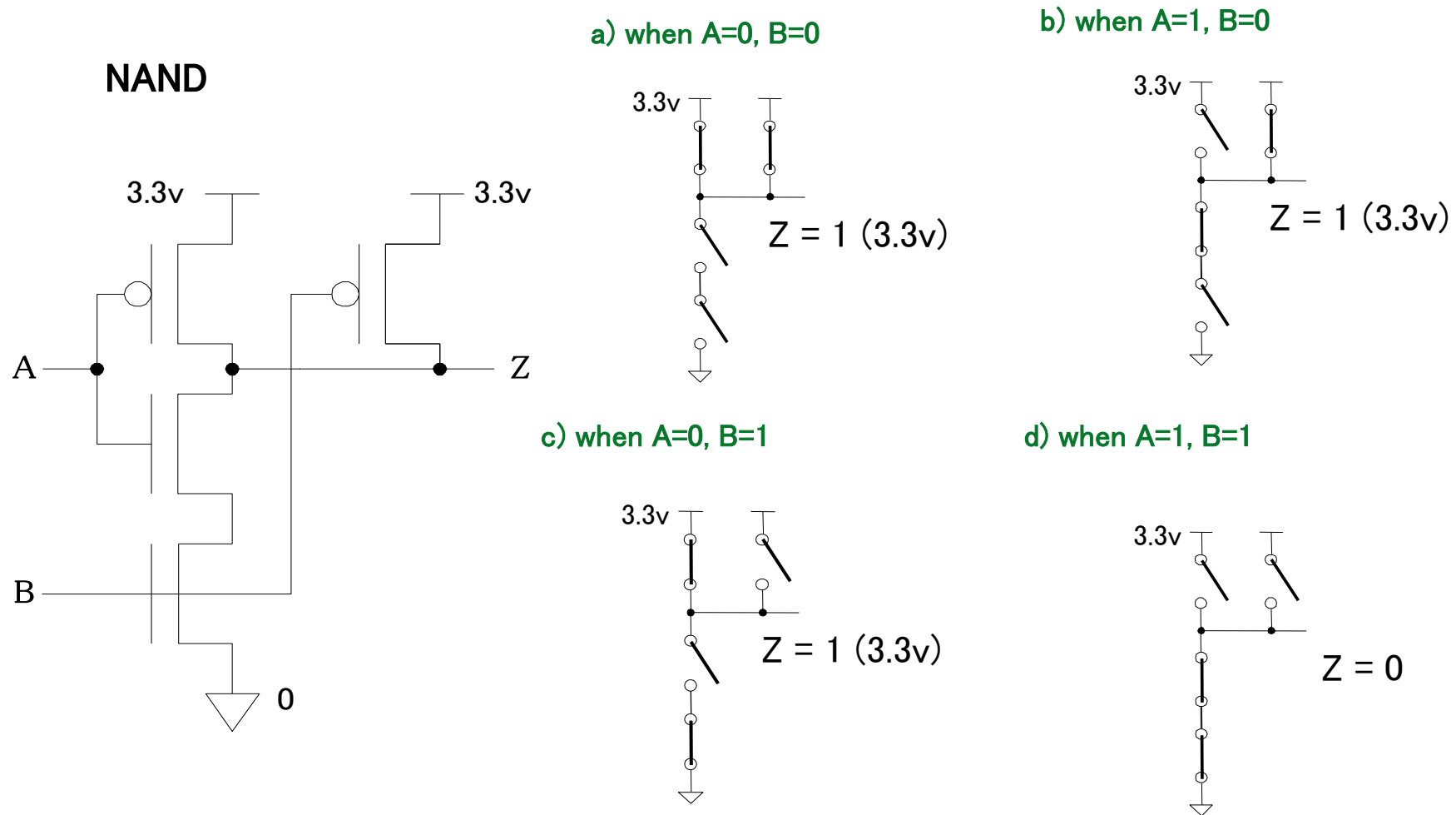
NANDを実現する回路



NAND回路



CMOS NAND回路



NOR (NOR = OR + NOT)

論理変数 A, B, Z

A, B : 入力, Z : 出力

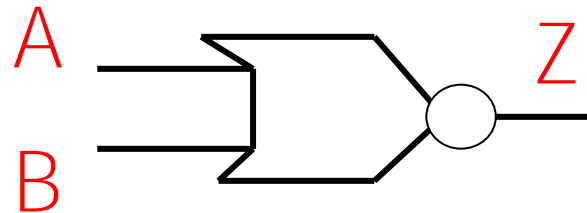
$$Z = \overline{A+B}$$

A	B	Z
0	0	1
0	1	0
1	0	0
1	1	0

真理値表

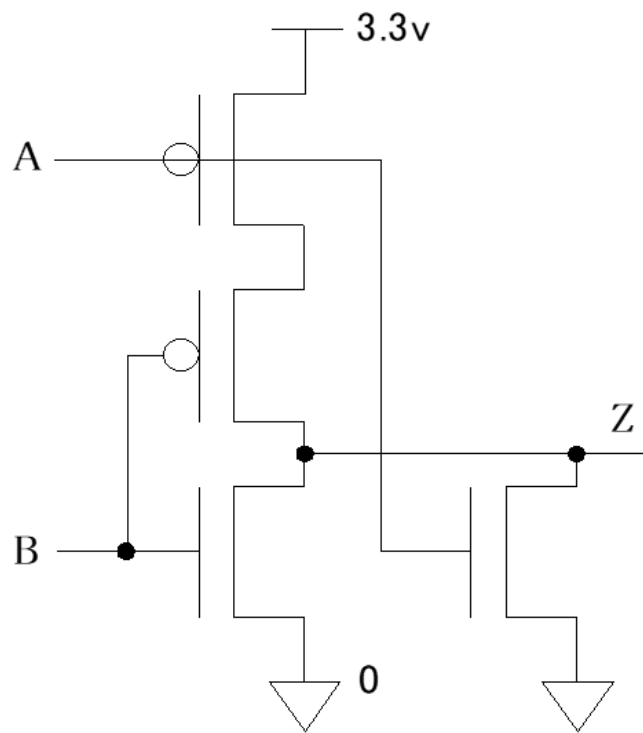
NORを実現する回路

➡ NOR回路

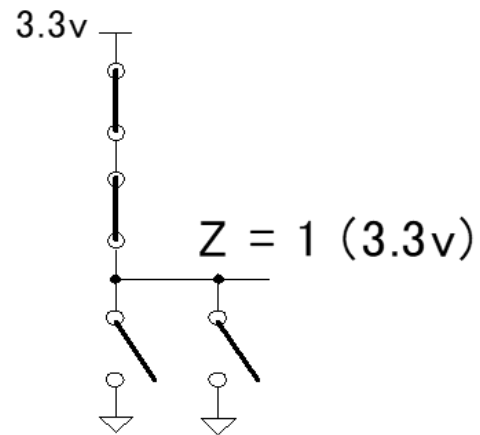


CMOS NOR回路

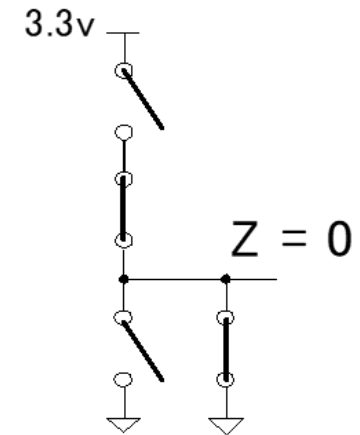
NOR回路



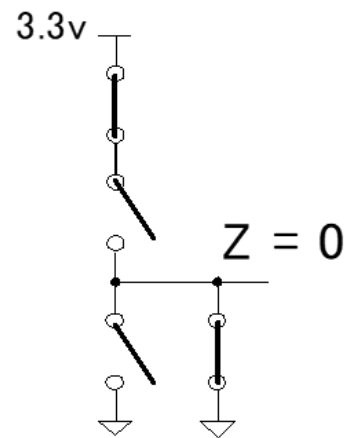
a) when $A=0, B=0$



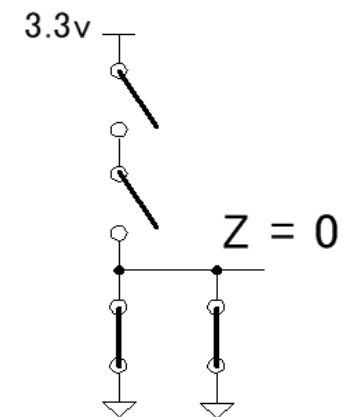
b) when $A=1, B=0$



c) when $A=0, B=1$



d) when $A=1, B=1$



マルチプレクサ

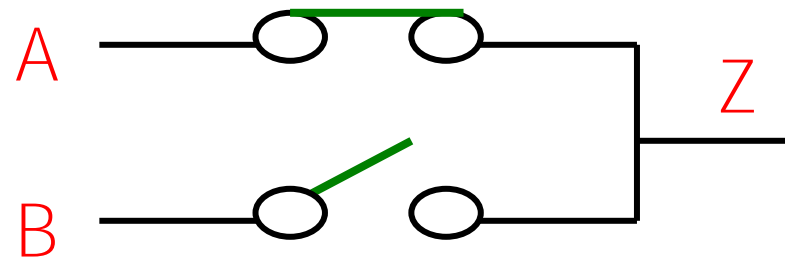
論理変数 A, B, S, Z

A, B, S : 入力, Z : 出力

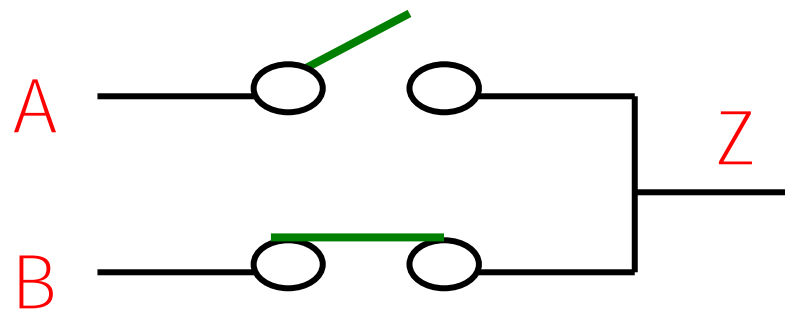
S	Z
0	A
1	B

真理値表

$S=0$ のとき

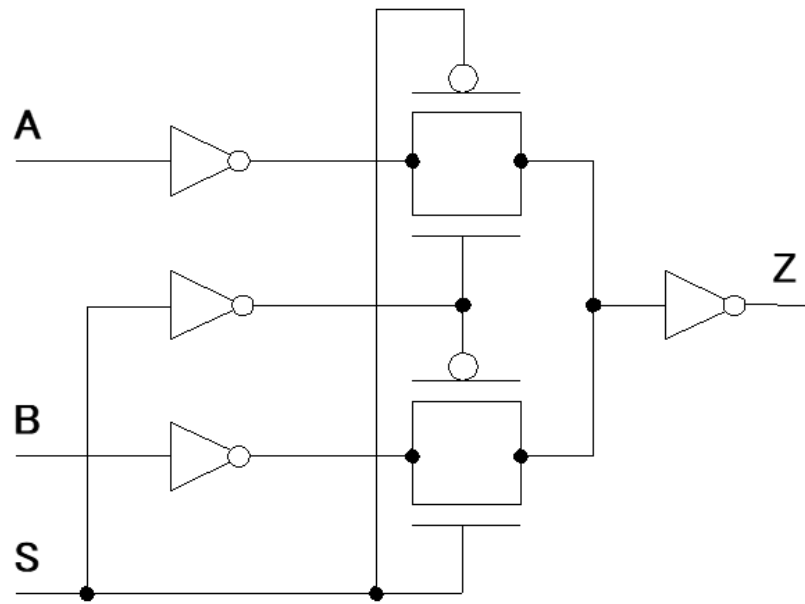


$S=1$ のとき

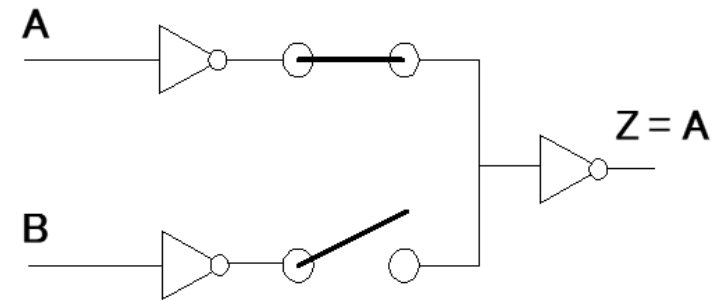


CMOS マルチプレクサ回路

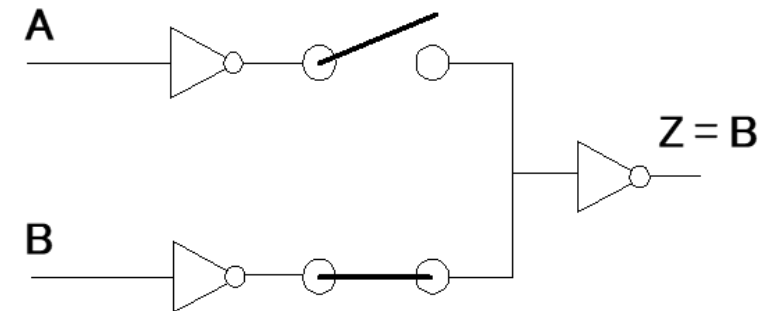
Multiplexer



a) when $S=0$



b) when $S=1$



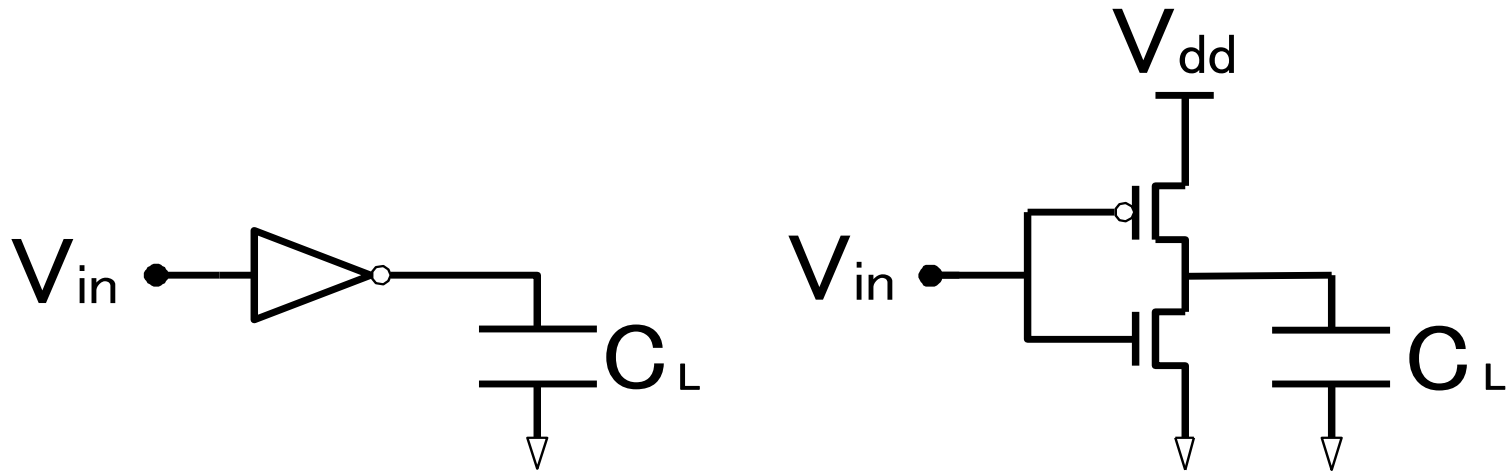
デジタルCMOS回路の電力消費

デジタルCMOS回路(インバータ)

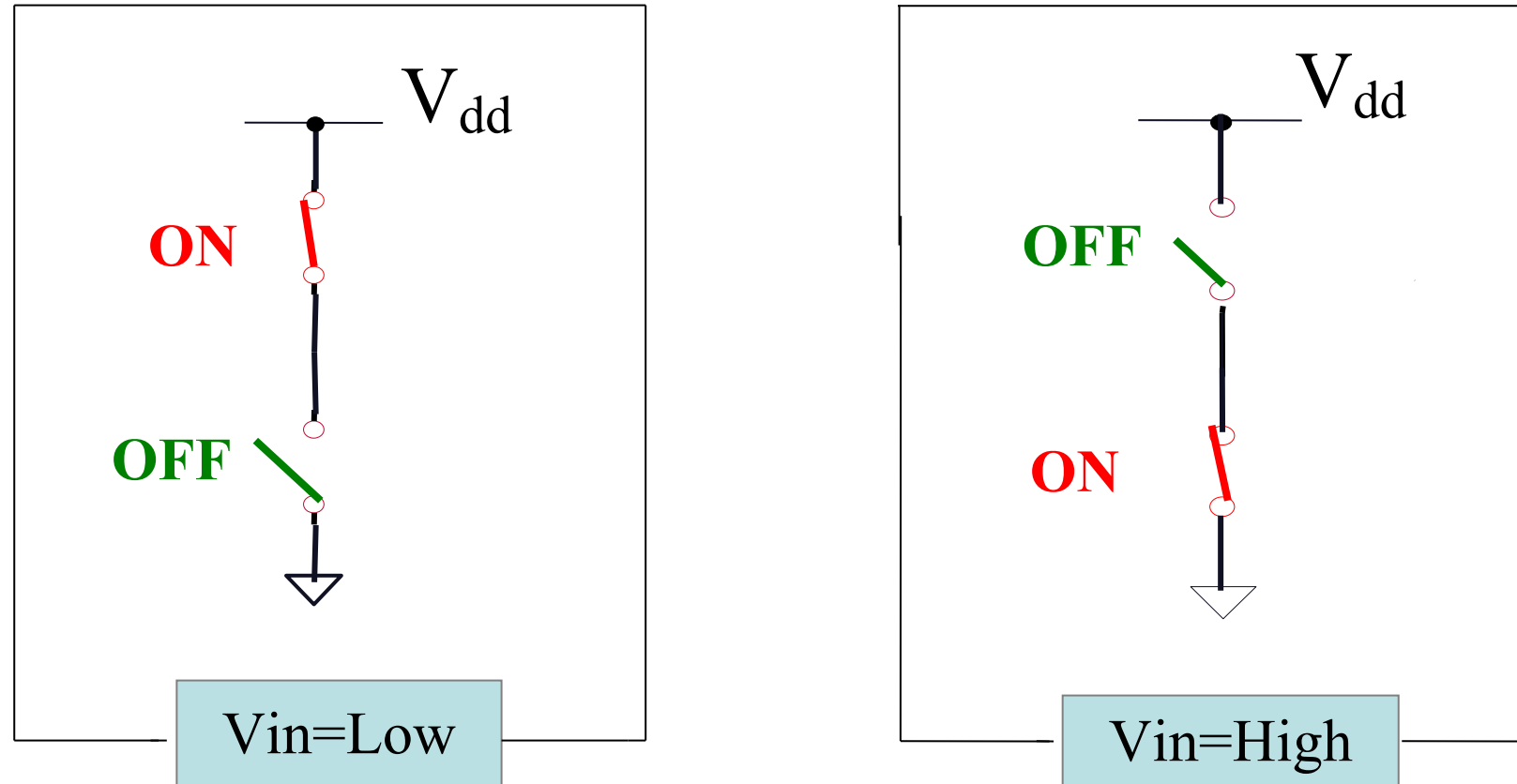
V_{dd} : 電源電圧

V_{in} : 入力、 V_{out} : 出力

C_L : 負荷容量

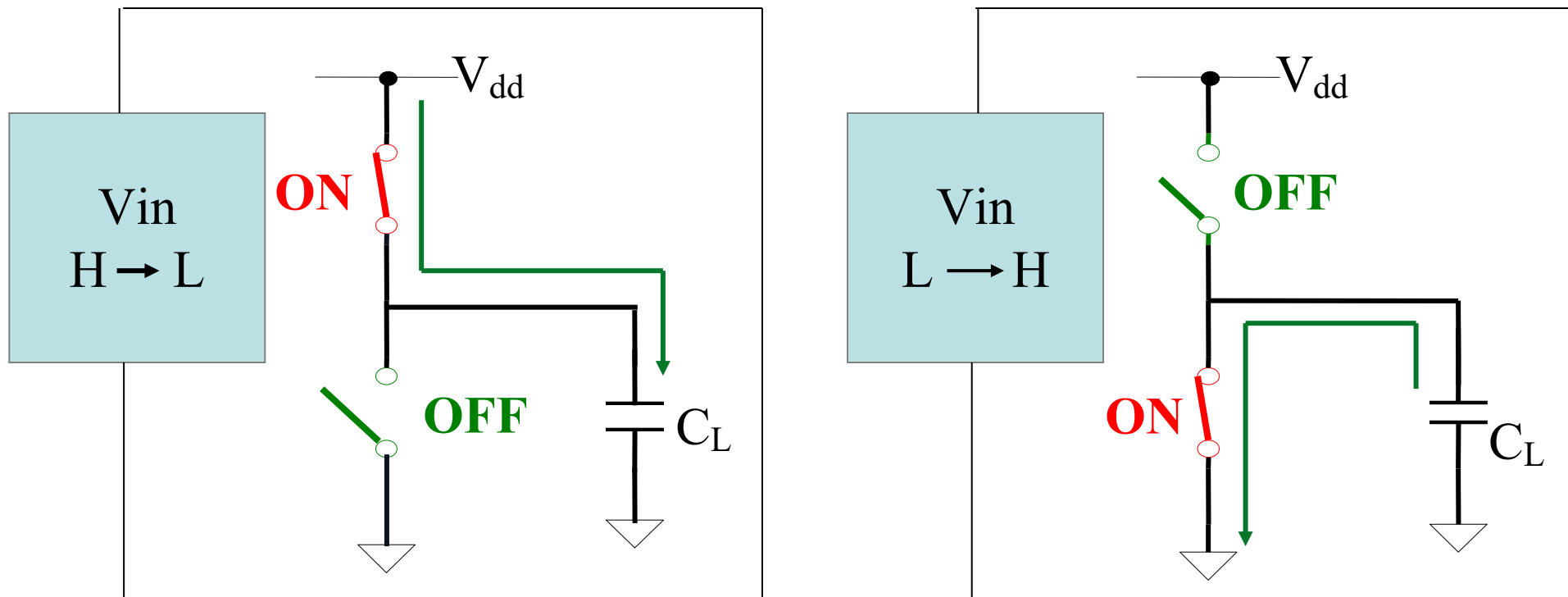


静的電力消費は少ない

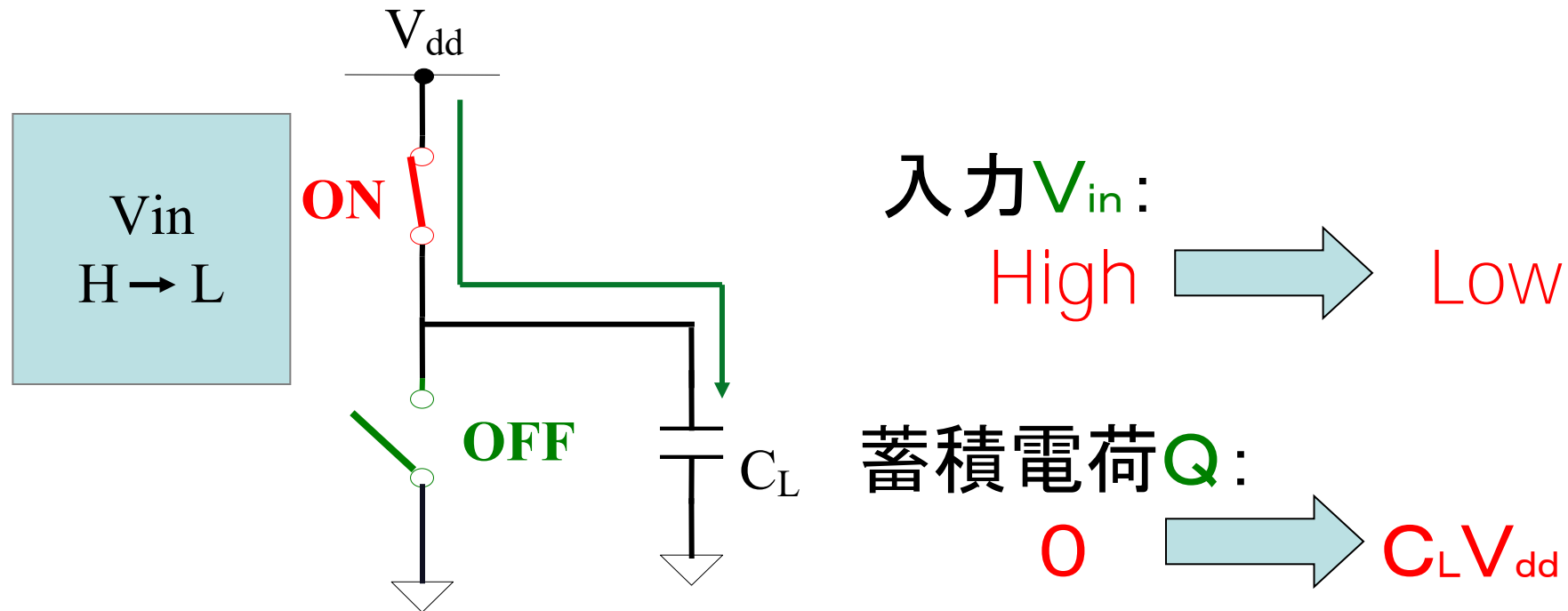


(注) 最近の微細CMOSデジタル回路では リーク電流が大きくなり、静的電力消費の占める割合が増えてきている。

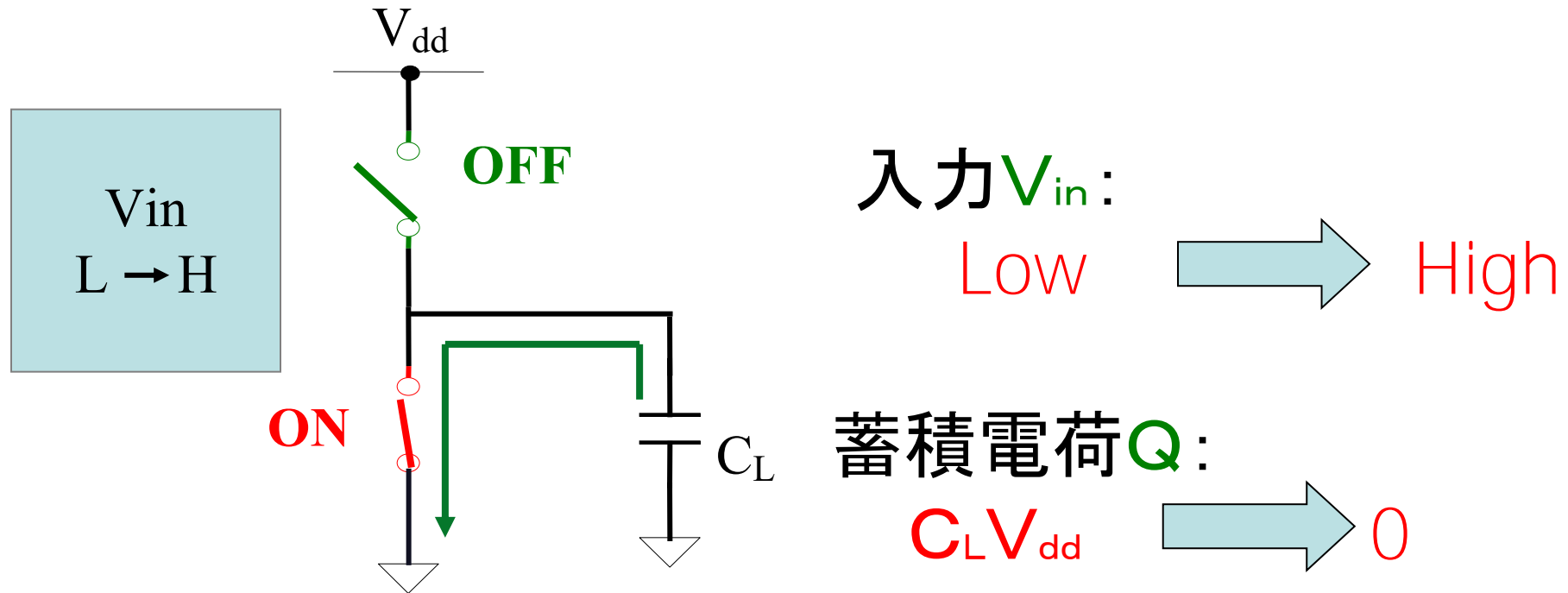
動的消費電力 (1)



動的消費電力 (2)



動的消費電力 (3)



動的消費電力 (4)

$V_{in} : H \longrightarrow L \longrightarrow H$ のとき

電荷 $Q = C_L V_{dd}$ が電源 V_{dd} から GND へ流れる。

一秒間に出力が f 回のトグルするとき

V_{dd} から GND へ流れるトータルの電荷 $Q_{total} = f C_L V_{dd}$

$$\begin{aligned} \therefore \text{消費電力} \quad P &= V_{dd} \cdot I \\ &= V_{dd} (f \cdot C_L \cdot V_{dd}) \\ &= f \cdot C_L \cdot V_{dd}^2 \end{aligned}$$

f : 出力トグル周波数 C_L : 負荷容量

V_{dd} : 電源電圧

デジタルCMOS VLSIの低消費電力化

低消費電力化は大きな技術的課題

例：携帯電話 \Rightarrow バッテリーが長持ちさせる

低消費電力化技術 \Rightarrow f , CL , V_{dd} を小さくする。

技術のトレンド:

周波数 f : マイクロプロセッサのクロック周波数はより高くなる。

\times

寄生容量 CL : 半導体の微細化により寄生容量は小さくなりつつある。

\circ

電源電圧 V_{dd} : より低くして用いる。

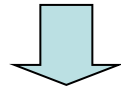
5V \Rightarrow 3.3V \Rightarrow 1.8V \Rightarrow 1V \circ

デジタルCMOS 回路のスピード

電源電圧 V_{dd} :

- 低消費電力化のため電源電圧を下げるとスピードは遅くなる。
- スピードは電源電圧に比例
- 消費電力は電源電圧の2乗に比例

温度: スピードは温度にほぼ反比例。

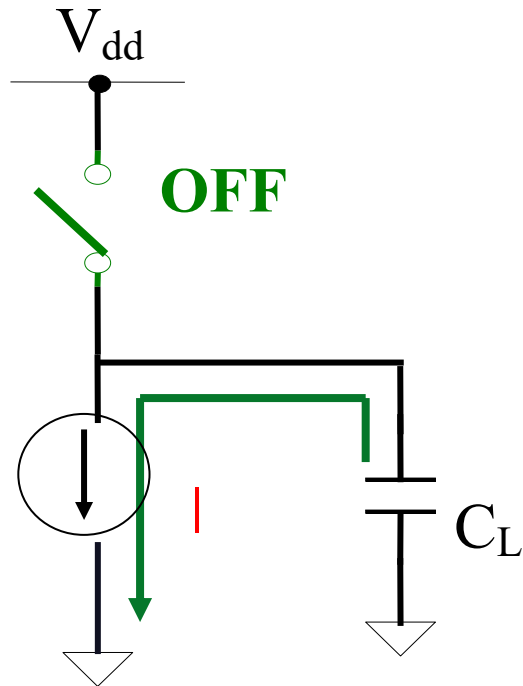


低温環境化でコンピュータを高速化する試みあり。

電源電圧とデジタルCMOS回路のスピード

なぜ電源電圧を上げるとデジタルCMOS回路は高速化するのか？

スイッチモデル
では説明できない



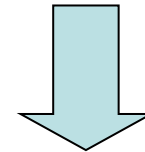
引き抜く電荷

$$Q = C V_{dd}$$

MOSの2乗則

$$I = K (V_{dd} - V_{th})^2$$

$$\approx K V_{dd}^2$$



ゲート遅延

$$T = Q / I$$

$$= C / (K V_{dd})$$

2.2 電流源

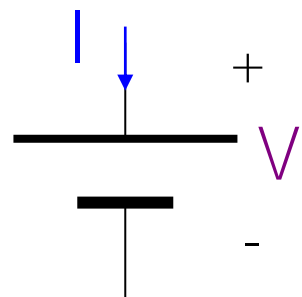
電圧源と電流源

電圧源： 流れる電流にかかわらず

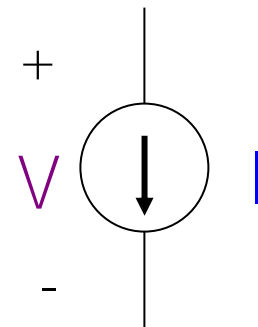
一定電圧 V を供給する。

電流源： 両端にかかる電圧にかかわらず

一定電流 I を供給する。



電圧源



電流源

電流モードと電圧モード

電圧の加減算、コピー、定数倍等は
電流ほどは簡単にはできない。

しかし、実際の回路では信号伝達・演算は

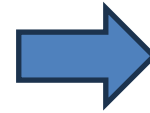
電圧で行うことが多く(電圧モード回路)、

一部でのみ電流で信号伝達・演算

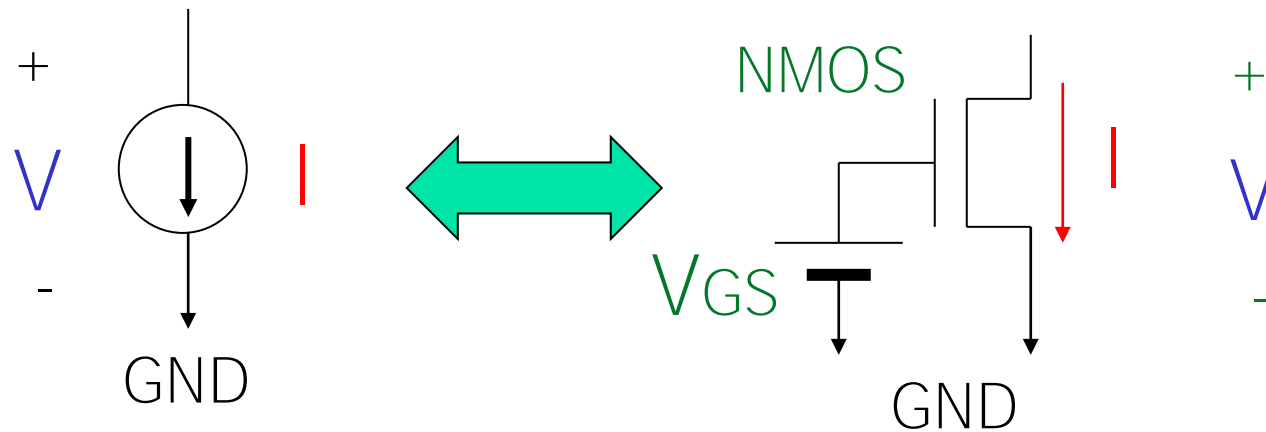
(電流モード回路)を使用するとうまくいく場合が多い。

グランドへの引き込み電流源

電流源がグランドへ接続
グランドへの引き込み電流源
NMOSで実現



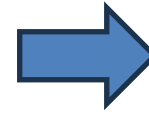
電流シンク (Sink)



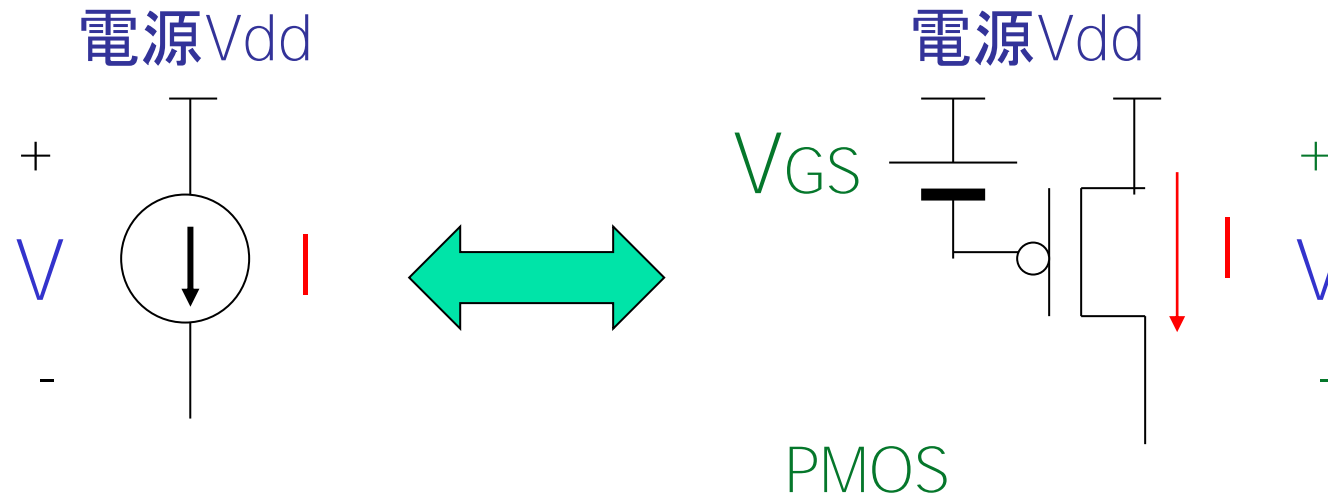
I は V によらず一定、 I は V_{GS} の関数

電源から回路への供給電流源

電流源が電源へ接続
電源から回路への供給電流源
PMOSで実現



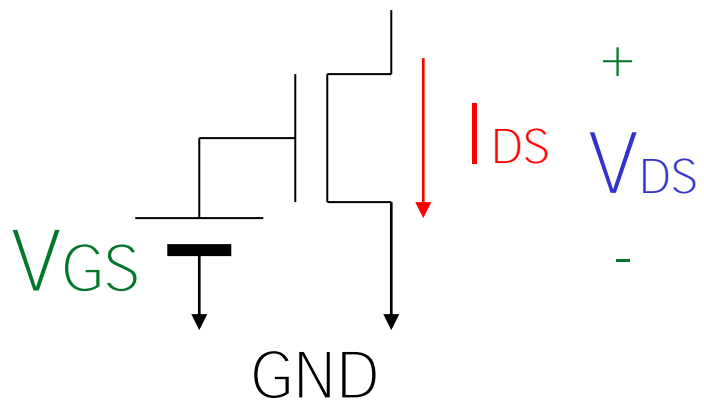
電流ソース (Source)



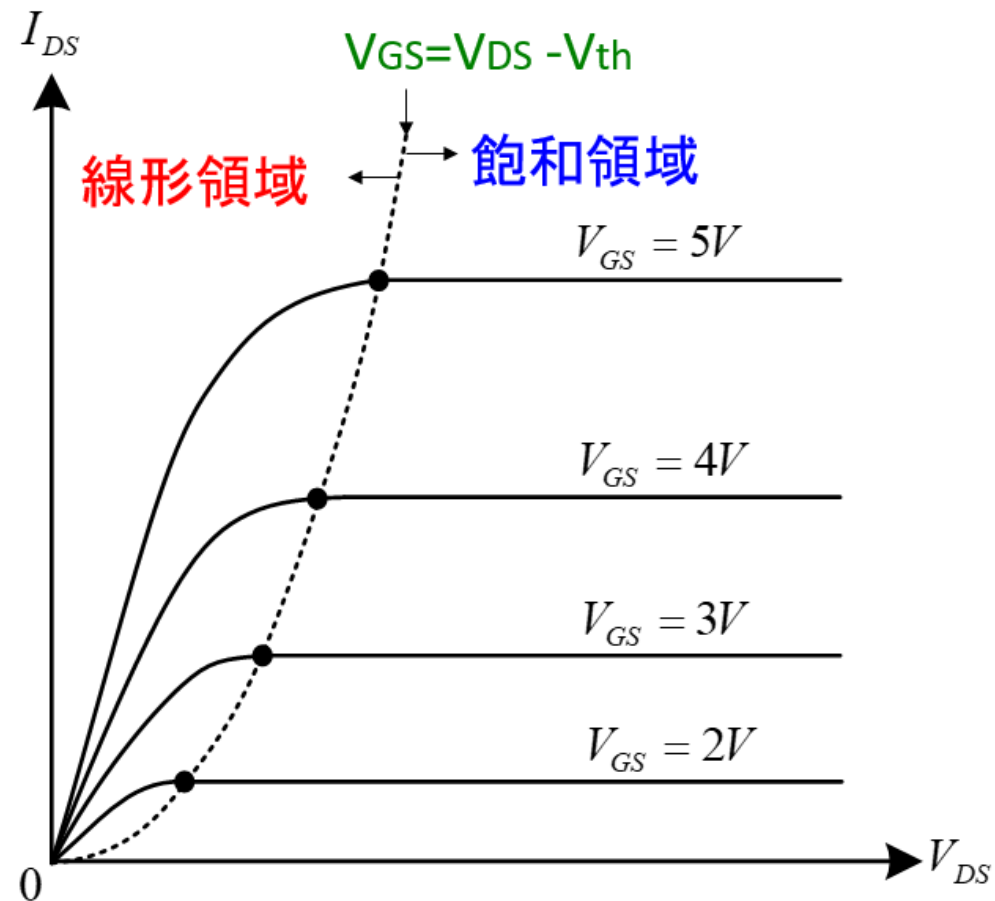
I は V によらず一定、 I は V_{GS} の関数

電流源のMOS飽和領域での実現

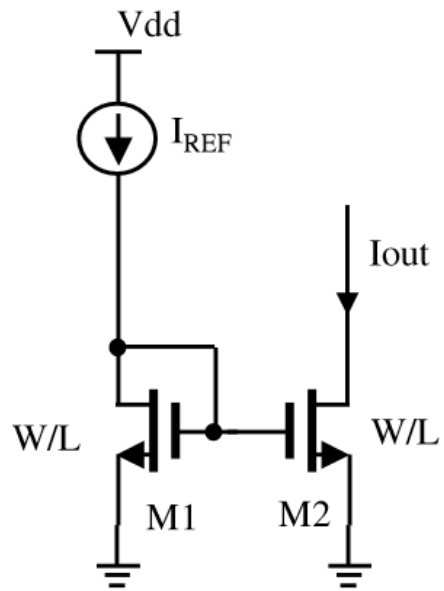
NMOS飽和領域使用



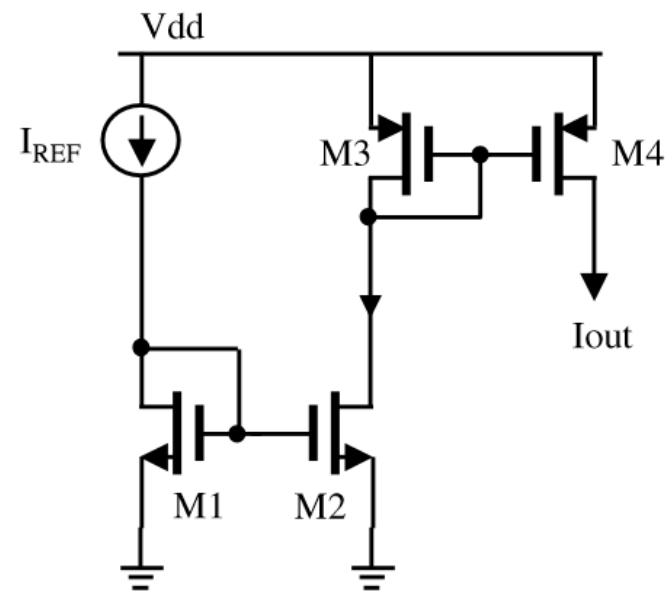
I_{DS} は V_{DS} によらず一定、
 I_{DS} は V_{GS} の関数



基本的な電流ミラー回路 (Mirror: 鏡)

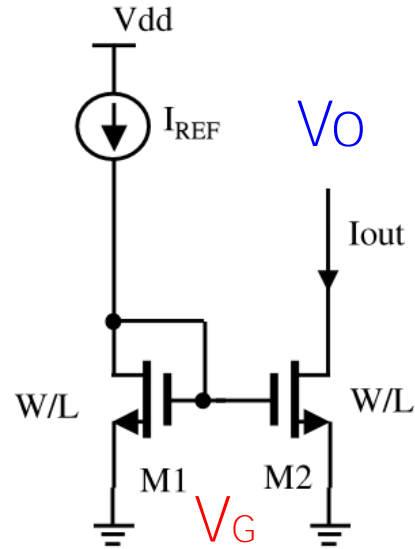


(a) 基本的なカレントミラー
(電流シンク)

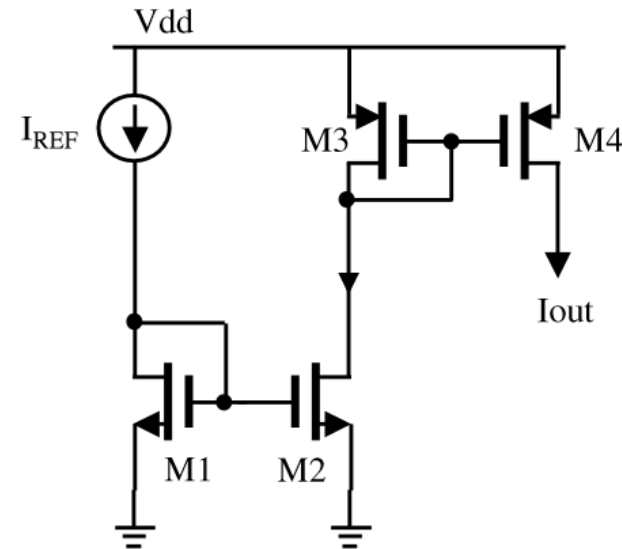


(b) 基本的なカレントミラー
(電流ソース)

基本的な電流ミラー回路



(a) 基本的なカレントミラー
(電流シンク)



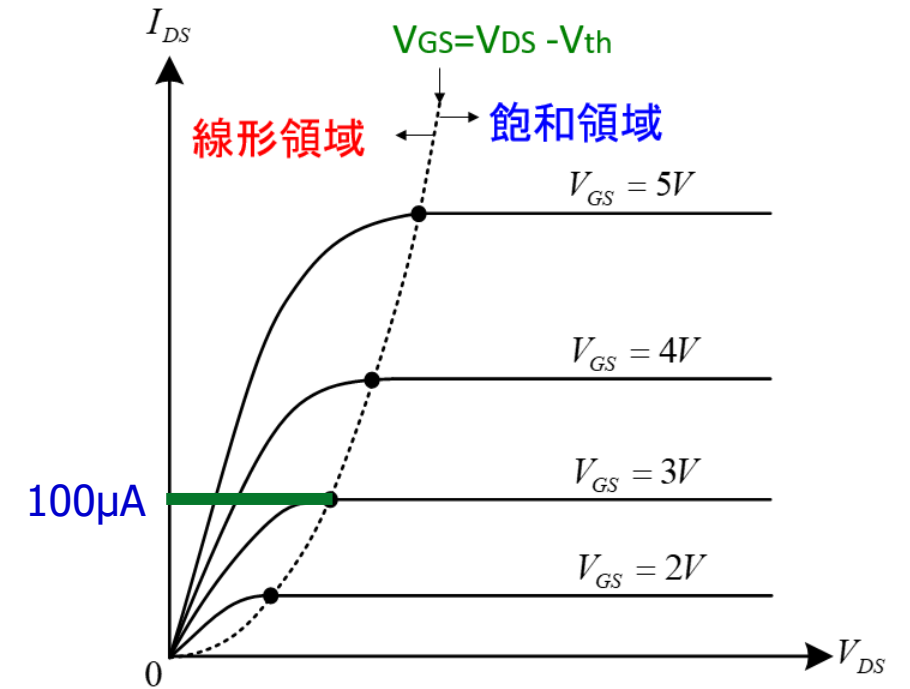
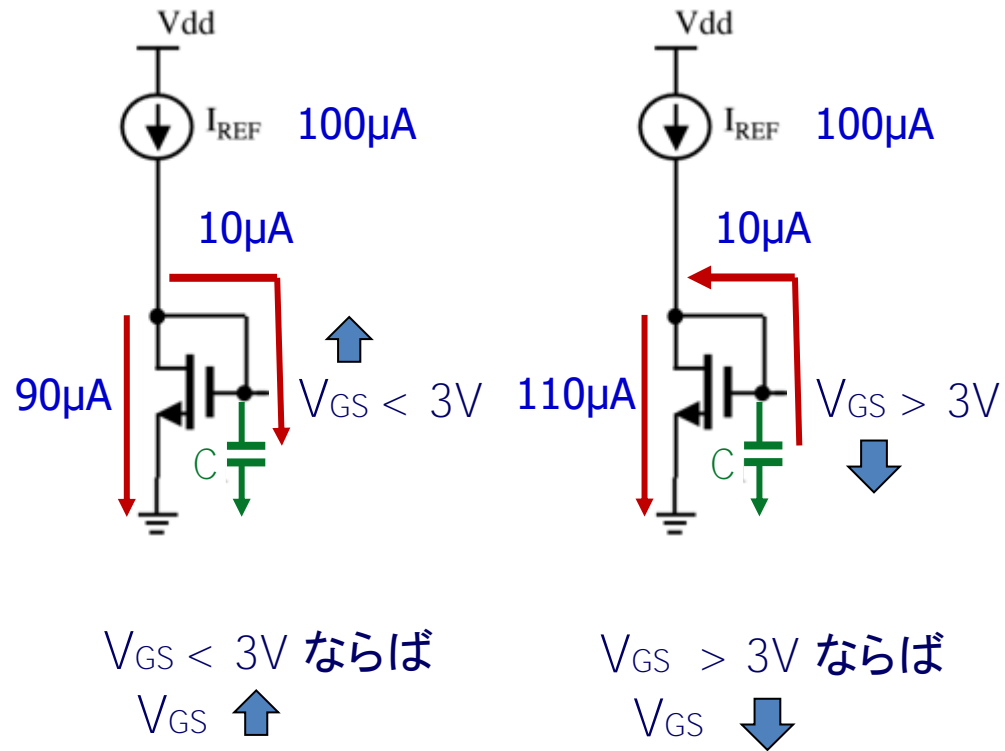
(b) 基本的なカレントミラー
(電流ソース)

ゲート電圧: M1 は V_G , M2 は V_G → 両者は同じ
ドレイン電圧: M1 は V_G , M2 は V_O → 両者は同じでない

➡ が M2が飽和領域なら I_{REF} と I_{OUT} はほぼ一致

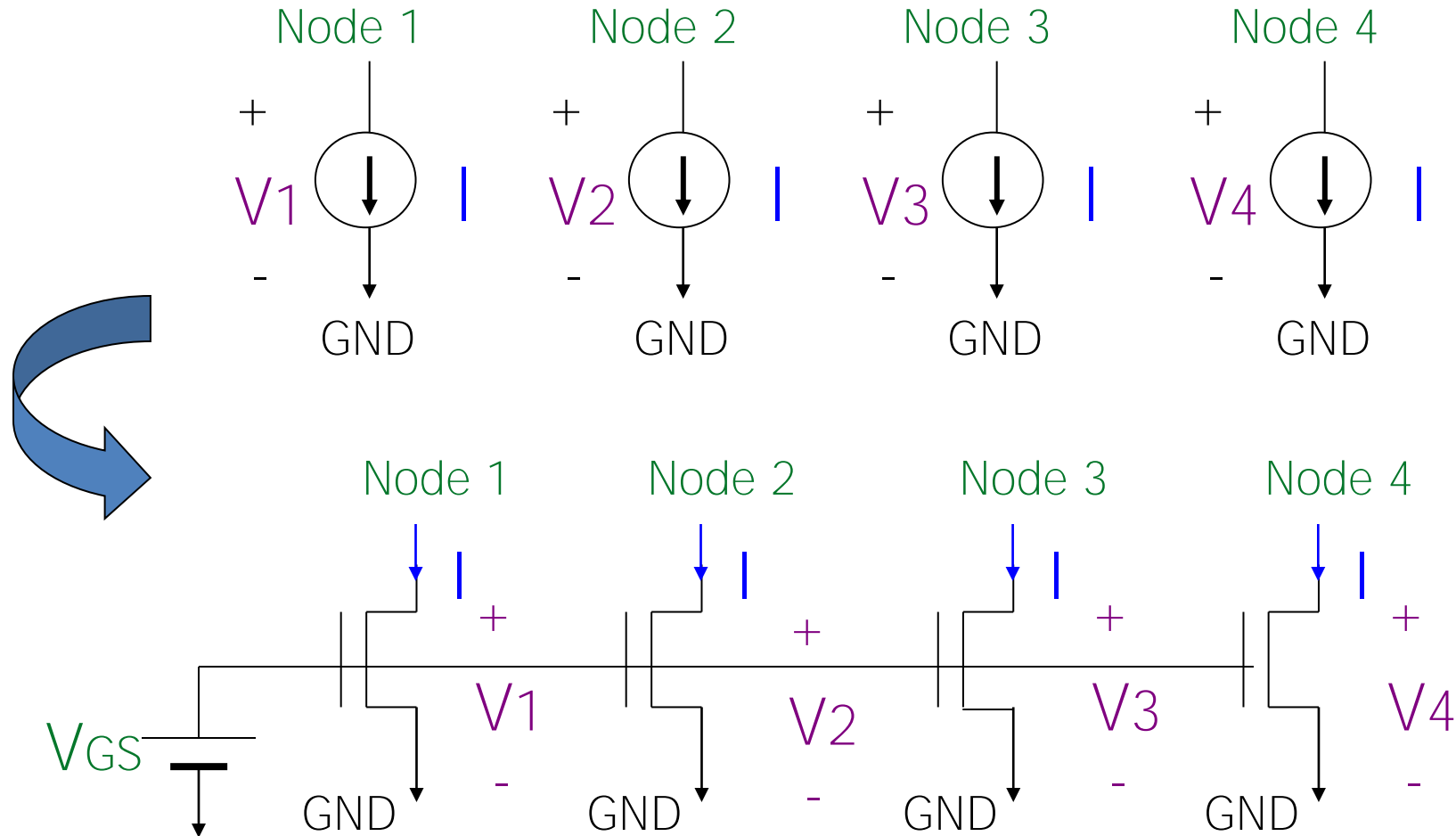
ゲート電圧生成回路の動作

$I_{\text{ref}} = 100\mu\text{A}$ のとき $V_{\text{GS}} = 3\text{V}$ になる動作説明

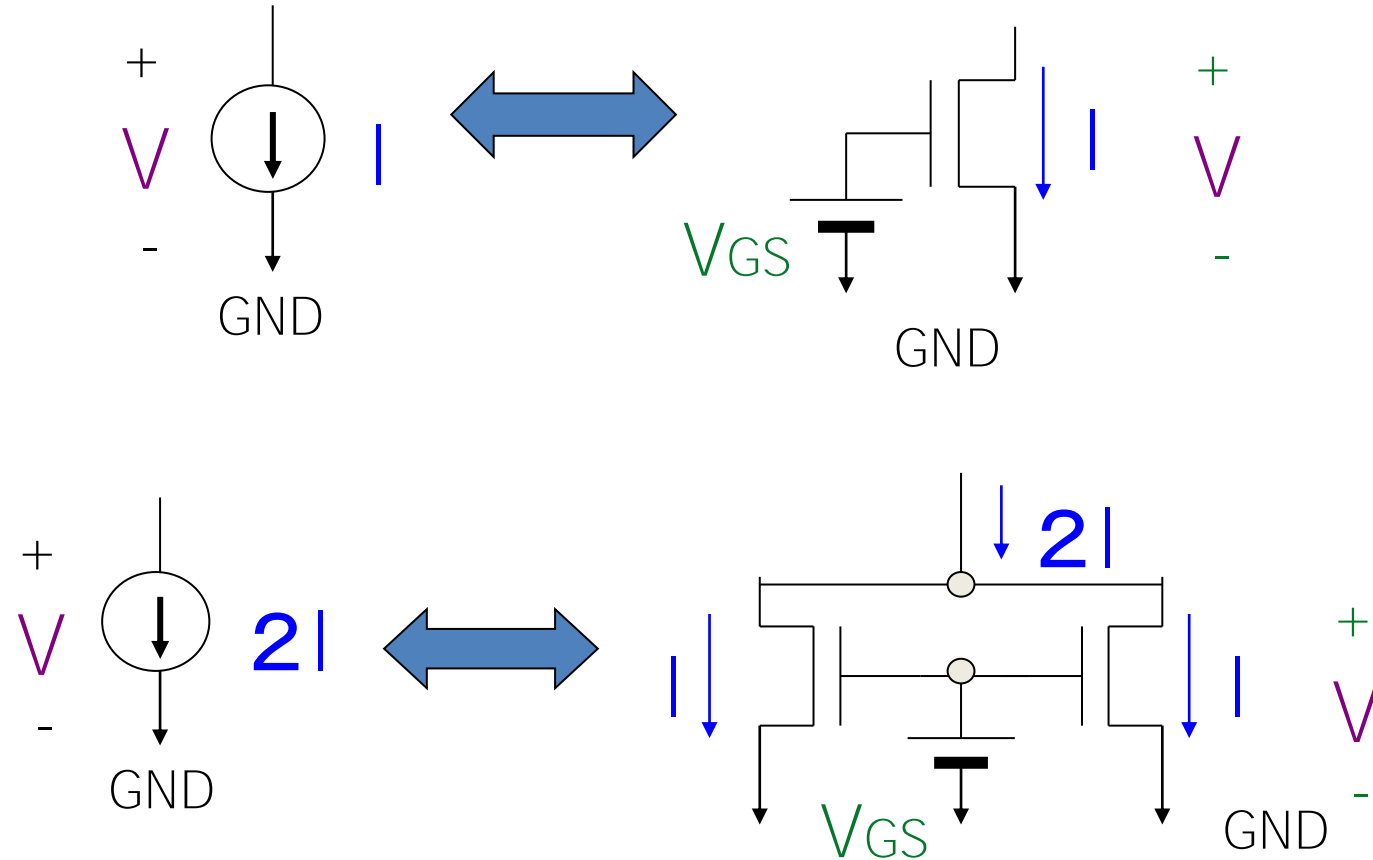


電流源ミラー回路での電流のコピー

同じ値の電流源を複数作るのは容易



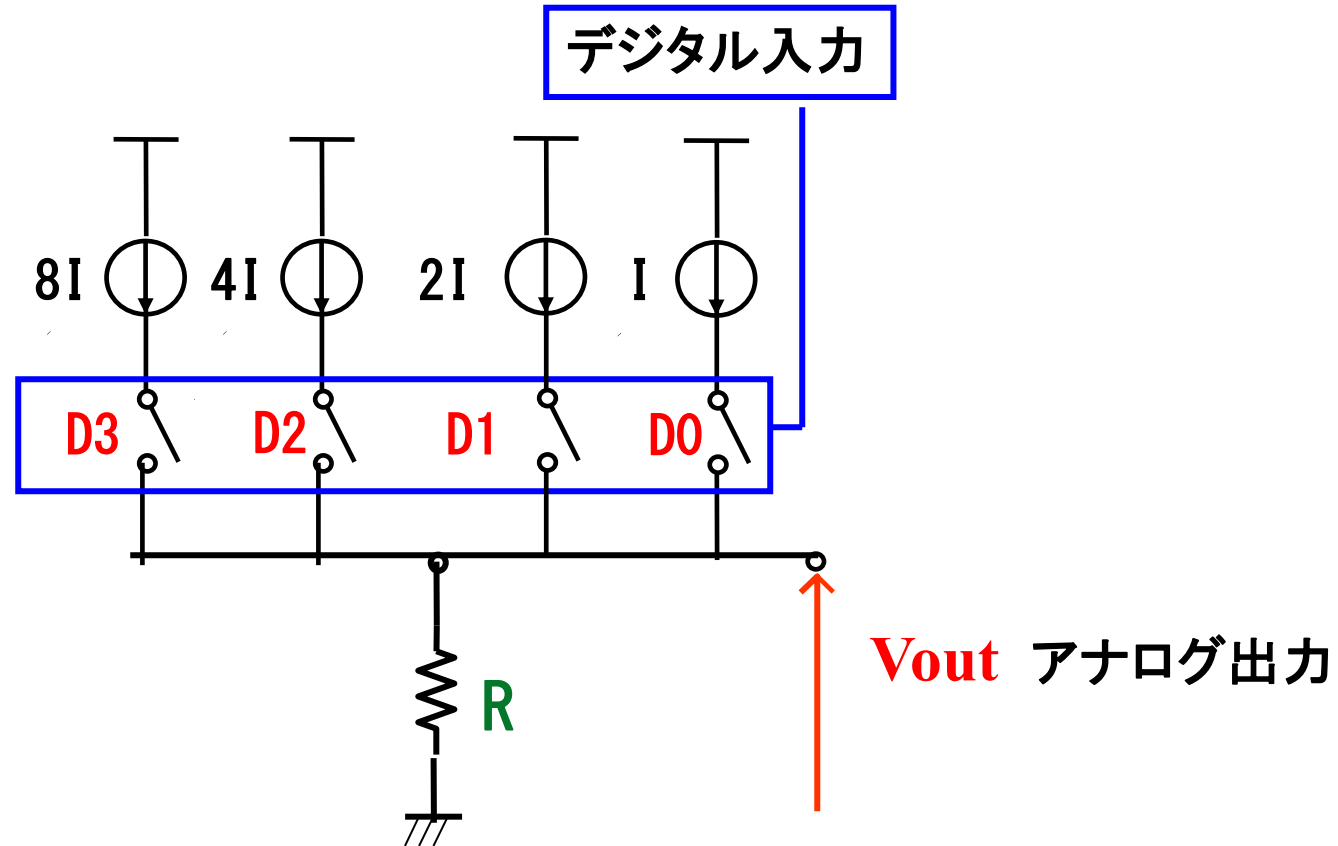
定数倍電流値の電流源の実現



同じ電流源をN個並列接続すれば
N倍の電流を流す1個の電流源と等価

2進重み付けDA変換器(回路)

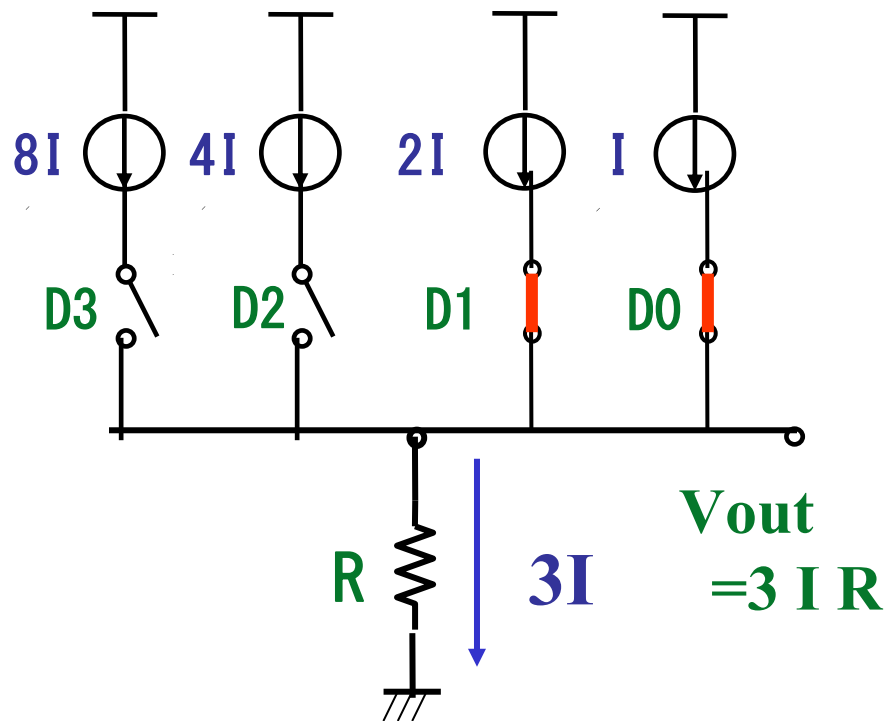
電流源使用例



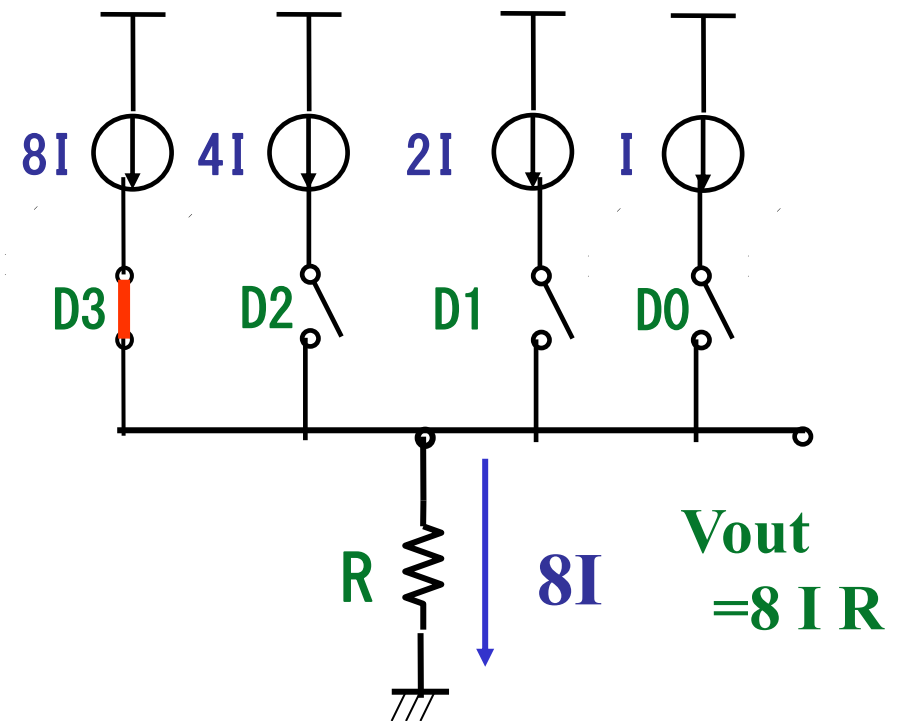
2進重み付けDA変換器(動作)

電流源使用例

例: 入力データが3のとき



例: 入力データが8のとき



2進重み付けDA変換器(原理)



デジタル 入力データ	スイッチ				出力
	D3	D2	D1	D0	Vout
0	0	0	0	0	0
1	0	0	0	1	1R
2	0	0	1	0	2IR
3	0	0	1	1	3IR
4	0	1	0	0	4IR
5	0	1	0	1	5IR
6	0	1	1	0	6IR
7	0	1	1	1	7IR
8	1	0	0	0	8IR
⋮			⋮		⋮
15	1	1	1	1	15IR

スイッチ 1 のとき ON
0 のとき OFF

デジタル入力データに
比例したアナログ出力
Vout が生成される。

2.4 オペアンプの基本動作

オペアンプ(演算増幅器)

線形回路応用:

- ・増幅(ゲインアンプ)
- ・信号加減算
- ・差動増幅
- ・電圧源
- ・電流源
- ・電圧-電流変換
- ・電流-電圧変換
- ・アクティブフィルタ
- ・積分回路
- ・微分回路 など

群馬大学非常勤講師
中谷隆之先生資料より

非線形回路応用:

- ・対数演算
- ・指数演算
- ・平方根演算
- ・乗算/除算演算
- ・絶対値演算
- ・正弦波発振
- ・方形波、三角波発振
- ・リミッタ回路 など



1952年世界初
商用真空管オペアンプ

K2-W GAP/R社

(George A Philbrick)

真空管: 12AX7 2本

ゲイン: X15,000 (84dB)

電源: $\pm 300V$ 4.5mA

信号レンジ: $\pm 50V$

価格: 20ドル

用途:

アナログコンピュータ

<http://www.philbrickarchive.org/>

1963年世界初
モノリシックオペアンプ

$\mu A702$ Fairchild

ゲイン: 68dB

電源: $+12V/-6V$

価格: 300ドル(売れず)



1965年

$\mu A709$ Fairchild

ゲイン: 94dB

電源: $\pm 15V$

商業的に大成功

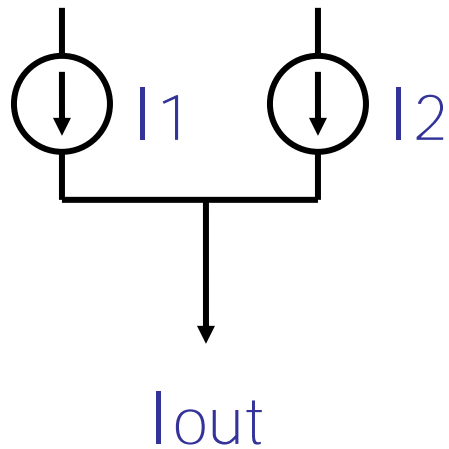
電流の加算・減算と電圧の加算・減算

電流の加算・減算：

キリヒホッフ電流則により配線の結線だけでよい。

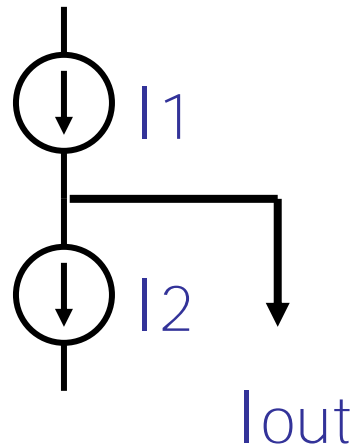
電流加算

$$I_{out} = I_1 + I_2$$



電流減算

$$I_{out} = I_1 - I_2$$



電圧の加算・減算：

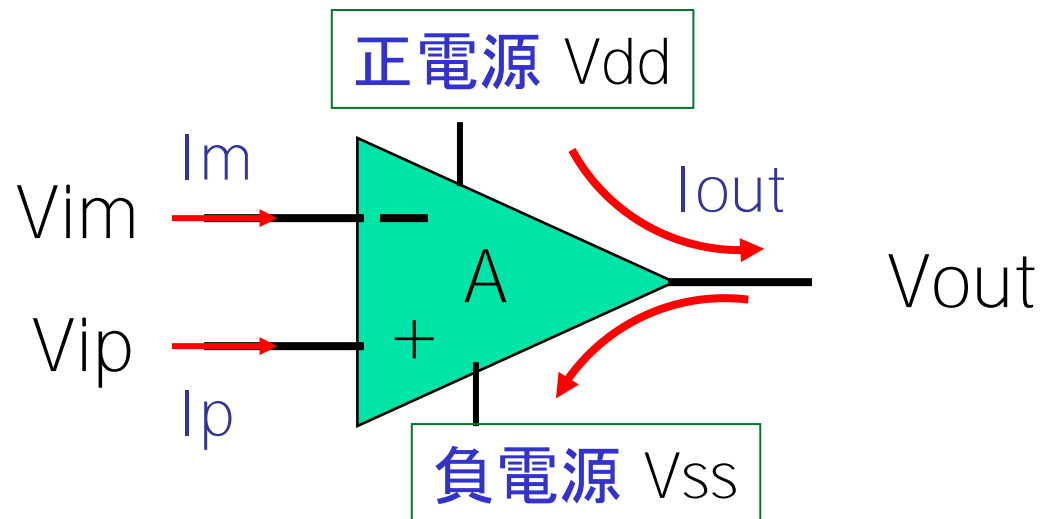
電流ほど簡単ではない。

オペアンプを

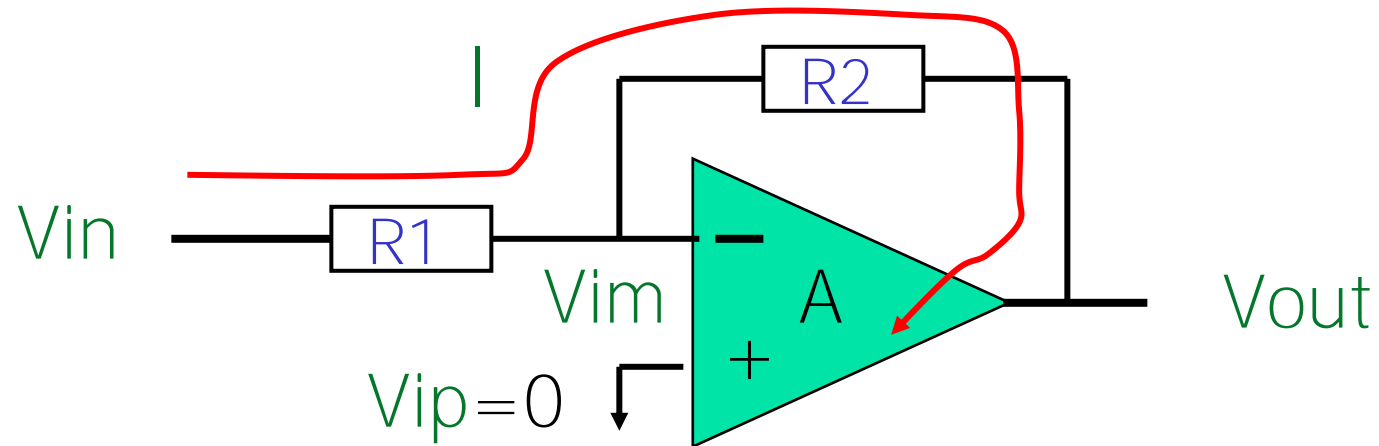
用いれば可能。

・理想オペアンプ特性

- **ゲイン A** がきわめて大きい
 $V_{out} = A (V_{ip} - V_{im})$
- **入力抵抗** がきわめて大きい。 $I_p = 0, I_m = 0$
- **出力抵抗** がきわめて小さい
必要に応じて I_{out} がいくらでも供給できる。



オペアンプの動作 (1)



$$I = \frac{V_{in} - V_{im}}{R1} = \frac{V_{im} - V_{out}}{R2}$$

$$V_{out} = A (0 - V_{im}) = -A V_{im}$$

オペアンプの動作 (2)

抵抗の比 ($R2/R1$) でゲインがきまる。

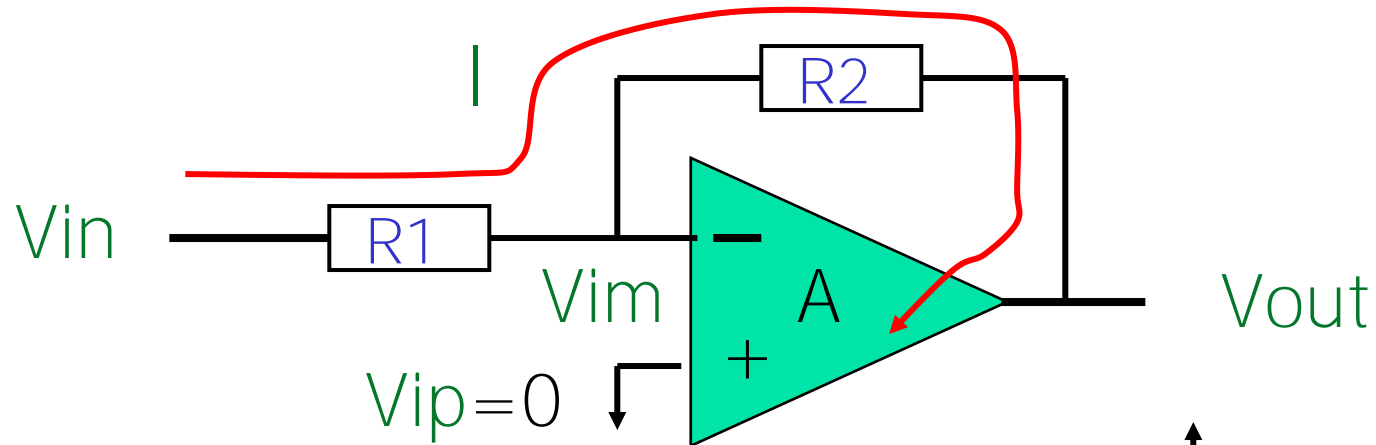
$$\frac{V_{out}}{V_{in}} = \frac{-R2}{\frac{R1 + R2}{A} + R1} \xrightarrow{A \rightarrow \infty} \frac{-R2}{R1}$$

仮想接地 (Virtual Ground)

$$V_m = \frac{R2 V_{in}}{(R1 + R2) + A R1} \xrightarrow{A \rightarrow \infty} 0$$

オペアンプのゲインAは大きければよい。

オペアンプの動作 (3)

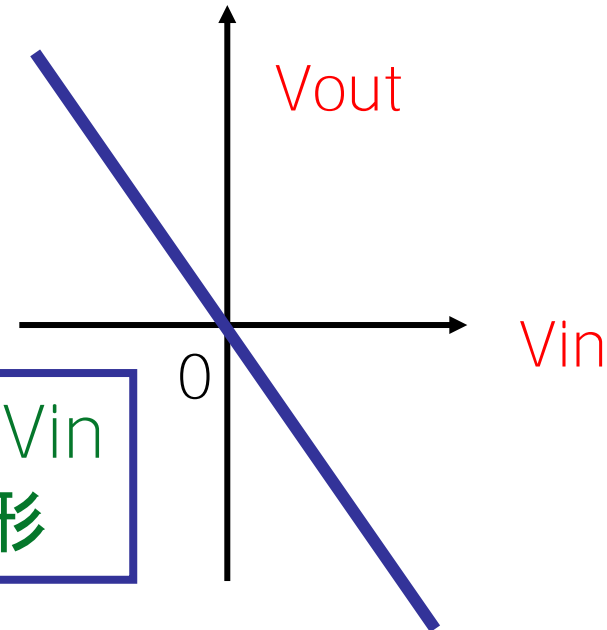


$$V_{out} \doteq -\frac{R_2}{R_1} V_{in}$$

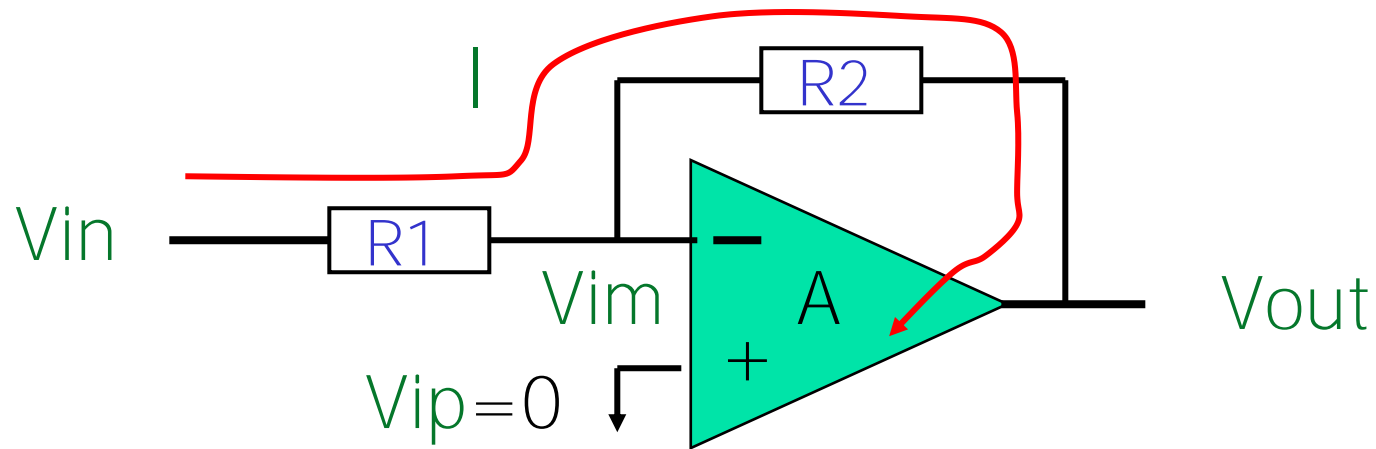
$$V_{im} \doteq 0$$

$$I \doteq \frac{V_{in}}{R_1}$$

広い入力範囲 V_{in}
にわたって線形



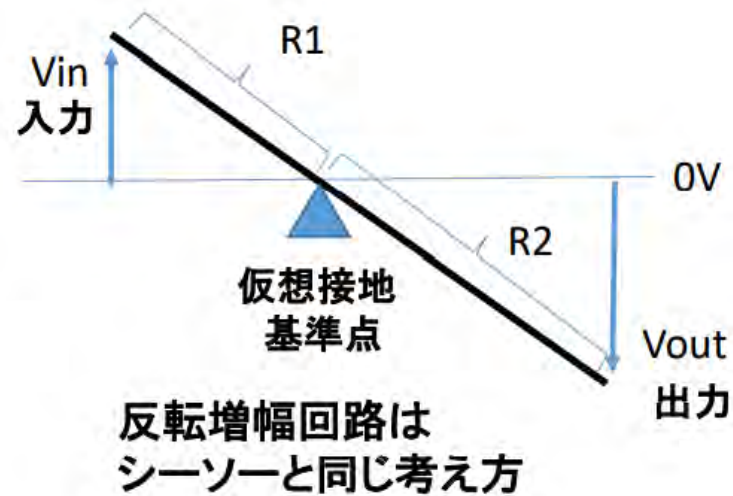
オペアンプの動作 (4)



反転ゲイン式

$$Gain = -\frac{R2}{R1}$$

$R1$, $R2$ 抵抗の絶対精度ではなく
比精度が重要

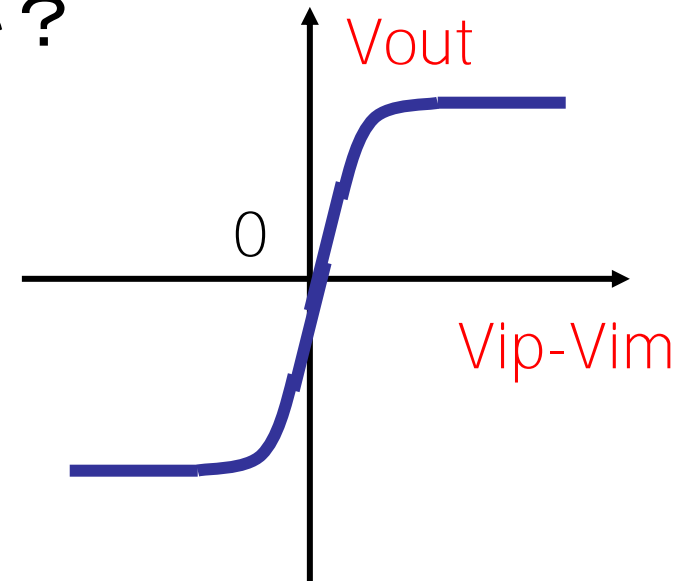


オペアンプは小信号増幅で考える

オペアンプのゲイン $A=10,000$ のとき
入力 $V_{ip} - V_{im} = 1[V]$ のとき
出力 $V_{out} = 10,000[V]$ か？

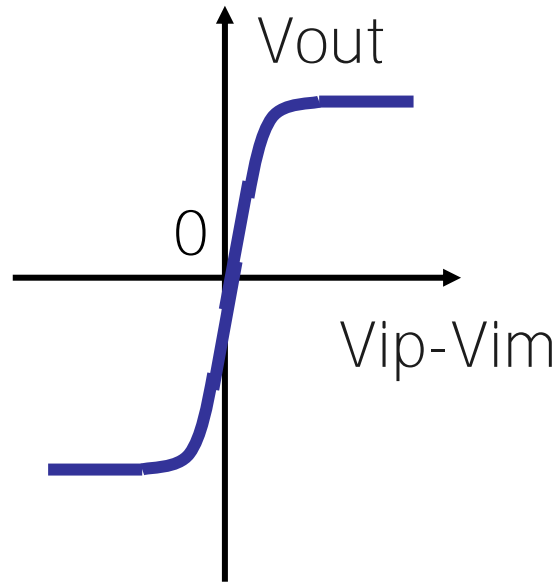
答えは **No !**

$V_{ip} - V_{im} \doteq 0$ (仮想接地)
であることに注意。
 $V_{ip} - V_{im} = 0$ 近辺でのみ
ゲインが高い(傾きが $10,000$)



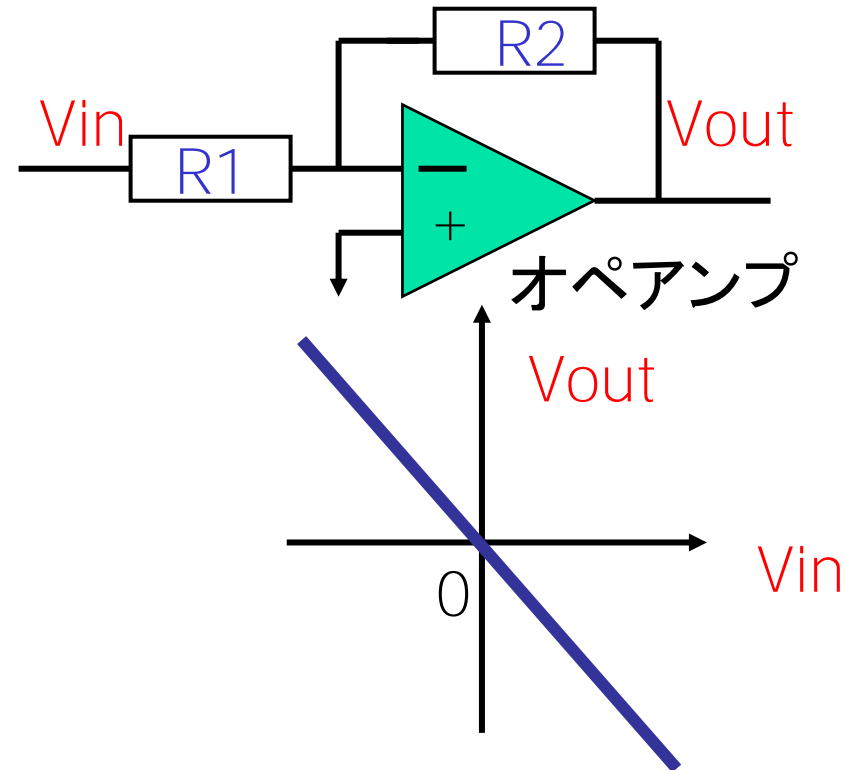
オペアンプの特性

小信号増幅と大信号増幅



オペアンプの特性

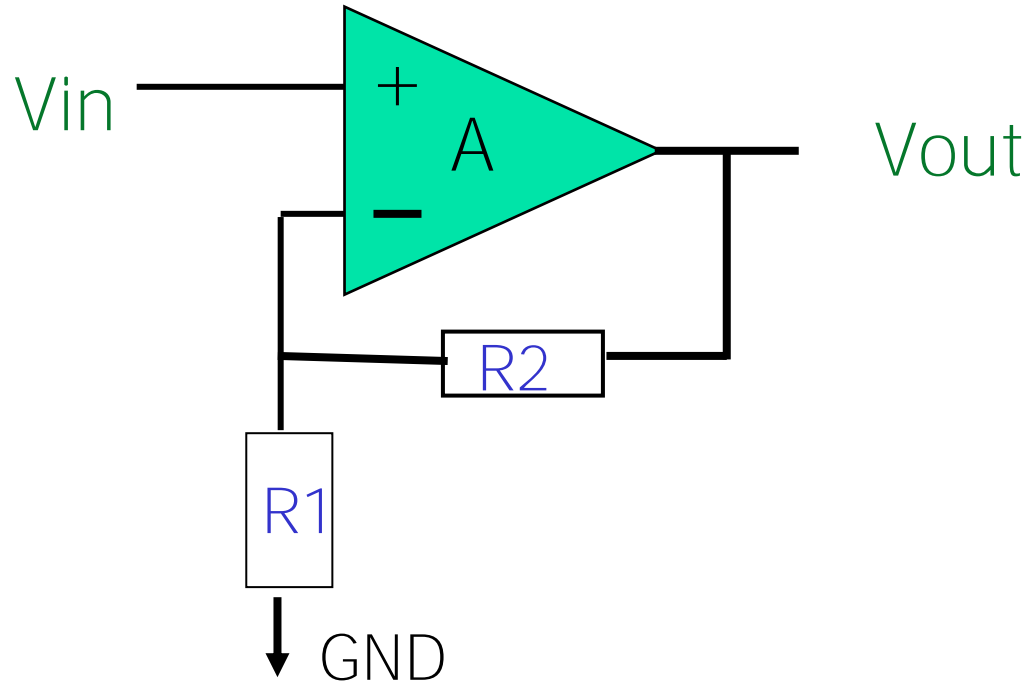
- 非線形
- 入力ゼロ近辺でのみゲインAが大きい



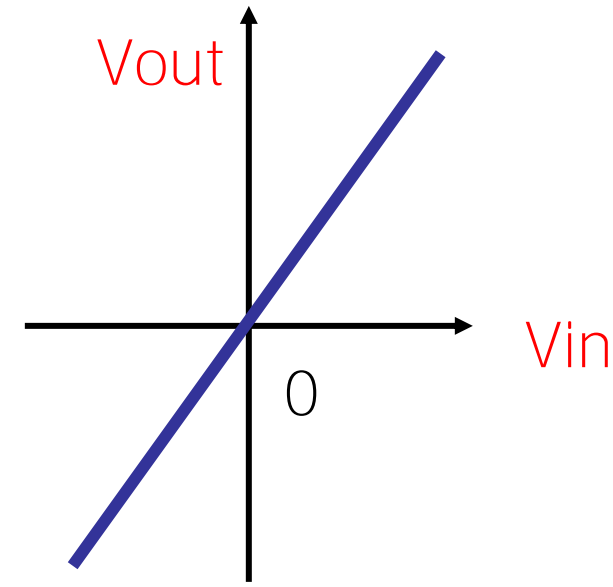
オペアンプを用いた回路

- 広い入力範囲にわたって一定ゲイン、線形

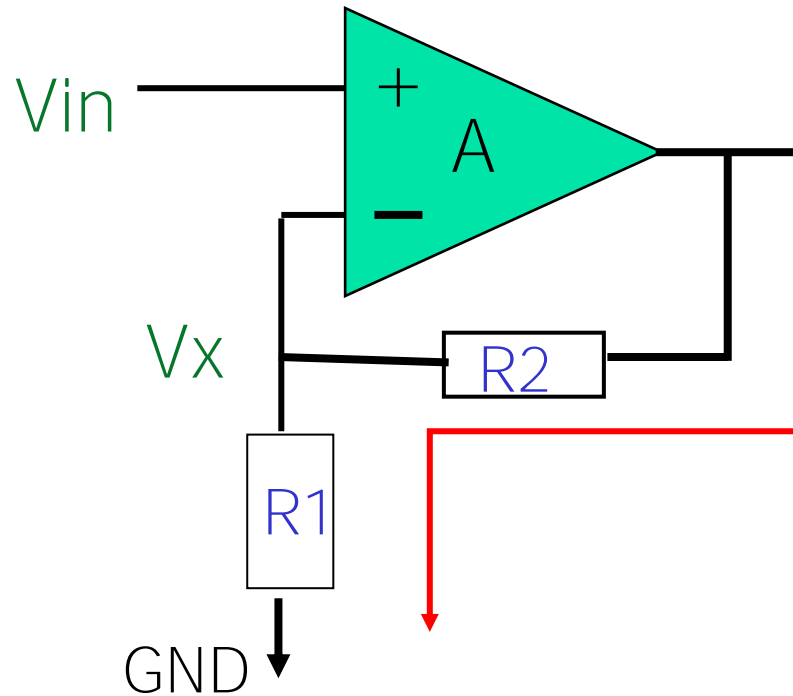
オペアンプの使用法(3) 入力信号の非反転増幅



$$V_{out} = \left(1 + \frac{R_2}{R_1}\right) V_{in}$$



オペアンプの使用法(3) 入力信号の非反転



$$V_x = V_{in}$$

$$I = V_{in} / R_1$$

$$= V_{out} / (R_1 + R_2)$$



$$V_{out} = \left(1 + \frac{R_2}{R_1}\right) V_{in}$$

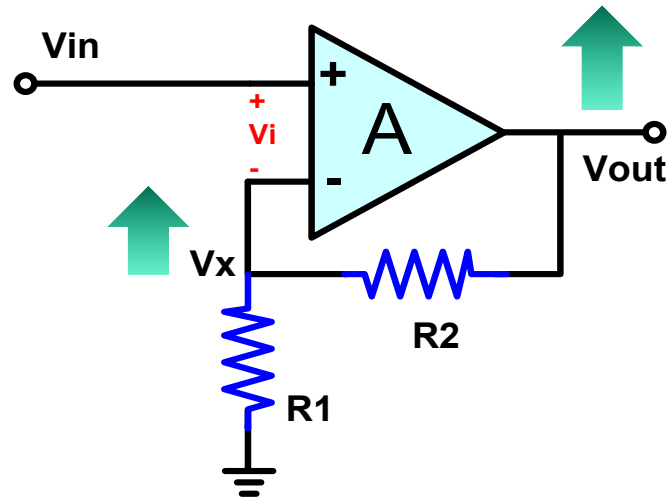
負帰還動作の説明

$$V_{out} = \left(1 + \frac{R_2}{R_1}\right) V_{in}$$

$V_x < V_{in}$ のとき

$$V_{out} = A (V_{in} - V_x) \quad \uparrow$$

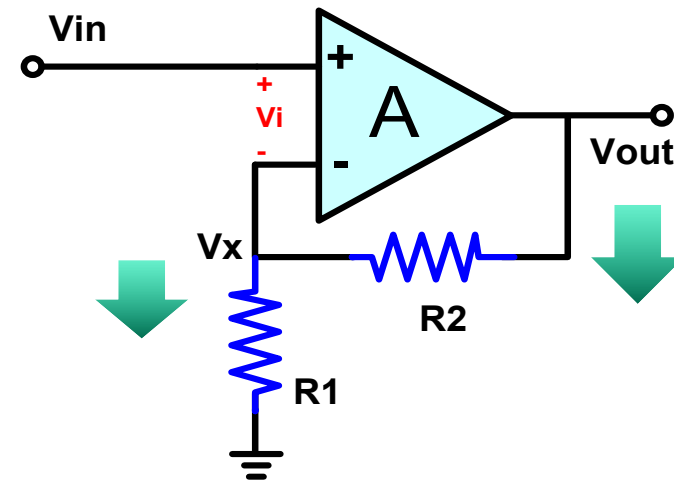
$V_x \quad \uparrow$



$V_x > V_{in}$ のとき

$$V_{out} = A (V_{in} - V_x) \quad \downarrow$$

$V_x \quad \downarrow$

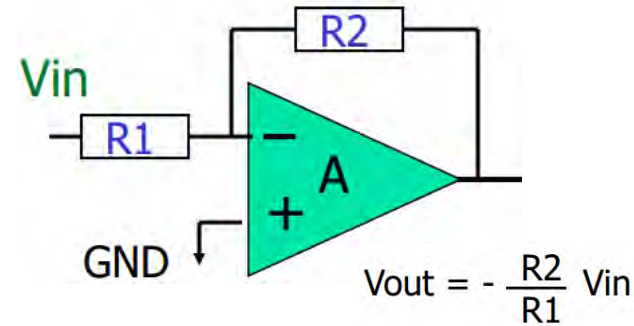


反転増幅回路と非反転増幅回路の比較

両方使われている

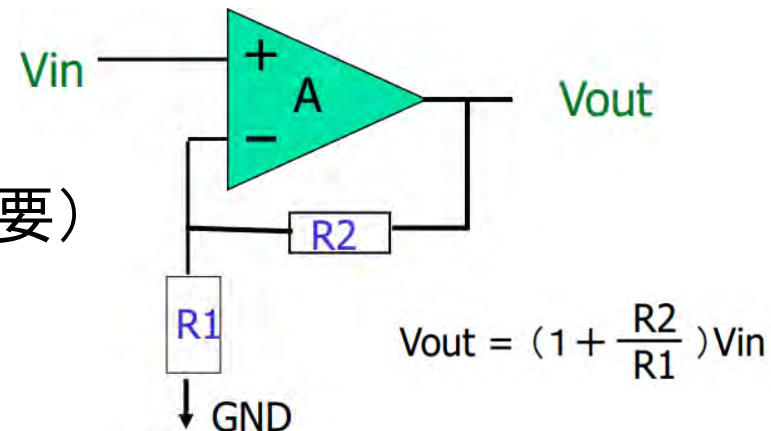
● 反転増幅回路

- 😞 $I_{in} = V_{in}/R$
- 😞 ゲインが負
- 😊 オペアンプ入力電圧が
 V_{in} に依存しない
(オペアンプ設計が容易)



● 非反転増幅回路

- 😊 $I_{in} = 0$ (前段にバッファ回路不要)
- 😊 ゲインが正
- 😞 オペアンプ入力電圧が V_{in}
(オペアンプ設計が難)

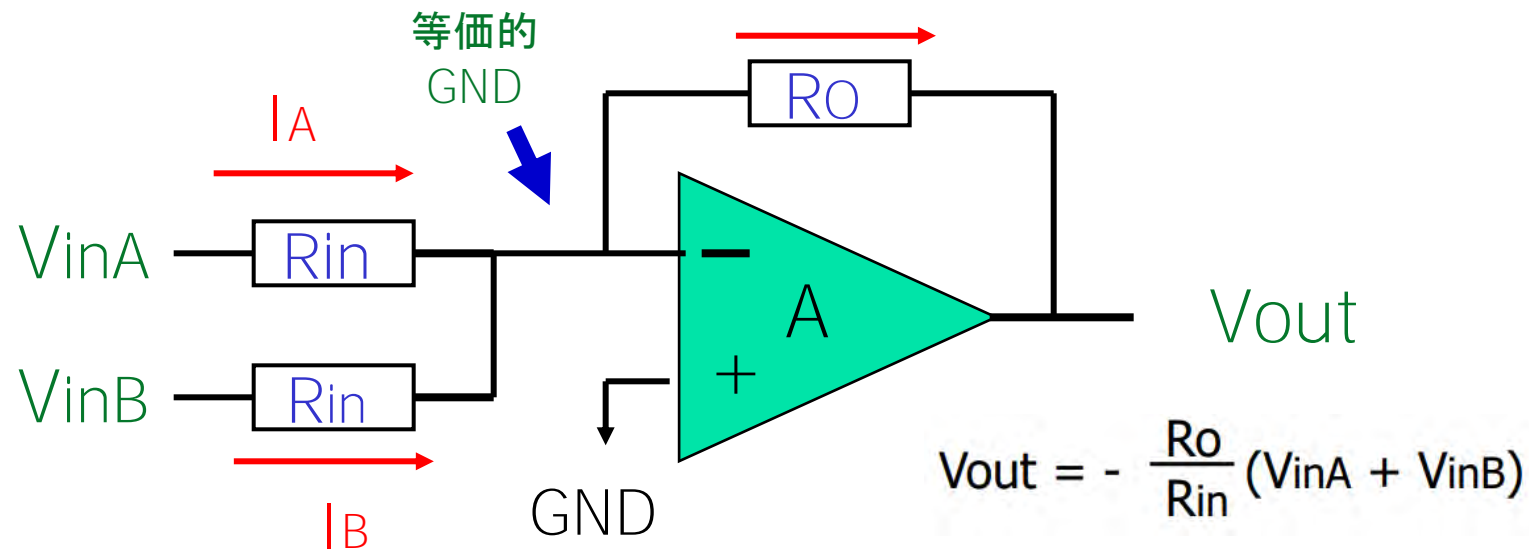


・オペアンプ回路解析 早わかり

- **負帰還 (Negative Feedback):**
出力はほとんど必ずマイナス入力に戻されている。

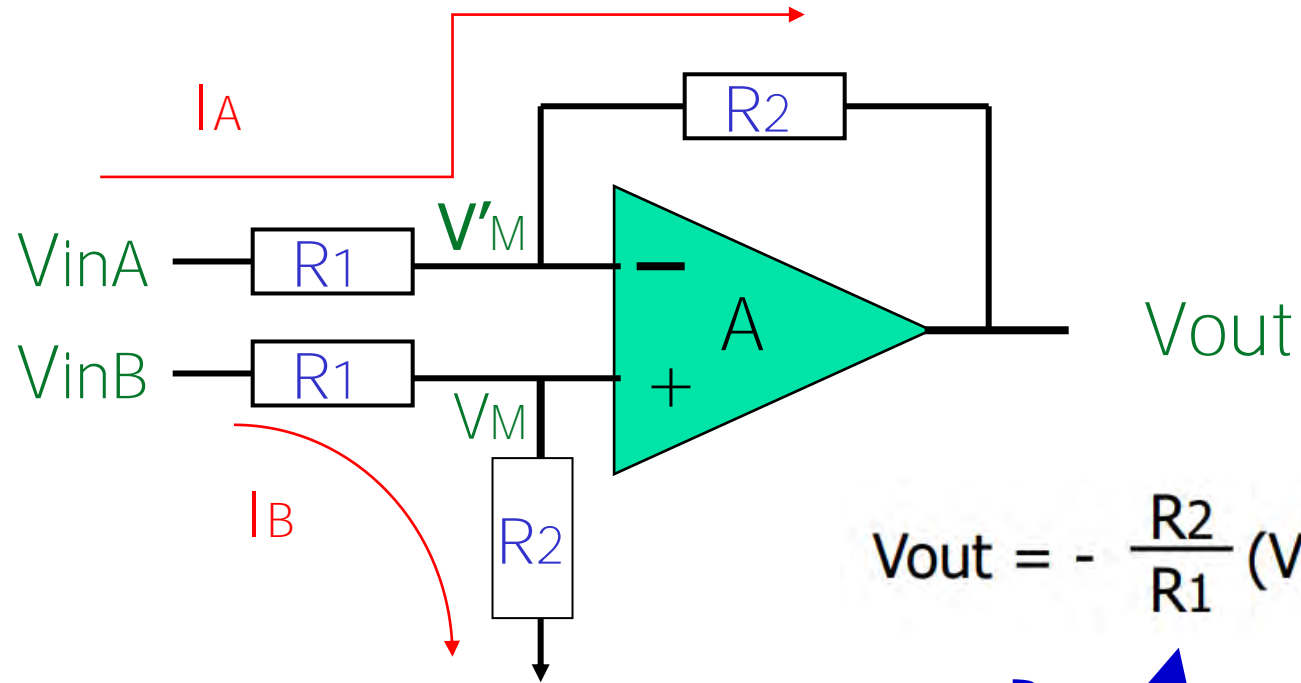
プラス入力側に戻されていたら、その回路は(特別な場合を除き)誤り。
- **仮想接地 (Virtual Ground):**
プラス入力 = マイナス入力
として解析する。

電圧の加算回路



- ① $I_A = V_{inA} / R_{in}$, $I_B = V_{inB} / R_{in}$: オームの法則で電圧を電流に変換
- ② $I_A + I_B = I_{out}$: キリヒホッフ電流則で電流加算
- ③ $V_{out} = - R_o I_{out}$: オームの法則で電流を電圧に変換

電圧の減算回路



$$V_{out} = - \frac{R_2}{R_1} (V_{inA} - V_{inB})$$

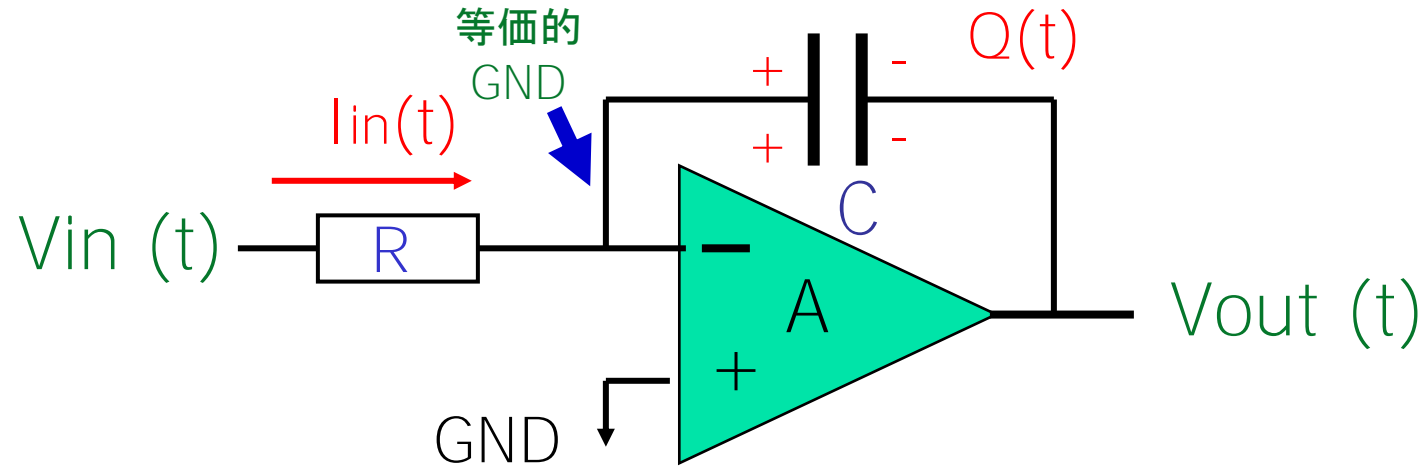
$$V_M = [R_2 / (R_1 + R_2)] V_{inB}$$

$$V'_M = V_M$$

$$I_A = (V_{inA} - V'_M) / R_1 = (V'_M - V_{out}) / R_2$$

電圧の時間積分回路

入力信号の時間積分



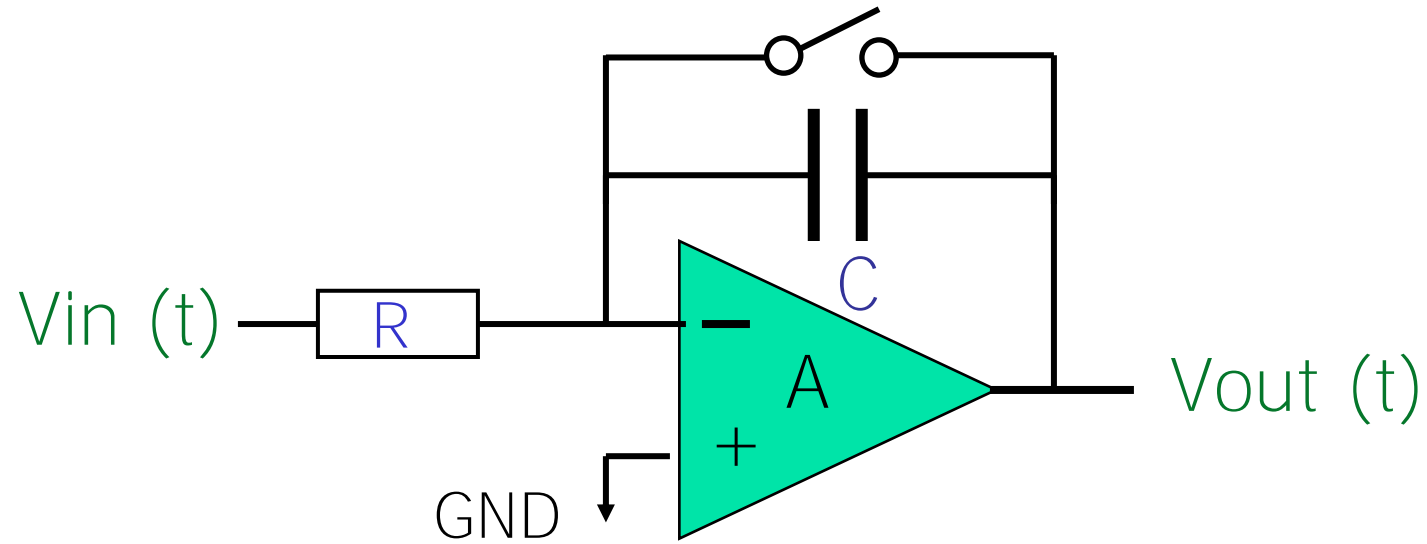
C は電荷蓄積
↓
積分要素

$$I_{in}(t) = V_{in}(t)/R$$

$$Q(t) = \int I_{in}(p) dp = -C V_{out}(t)$$

$$V_{out}(t) = -\frac{1}{RC} \int V_{in}(p) dp$$

時間積分回路のリセットスイッチ



スイッチをオン ➡ 容量Cの電荷をゼロ、 V_{out} をゼロ

次元解析 (Dimension Analysis)

左右両辺の「次元」は等しい

RC : 時間の次元 (時定数, time constant)

$$V_{out}(t) = - \frac{1}{RC} \int^t V_{in}(p) dp$$

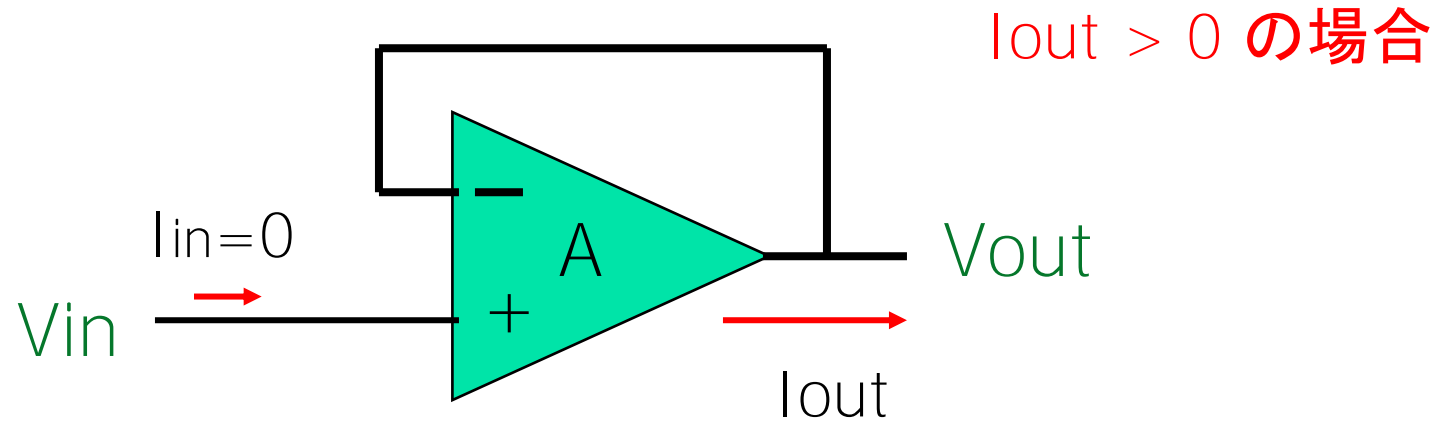
電圧 時間 電圧 時間

$$V_{out}(t) = -RC \frac{d}{dt} V_{in}(t)$$

電圧 時間 時間 電圧

左右両辺とも
次元は「電圧」

ボルテージ・フォロワ回路



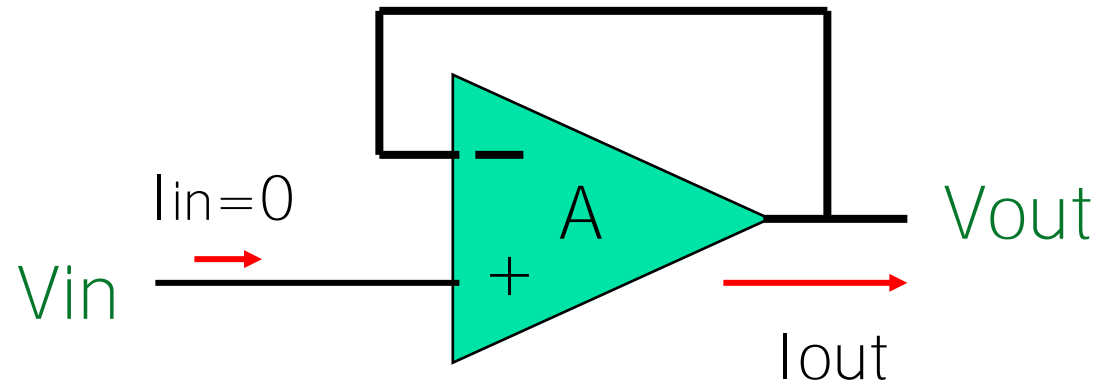
$$V_{out} = V_{in} \quad \text{電圧利得 } 1$$

$$P_{in} < P_{out} \quad \text{電力利得 } 1 \text{ より大}$$

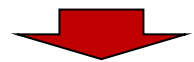
ここで $P_{in} = V_{in} I_{in}$

$$P_{out} = V_{out} I_{out}$$

ボルテージ・フォロワ回路の動作



$$V_{out} = A (V_{in} - V_{out})$$

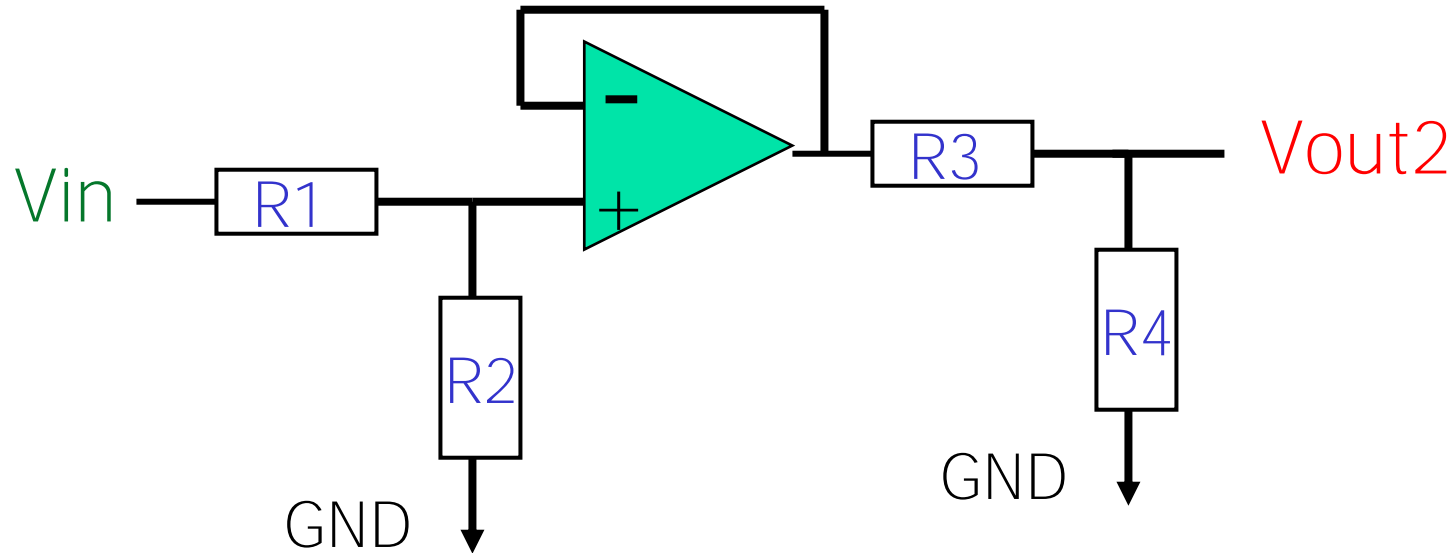
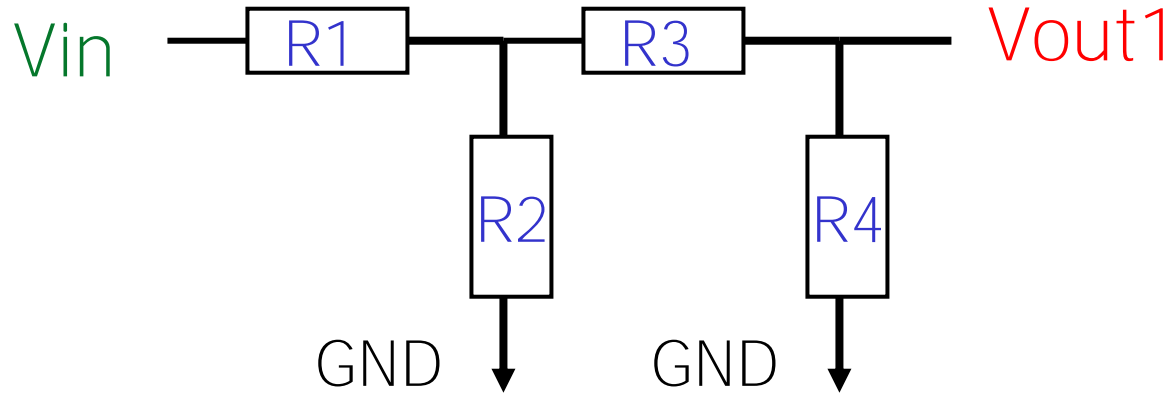


$$V_{out} = [A/(1+A)] V_{in} = [1/(1+(1/A))] V_{in}$$

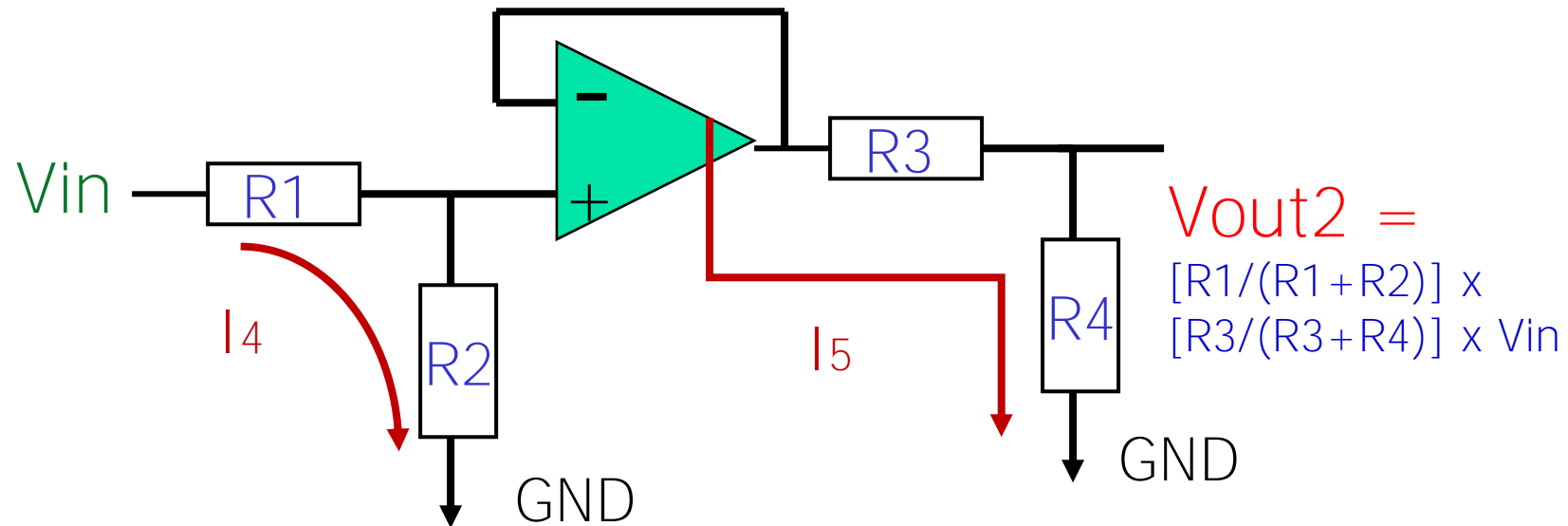
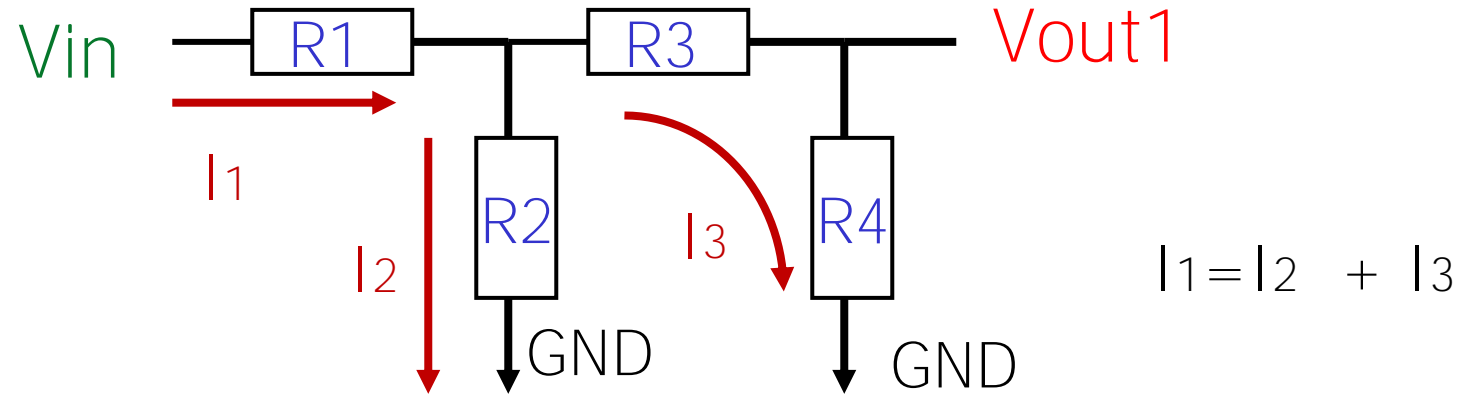
∴ $A \gg 1$ のとき $V_{out} \doteq V_{in}$ 電圧利得 1

バッファ回路

Vout1 と Vout2 は等しくない。

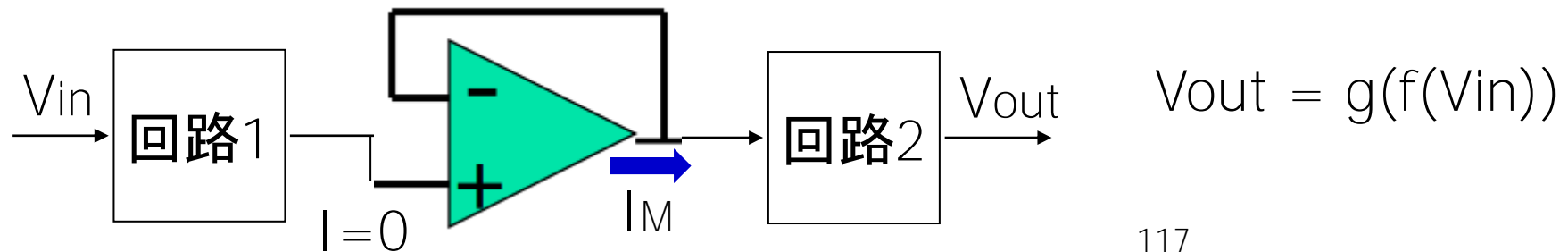
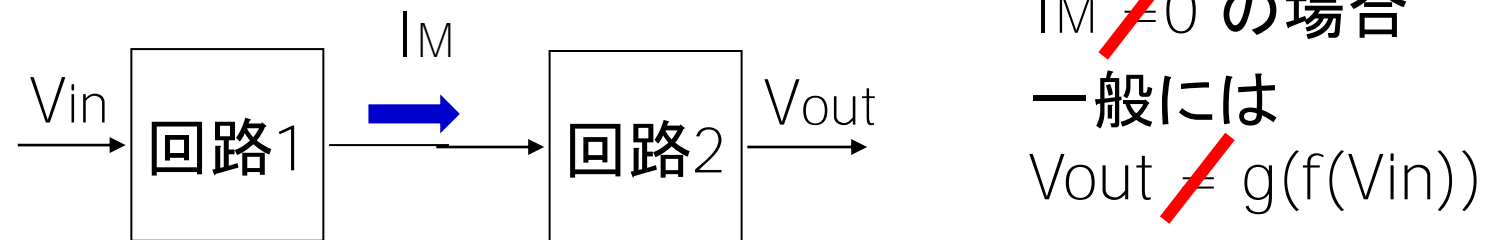
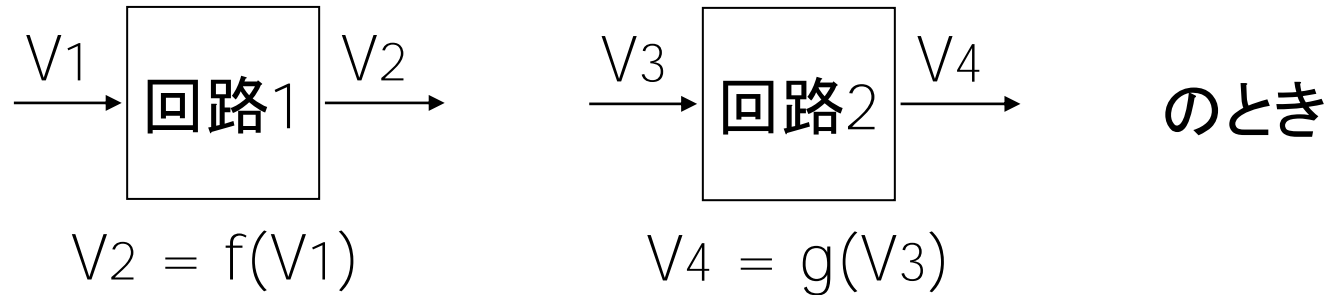


Vout1 と Vout2 は等しくない。なぜ？

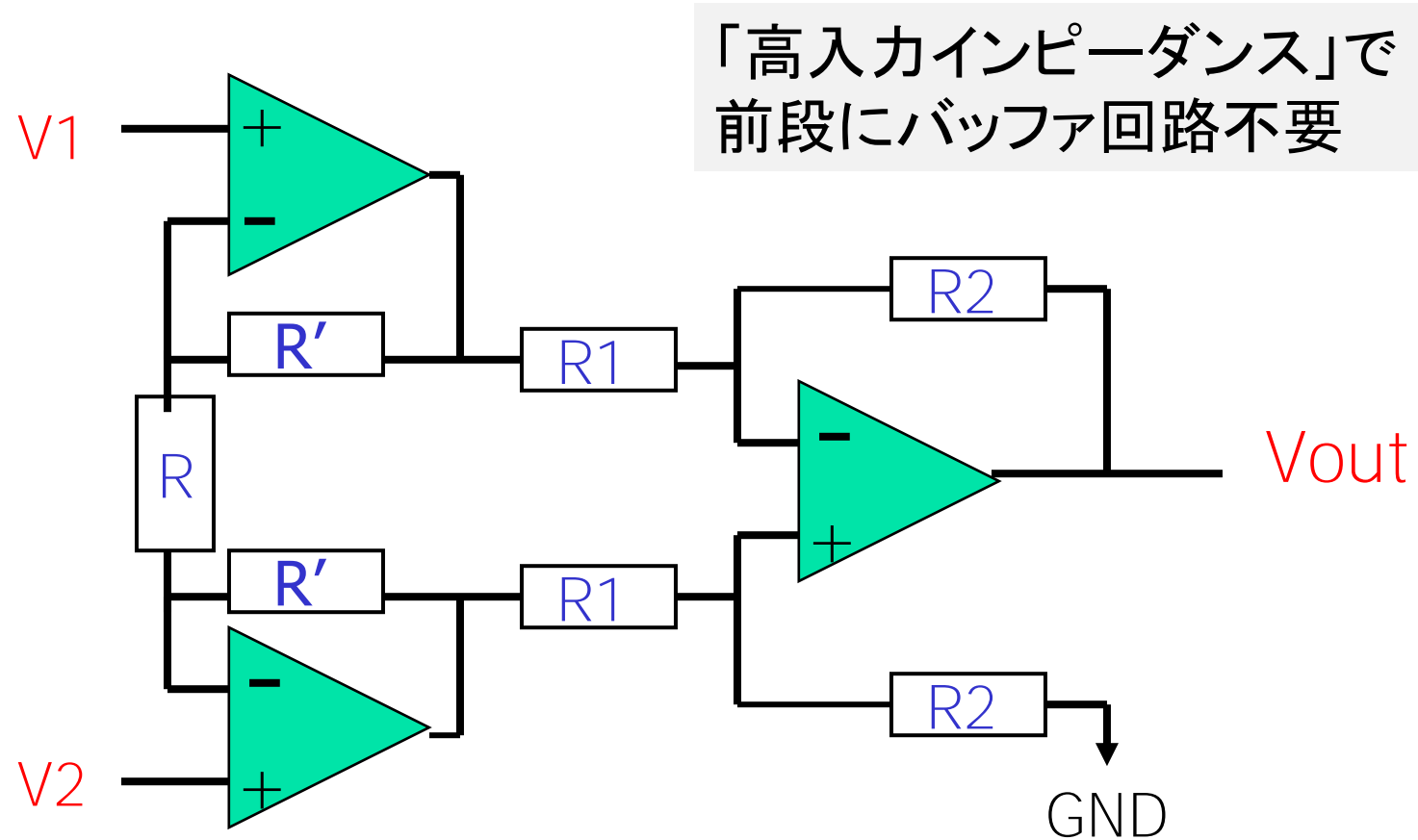


バッファ回路

後段回路の電流の面倒を見る



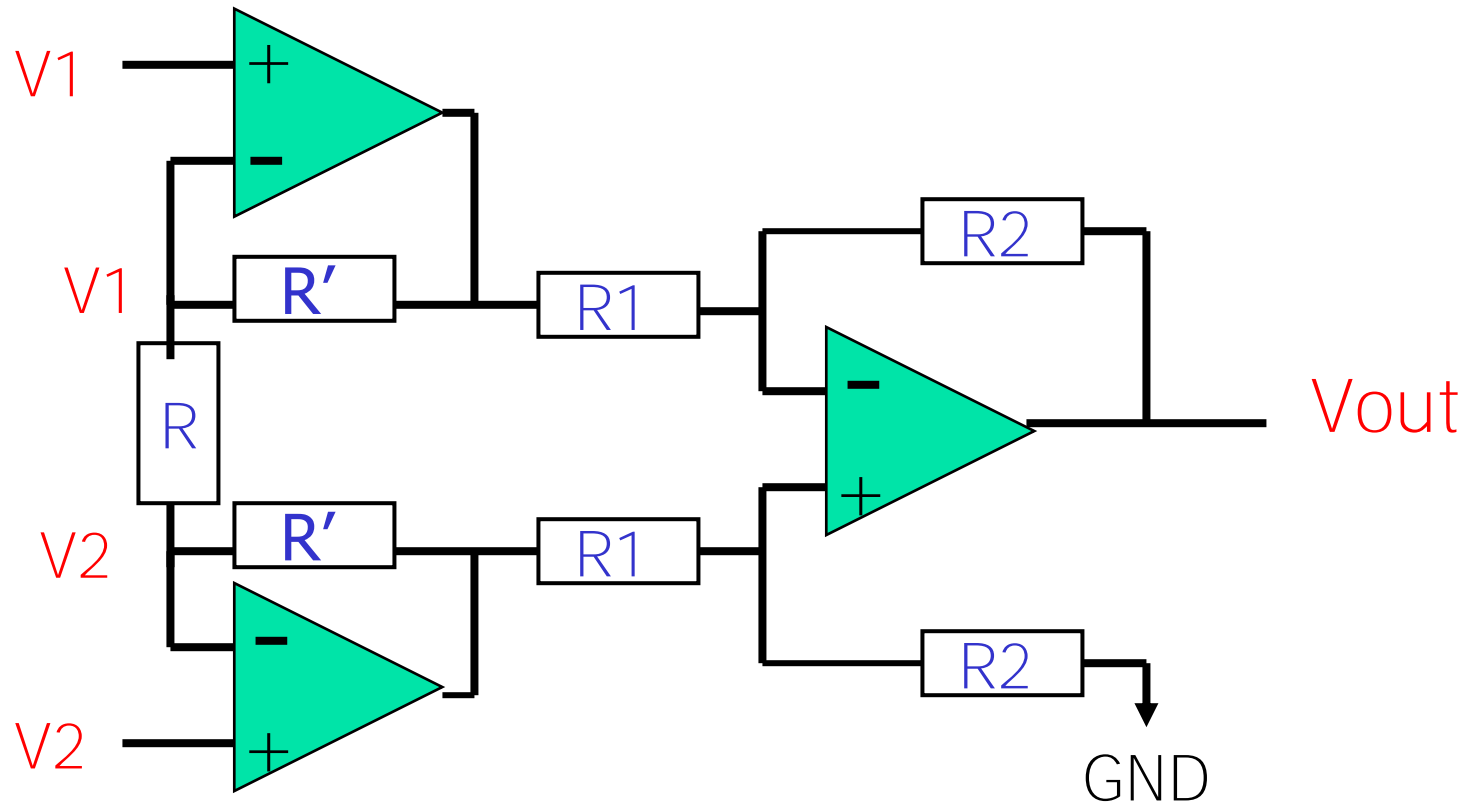
計装増幅回路 構成



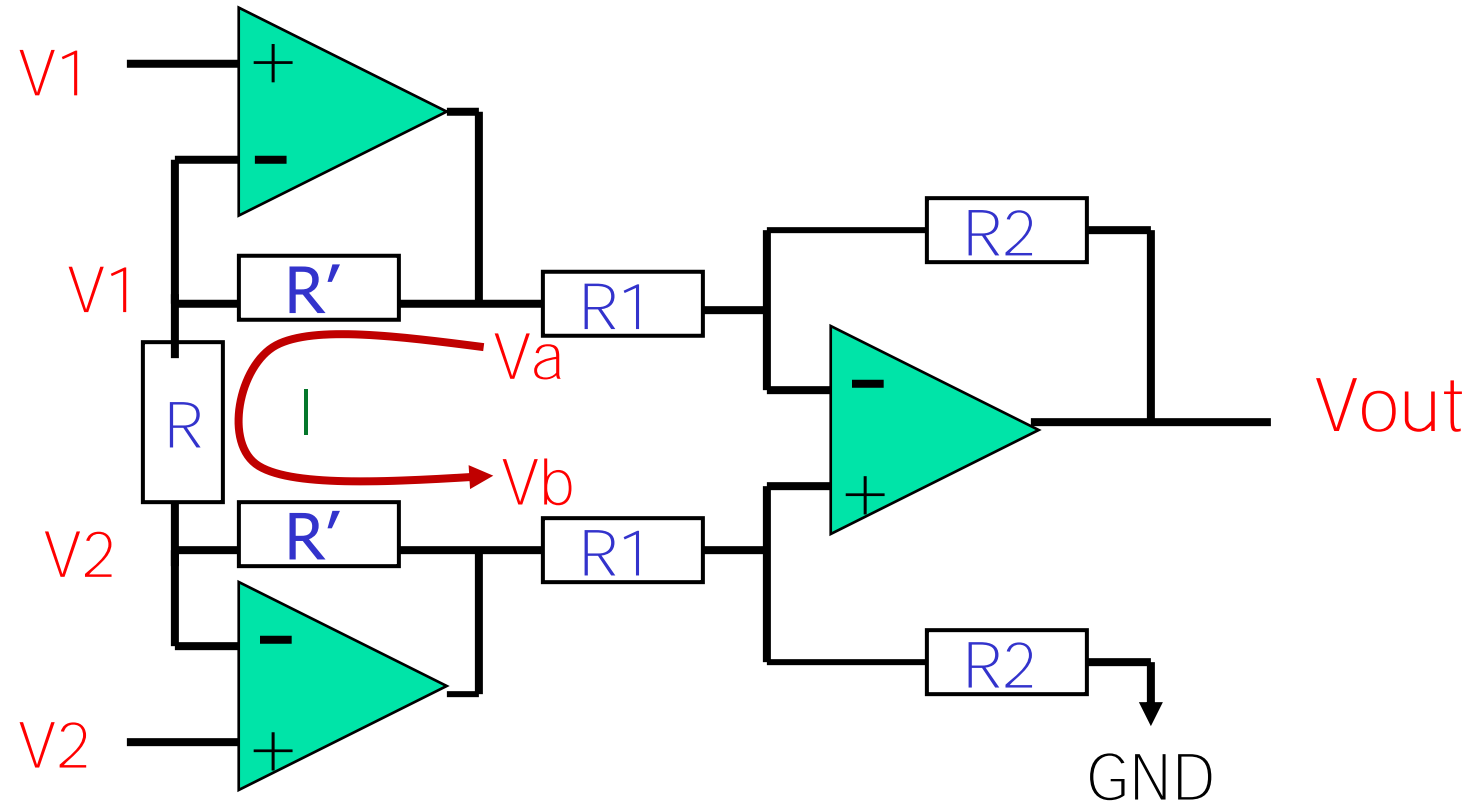
$$V_{out} = \left(1 + \frac{2R'}{R}\right) \frac{R2}{R1} (V2 - V1)$$

抵抗Rでゲインを調整可

計裝增幅回路 動作解析 1



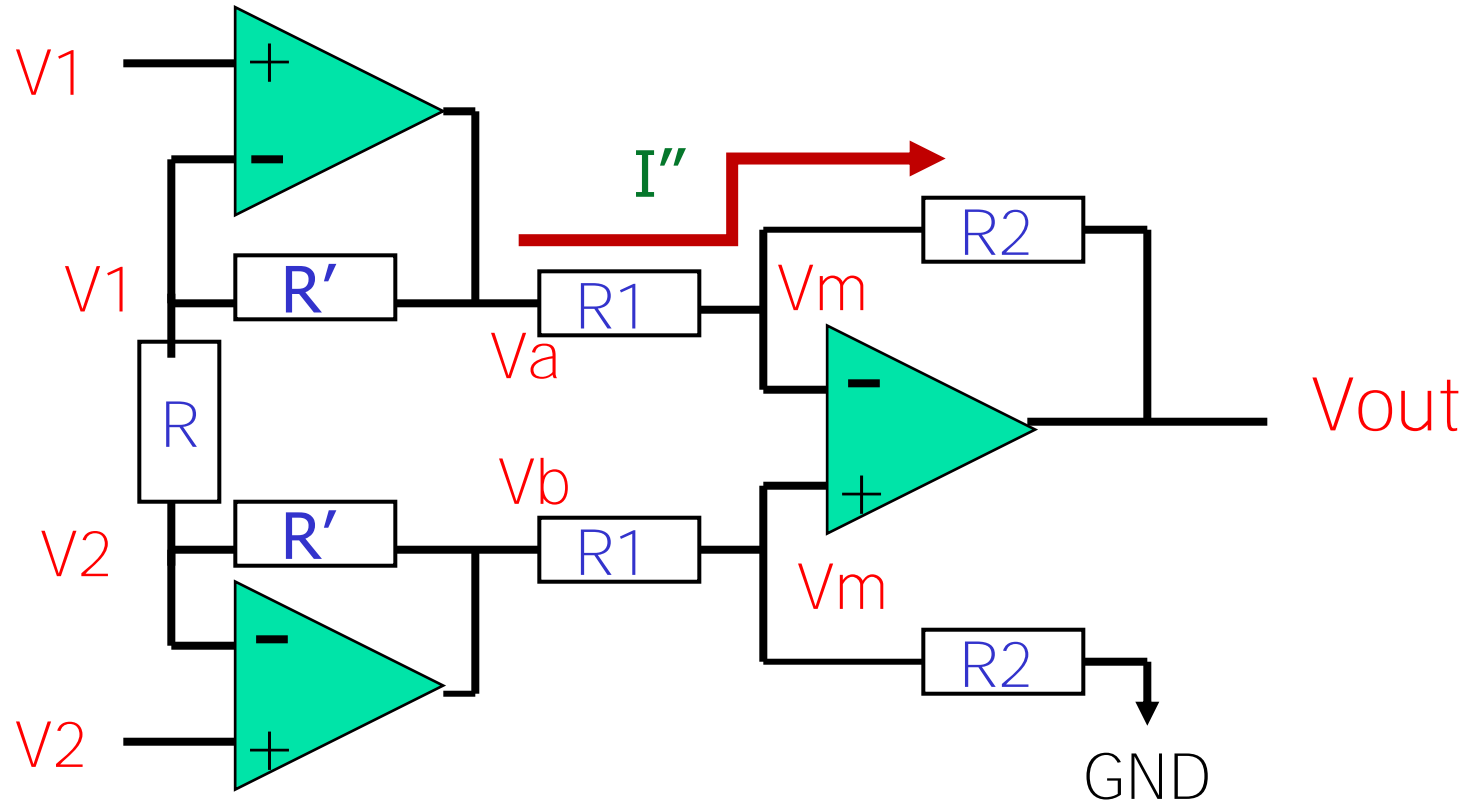
計装増幅回路 動作解析 2



$$I = [V1 - V2] / R = [V_a - V1] / R' = [V2 - V_b] / R' \rightarrow$$

Va, Vb を
V1, V2, R, R' で
表現

計装増幅回路 動作解析 4



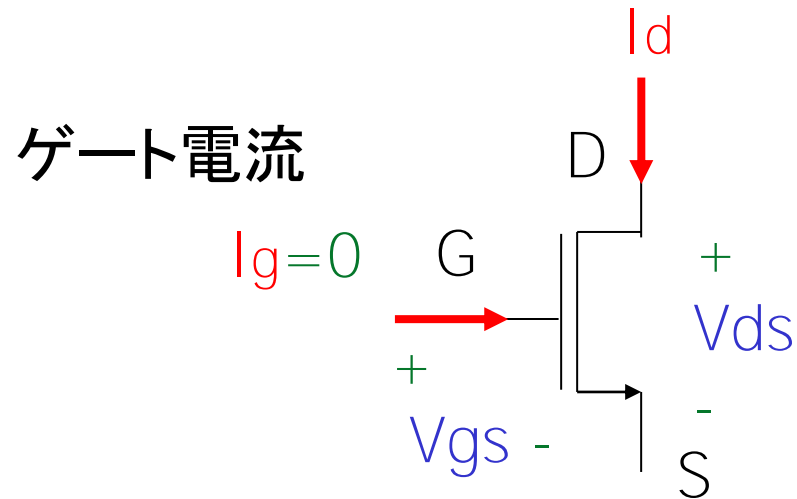
$$I'' = [V_a - V_m] / R_1 = [V_m - V_{out}] / R_2 \rightarrow$$

V_{out} を
 V_a, V_m, R_1, R_2 で
 表現

2.5 ソース接地増幅回路と小信号等価回路

2.5 ソース接地増幅回路と小信号等価回路

MOSTランジスタ（直流的）ゲート抵抗は無限大



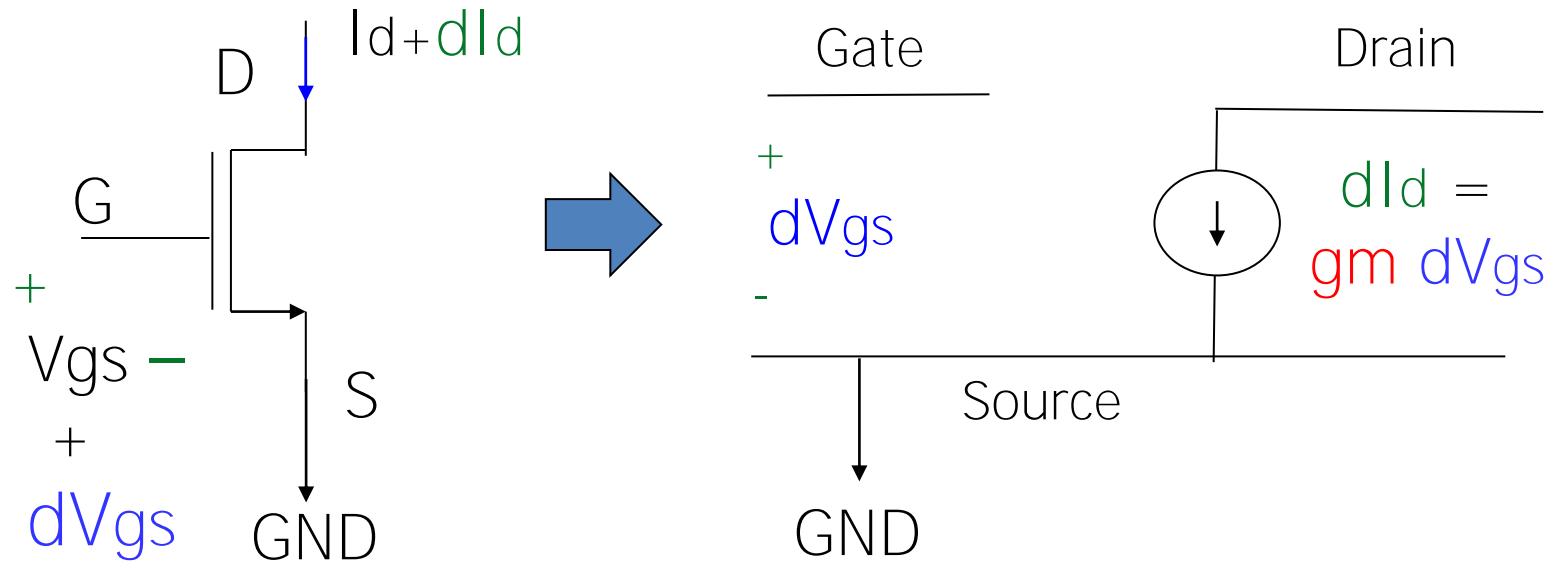
ゲート電流 $I_g = 0$



ゲート抵抗 無限大

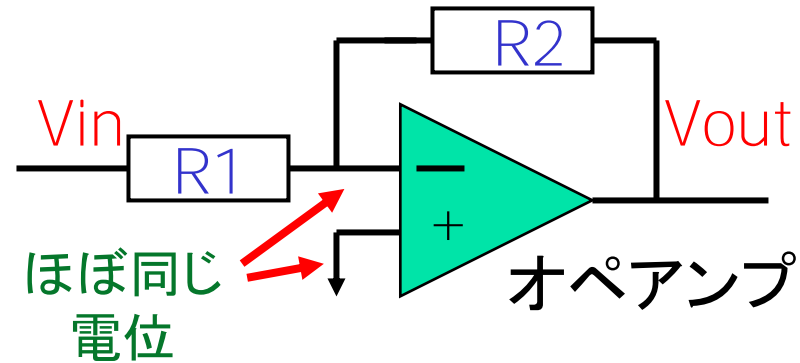
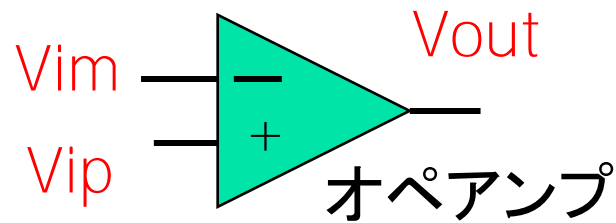
MOS トランジスタ 小信号等価回路モデル

小信号等価回路

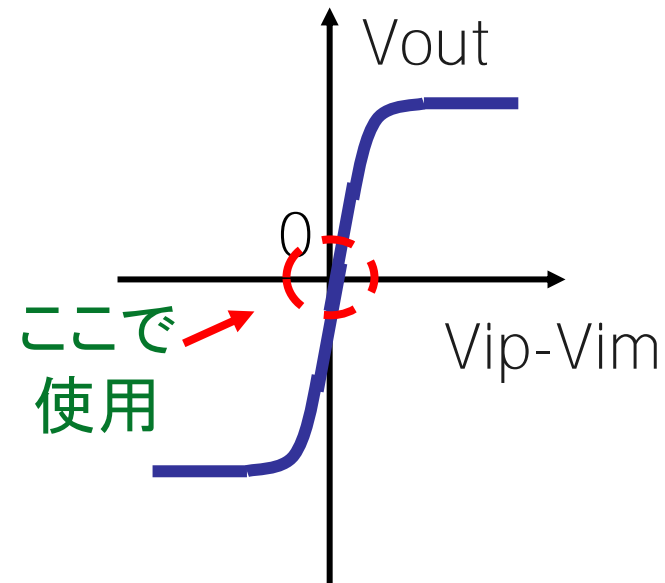


- 入力抵抗(ゲート抵抗)無限大
- g_m がMOS とバイポーラは異なる

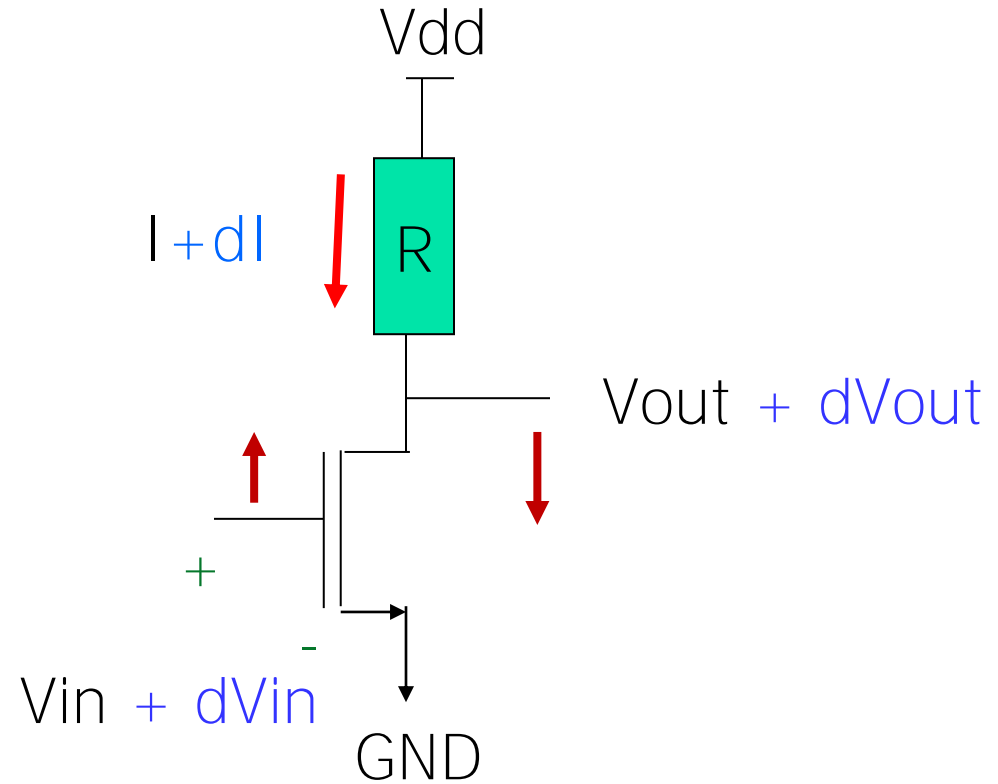
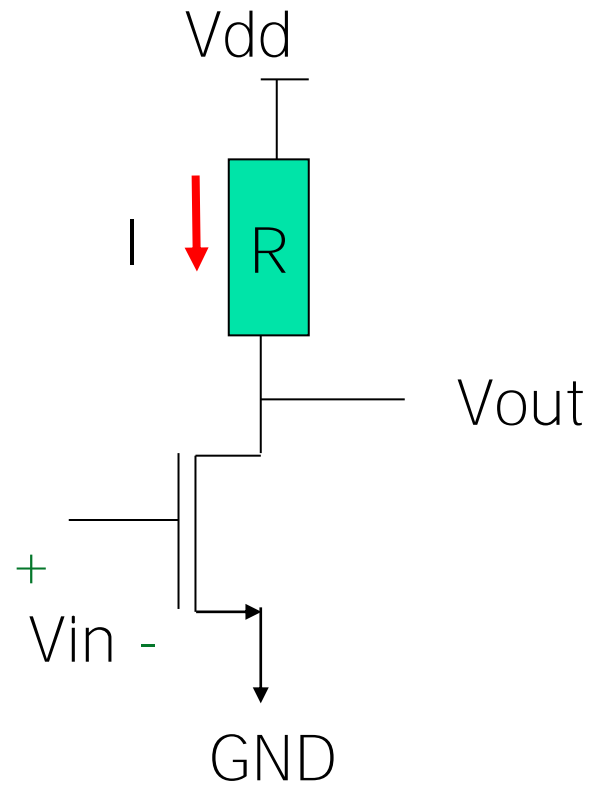
なぜ小信号増幅回路を考えるか？



- オペアンプは負帰還使用で小信号増幅回路
- エミッタ接地回路をオペアンプ内で使用する場合小信号増幅回路で考えてよい



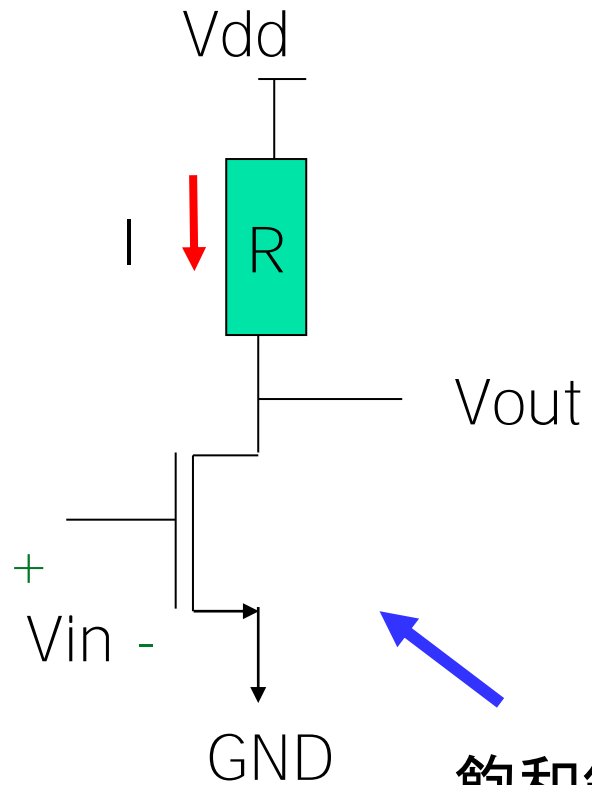
ソース接地増幅回路 小信号ゲイン増幅回路



小信号ゲイン (微分ゲイン) $A = \frac{dV_{out}}{dV_{in}} = -g_m R$

MOSの g_m を使用

ソース接地増幅回路の解析(1) 動作点を得る

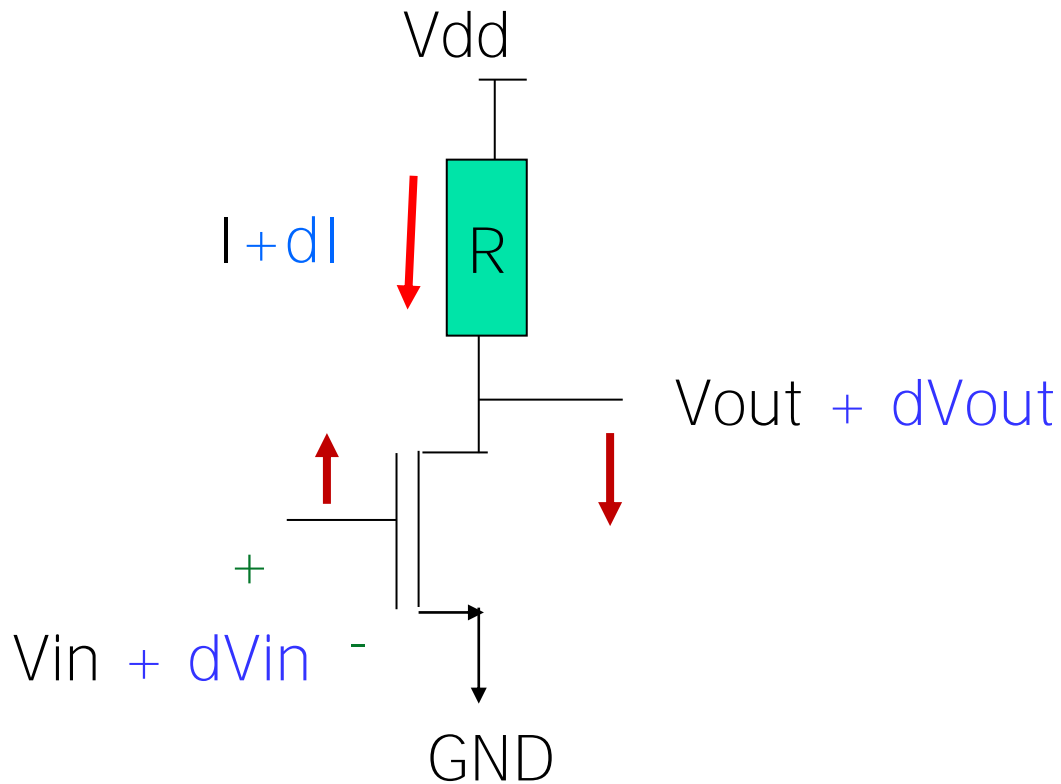


$$I = \beta_n \cdot (W / L) (V_{in} - V_{th})^2$$

$$V_{out} = V_{dd} - R I$$

ソース接地増幅回路の解析(2)

入力電圧 V_{in} が dV_{in} 変化した場合



$$I + dl = \beta_n \cdot (W / L) (V_{in} + dV_{in} - V_{th})^2$$

$$dl = \frac{dI}{dV_{in}} dV_{in}$$

↓

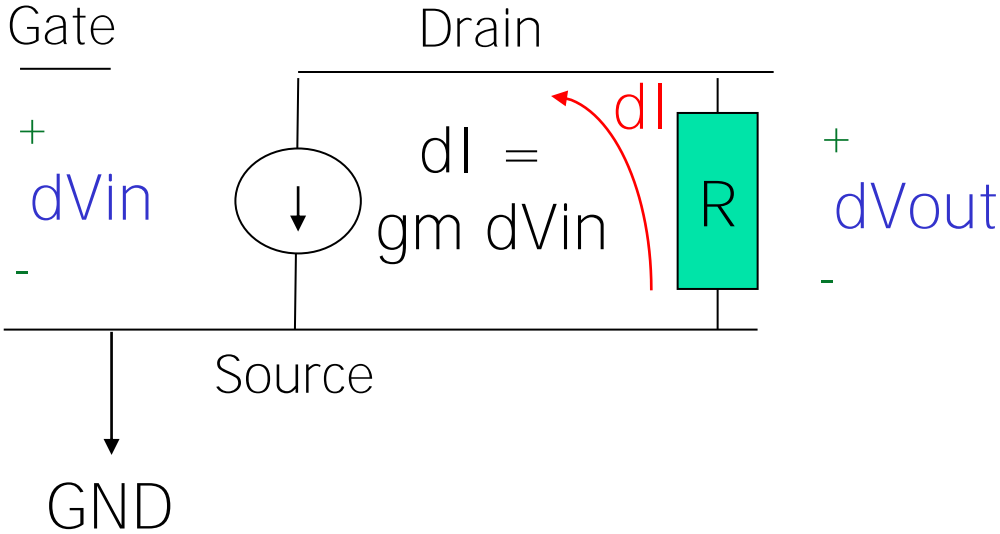
gm

$$\begin{aligned} V_{out} + dV_{out} &= V_{dd} - R(I + dl) \\ &= V_{dd} - RI - gm R V_{in} \end{aligned}$$

$$\boxed{dV_{out}/dV_{in} = - gm R}$$

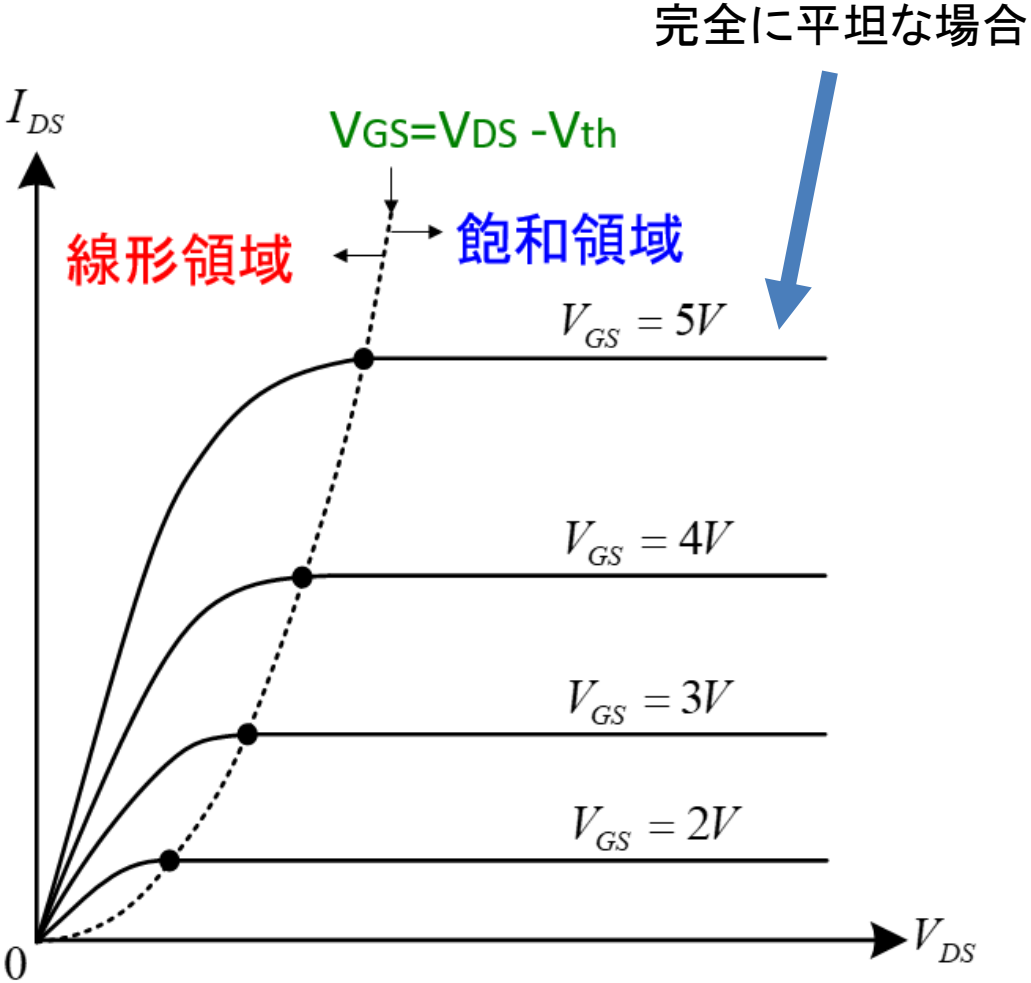
第一近似 ソース接地増幅器小信号等価回路モデル

Vddに接続: 交流的に接地(GND)

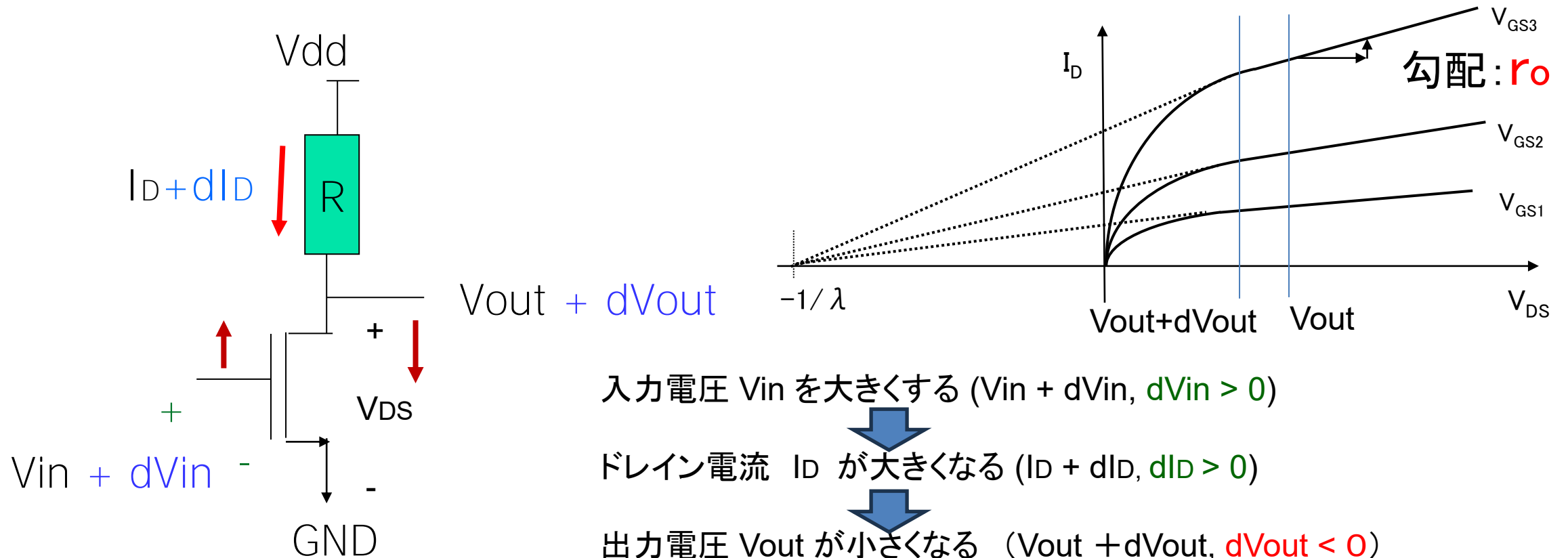


$$dV_{out} = - R dI$$

$$= - R g_m dV_{in}$$



チャンネル長変調効果を考慮したソース接地増幅回路



入力電圧 V_{in} を大きくする ($V_{in} + dV_{in}$, $dV_{in} > 0$)

↓

ドレイン電流 I_D が大きくなる ($I_D + dI_D$, $dI_D > 0$)

↓

出力電圧 V_{out} が小さくなる ($V_{out} + dV_{out}$, $dV_{out} < 0$)

↓

ドレイン電流 I_D の増加が抑えられる

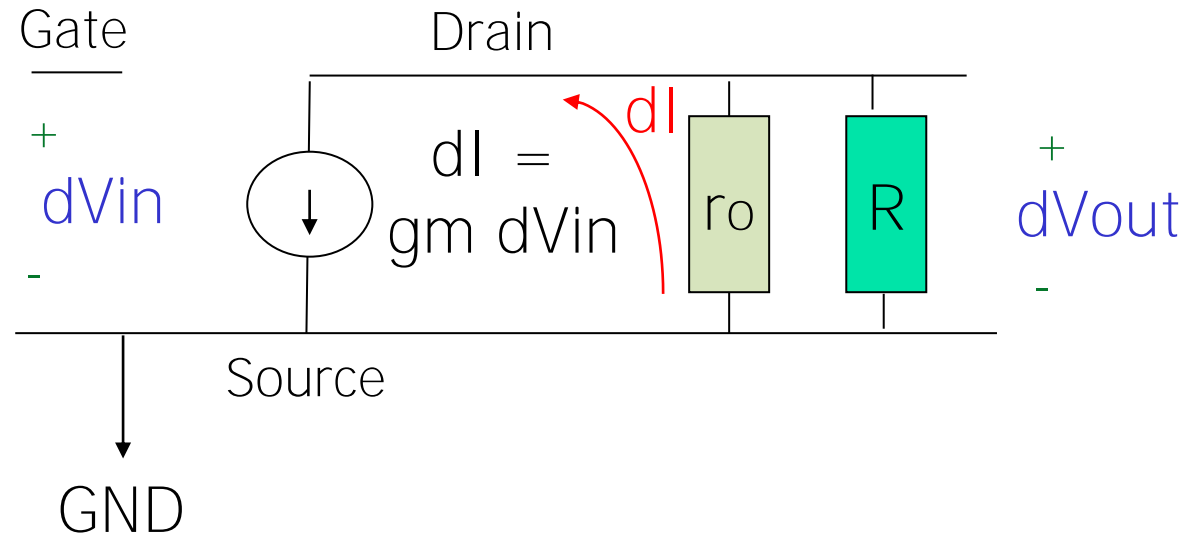
↓

出力電圧 V_{out} の低下が抑えられる

↓

小信号ゲインがチャンネル長変調効果により小さくなる

より正確なソース接地増幅器小信号等価回路モデル



$$\begin{aligned} dV_{out} &= - (R || ro) dI \\ &= - (R || ro) gm dV_{in} \end{aligned}$$

ここで

$$R || ro = R ro / (R + ro)$$

小信号ゲイン

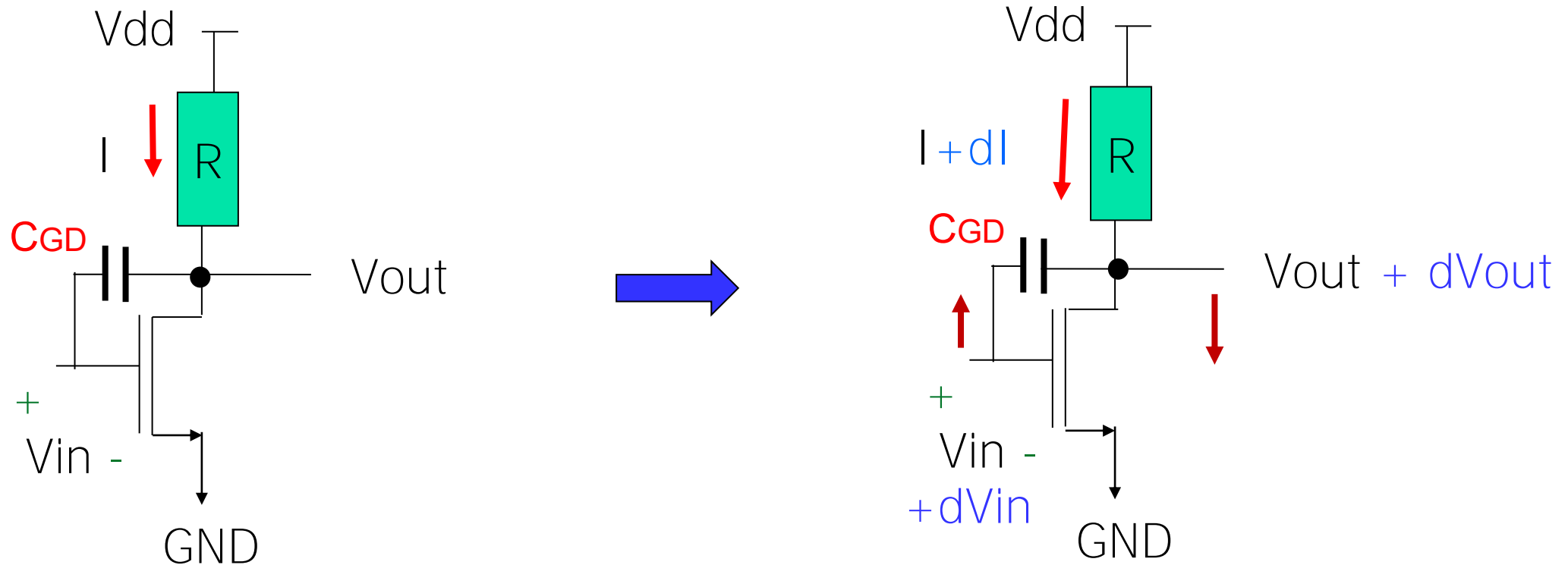
$$\frac{dV_{out}}{dV_{in}} = - gm (R || ro)$$

負荷 R を無限大にすると

$$\frac{dV_{out}}{dV_{in}} = - gm ro$$

この回路ではこれ以上大きくなるはない

ソース接地増幅回路の問題点



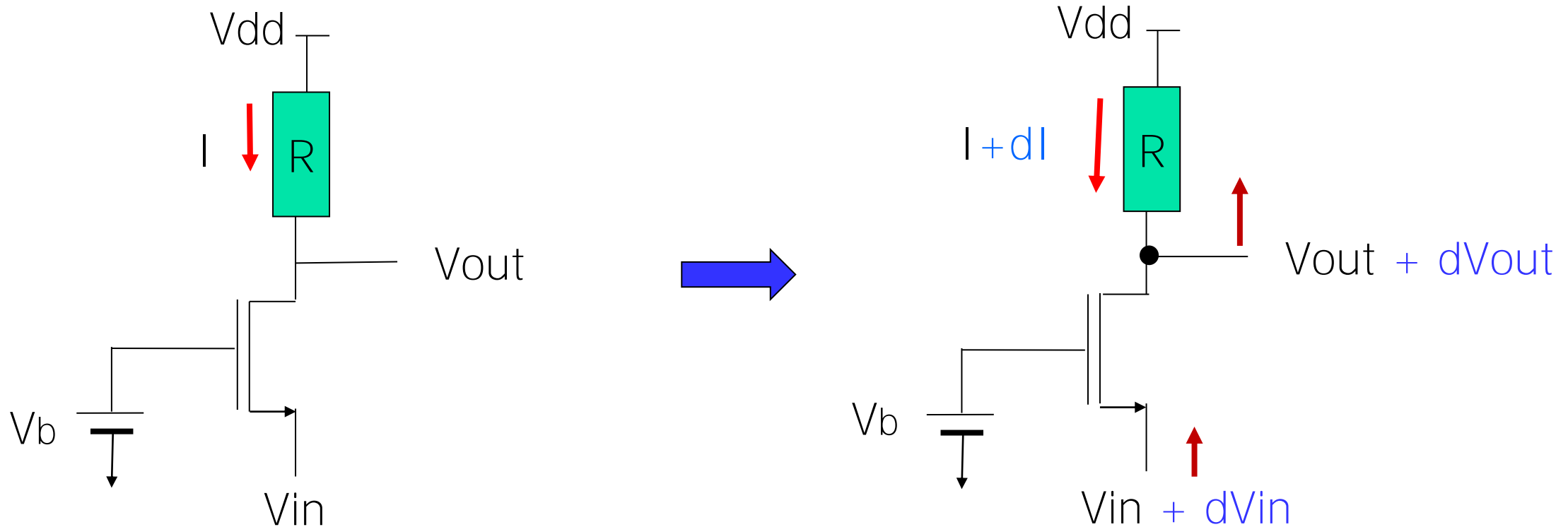
寄生容量 C_{GD} \rightarrow インピーダンス $Z = 1/(j\omega C_{GD})$

周波数 ω が高いと $Z=0$

高周波増幅回路
として不適

ミラー容量(付録参照)としても説明可

2.6 ゲート接地増幅回路



$$V_{GS} = V_b - V_{in}$$

$$V_{GS} + dV_{GS} = V_b - (V_{in} + dV_{in})$$

$$dV_{GS} = -dV_{in}$$

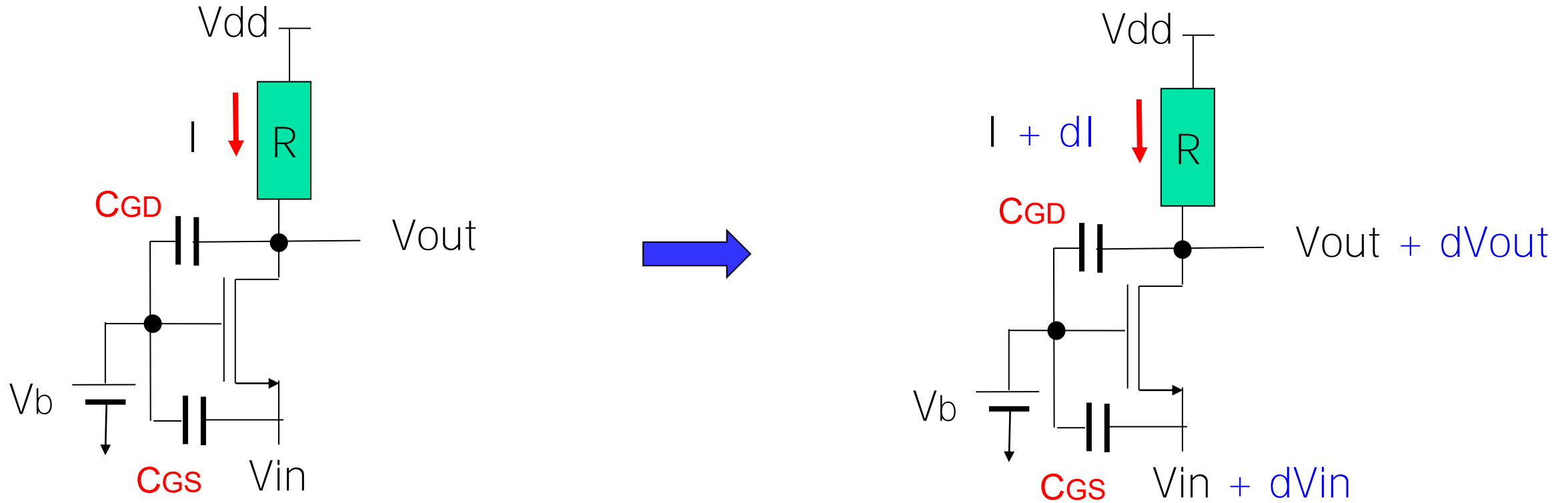
$$dI = -g_m dV_{in}$$

正のゲイン

$$dV_{out} / dV_{in} = g_m R$$

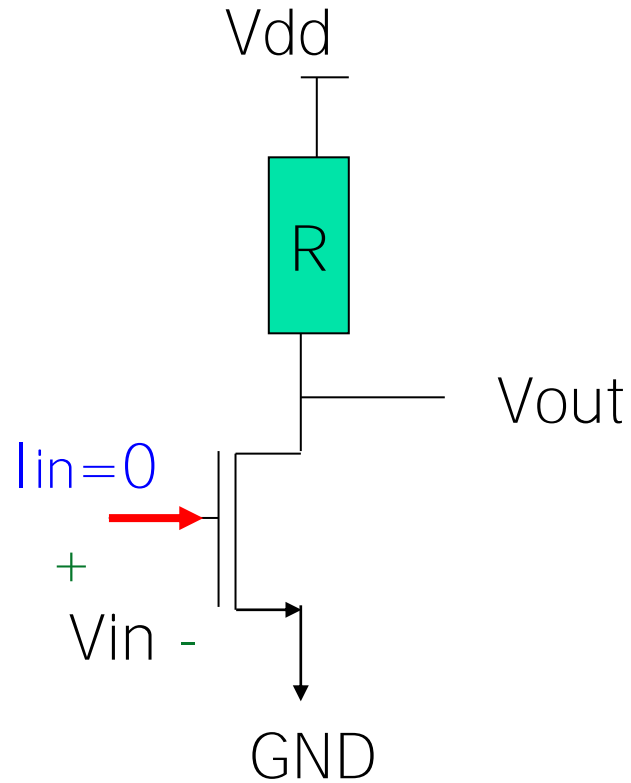
$$dV_{out} = dI R = g_m R dV_{in}$$

高周波増幅回路としてのゲート接地増幅回路



Vin から Vout への容量結合が小さい

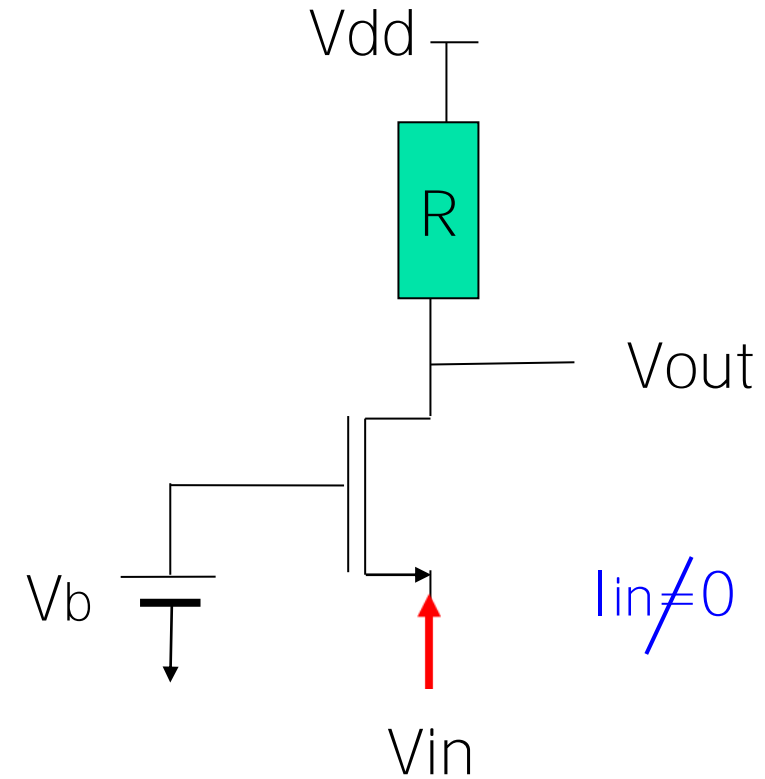
ソース接地とゲート接地増幅回路の入力電流



入力電流 I_{in} はゼロ

↓

低周波増幅回路として使いやすい



入力電流 I_{in} はゼロでない

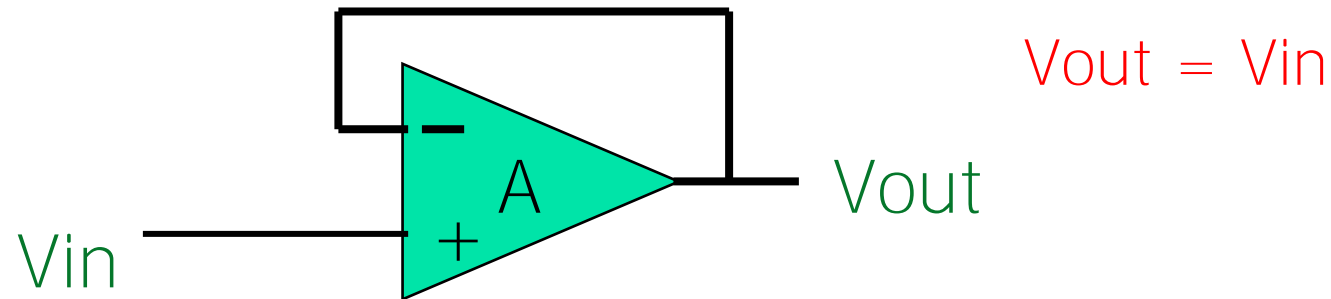
↓

この観点からは使いづらい

2.7 ソースフォロワ回路

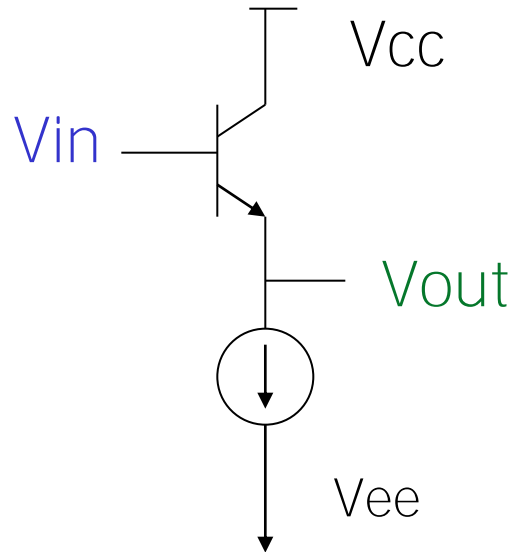
バッファ回路

- **ボルテージ・フォロワ回路**
オペアンプを使用するので、
回路量、消費電力が大きくなる。

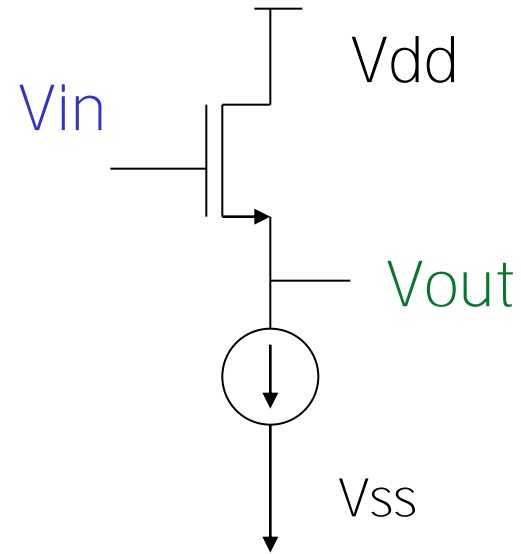


- **エミッタ・フォロワ回路 (バイポーラ)**
ソース・フォロワ回路 (MOS)
回路が簡単であるが、高精度は得られない。

エミッタ・フォロワ回路、ソースフォロワ回路



Emitter Follower
(コレクタ接地回路)

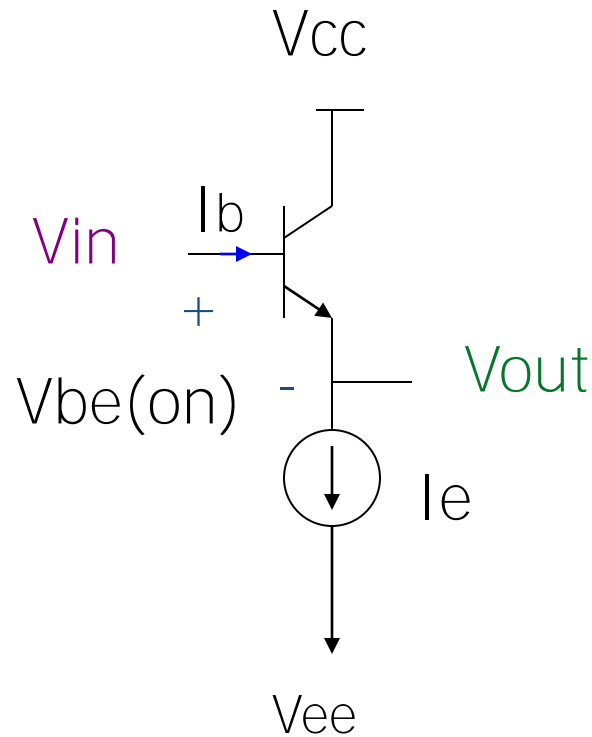


Source Follower

- バッファとして使用される。

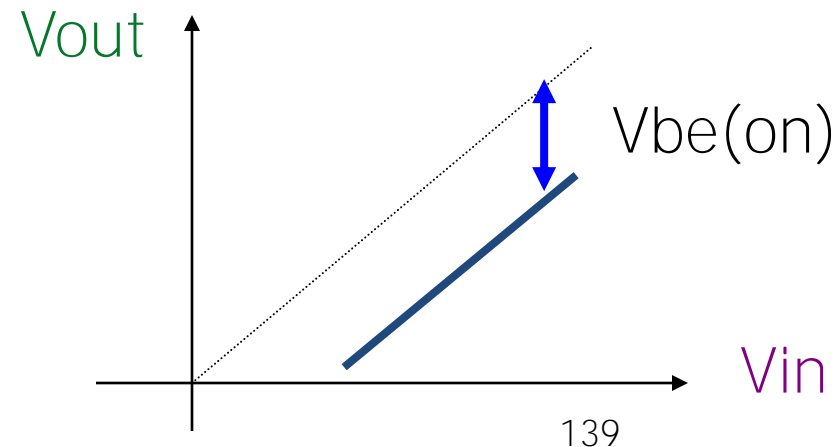
エミッタ・フォロワ回路の動作(1)

(出力電圧=入力電圧、入力電流小)



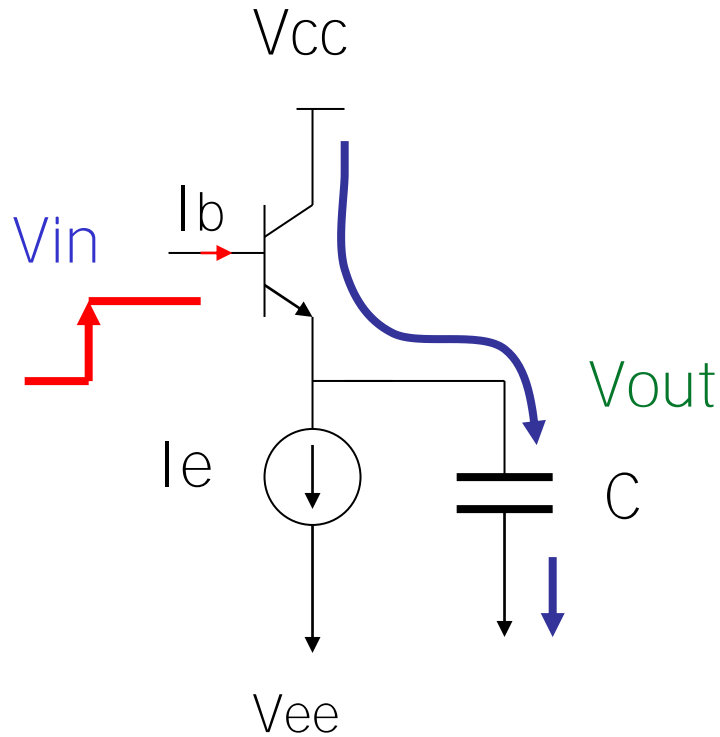
- $V_{out} = V_{in} - V_{be(on)}$
 $V_{be(on)} = 0.7 \text{ V}$

- $I_b / I_e = 1 / (\beta - 1)$
 $\beta = 100$
 $I_b \approx 0$

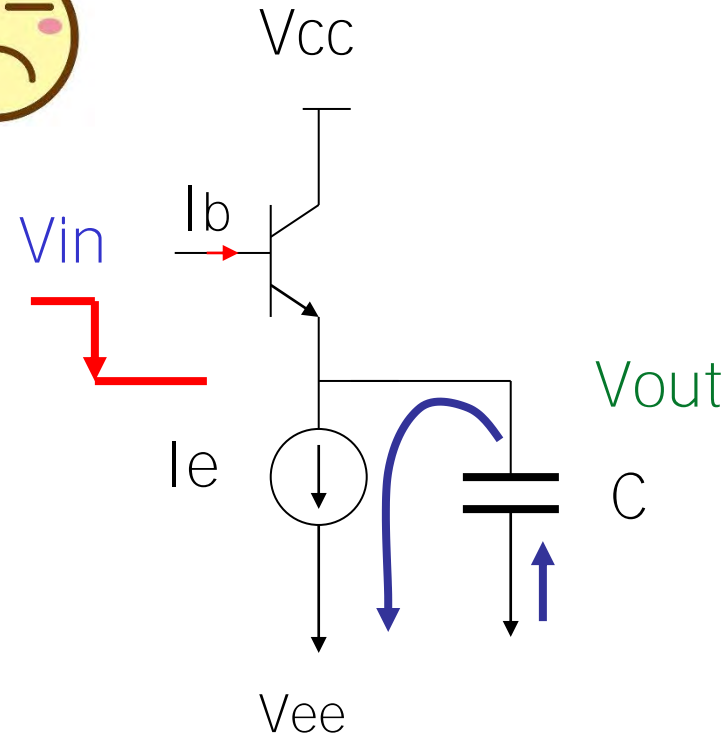


エミッタ・フォロワ回路の動作(2)

(出力電流大)



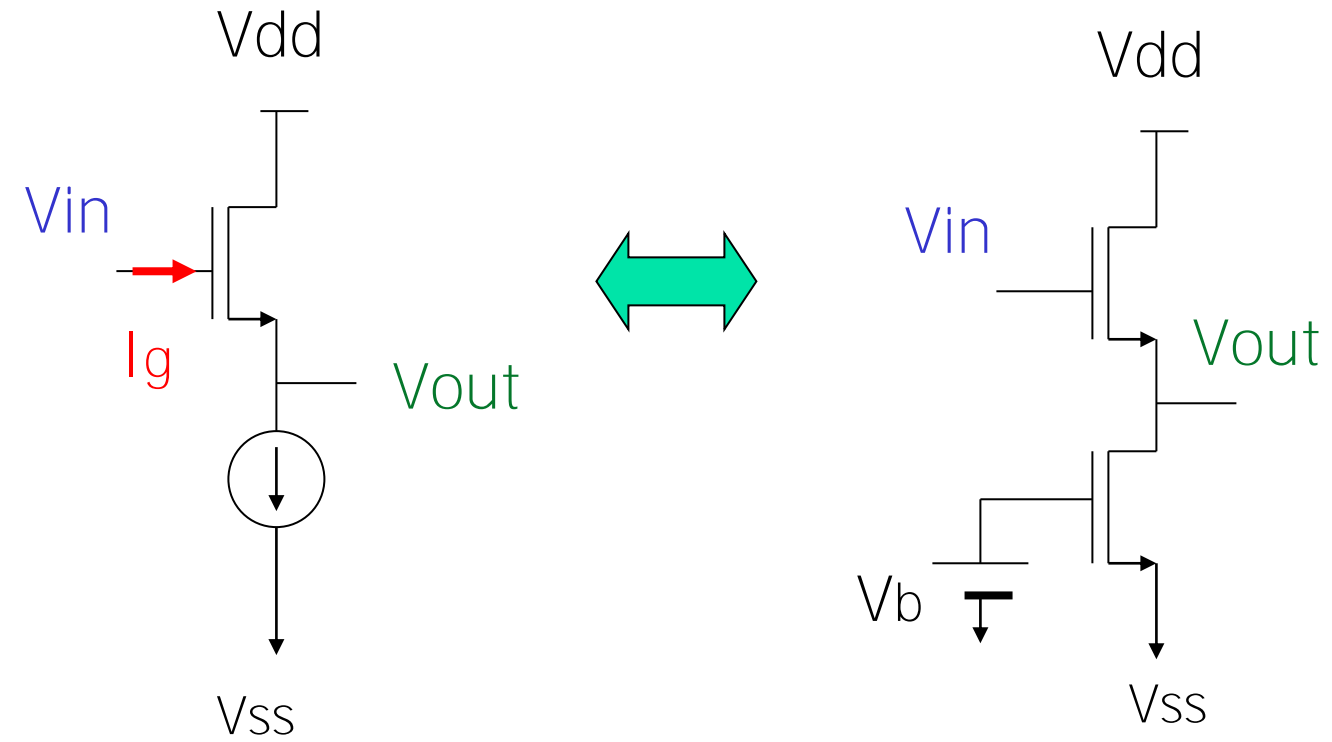
● 電荷供給



● 電荷引き抜き

Slew Rate
スルーレート
 $dV/dt = I/C$

ソース・フォロワ回路



ソースフォロワは
エミッタフォロワより
特性が劣る。

ゲート電流 $I_g=0$

2.8 差動增幅回路

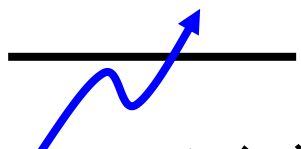
シングルエンド信号と差動信号(1)

- シングルエンド信号 (single-ended signal)
1本の信号線の信号の差で1つの信号を表す。

V_{sig} —————

Ex. $V_{sig} = \sin(\omega t)$

欠点: ノイズに弱い。

V_{sig} 
ノイズ $n(t)$

Ex. $V_{sig} = \sin(\omega t) + n(t)$

シングルエンド信号と差動信号(2)

● 差動信号 (differential signal)

2本の信号線の信号の差で1つの信号を表す。

$$\begin{array}{l} V_{\text{sig}+} \text{ —————} \\ V_{\text{sig}-} \text{ —————} \end{array} \quad V_{\text{sig}} = V_{\text{sig}+} - V_{\text{sig}-}$$

たとえば

$$V_{\text{sig}+} = (1/2) \sin(\omega t), \quad V_{\text{sig}-} = -(1/2) \sin(\omega t)$$

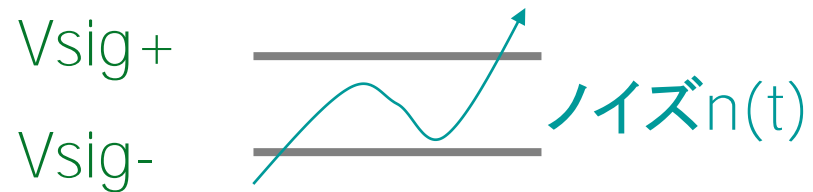


$$V_{\text{sig}} = V_{\text{sig}+} - V_{\text{sig}-} = \sin(\omega t)$$

シングルエンド信号と差動信号(3)

● 差動信号のメリット

ノイズの影響を受けにくい



$$V_{sin+} = (1/2) \sin(\omega t) + n(t)$$

$$V_{sin-} = -(1/2) \sin(\omega t) + n(t)$$

➡ $V_{sig} = V_{sig+} - V_{sig-} = \sin(\omega t)$

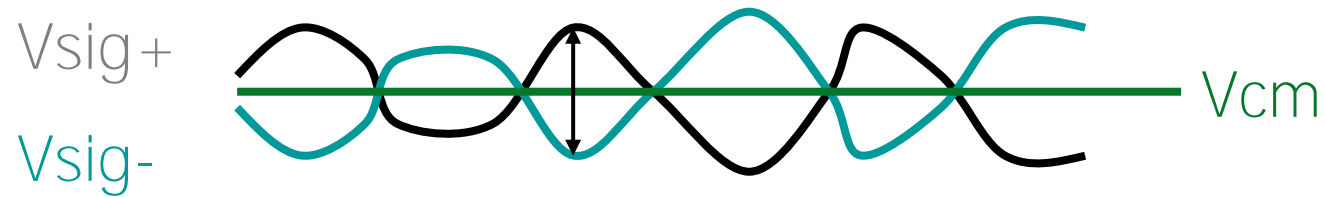
加えて、信号振幅を2倍、偶数次高調波をキャンセル等のメリット

● 差動信号のデメリット

回路量 大 (信号線が2本必要)

シングルエンド信号と差動信号(4)

● 差動信号 (differential signal)



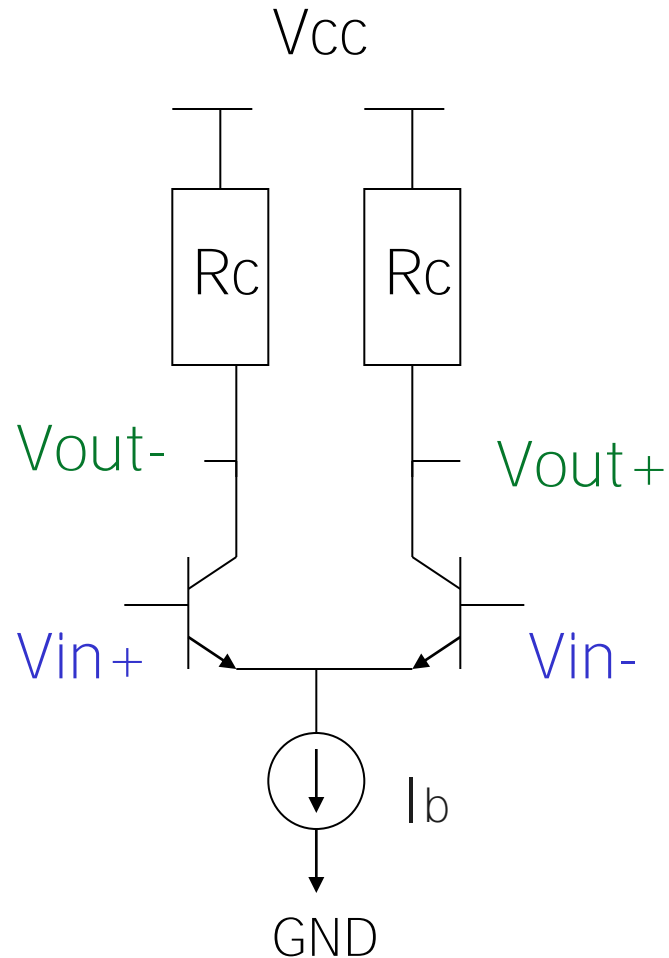
差動信号成分: $V_{sig} = V_{sig+} - V_{sig-}$

同相信号成分 (Common mode signal)

$$V_{cm} = (V_{sig+} + V_{sig-}) / 2$$

高速・高精度のアナログ回路の大部分は
差動信号を用いて設計されている。
(可能な限り差動信号・差動回路を用いること)

抵抗負荷 差動増幅回路



$V_{in+} \rightarrow V_{in} + dV_{in}$

$V_{in-} \rightarrow V_{in} - dV_{in}$

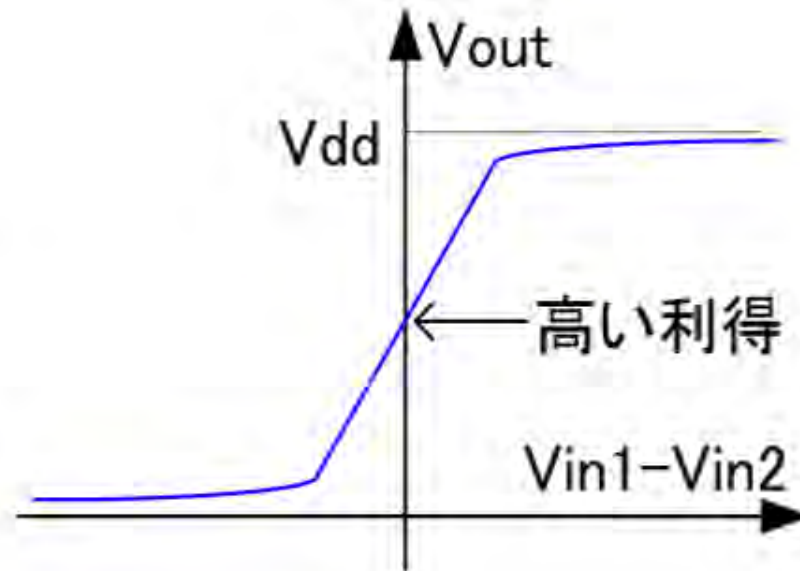
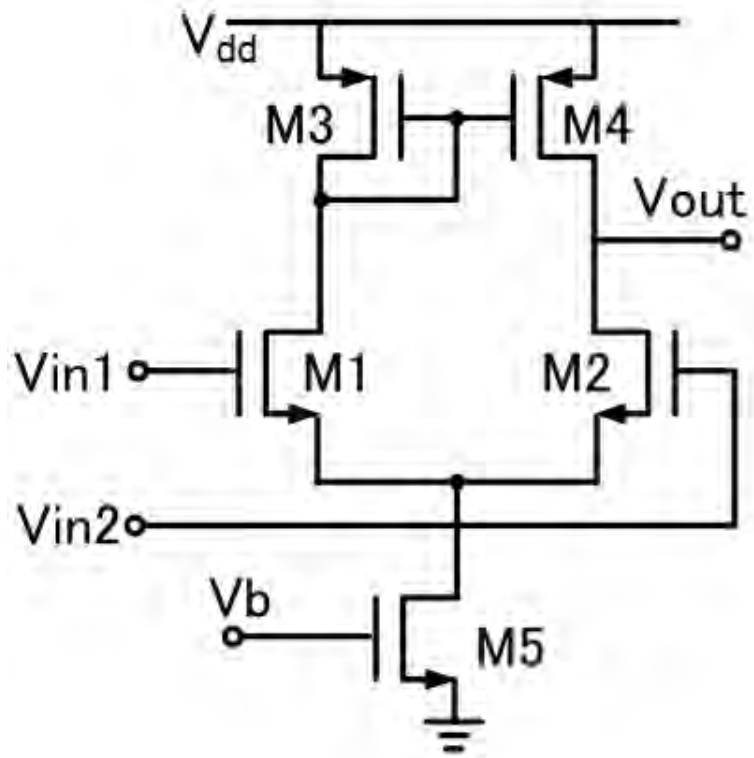
$V_{out+} \rightarrow V_{out} + dV_{out}$

$V_{out-} \rightarrow V_{out} - dV_{out}$

のとき、小信号ゲイン A

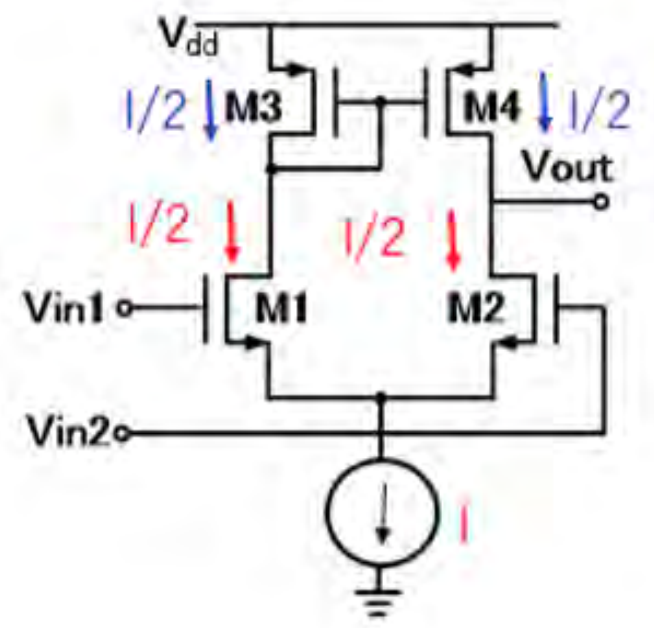
$$A = \frac{dV_{out}}{dV_{in}} = g_m R_c$$

・ 能動負荷 (入力差動) 増幅回路



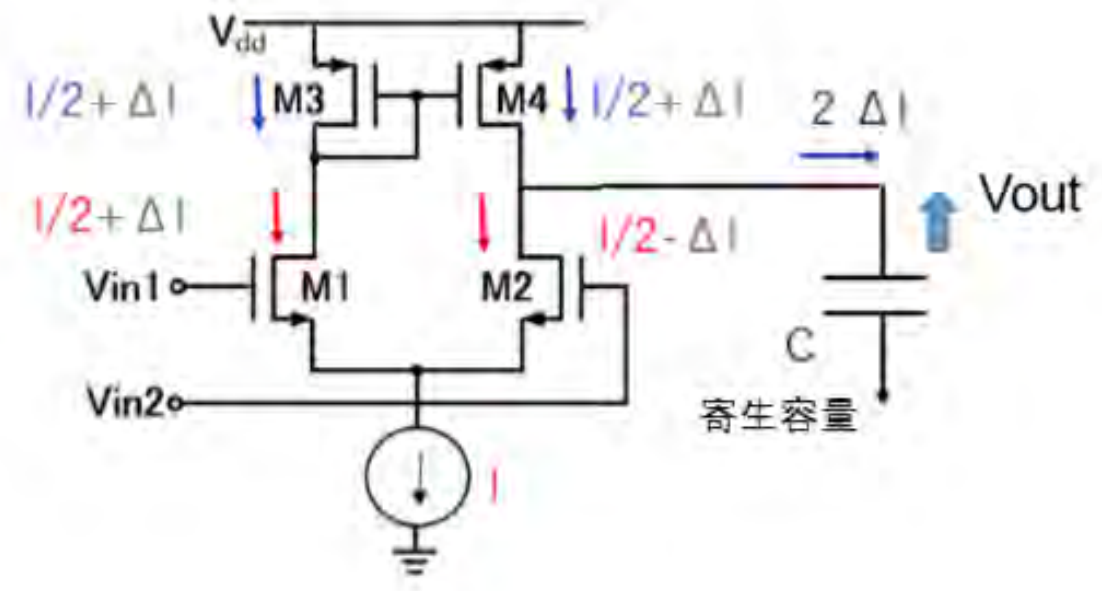
能動負荷 動作説明

Vin1=Vin2 のとき

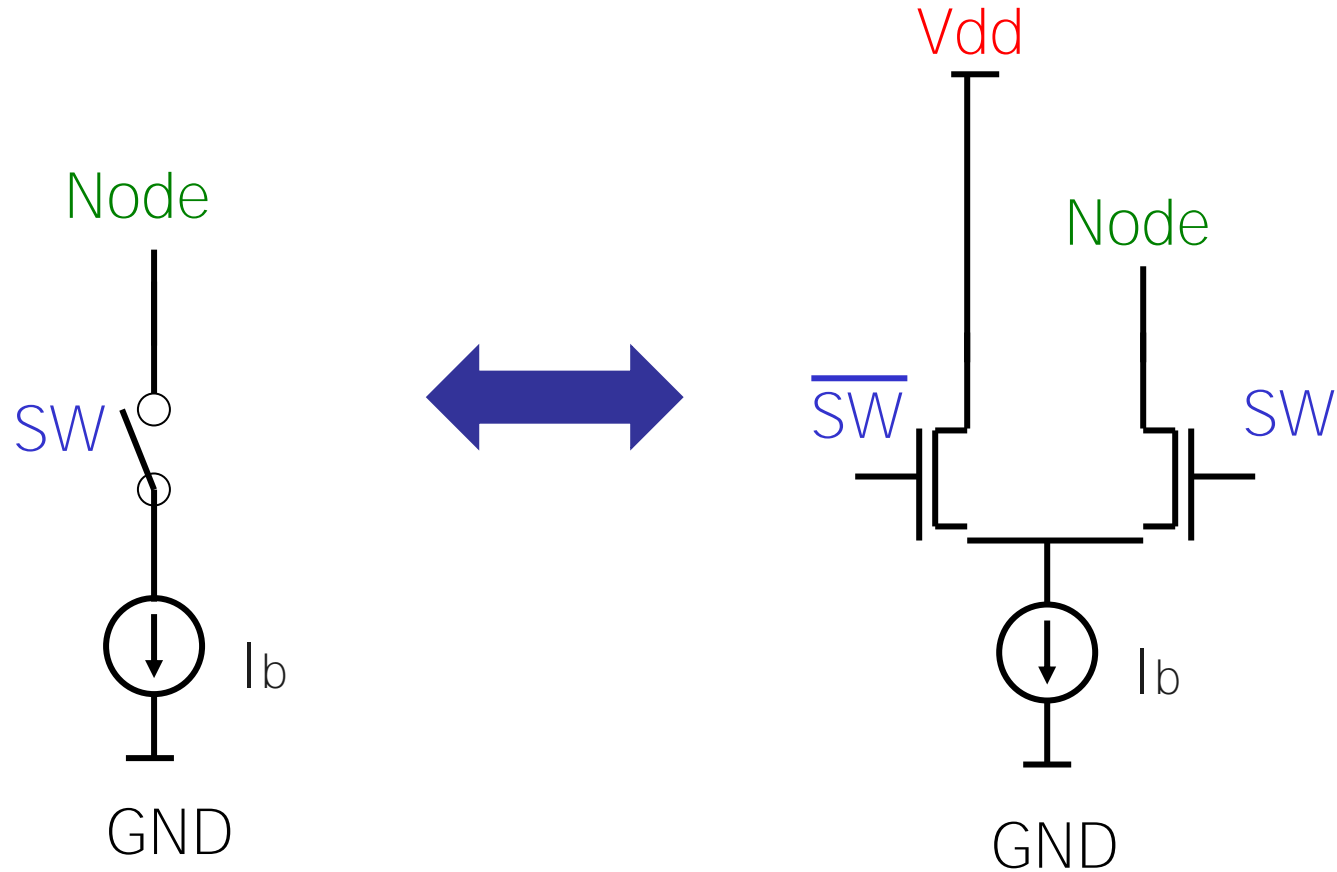


Vin1 > Vin2 のとき

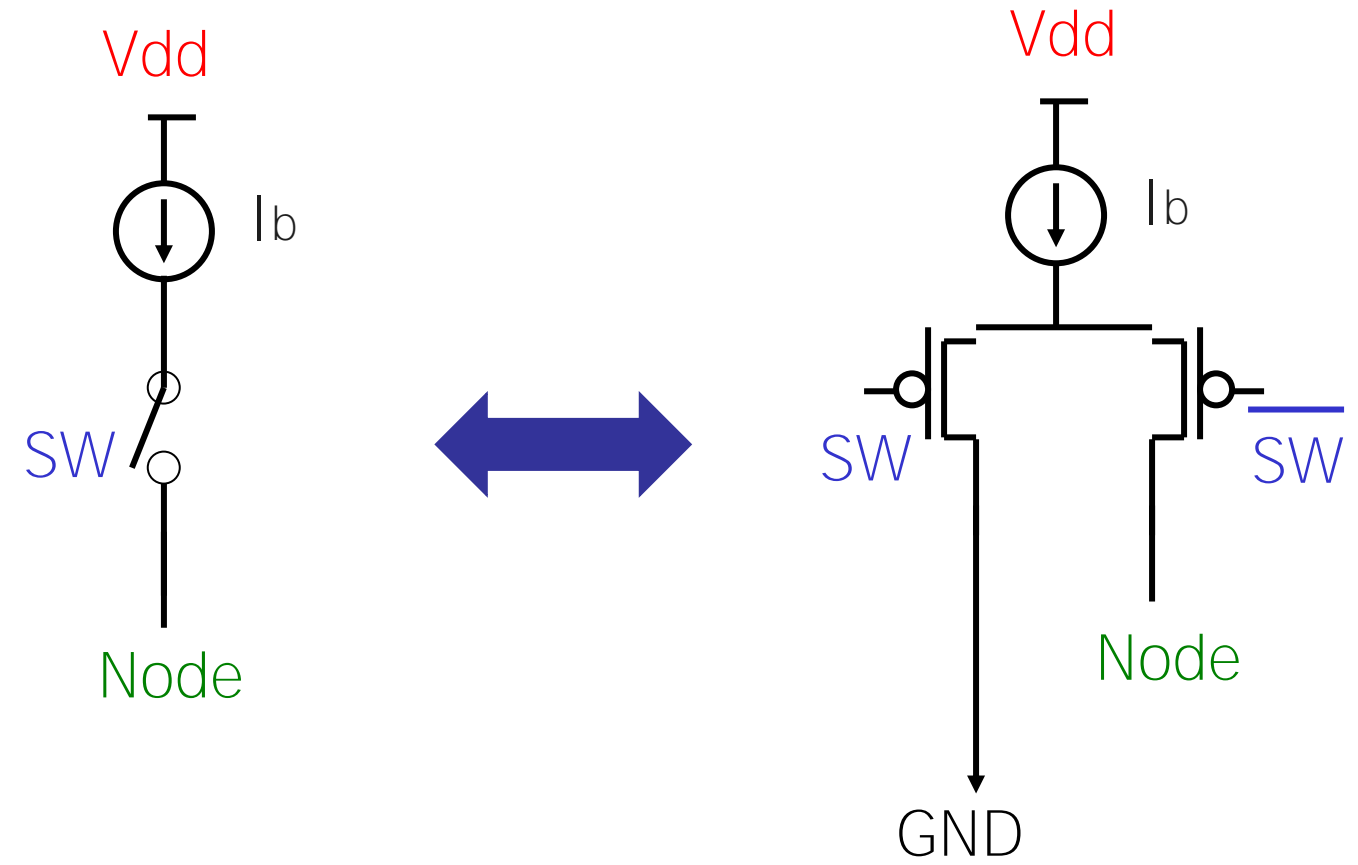
Vout は上昇



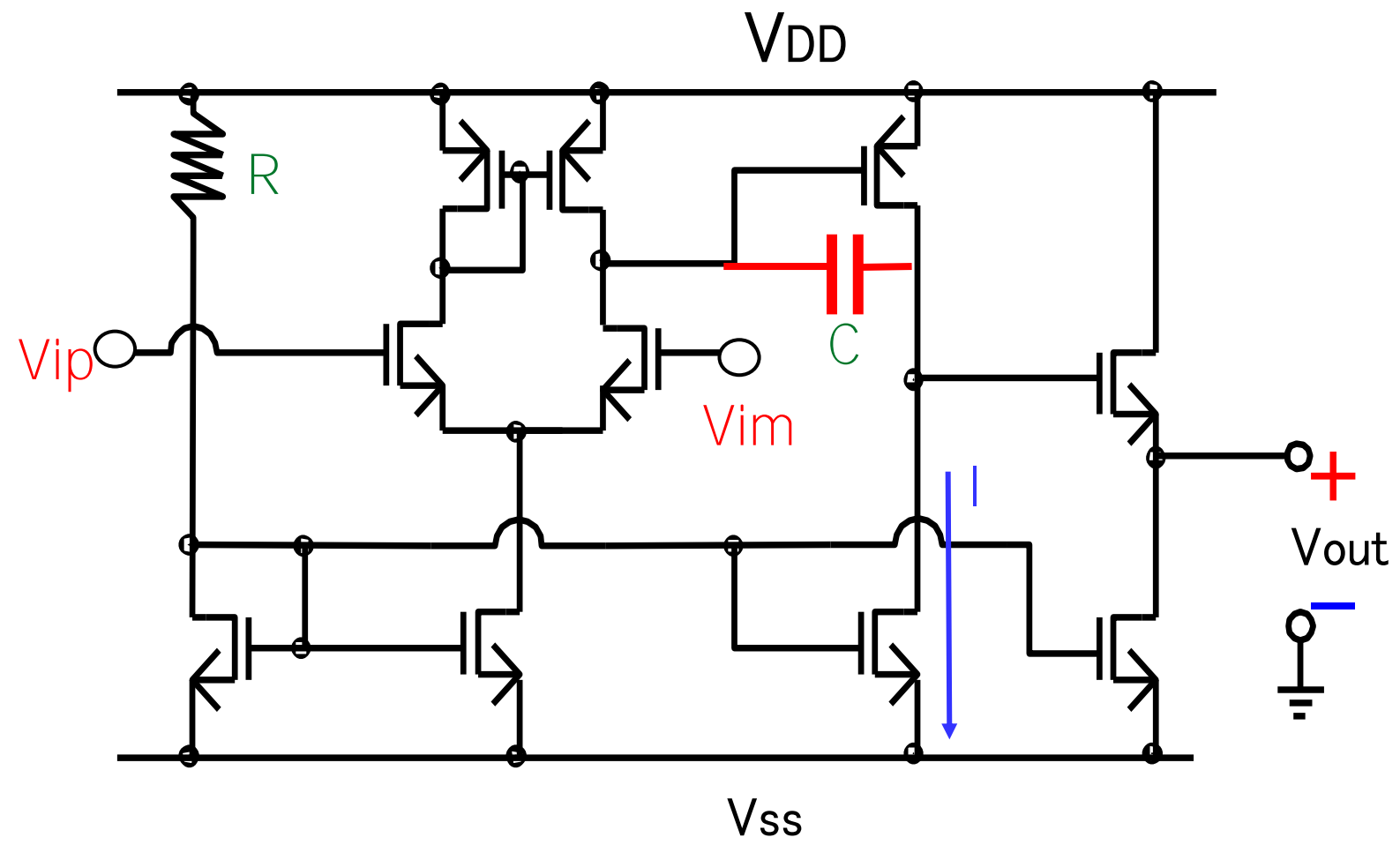
NMOS電流源スイッチ



PMOS電流源スイッチ



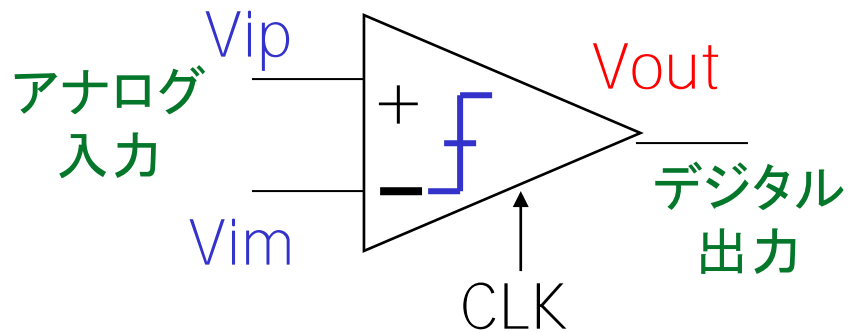
オペアンプ回路の例



2.9 比較回路と正帰還

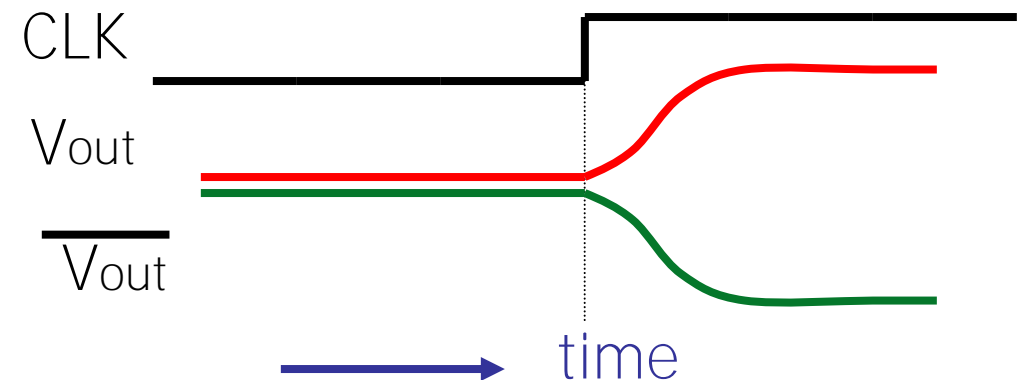
AD変換器等で用いるクロック・コンパレータ回路

クロックの立ち上がりで V_{ip} , V_{im} の大小を判定

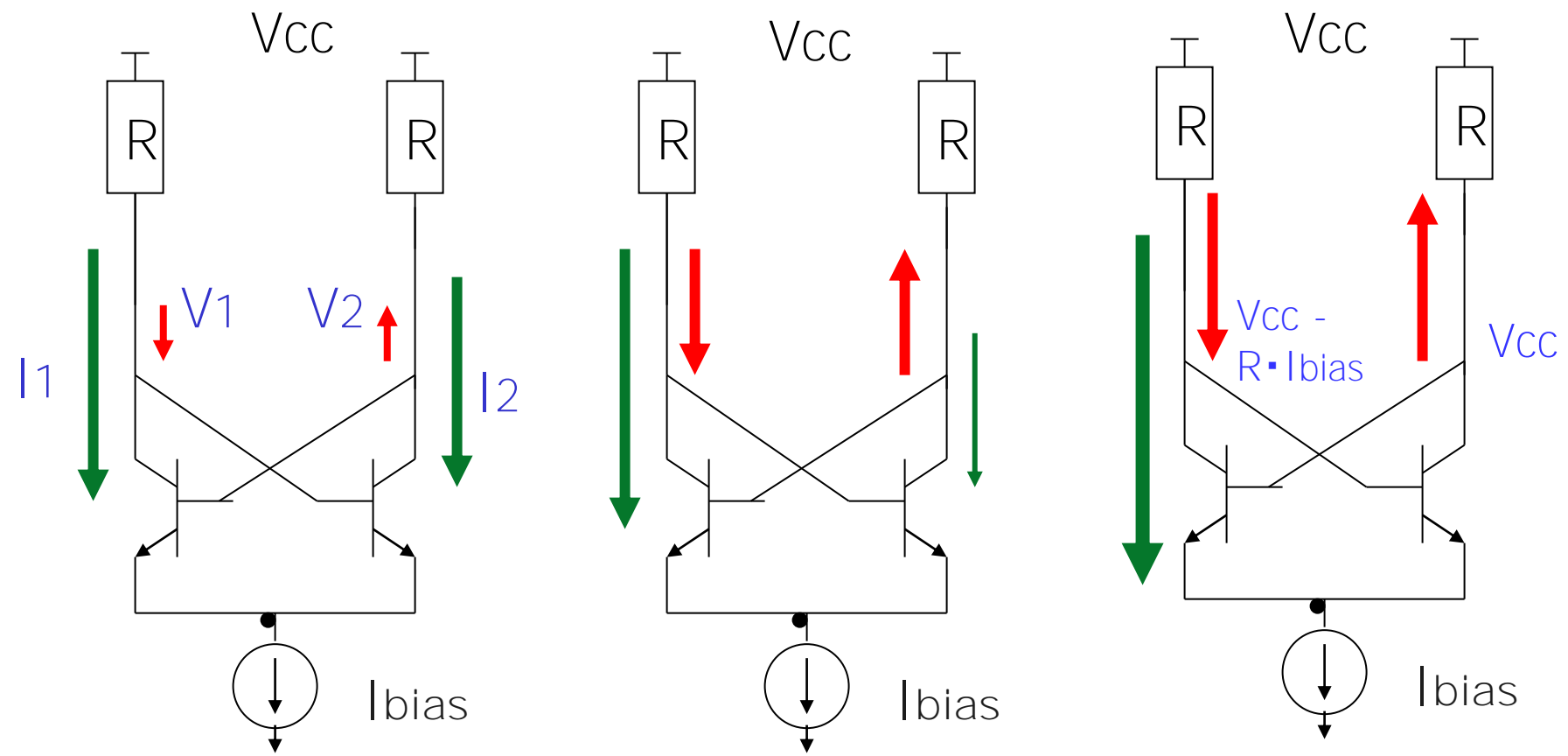


$V_{out} = 1$ (when $V_{ip} > V_{im}$)

$V_{out} = 0$ (when $V_{ip} < V_{im}$)



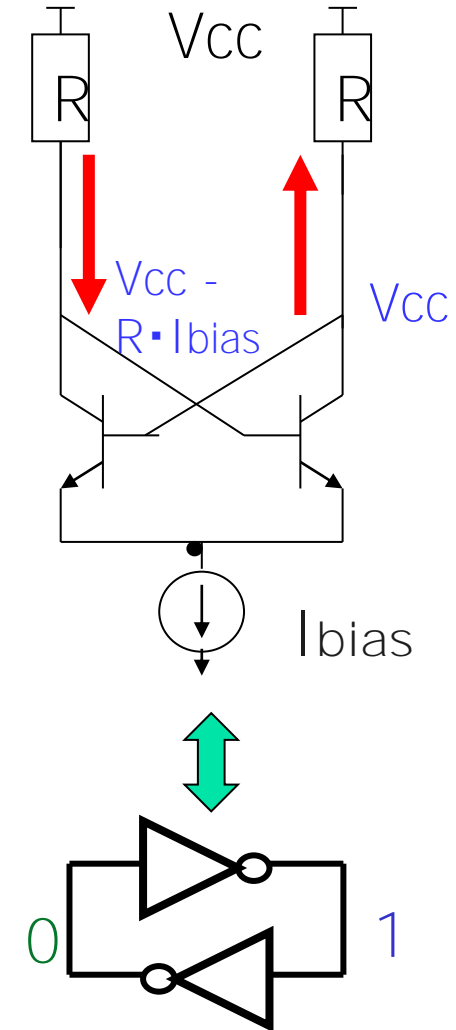
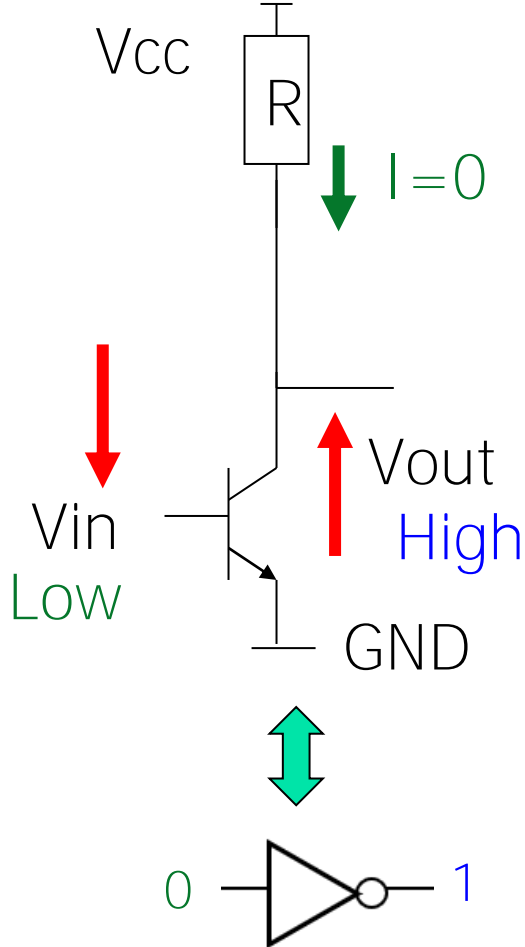
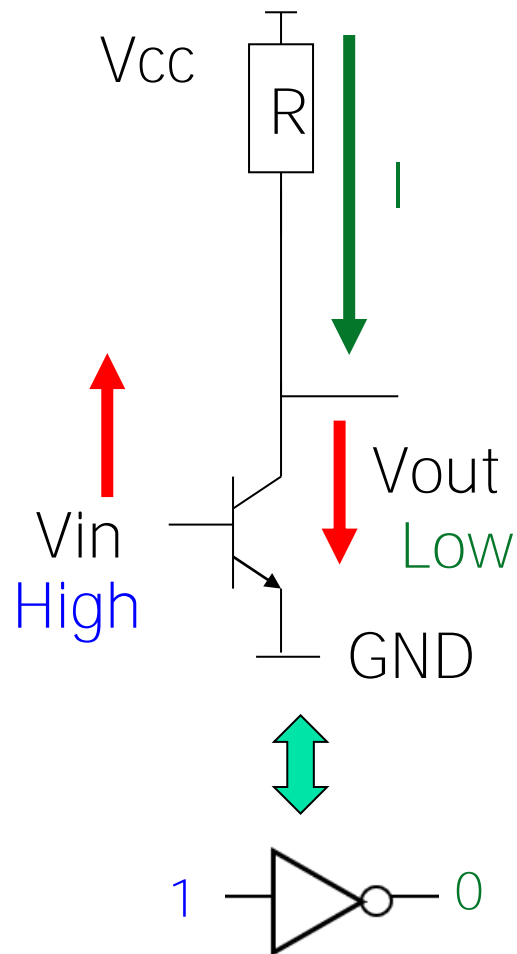
2.9 比較回路と正帰還



時間 →

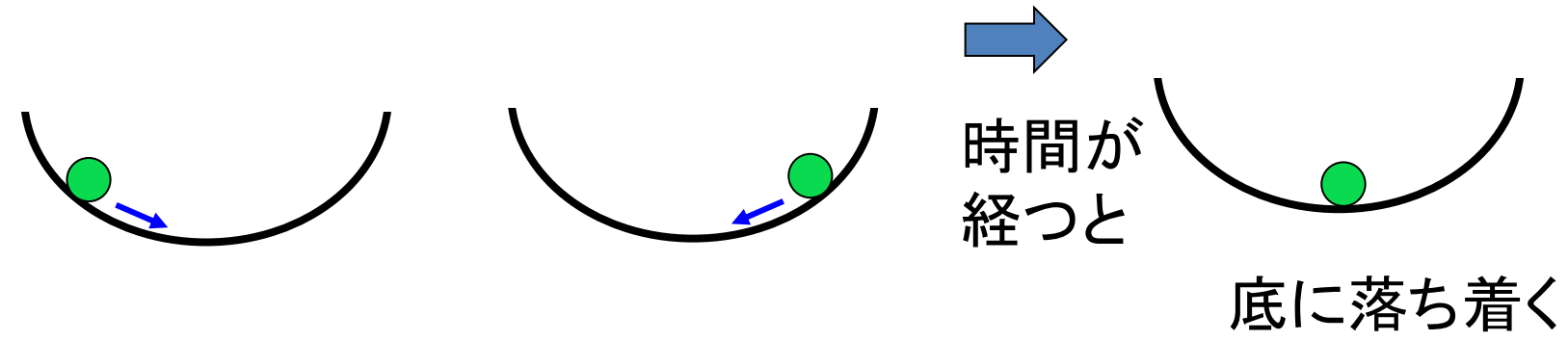
正帰還動作

最終的にラッチ(Latch) 状態



負帰還と正帰還

負帰還



正帰還



2.10 基準電圧源

バンドギャップ基準電圧生成回路の基本

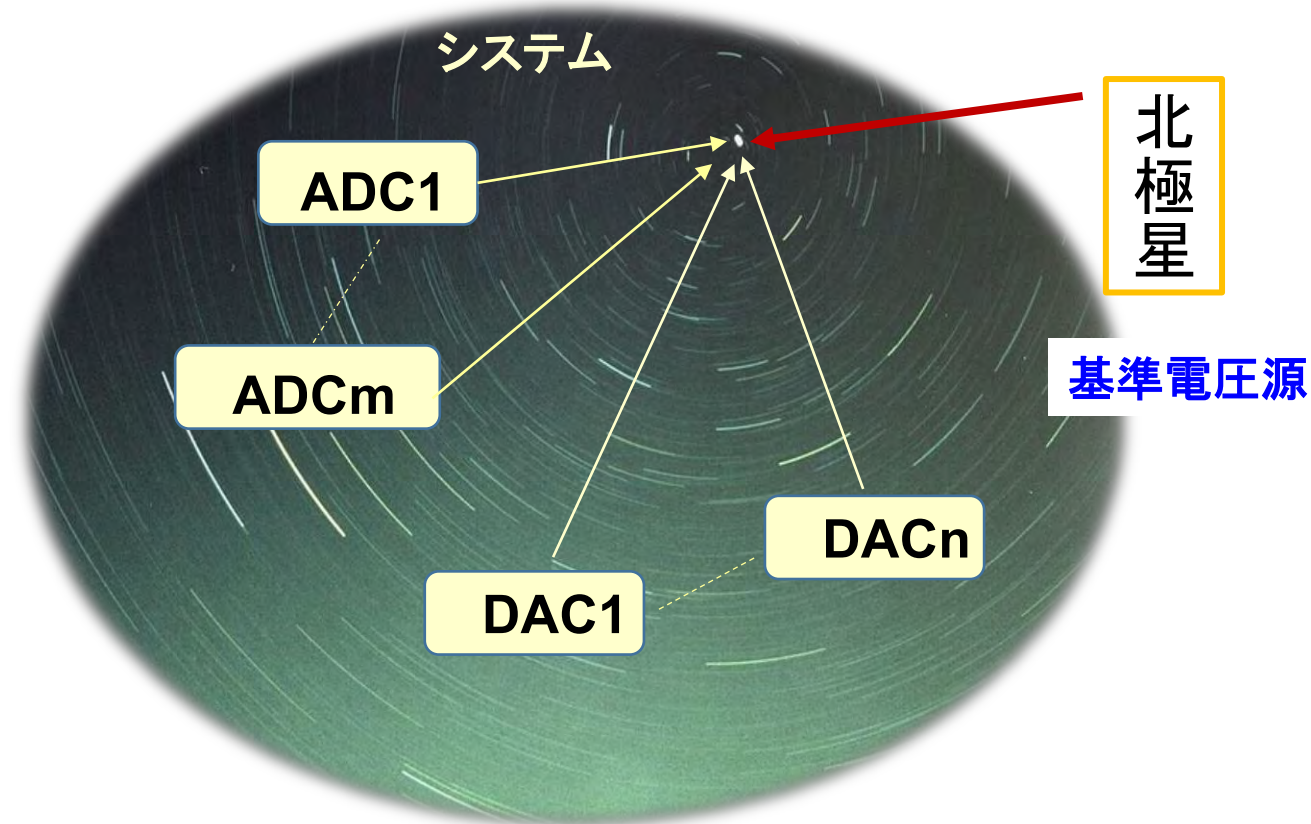
なぜ基準電圧が必要か

システムの基準電圧源は、システム精度の基準となるもの。

システム内に複数の基準は設けない。

一つの基準にたいして、システム内の全てのアナログ部精度がトレースする様に設計。

基準電圧源は、システム精度における北極星



IC設計での温度特性の重要性

自動販売機メーカーの技術者

「広い範囲の温度で電子回路の特性保証する必要あり。
学会論文・発表で少しでも温度特性に言及していると
少しは信用する気になる。」

沖縄の炎天下

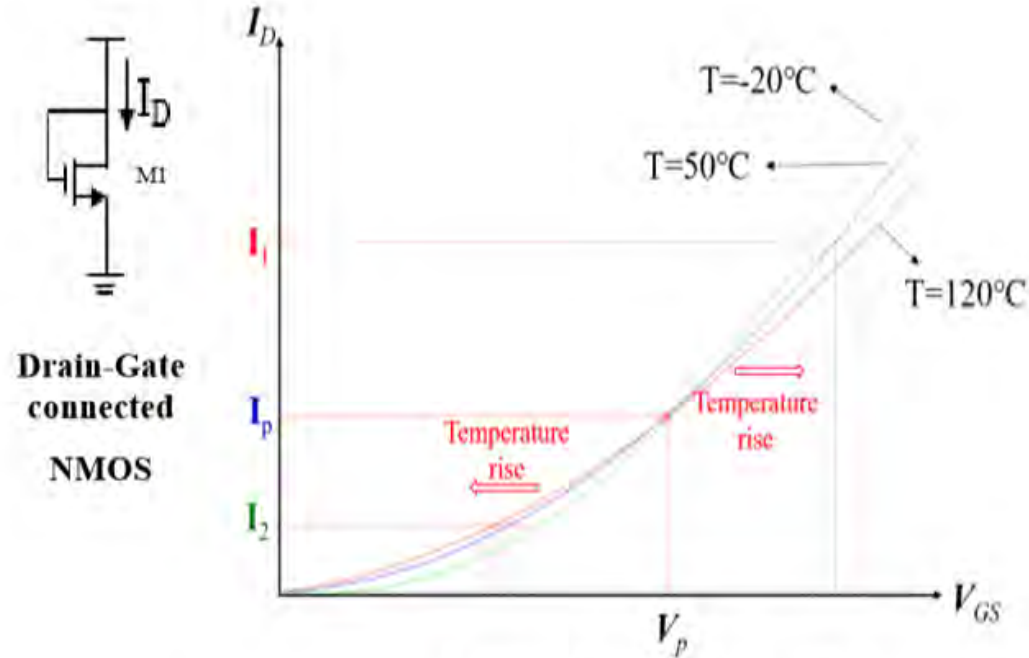


北海道の氷点下



- 「温度特性を調べてなければ信用できない」と指摘される
- **信頼性:** ICはジャンクション温度 10°C 上昇で寿命半分
- 車載用ICでも温度特性は重要

MOSの温度特性



I_D - V_{GS} characteristic of M1

温度が高くなる



MOS は寝起きが悪くなる

若者の生活習慣 !?

夜: なかなか寝ない (なかなか**オフ**しない)

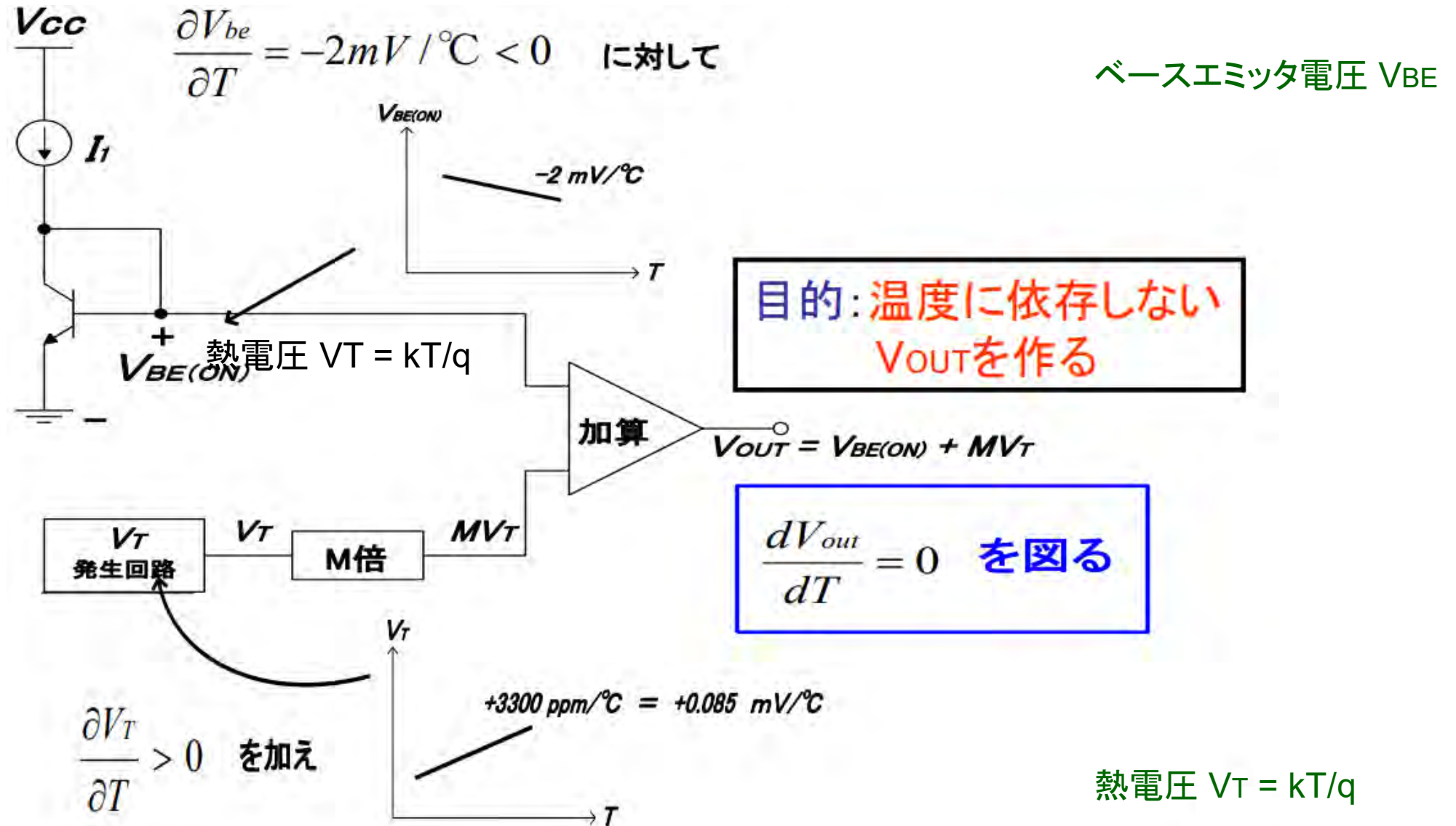
朝: なかなか起きない (なかなか**オン**しない)

バンドギャップ基準電圧生成回路

温度依存のない基準電圧源

- バイポーラトランジスタ ベースエミッタ間電圧 V_{BE}
 $\delta V_{BE}/\delta T = -2\text{mV}/^\circ\text{C} < 0$ (負温度係数)
- 熱電圧 $V_T = kT/q$
k: ボルツマン定数 T: 絶対温度, q: 電子電荷
 $\delta V_T/\delta T = k/q = +0.085\text{mV}/^\circ\text{C} > 0$ (正温度係数)
- 温度依存性のない電圧 V_{OUT}
適切な定数 M
 $V_{OUT} = V_{BE} + M \cdot V_T$
 $\delta V_{OUT}/\delta T = 0$ とできる (温度係数ゼロ)

バンドギャップ基準電圧の原理

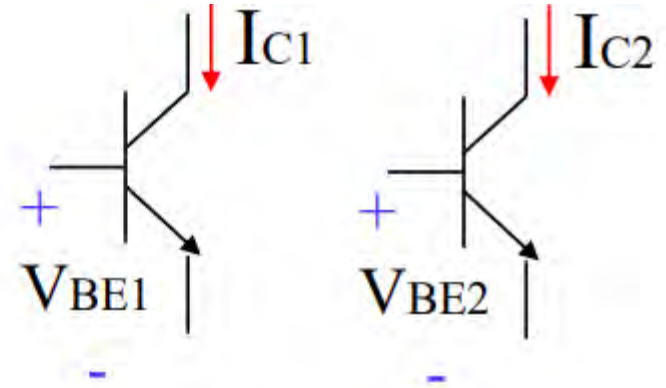


熱電圧 $V_T = kT/q$ を得る

2つの異なるバイポーラトランジスタ

$$I_{c1} = I_{s1} \exp(V_{BE1}/V_T)$$

$$I_{c2} = I_{s2} \exp(V_{BE2}/V_T)$$



$$\Delta V_{BE} = V_{BE1} - V_{BE2} = V_T \ln [(I_{c1} \cdot I_{s2}) / (I_{c2} \cdot I_{s1})]$$

2つのベースエミッタ間電圧の差 $\Delta V_{BE} \rightarrow V_T$ が得られる

PTAT電圧源・電流源

→ 絶対温度 T に比例する電圧源・電流源

PTAT: Proportional to Absolute Temperature

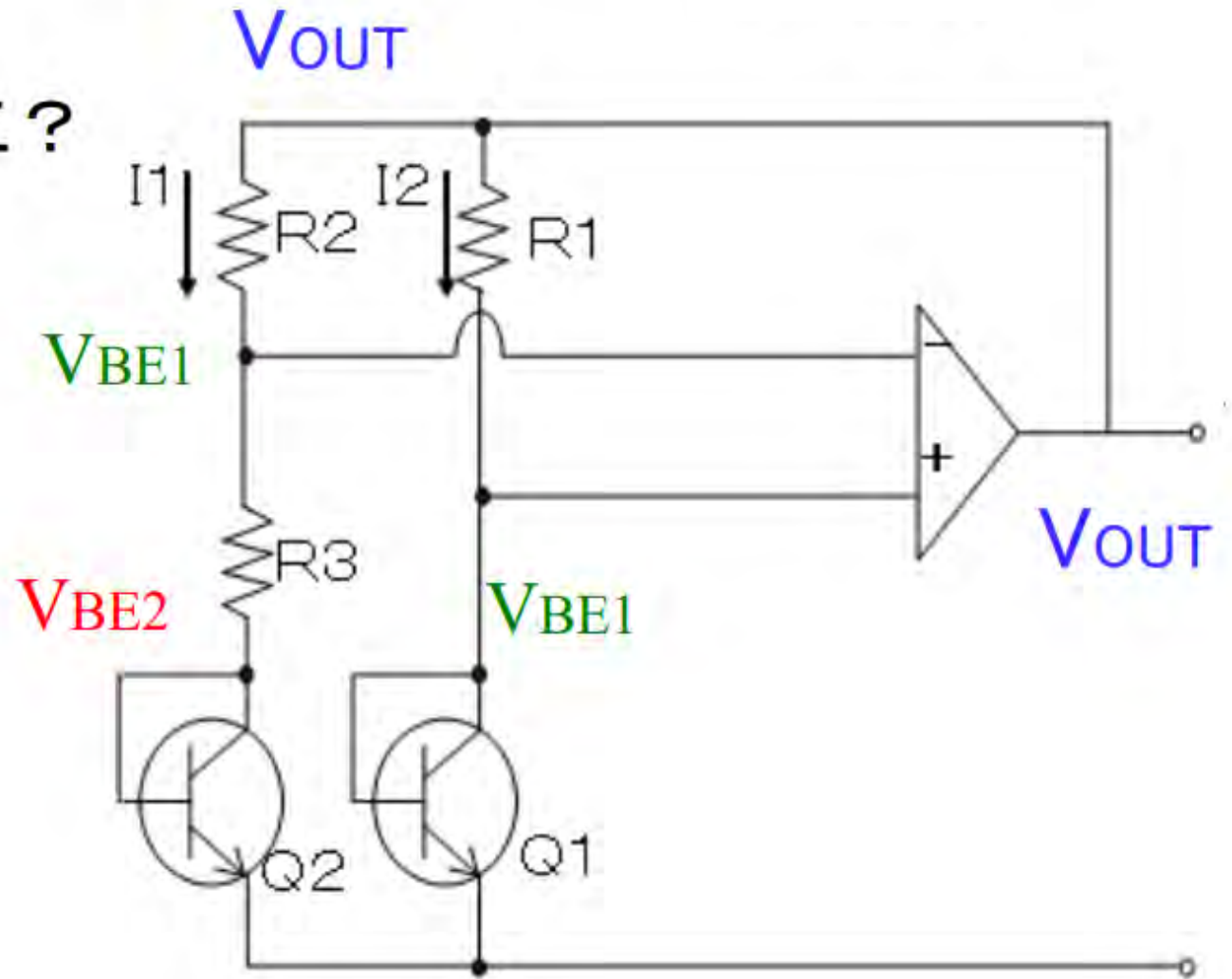
バンドギャップ基準電圧回路の理解の仕方

V_{BE} はどこ？

$\Delta V_{BE} = V_{BE1} - V_{BE2}$ はどこ？

$$I_1 = (V_{BE1} - V_{BE2}) / R_3$$

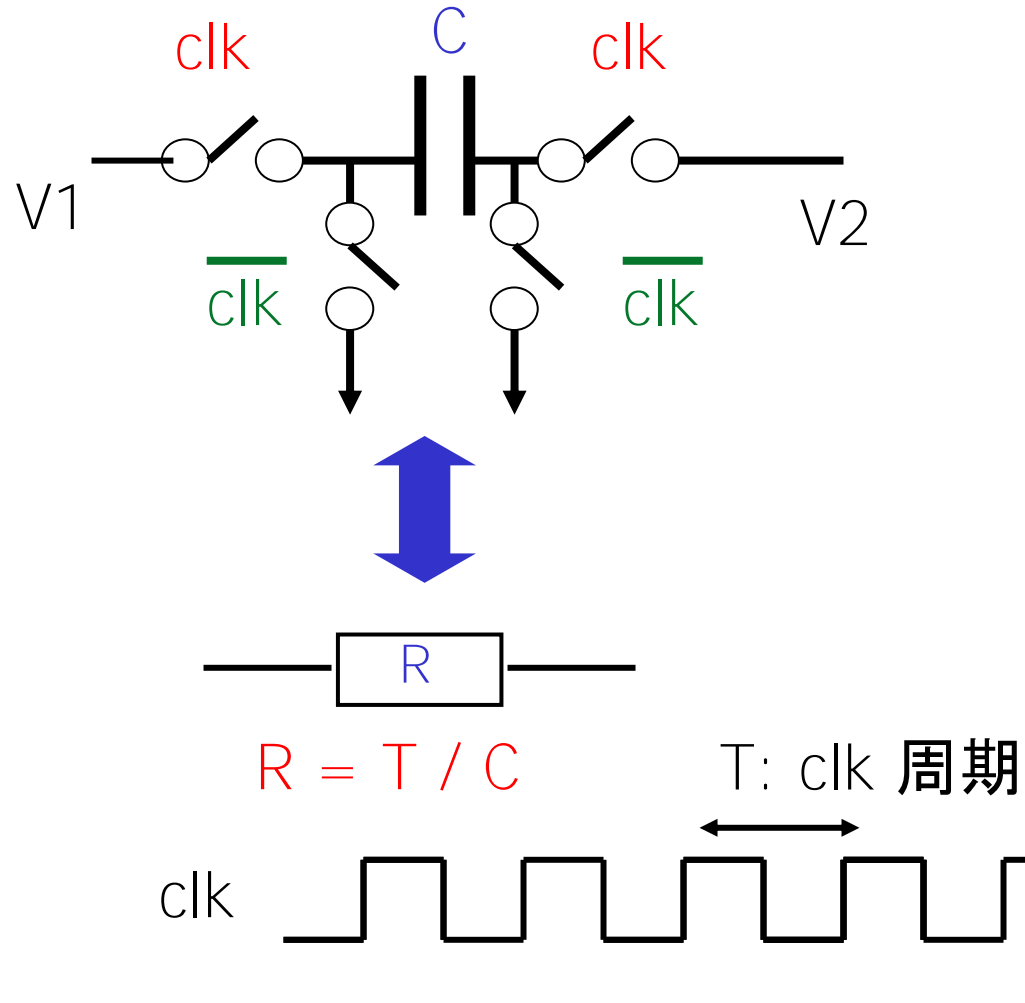
$$V_{OUT} = V_{BE1} + R_2 I_1$$



バンドギャップ基準電圧回路 コメント

- バンドギャップ基準電圧回路は多数
前頁までの説明は「第一近似」
 - 現在も回路系国際会議で発表
 - 多くは企業秘で表にでてこない
 - 小規模アナログ回路
 - 回路設計者の能力に依る差別化回路
- **CMOS LSI**中にも
寄生バイポーラトランジスタを用い実現可能

2.11 スイッチド・キャパシタ回路

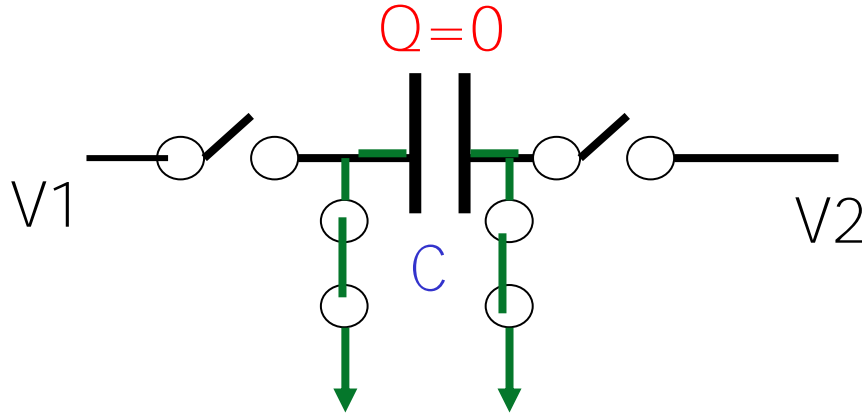


- 容量 C とスイッチで等価的に抵抗 R を実現
- MOSスイッチ使用
- 集積回路内で使用
- 米国カルフォルニア大学の大学院生が考案
- 多くの製品に使用。

スイッチド・キャパシタ回路の

動作原理(バタフライ型)

clk=low
のとき



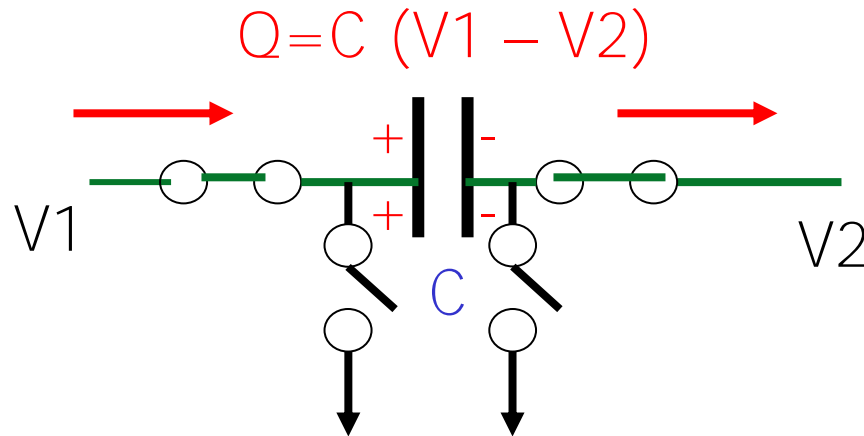
時間Tに電荷
 $Q=C(V1 - V2)$
が流れる。



$$I = \frac{C}{T} (V1 - V2)$$

$$= \frac{1}{R} (V1 - V2)$$

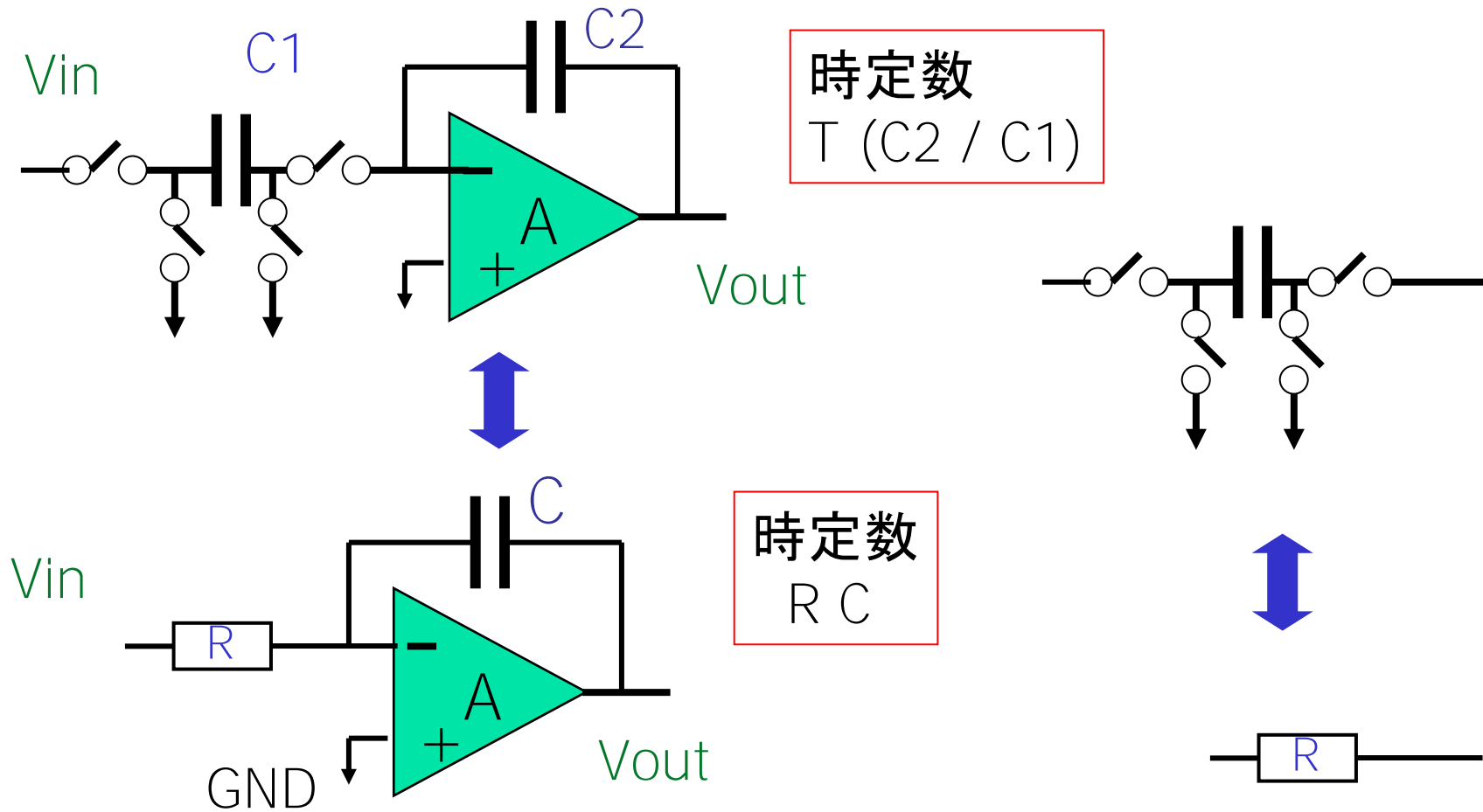
clk=high
のとき



$$\therefore R = \frac{T}{C}$$

スイッチド・キャパシタ回路を

用いた積分回路(バタフライ型)



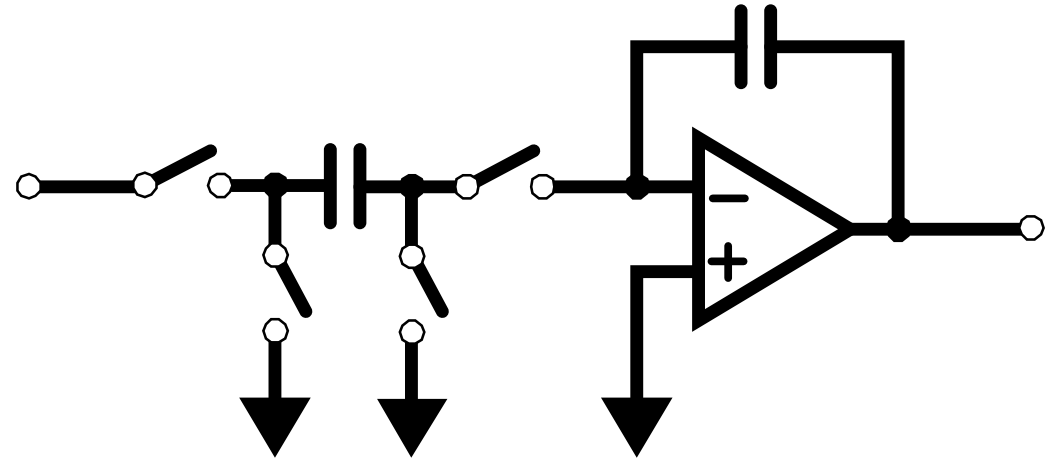
なぜスイッチド・キャパシタ回路を用いるのか？

- スイッチド・キャパシタ積分回路 時定数 T ($C2 / C1$)
 - クロック周期 T で制御可能
 - 集積回路内では $C2 / C1$ は高精度に実現可能
 - 集積回路内では 絶対精度は良くないが
比精度は良い。
 - $C2 / C1$ の値は温度が変化しても一定
- 連続時間積分回路 時定数 RC
 - 集積回路内で RC の値の高精度な実現が困難
 - RC の値は温度が変化すると変わる。

スイッチドキャパシタ vs. 連続時間積分器

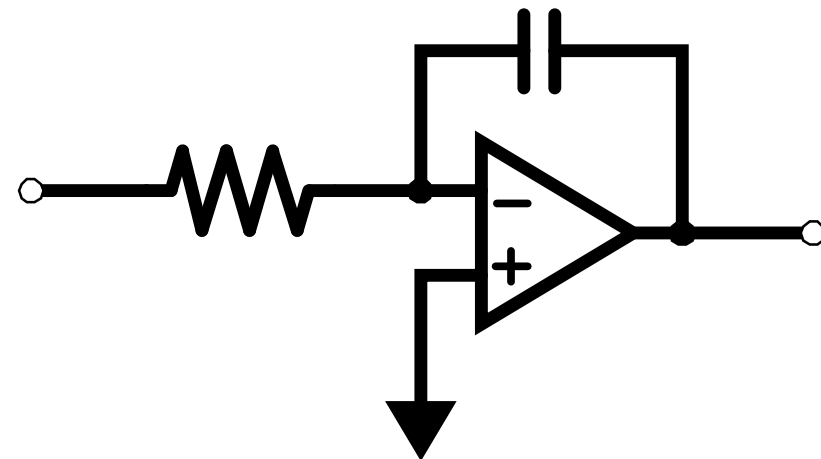
• 離散時間積分器

- 時定数が安定
- 容量比で決定
- クロック周期 T で制御可
- 消費電力大
- 低速・低周波信号しか扱えない



• 連続時間積分器

- 時定数がチップ毎にばらつく
- 調整回路が必要
- 低消費電力
- 高速・高周波信号を扱える



デジタル、アナログ、スイッチド・キャパシタ回路

- デジタル信号:
 信号レベルの量子化(離散信号レベル)
 時間レベルの量子化(離散時間)
- スイッチド・キャパシタ回路
 → 離散時間アナログ回路

	時間レベル	連続	離散
振幅レベル			
連続		アナログ	スイッチド キャパシタ
離散		PWM等	デジタル

発振回路と恒星

惑星は自分自身では光を放っていない
恒星が放つ光を受け、その周りを公転
星座の間を惑うように動く → 「惑星」

恒星: 発振回路

惑星: 増幅回路

学問分野:

ゼロから作り出す → 欧米が得意

小さな信号を大きくする → 日本が得意

リズム現象と発振回路

リズム現象とは

- ほぼ一定の周期で同じ出来事が繰り返す現象

例えば

- 生体→心臓、呼吸
- 宇宙→天体の運動
- コンピュータ→クロック信号
- 回路→サンプリング、周波数変換



発振回路: 電子機器の時間の基準を生成する回路

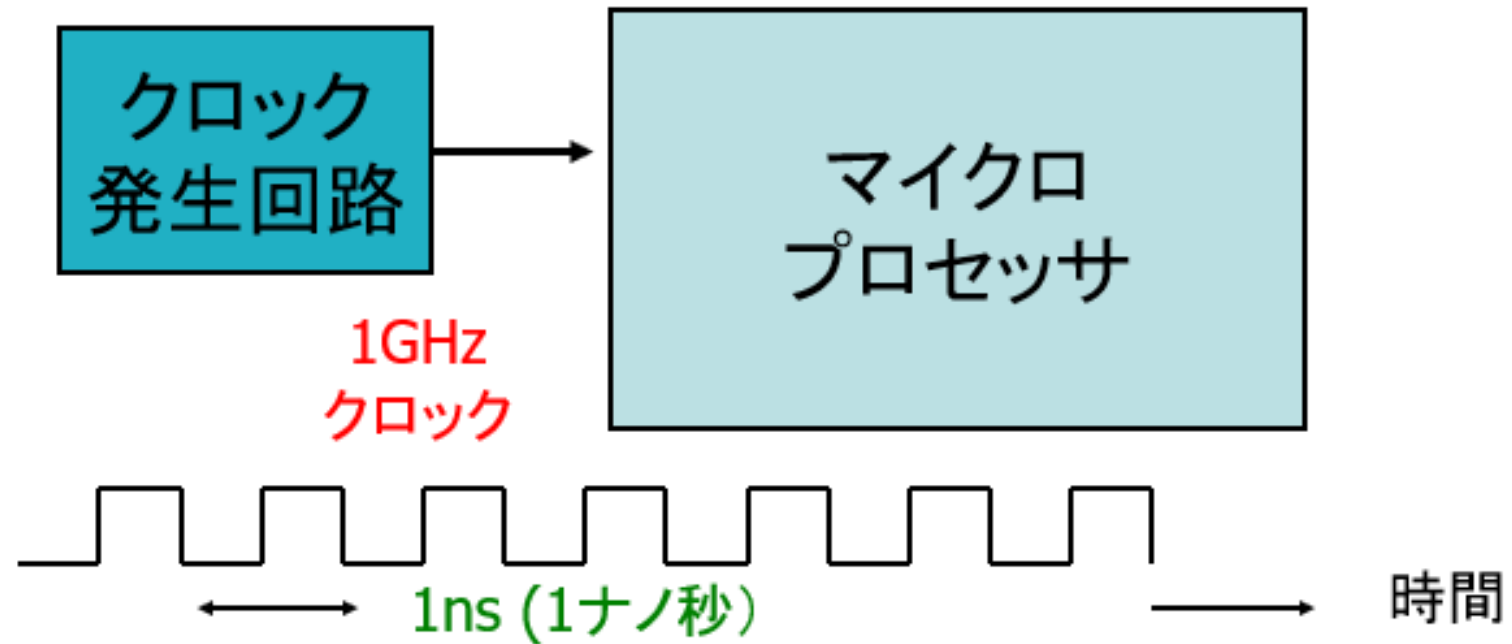
増幅回路と発振回路



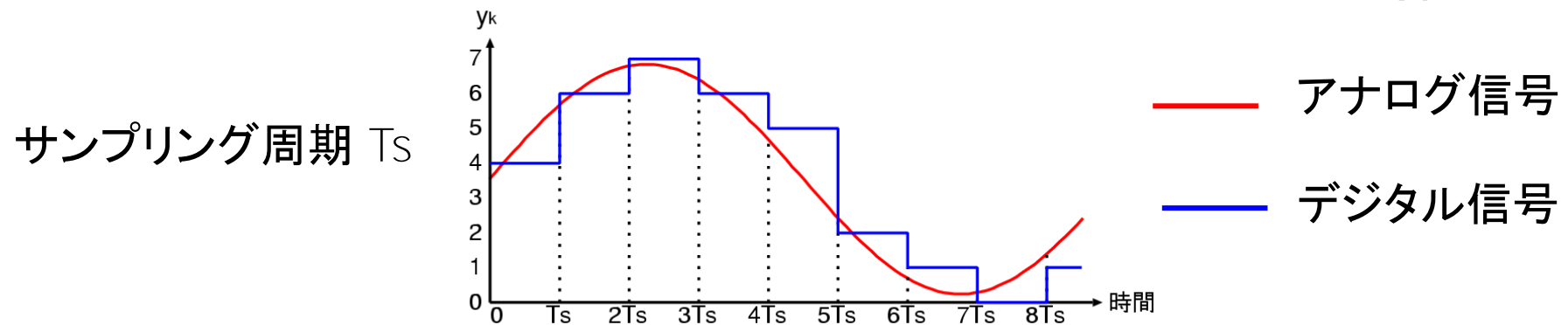
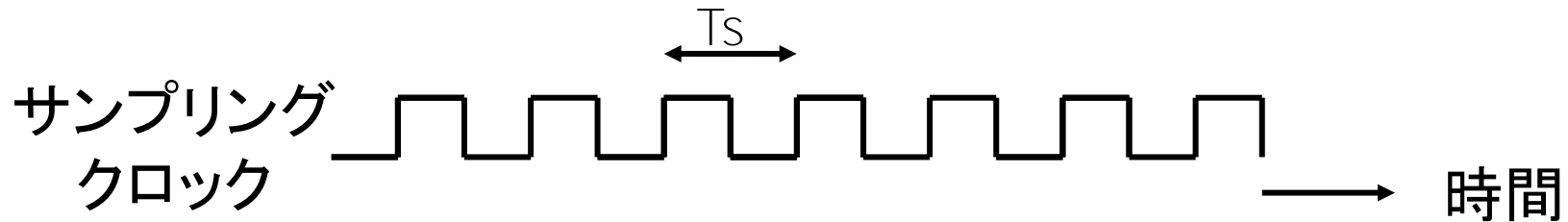
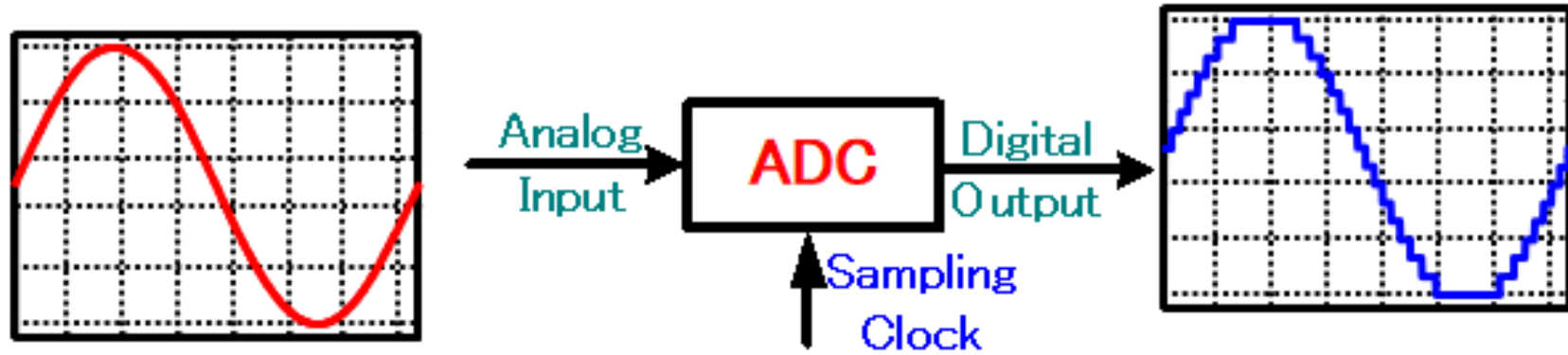
- システムが機能するために必要不可欠な回路ブロック
- 時間の基準を与えるペースメーカーの役割
- デジタルプロセッサのクロック信号
- AD変換器のサンプリングクロック
- 通信機器の搬送波

デジタルプロセッサのクロック

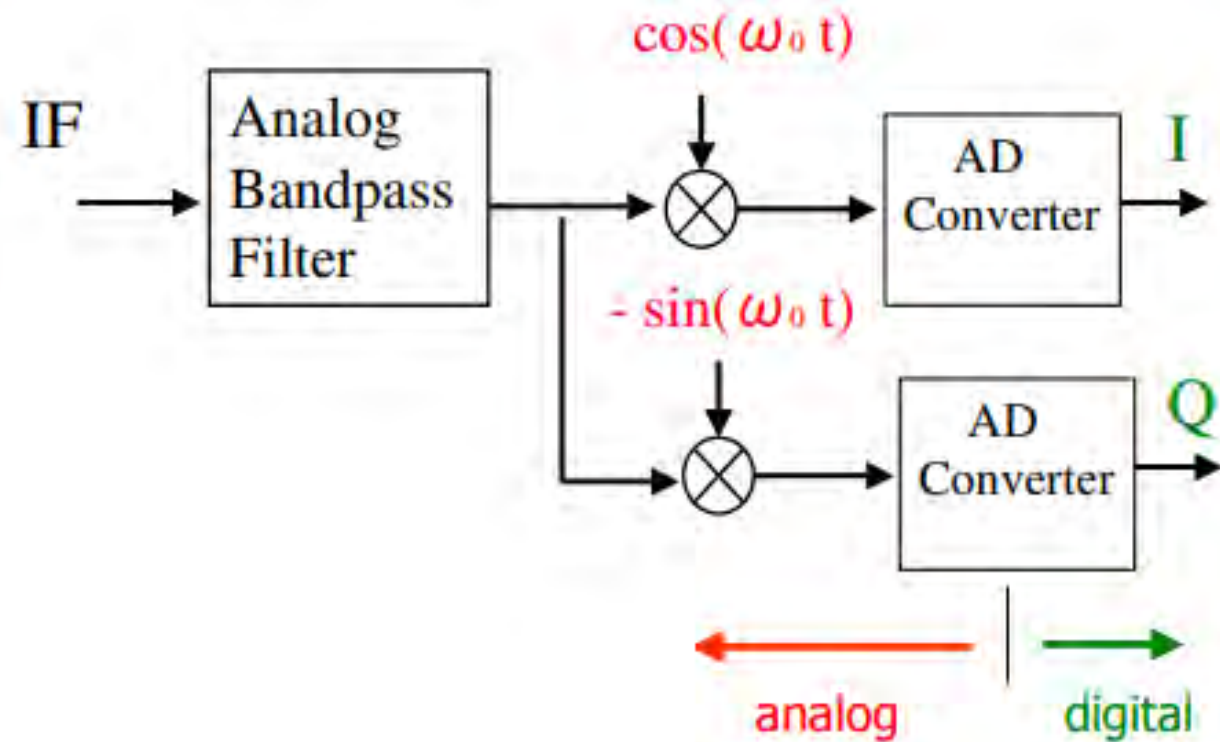
- クロックに同期して動作 (**同期回路**)
クロックの立ち上がりで論理回路はトグル。
- より**高い周波数**になってきている。



AD変換器のサンプリングクロック



通信機器の搬送波

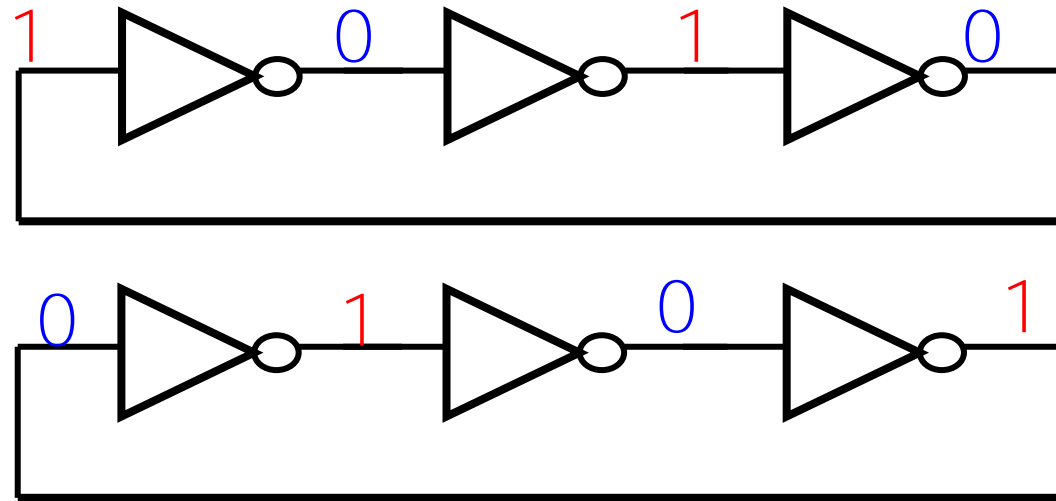


受信回路部の周波数ダウンコンバージョン（直交検波）

リング発振回路

奇数個インバータのリング接続

安定状態
なし



T: インバータ遅延、 $2N+1$ 個のインバータリング接続

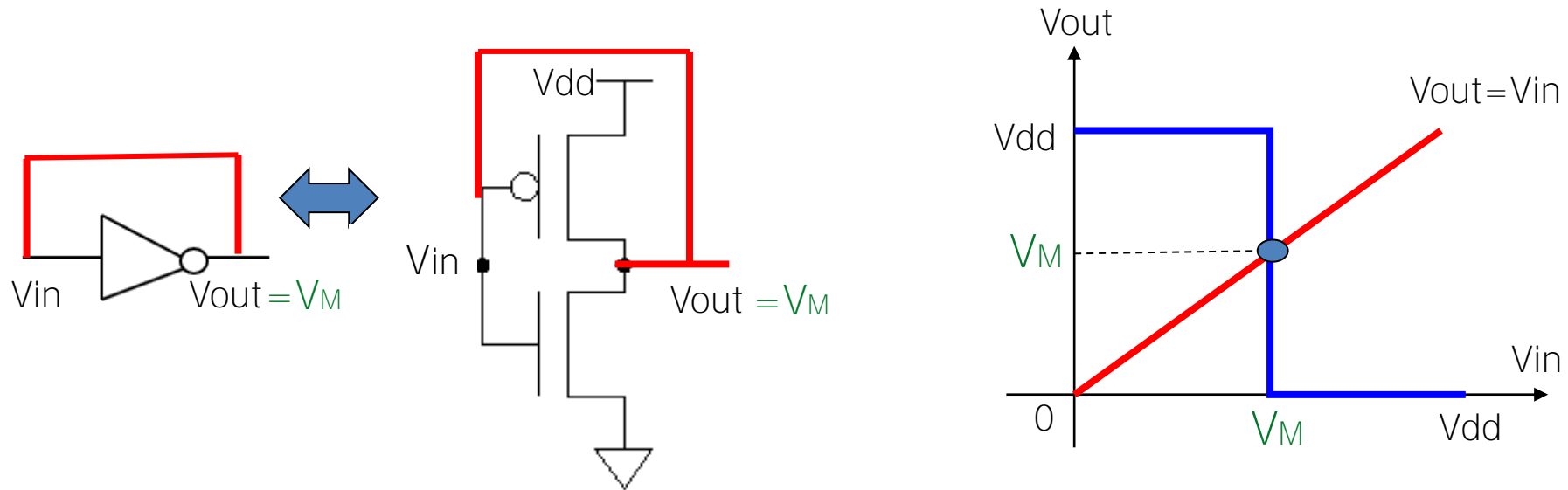
周波数 $f = \frac{1}{2(2N+1)T}$ で発振する。



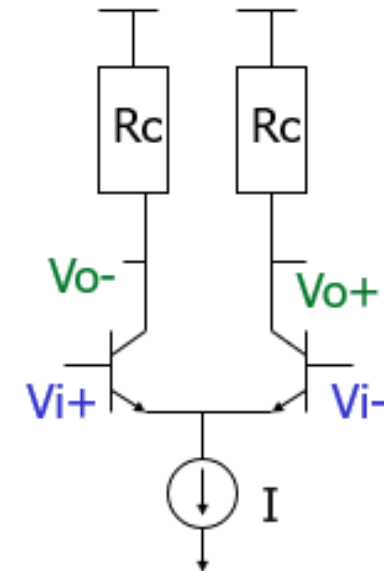
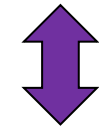
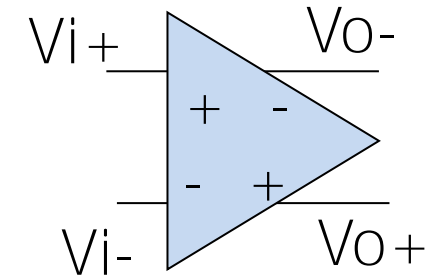
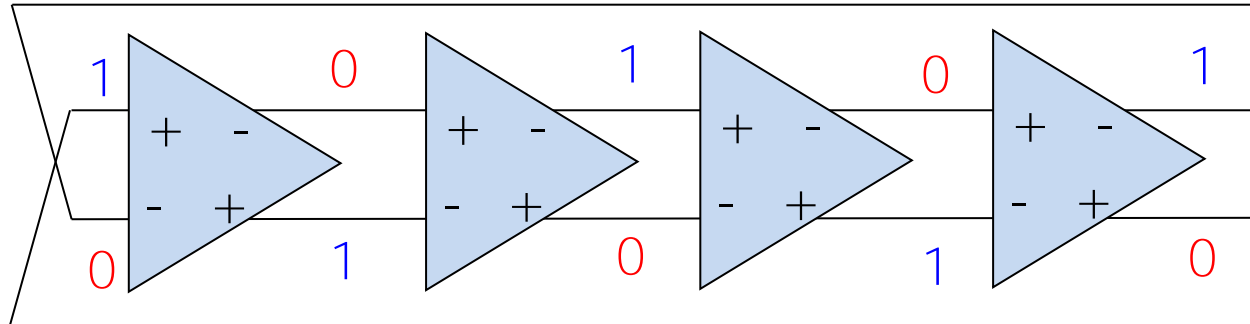
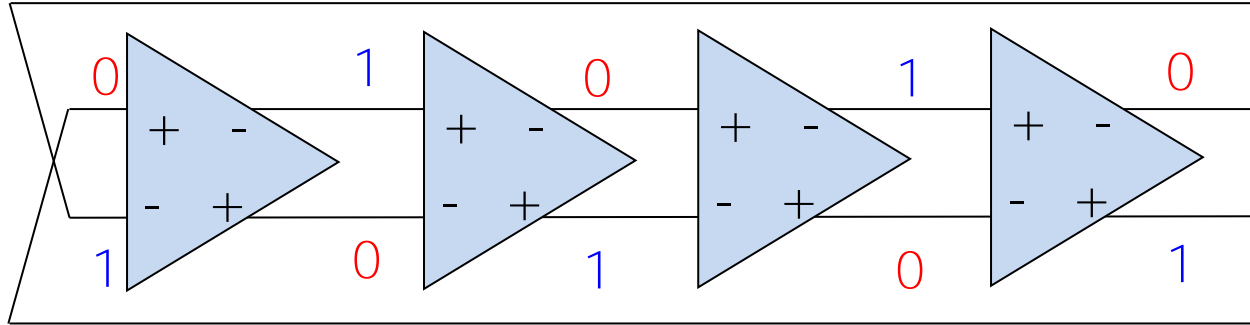
メビウスの帯

1個のインバータの入出力接続の場合は？

発振しない(位相が180度回らない)
インバータの閾値電圧 V_M を出力



リング発振回路 差動アンプは偶数個でもOK



差動アンプ
MOS でもOK



弛張発振回路 Relaxation Oscillator

ししおどし(鹿威し)

農業などに被害を与える鳥獣を威嚇し、
追い払うために設けられる装置類の総称。

「鹿脅し」「獅子脅し」「獅子威し」とも書かれるが
本来は「鹿威し」

電子工学： 弛張発振回路の原理を示す例

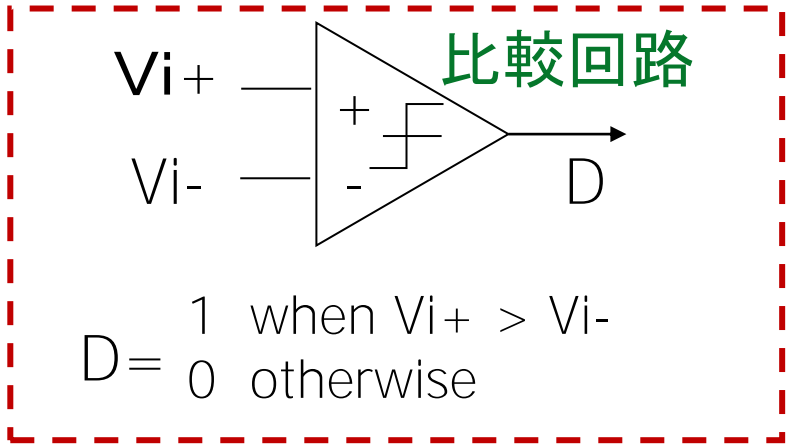
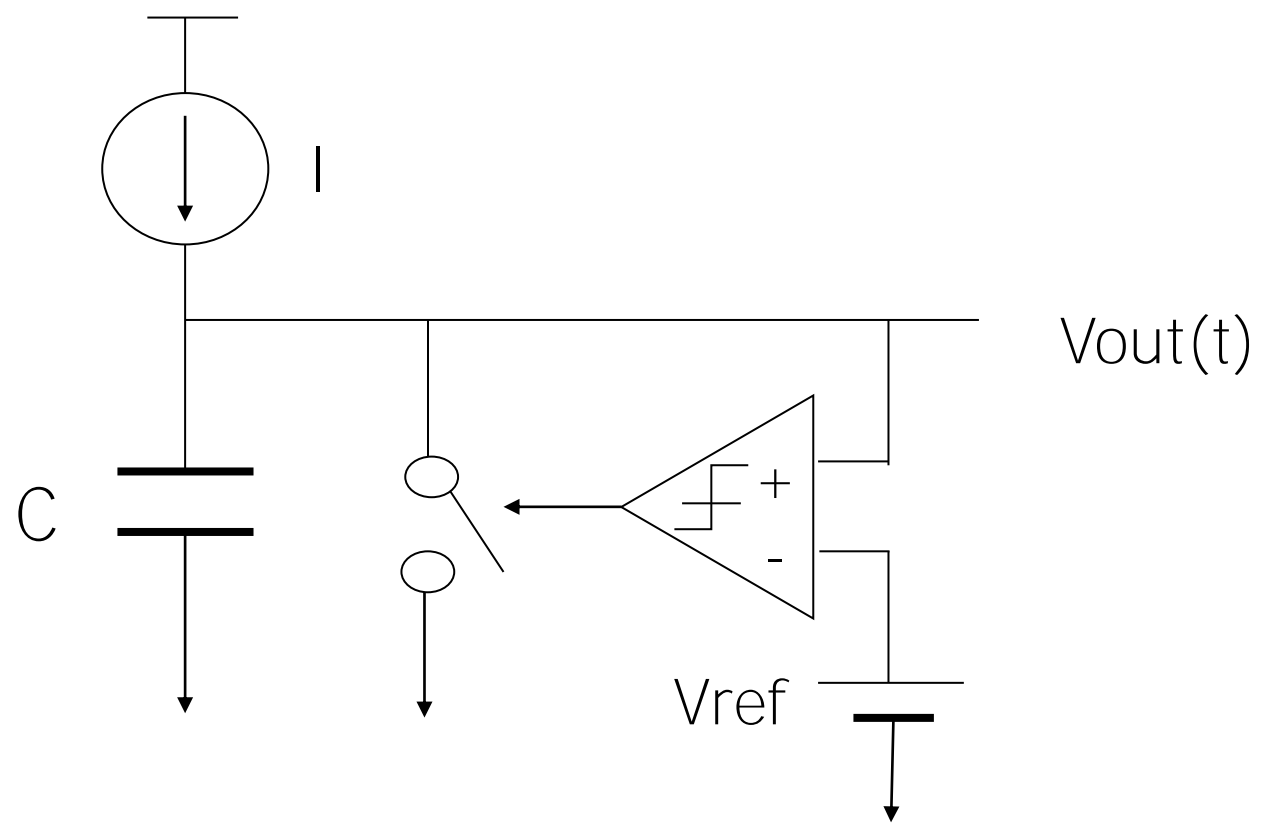


Wikipedia より

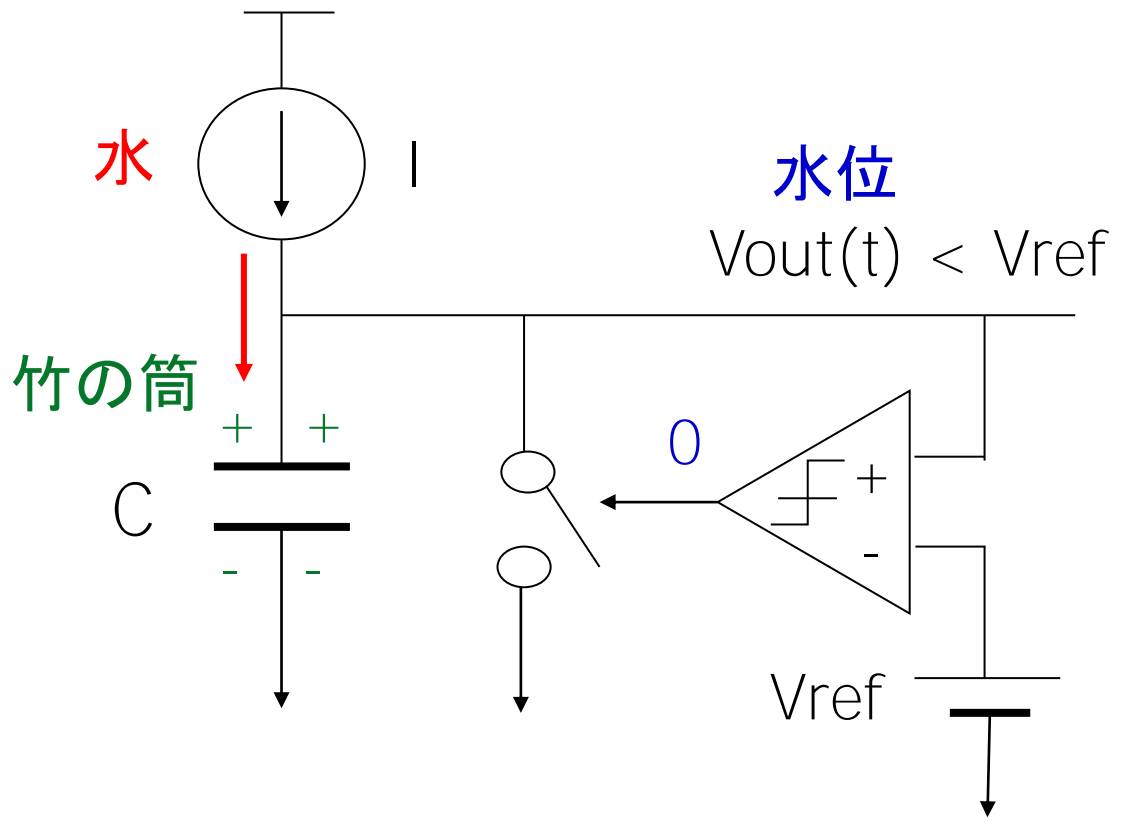
https://www.youtube.com/watch?v=2z46D_AXU3M

<https://www.youtube.com/watch?v=FlQQnrO1mfY>

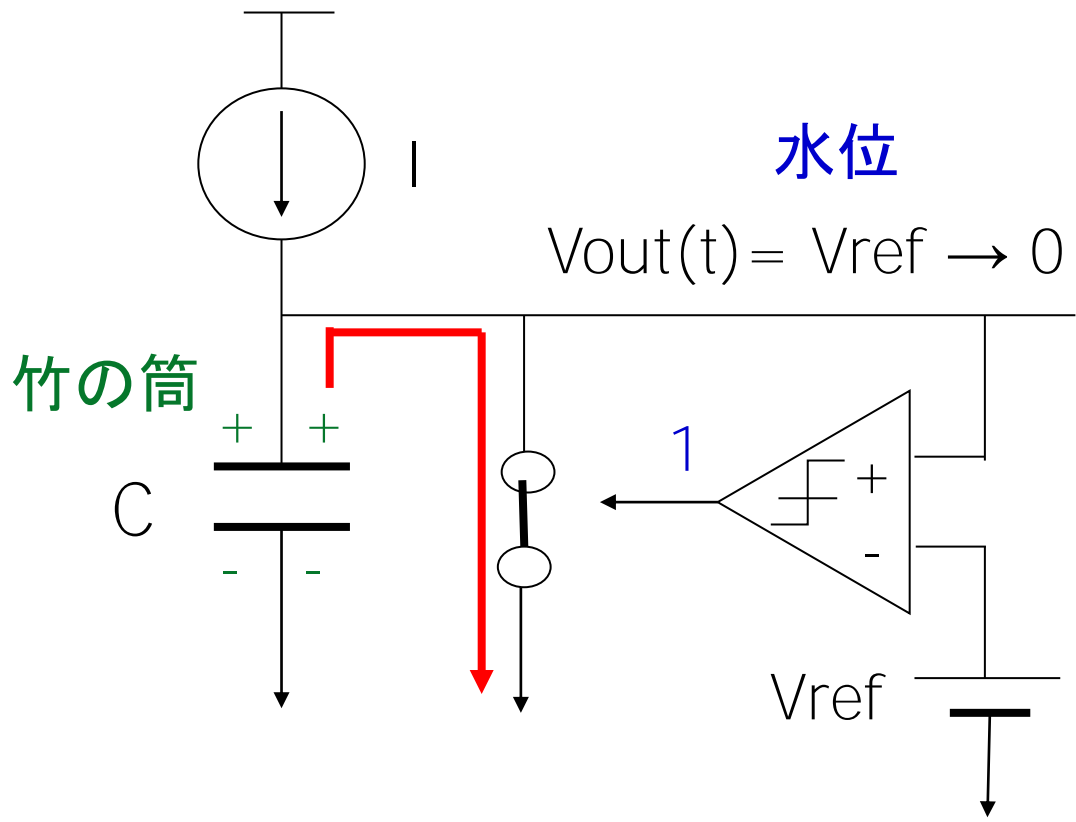
弛張振荡回路 例1



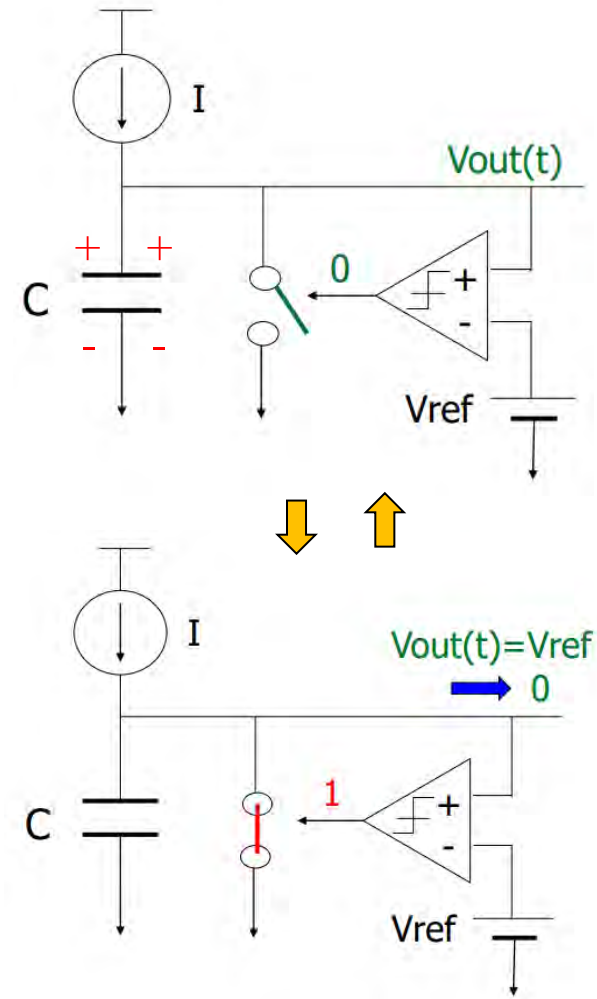
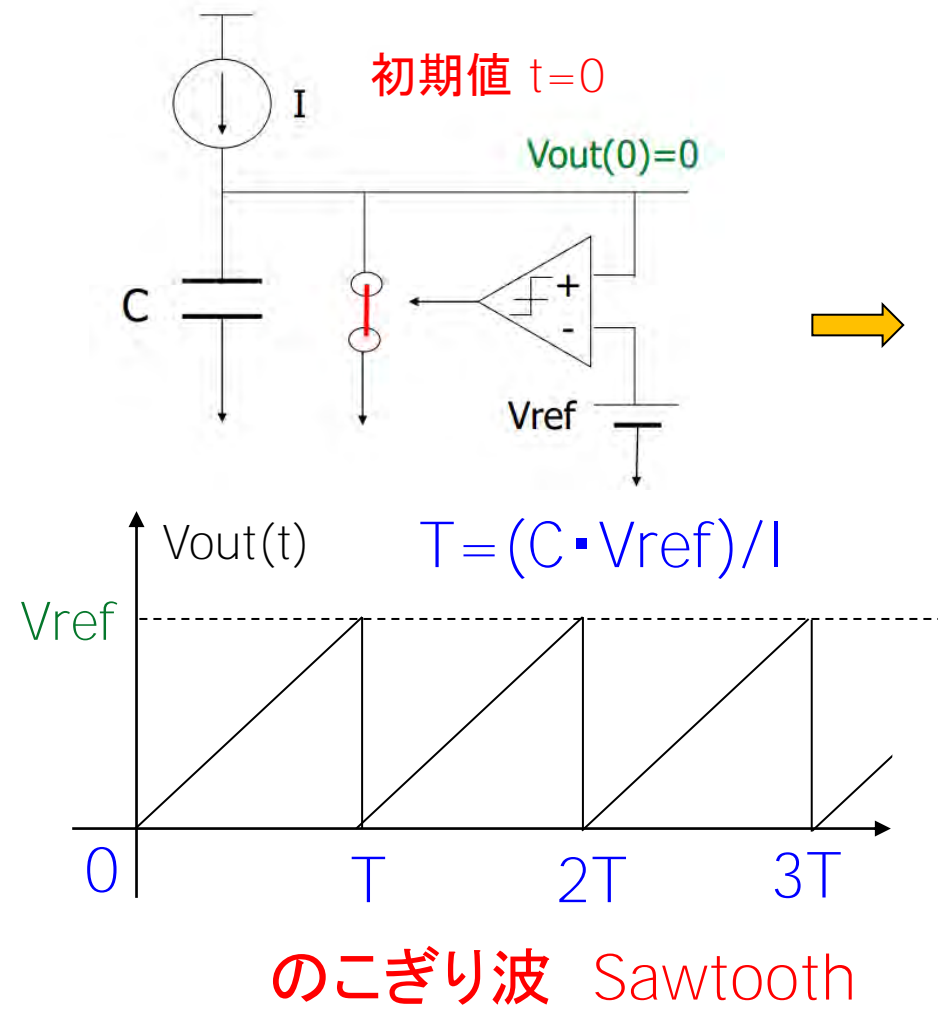
弛張発振回路 水を溜める



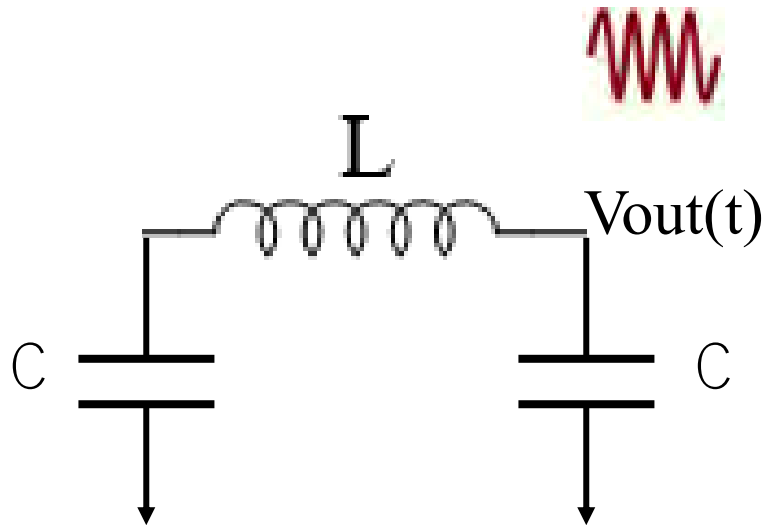
弛張発振回路 水を放出



弛張発振回路 のこぎり波 発生回路



LC共振回路

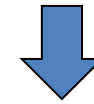


- 高周波信号生成に適する

f 高い \rightarrow L, C 小

- 位相ノイズ 小さい

微分方程式を立て
初期値 2つを与える



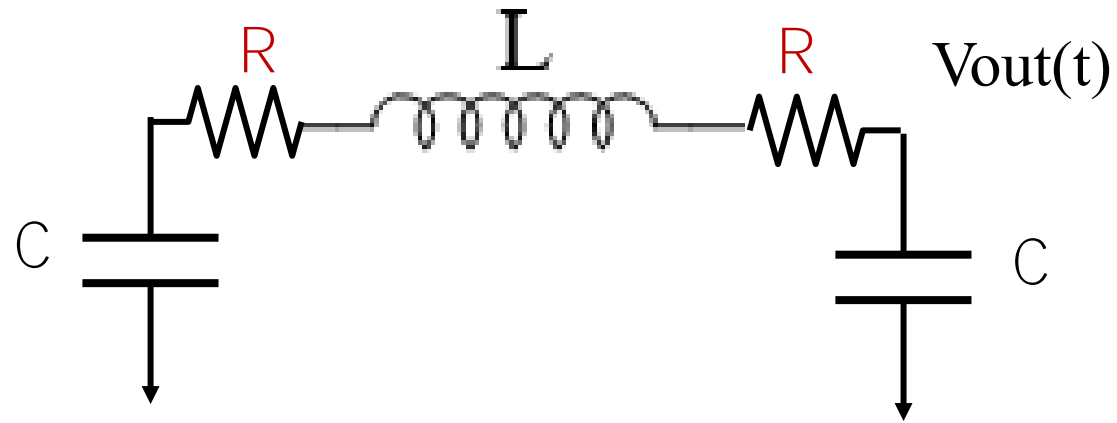
$$V_{out}(t) = A \cos(2\pi f t + \varphi)$$

発振周波数

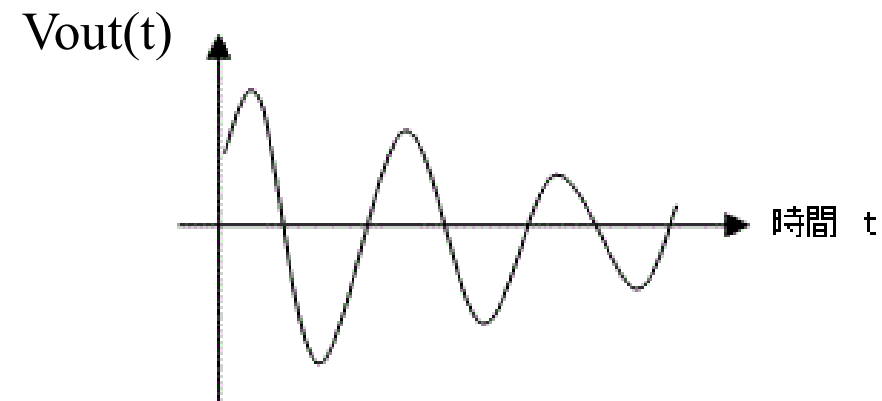
$$f = \frac{1}{2\pi \sqrt{\frac{LC}{2}}}$$

初期値2つから
 A, φ の値を得る

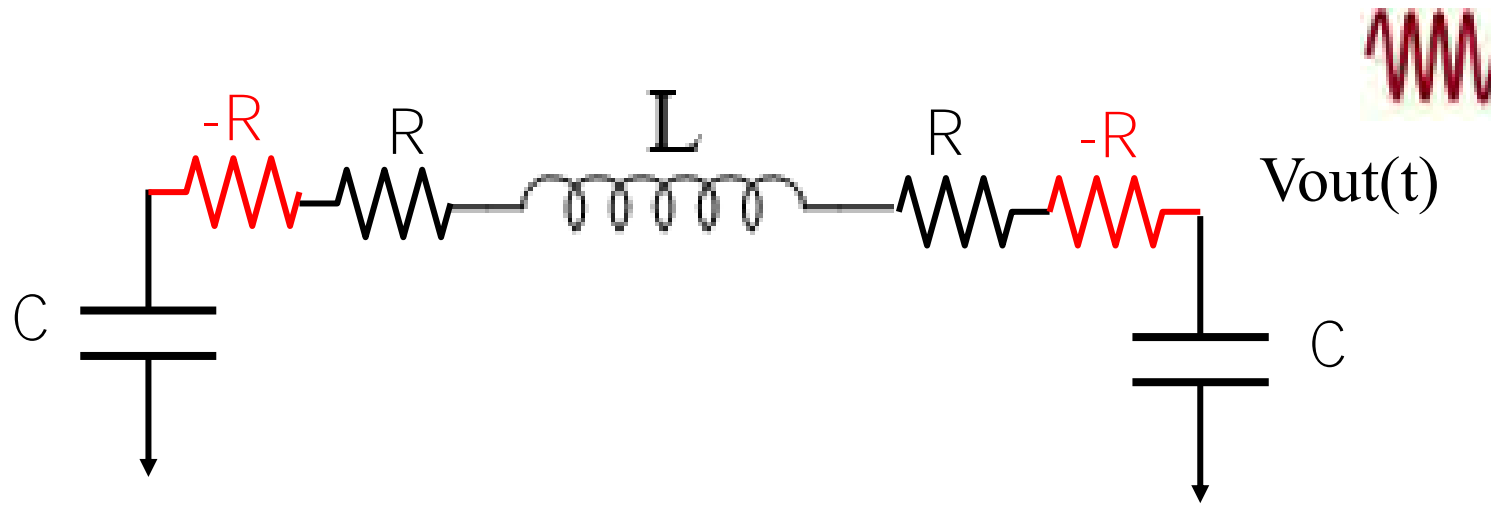
実際のLC共振回路



- 寄生抵抗 $R > 0$ が存在
- 振動が減衰してしまう



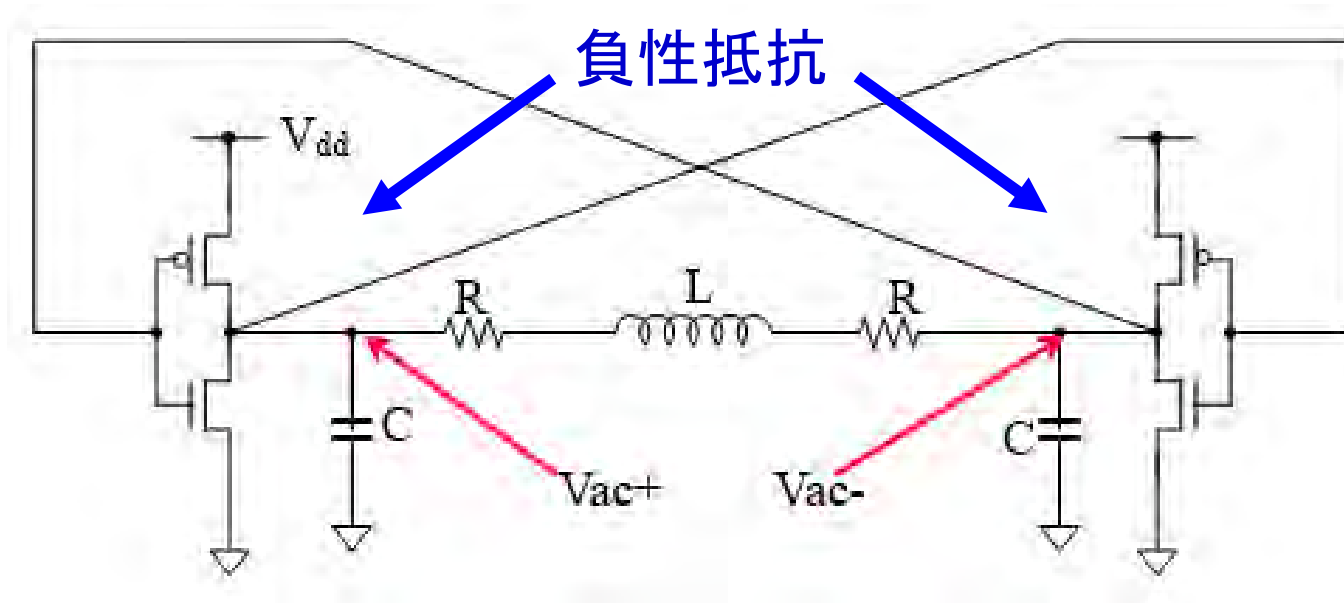
LC発振回路 発振を持続させるために



- 負性抵抗 $-R < 0$ で寄生抵抗 $R > 0$ をキャンセル
- 負性抵抗 $-R$ はトランジスタ（能動素子）で実現する。
回路に電源からエネルギーを与える。

DC-AC 変換回路

直流電源から交流電源を生成

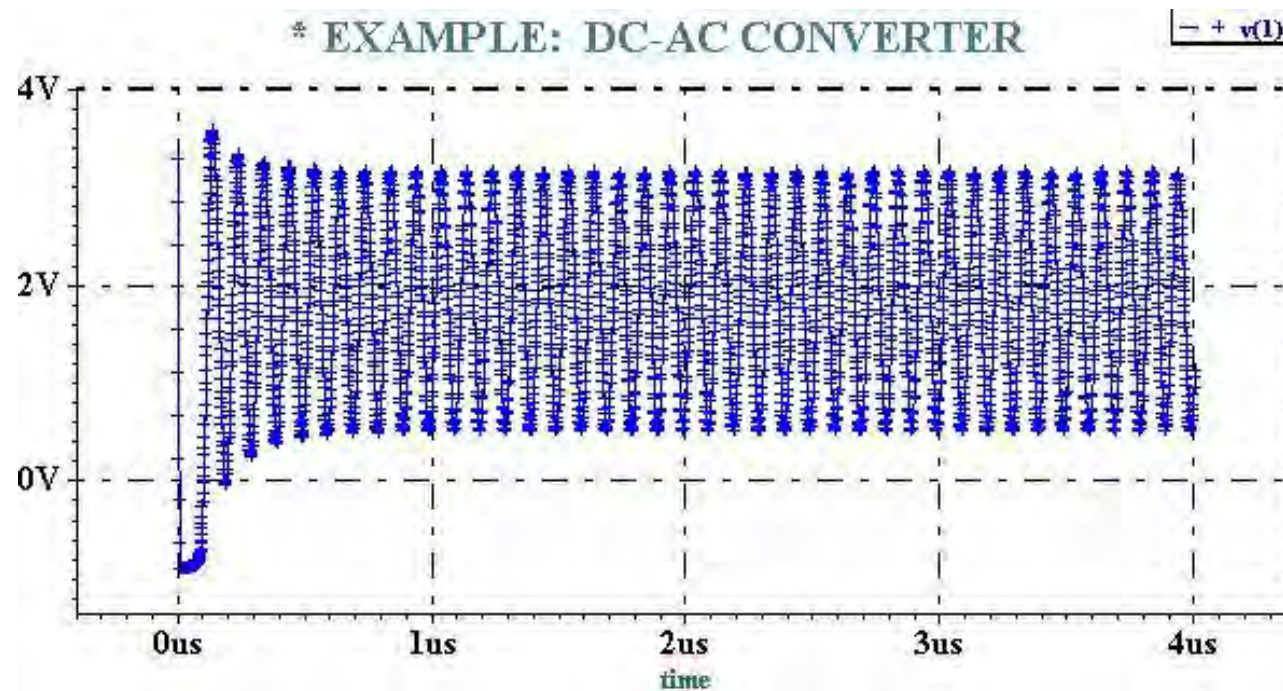


- DC電源VddからAC電源Vacを発生
- LC共振回路
- 寄生抵抗 $R > 0$ での電力消費をCMOSインバータから供給
- 発振周波数

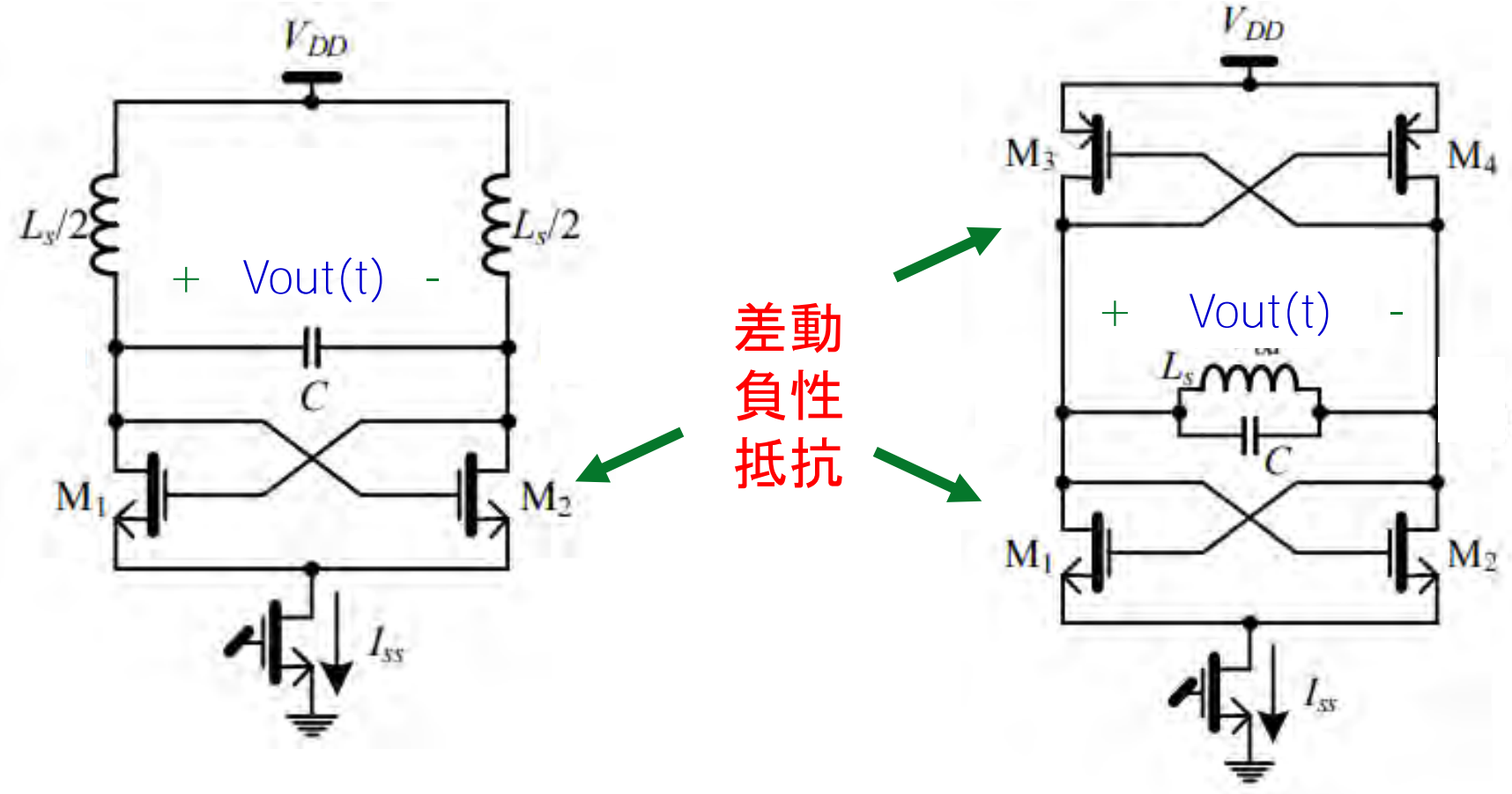
$$f = \frac{1}{2\pi \sqrt{\frac{LC}{2}}}$$

DC-AC 変換回路シミュレーション

$W_n=300 \mu\text{m}$ } $L_n=0.35 \mu\text{m}$
 $W_p=750 \mu\text{m}$ } $L_p=0.35 \mu\text{m}$
 $R=0.1 \Omega$, $L=50 \text{ nH}$, $C=0.01 \mu\text{F}$



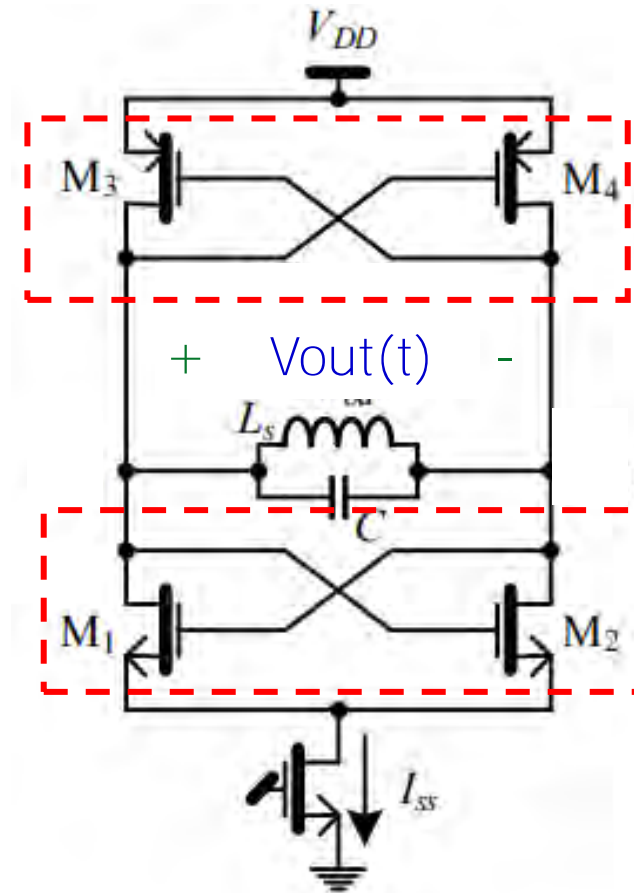
差動CMOS LC 発振回路



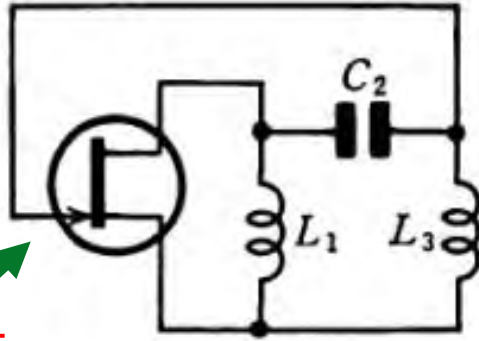
襷掛け(たすきがけ)回路

Cross-Coupled Pair

- 発振回路での負性抵抗
 - Clocked Comparator の正帰還
- 他



ハートレー型とコルピッツ型



ハートレー型

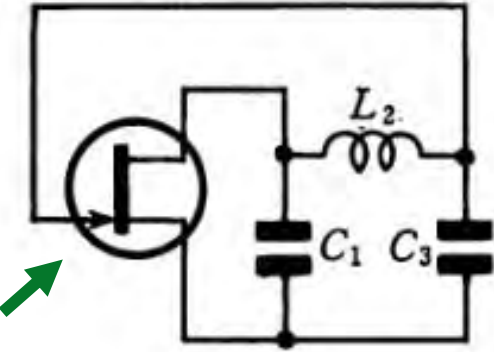
負性抵抗



Ralph Vinton
Lyon Hartley
アメリカ合衆国
ネバダ州 スプルース
1888-1970

ウェスタン
・エレクトリック
の研究所
1915年6月1日 特許出願

コルピッツ型



負性抵抗

Edwin Henry Colpitts

カナダ ニュー
・ブランズウィック州
1872-1949

ベル・テレフォン社
1918年 発明



同期注入発振 Injection Locking

自励発振器に周期的外部信号を強制注入すると
発振器が外部信号の周波数に同期する物理現象。
発振器の周波数安定性を向上させる。
長い歴史と様々な応用をもつ。

発振器の安定化、同期、周波数シンセサイザや
半導体レーザなどの分野において活用。

<https://gigazine.net/news/20120925-synchronization-phenomenon-of-metronomes/>

<http://www.rationalskepticism.org/physics/injection-locking-t53624.html>

周波数引き込み現象の例



暗室生活での研究成果

その他の引き込み現象



ホタルの発光



ろうそくの火の振動

相手を真似るだけで好感度90%アップ！
恋愛心理テク「ミラーリング」



【心理学】
ミラーリング効果
例：呼吸ミラーリング

2.13 MOSとバイポーラの比較

MOS: 集積回路で主流の技術、半導体回路関係国際会議でのほとんどがMOS回路
バイポーラ: 産業界では一部のアナログ回路で使用

MOSのメリット

デジタルと混載可
ゲート電流 ゼロ

MOSのデメリット

相互コンダクタンス 小
1/f 雑音 大
スレッショルド電圧ばらつき 大 (製造ばらつき 大)
モデリングが複雑 (電流方程式を実測と合わせるのが大変)

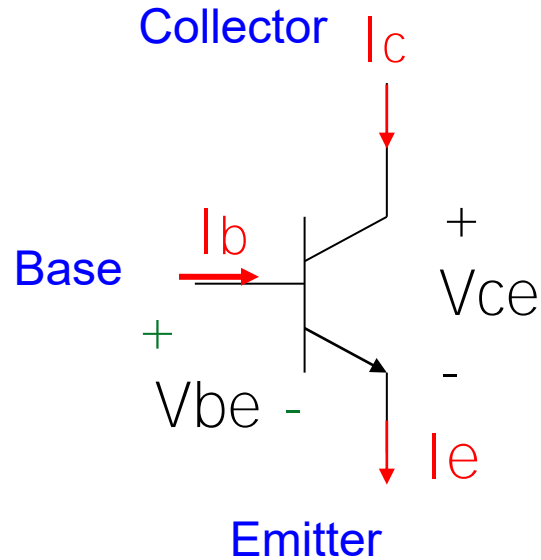
バイポーラのメリット

相互コンダクタンス 大
1/f 雑音 小
ベースエミッタ間電圧ばらつき 小 (製造ばらつき 小)
モデリングが容易
電流駆動能力 大

バイポーラのデメリット

デジタルと混載が難しい
ベース電流 有限 (ゼロでない) 値

バイポーラ・トランジスタ



$$I_c = I_s \cdot \exp(V_{be}/V_T)$$

MOSは2乗
バイポーラは exp

ベース電流 I_b は小さいがゼロではない

$I_c/I_b = \beta$: 電流増幅率

β は100 程度のものが多い

$$I_c + I_b = I_e$$

$V_T = kT/q$ (熱電圧, 温度300K で26mV)

q : 電子の電荷、 T : 絶対温度、 k : Boltzmann 定数

I_s : 飽和電流

そのバイポーラトランジスタにより決まる電流値

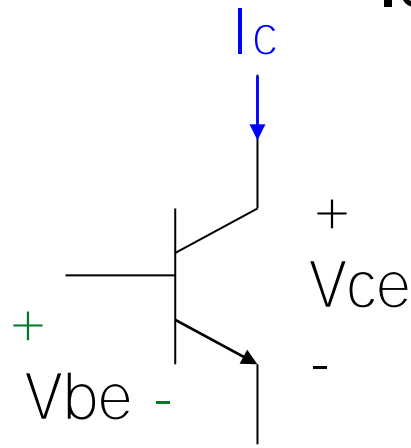
バイポーラトランジスタ 相互コンダクタンス

$$I_c = I_s \cdot \exp(V_{be}/V_T)$$

$$g_m = \frac{dI_c}{dV_{be}}$$

$$= (1/V_T) I_s \cdot \exp(V_{be}/V_T)$$

$$= I_c / V_T$$



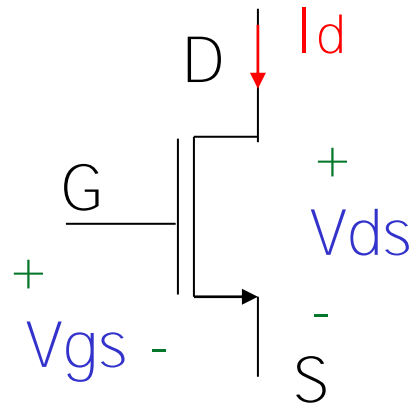
$$g_m = \frac{I_c}{V_T}$$

g_m は I_c に比例

$$V_T = kT/q$$

$$= 26\text{mV}@27^\circ\text{C}$$

MOSとバイポーラのgm 比較

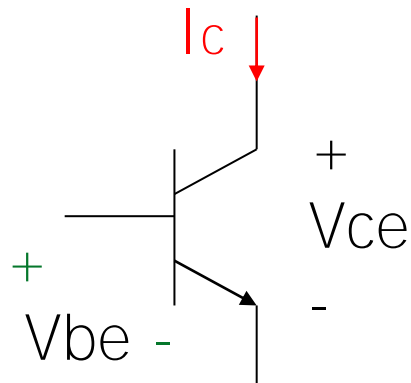


MOS のgm 表現2

$$g_m = \frac{2 I_{ds}}{V_{gs} - V_{th}}$$

$V_{gs} - V_{th}$
 $= 200\text{-}300\text{mV}$
 で使用すること多し

バイアス電流 (I_d , I_c) が同じ値なら、
 バイポーラのgmの方がMOSより5倍程度 大



$$g_m = \frac{I_c}{V_T}$$

$V_T = kT/q$
 $= 26\text{mV}@27^\circ\text{C}$

3. まとめ

まとめ

トランジスタ回路の動作のイメージが湧くように解説してきた。
さらに理解を深めたい方は次のテキストを推薦します。

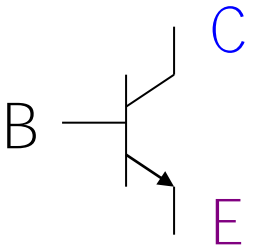
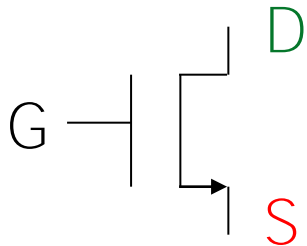
良い参考書

- [1] 松澤昭, はじめてのアナログ電子回路 基本回路編
講談社 (2018年)
- [2] 松澤昭, はじめてのアナログ電子回路 応用回路編
講談社 (2018年)
- [3] 落合政司, アナログ電子回路
- 半導体デバイスとその応用技術、電気学会 (2022年)

付録 1

回路の表記

正電源、負電源の表記

回路図	バイポーラ トランジスタ回路	CMOS トランジスタ回路
正電源 (電圧が高い方)	Vcc	Vdd
負電源 (電圧が低い方)	Vee	Vss
理由		


アナログ回路で使うデバイスおよび主要記号

受動デバイス


抵抗

R 

コンデンサ
(キャパシタ)

C 

インダクタンス

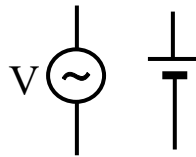
L 

電源・グラウンド

グラウンド

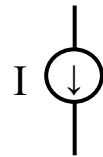


電圧源

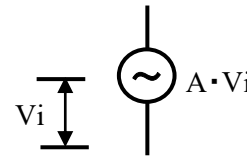


交流電源 直流電源

電流源

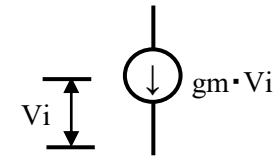


入力電圧
従属電圧源



$A \cdot V_i$

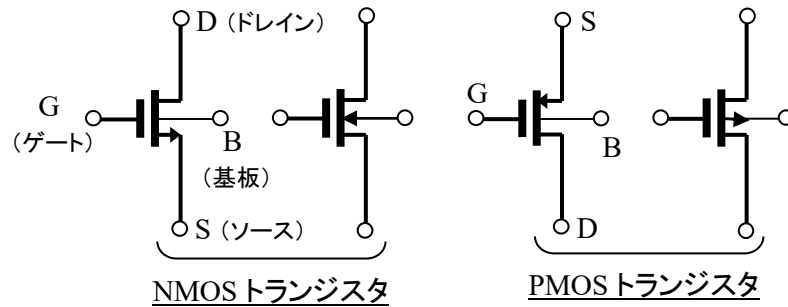
入力電圧
従属電流源



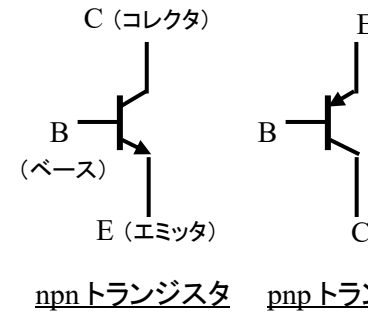
$g_m \cdot V_i$

能動デバイス

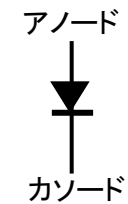
MOSトランジスタ






バイポーラトランジスタ



ダイオード



R,C,Lの直流抵抗および交流抵抗(インピーダンス) 206 / 235

	直流抵抗値	交流抵抗値(インピーダンスZと呼ぶ)
R 	R	$Z=R$
C 	∞	$Z = \frac{1}{j\omega C}$ または $\frac{1}{sC}$
L 	0	$Z = j\omega L$ または sL

ここで、j:虚数($j^2=-1$)、 ω :角周波数、s:ラプラスの演算子で、 $s=\sigma+j\omega$

直列と並列

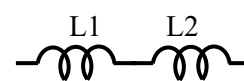
直列接続



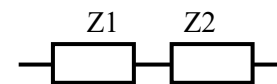
等価値

$$R1 + R2$$

$$\frac{1}{1/C1 + 1/C2} = \frac{C1 \cdot C2}{C1 + C2}$$

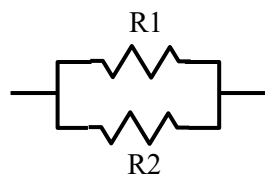


$$L1 + L2$$

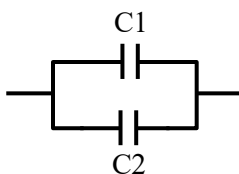


$$Z1 + Z2$$

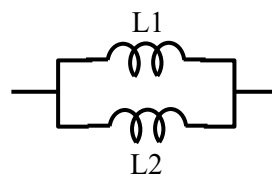
並列接続



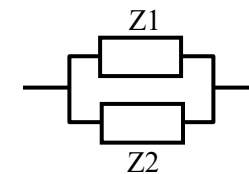
等価値 $R1 // R2 = \frac{1}{1/R1 + 1/R2} = \frac{R1 \cdot R2}{R1 + R2}$



$$C1 + C2$$



$$L1 // L2 = \frac{L1 \cdot L2}{L1 + L2}$$



$$Z1 // Z2 = \frac{Z1 \cdot Z2}{Z1 + Z2}$$

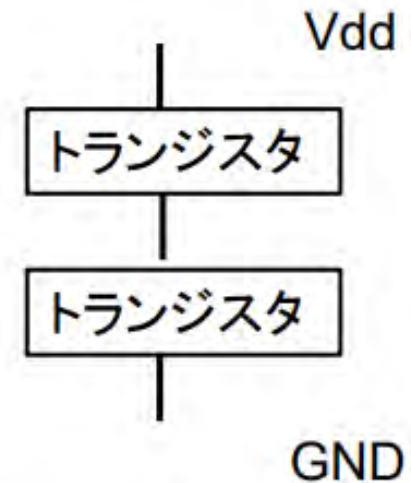
付録 2

カスコード電流ミラー

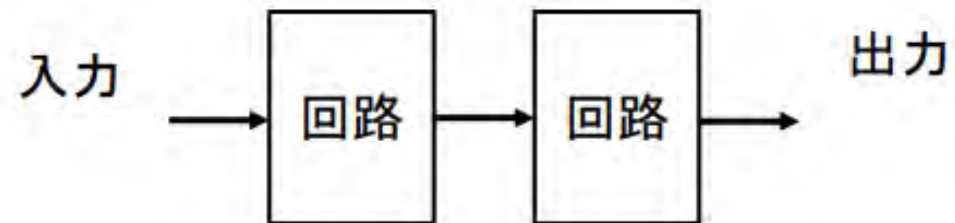
Cascode Current Mirror

カスコードとカスケードは異なる

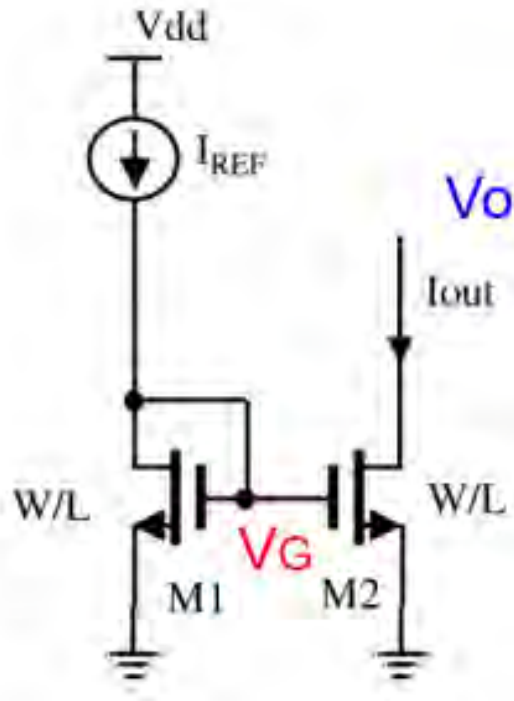
- カスコード (Cascode) 回路
トランジスタの縦積み



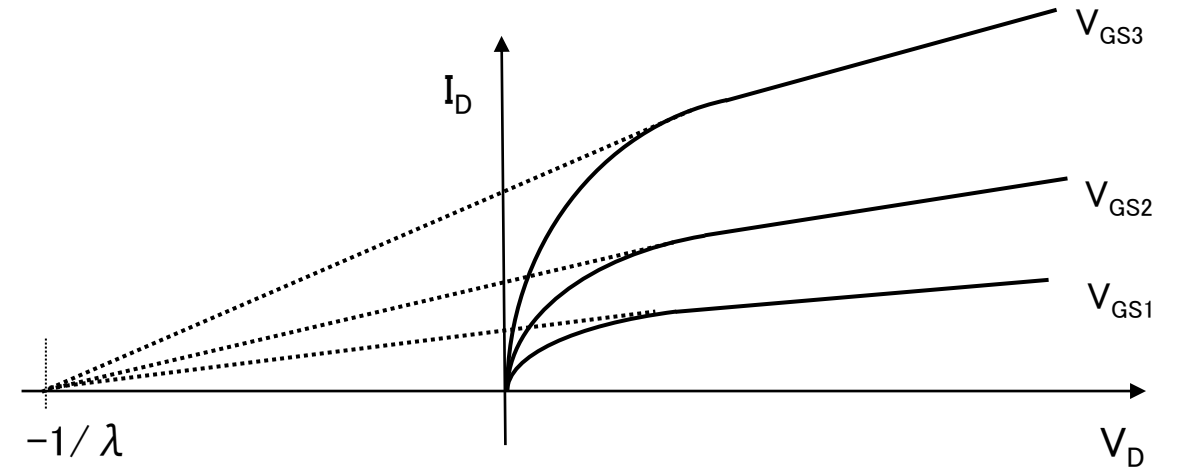
- カスケード (Cascade) 回路
回路の縦続接続



基本的な電流ミラー回路の問題点



MOSのチャネル長変調効果



ゲート電圧: M1 は V_G , M2 は V_G → 両者は同じ
 ドレイン電圧: M1 は V_G , M2 は V_o → 両者は同じでない

➡ ~~が M2 が飽和領域なら I_{REF} と I_{OUT} は一致~~

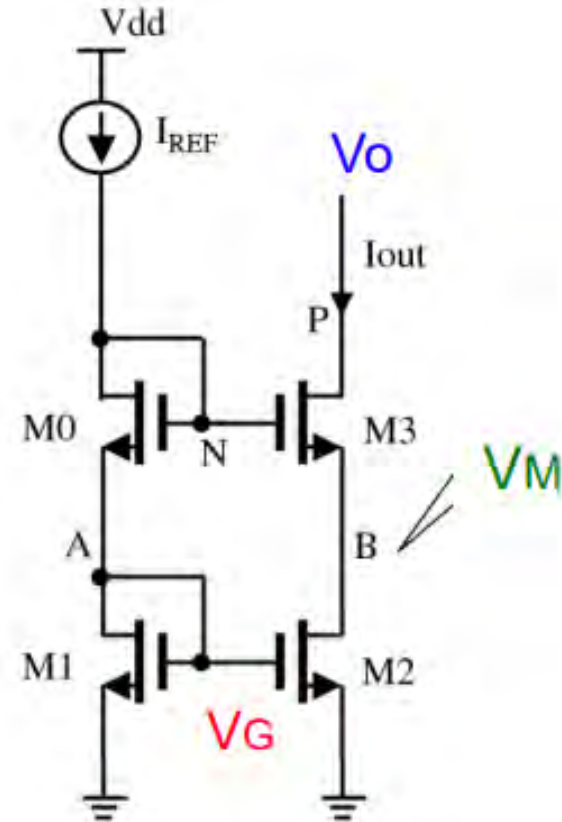
厳密には I_{REF} と I_{OUT} は一致しない
 I_{OUT} は V_o に依存

カスコード電流ミラー回路

M2のドレイン電圧 V_M は
 V_o が変化しても
 ほぼ一定 V_G

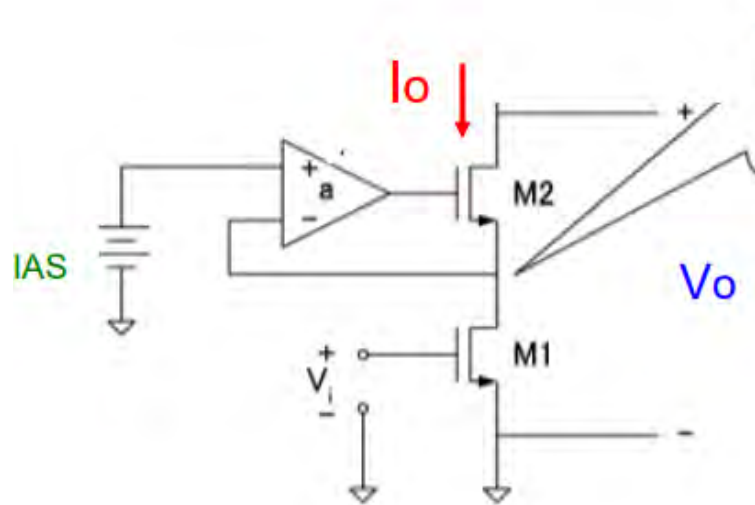


出力電圧 V_o が変化しても
 I_{REF} と I_{OUT} はほぼ一致



スーパーカスコード回路

- 高出力抵抗
出力電圧 V_o が変化しても出力電流 I_o は一定

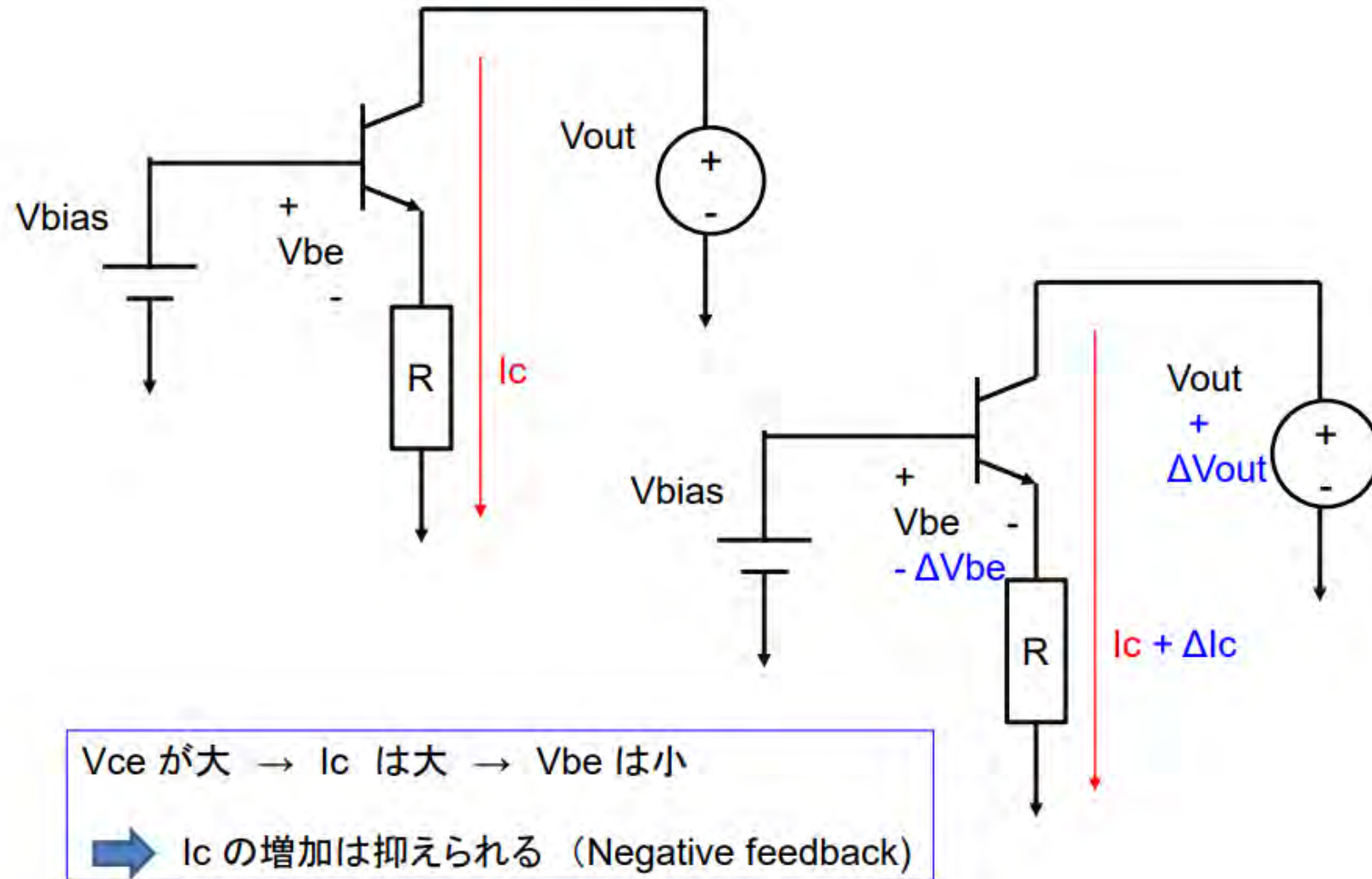


M1のドレイン電圧が
出力電圧 V_o によらず
一定値 V_{BIAS}

- 出力電流 I_o
 - M1のドレイン電圧とゲート電圧のみで決まる
 - 両電圧が一定なら I_o は一定

- 1989年2月頃 フィリップス社(蘭)研究者が
ISSCCでの発表内容をUCLAにて講演
→ その後 非常にポピュラーな回路技術となる

カスコード回路のもう一つの解釈



付録 3

ミラー容量 (Miller Capacitance)

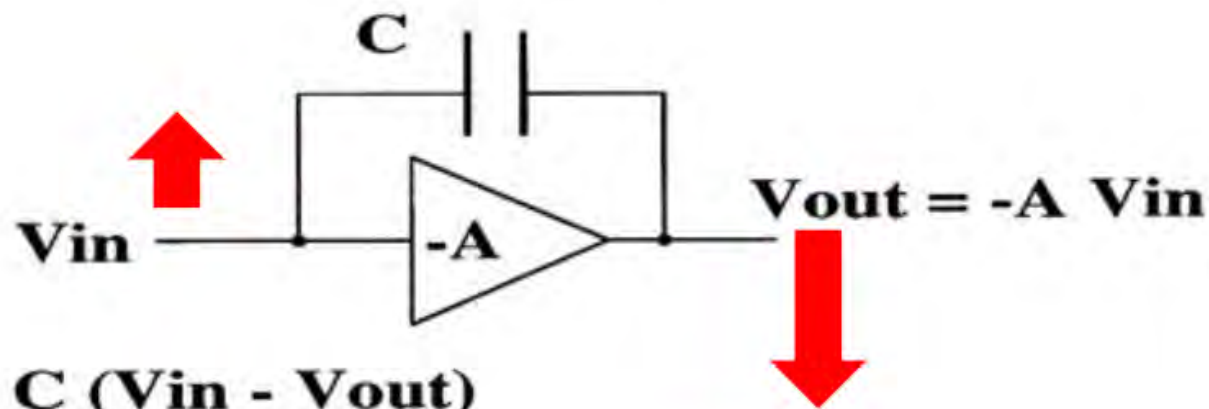
Miller (人名) は Mirror (鏡) ではない

John Milton Miller (米1882-1962)

ミラー容量

利得 $-A$ 倍のアンプの入出力間に 容量 C

➡ 入力から見た容量は
 $(1+A)$ 倍され $C(1+A)$ に見える (ミラー効果)



$$\begin{aligned} Q &= C (V_{in} - V_{out}) \\ &= C (1 + A) V_{in} \\ &= C_{eff} V_{in} \end{aligned}$$

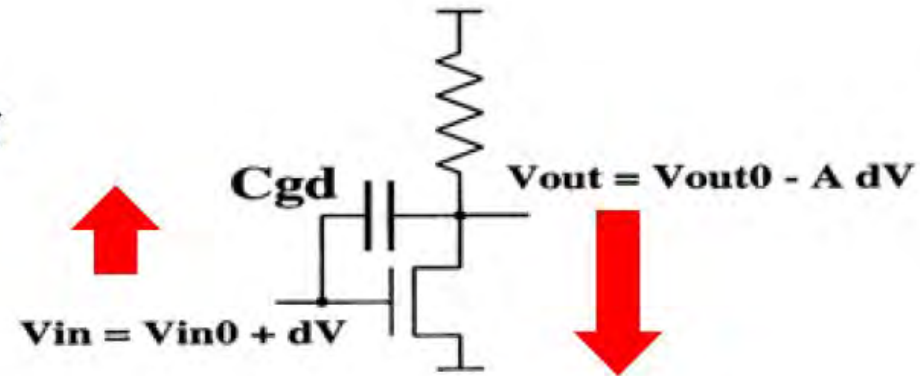
where $C_{eff} = C (1+A)$ (Miller Capacitance)

ミラー容量避けたい/積極利用したい

● ソース接地増幅回路

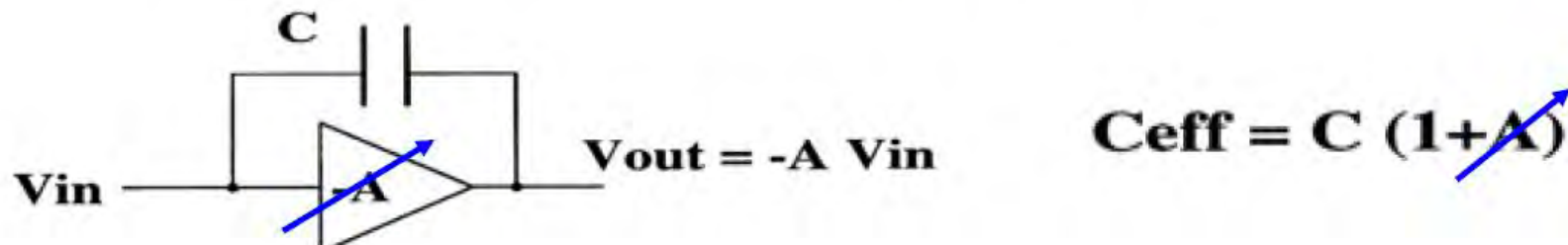
ゲートドレイン間容量 C_{gd} が
ミラー効果で大きく見える

→ 高周波特性劣化

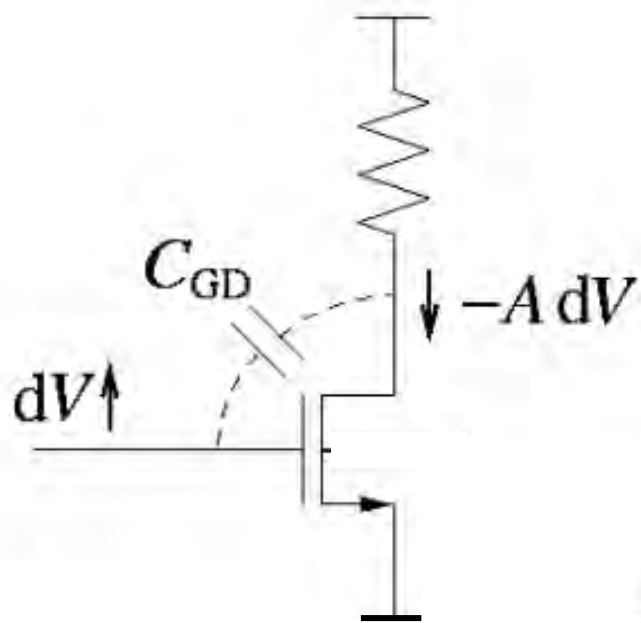


- 小チップ面積で等価的に大容量をIC内で実現
→ オペアンプの位相補償容量に使用

- 増幅器利得を可変 → 可変容量を実現



ソース接地回路とミラー容量



$$V_{in} \rightarrow V_{in} + dV$$

$$V_{out} \rightarrow V_{out} - AdV$$

$$dQ_{GD} = (1 + A) C_{GD} dV$$

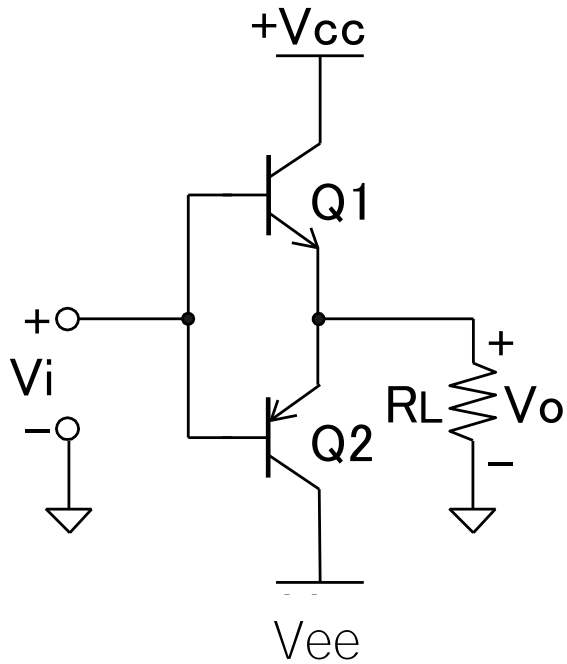


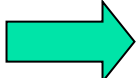
容量が $(1+A)$ 倍に見える

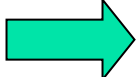
付録 4

B級、AB級出力段

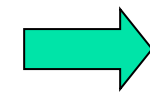
B級出力段



V_{in} 高  Q1: ON Q2: OFF

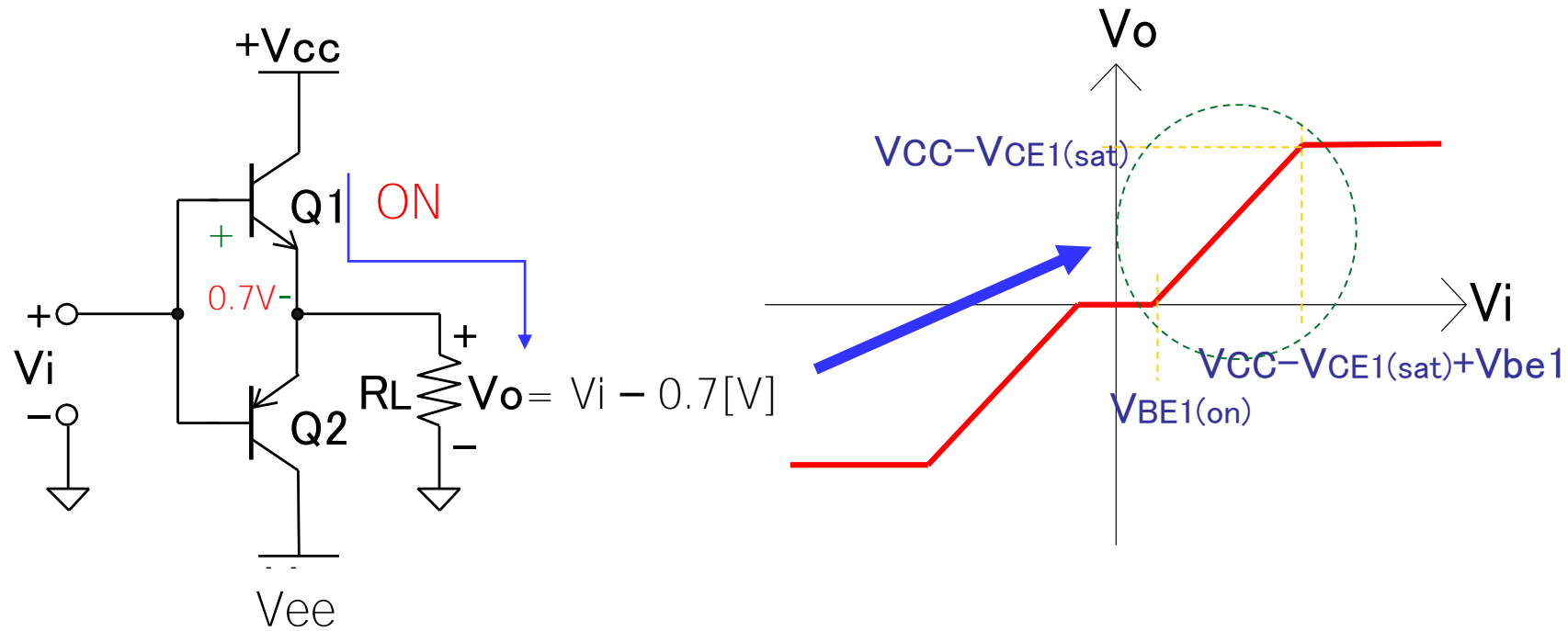
V_{in} 低  Q1: OFF Q2: ON

電源からの電流の多くが
負荷 R_L に流れる。



高効率

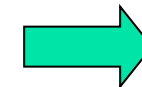
B級出力段 (動作 1)



V_{in} 高 \rightarrow Q1: ON Q2: OFF

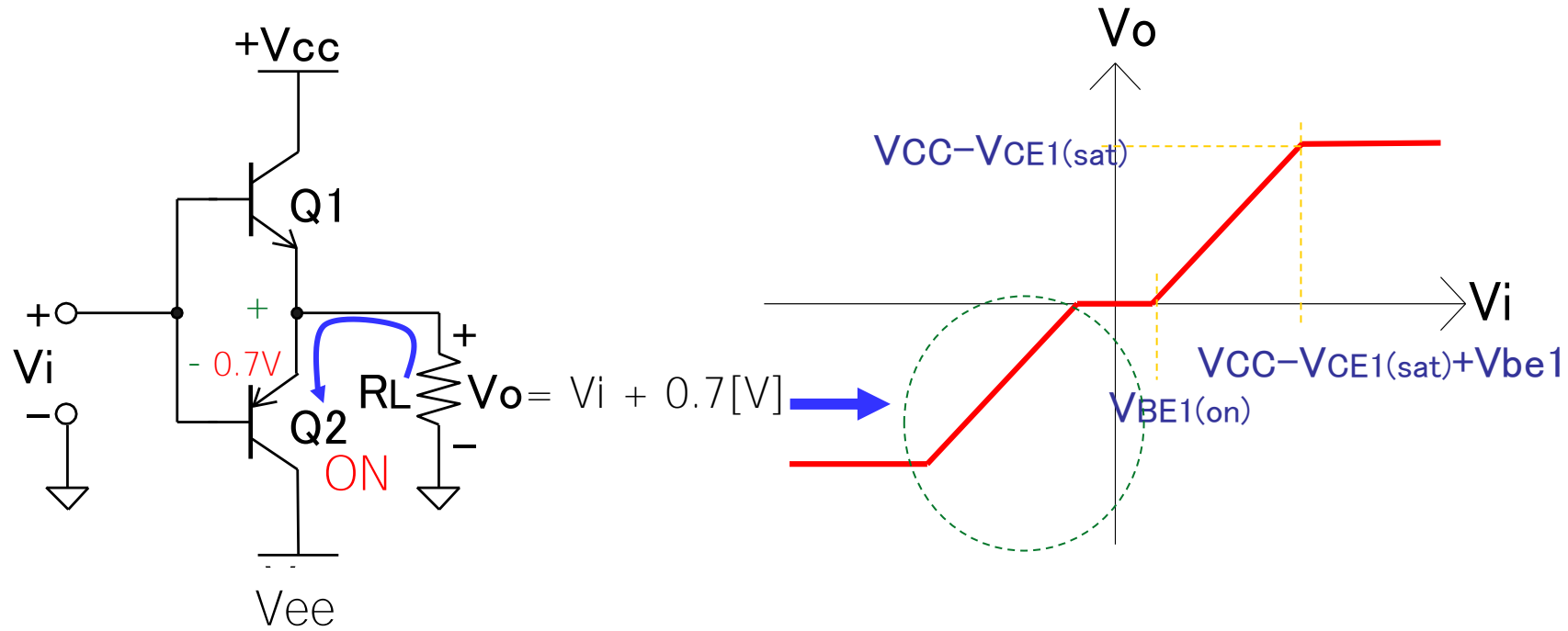
V_{in} 低 \rightarrow Q1: OFF Q2: ON

電源からの電流の多くが
負荷 R_L に流れる。



高効率

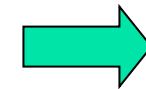
B級出力段 (動作 2)



V_{in} 高 \rightarrow Q1: ON Q2: OFF

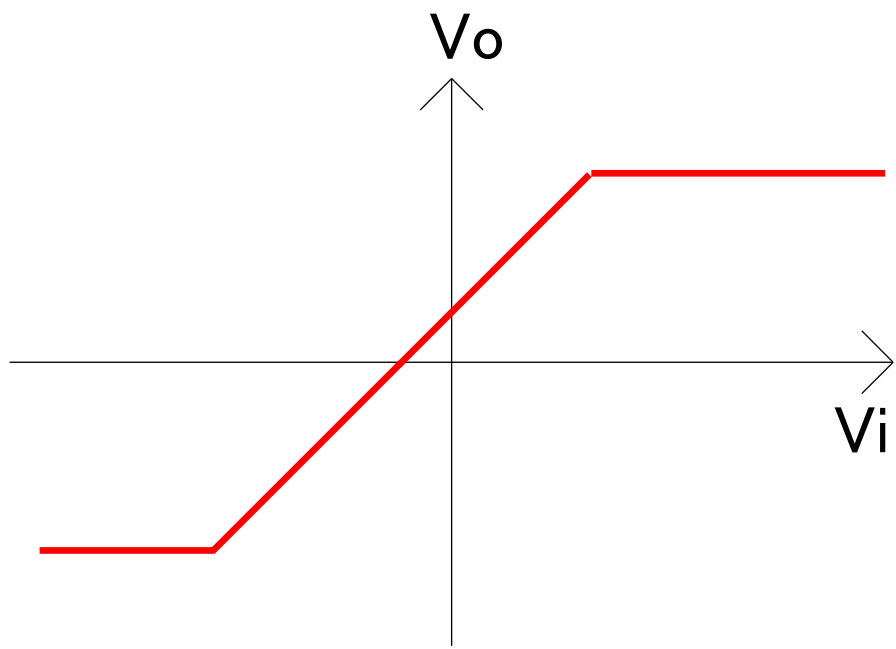
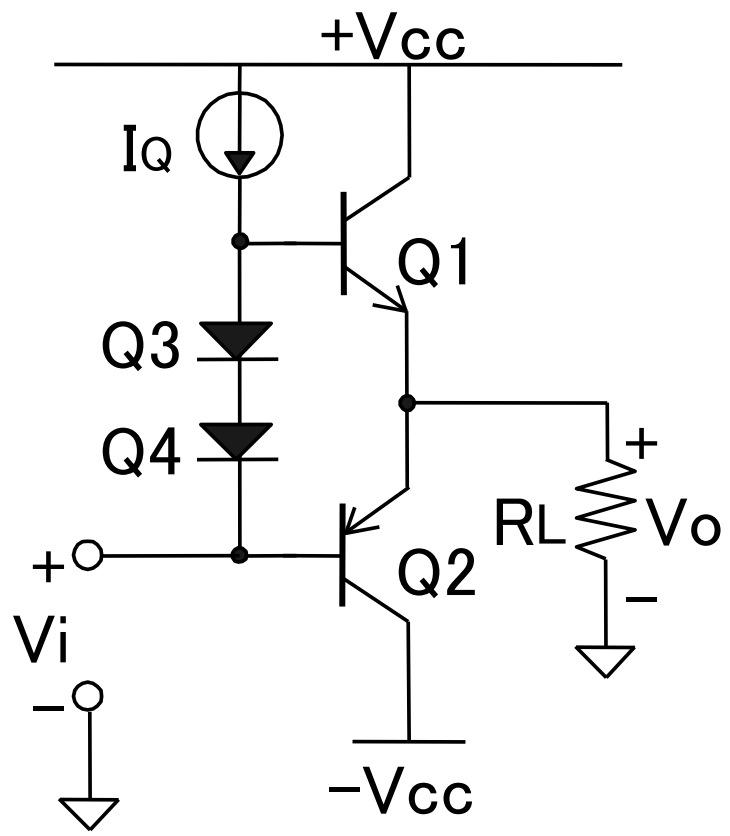
V_{in} 低 \rightarrow Q1: OFF Q2: ON

電源からの電流の多くが
負荷 R_L に流れる。



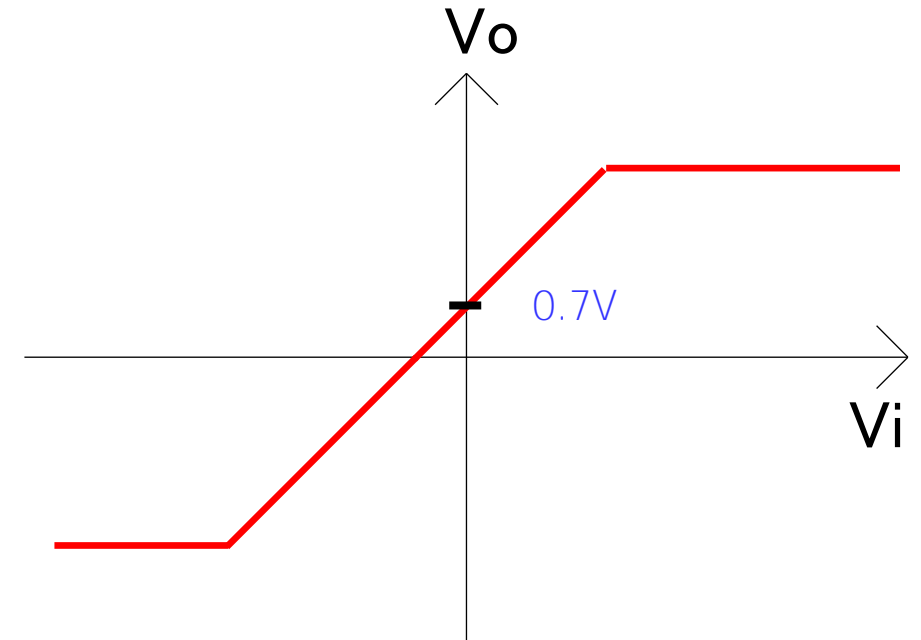
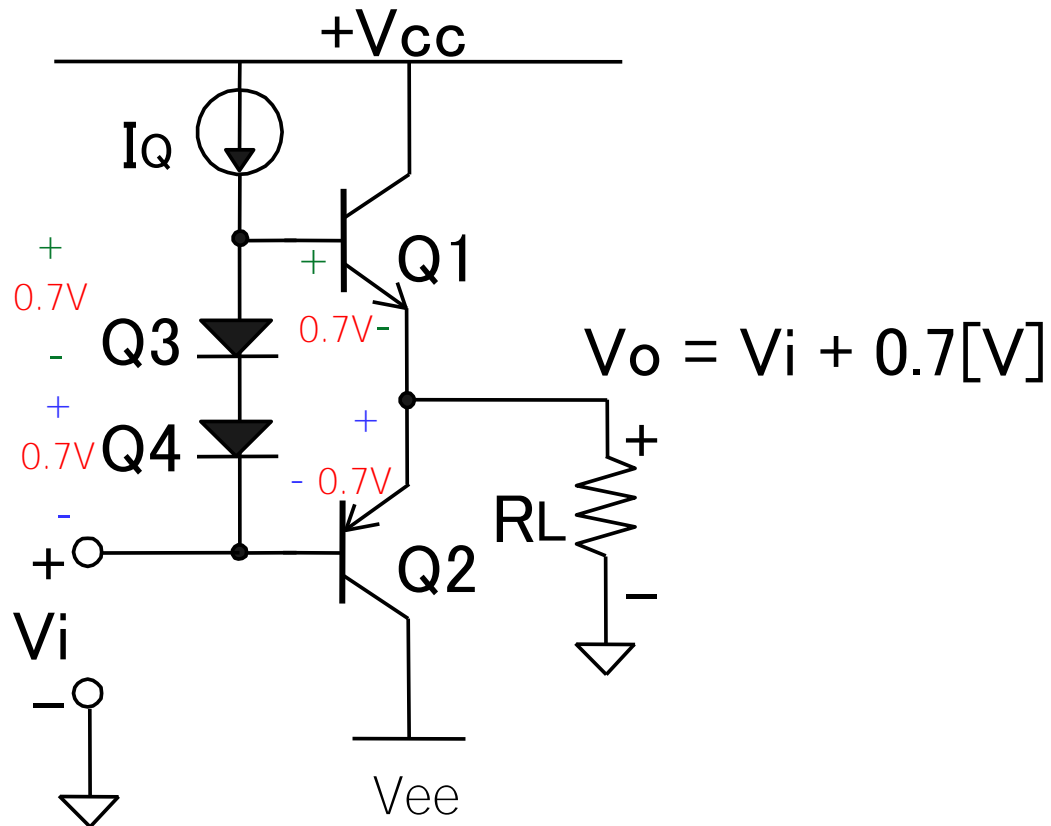
高効率

AB級出力段



クロスオーバー歪みを低減するためにダイオードを設けたAB級出力段と伝達特性

AB級出力段 (動作)

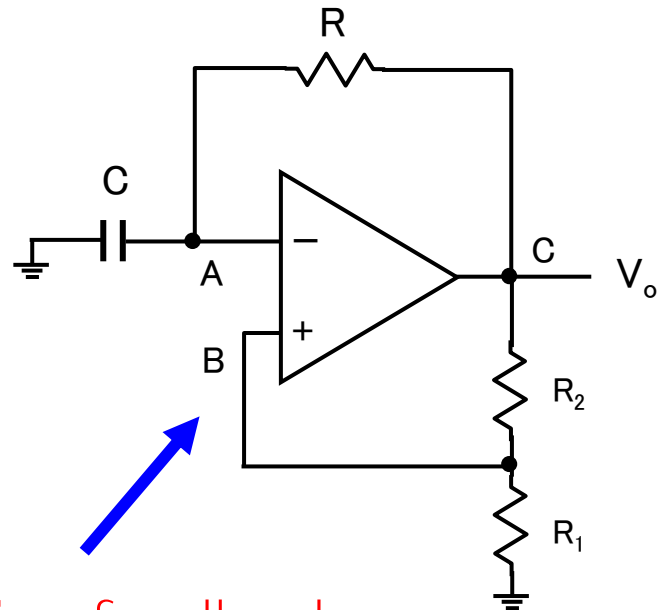


クロスオーバー歪みを低減するためにダイオードを設けたAB級出力段と伝達特性

付録 5

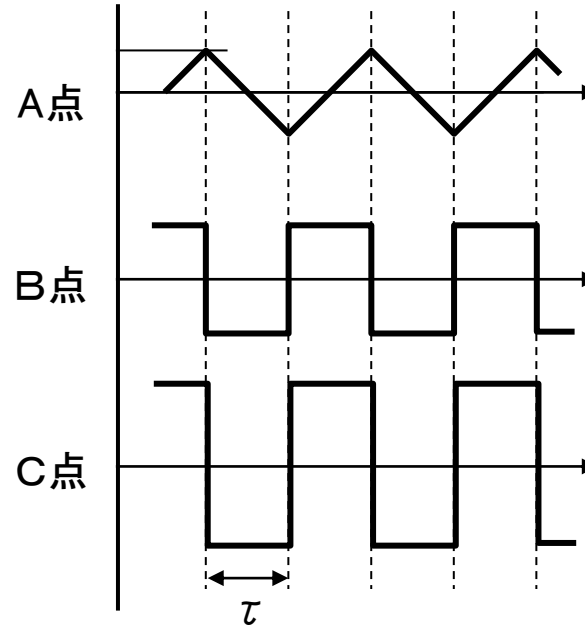
他の発振回路例

オペアンプを用いた弛張発振回路



positive feedback

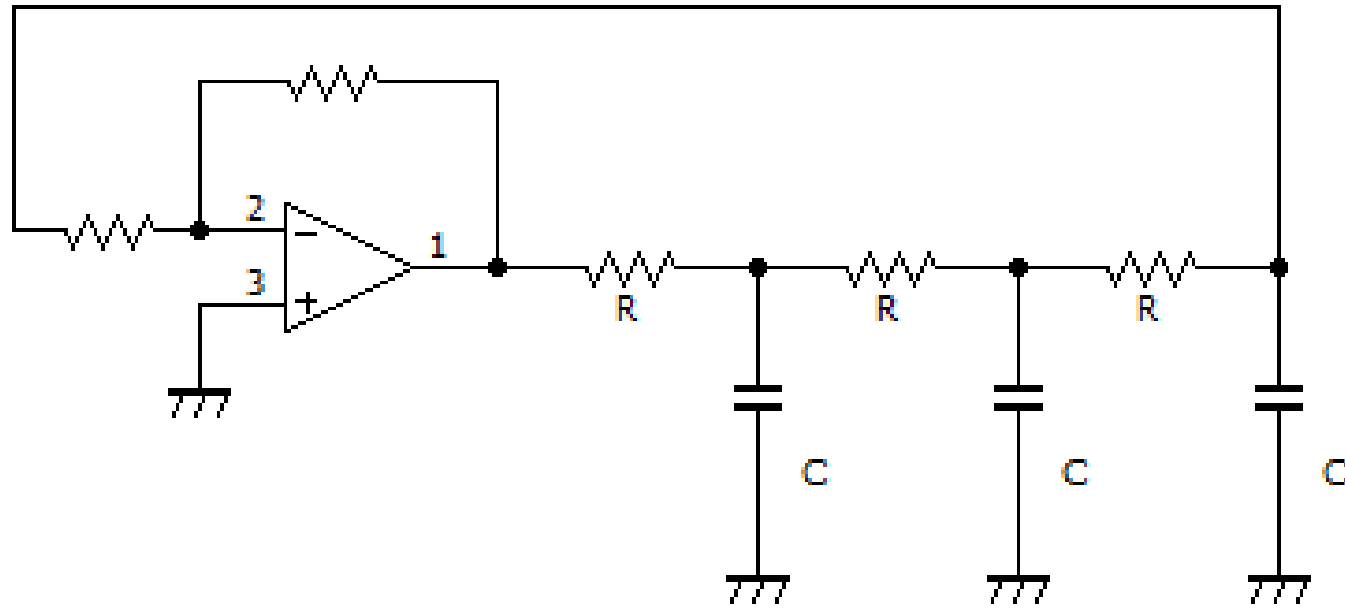
マルチバイブレータ
Multi-Vibrator



$$\tau = \frac{R_1}{R_1 + R_2} \cdot CR$$

各部の波形

RC移相発振回路



付録 6

熱ノイズとアナログ回路

アナログ回路の設計トレードオフ

パワー(電力)とノイズ

「アナログ回路ではパワーを大きくすると
ノイズを低減できる
(信号ノイズ比を向上できる)」 正しい

なぜ？ 直感的に理解しづらい！

マイクで音量を大きくすると
ノイズも大きくなるのに



熱ノイズ

電流： 電荷の平均的な流れ

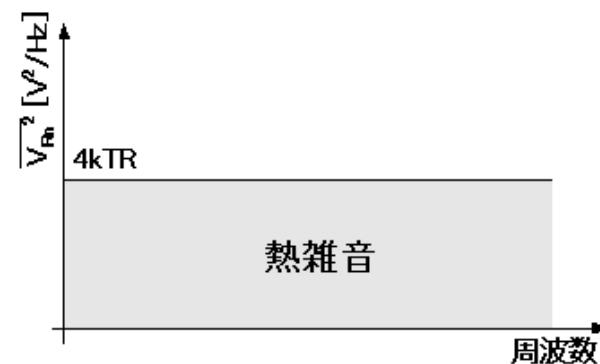
ノイズ： 電荷のランダムな動き

抵抗で生成される熱ノイズ

$$\overline{V_n^2} = 4kTR \Delta f$$

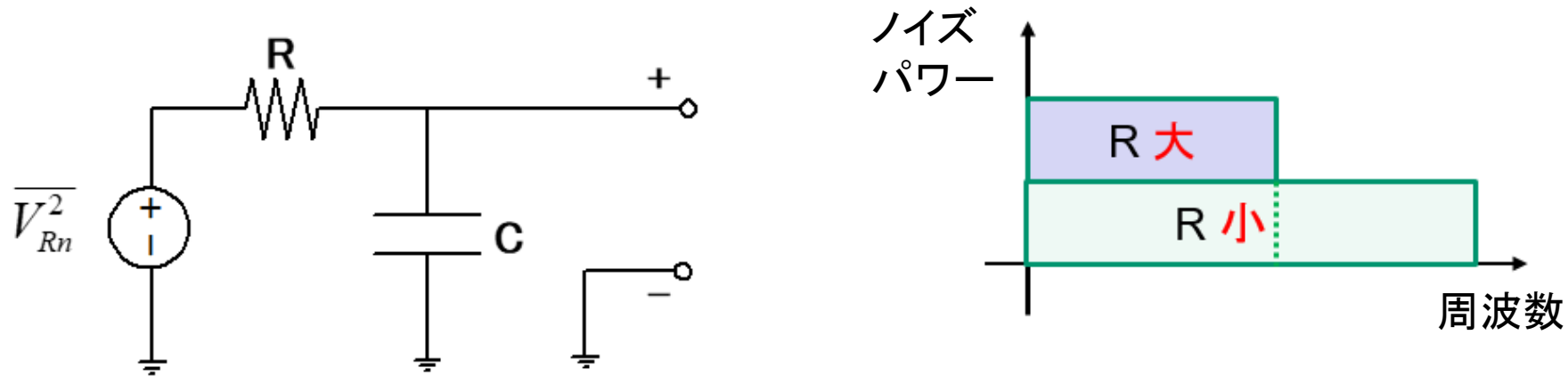
容量で生成される熱ノイズ

ゼロ



現実の回路では

- **C 大** → 熱ノイズパワー 小
- **Rの値に依らない**
R 大 → Δf 当たりの熱ノイズ 大、帯域 狭



雑音パワー

$$P_{n,out} = \int_0^{\infty} \frac{4kTR}{4\pi^2 R^2 C^2 f^2 + 1} df$$

$$= \frac{kT}{C}$$

kT/C ノイズ

熱ノイズと消費電力

現実の回路

熱ノイズは C が大きければ小さい
 R の値に依存しない

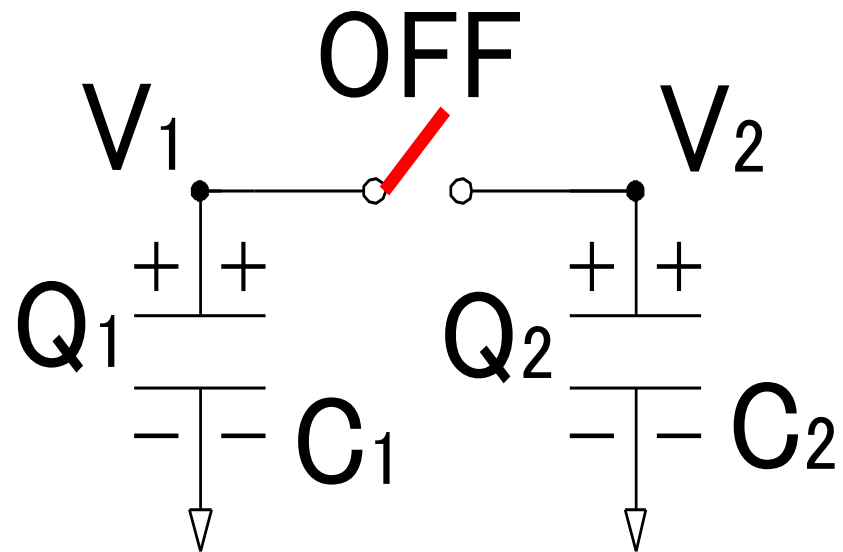
C を大きくすればその充放電で消費電力が大

アナログ回路では 熱ノイズを小さくすると消費電力が大

付録 7

容量と消費電力

スイッチと容量のエネルギー問題(1)



● スイッチ OFF 時

電荷 :

$$Q_1 = C_1 \cdot V_1$$

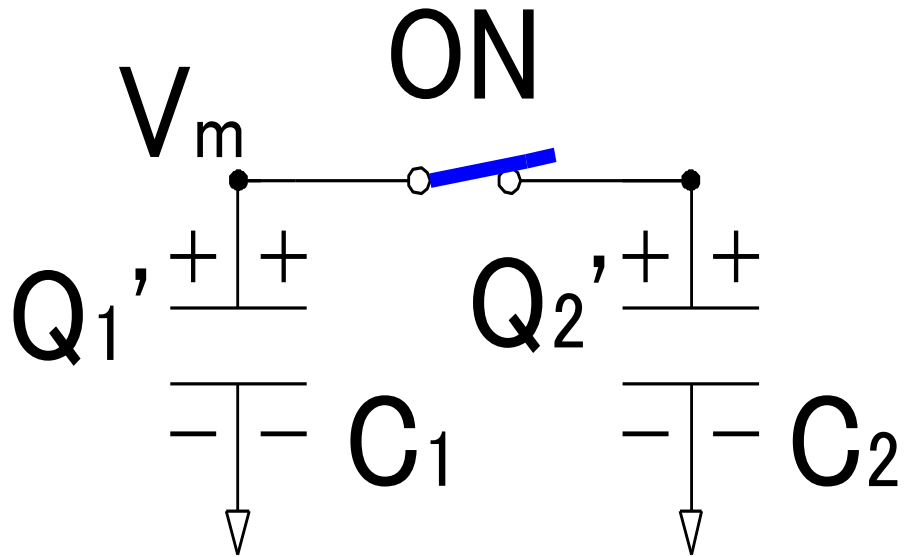
$$Q_2 = C_2 \cdot V_2$$

エネルギー :

$$E = \frac{1}{2} C_1 \cdot V_1^2 + \frac{1}{2} C_2 \cdot V_2^2$$

スイッチと容量のエネルギー問題(2)

● スイッチ ON 時



電荷：

$$Q_1' = C_1 \cdot V_m$$

$$Q_2' = C_2 \cdot V_m$$

エネルギー：

$$E' = \frac{1}{2} (C_1 + C_2) V_m^2$$

エネルギー損失の計算

- 電荷保存則

SW OFF 時の電荷 $Q_1 + Q_2$

ON 時の電荷 $Q_1' + Q_2'$

$$\therefore V_m = \frac{1}{C_1 + C_2} (C_1 \cdot V_1 + C_2 \cdot V_2)$$

- SW OFF 時と ON 時の蓄積エネルギーは異なる。

SW ON時のスイッチでのエネルギー・ロス

$$E_{loss} = E - E' = \frac{1}{2} \frac{C_1 \cdot C_2}{C_1 + C_2} (V_1 - V_2)^2$$

力学問題との相似性

2つの物質の衝突問題

電荷保存則 \longleftrightarrow 運動量保存則

スイッチオフ時： 電荷エネルギー $E1$

スイッチオン時：

電荷エネルギー $E2a$ + 熱エネルギー $E2b$

$$E1 = E2a + E2b$$

衝突前： 運動エネルギー $E3$

衝突後：

運動エネルギー $E4a$ + 熱エネルギー $E4b$

$$E3 = E4a + E4b$$