

5. スイッチング電源の効率

5-1 損失の種類

- (1) 損失の種類と概要
- (2) スイッチング素子の損失
- (3) ダイオード、同期整流MOSの損失
- (4) インダクタンスの損失

5-2 負荷電流と効率の関係

- (1) 電流不連続モードと同期整流方式
- (2) 低負荷時の効率改善

5. スイッチング電源の損失

5-1 損失の種類 (コンバータ部分のみ)

(1) 損失の種類と概要

(A) 損失の種類

* スイッチング素子

- ・ON抵抗による導通損失
- ・スイッチング損失

* ダイオード(同期整流素子)

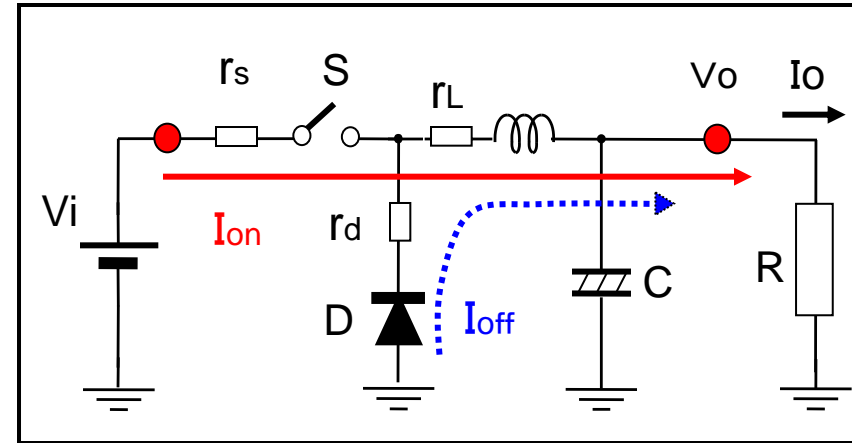
- ・ON抵抗による導通損失

* コイル・トランス

- ・内部抵抗による導通損失(銅損)
- ・鉄芯のヒステリシス損失(鉄損)

* コンデンサ

- ・内部抵抗(ESR)による損失(微小)



- ・ r_s : スイッチング素子のON抵抗
- ・ r_d : ダイオード素子のON抵抗
- ・ r_L : コイルの内部抵抗

図5.1 スイッチング電源

(B) 降圧形電源の損失解析

● デューティ: $D \approx 0.1$

* ハイサイドMOS

・導通期間は 10%

SW損失が大きい: 36%

⇒ 周波数アップで 更に増大

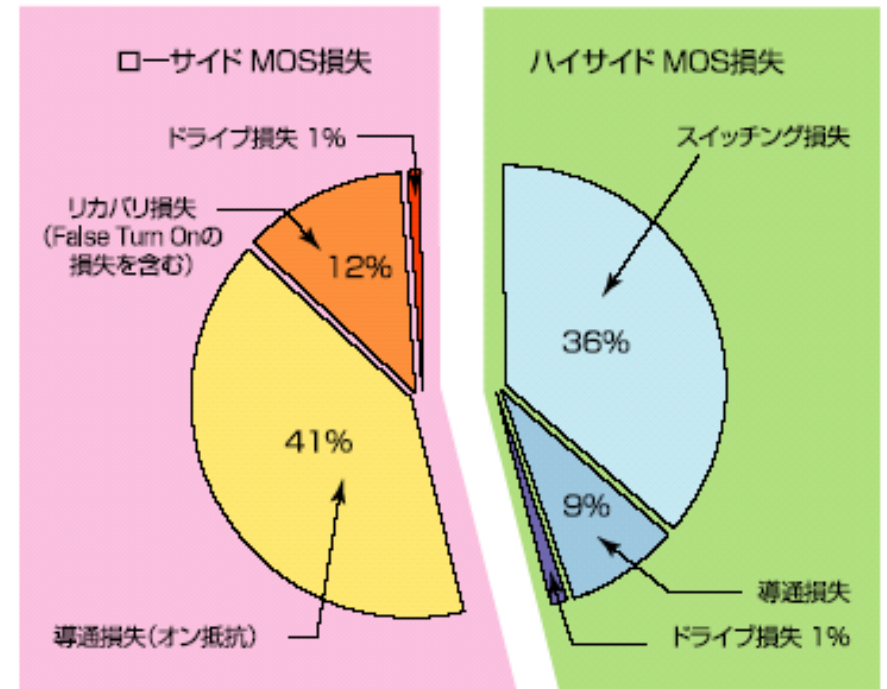
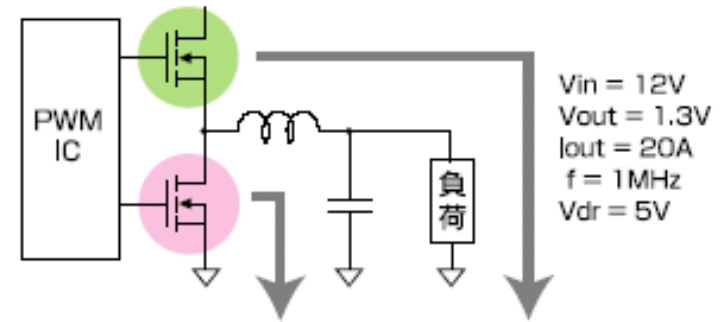
* ローサイドMOS(同期整流方式)

・90%の導通期間

導通損失が大きい: 41%

リカバリ損失: 12%

図2-1 降圧コンバータの損失内訳



ルネサステクノロジ HP 資料より

図5.2 スイッチング電源の損失内訳

(2) スイッチング素子の損失

(A) MOSFETの一般的特徴

- ゲート幅にて電流容量確保(並列接続)
ON抵抗低減、ゲート容量増大
- 耐圧に注意(特に昇圧形電源)
ゲート長で耐圧確保・・・ON抵抗は増大
ON抵抗と耐圧は相反する
- 一般的にデューティDが小さいので
ON抵抗より、スイッチング速度を重視
ゲート容量によりスイッチング速度が低下

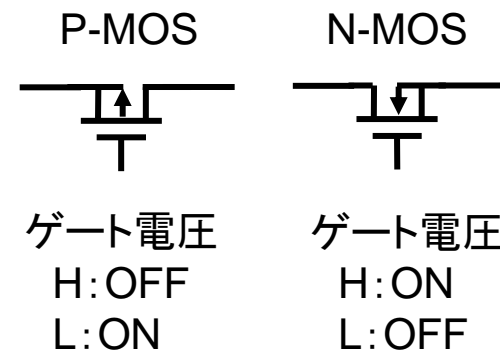
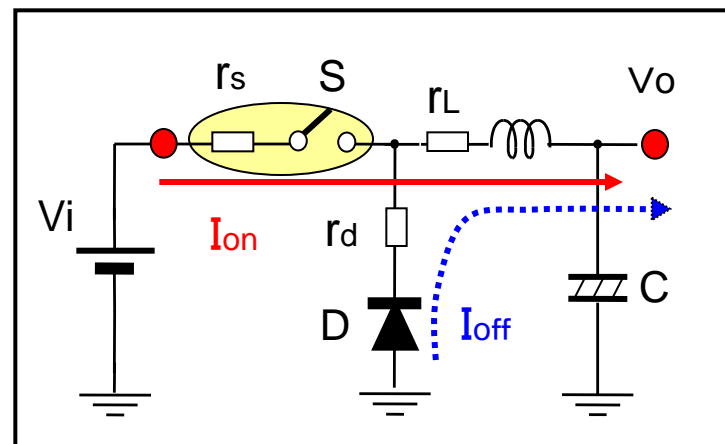


図5.3 スイッチング素子の損失

(B) N-MOSとP-MOSの比較

表5.1 スイッチング素子の特徴比較

	ON抵抗	SW速度	ゲート電圧
P-MOS	△	△	$V_G < V_i$:性能劣るが 駆動回路容易
N-MOS	○	○	$V_G > V_i$:性能良いが 回路工夫必要

(C) スイッチング損失

* スイッチング速度とデバイス・パラメータ

- ・ゲート容量 C_{GD} 、 C_{GS} による遅延
 - 特に C_{GD} はミラー効果で影響大
- ・ソース端のインダクタンスによる遅延
- ・ゲート電流制限抵抗に注意

* スイッチング・ロス: $V \cdot I$ 積

- ・ドレイン電圧変化に対して電流が遅れる
OFF時の遅延大 \Rightarrow ロス大
- ・損失: 電圧 V_i 、電流 I_i 、周波数 F に比例

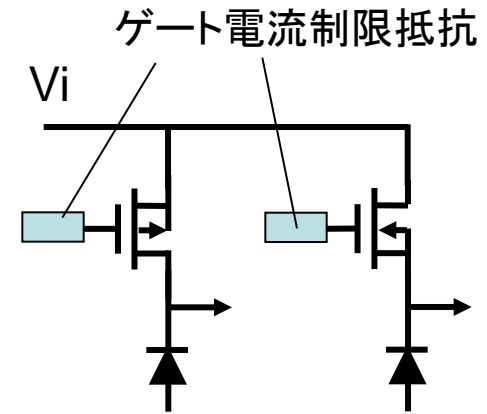
* スイッチング・ロス: ゲート容量 C_G

- ・ゲート容量の充放電損失:

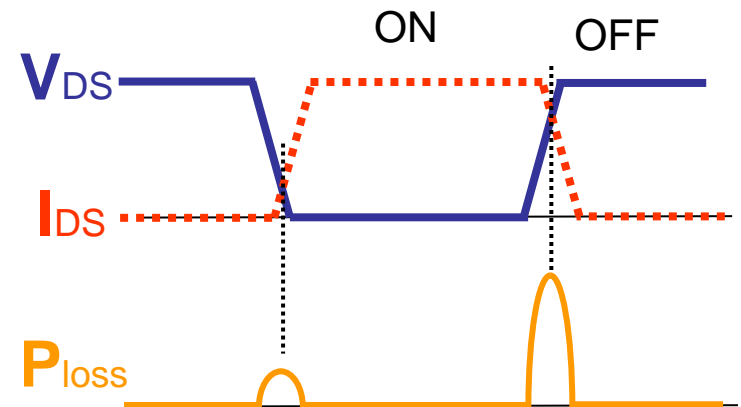
$$E_{SWG} = (1/2) C V_G^2 \cdot F_{pwm}$$

・・・負荷電流に無関係

スイッチング周波数が高いほど、損失大
負荷電流0でも、固定SW損失あり



(a) スイッチング素子



(b) スイッチング・ロスの波形

図5.4 スイッチング損失

(3) ダイオード、同期整流MOSの損失

(A) ダイオードの特性

* ダイオードの損失

・PN接合・ダイオード : $V_D \cong 0.7V$

・ショットキ・バリア・ダイオード : $V_F \cong 0.4V$

cf. N-MOSのON電圧 : $V_{DS} \cong 0.2V$

【注意】ショットキDiの逆耐圧 : $V_{rrm} = \text{数十}V$

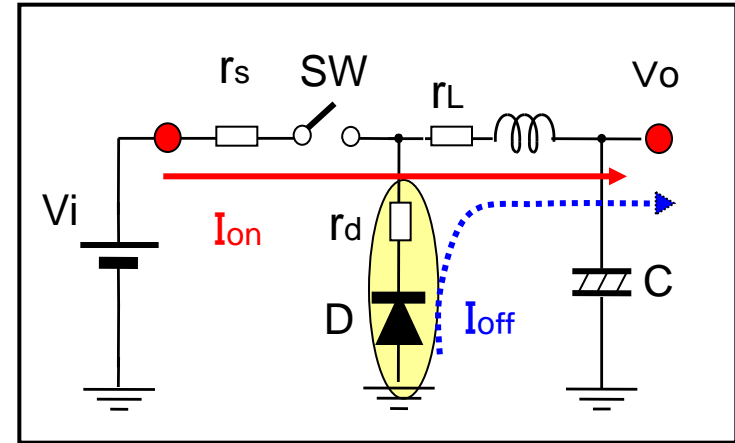
(V_{rrm} :ピーク繰返し逆電圧)

* SWとDiの損失比較:降圧形電源

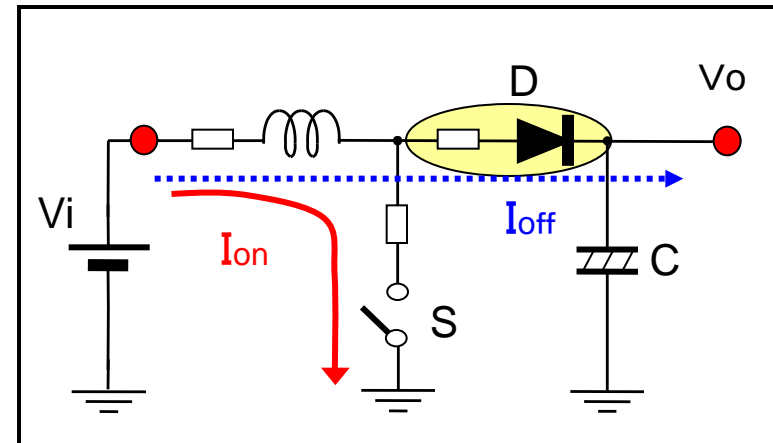
・通常、デューティ=0.1程度

⇒ 導通損失はダイオードが中心

∴ DiはON抵抗、MOSはSW速度を重視



(a) 降圧形電源の構成



(b) 昇圧形電源の構成

図5.5 ダイオードの損失

(B) 同期整流方式:

* Diに並列にN-MOS接続

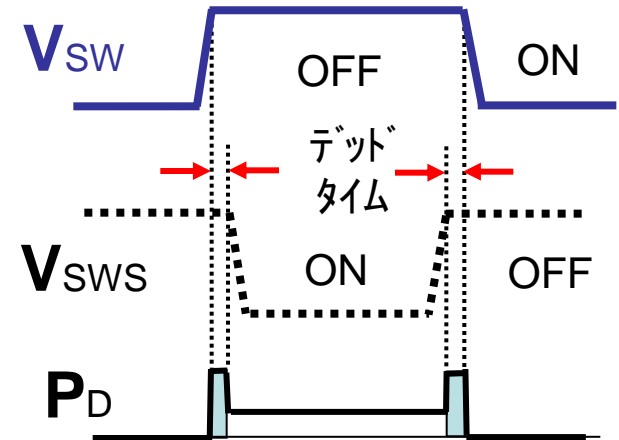
- ・ショットキDiよりMOSの方が導通損失低い
⇒ N-MOSで同期整流
- ・DiのON時に、MOSをON

* 昇圧形電源も同様に接続

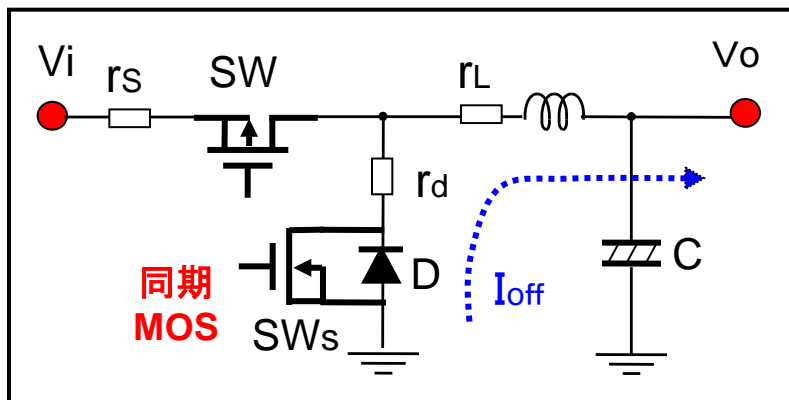
- ・ダイオードと並列にMOS-SW使用

* スイッチング・タイミング

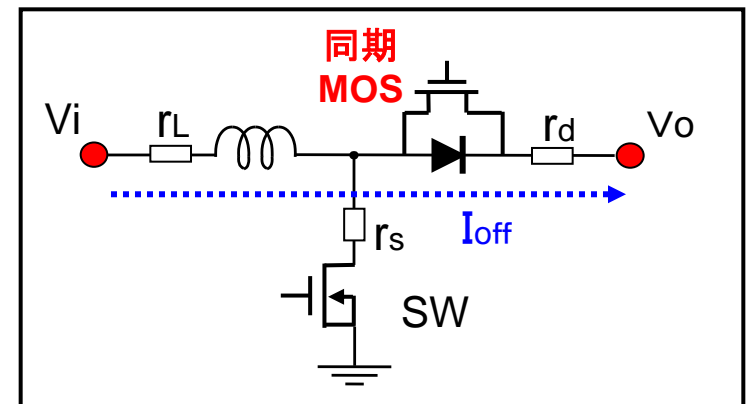
- ・SW電流の切り替えタイミングはばらつく
- ・両SWの同時ONは禁止 ⇒ **デッドタイム**



(c) スイッチング・タイミング



(a) 降圧形電源



(b) 昇圧形電源

図5.6 同期整流回路とデッドタイム

(C) 同期整流方式の損失

* MOSの導通損失が小さい: $V_{ON} < V_{Di}$

・ D_i の大部分の損失を低減 [残り時間少]

⇒ **ボディーダイオード**(pn接合)を利用

ショットキー D_i の削減

* ボディダイオードの構成

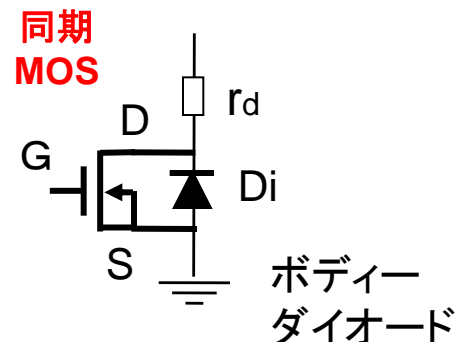
・ N-MOSのドレイン(n)-バックゲート(p)間

* 更なる効率改善: デッドタイムの低減

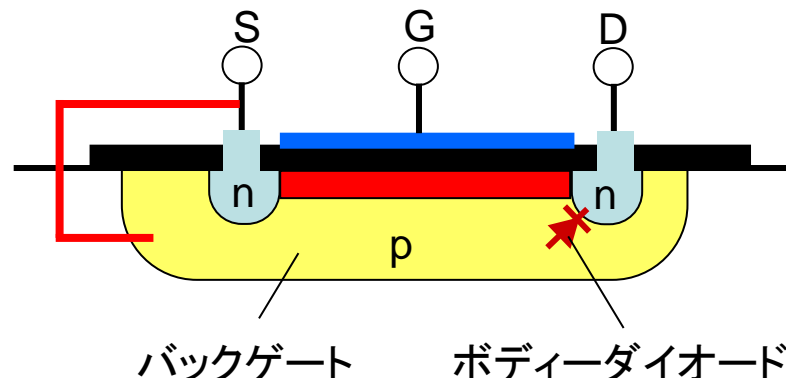
・ 素子遅延ばらつきの吸収

2MOSとプリドライバの集積化で

ON/OFFタイミングのばらつき吸収



(a) 同期整流MOSの回路



(b) 同期整流MOSの構造

図5.7 同期整流MOSとボディーダイオード

(4) インダクタンスの損失 [自作の場合]

* インダクタンスの特性:

・インダクタンス: $L=A \cdot N^2 \cdot S_B \cdot \mu$

N: 巻数、 S_B : ボビン面積、 μ : 透磁率、A: 係数

・同一Lなら、形状小さく、銅損・鉄損小さい方がベター

* 銅損: 内部抵抗 r_L

内部抵抗 = 抵抗率・巻線長 / 線断面積 = $\rho \cdot N \pi D_B / S_w$

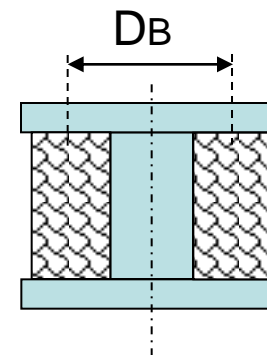
* 同一ボビン使用なら

・巻線エリア: $N \cdot S_w = C$ (一定)

・内部抵抗 $r_L \propto \rho \cdot N^2 \pi D_B$

・Lをk倍にした場合 ... N: \sqrt{k} 倍、 r_L : k倍

ボビンが決まると、Lと r_L はほぼ比例



平均巻線径= D_B

図5.8 ボビン型コイル形状

コイル抵抗と効率比較(シミュレーション)

● 効率改善への手がかかり

太い径の線材で、巻き数を減らす ⇒ ESRを小さく

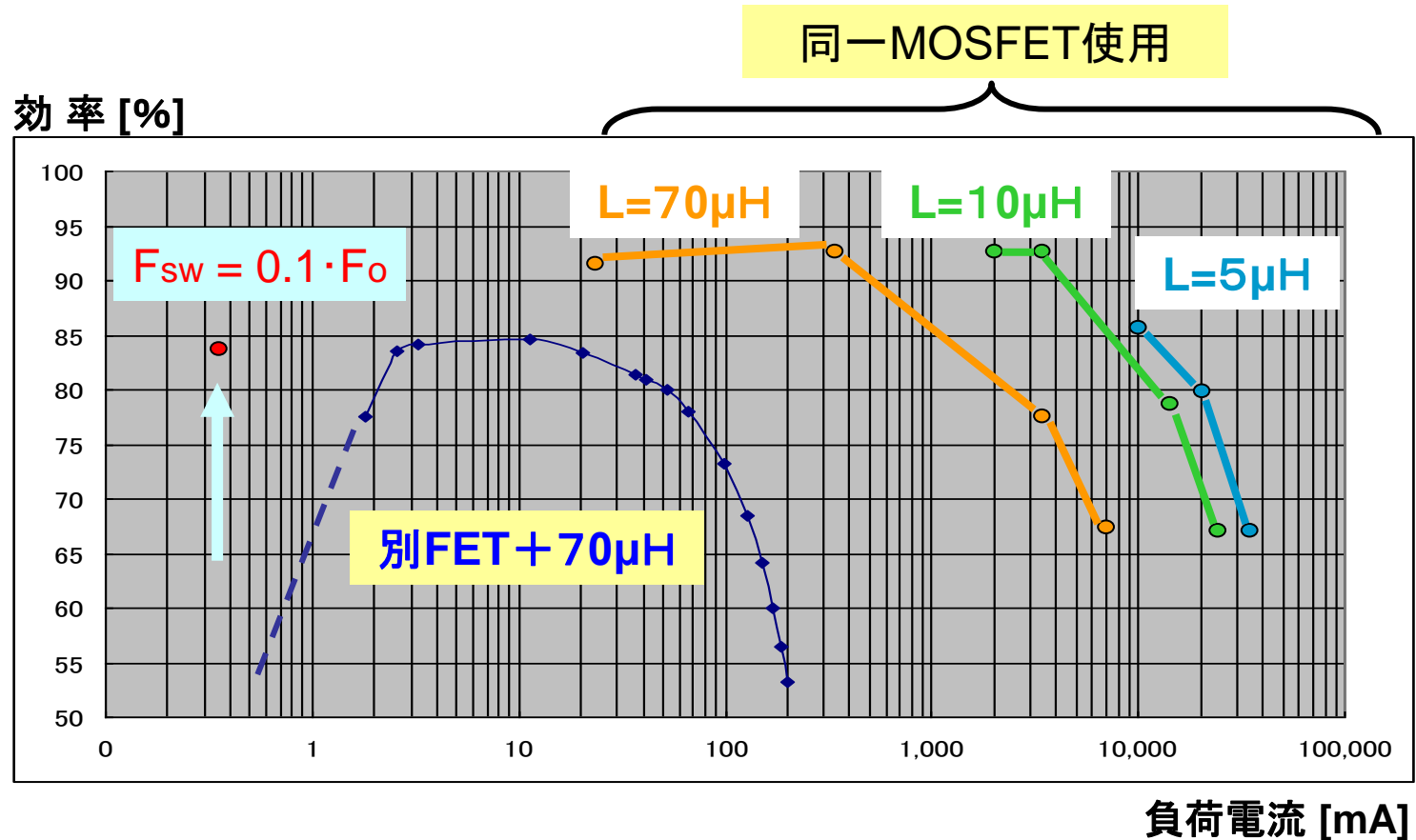


図5.9 負荷電流による効率低下と効率改善策

5-2 負荷電流と効率の関係

(1) CCM/DCMと同期整流方式

(A) CCM/DCM時のコイル電流

●CCM時 [図4.10(b)]

同期方式に無関係

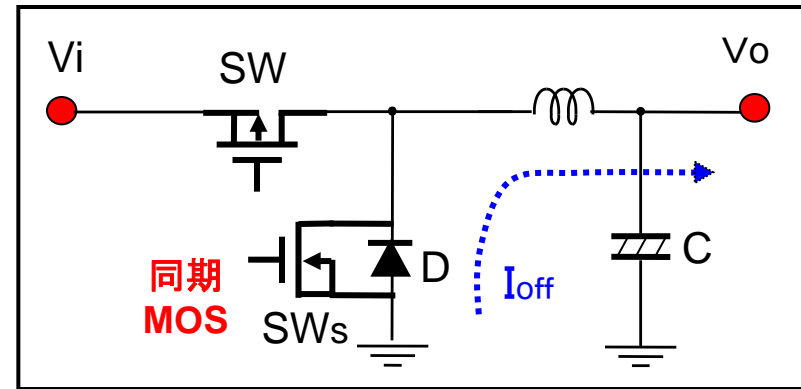
●DCM時

* 非同期整流方式時 [図4.10(c)]

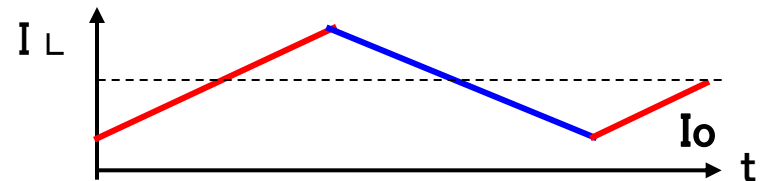
- ・期間 T_3 のコイル端電圧: $V_p=0V$
- ・コイル電流: $I_L=0A$ (実際はLC振動)

* 同期整流方式時 [図4.10(d)]

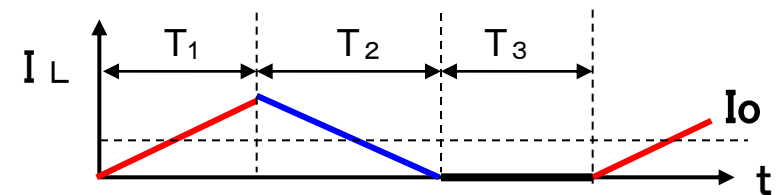
- ・ T_2 期間以降、 I_L はどうなるか?
 - ・MOSFETはON時、両方向に導通
 - ・MOSを通り、逆方向電流が流れる
デューティはCCMと同様
- ⇒ 無用な逆電流+大きい順方向電流
効率の低下



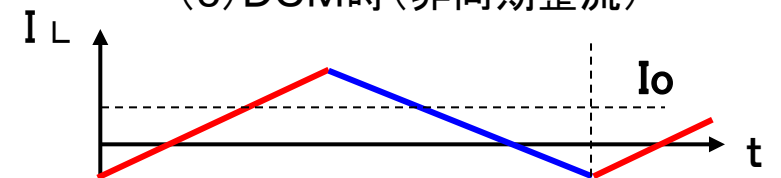
(a) 同期整流回路



(b) CCM時のコイル電流



(c) DCM時(非同期整流)



(d) DCM時(同期整流)

図5.10 同期整流とコイル電流

(B) 対策案

* DCM状態の検出

- ・コイル電流検出回路による逆電流検出
電流制御方式では有効
- ・同期整流MOSの逆電流検出
カレント・ミラーによる電流検出
- ・同期整流MOS電圧の反転検出

* DCM・低負荷時の対策方法

- ・逆電流検出による同期整流MOSの停止
- ・他の対策方法への切換え

周波数変調方式(非同期整流)など

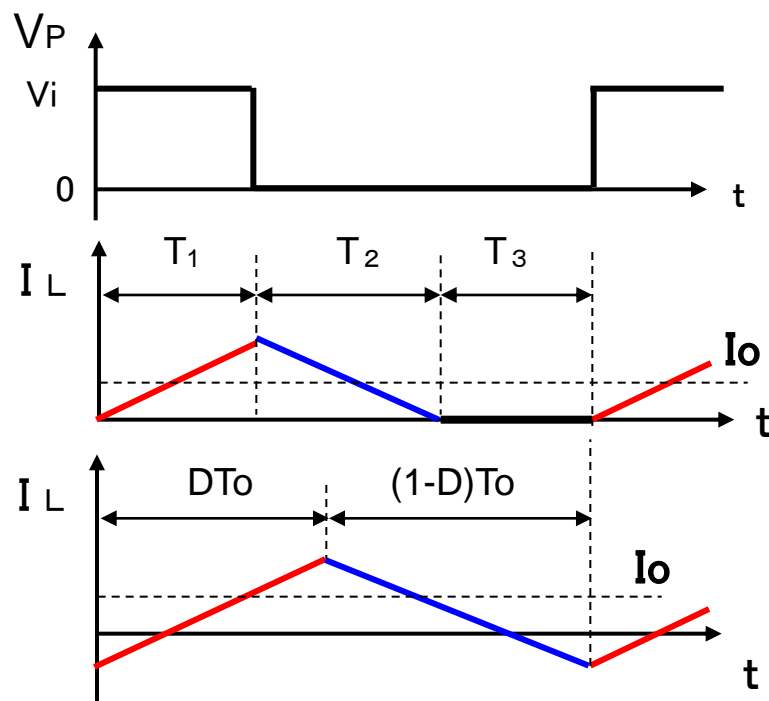
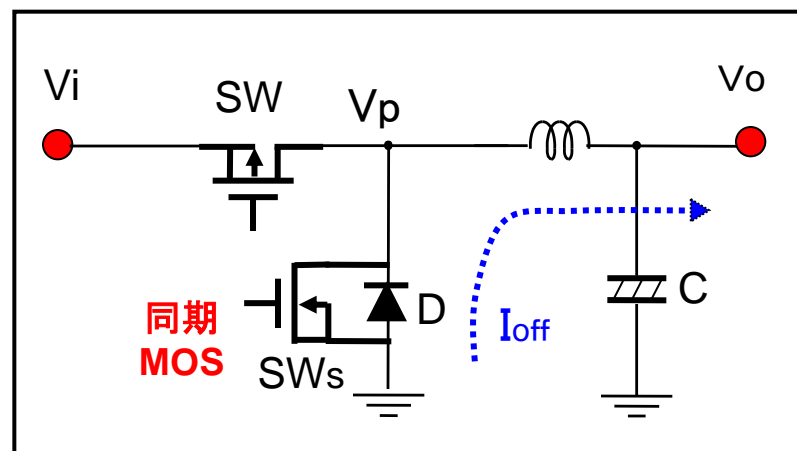


図5.11 非同期／同期整流時の電流比較

(2) 低負荷時の効率改善

(A) パワーMOSのゲート容量と損失

● パワーMOSのゲート容量

* パワーMOSには、大きなゲート容量あり:

CGD: ゲートドレイン間容量

CGS: ゲートソース間容量

* パワーMOSのON/OFFには、ゲート電圧をSW

⇒ ゲート容量を充放電: r_g によるロス

* パワーMOSのゲート幅は非常に大きく(10~20cm)

よって、ゲート容量も比例して大きい:ロス大

● ゲート容量損失

* 負荷電流に無関係に、一定のロスが発生

⇒ 低負荷電流時に 効率が大きくダウン

* スイッチング周波数に比例して損失増加

* 入力電圧が高いほど、損失増加

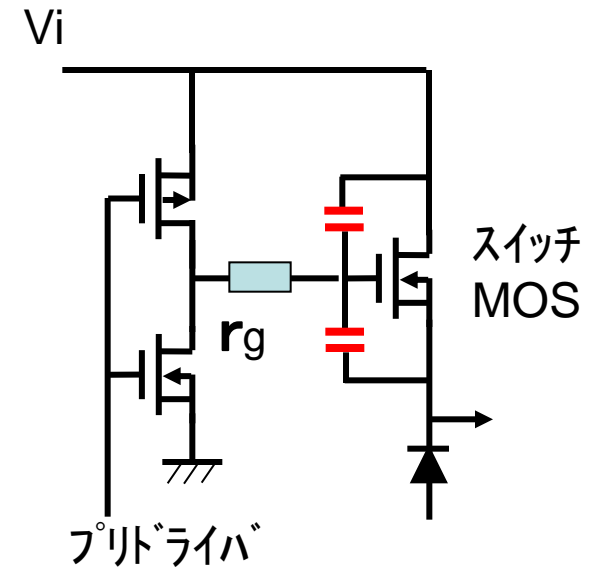


図5.12 MOSゲート容量

(B)ゲート容量損失の改善(低負荷時の効率改善案)

- 低負荷電流時に、高速スイッチングは必要か？

またスイッチ電流は小さく、小型MOSでもOK？

⇒ 低負荷電流時に 効率が大きくダウン

- 対策案1:

* 負荷電流に応じて、MOSサイズを切換え

(並列駆動数の制御)

* 低負荷時は、小型MOSで駆動

多数の並列MOSを分割駆動

- 対策案2:

* スwitching周波数の切換え

(詳細は次頁)

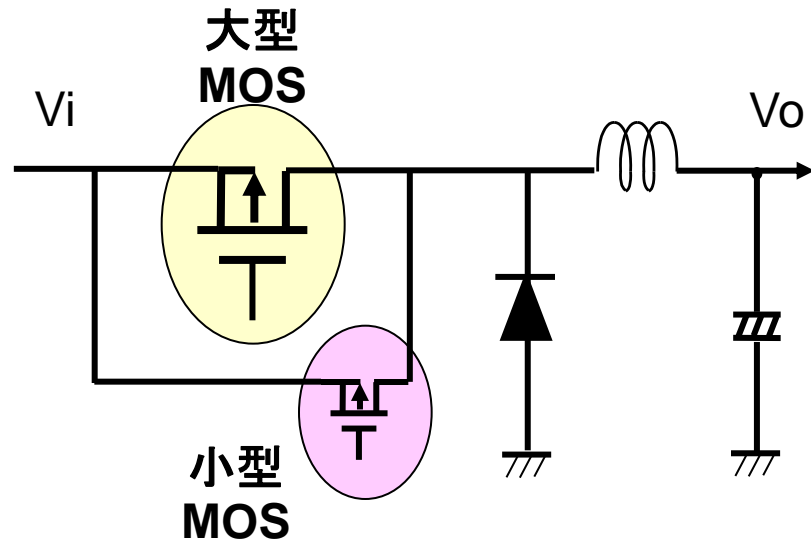


図5.13 MOSサイズの切換え対策法

(C) スイッチングロスとPFM: (Pulse Frequency Modulation)

● 周波数可変方式: PFM方式 [図4.14(b)]

* 低負荷時、周波数を低下
デューティは自動で調整

* 注意: 周波数は可聴周波数(20kHz)以上

● 間欠駆動方式

* PWM信号のパルス数制御(周波数は固定)

* ヒステリシス制御方式:

固定電圧範囲内でパルス駆動

等価的にスイッチング周波数が低下

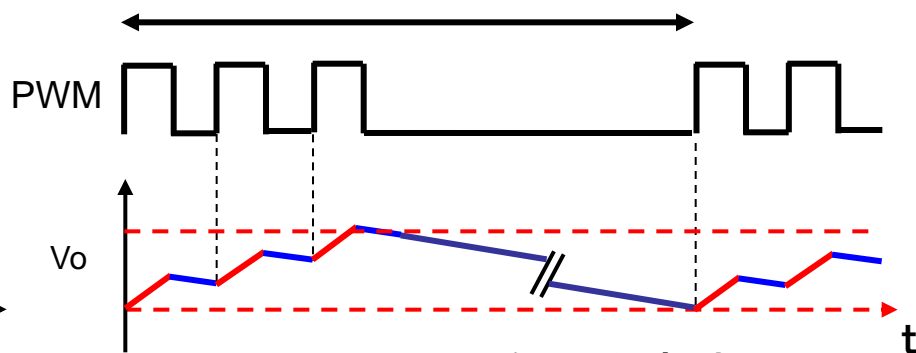
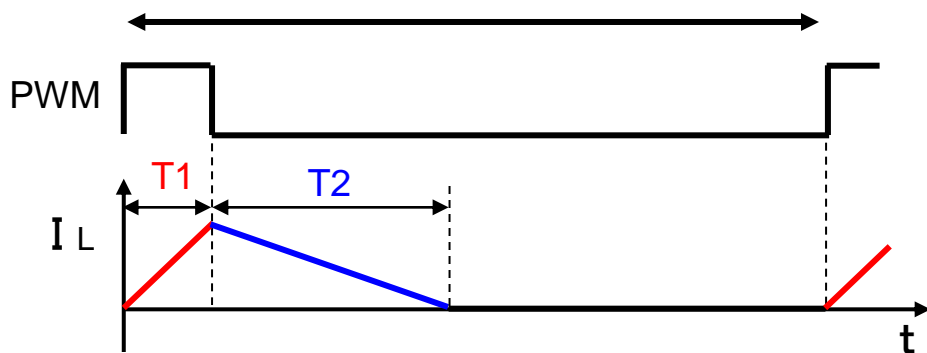
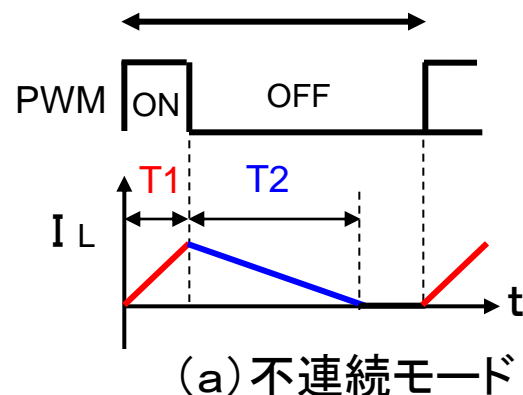


図5.14 スイッチング周波数の切換え対策法

