

2021年4月20日(火)

集積回路システム工学

アナログ集積回路のレイアウト技術

小林春夫

群馬大学大学院理工学府 電子情報部門

koba@gunma-u.ac.jp

下記から講義使用 pdfファイルをダウンロードしてください。

出席・講義感想もここから入力してください。

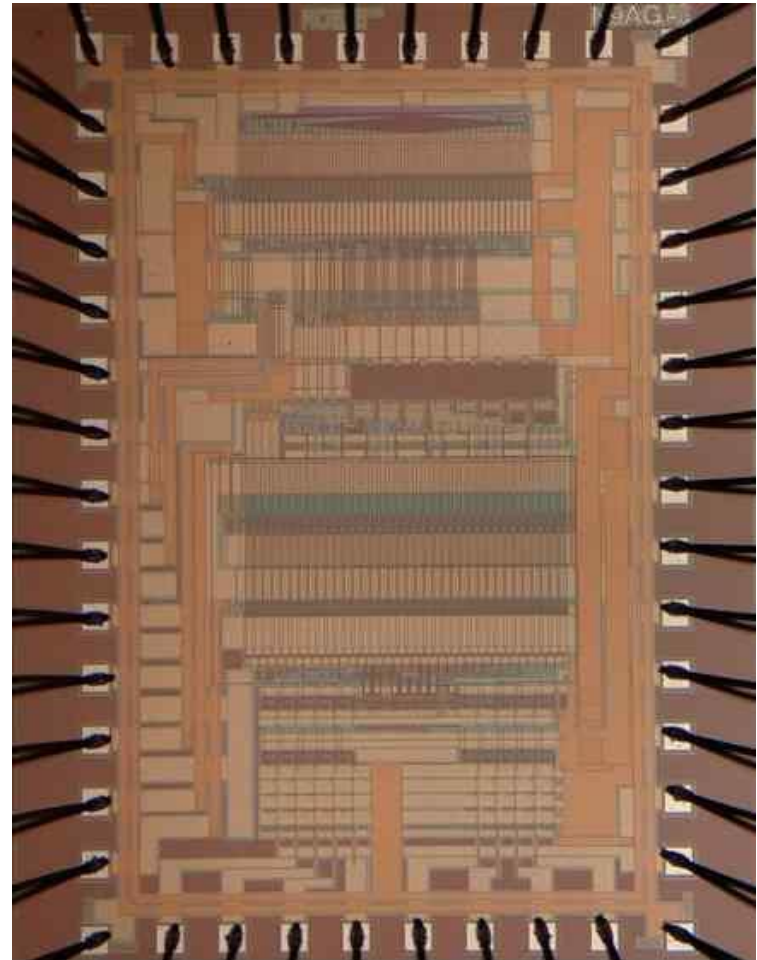
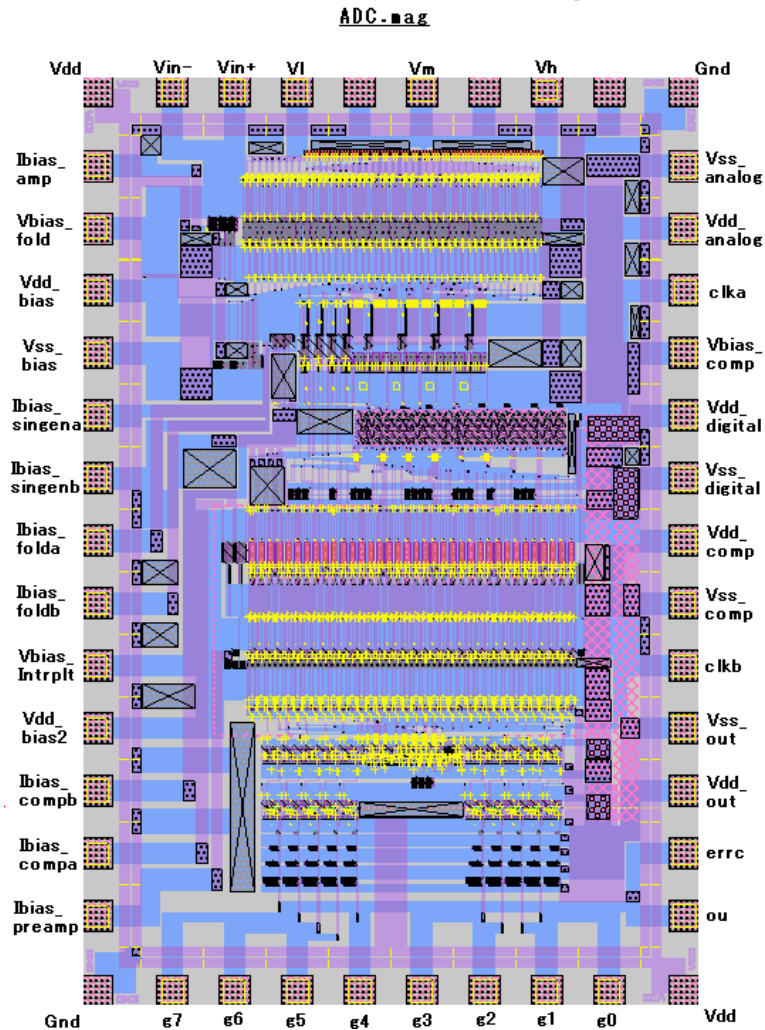
<https://kobaweb.ei.st.gunma-u.ac.jp/lecture/lecture.html>



内容

- レイアウト技術、デザインルール
- アナログ集積回路のレイアウトの注意点
 - 素子マッチング
 - 高速、高周波化の考慮
 - CMOS ラッチアップ
 - 抵抗、容量のレイアウト
 - 電源、配線のレイアウト
 - クロック分配
 - 熱の影響の考慮

レイアウト設計 (ICパターン設計) とIC



CMOSアナログICの
レイアウト設計

レイアウト設計データをもとにファブリケーションされたチップ

ICレイアウト設計とプリント基板設計

ICレイアウト設計はデスクリート回路でのプリント基板設計に対応

共通点:

- 配置と信号線・電源・GND配線は重要
- 高密度に配置配線できれば、
高速・高周波化、小型化、低コスト

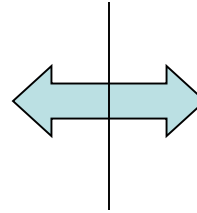
相違点:

ICレイアウト設計はプリント基板設計に比べ

- サイズが数百分の1
- 部品(トランジスタ、R, C, L等)も作り込む

ICレイアウト技術の位置づけ

回路設計技術者
ファブレス企業

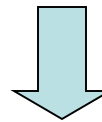


プロセス・デバイス技術者
ファウンドリ企業

インターフェース部

- マスクデータ
- トランジスタ・モデル (SPICE パラメータ)

マスクデータによる回路設計者とプロセス技術者の仕事の切り分け



Mead-Conway 法

C. Mead and L. Conway, Introduction to VLSI Systems, Addison-Wesley, 1980.

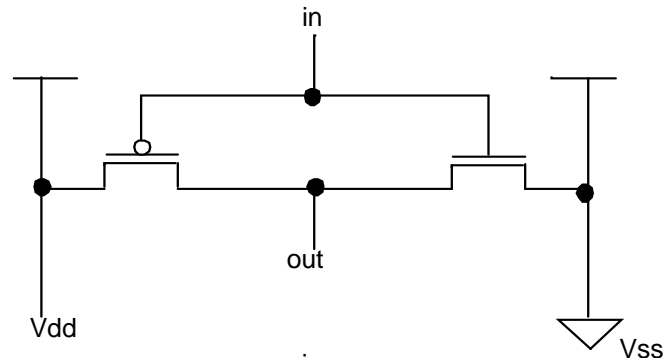
マスクデータ作成



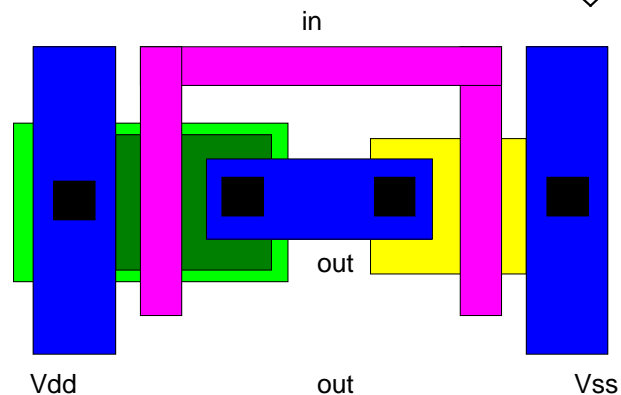
ICのレイアウト

レイアウト技術 位置付け

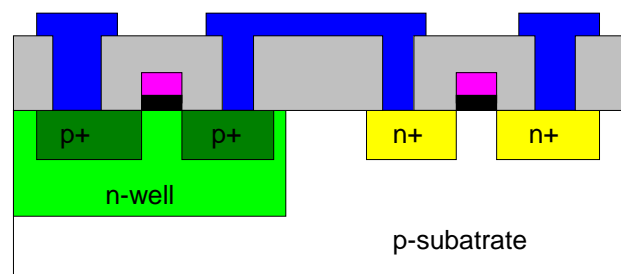
CMOSインバータ
回路図



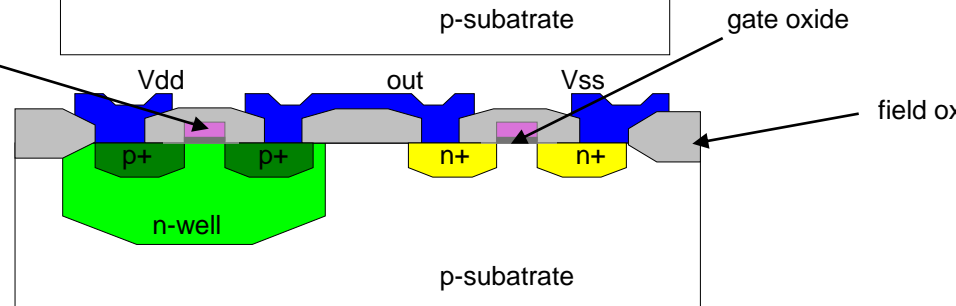
レイアウト図



断面図(モデル)



断面図(実際)



アナログ集積回路でのレイアウト技術

アナログ集積回路では

回路設計とともにレイアウト設計は重要

高性能(高精度、高速高周波)

低コスト(小さなチップ面積)

CMOS: 素子ばらつきが大きい

特性のマッチングを考慮

バイポーラ: 比較的大きな電源電圧・バイアス電流

熱バランスを考慮

デザインルール

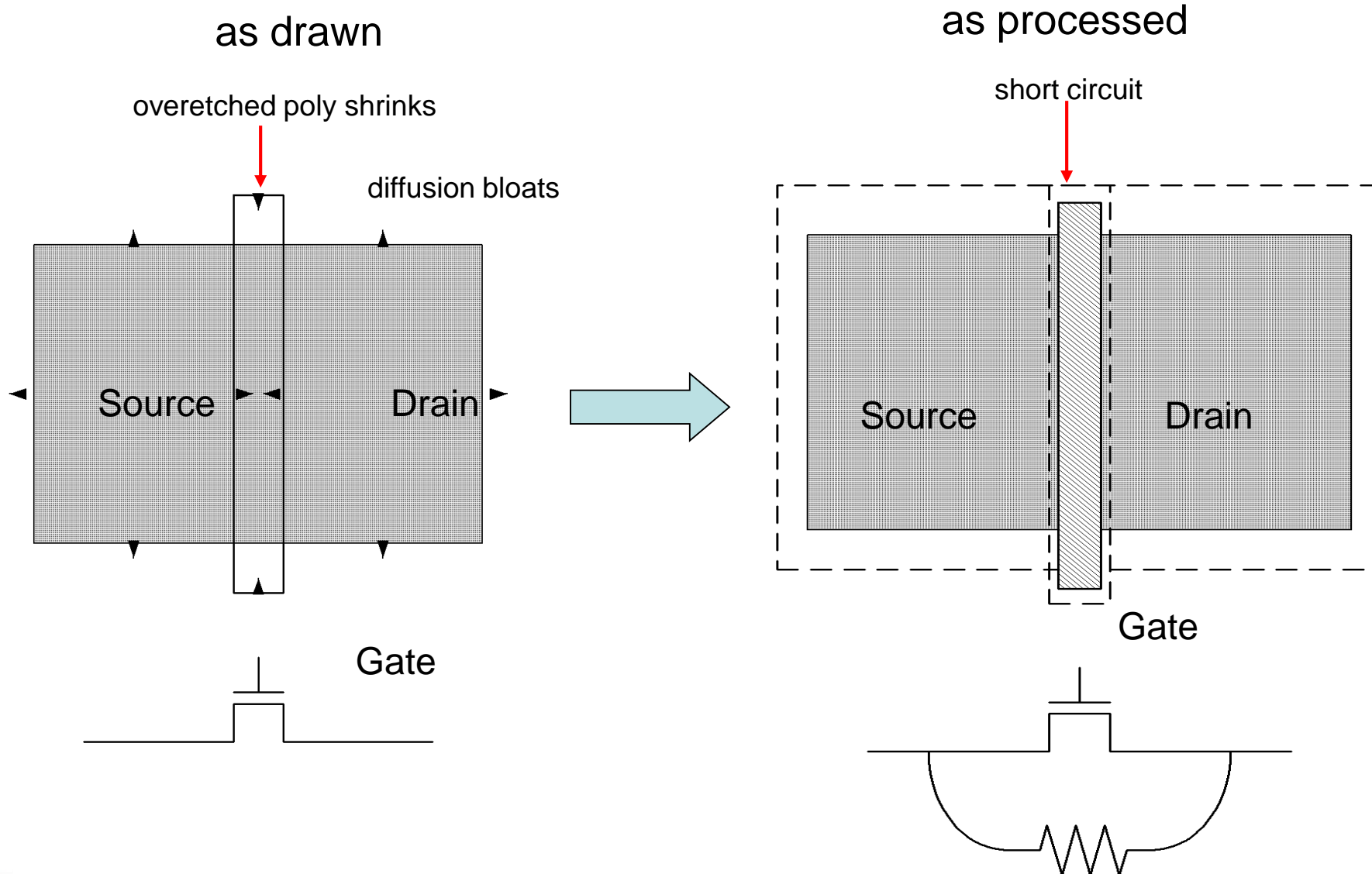
レイアウトを行う際の素子間の最小距離、最小寸法等の制約のルール

回路設計者とプロセス技術者との攻防

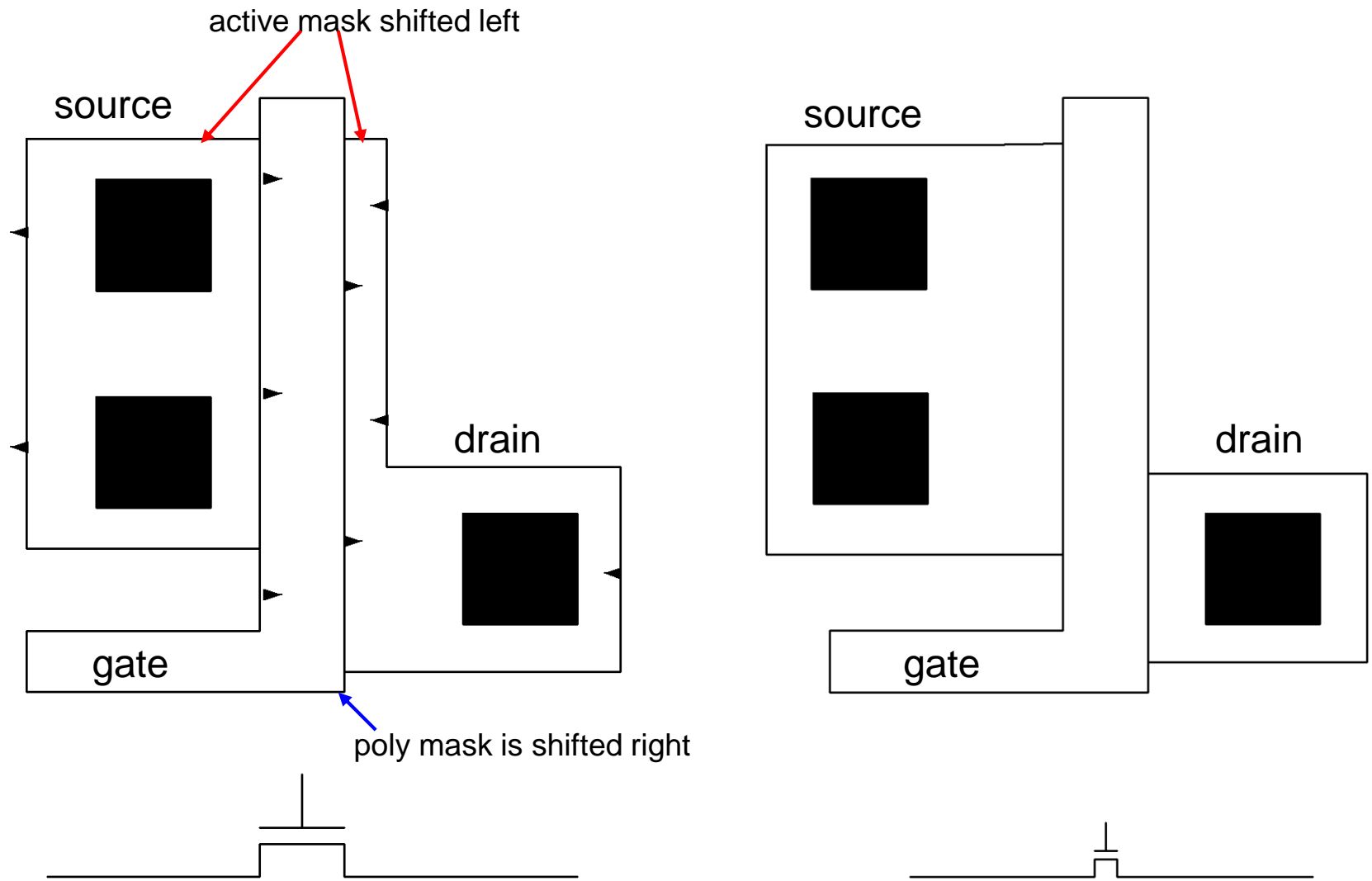
- デザインルールが緩い：
チップ面積が大（寄生容量大 \implies 回路性能下がる。
コスト大）
歩留まりがよい（プロセス技術者は楽）
- デザインルールが厳しい：
チップ面積が小（回路性能上がる。コスト小）
歩留まりが下がる（プロセス技術者は大変）

適切なトレードオフでデザインルールが決まる。

レイアウト設計ルールを守らなかったときに生じる不良例 1



レイアウト設計ルールを守らなかったときに生じる不良例 2

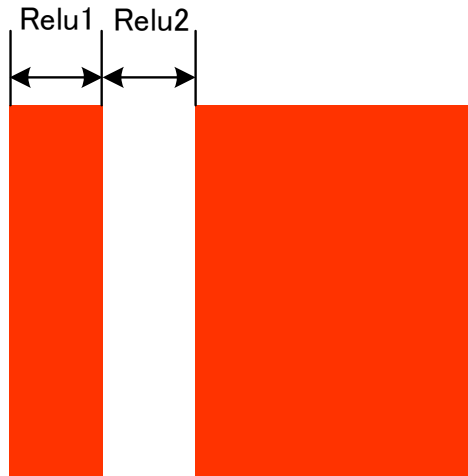


デザインルール

レイアウトを行う上での制約のことで、
主にリソグラフィ技術やエッチング技術に依存したルールである。
デザインルールは大きく分けて以下の2種類のルールがある。

(1) 各層の最小寸法ルール

各層の加工できる最小寸法のルールで、
最小線幅と最小間隔に関するルールが一般的である。



Rule1 : 最小線幅ルール

「0.35umプロセス」とは

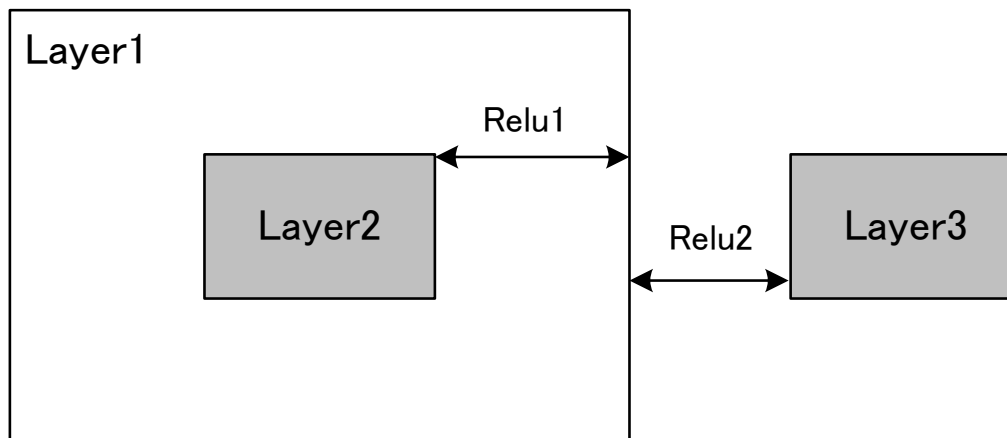
Polyの最小線幅ルールのことを表している

Rule2 : 最小間隔ルール

(2) 各層の重ね合わせルール

2つ以上の層の重ね合わせに関するルールで、主に以下の2つの観点より決められている。

- マスクがずれても必ず重なるようにするためのルール
- マスクがずれても必ず重ならないようにするためのルール



Rule1: Layer2に対するLayer1のオーバーラップルール

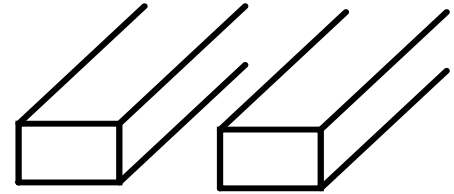
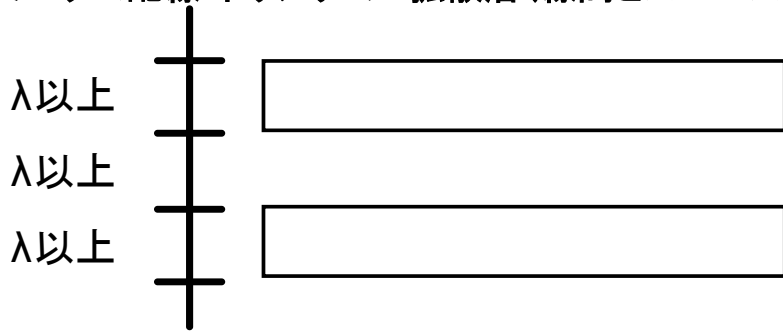
Layer1とLayer2を必ず重ねるためのルール

Rule2: Layer1とLayer3の間隔ルール

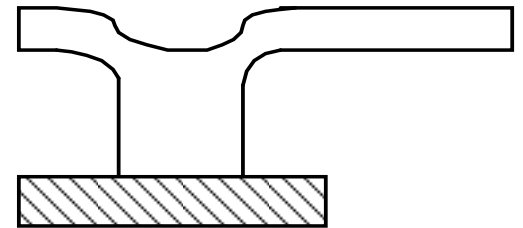
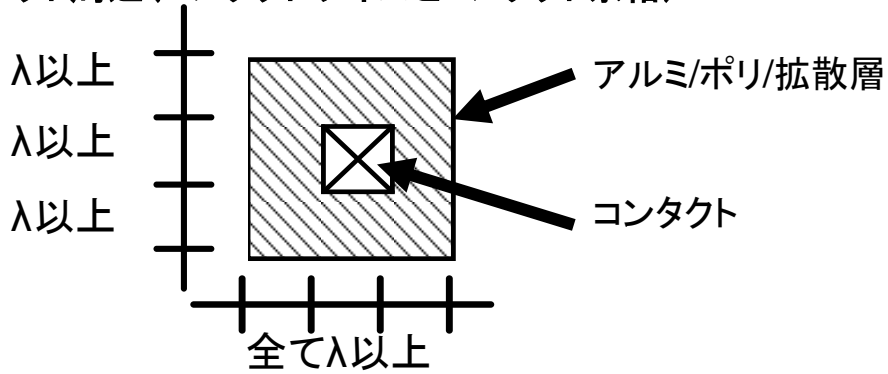
Layer1とLayer3が必ず重ならないようにするためのルール

デザインルール

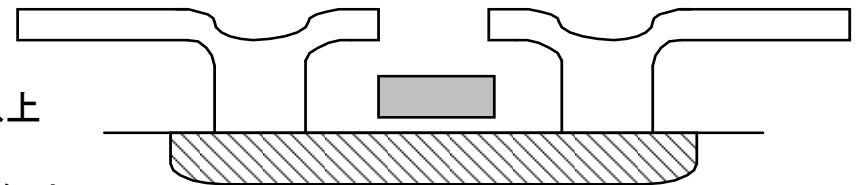
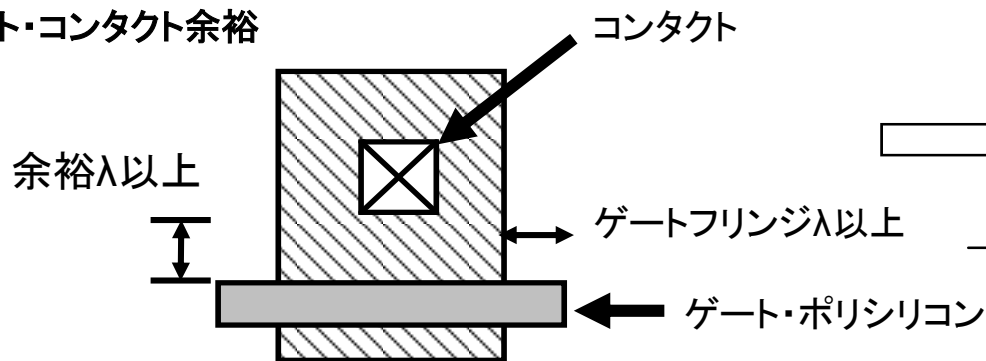
1) アルミニウム配線/ポリシリコン/拡散層 (線間とスペース)



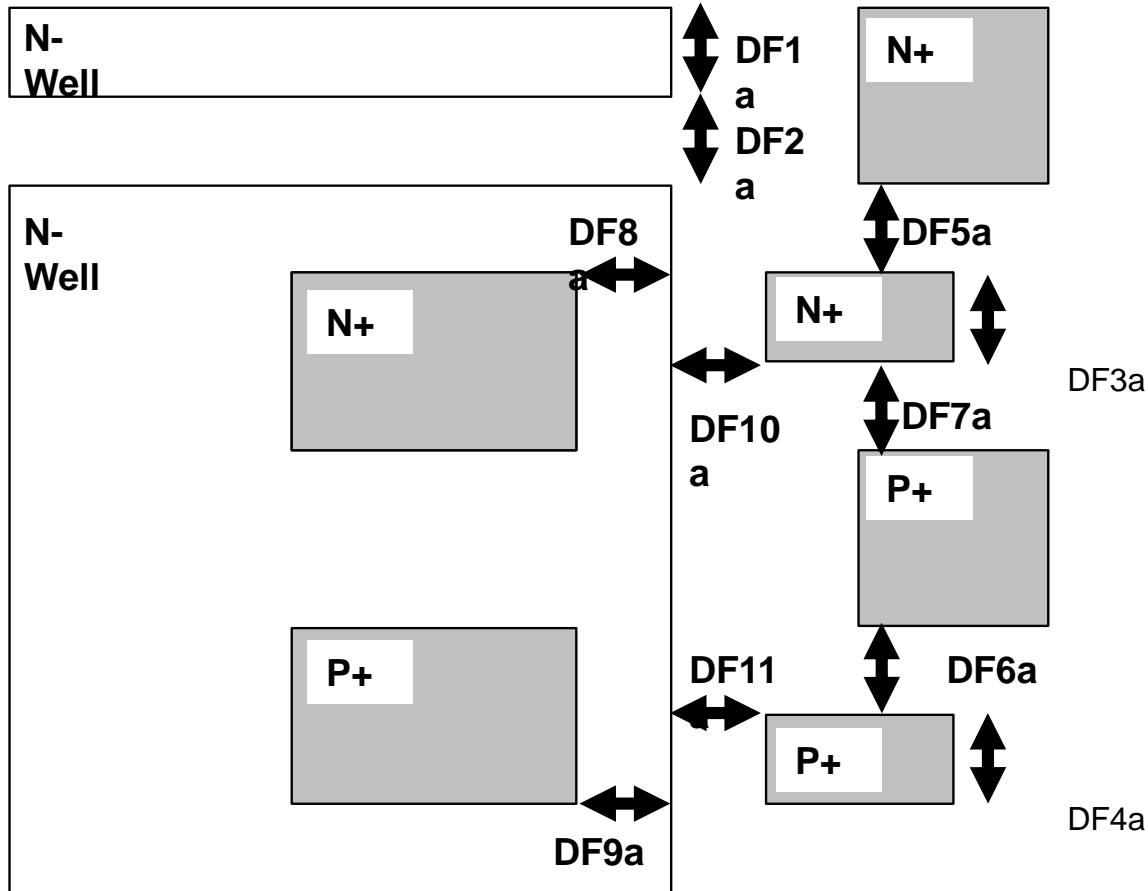
2) コンタクト周辺 (コンタクトサイズとコンタクト余裕)



3) ゲート・コンタクト余裕

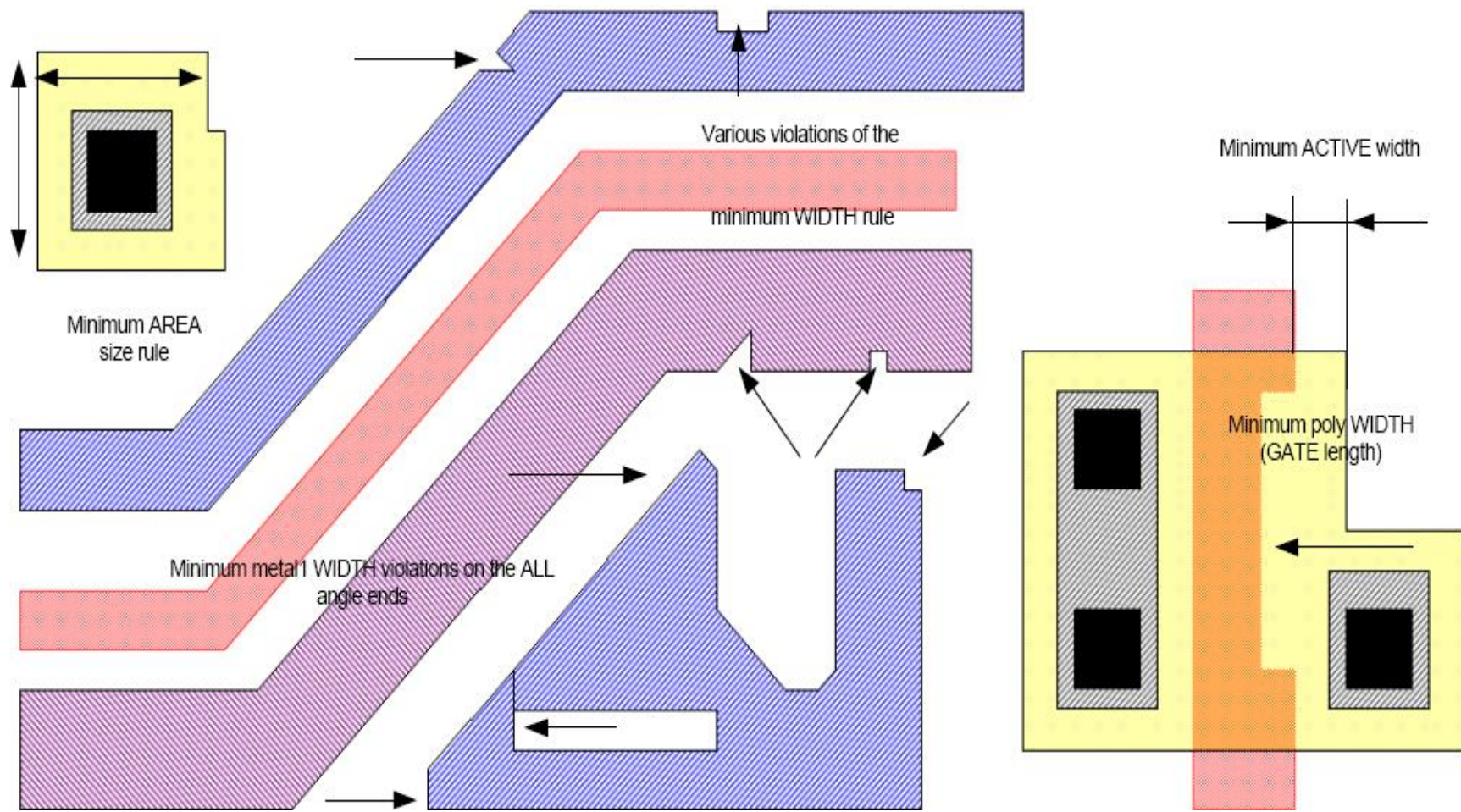


例: Diffusionの関するルール

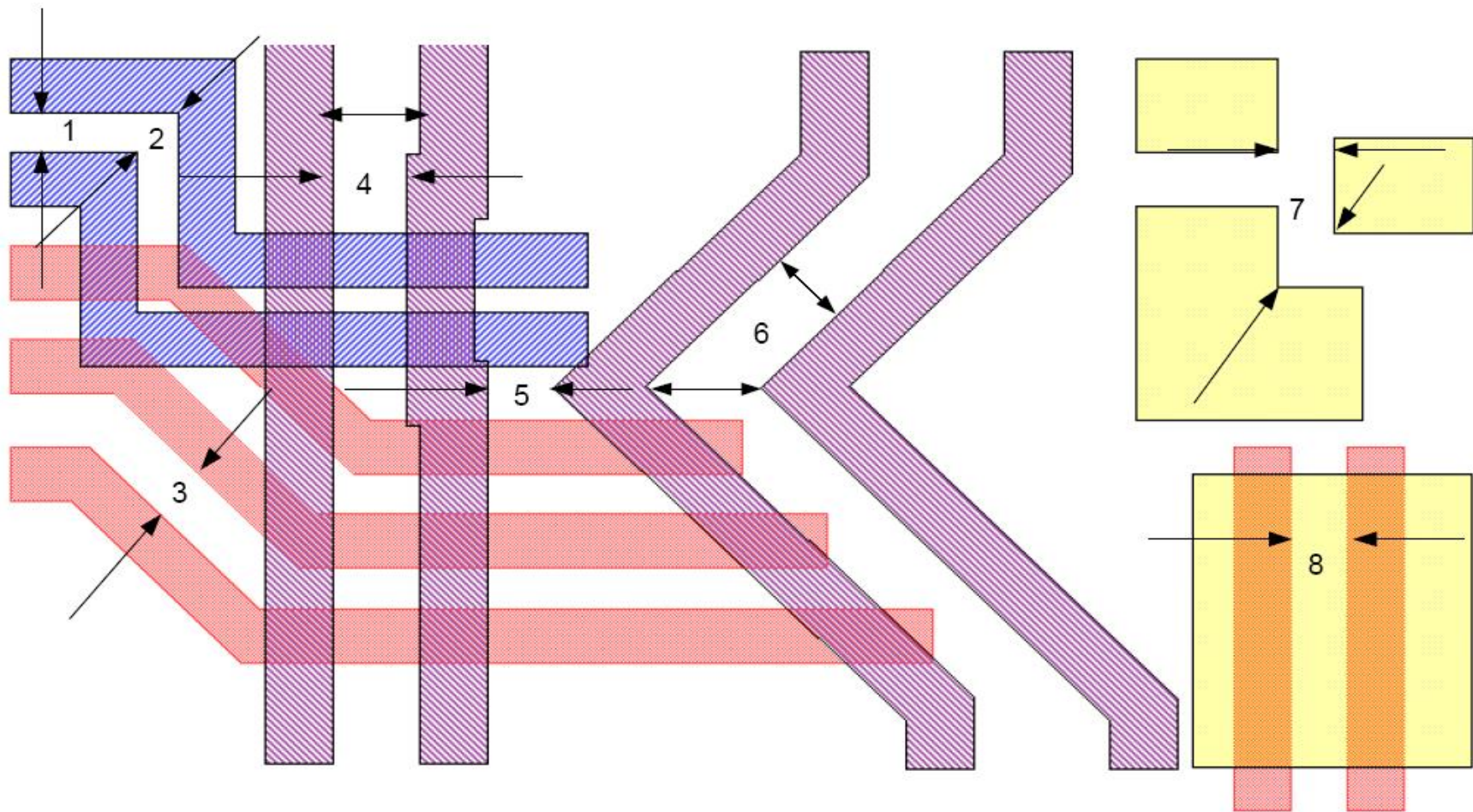


Rule ID	Design Rule
DF1a	N-Well Width
DF2a	N-Well Space
DF3a	N+ Width
DF4a	P+ Width
DF5a	N+ Space
DF6a	P+ Space
DF7a	N+ to P+
DF8a	N-Well Overlap N+
DF9a	N-Well Overlap P+
DF10a	N-Well to External N+
DF11a	N-Well to External P+

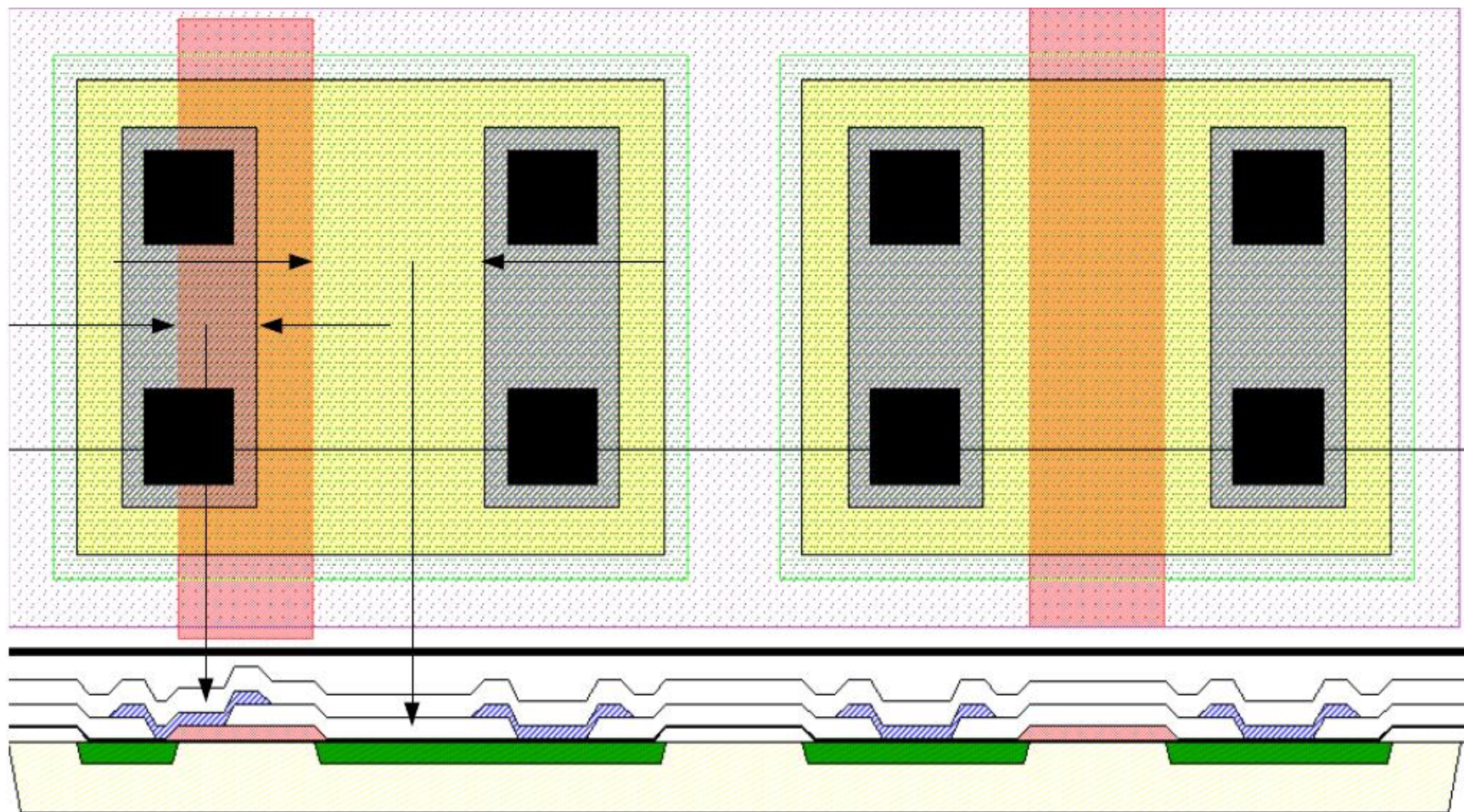
Widthルール



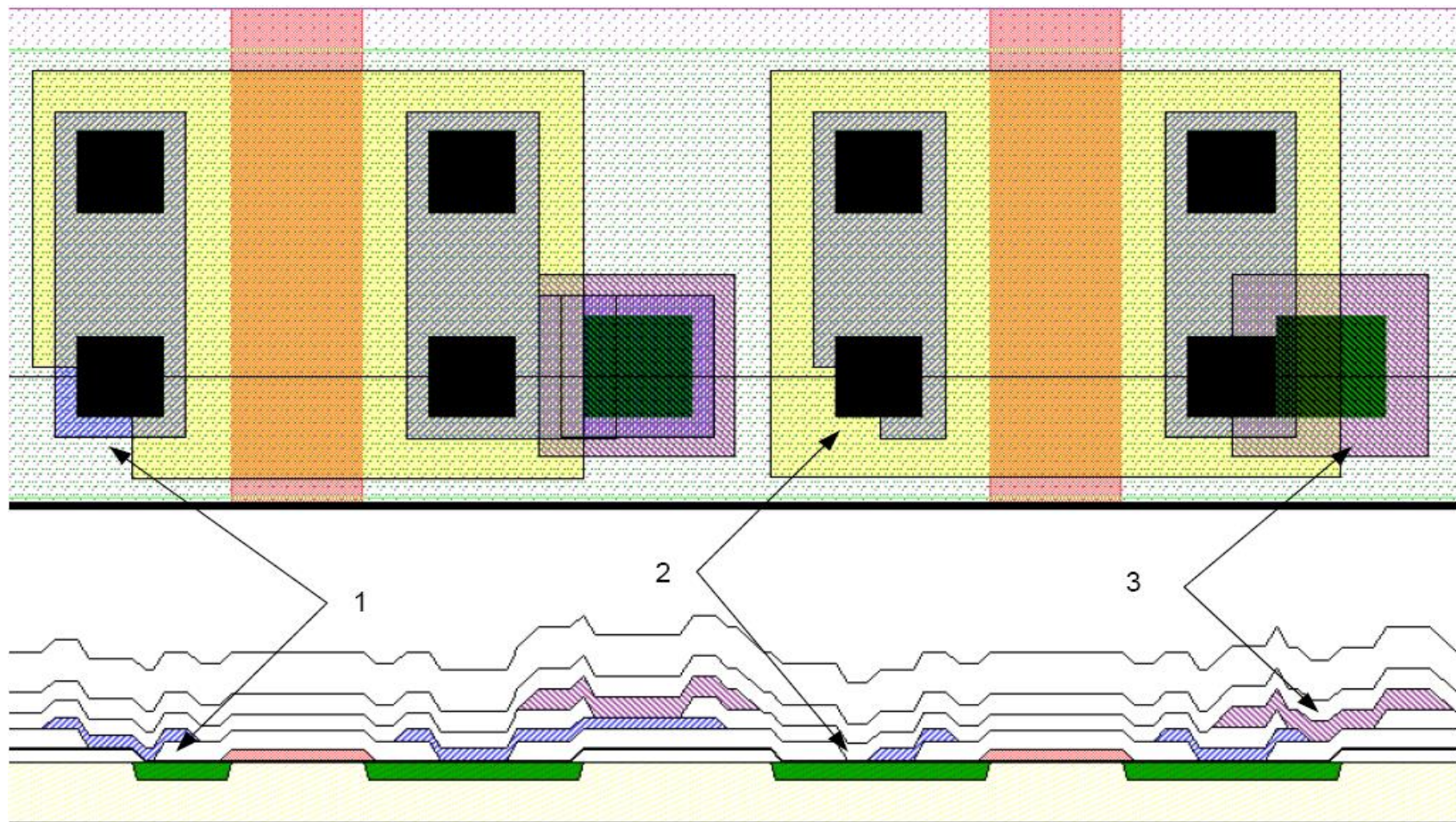
Spaceルール(1)



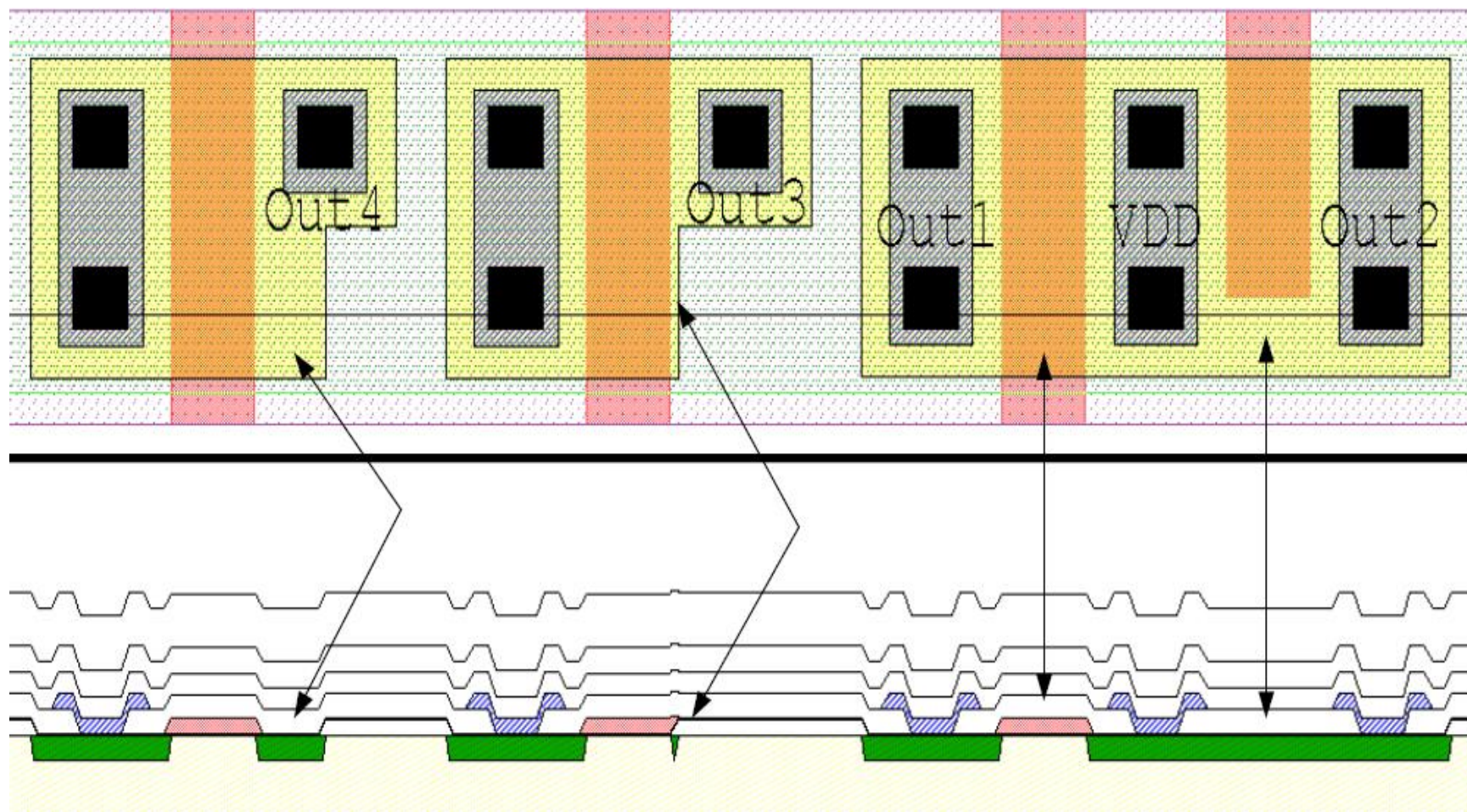
Spaceルール(2)



Overlapルール(1)



Overlapルール(2)

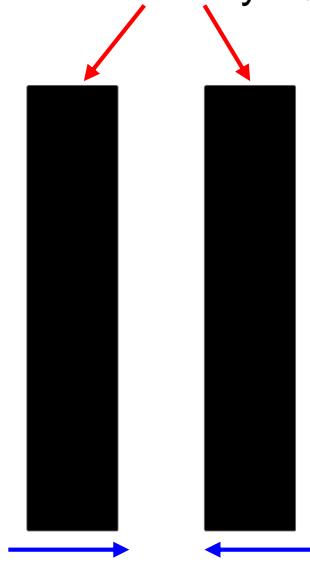


(演習問題)

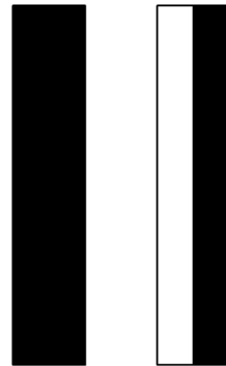
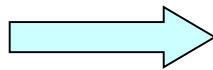
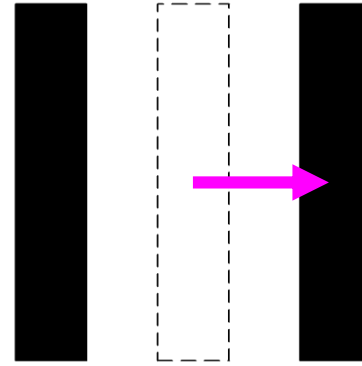
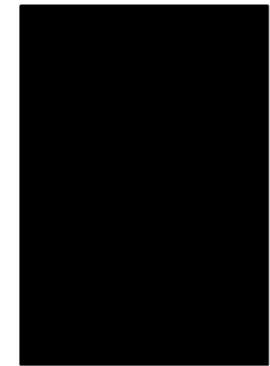
(例題) 下図のDRCエラーに対して最も適当な修正方法はどれでしょうか？

Poly : 共に最小線幅

さらに2つのPolyは別ノード



修正案

A. Polyを細くして
Spaceを増やすB. Polyを移動して
Spaceを増やすC. Poly Spaceを
埋める

PolyのSpaceエラー発生

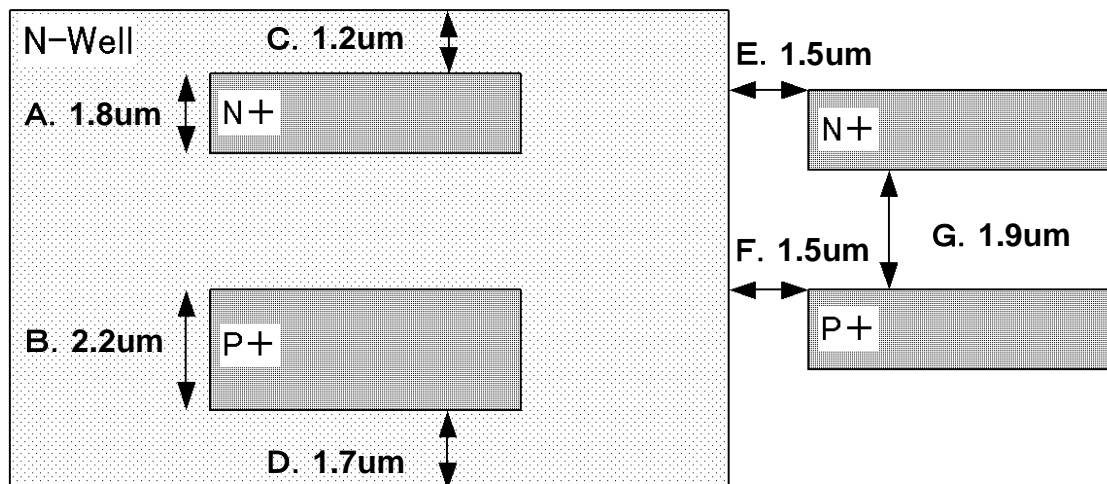
(解答) 正解はB

(解説) AはPolyの最小線幅以下となり、別のエラーが発生

Cは確かにエラーは無くなるが、2つのPolyが電氣的に接続されてしまい、旧レイアウトと電氣的特性が異なってしまう。

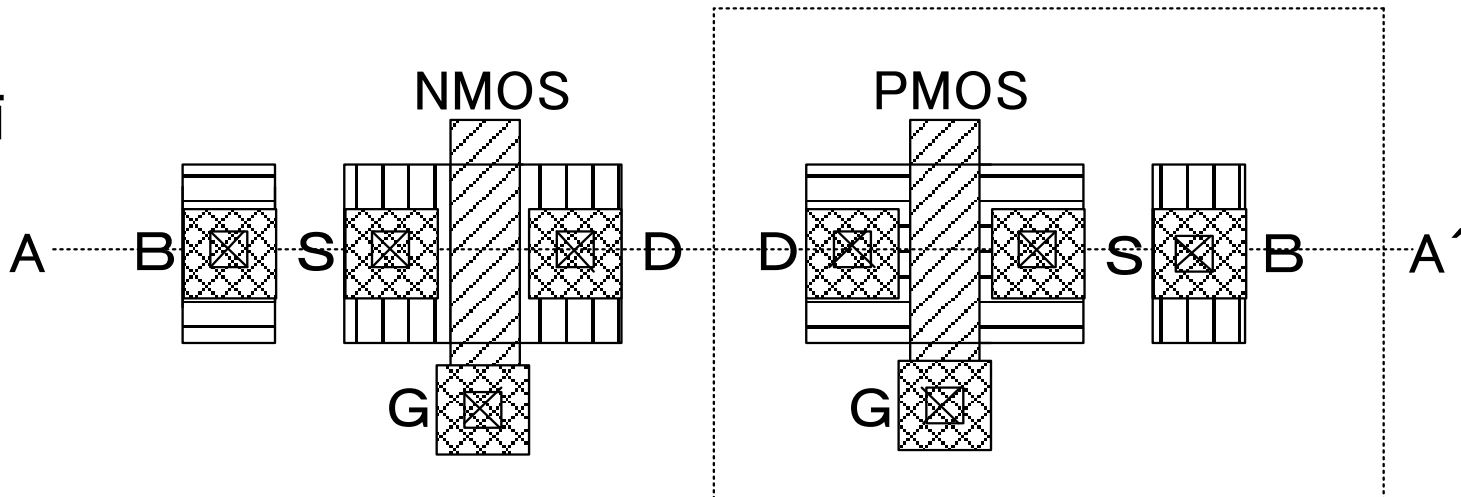
(問題) デザインルールが表の値(最小寸法)の場合、ルールエラーとなるのは図の A~Gのどれでしょうか? 複数個選びなさい。

Rule ID	Design Rule	Rule Value (Min)
DF1a	N-Well Width	5.0um
DF2a	N-Well Space	5.0um
DF3a	N+ Width	2.0um
DF4a	P+ Width	2.0um
DF5a	N+ Space	1.0um
DF6a	P+ Space	1.0um
DF7a	N+ to P+	1.0um
DF8a	N-Well Overlap N+	1.0um
DF9a	N-Well Overlap P+	2.0um
DF10a	N-Well to External N+	2.0um
DF11a	N-Well to External P+	1.0um



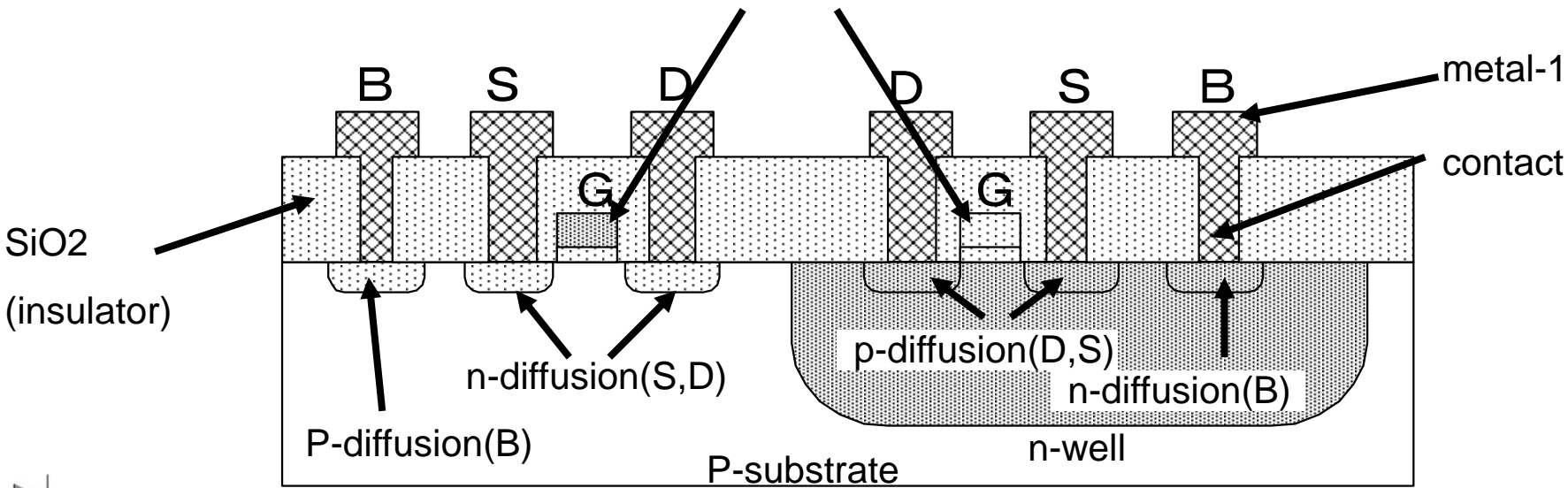
MOSTランジスタの構造

平面



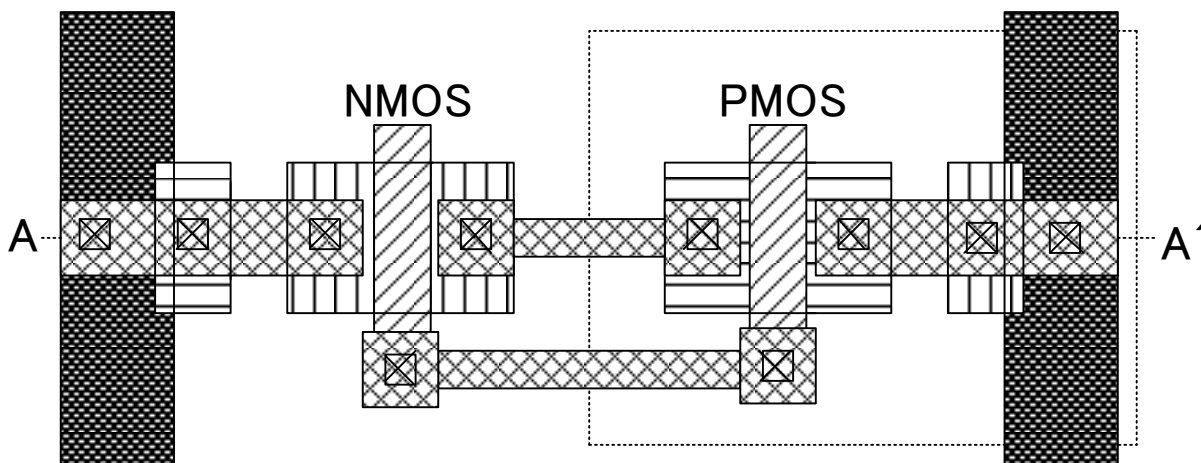
A-A'断面

Poly-silicon(G)

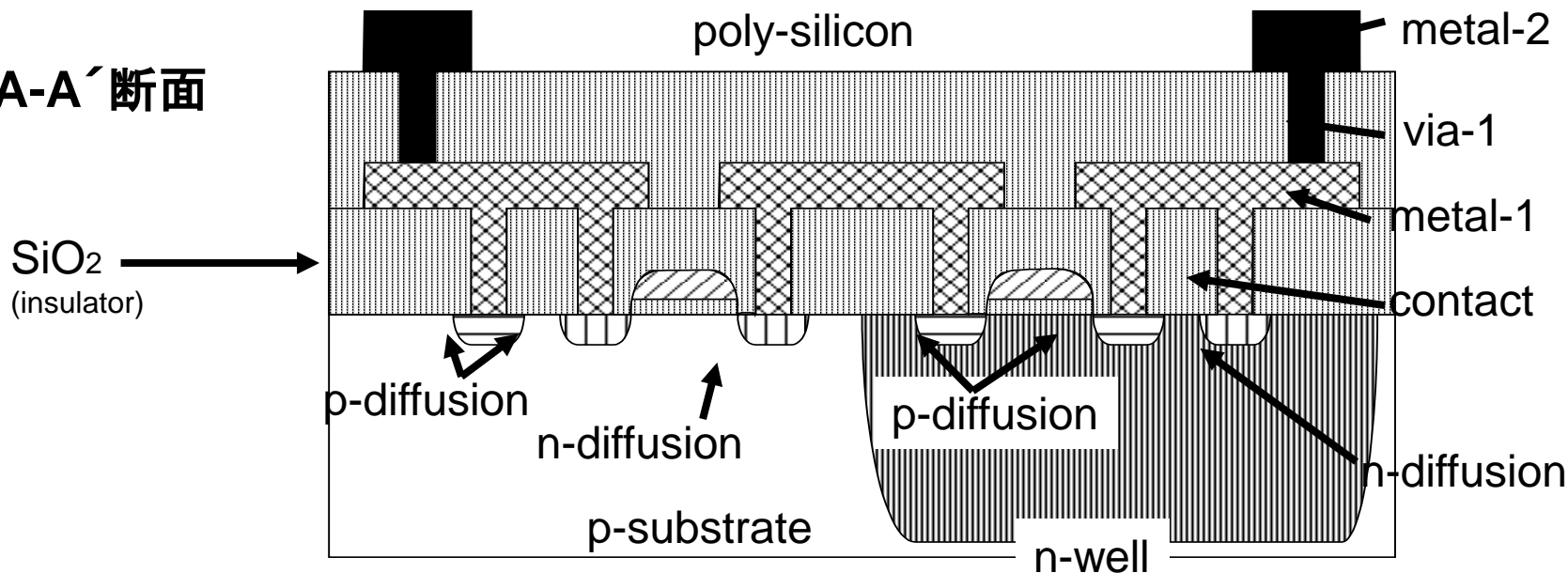


CMOS集積回路の構造(配線を含む)

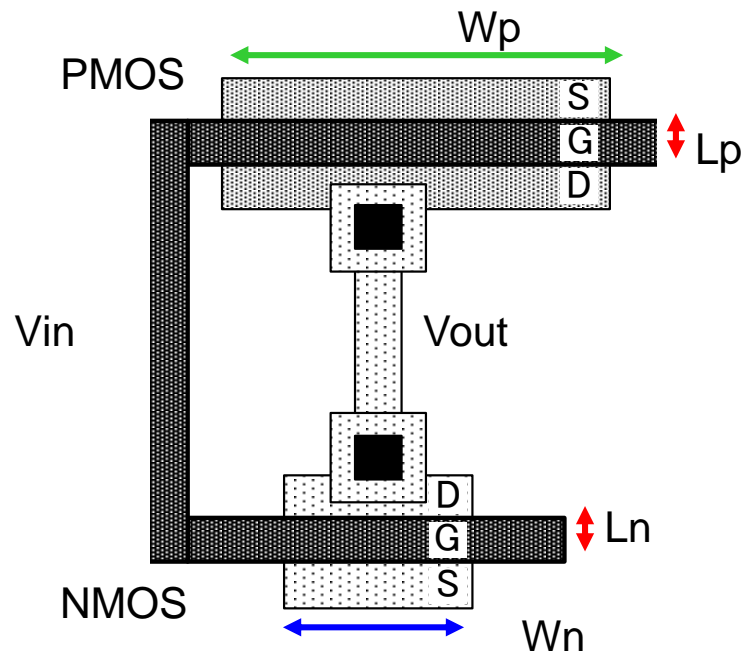
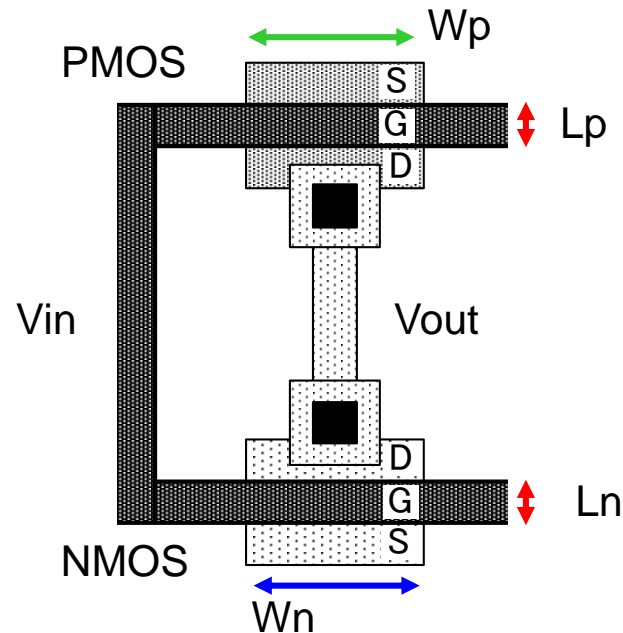
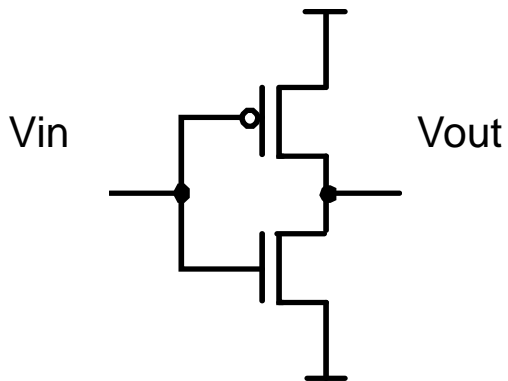
平面



A-A' 断面



NMOSとPMOS の トランジスタサイズ



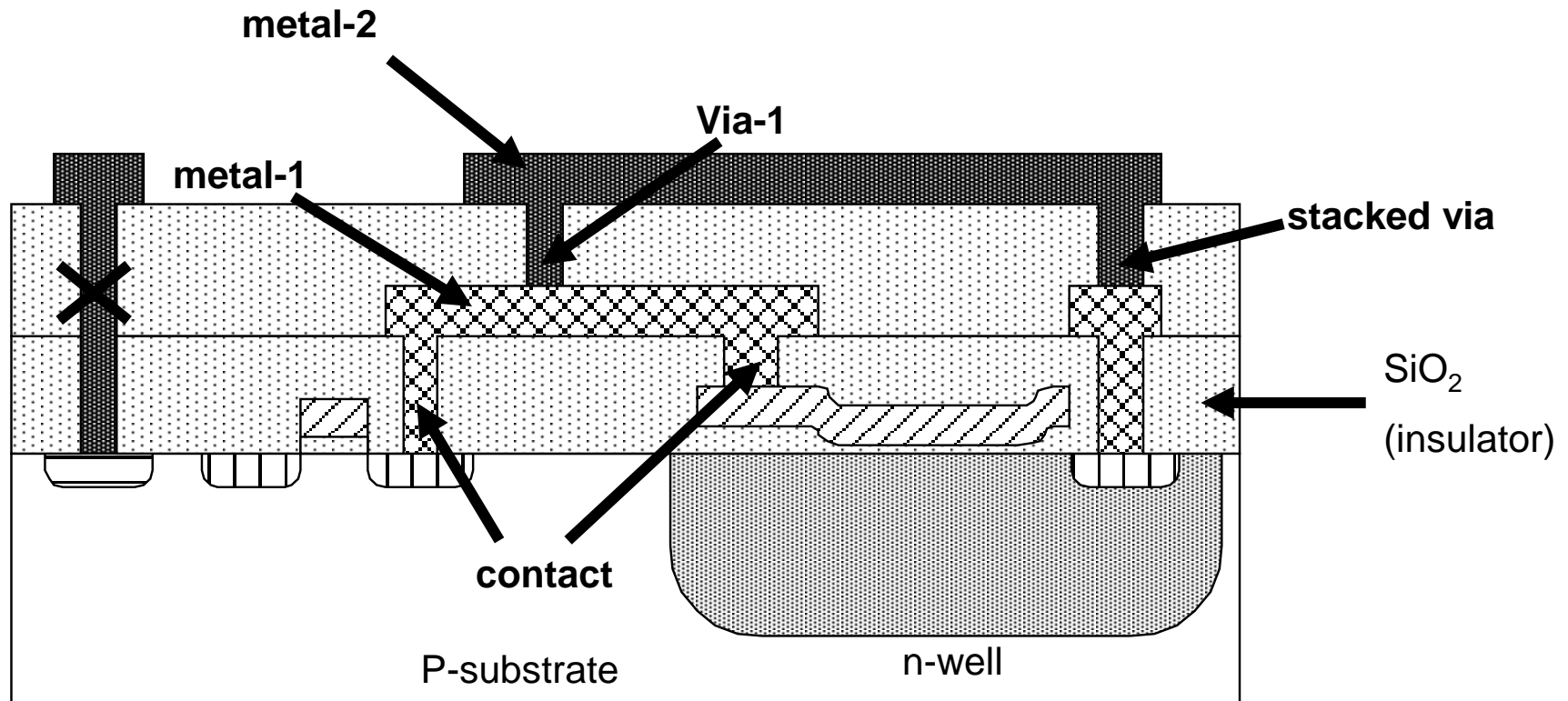
Inverter:

$$\frac{W_p}{L_p} \doteq 2 \cdot \frac{W_n}{L_n}$$

とPMOSの $\frac{W_p}{L_p}$ を

NMOSの $\frac{W_n}{L_n}$ より2倍
程度大きくすることあり

配線・コンタクトの構造

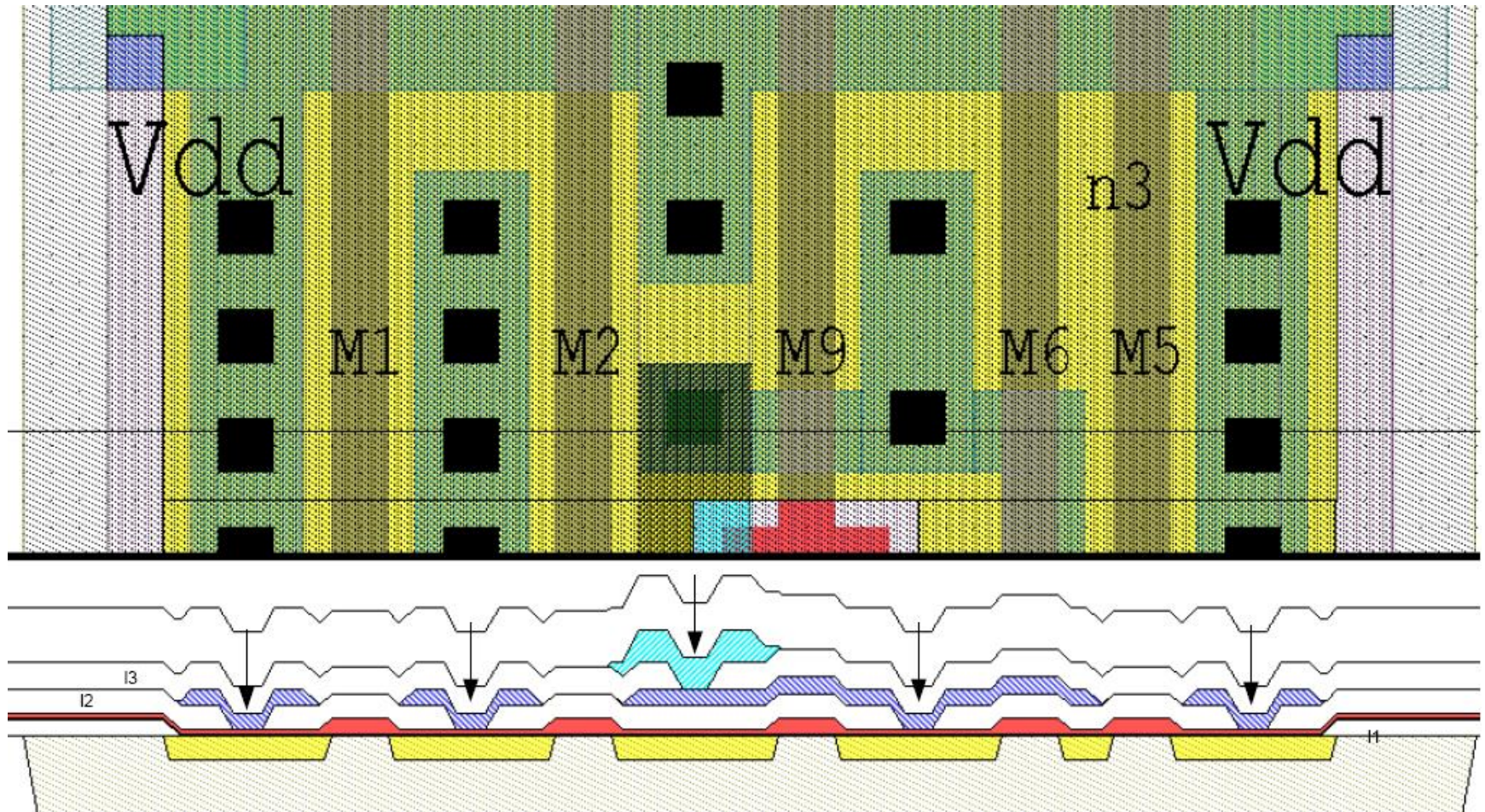


metal 1 は全ての層と接続可能。
他層との接続は metal 1 を仲介する。

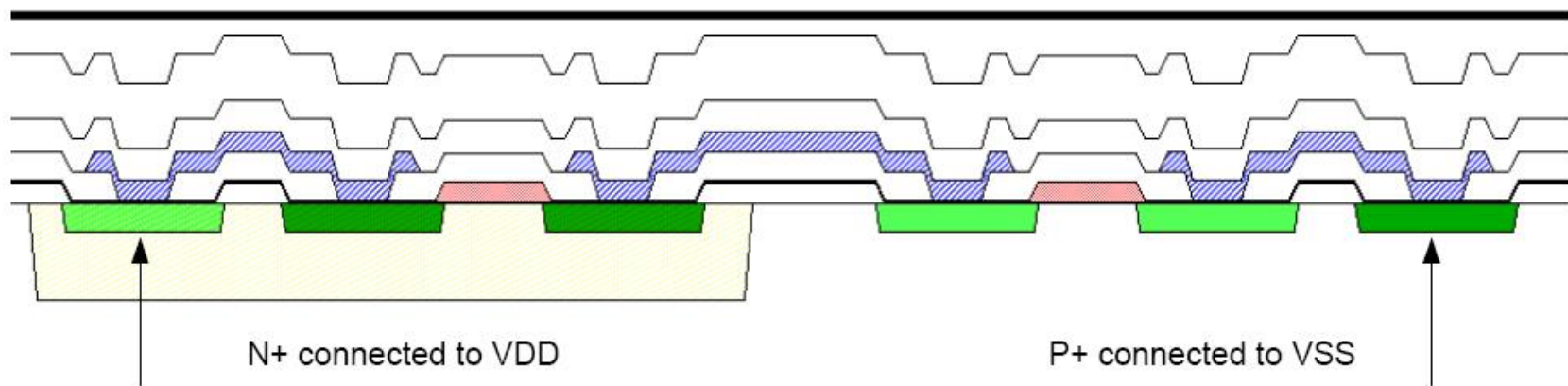
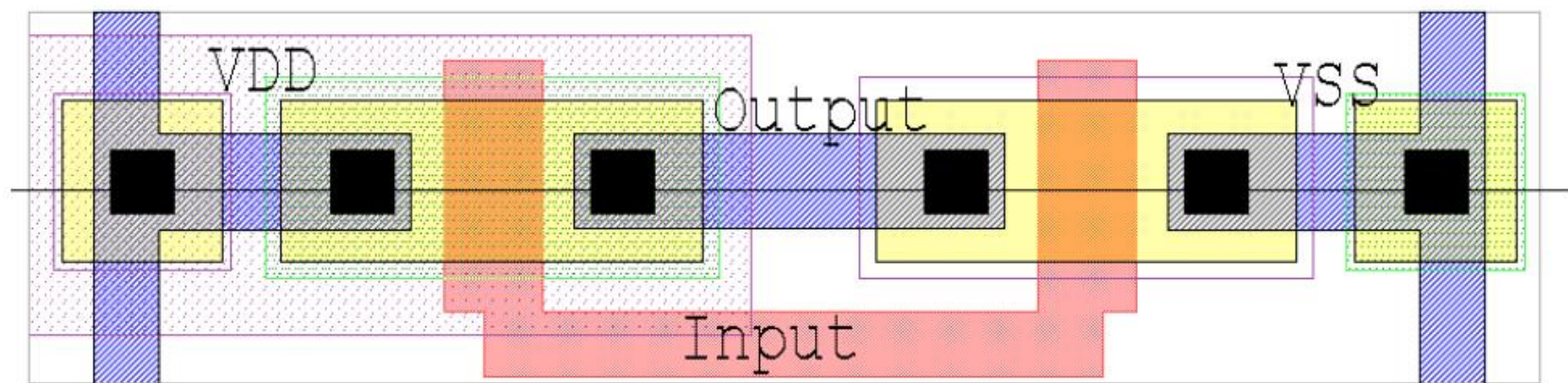
コンタクトとVia

コンタクト: 配線メタルとポリシリコン、拡散、ウェル、基板等への接続

Via: 1層目配線メタルと2層目配線メタルへの接続



基板、ウェルの電源、グランド等への接続



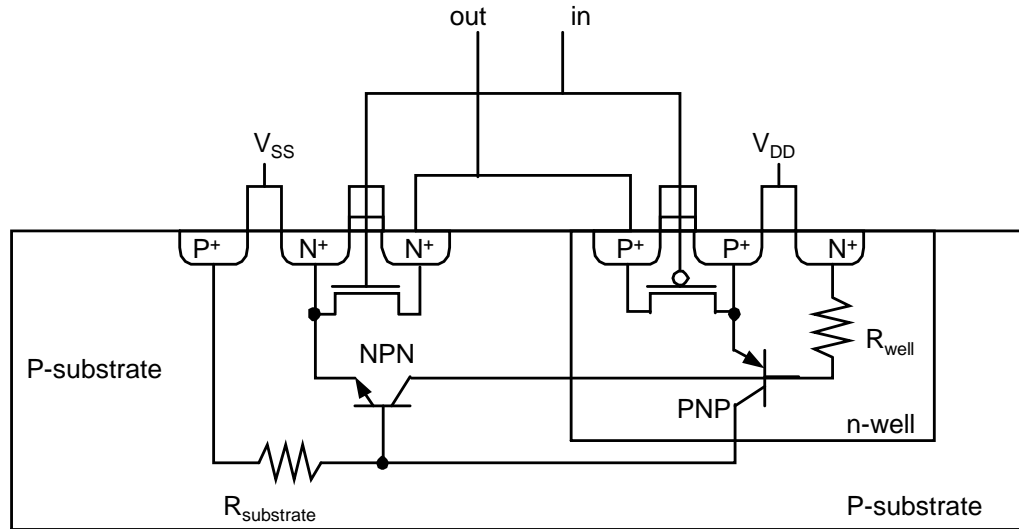
CMOSプロセス と ラッチアップ

ラッチアップを防ぐ
ためには
Rwell, Rsubstrate
の値を小さくする。

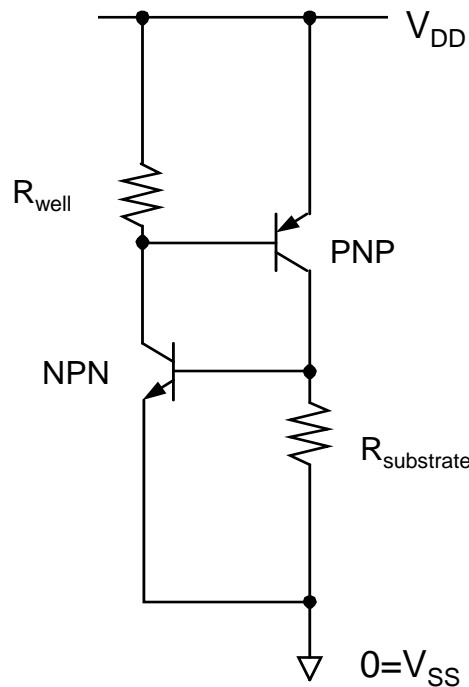


PMOS ソースの
直近に
ウェルコンタクト

NMOSソースの
直近に
基板コンタクト



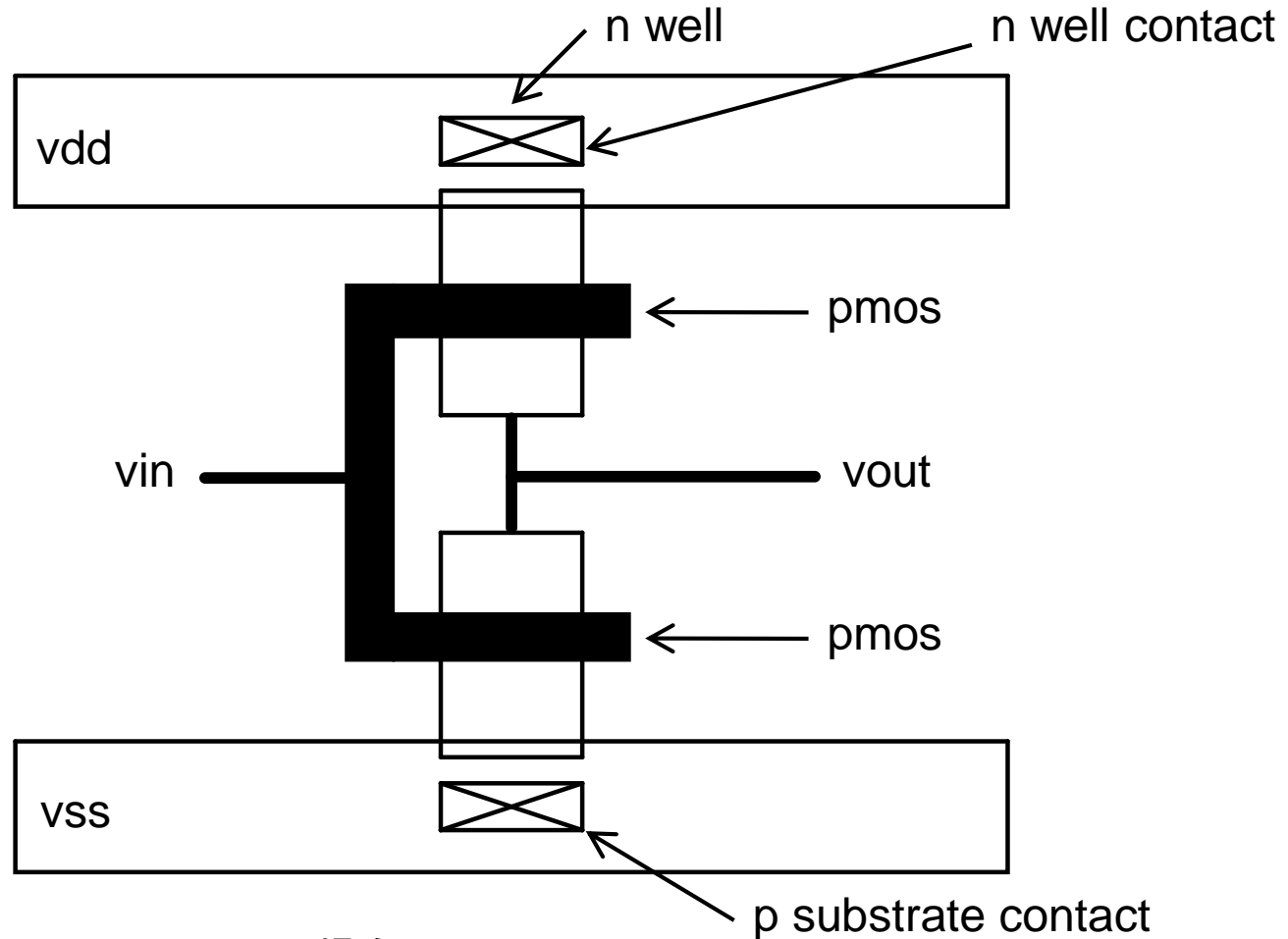
CMOSプロセス断面図と
寄生バイポーラ・トランジスタ



寄生バイポーラ・トランジスタ
とポジティブ・フィードバックに
よる破壊現象(ラッチアップ)

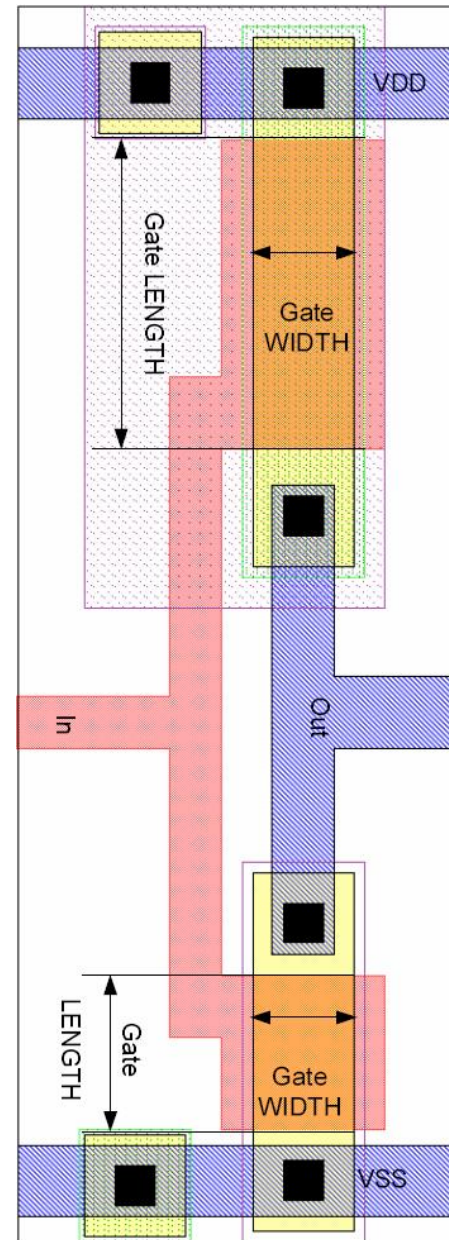
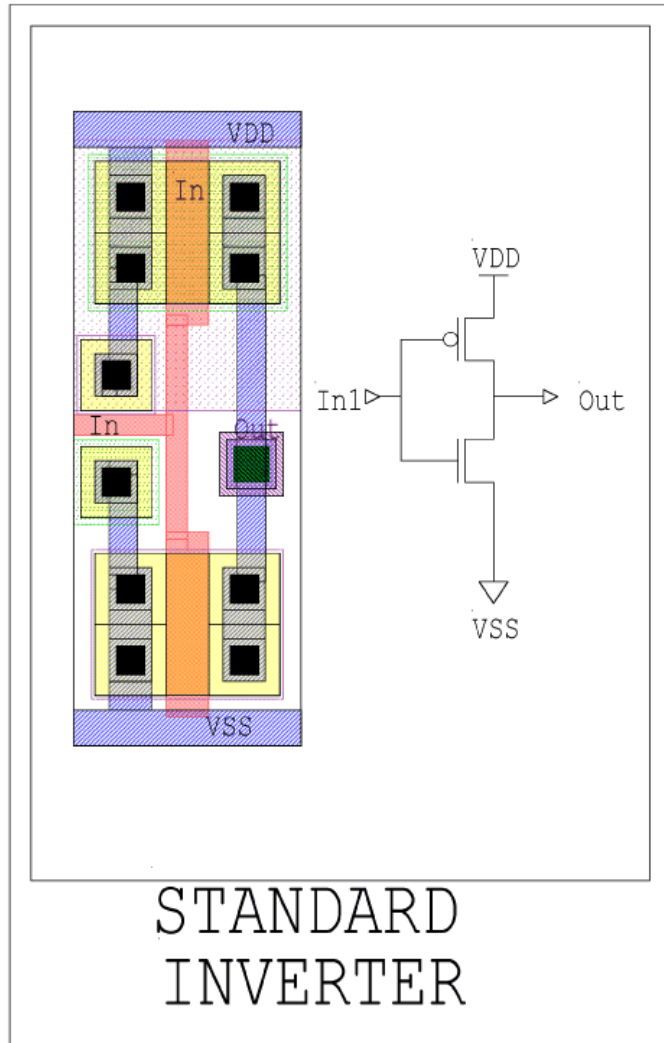
基板コンタクト、ウェル・コンタクト

ラッチアップを防ぐため、substrate contact、well contact を設ける。

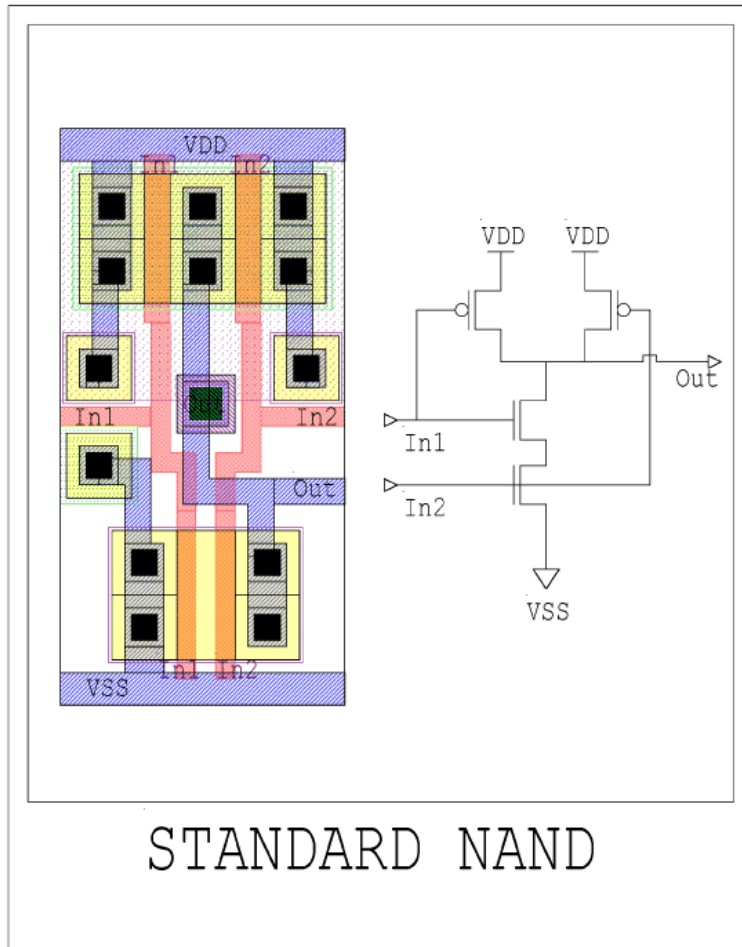


※ この図は p-substrate wafer の場合

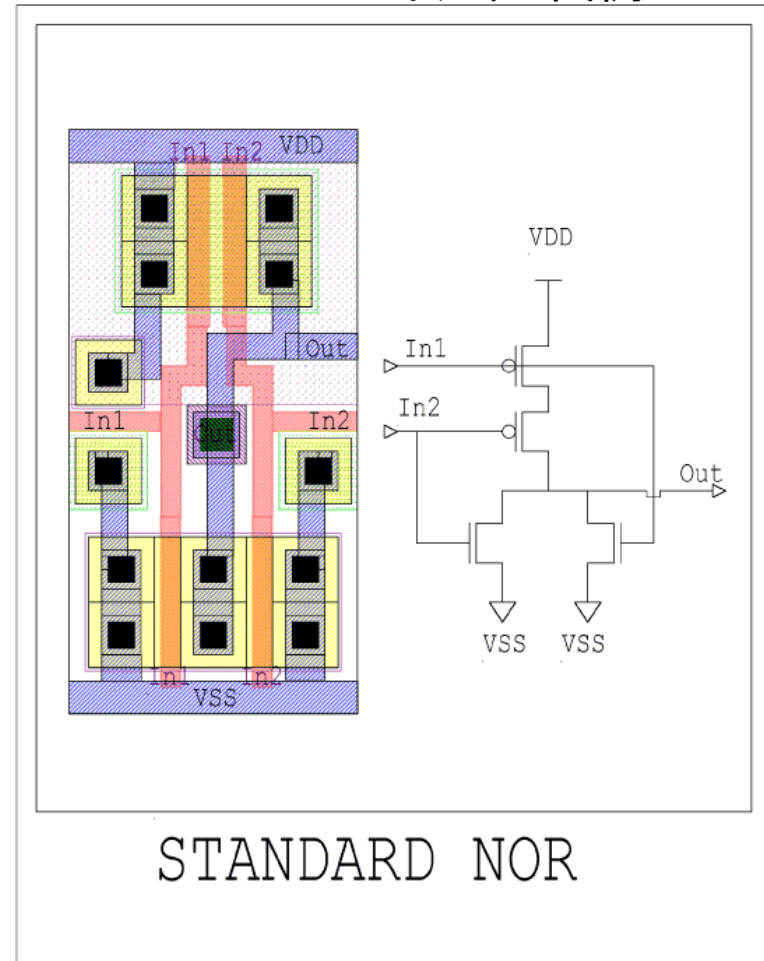
CMOS インバータレイアウト図例



CMOS NAND レイアウト図例



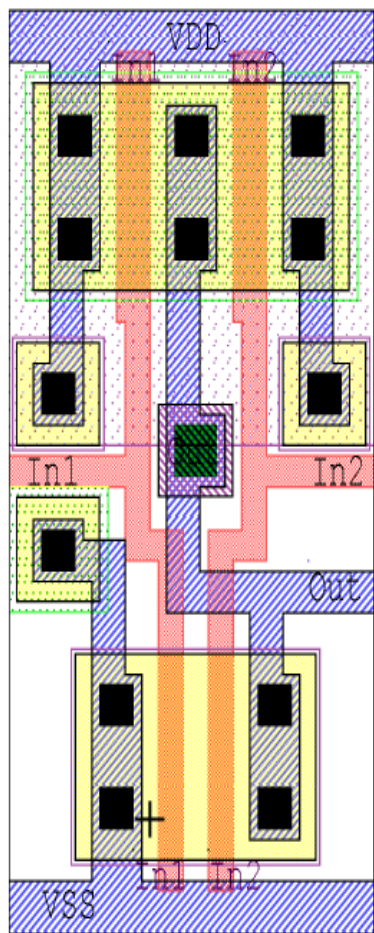
CMOS NOR レイアウト図例



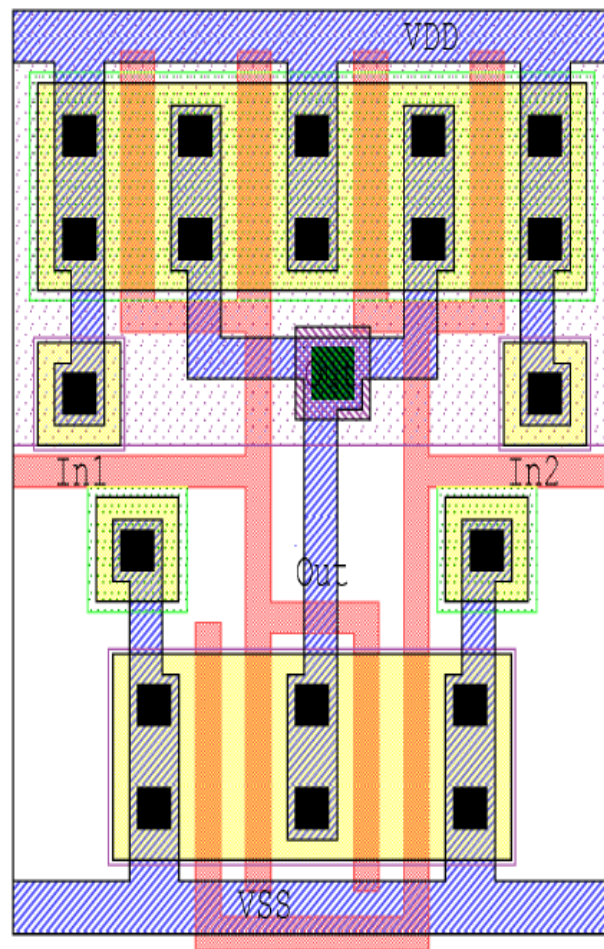
H

各セルで 上側をVdd, 下側をVss 配線、
また、“高さ H”を同じにしてセル間を接続しやすくする。

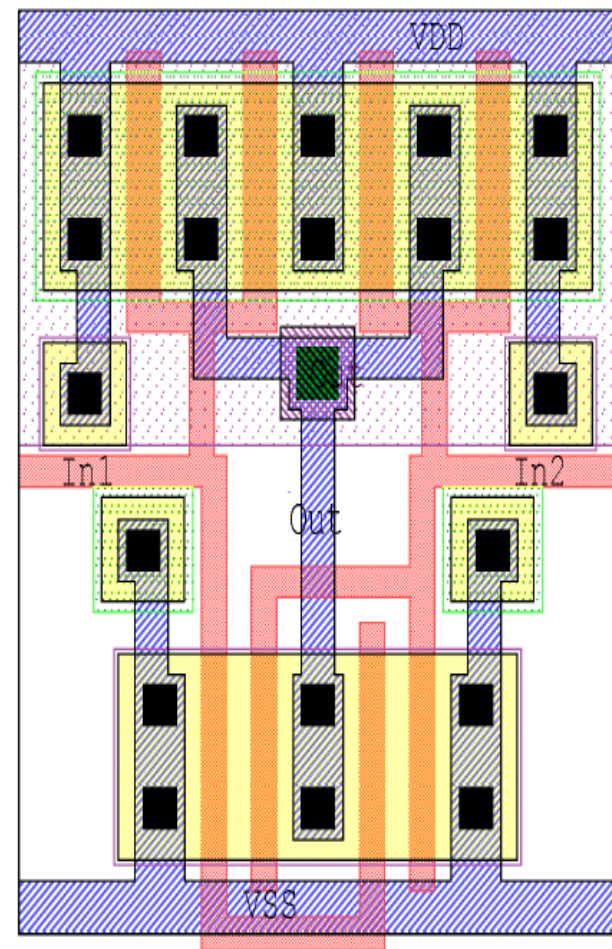
バランスよく取れたCMOS NAND レイアウト



Simple NAND



Two Fingert NAND



Balanced NAND

レイアウトとチップ面積

バイポーラIC

各トランジスタ間にアイソレーション必要



比較的チップ面積が大きくなってしまふ。

CMOS IC

PMOS間にアイソレーション不要、
NMOS間にアイソレーション不要、



チップ面積が小さくなる。

MOSでは2つのトランジスタの
ドレイン、ソース等を共有できるので
小チップ面積。

ただし、
PMOSとNMOS間にアイソレーション必要
基板電圧が異なるPMOS間にウェル分離必要
基板電圧が異なるNMOS間にウェル分離必要



この分 チップ面積が大きくなるので注意

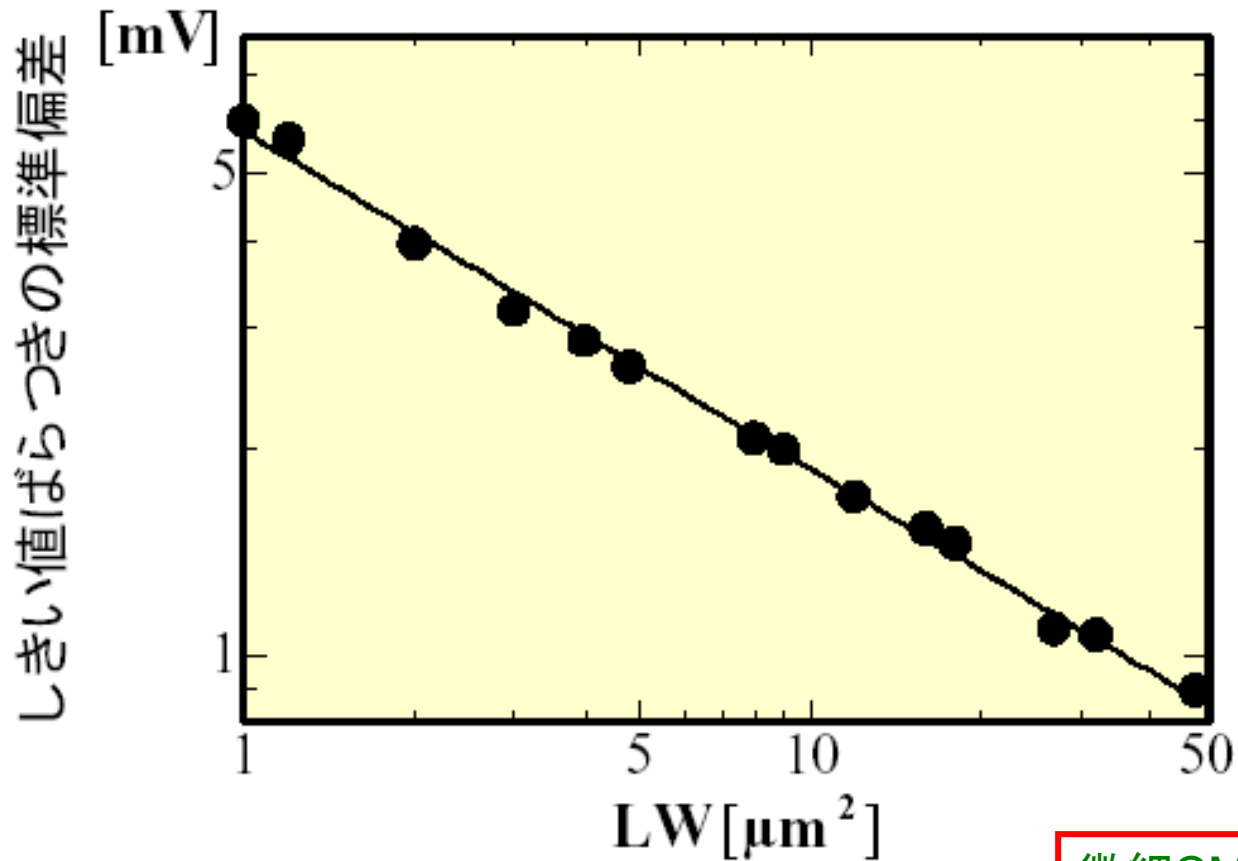
集積回路内の素子の精度

- 集積回路内の素子特性 (トランジスタ、R, C, L)
 - ☆ 絶対精度は悪い
ロット間、ウェーハ間、チップ間、チップ内
 - ☆ 相対精度 (同一チップ内比精度) は良い
これを利用したアナログ回路設計が行われる

- バイポーラとMOSの相対精度
 - ☆ バイポーラの V_{be} ばらつきは
MOSの V_{th} ばらつきより10分の1程度
 - ☆ オペアンプのオフセット、ADC/DACの線形性等の
特性に影響

- 素子の物理的寸法が小さいほど相対精度は劣化する。

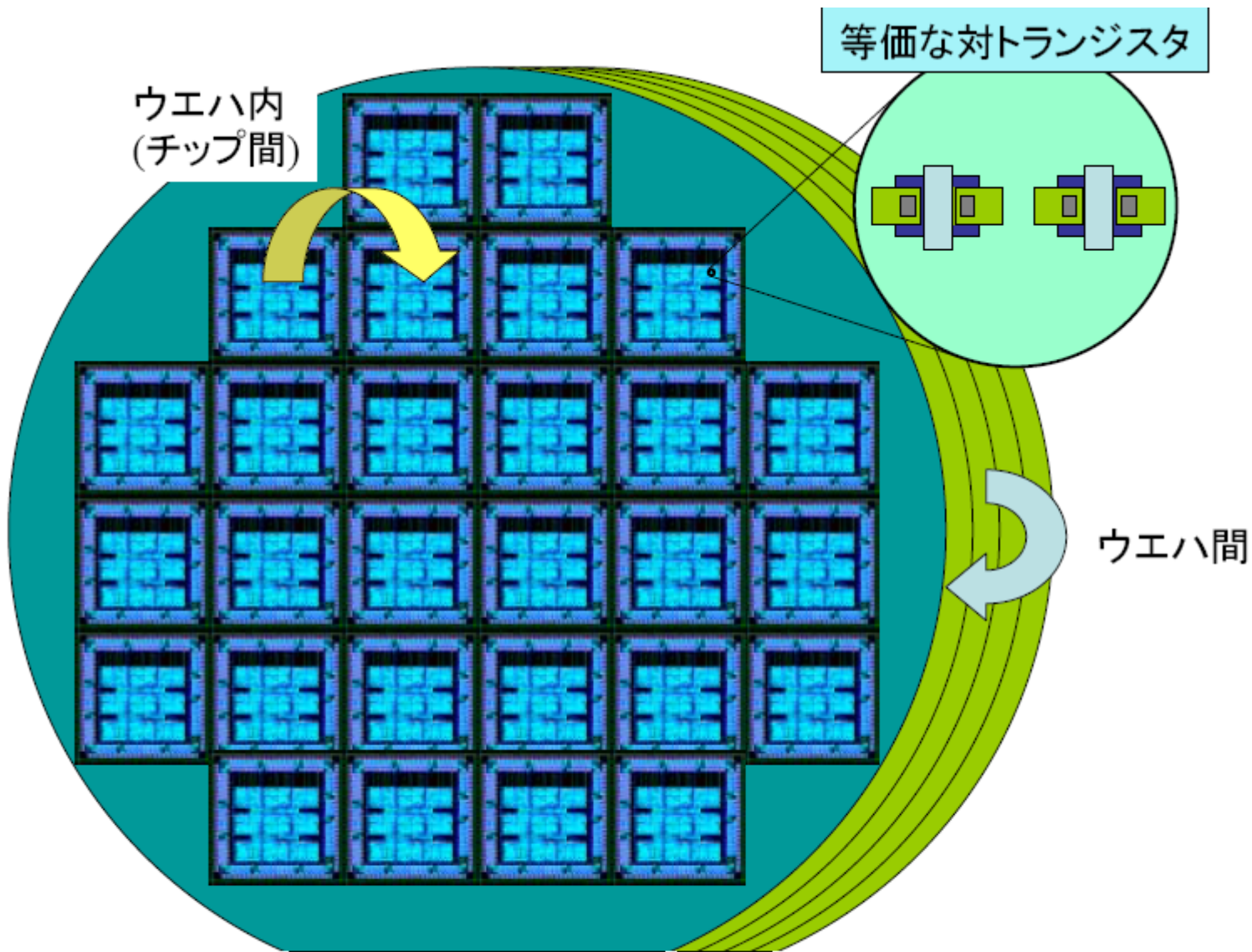
微細CMOSプロセスでの素子特性ばらつきの増大



ΔV_{th} は ゲート面積 $W \cdot L$ の平方根に反比例する。

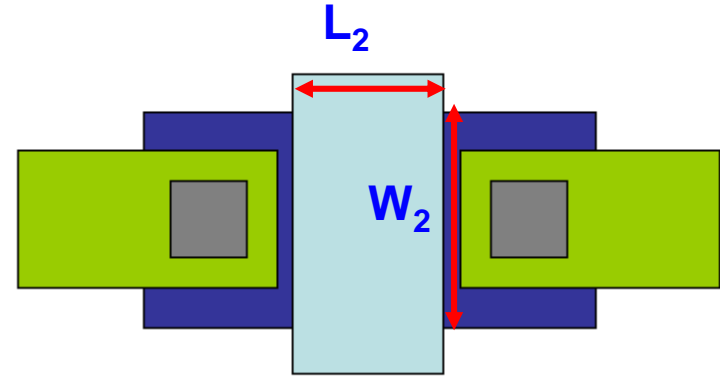
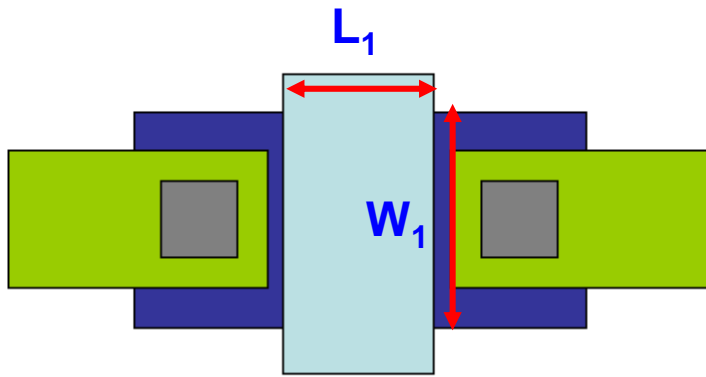
- 微細CMOSを利用しようとするとはらつき増大
- $W \cdot L$ を大きくして用いると微細化のメリットが失われる(コスト大、低速)

微細CMOSアナログ
回路設計での
大きな課題

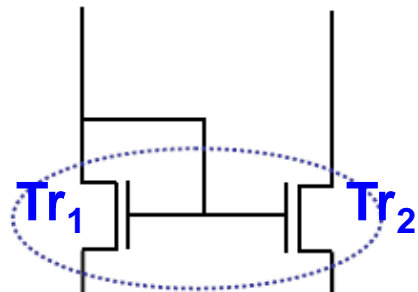


原因 パターン寸法、堆積膜厚、酸化膜厚、熱処理温度などプロセスのばらつき
(技術レベルの向上とともに改善)

MOSTランジスタの特性のばらつき



電流ミラー回路



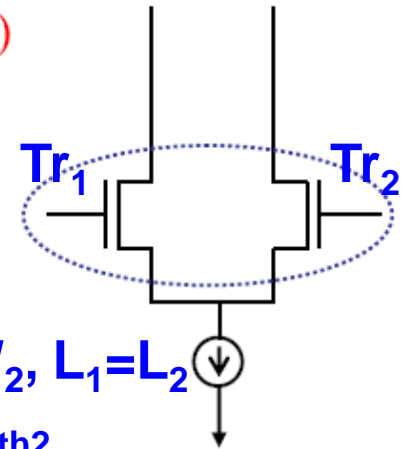
$$W_2 = nW_1, L_2 = L_1$$

$$V_{th1} = V_{th2}$$

・アナログ回路
(OPAMP, ミキサー, コンパレータ)

・デジタル回路
(差動センサンプ)

差動入力対



$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2$$

$$W_1 = W_2, L_1 = L_2$$

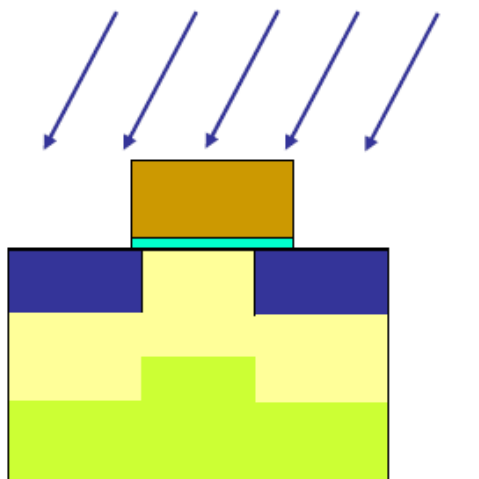
$$V_{th1} = V_{th2}$$

製造工程において、 $L_1 \neq L_2, V_{th1} \neq V_{th2}$, 特性のバラツキとなる。

アナログ的にはMOSのソースとドレインは対称でない

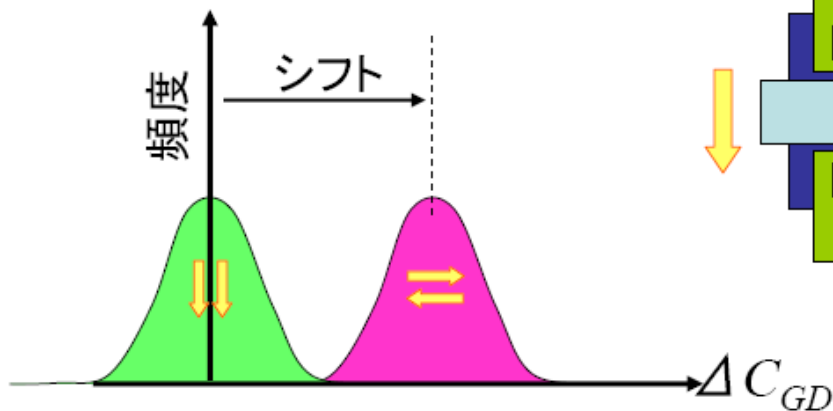
どちらの端子をソースにするかで V_{th} が異なる。

斜めイオン注入(7° off)

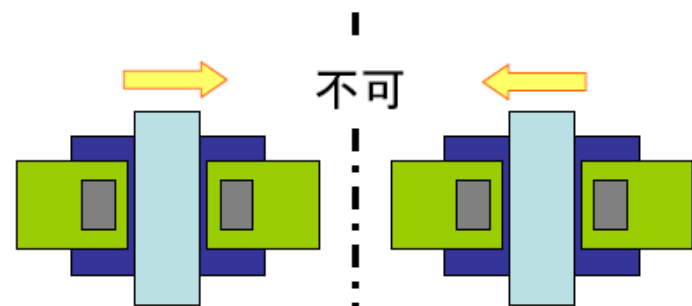


頻度

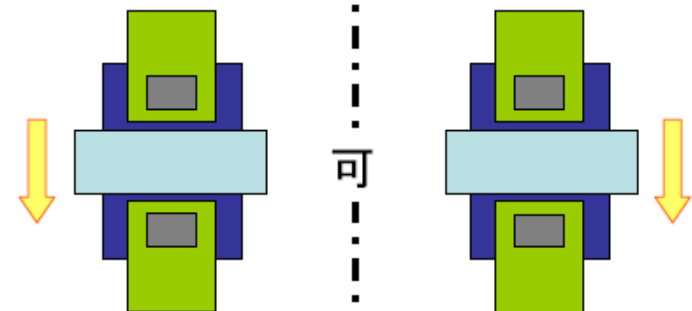
シフト



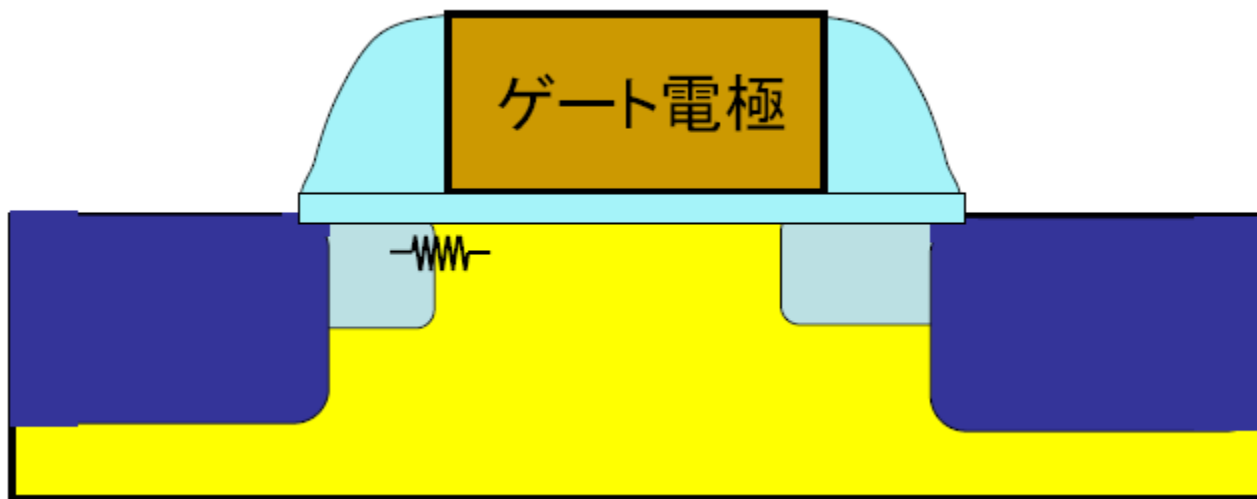
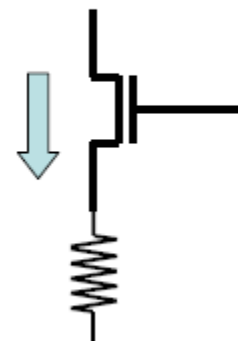
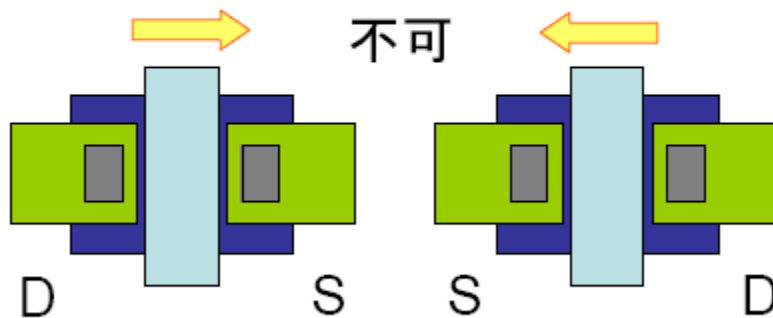
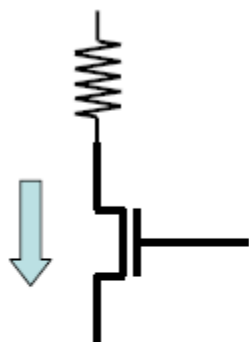
レイアウトのポイント
電流の流れる方向を
対称線と並行にする



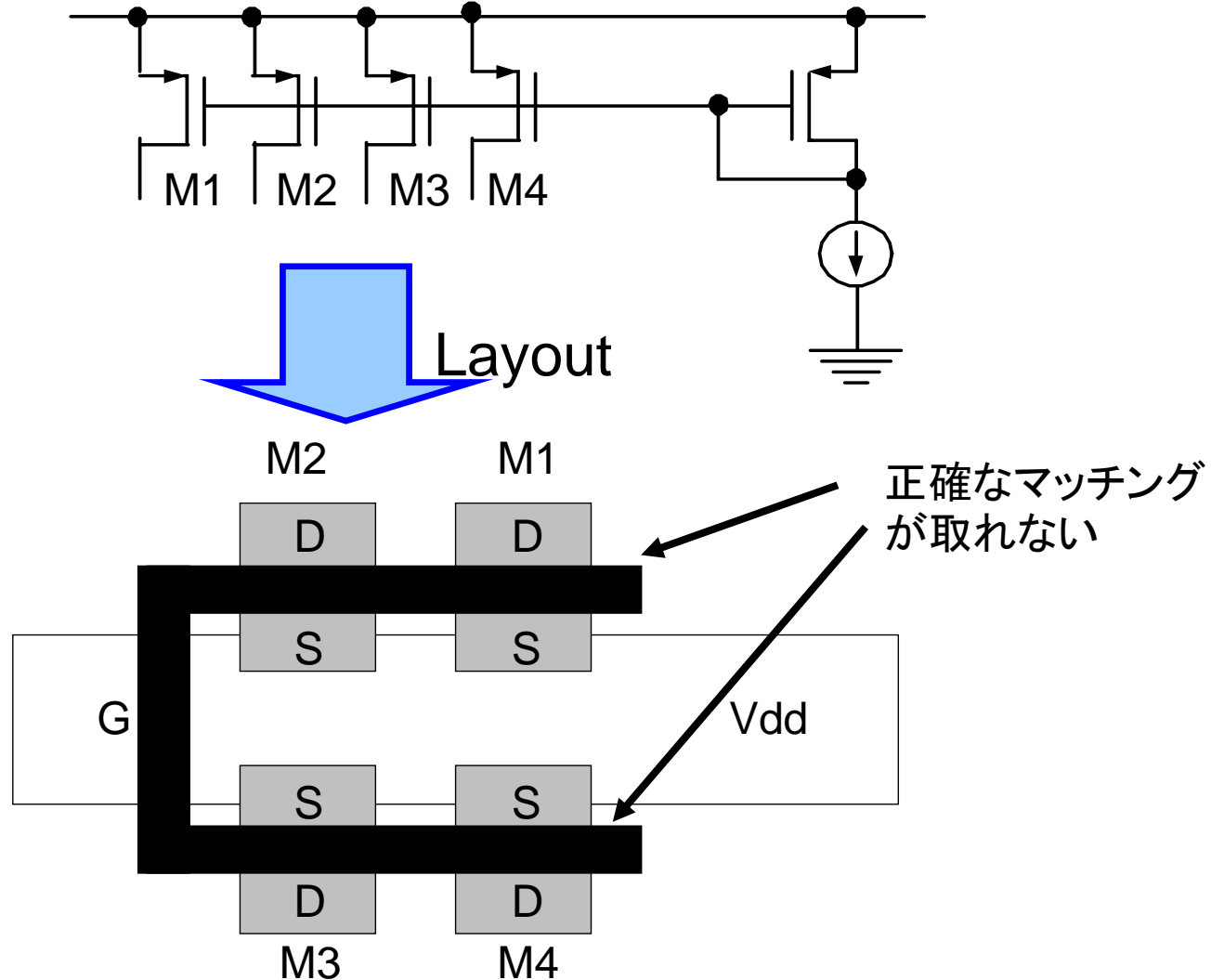
斜めS/Dイオン注入により
 C_{GD} が大きく異なる



どちらの端子をソースにするかで
 g_m が異なる



電流ミラー回路のレイアウト設計の悪い例

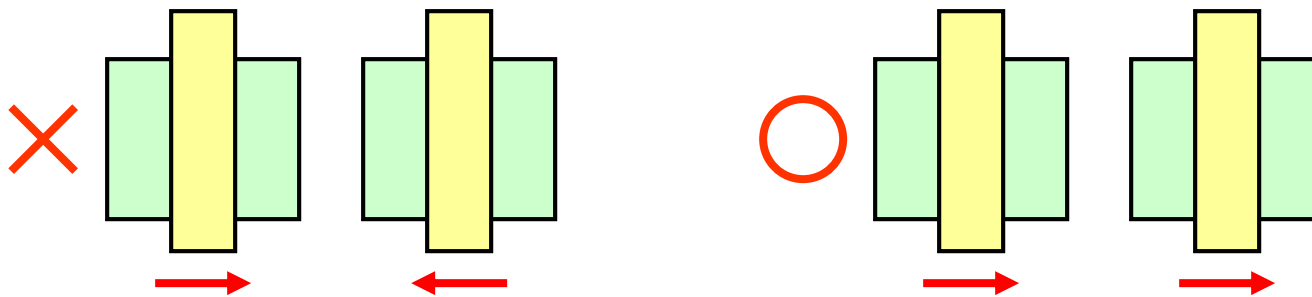


※M1とM4,M2とM3をペアにして使うなら問題ない

MOSトランジスタのミスマッチ低減

(カレントミラー、差動増幅器の入力)

- (1) 電流を同一方向に
斜めインプラの影響を排除

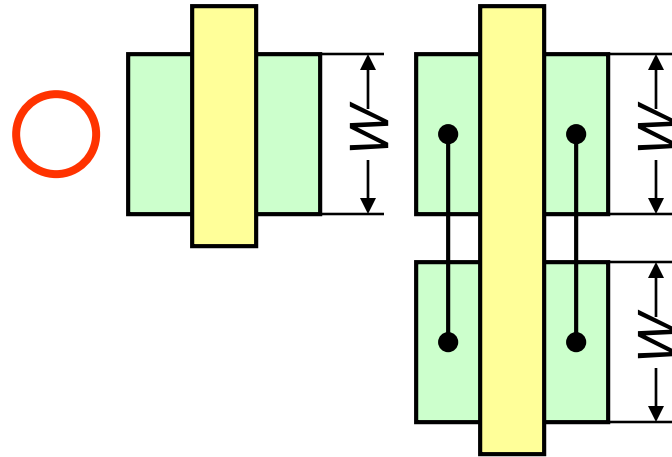
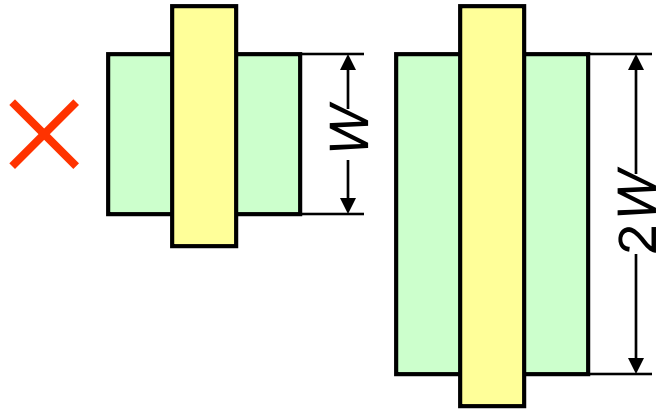


- (2) L , W を大きく
短チャネル、狭チャネル効果低減

$$\Delta V_{TH} \propto 1/\sqrt{LW}$$

整数倍カレントミラーのレイアウト

ミラー比を正確に

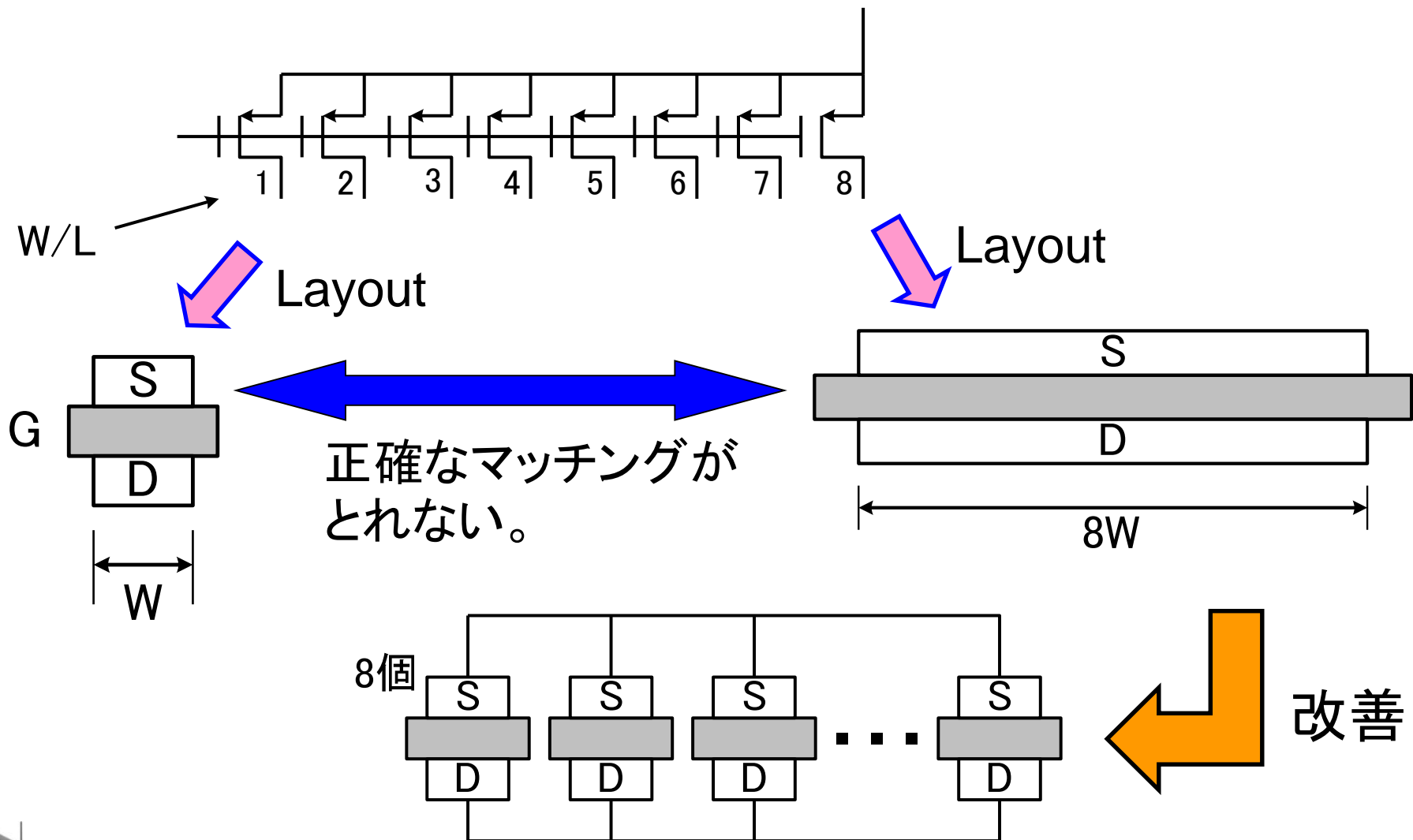


✗ 定数を N 倍する

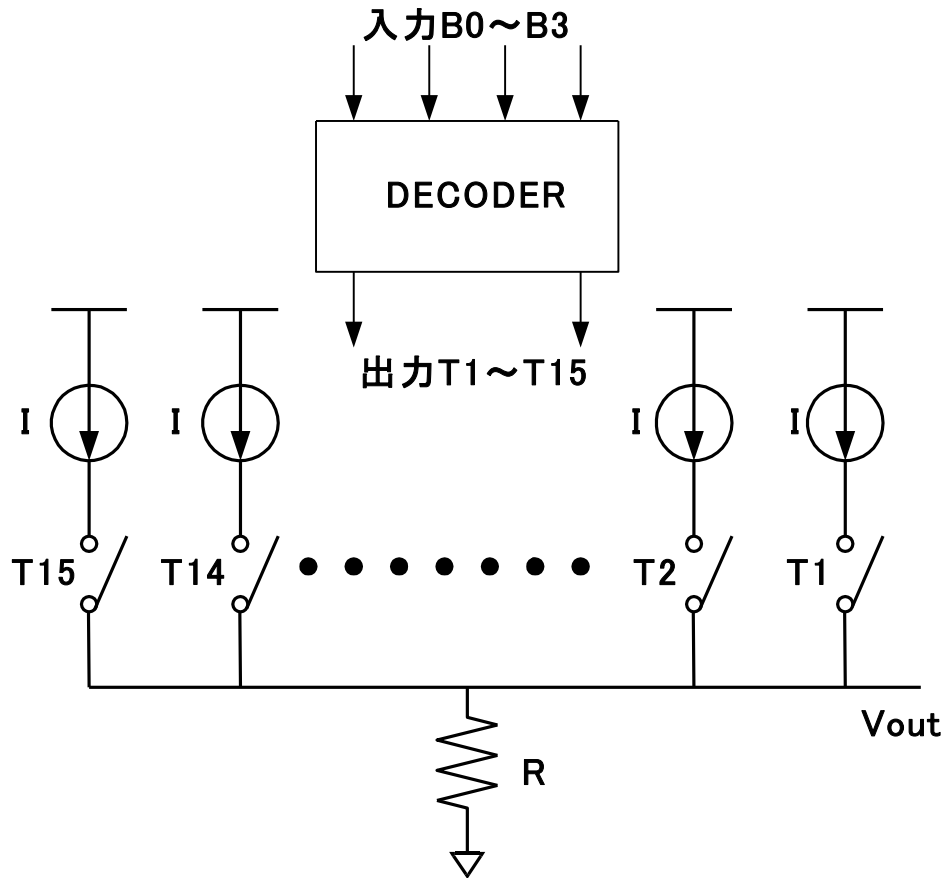
○ 同じ定数の素子を N 個並べる

- トランジスタの“端”の影響(狭チャネル効果)で、 W と $2W$ のものの電流比は正確には2倍にならない。
- 電流2倍のものは W を2つ並べてドレインを結線する。

電流モード回路での整数比電流発生回路のレイアウト



セグメント電流セル型DA変換器



● メリット

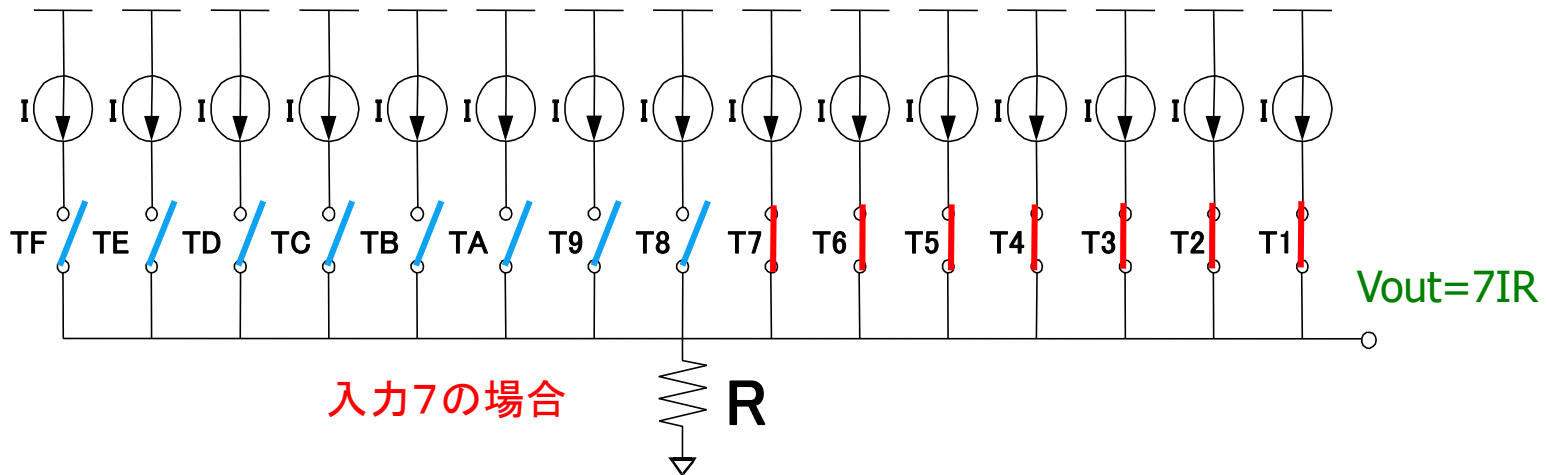
- ・グリッチが小さい
- ・入出力間の単調性が確保できる

● デメリット

- ・回路規模が大きい
- ・サンプリング速度がやや低下する

4bitセグメント型DA変換器

セグメント型DA変換器の電流セル配列のレイアウト



T1	T2	T3	T4
T5	T6	T7	T8
T9	TA	TB	TC
TD	TE	TF	



DAC線形性改善

TE	T3	T7	T9
T6	T1	TC	T5
T8	TA	TF	TB
T4	TD	T2	

規則的に電流セルをレイアウト

Random Walk (酔歩) 状にレイアウト

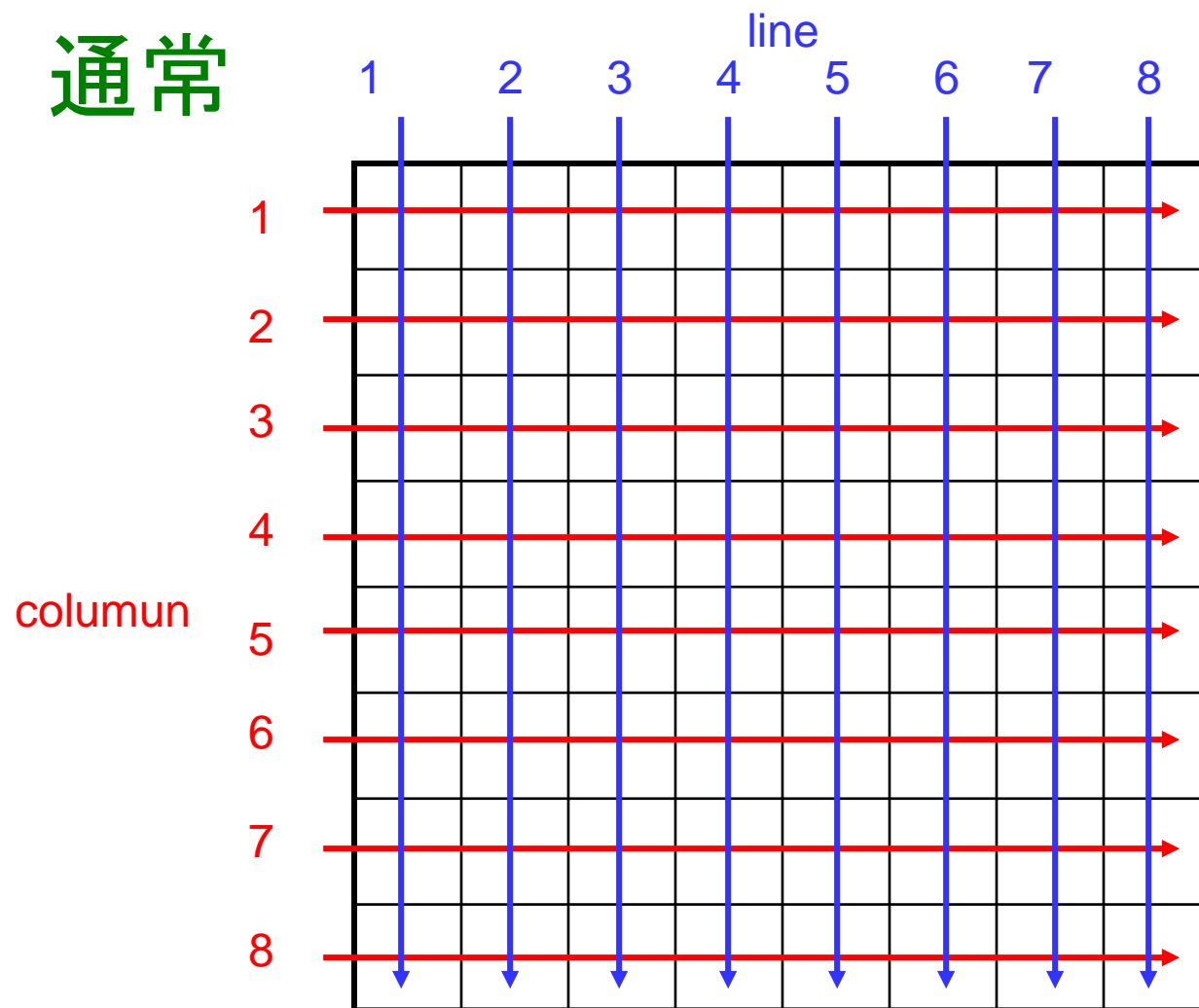
電流源のシステムテック・ミスマッチのDAC非線形性への影響

大

小

セグメントDACのONさせる順番

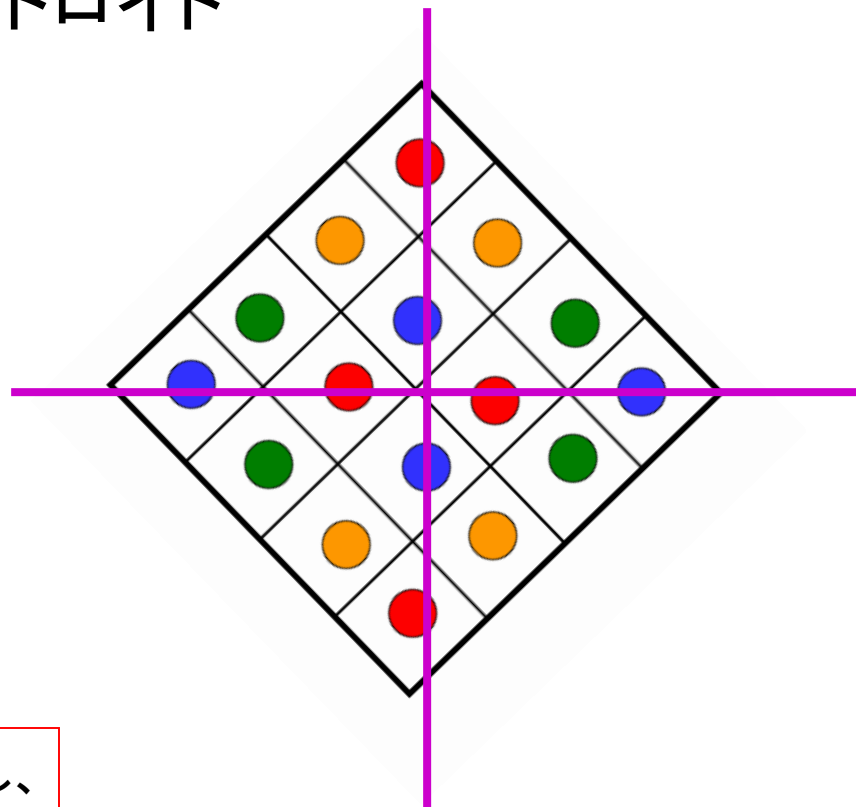
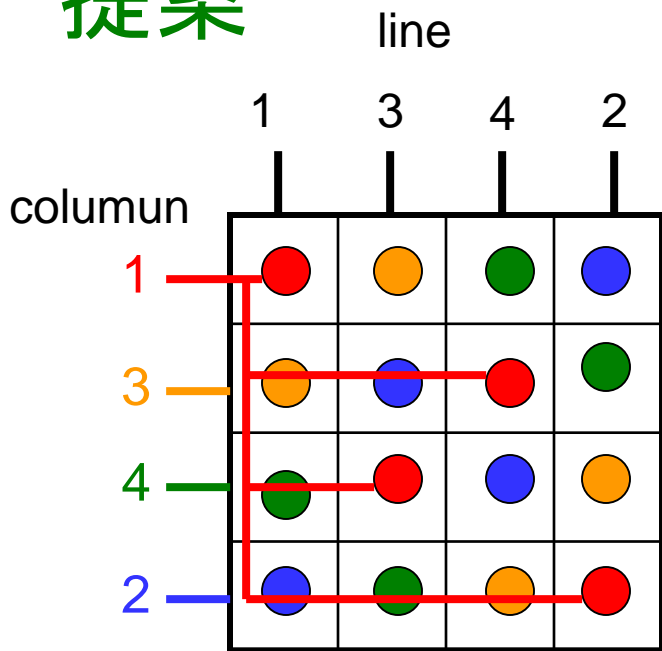
通常



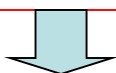
セグメントDACのONさせる順番

提案

コモンセントロイド



1本のline線に全column線が1箇所ずつ対応し、
同じcolumn線が重複しないようにする。



Column信号配線が複雑

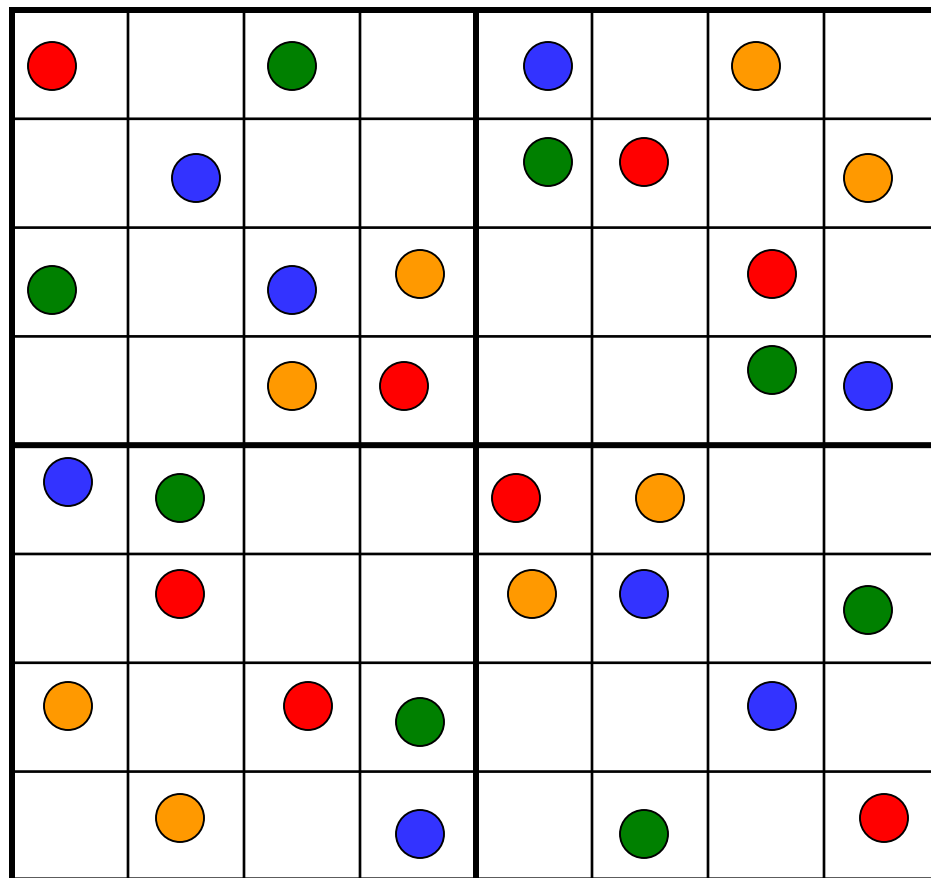
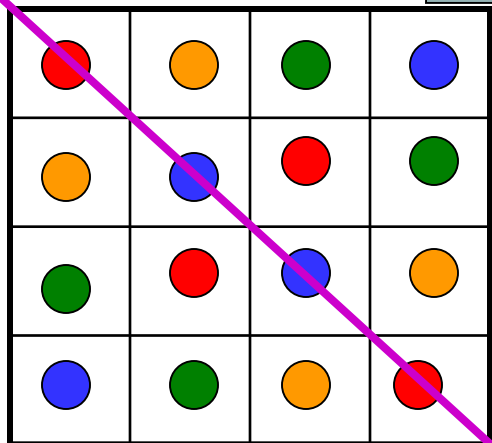
上下左右対称

Local Decoderがそのまま使える。



6ビットの場合

90° 回転



線対称になるように
半分に分配

対象になるように配置

6ビットの場合 (8x8=64)

●	●	●	●
●	●	●	●
●	●	●	●
●	●	●	●

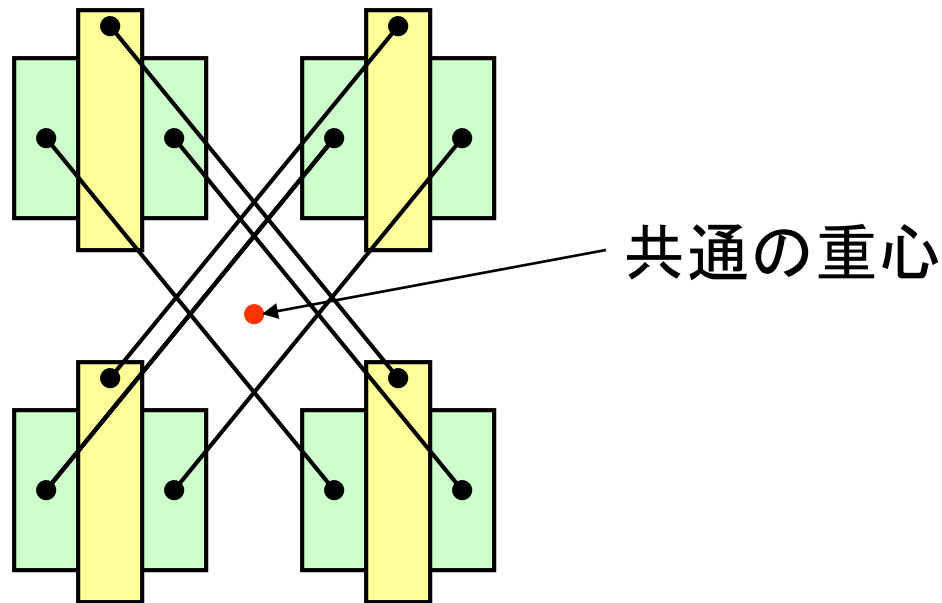
前の4色と対象に追加の4色を配置

●	●	●	●	●	●	●	●
●	●	●	●	●	●	●	●
●	●	●	●	●	●	●	●
●	●	●	●	●	●	●	●
●	●	●	●	●	●	●	●
●	●	●	●	●	●	●	●
●	●	●	●	●	●	●	●
●	●	●	●	●	●	●	●

コモンセントロイド(Common Centroid) レイアウト

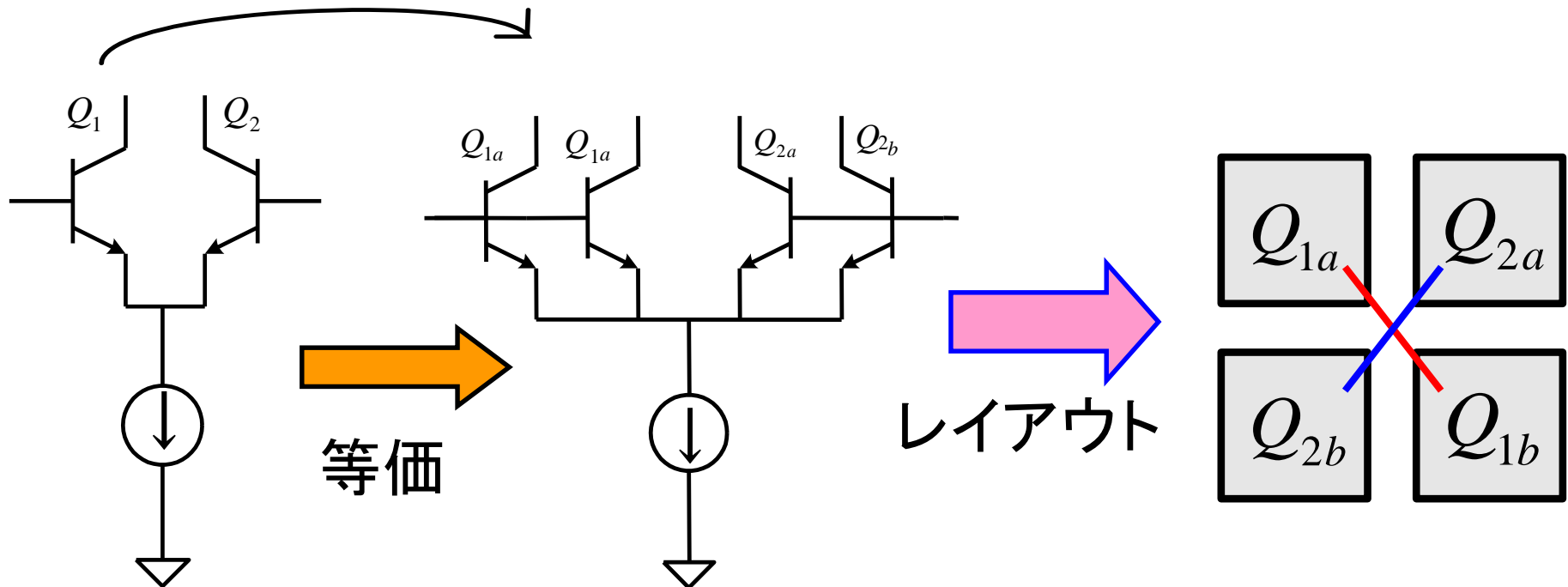
MOSトランジスタのペアのミスマッチ低減

Common Centroid配置

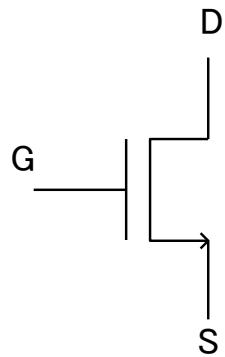


バイポーラトランジスタ・ペアのコモンセントロイド配置

面積半分のエミッタ2つに分解

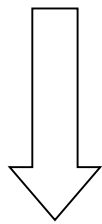


楕形レイアウト (Comb Layout)



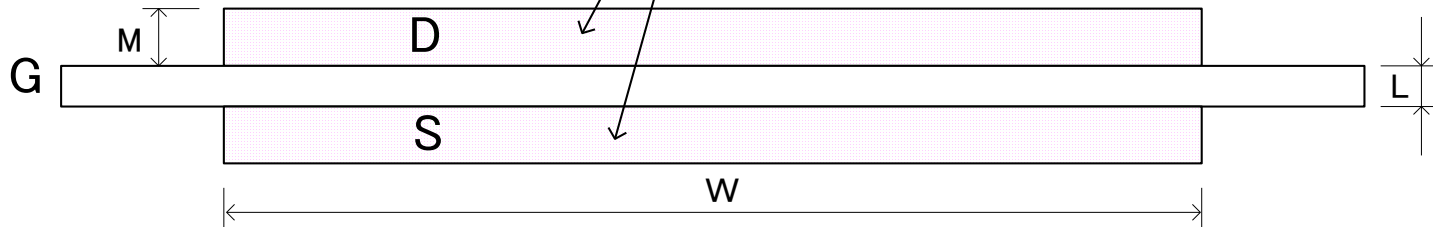
チャンネル幅 W が大きなMOSTランジスタ

W/L が大きい場合



Layout

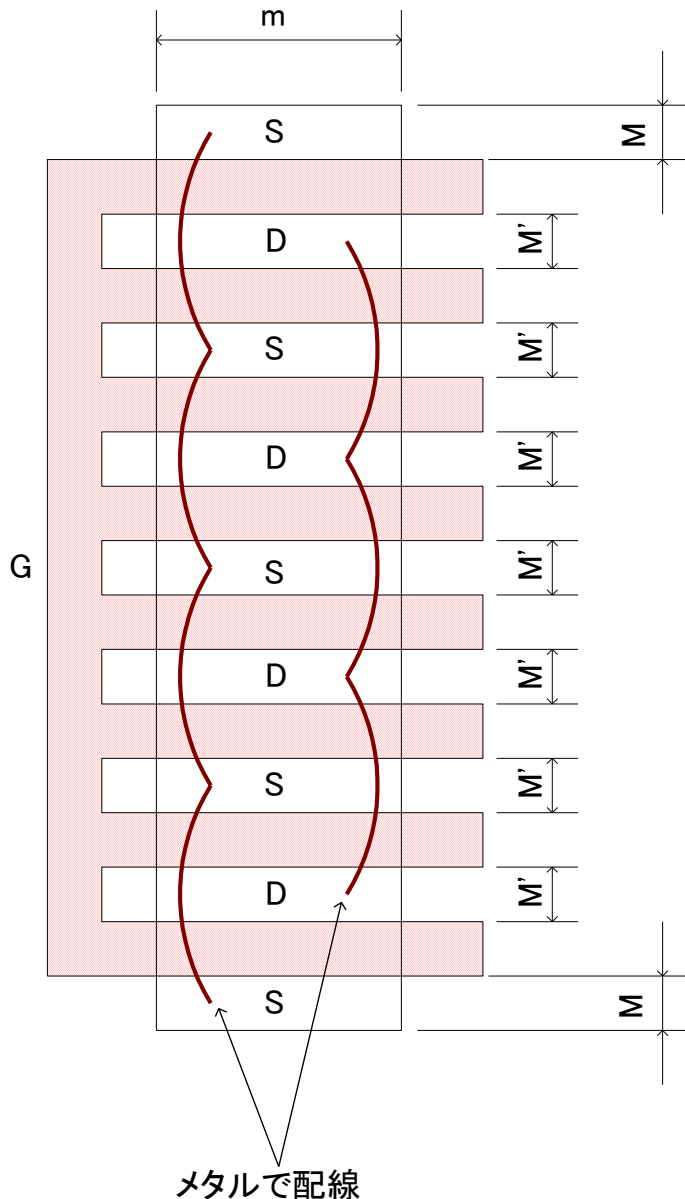
C_{ox} はこの面積に比例 $= W \cdot M$



drainの面積 $= W \cdot M$
sourceの面積 $= W \cdot M$

※ M の最小値は決まっている

楕形レイアウト



※M'はMの2倍よりも小さくできる

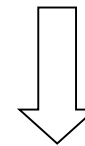
$$M' < 2M \quad M' = M + \alpha \doteq 1.2M$$

$$W = 2m \times 4 = 2m$$

$$\begin{aligned} \text{Drainの面積} &= M' \times m \times 4 \\ &= 1.2M \times W/8 \times 4 \\ &= 0.6MW \end{aligned}$$

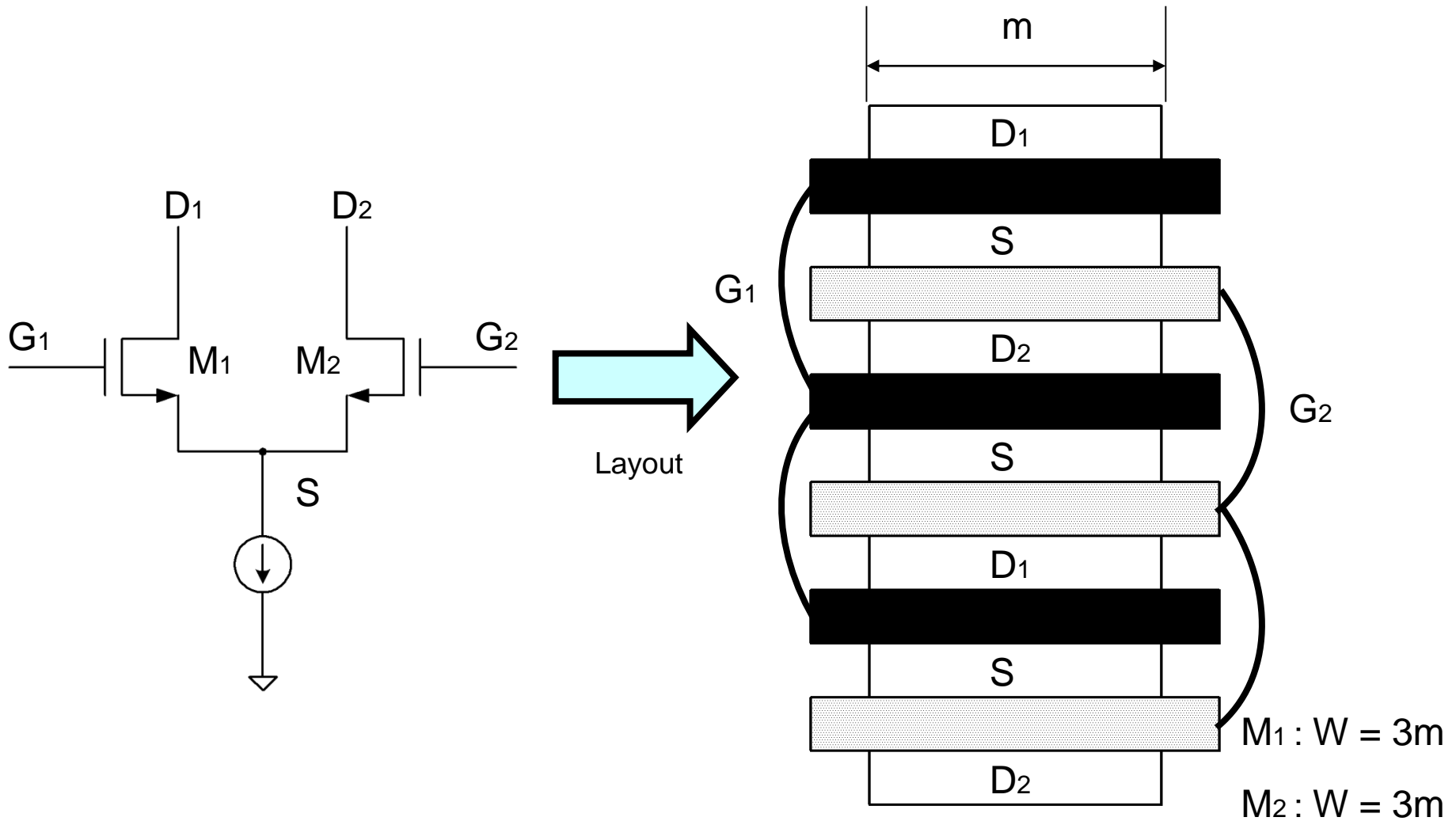
$$\begin{aligned} \text{Sourceの面積} &= M' \times m \times 3 + m \times M \times 2 \\ &= 1.2M \times W/8 \times 2 + W/8 \times M \times 2 \\ &= 0.55MW \end{aligned}$$

Drain、Sourceとも面積が小さくなる。



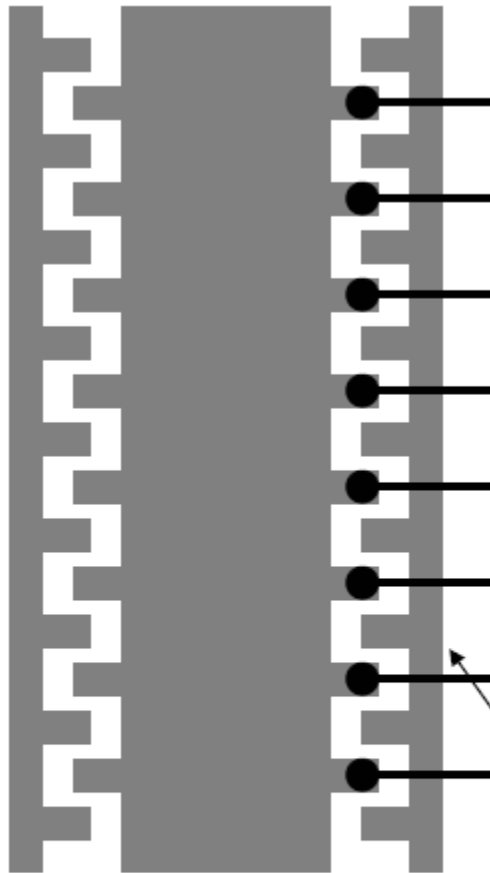
ソース、ドレインの寄生容量が小さくなる

楕円レイアウトとコモンセントロイドの組み合わせ

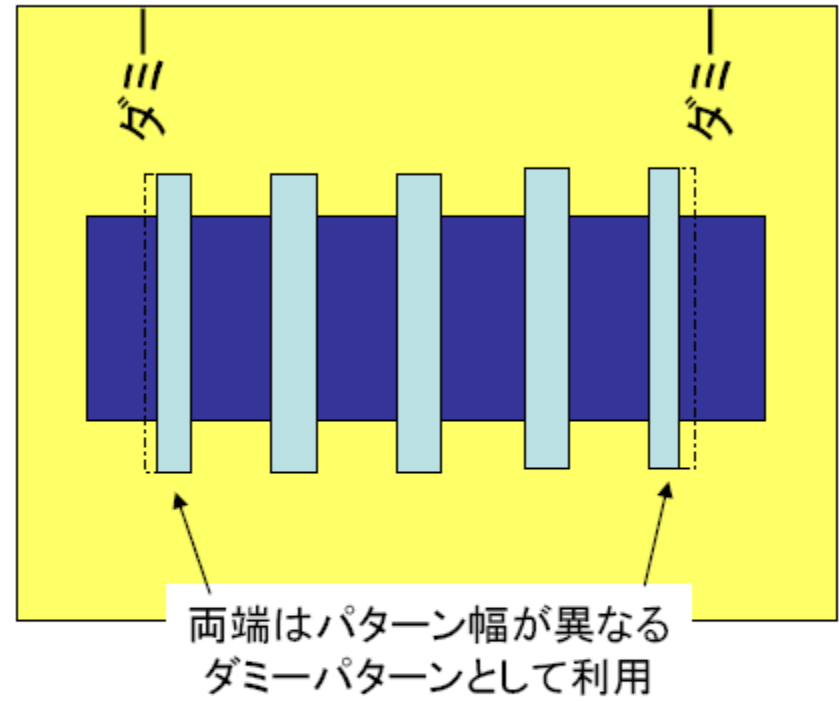


寄生容量は減り、マッチングも改善する。

両端にダミートランジスタを設ける

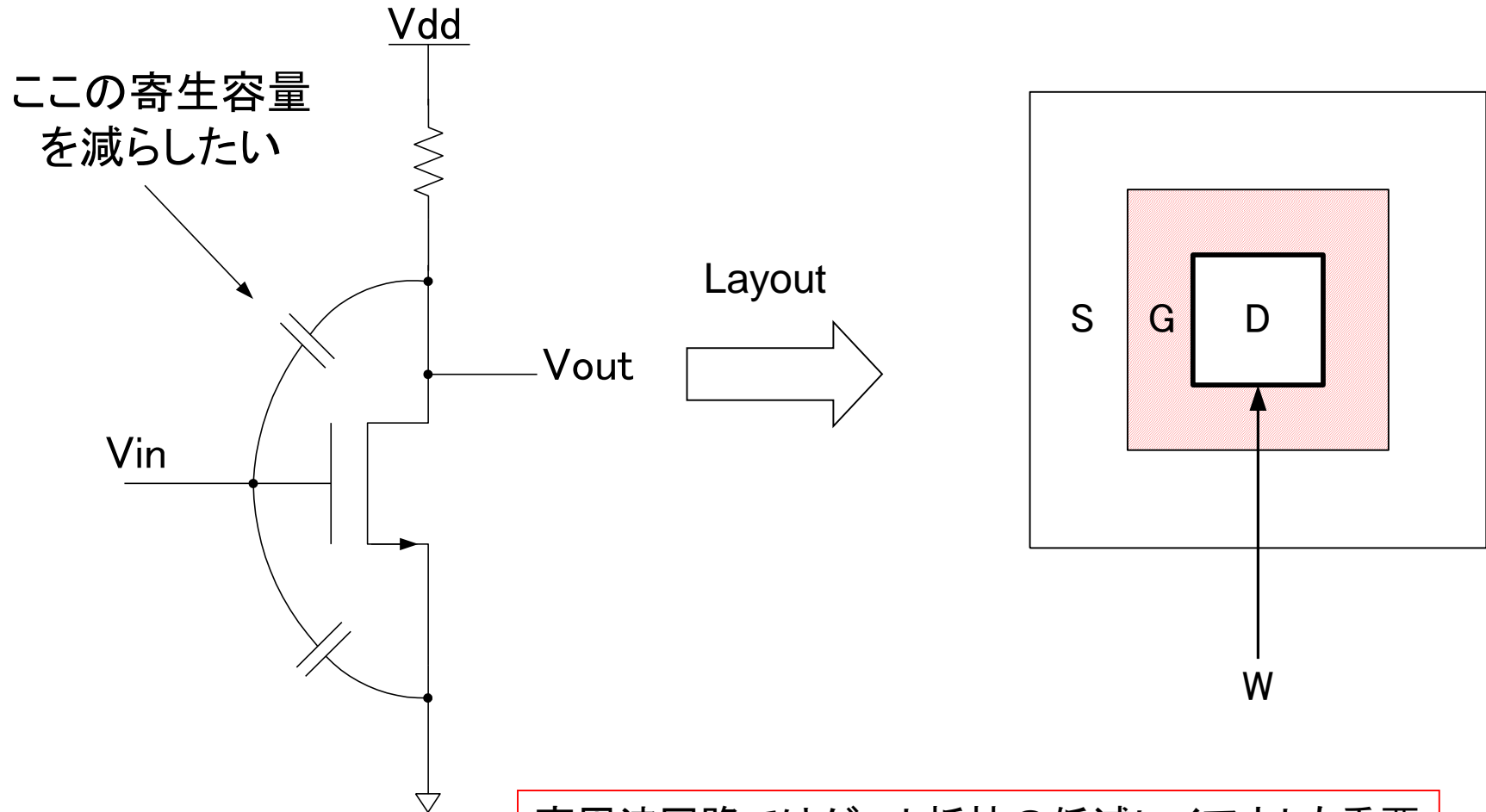


ダミーパターン



- ・レジスト露光量
端部パターンは隣接部からの反射の影響がない
- ・プラズマエッチング
Loading effect (周囲 $40\mu\text{m}$ 程度に影響)

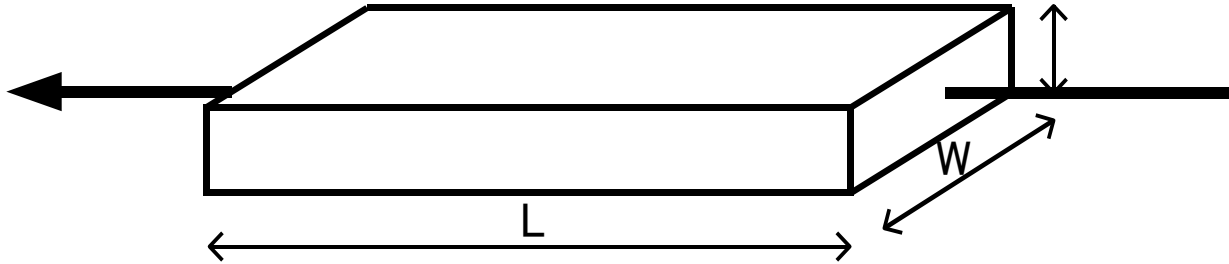
ミラー容量(ドレイン容量)の低減



高周波回路ではゲート抵抗の低減レイアウトも重要

受動素子 (R, C) のレイアウト

シート抵抗

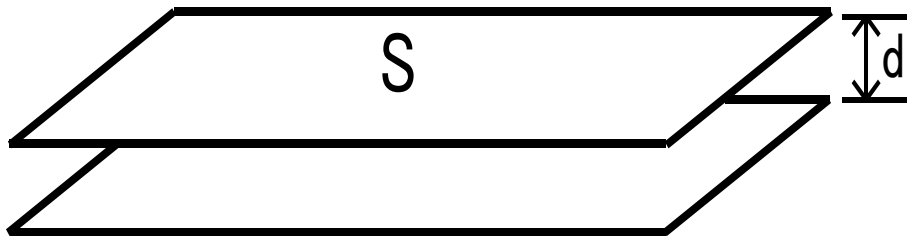


$$R = \rho \frac{L}{W \cdot h} = \frac{\rho L}{h w} = R_s \frac{L}{W} \quad \text{ただし、} R_s = \frac{\rho}{h}$$

R_s をシート抵抗

参考 MOSISの poly siliconは $R_s = 2.5\Omega/$

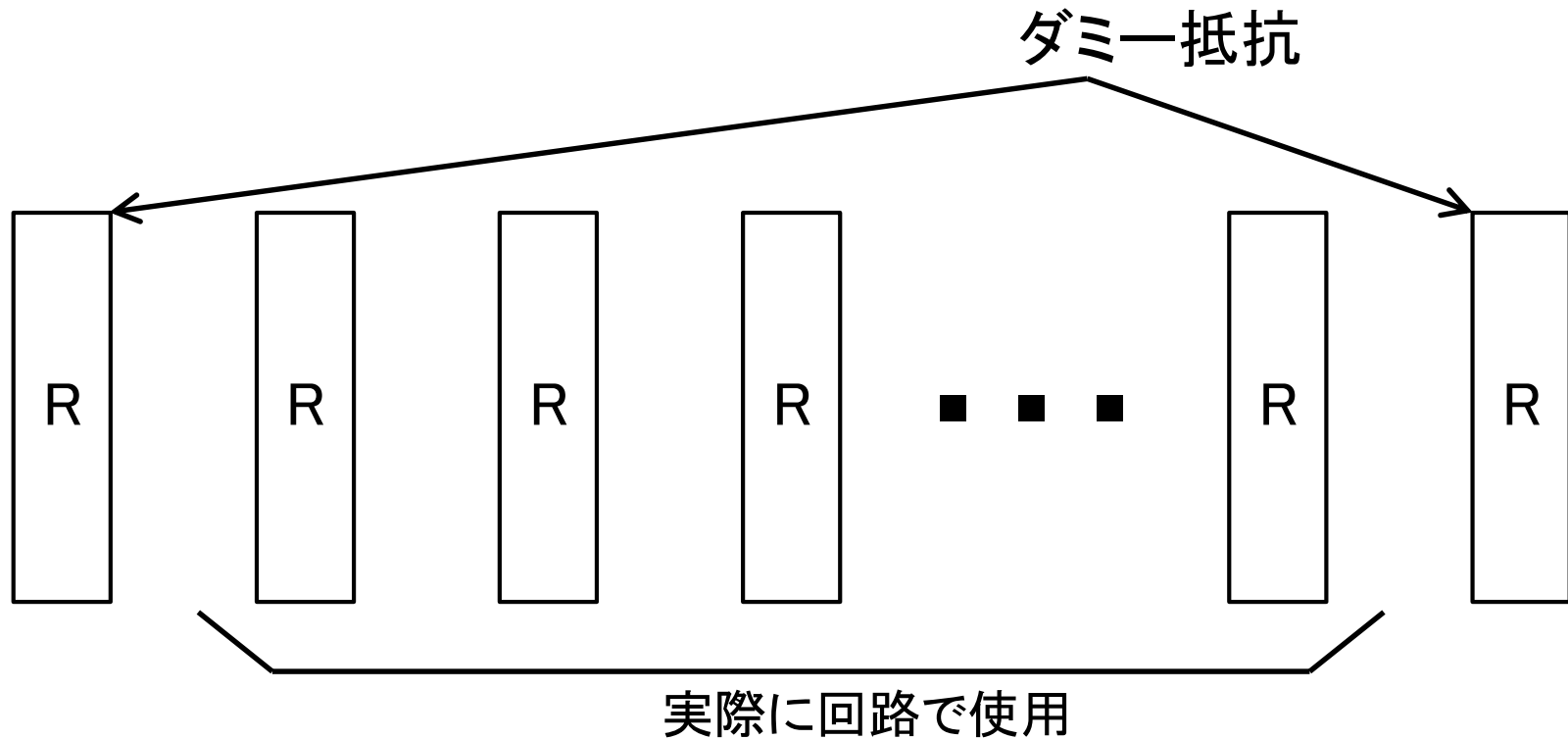
シート容量



$$C = \epsilon \frac{S}{d} = C_s \cdot S \quad \text{ただし、} C_s = \frac{S}{d}$$

C_s をシート容量

ダミー抵抗の配置による抵抗比マッチングの向上



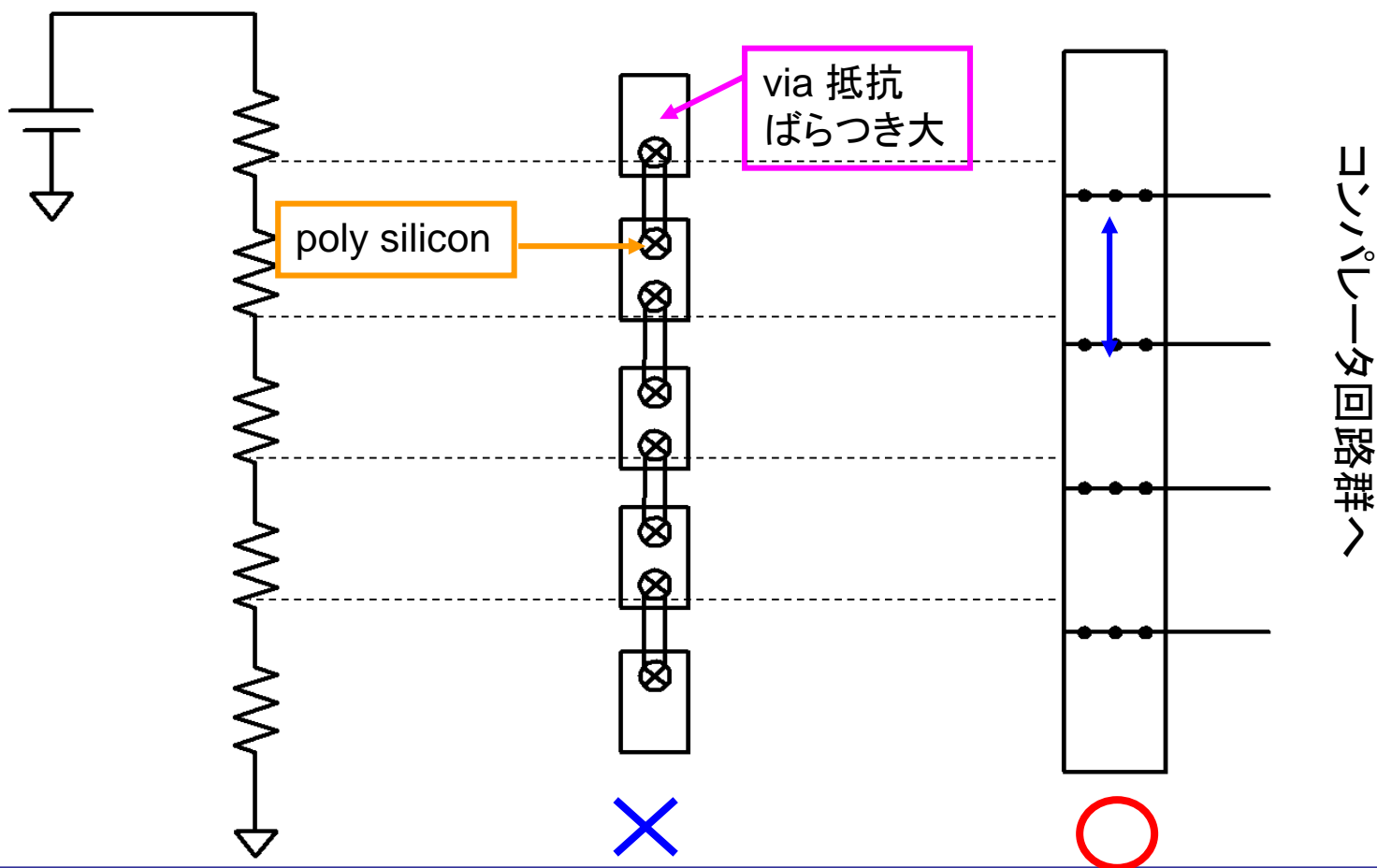
- 両端の抵抗と内部の抵抗とで、物理的な条件(プロセス条件)が異なる。
⇒ 正確な抵抗比マッチングをとることができない。
- 両端に実際には使わないダミー抵抗を付け加える。
⇒ ダミーに挟まれた抵抗のみ使用することで、マッチングは改善される。

抵抗マッチングの考慮の際のVia 抵抗の影響

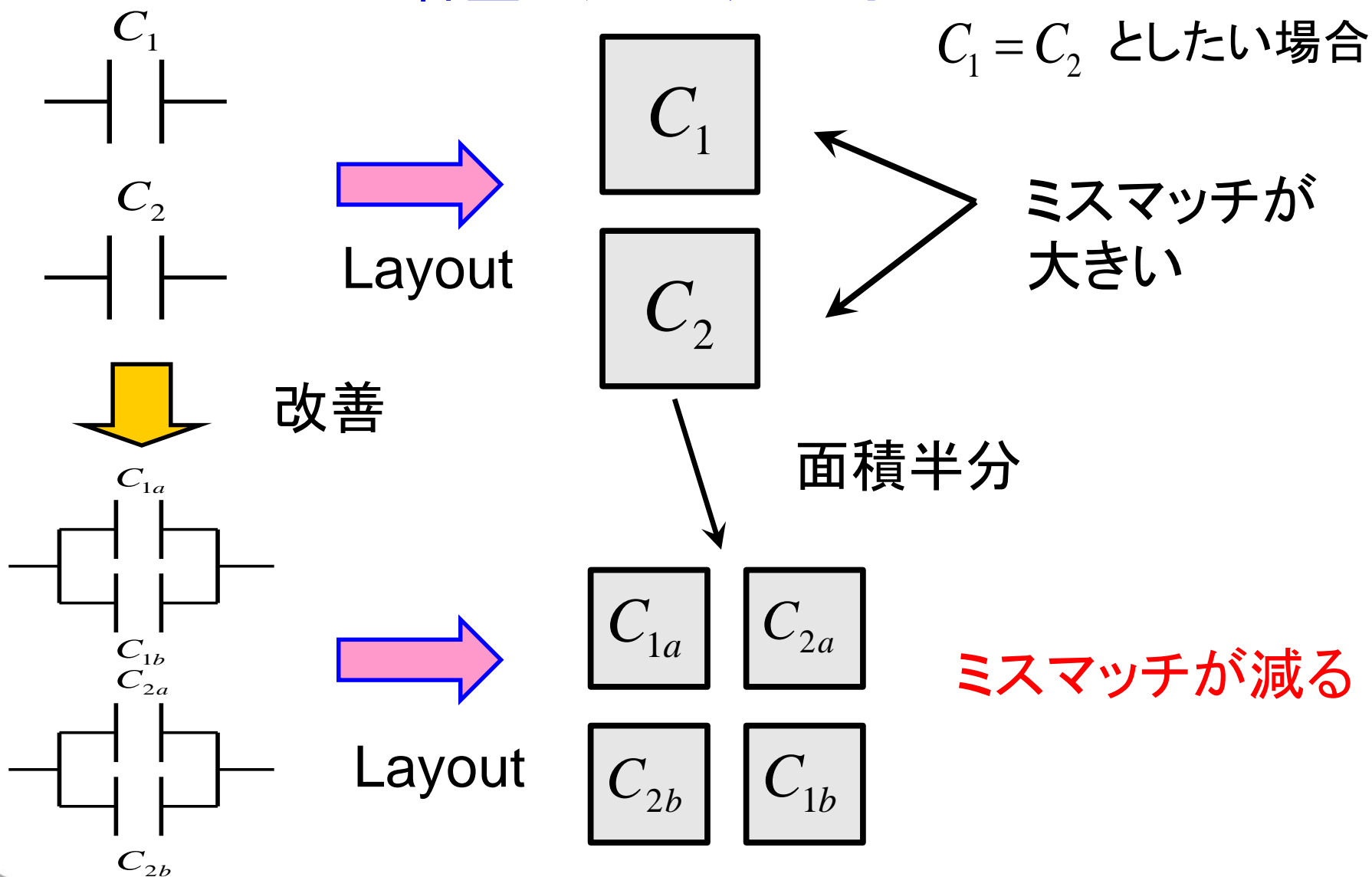
Via抵抗のばらつき大

- 複数個Viaを設けて平均化、低抵抗化
- Viaに電流が流れないレイアウト

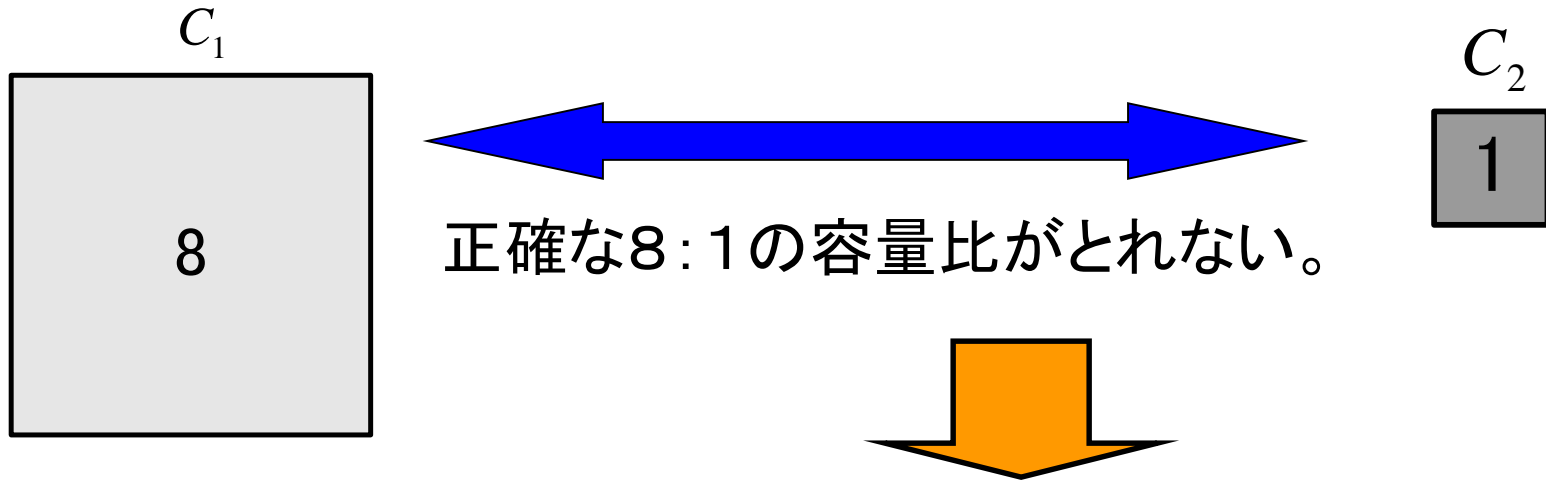
例：ADCの参照電圧発生用
抵抗ラダーのレイアウト



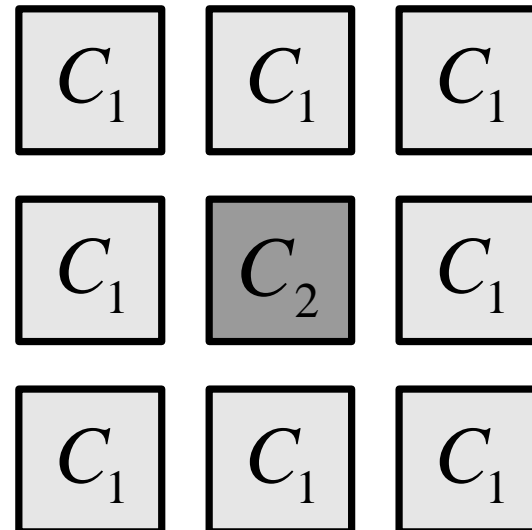
コモンセントロイド・レイアウト法による 容量マッチングの向上



容量のマッチングをとるためのレイアウト

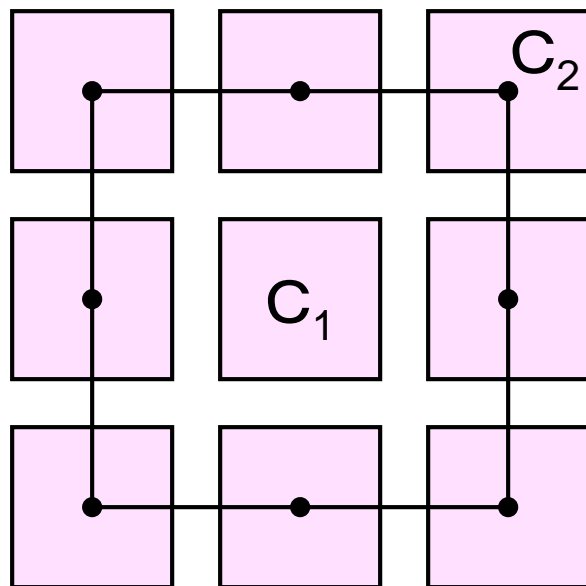


- 同じ容量を8個並列接続で“端”の影響（フリンジ容量）を除去
- 重心を同じくする
コモンキトロイド法で“傾斜”の影響を除去

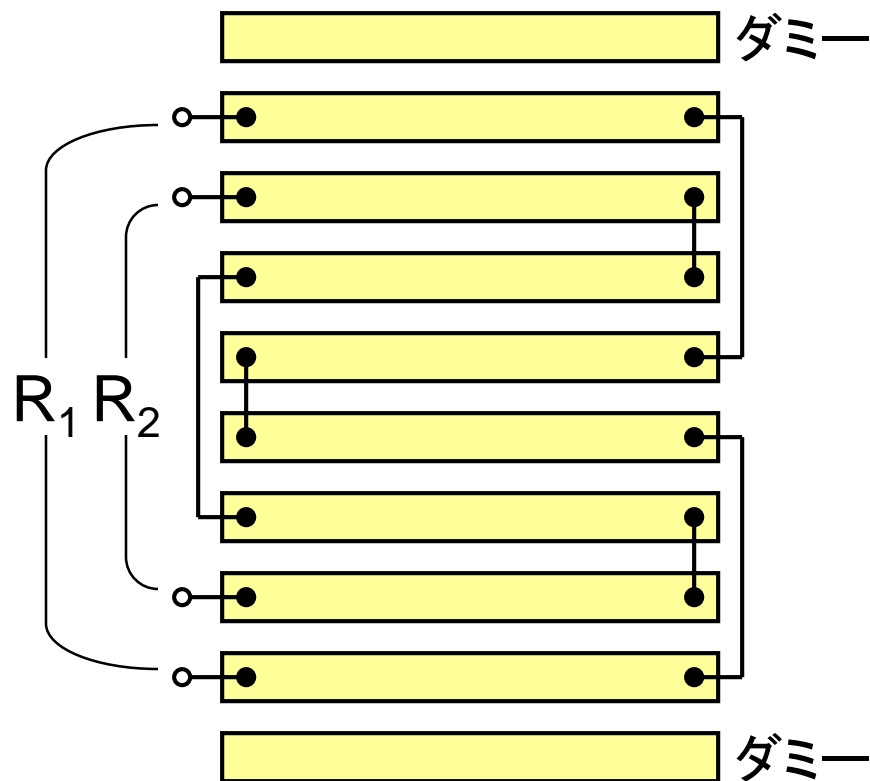


R, C のミスマッチ低減のための Common Centroid 配置

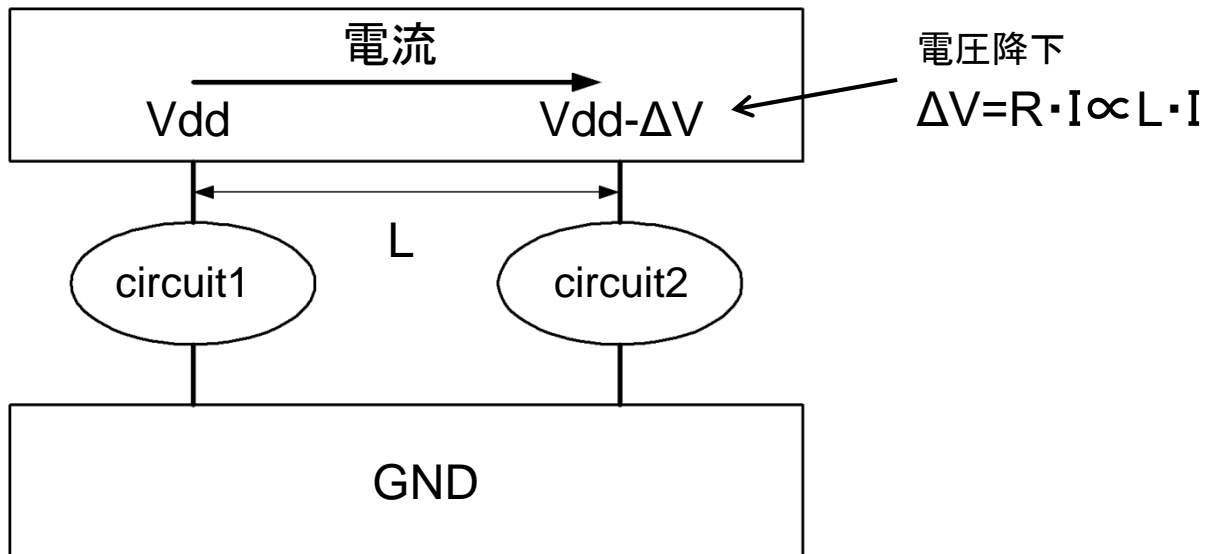
容量



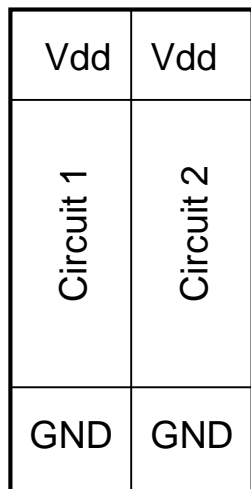
抵抗



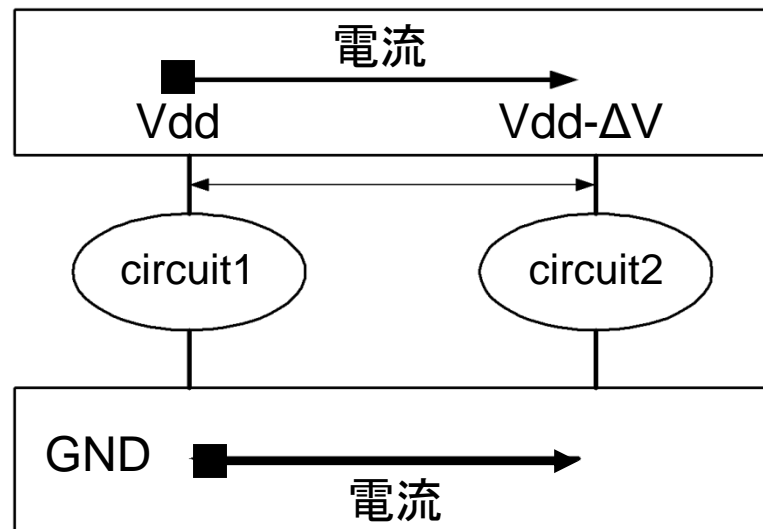
電源配線 レイアウト



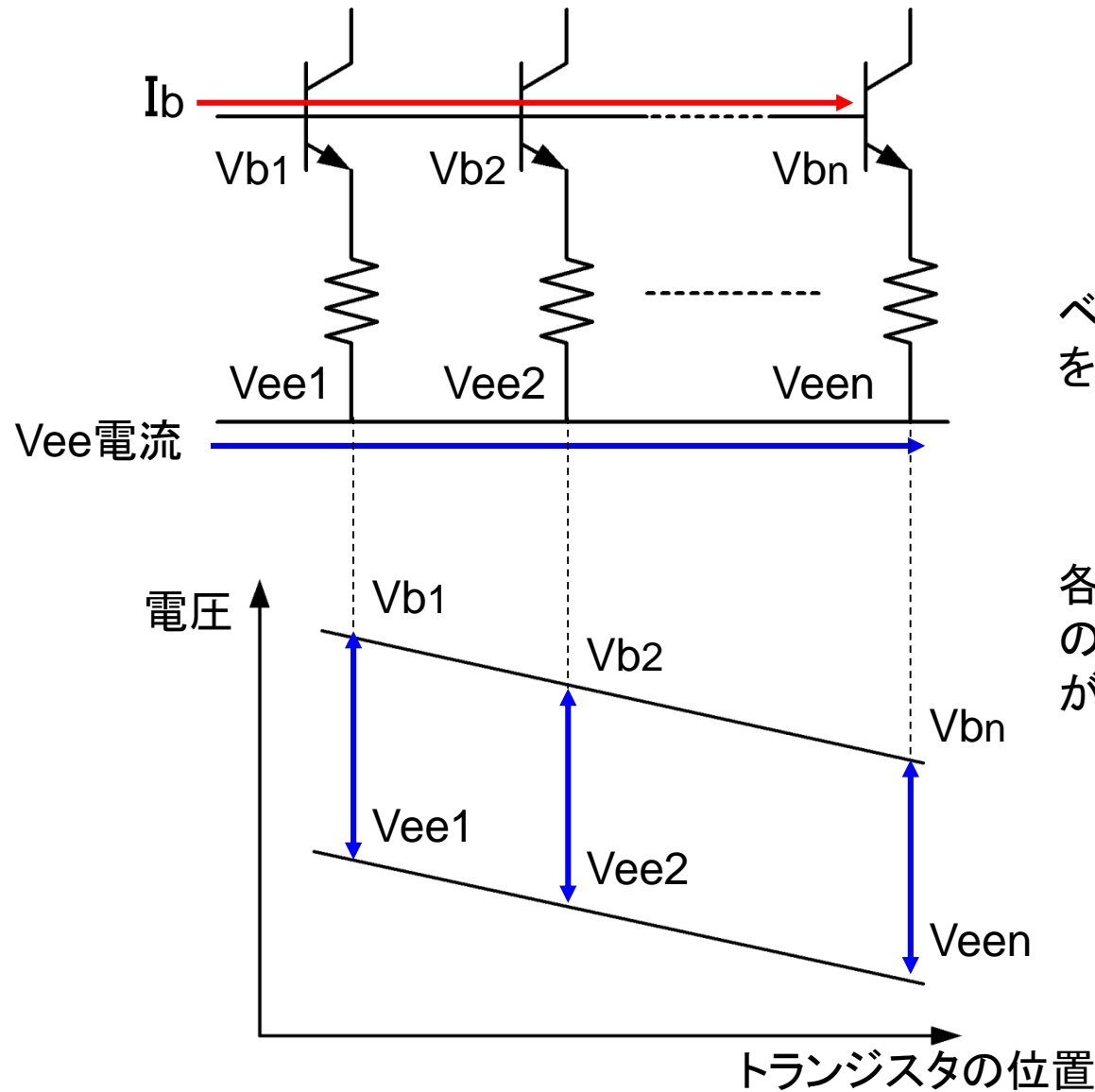
対処法1 Lが短くなるように、回路を縦長にレイアウト。



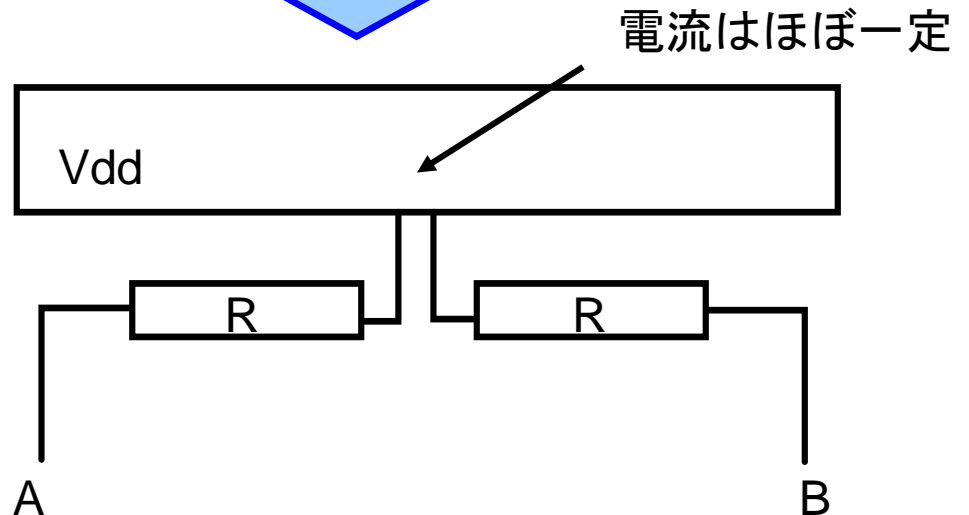
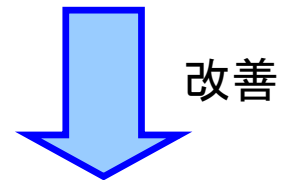
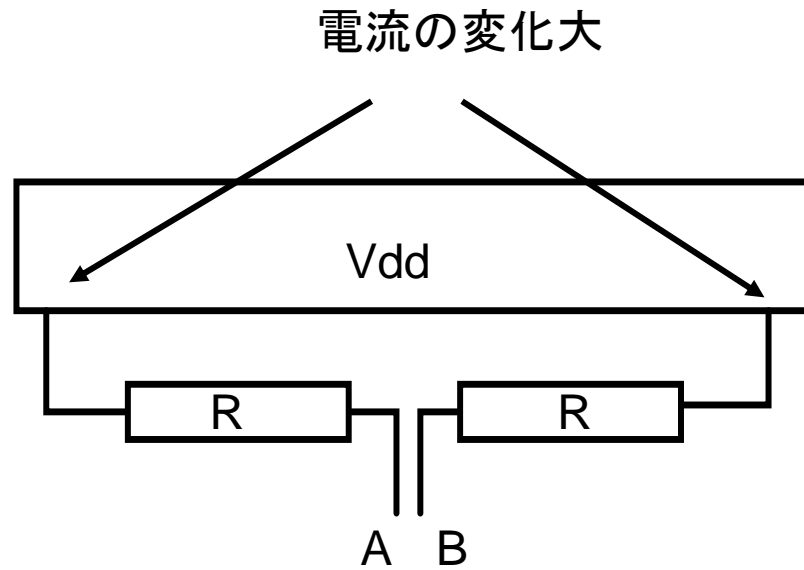
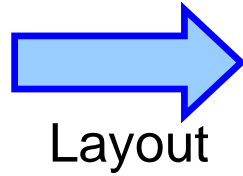
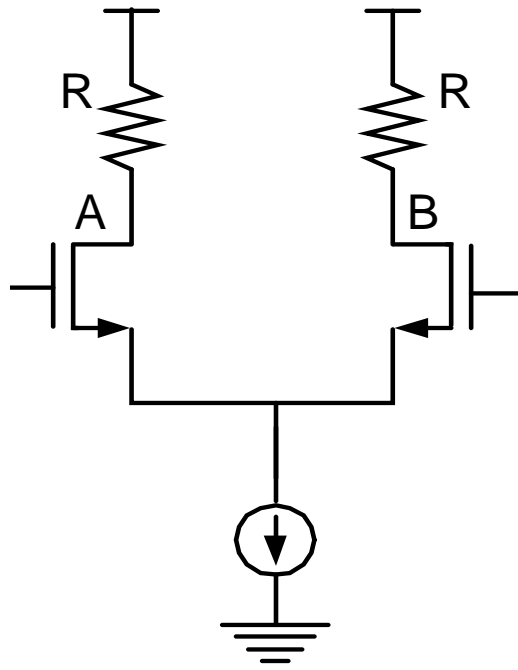
対処法2 VddとGNDに流れる電流が同じ向きにする。



バイポーラトランジスタのベース電流によるIRドロップ



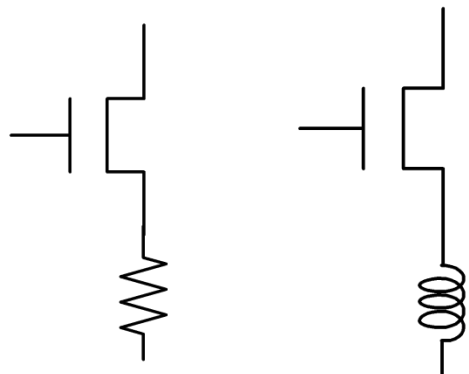
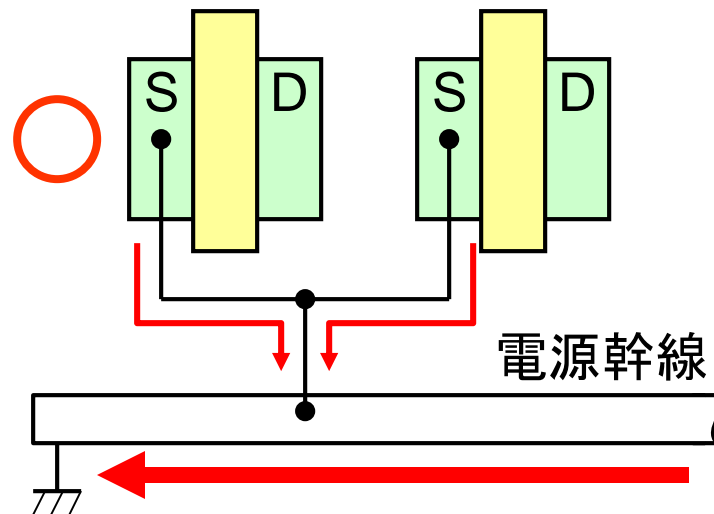
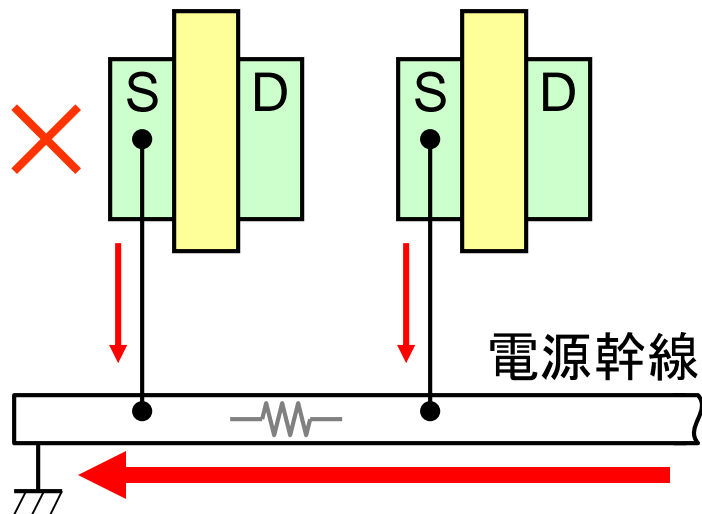
電源配線



IRドロップ、
寄生インダクタの影響
を考慮

ソース寄生抵抗に注意

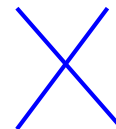
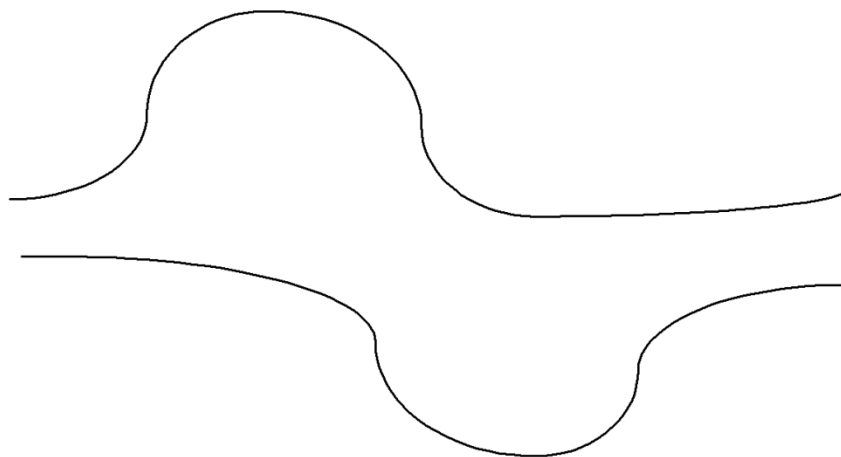
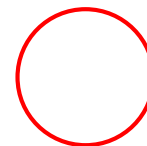
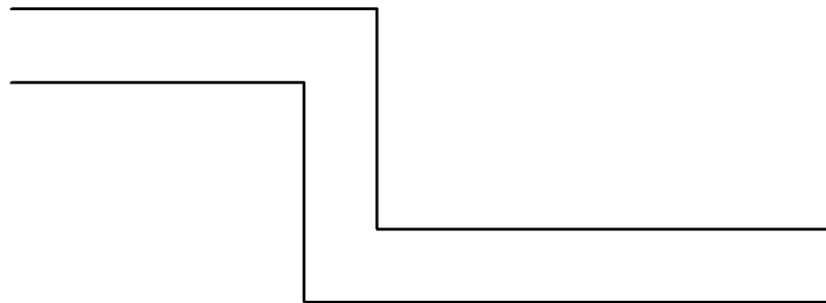
電流ミラー回路のレイアウト



寄生のソース抵抗、
 (パワー系、高周波系では)ソース・インダクタ
 に注意。この部分の配線は短くする。

差動信号配線レイアウト

並行



配線と寄生インダクタ

- 寄生インダクタは高周波系、パワー系回路で特に問題になる。

インダクタは電流変化により電圧を発生する。

$$V(t) = L \frac{d}{dt} I(t)$$

$$I(t) = I_0 \sin(\omega t) \text{ のとき} \quad V(t) = L \omega I_0 \cos(\omega t)$$



$V(t)$ は L , ω , I_0 に比例する。

ω 大: 高周波回路、 I_0 大: パワー回路

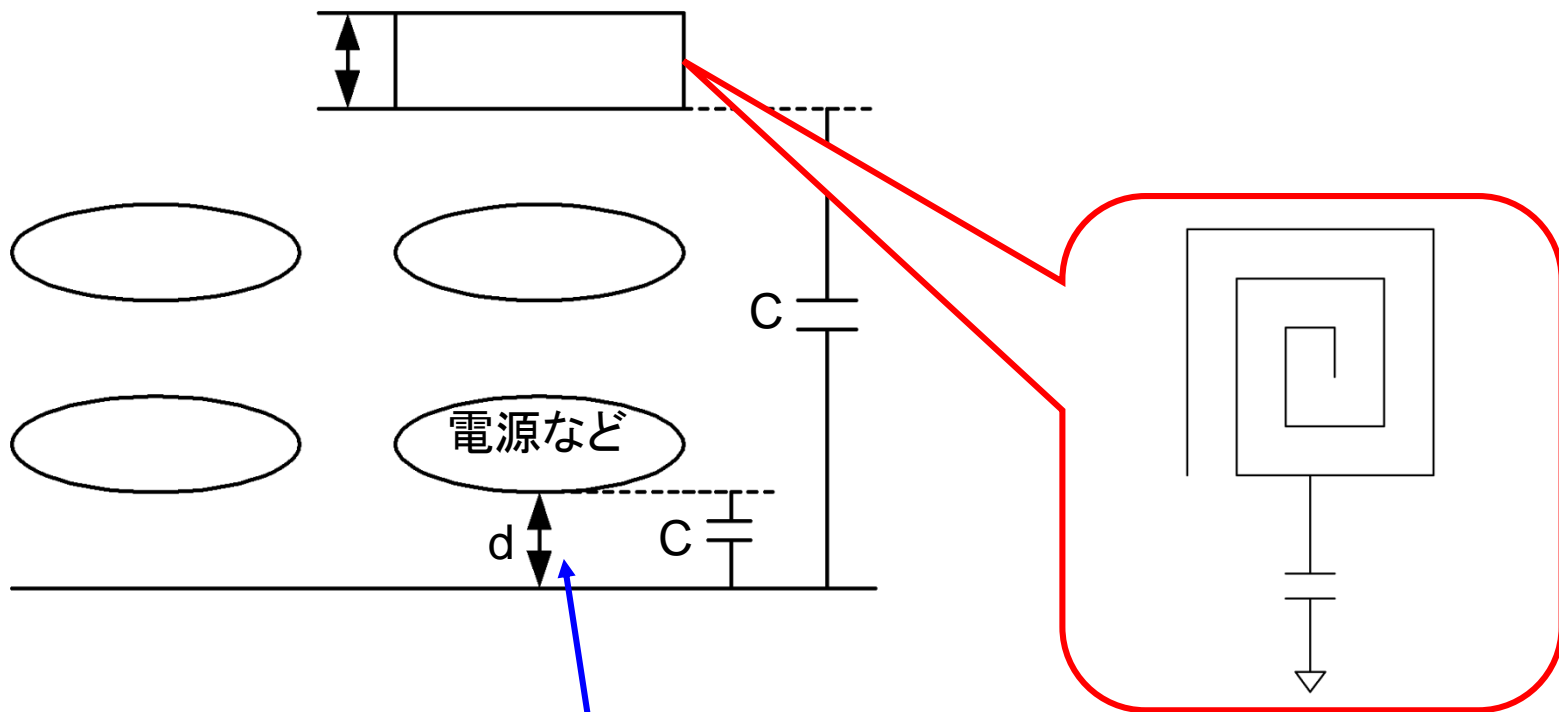
- 寄生インダクタ L を小さくするためには
配線長を短くする (L は配線長に比例)
配線幅を広くする (L は配線幅に反比例)
例: ボンディングワイアを2本使用すれば L は半分

多層配線

一番上層の配線は基板との寄生容量が小さい。



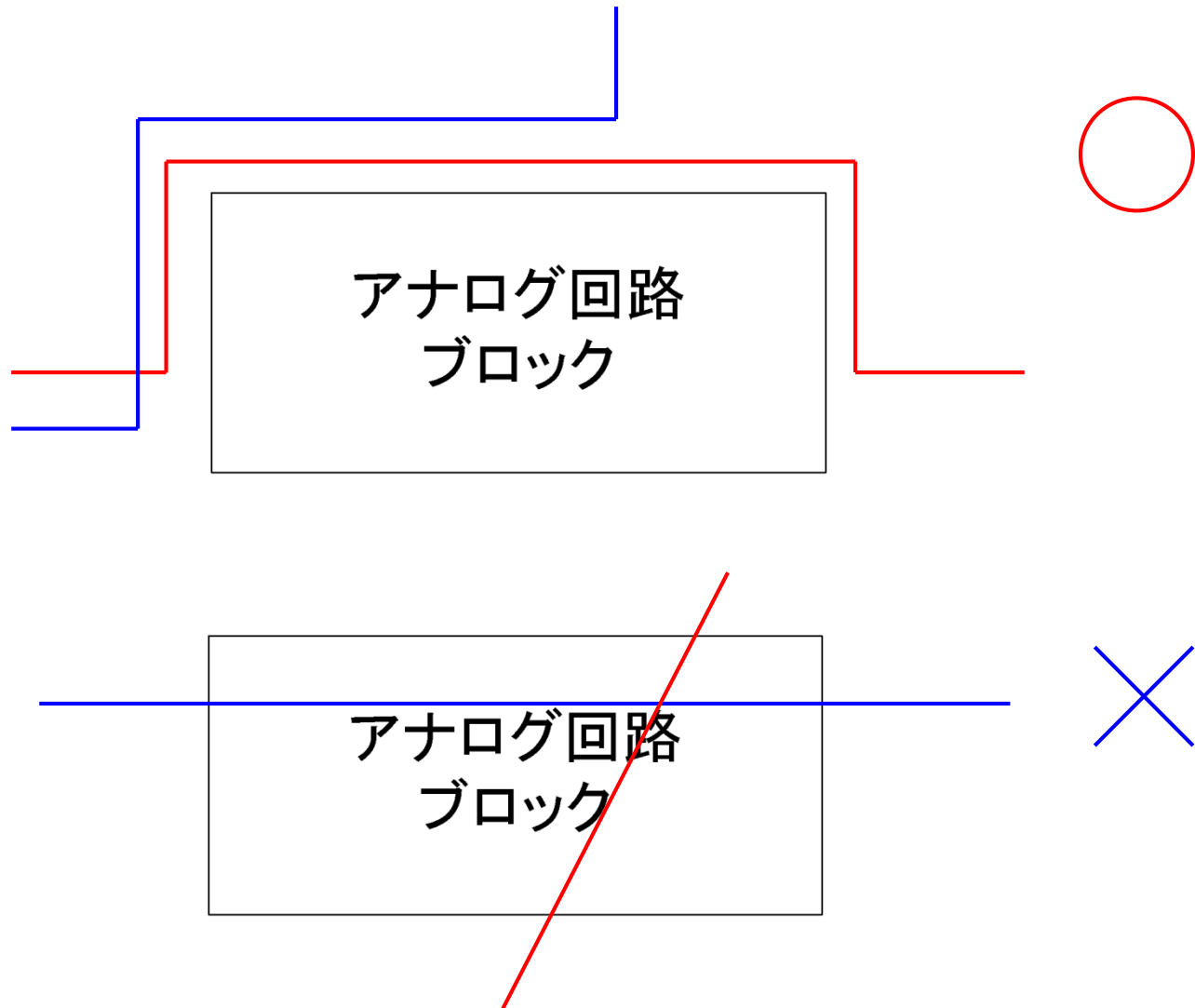
高周波信号の配線
オンチップ・インダクタ作成 に使用する。



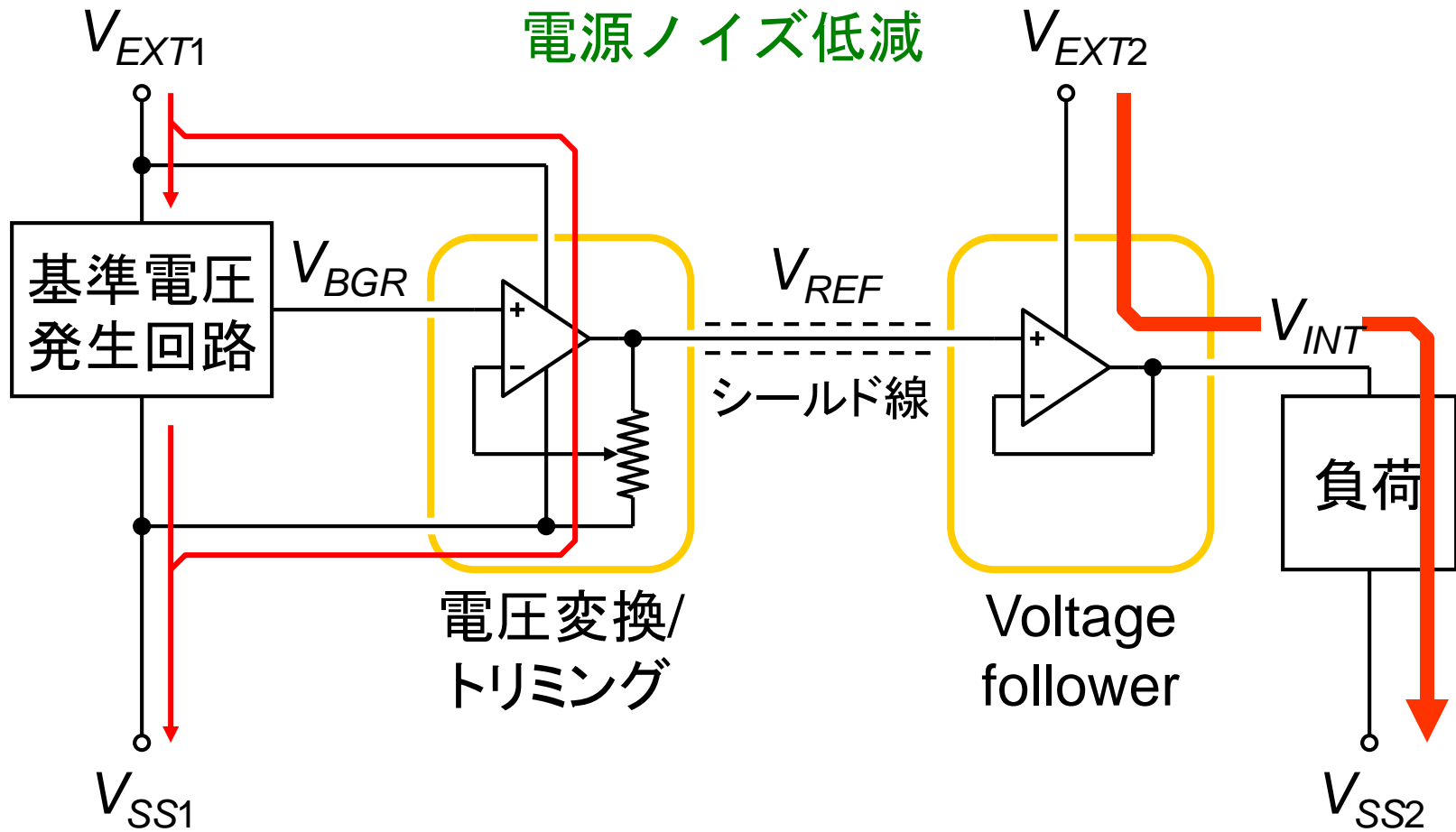
$$C = \epsilon \frac{S}{d}$$

基板との容量大 → 高周波信号配線に向かない

他の回路ブロック上にアナログ信号線をはわせてはいけない。
→ 容量、相互インダクタ結合による信号の干渉が生じる。

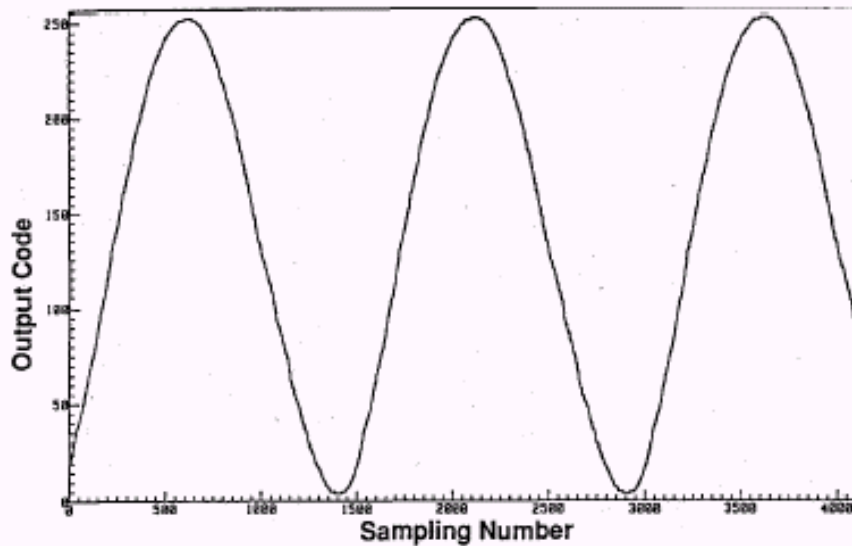


信号線をGND線でシールドしノイズ低減

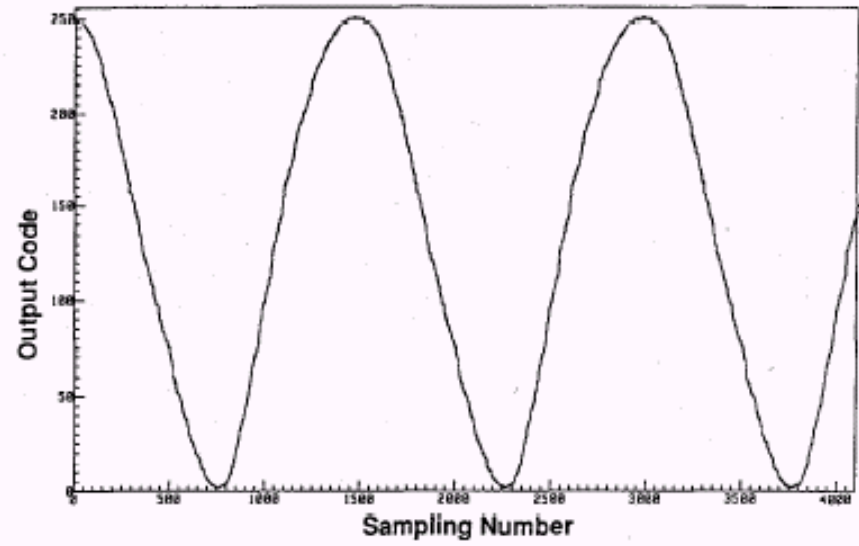


高速AD変換器では多くのコンパレータへのクロック分配の配線・レイアウトが重要

8ビット高速AD変換器の評価結果



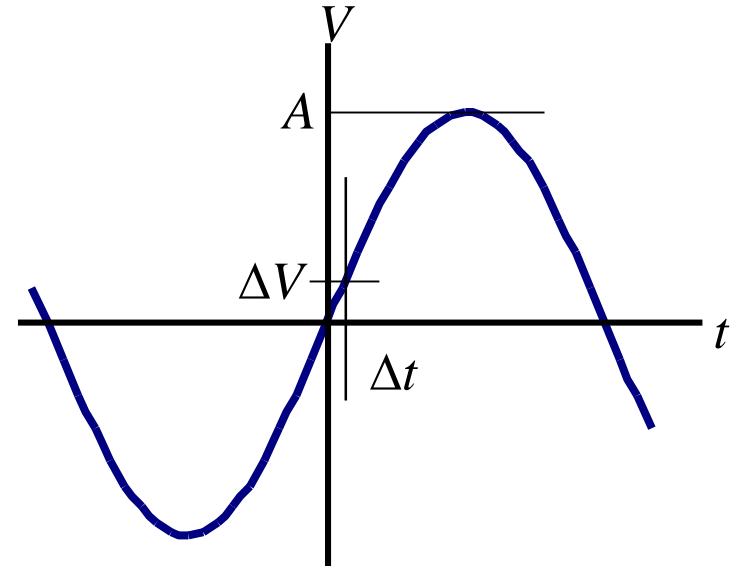
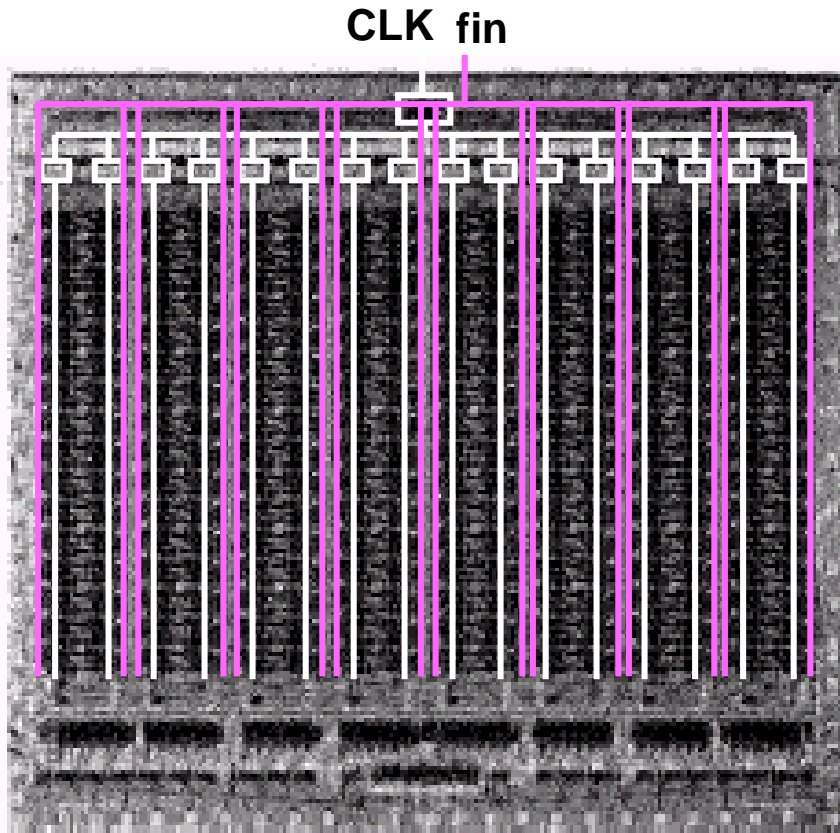
再生波形
(150.1MHz 入力、300Msps変換周波数)



再生波形
(200.1MHz 入力、300Msps変換周波数)

サンプリング周波数が高い。
歪みが大きい

8ビット高速AD変換器の歪の原因



$$V = \frac{A}{2} \sin 2\pi f_{in} t \quad \left. \frac{\Delta V}{\Delta t} \right|_{\max} = \pi \cdot A \cdot f_{in}$$

$$\Delta t = \frac{1}{2^N \pi \cdot f_{in}}$$

$$f_{in} = 300 \text{ MHz} \quad N = 8 \quad \text{とすれば} \quad \Delta t = \frac{1}{2.41 \times 10^{11}} = 4.15 \times 10^{-12}$$

サンプリング・クロックス・キューが原因

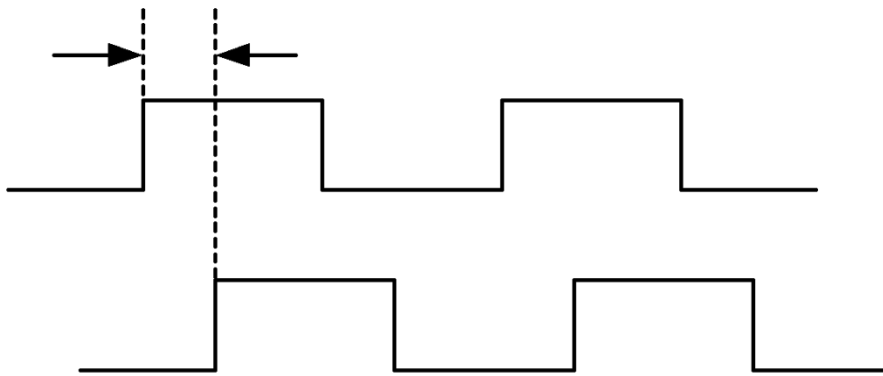
武蔵工業大学 堀田先生資料より

デジタルLSIのクロック分配

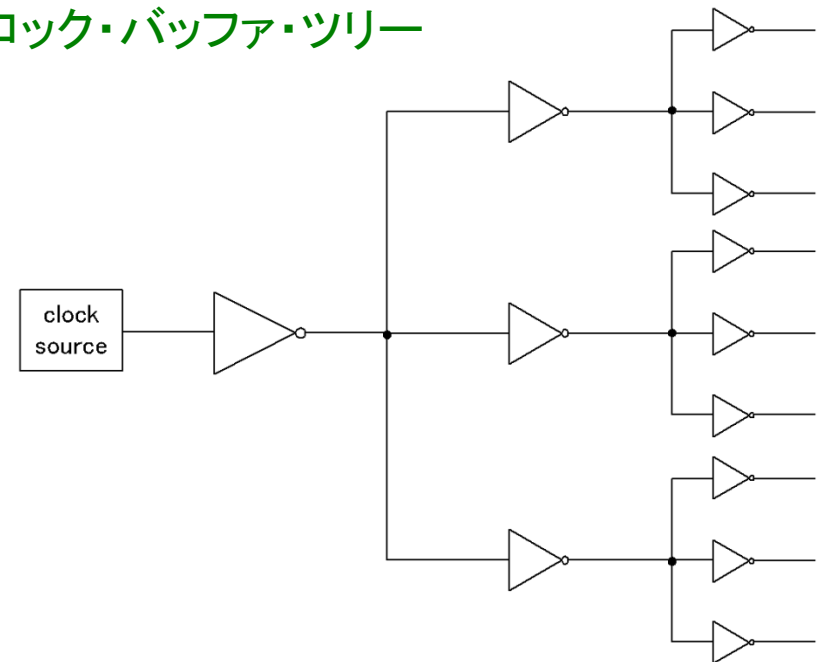
- クロックスキュー
- クロックジッタ
- クロック・バッファ・ツリー

同期式デジタルLSI上
多数Flip-Flopに
小スキューのクロックを
分配する必要。

クロックスキュー

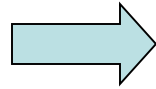


クロック・バッファ・ツリー

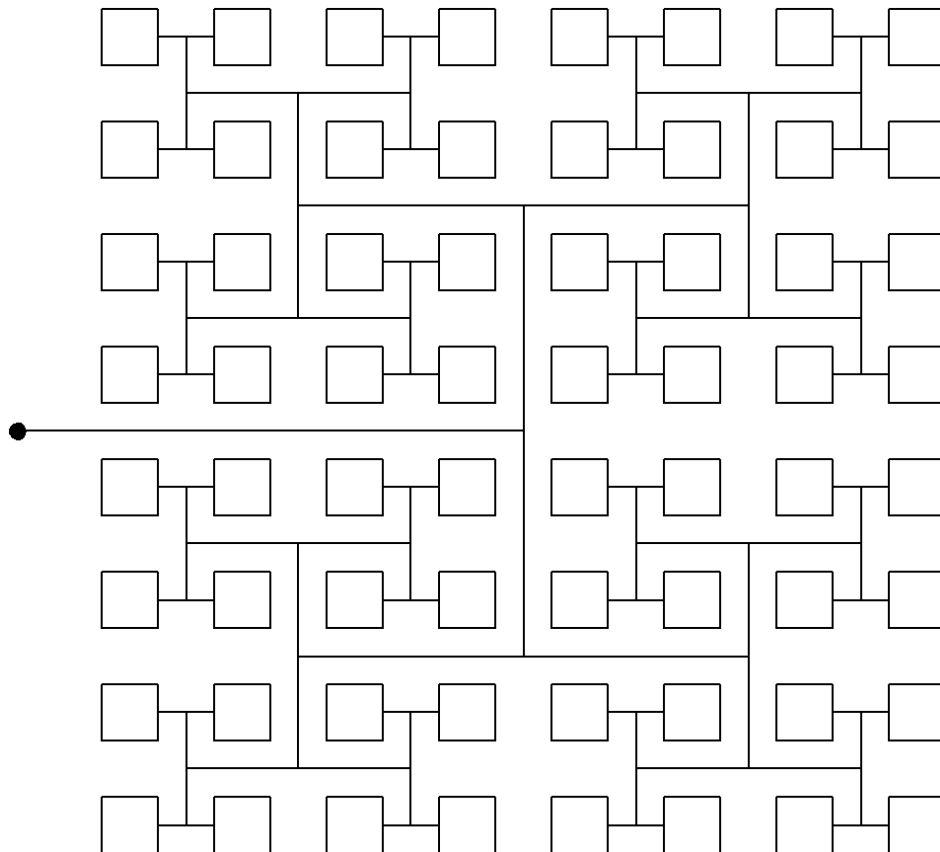


同期式デジタルLSI上でのクロック分配

各クロックバッファでは、配線長を同じに、負荷を同じにする。



チップの端から端までクロック・スキューを最小。

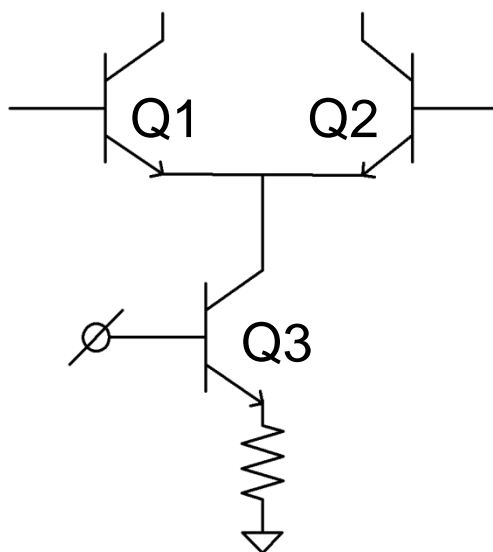


発熱の影響の考慮

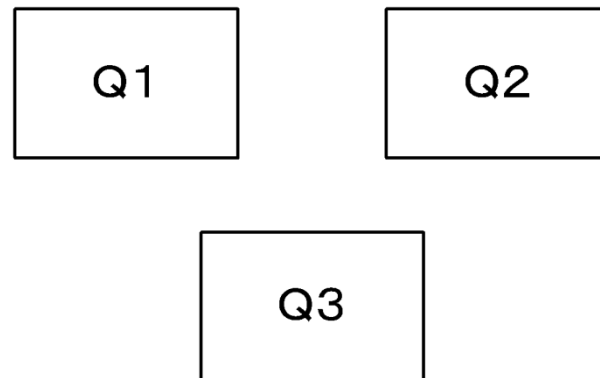
バイアス電流大のバイポーラトランジスタ等
パワー系デバイスや
センサ回路等高精度アナログ回路の
レイアウト設計には「熱の影響」を
考慮する必要あり。

発熱による温度上昇まで考慮した
回路シミュレータの市販のものはない。

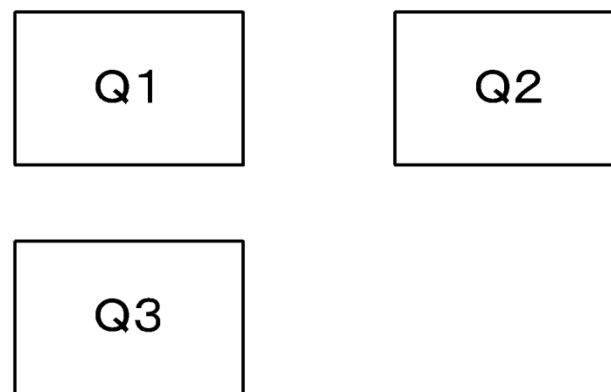
例：バイポーラ
差動アンプの
レイアウト



熱バランスを考慮したレイアウト



熱バランスを考慮しないレイアウト



その他のレイアウト技術とまとめ

- デジタル回路からのノイズ回り込み低減のためのガードリング等レイアウト
 - バイアスの分配
 - チップ全体(global)には電流で、局所回路(local)では電圧でバイアスを分配
 - 信頼性、歩留まり向上のためのレイアウト
 - Via は2個以上つける
 - 配線幅は電流1mAに対し1um以上 (ElectroMigrationの考慮)
 - 電源、GND等幅が広い配線にはスリットを設ける
- DFM (Design for Manufacturability、製造のし易さ)と関連したレイアウト技術も重要な話題
- **バックアノテーション**: レイアウト後に配線の寄生容量、寄生抵抗を抽出しこれらをSPICEファイルにいれて回路全体をシミュレーションし性能を確認する必要がある。
 - “見た目”がきれいなレイアウトは良いレイアウトであることが多い。

信頼性の高い高性能化アナログ集積回路の実現のためには、回路設計とともにレイアウト設計は重要である。

付録

アナログ集積回路での 美しい回路/レイアウトとは何か

「美は対称性にある」 (白石洋一先生)

アナログ回路のレイアウト

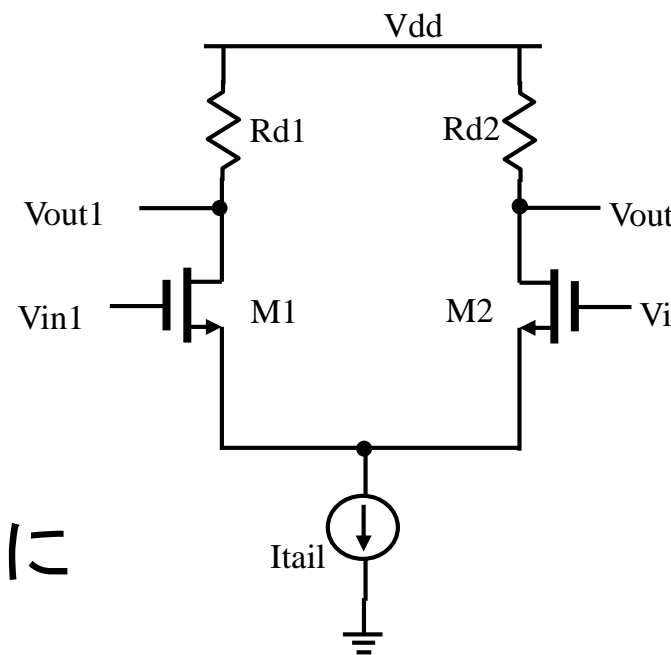
- 見た目が美しいのは 良いレイアウト

- 「美しいレイアウト」とは何か

その一つとして

アナログ回路は差動回路が多用

回路が対称 ⇒ レイアウトも対称に



差動回路
左右対称

レイアウト設計者が求める美しさ

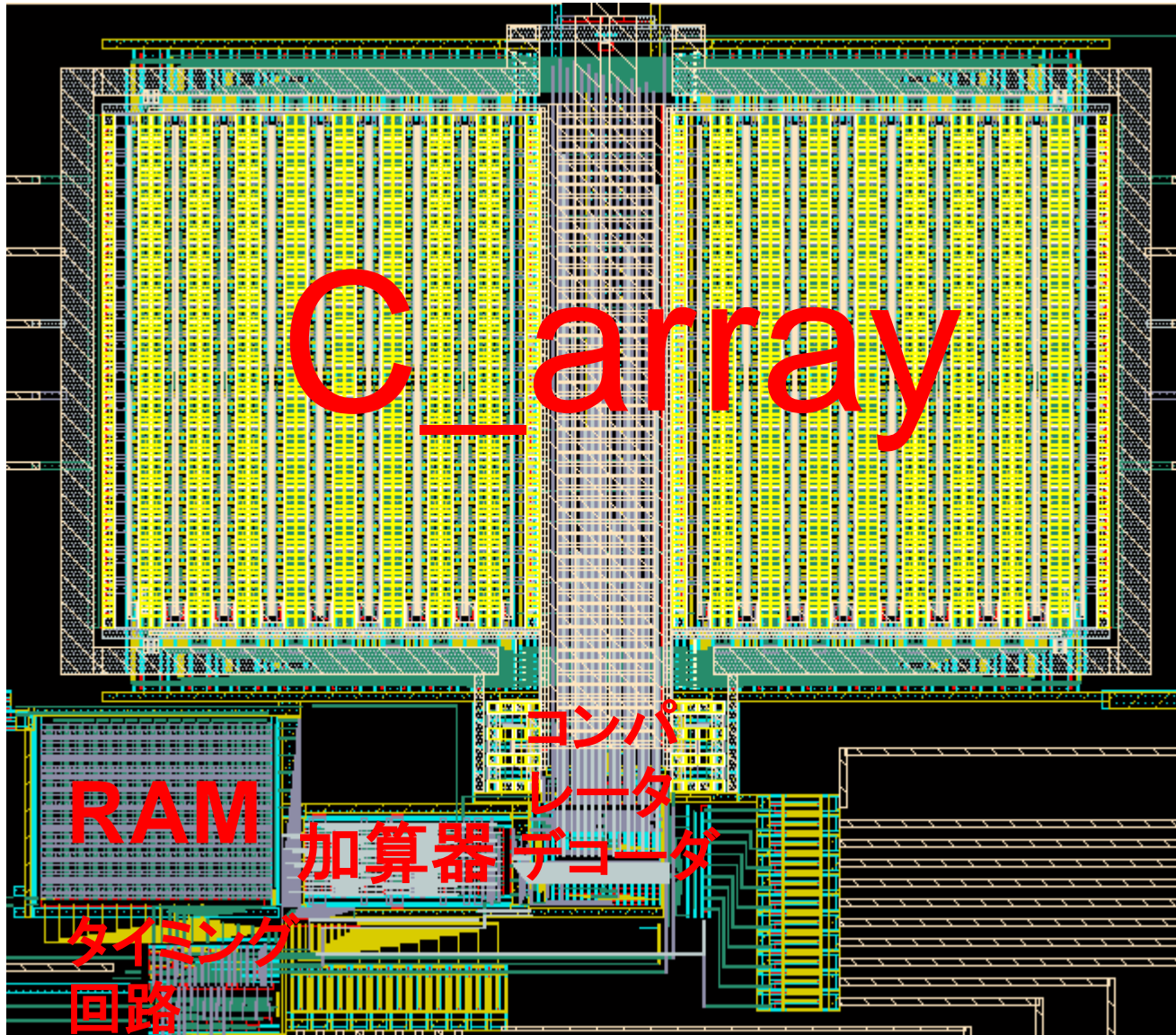
美は対称性にある



タージマハール

群馬大学 白石洋一先生 資料より

対称なレイアウト (逐次比較近似ADC)



タージマハール

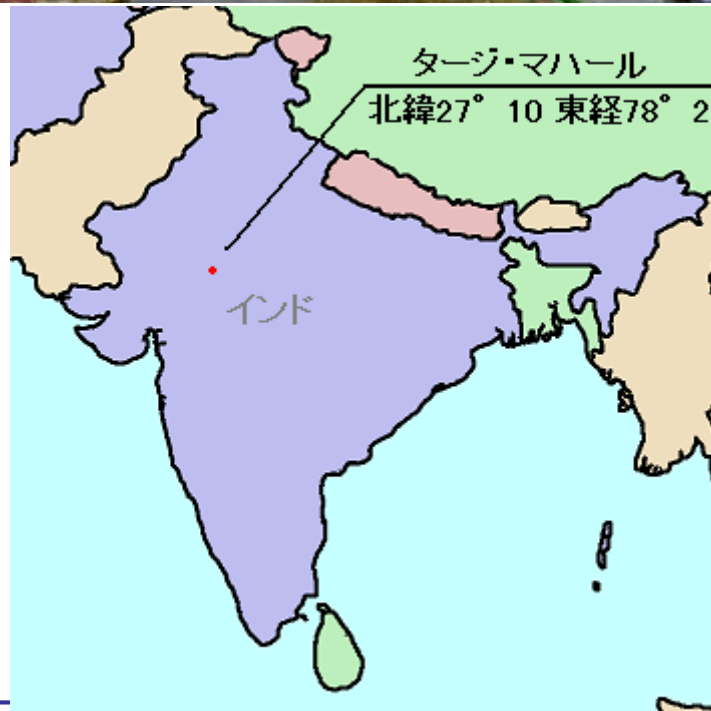


22年間かけて造営された いとしい妻への記念碑

正確無比なシンメトリーが美しいパレス風の建物。
ムガル帝国5代皇帝シャー・ジャハーンが、
亡くなった王妃のために1632年から22年の歳月をかけて造営。

愛の代償は幽閉。シャー皇帝の予想外の末路

皇帝は晩年タージマハールの向かいに黒大理石の宮殿を
建てようとした。
第3皇子によって近くのアグラ城の塔に幽閉されてしまう。
理由はタージマハール建築での莫大な浪費。
皇帝は塔の中から7年間タージマハールを眺め、
その生涯を閉じた。



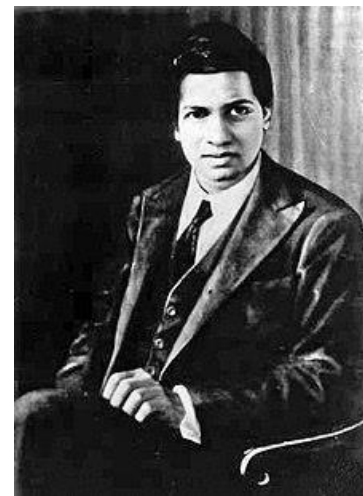
インドの数学者

シュリニヴァーサー・アイヤンガー・ラマヌジャン

Srinivasa Aiyangar Ramanujan

1887年- 1920年

数論を専門とするインドの数学者



UCLA Royce Hall

左右対称ではない



クイズ:
なぜ対称に
作らなかったのか

エネルギーハーベスト技術 (2018年3月時点の内容)

群馬大学大学院 理工学府 電子情報部門

小林春夫

koba@gunma-u.ac.jp

<https://kobaweb.ei.st.gunma-u.ac.jp/>

<https://kobaweb.ei.st.gunma-u.ac.jp/lecture/lecture.html>



Kobayashi
Laboratory



群馬大学
GUNMA UNIVERSITY

エネルギーハーベスト技術とは

エネルギーハーベスト技術 (Energy Harvesting Technology)
環境発電

環境から微小エネルギーを収穫(ハーベスト)して
電力に変換する技術

光・熱/温度差・振動・電波などの環境中エネルギーを活用
電力に変換する技術

充電・交換・燃料補給なしで長期間エネルギー供給可能な電源

工学的に永久機関を実現すると解釈可

環境から微小エネルギーを収穫（ハーベスト） エネルギーハーベスト

さまざまなエネルギー源から得られる電力

エネルギー源	特長	発電能力
光	屋外	100 mW/cm ²
	屋内	100 μW/cm ²
熱	人体	60 μW/cm ²
	インダストリアル	~1-10 mW/cm ²
振動	~Hz-人体	~4 μW/cm ³
	~kHz-機械	~800 μW/cm ³
RF	GSM 900 MHz	0.1 μW/cm ²
	WIFI	0.001 μW/cm ²



① 光エネルギー(光発電)

太陽光, 室内電灯(白熱灯, 蛍光灯, LED)からエネルギーを取り出し電力に変換.

太陽電池は, 電力を蓄える装置ではなく, 太陽の光エネルギーを電力に変換する「発電機」.

太陽からの「光エネルギー」が「太陽電池」に当たると, 「光電効果」現象が起こり. 光が照射され太陽電池を構成している半導体の電子が動き, 電気が生成

② 熱エネルギー(熱電発電)

地中の熱, 体温等から熱電素子等を用いて
エネルギーを取り出し電力に変換する.

熱電発電: 熱エネルギーを使用する発電技術

モーター, エンジン, 機械の発する熱エネルギー,
ビルや工場の配管等から発する熱エネルギーを採取し,
電力を得る

ゼーベック効果による熱電変換素子, アルカリ金属熱電装置,
熱電子発電装置, PETE素子などの熱電素子をもちいて
熱エネルギーを電力エネルギーに変換

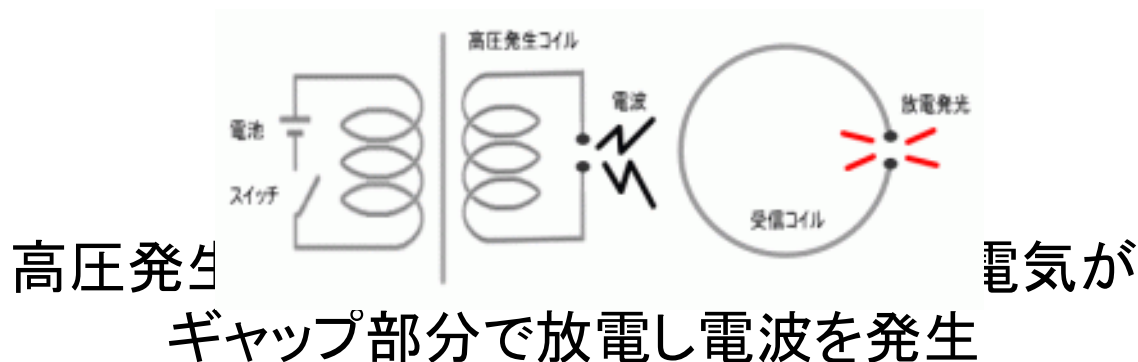
③ 振動エネルギー(振動発電)

電磁誘導, 圧電, 静電誘導,
日常生活・交通機関の振動/圧力, 歩行振動により
振動面に発生する圧力を圧電素子を用いて
電力変換

④ 電磁波エネルギー(電磁波発電)

テレビ, ラジオ, 携帯電話等の電波エネルギーを採取し, 電力を得る.

電波の存在を証明したヘルツの実験



得られた電力エネルギーをバッテリーに蓄えたり, 照明に利用できる.

磁場発電: 電力線の漏れ磁束を使用して発電

エネルギーハーベスト技術の利点・課題

利点:

- ① 電池の交換が不要なので環境に優しい。
1次電池の交換, 配線, メンテナンスが不要になる
- ② 一度設置すれば(故障しない限りは)
半永久的に使用できる。

問題点・課題:

- ① 発電効率, 発電量が低いので用途が限られる。
- ② 安定的に電力を供給できるシステムを
実現するのが難しい。

エネルギーハーベスト・システムの動作の流れ

① 創エネ:

エネルギー源を検出して電力を発生させる。

② 蓄エネ:

収穫した電力を電源回路で変換して
コンデンサや2次電池に蓄える。

③ 省エネ: たまった電力を使って

制御マイコンやセンサを起動する。

④ 給電: 処理した情報を無線送受信によって

外部に伝達する。

エネルギーハーベスト技術は何に使えるのか

- 環境発電で得られる電力
 $\mu\text{W} \sim \text{mW}$ オーダー
- パソコン/携帯電話を動かすことは困難
- 小型の電子部品/電子機器は動作可.

ソーラー電卓やソーラー腕時計

エネルギー源と応用

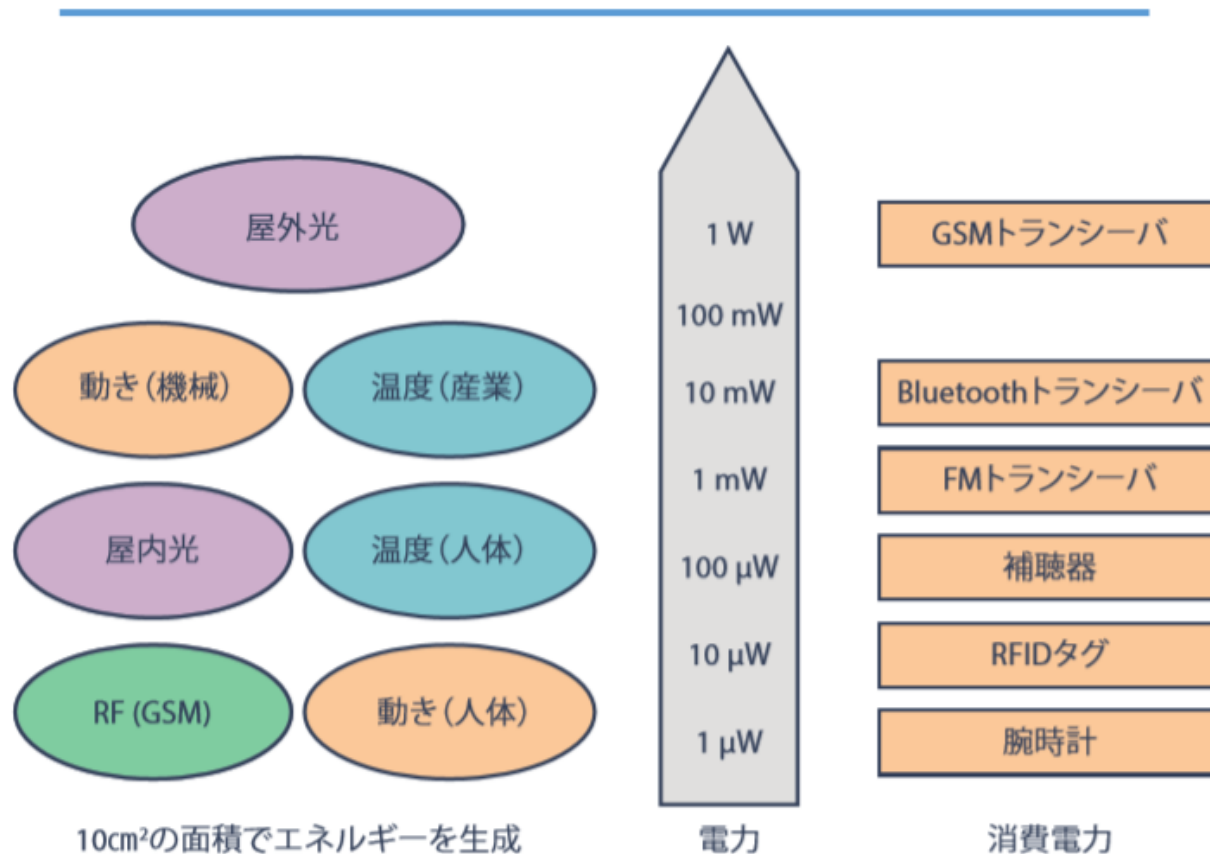


図2. エネルギー源の種類、
各種アプリケーションの消費電力

実用化されているものの例

照明を点灯／消灯させるリモコンスイッチ

照明のリモコンスイッチには
照明器具へ点灯や消灯の信号を伝えるために
電力が必要

通常の照明スイッチでは電池等で電力を供給
環境発電を利用すると、
人がスイッチを押す圧力を電力変換し利用可

エネルギーハーベストの用途として期待 **センサ**

センサへの環境発電の適用： 実証段階のものがほとんど

事例としては道路や橋のヘルスマモニタリング

人手点検やコスト減のため

多数のセンサを道路や橋に設置

その歪みや傾き, 温度等をセンシングし劣化状況を判断

このセンサの電源に, 道路や橋の振動を電力に変換する
エネルギーハーベスト技術が適用

その他のエネルギーハーベスト使用センサ

- 自動車のタイヤの空気圧モニタリング
- 農業分野での気象や土壌のモニタリング
- ヘルスケア分野での生体データのモニタリング

自動車のタイヤの空気圧モニタリングシステム

タイヤの空気圧が一定値を下回るとアラームを出す

センサはタイヤに装着する必要があるため、
ケーブルを使って電力を供給することはできない。

電源としてタイヤの振動を利用

ヘルスケア分野での生体データのモニタリング

腕時計型血圧計のような
ウェアラブルタイプのヘルスケア機器の電源



外気と体温の温度差を利用する試み

電池使用システムとの比較

多数のセンサの電源に電池を使用

- 電池交換に多大な手間とコスト
- 交換廃棄する電池の数も多大

- 道路、橋で使用するセンサ
- その設置場所で交換に危険を伴う
- 微弱電力でも駆動が可能
- 配線を引くのが困難
- センサの数が多い
- 人が近づきにくい場所で使用

➡ エネルギーハーベスト技術の適用が有効

センサネットワークへの応用

エネルギーハーベスト技術で得られたエネルギーを
センサネットワークの電源への使用

センサネットワークを構築する際に配線が問題



信号線と電源線を不要にし、ケーブルなしが理想



エネルギーハーベスト技術との融合により、
配線/電池交換から解放され、
センサネットワークシステムの完成形へ

エネルギーハーベスティング・ワイヤレスセンサ

構成要素

- エネルギーハーベスティングデバイス
- 蓄電デバイス
- センサデバイス
- 無線モジュール
- 電源制御回路
- 制御ソフトウェア

エネルギーハーベスティング・ワイヤレスセンサの実現



消費電力が非常に小さな無線モジュールが必須

EnOcean 社

独シーメンス社から2001年にスピンオフ(本社:ドイツーミュンヘン)
最も活発で「エネルギーハーベスト産業分野で独り勝ち」との評
エネルギーハーベスティングデバイス/モジュールの開発, 製造, 販売を業務

エネルギーハーベストによる無線通信「EnOcean通信」を確立
ISO/IEC 14543-3-10 国際標準規格の通信

EnOceanのエネルギーハーベスティング無線センサ技術を
ビルの省エネ化, セキュリティ, 快適性向上のソリューション推進のために
EnOceanアライアンスを設立

世界の関連企業が集まり, 2008年に設立. アライアンスの目的
EnOcean無線通信技術の国際標準化の推進
OEMメーカー間の製品互換性確保

エネルギーハーベスト コンソーシアム

優れた要素技術を有している日本企業の力を結集

エネルギーハーベスティング技術で
欧米に遅れている研究開発・実証、蓄電技術や無線技術等と
統合した完成度の高い製品の商品化・実用化に向けた活動を推進

The screenshot shows the homepage of the Energy Harvesting Consortium. At the top left is the logo, which consists of a green globe icon and the text "Energy Harvesting Consortium". To the right of the logo are three links: "ENGLISH" with a language icon, "サイトマップ" (Site Map) with a map icon, and "お問い合わせ" (Contact Us) with an envelope icon. Below these links is a search bar with the text "Google カスタム検索" and a green "検索" (Search) button. A horizontal navigation menu below the search bar contains six items: "エネルギーハーベスティングとは" (What is Energy Harvesting?), "技術事例" (Technical Cases), "EHCについて" (About EHC), "活動概要" (Activity Overview), "会員企業一覧" (Member Companies List), and "入会のご案内" (Joining Guide). The main content area features a large banner image with a city skyline at night on the left and a person walking on a path on the right. Overlaid on the banner is the text "Energy Harvesting Consortium" in a large green font, and below it, in a smaller green font, the slogan "身の回りの小さなエネルギーを、未来の大きな可能性に。" (From the small energy around us, to the big possibilities of the future.).

様々な企業が取り組んでいる。

米国 NASAからスピンオフしたPulse Switch 社
フランスSchneider Electric社、ミツミ電機、村田製作所、アルプス電気
富士通研究所、パナソニック、レクテナ、ローム、産総研。。。

● エネルギーハーベストチップセットメーカー(半導体メーカー)

アナログデバイセズ社

リニアテクノロジー社(現 アナログデバイセズ社)

テキサスインスツルメンツ社

米国メーカーが主体であるが、「売り上げを確保するのはこれから」の状況

日本の電源関係メーカーの製品開発技術者・経営者と話をすると、

エネルギーハーベスト電源関係技術の仕事は全く来ていない、

この言葉すら知らない

この技術は何かを紹介して欲しい

という話が多い(実用化とはかなり差がある)。

エネルギーハーベスト技術の国際学会

現時点での環境発電分野の最大の専門国際会議

International Conference on Micro and Nanotechnology
for Power Generation and Energy Conversion Application
(PowerMEMS国際会議)

日本では組み込み展が

エネルギーハーベスティング技術関係技術・製品の大きな展示会

ISSCC論文をもとに エネルギーハーベスト電源回路の調査

ISSCCではエネルギーハーベスト電源回路と(比較的小規模電力の)

ワイヤレス電力伝送が一緒のセッション多し。両者は関連深い技術

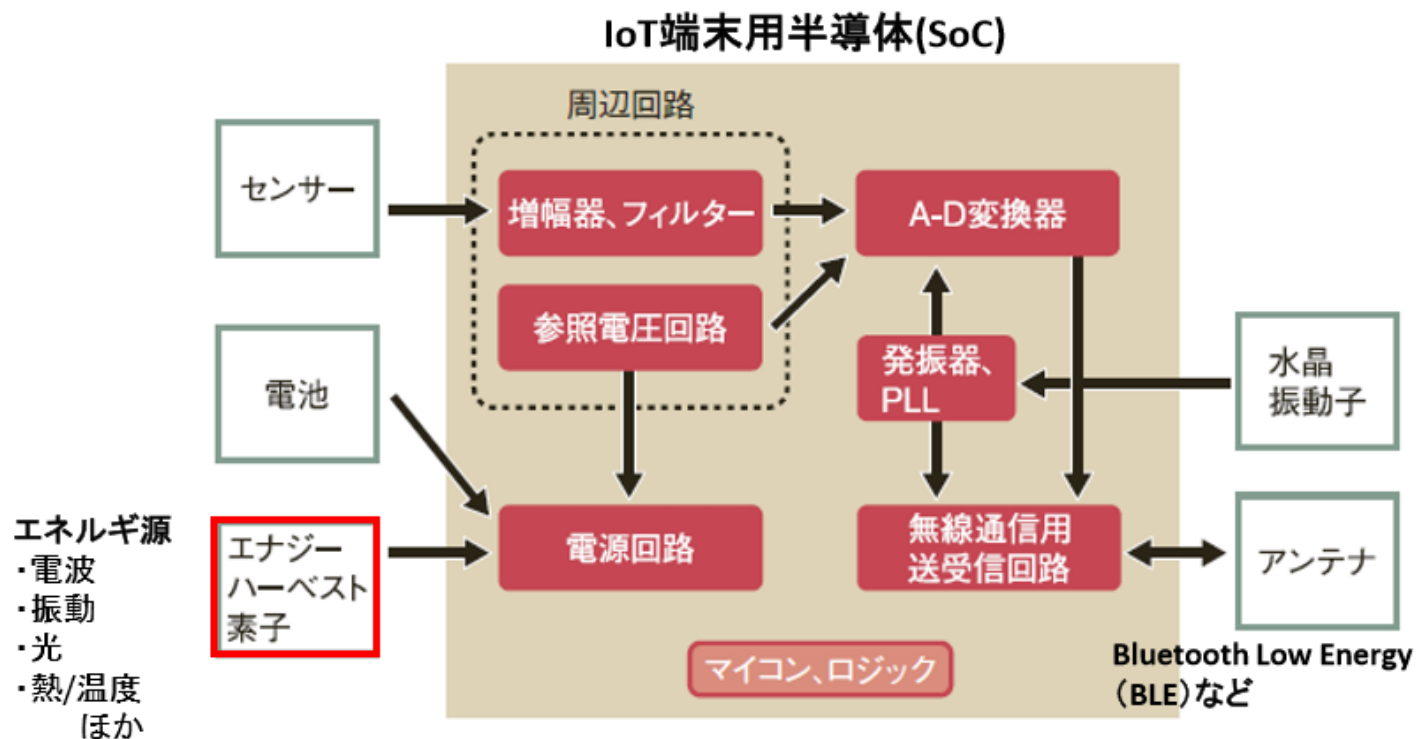
IoT とエネルギーハーベスト(群馬大学 中谷隆之先生資料)

端末用
半導体

IoT端末用半導体

IoT端末用半導体SoC

- ・SoC(アナログ回路+マイコン+通信機能搭載)は、低消費電力/低価格が重要
- ・電源は電池かエネルギーハーベスト。電池駆動では1年以上の稼働が求められる
エネルギーハーベスト(環境発電)では、振動、熱、光、電波などがエネルギー源



IoT とエネルギーハーベスト(中谷先生資料)

電源
EH

IoT 端末用電源: エネルギーハーベスト

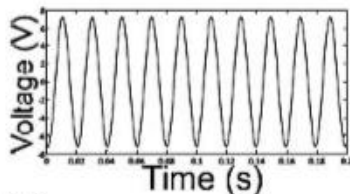
エネルギーハーベストの発電能力

エネルギー源	特長	発電能力
光	屋外	100 mW/cm ²
	屋内	100 μW/cm ²
熱	人体	60 μW/cm ²
	インダストリアル	~1-10 mW/cm ²
振動	~Hz-人体	~4 μW/cm ²
	~kHz-機械	~800 μW/cm ²
RF	GSM 900 MHz	0.1 μW/cm ²
	WIFI	0.001 μW/cm ²

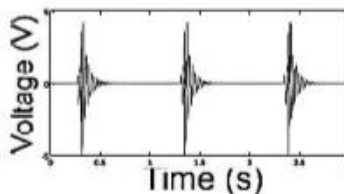
エネルギーハーベスト源により得られる発電電圧や波形は、DC、AC、離散AC(パルス)と様々。
各エネルギーハーベストにあったパワーマネジメント(電源制御)が必要

<http://ednjournal.com/edn/articles/1312/02/news007.html>

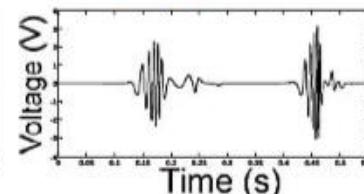
Periodic
(machine vibrations)



Shock
(heel strike)



Non-resonant
(leg swing motion)



キネティックエネルギーハーベスト

- ・振動: 1Hz~500Hz(機械振動)
- ・動き: <2Hz(ウォーキング)
- ・ショック: 1g~10g(ウォーキング)
- ・水流: 1ℓ/分~50ℓ/分

発電波形



IoT とエネルギーハーベスト(中谷先生資料)

電源
EH

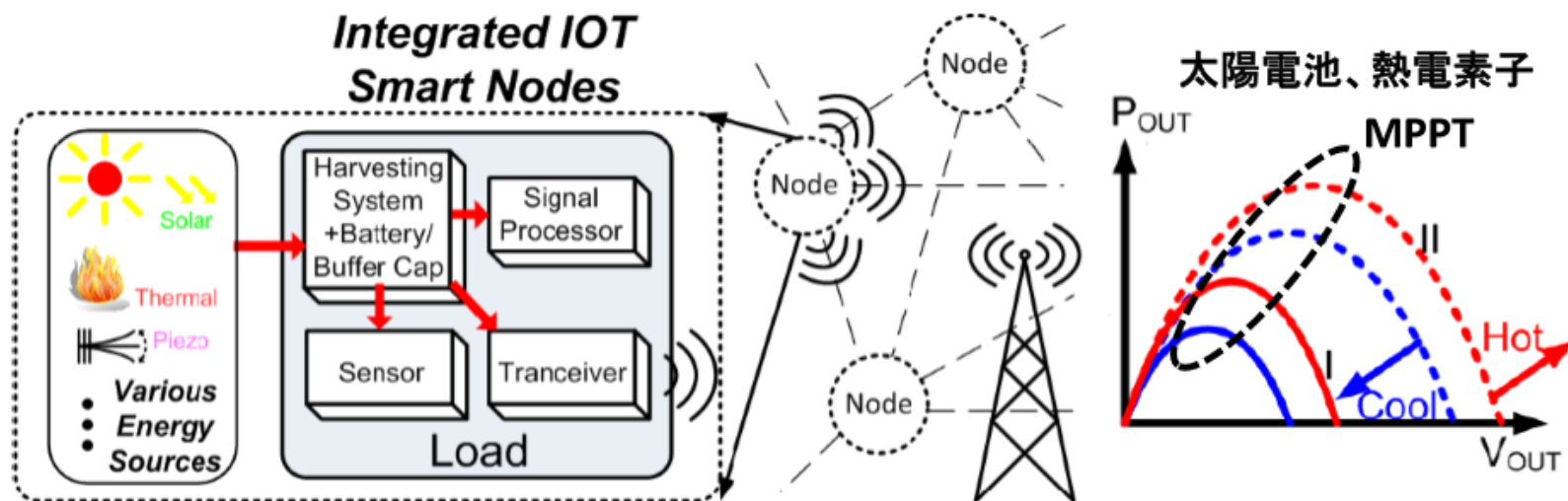
エネルギーハーベスト用パワーマネジメント

IoT端末用電源として、バッテリーレスとするエナジハーベスト技術が注目されている
 エナジハーベストでは、エネルギー源(変換センサ)以外にもパワーマネジメント技術が重要

最近のISSCCエネルギーハーベスト関連論文での研究開発フォーカスポイント

- ・幅広い入力電圧レンジに対して、高い変換効率と低い待機電力化の実現
- ・外付け部品(インダクタやキャパシタ)低減やオンチップ化
- ・昇圧回路にインダクタ使用せず、キャパシタ回路(SCやCP回路など)による昇圧回路技術
- ・低いコールドスタート電圧化(バッテリーレスでエナジハーベストからの低電圧で動作開始)
- ・MPPT(Maximum Power Point Tracking:最大電力点追従)の最適化

SC:スイッチドキャパシタ
 CP:チャージポンプ



IoT とエネルギーハーベスト(中谷先生資料)

電源
EH

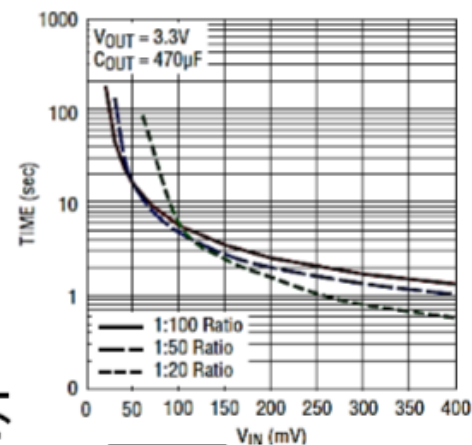
低入力電圧エネルギーハーベスト用PMICの例

Linear Technology(LTC)LTC3108

20mVの低入力電圧でコールドスタート可能

- ・巻き線比1:100の外部トランスとIC入力部のFETスイッチでDC-AC変換し昇圧
- ・入力電圧レンジ20m~500mV(1:100トランスにて)

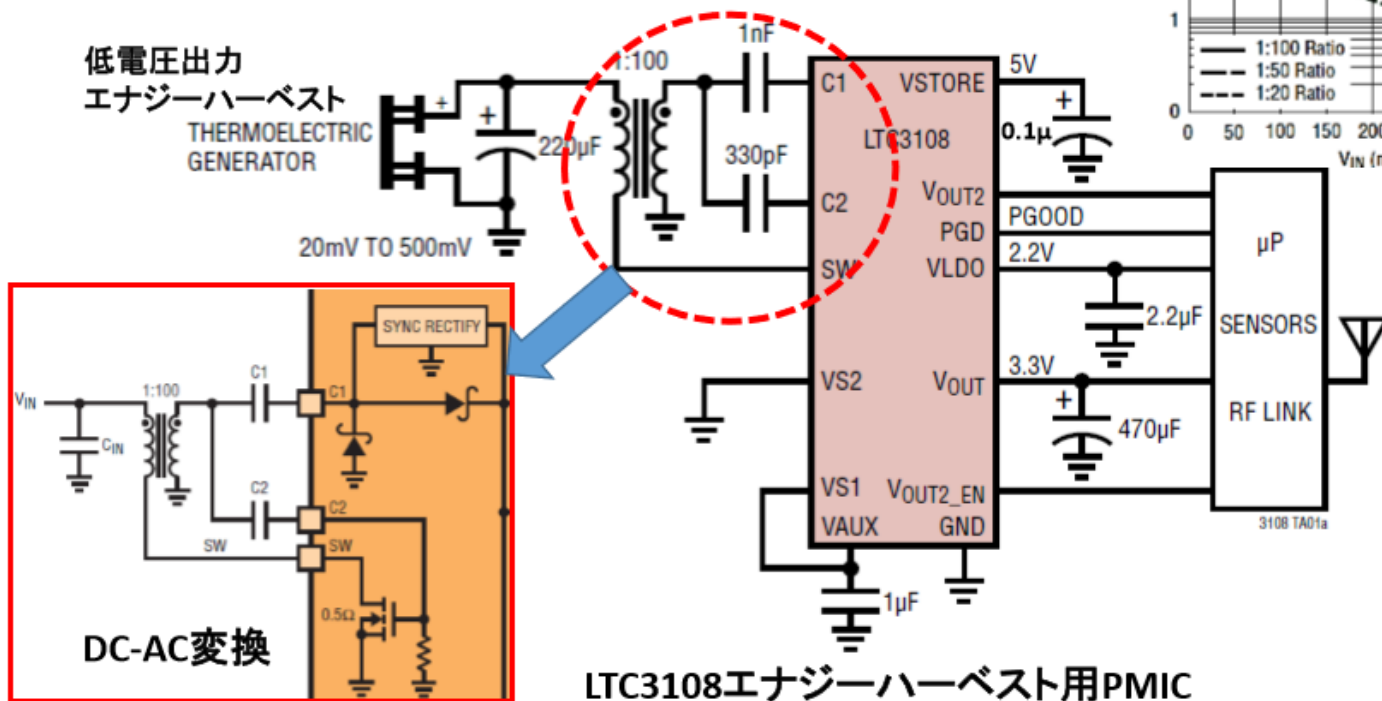
Vout出力時間 vs 入力電圧



低電圧出力
エネルギーハーベスト

THERMOELECTRIC GENERATOR

20mV TO 500mV



LTC3108エネルギーハーベスト用PMIC



IoT とエネルギーハーベスト(中谷先生資料)

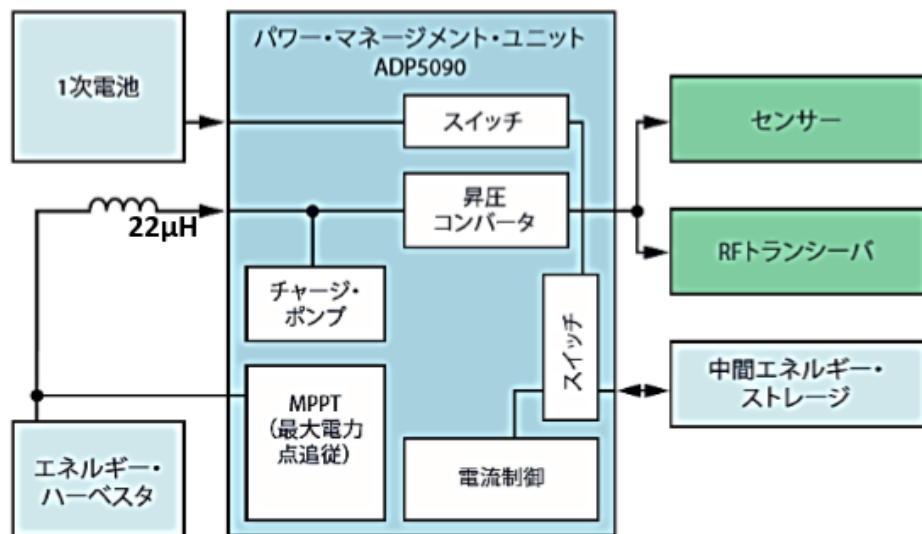
電源
EH

超低消費電力エネルギーハーベスト用PMIC

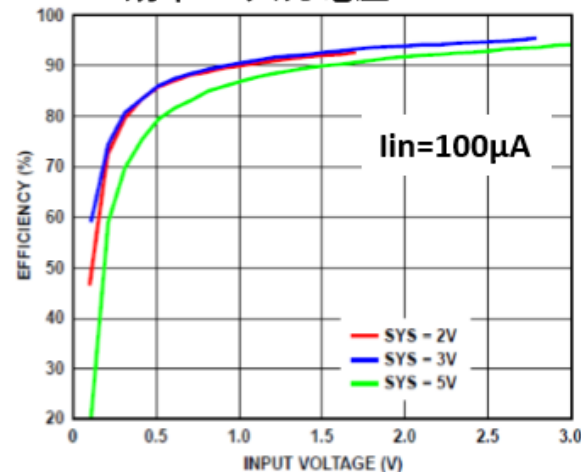
Analog Devices(ADI) ADP5091

外部インダクタとIC内回路による昇圧型DC-DCコンバータ

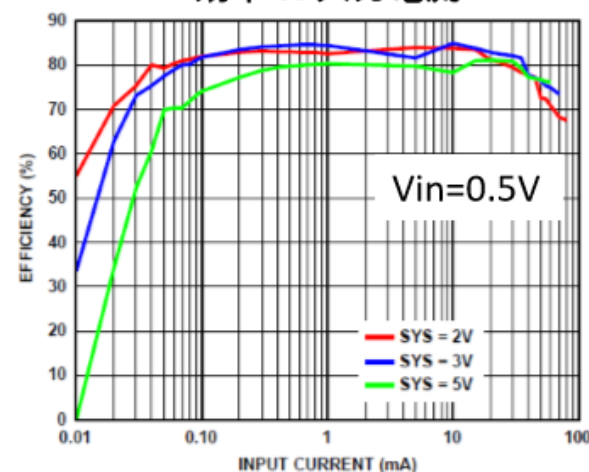
- ・スリープ静止電流は390nA
- ・コールドスタート時の入力電力は6 μ W
- ・380mVからの高速コールドスタート
一度起動すれば、+80mV~3.3Vの入力電圧で動作維持
- ・出力電圧+1.5~3.6V(設定)、最大出力電流150mA
- ・MPPT制御機能搭載



効率 vs 入力電圧



効率 vs 入力電流



IoT とエネルギーハーベスト(中谷先生資料)

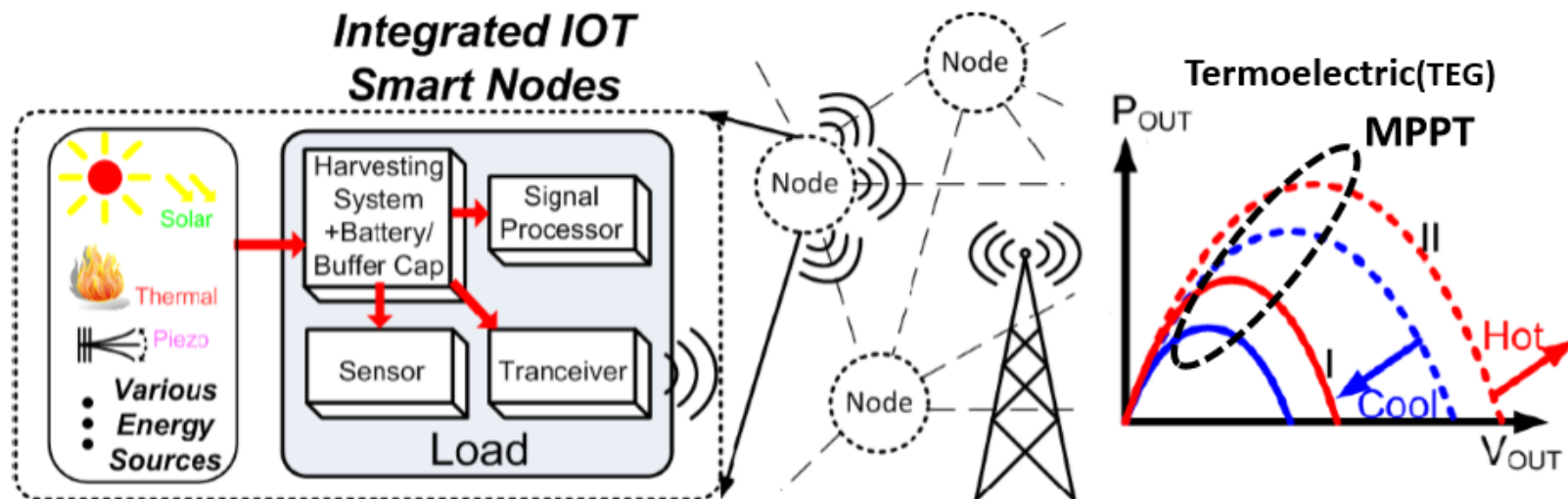
IoT 端末用電源: エナジーハーベスト

IoT 端末用電源として、バッテリーレスとするエナジーハーベスト技術が注目

エナジーハーベストでは、エネルギー源(センサ)以外にもパワーマネジメントIC技術(PMIC)が重要

最近のISSCCエナジーハーベスト関連論文での研究開発フォーカスポイント

- ・幅広い入力電圧レンジに対して、高い変換効率と低い待機電力化の実現
- ・外付け部品(インダクタやキャパシタ)低減やオンチップ化
- ・昇圧回路にインダクタ使用せず、キャパシタ回路(SCやCP回路など)による昇圧回路技術
- ・低いコールドスタート電圧化(バッテリーレスでエナジーハーベストからの低電圧で動作開始)
- ・MPPT(Maximum Power Point Tracking:最大電力点追従)の最適化



IoT とエネルギーハーベスト(中谷先生資料)

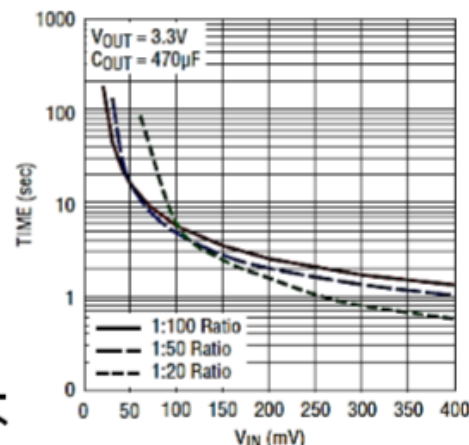
低入力電圧エネルギーハーベスト用PMIC

Linear Technology(LTC)LTC3108

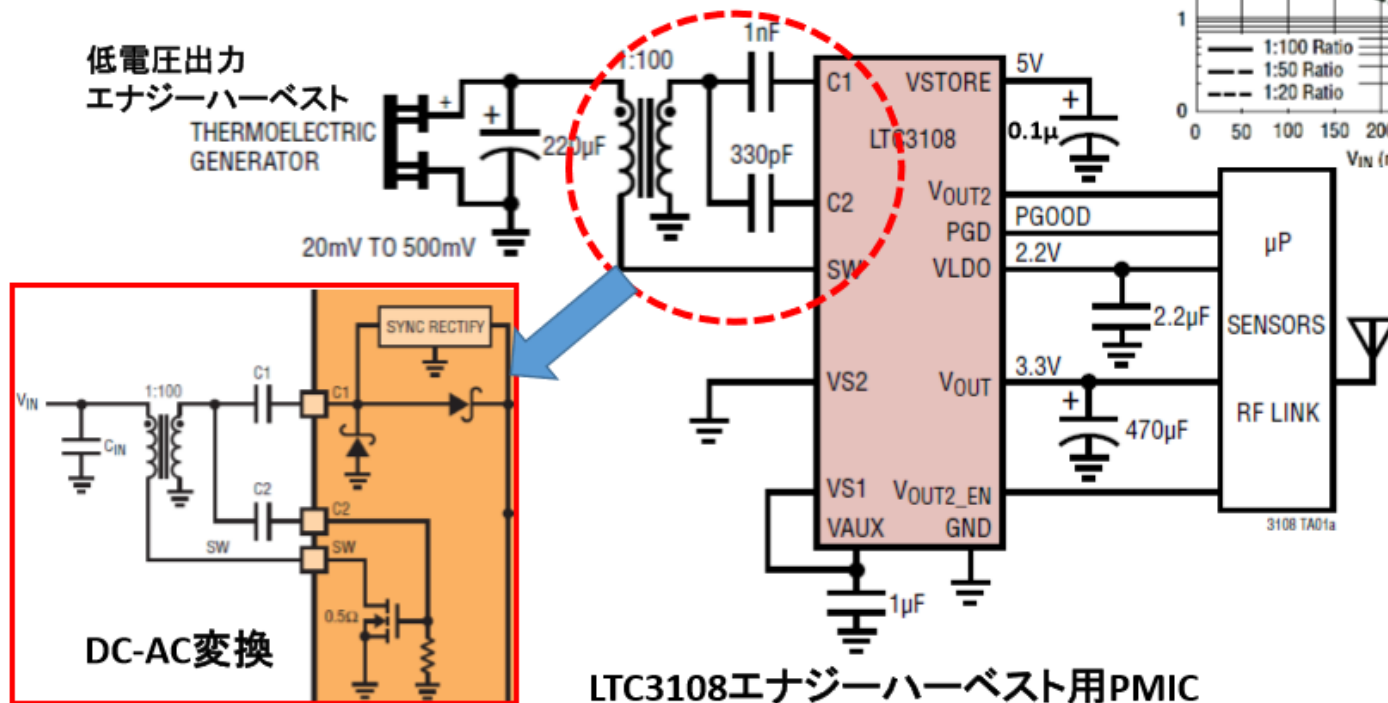
20mVの低入力電圧でコールドスタート可能

- ・巻き線比1:100の外部トランスとIC入力部のFETスイッチでDC-AC変換し昇圧
- ・入力電圧レンジ20m~500mV(1:100トランスにて)

Vout出力時間 vs 入力電圧



低電圧出力
エネルギーハーベスト



LTC3108エネルギーハーベスト用PMIC

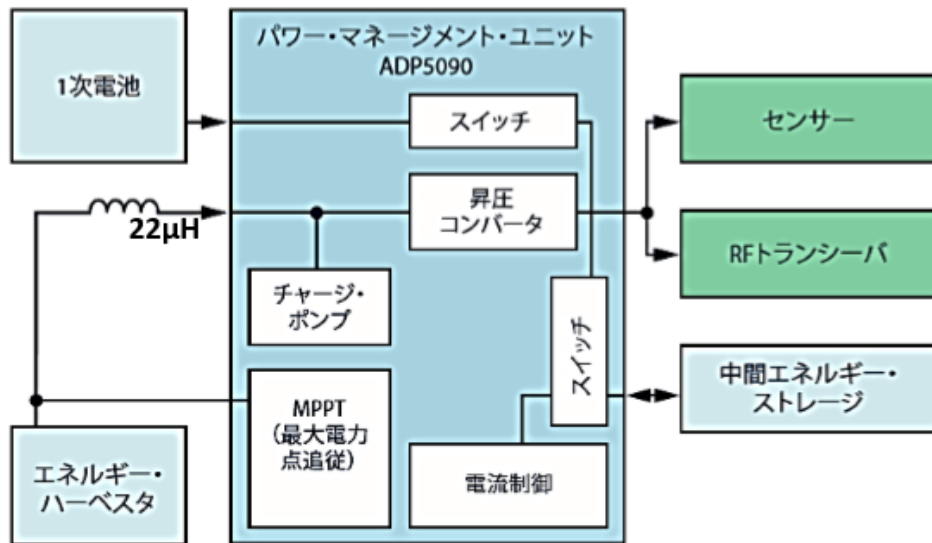
IoT とエネルギーハーベスト(中谷先生資料)

超低消費電力エネルギーハーベスト用PMIC

Analog Devices(ADI) ADP5091

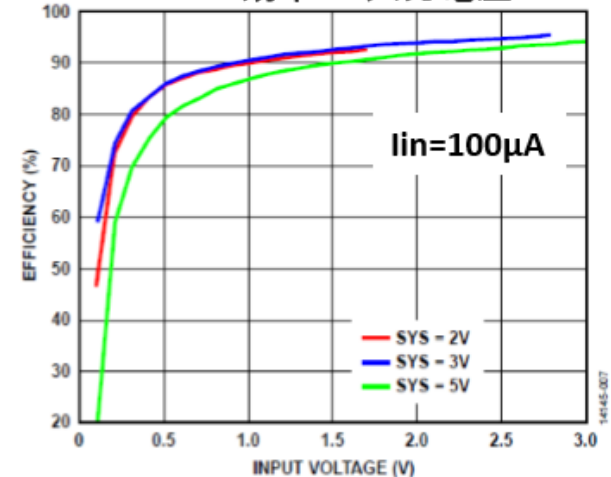
外部インダクタとIC内回路による昇圧型DC-DCコンバータ

- ・スリープ静止電流は390nA
- ・コールドスタート時の入力電力は6 μ W
- ・380mVからの高速コールドスタート
 - 一度起動すれば、+80mV~3.3Vの入力電圧で動作維持
- ・出力電圧+1.5~3.6V(設定)、最大出力電流150mA
- ・MPPT制御機能搭載

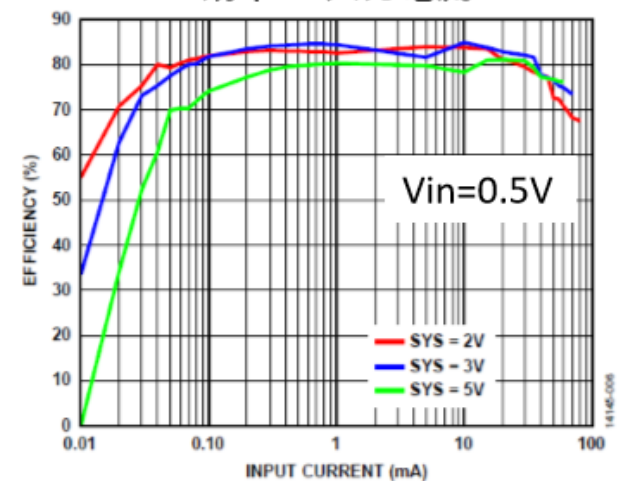


ADP5091 datasheet Analog Devices

MPPT:効率 vs 入力電圧



効率 vs 入力電流



IoT とエネルギーハーベスト(中谷先生資料)

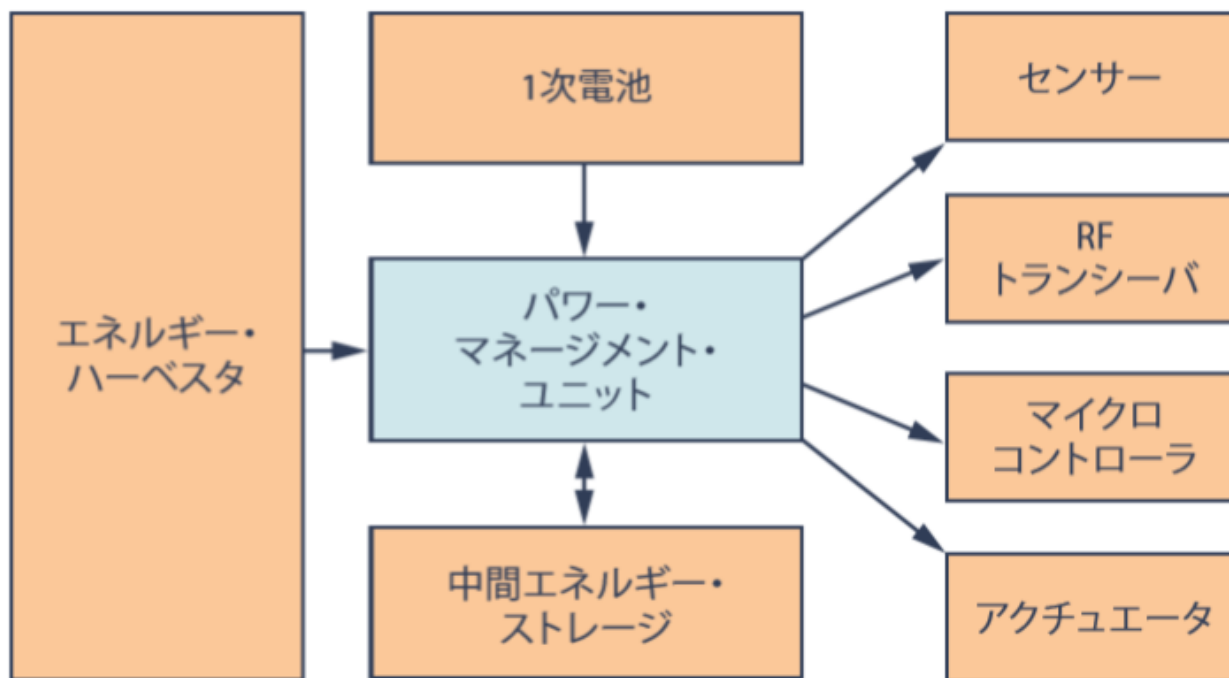


図1. エネルギー・ハーベストを適用したシステムの例

IoT とエネルギーハーベスト(中谷先生資料)

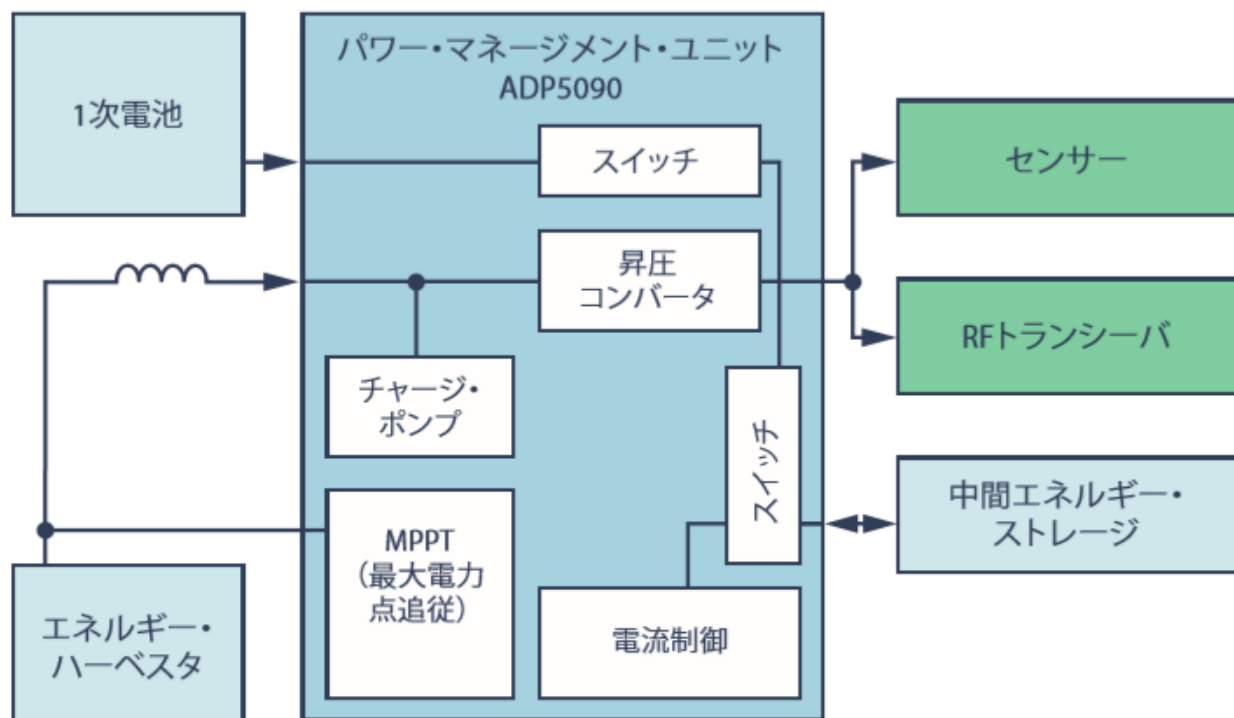


図3. エネルギー・ハーベスト向け
パワー・マネジメントICのブロック図

IoT とエネルギーハーベスト(中谷先生資料)

MPPT:
Maximum Power Point Tracking

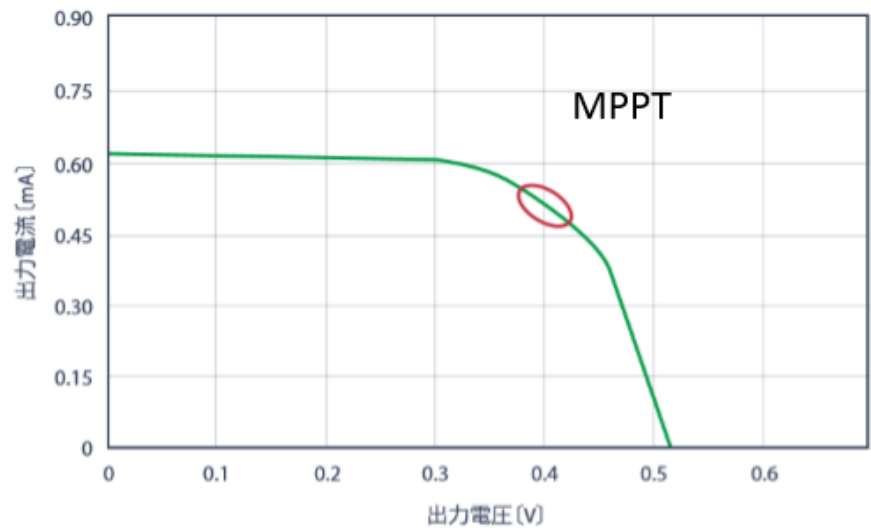


図5. 太陽電池の電圧/電流特性

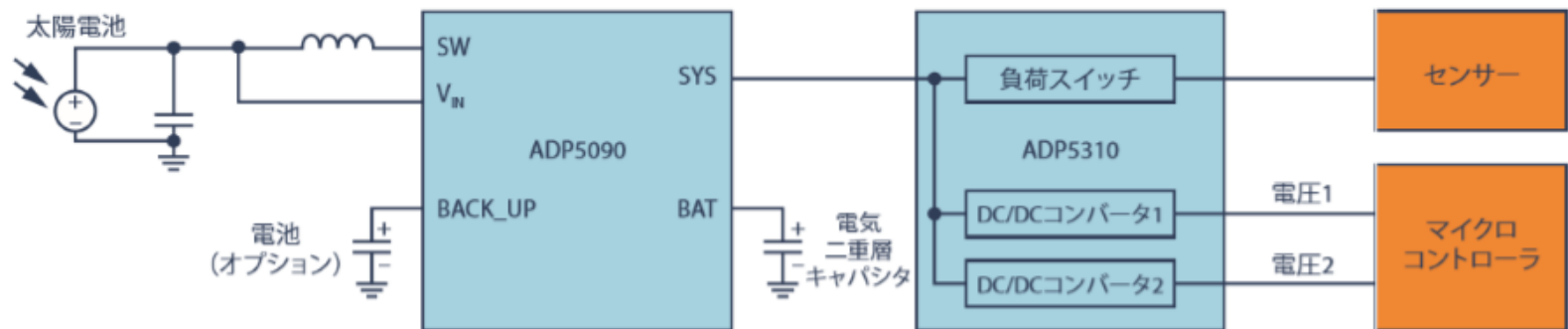
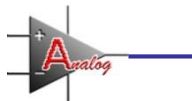


図6. エネルギー・ハーベスト向けパワー・マネージメント・システムの例



IoT とエネルギーハーベスト(中谷先生資料)

多種多様なエネルギー・ハーベストICを用意

課題

電源は重要

ニーズ

最小の消費電力ソリューション

TI のソリューション

ハーベスト・エネルギーを直接電源として利用

電源管理 &
高精度アナログIC

低消費電力マイコン

低消費電力ワイヤレス・
コネクティビティ

エネルギー・ハーベスティングによりバッテリー使用時間を延長

光



振動



熱

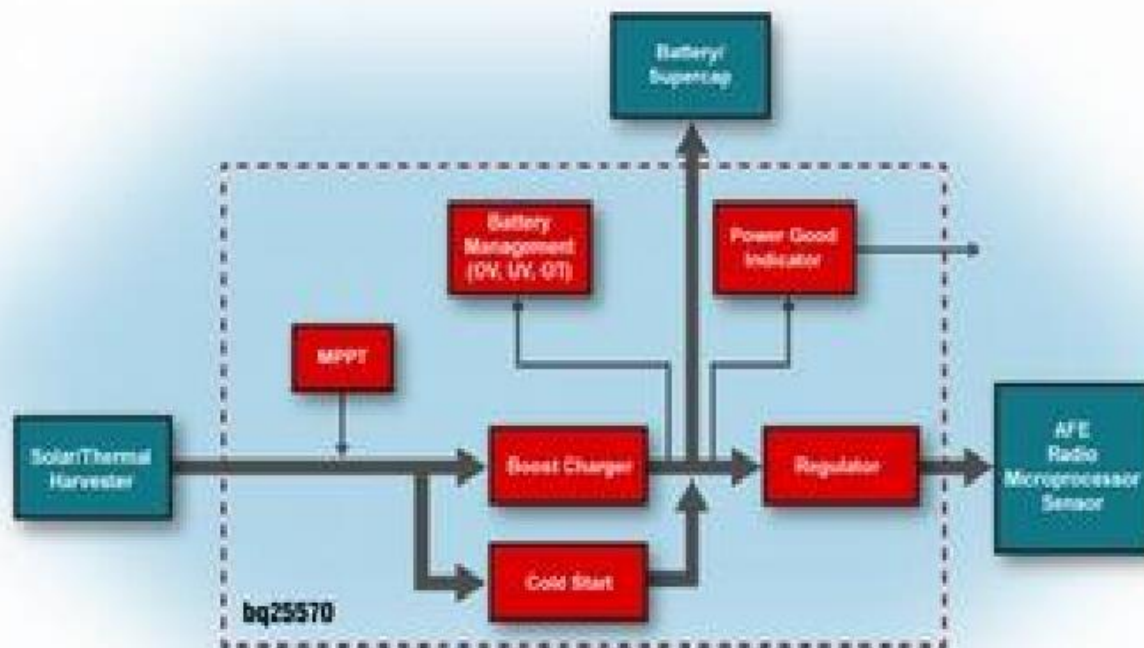


RF



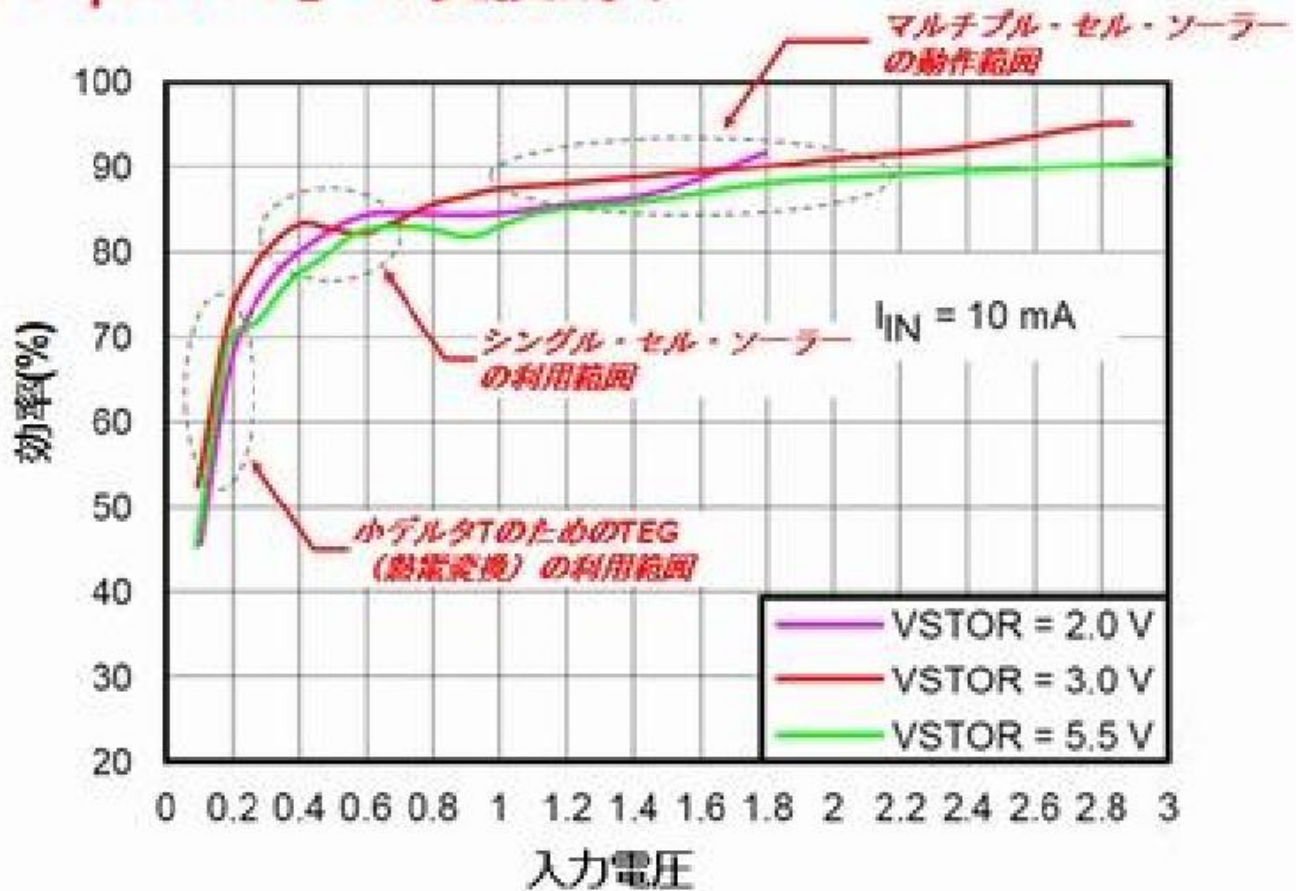
IoT とエネルギーハーベスト(中谷先生資料)

昇圧型充電回路と降圧型レギュレータを搭載



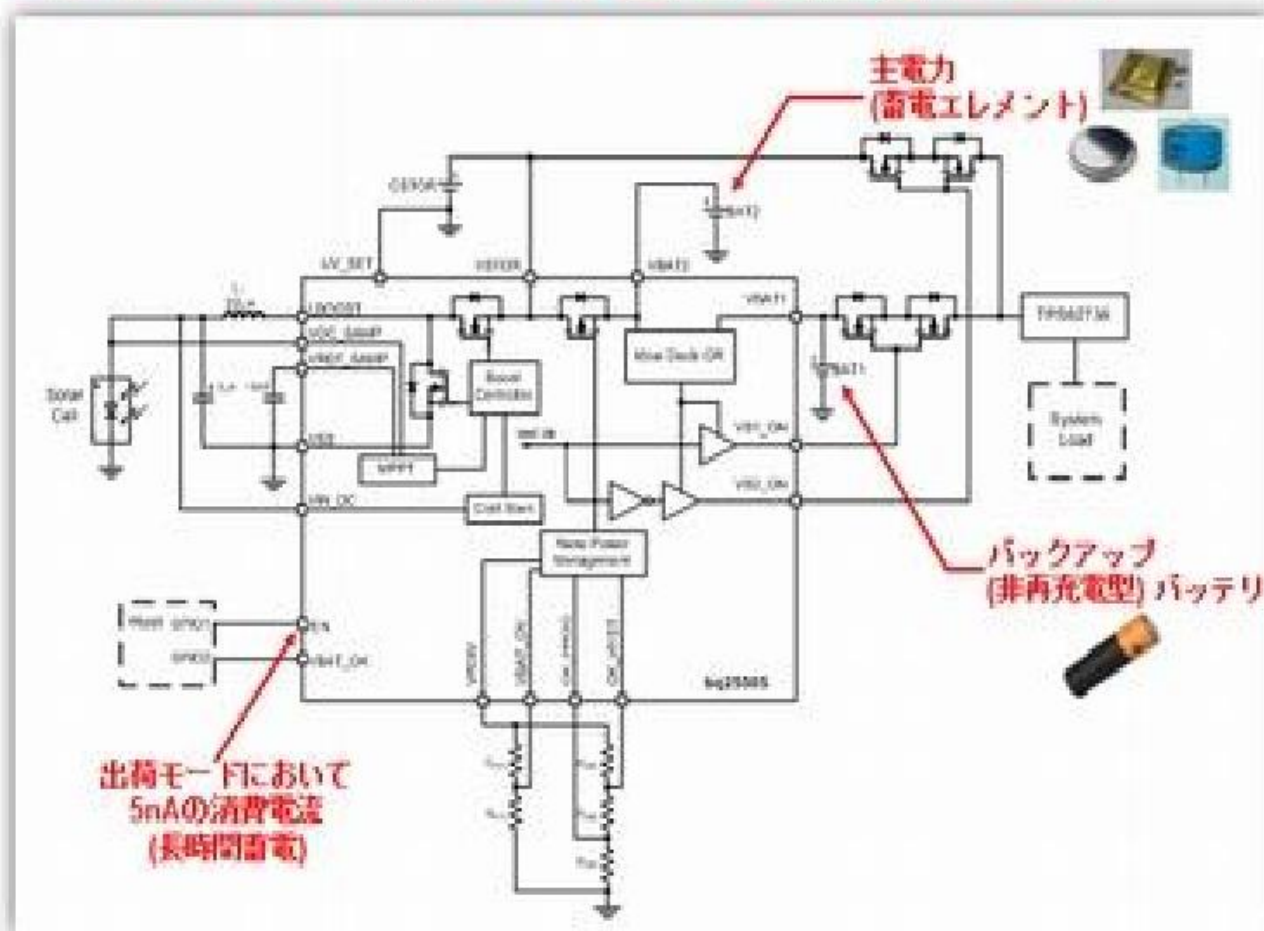
IoT とエネルギーハーベスト(中谷先生資料)

「bq25570」の変換効率



IoT とエネルギーハーベスト(中谷先生資料)

バックアップ用に1次電池を接続できる



まとめ ①

- エネルギーハーベスト技術は産業界で
欧州企業EnOcean社がトップを走っている。
- 米国半導体メーカー(ADI, LT, TI社)が
エネルギーハーベスト電源チップセットを開発・販売
大きな市場獲得はこれから
- 日本では国内企業の「エネルギーハーベスト コンソーシアム」の
設立・活動等により欧米を追撃
実際のビジネスへの普及はまだ時間がかかる印象
- 様々な企業なエネルギーハーベスト技術の研究開発・産業化を
行っているが、本格的な普及はこれから

まとめ ②

- ISSCC では2013年-2018年の間
エネルギーハーベストのセッション
毎年8-10件程度の発表
- バッテリー充電、ワイヤレス給電、
生体内使用のシステム、可視光通信等、
エネルギーハーベスト応用に適したシステムの電源回路技術の発表
が多い。
- 欧米、台湾、韓国、シンガポールの大学・企業からの発表が主。
日本からの発表は「なし」
- 様々な応用に対して回路技術的なアイデアがどんどん出ている
萌芽から成長の段階
- 回路規模は大きくないので、大学の回路系研究室で取り組むには
良い研究テーマ(アイデアで勝負できる)