

# Business Trip Report in ITC-India 2019

ITC アジア委員、ローム 佐藤 賢央

2019年 8月 2日

日時： 2019年 7月 21日～7月 23日

場所： Bangalore(India) at The Leela Palace Bengaluru

目的： ITC-Asia からの招待プレゼン、業界動向調査



## ITC-India とは？

ITC (International Test Conference) が毎年アメリカで開催されている。この ITC のサテライトカンファレンスとして ITC-Asia と ITC-India が創設され、今年で 3 回目の開催となる。ITC の目指すゴールは、世界中のテスト分野のコミュニケーションを行うことができる場を提供することで、アジアとインド地域にも広げている。ITC-India は全会合バンガロールで開催されており、今年、ITC-Asia2019 と ITC-India2019 で優秀論文をお互いに推薦しあい、発表するセッションができた。ITC-Asia2019 で採択されている、群馬大学佐々木氏の論文が ITC-India2019 の優秀論文に選ばれ、共著者であるロームの佐藤が発表することとなった。

**Accurate and Fast Testing Technique of Operational Amplifier DC Offset Voltage in  $\mu\text{V}$ -order by DC-AC Conversion**

International Test Conference India, 2019

**Gunma University**  
Yuto Sasaki, Kosuke Machida, Riho Aoki, Shogo Katayama  
Takayuki Nakatani, Jianlong Wang, Anna Kuwana  
Kazumi Hatayama, Haruo Kobayashi

**ROHM Co., Ltd.**  
Keno Sato, Takashi Ishida, Toshiyuki Okamoto  
Tamotsu Ichikawa

**Outline**

- Background and Motivation
  - Conventional Test Method
  - Difficulty for  $\mu\text{V}$ -order Testing
- Proposed Method
  - FFT-Based DC-AC Conversion
  - Challenge for Multi-Site Testing
- Conclusion

ITC-Asia サイト: <http://www.itc-asia.info.hiroshima-cu.ac.jp/2019/>

ITC-India サイト: <https://itctestweekindia.org/>

## Venue

Bengaluru(英 : Bangalore)

デカン高原の南、カルナータカ州南西部のマイソール高原の上に位置し、標高は 920m。ニューデリーが熱波で 48 度を記録したというニュースが流れている中、7 月の気温は 22 度前後で非常に過ごしやすい気候。バンガロールはインドのシリコンバレーと呼ばれている IT 都市。ITC-India 開催中の 22 日に月面探査機 Chandrayaan-2 の打ち上げを成功させ、Keynote ではスライドに打ち上げ写真を映し出し、会場でも大きな盛り上がりを見せていた。



## ITC-India 2019

開催場所の The Leela Palace Bengaluru は、バンガロールでも有数の高級ホテル



Entrance



Registration



Registration

## 7月21日(日) Tutorials

| Sunday, July 21, 2019   |  |   |   |
|---|--|---|---|
| 8:30am-9:30am   | REGISTRATIONS  |   |   |
| TRACKS  | TRACK 1<br>Session Chair   Jais Abraham  | TRACK 2<br>Session Chair   Sivanantham  | TRACK 3<br>Session Chair   Venkata Rangam Totakura  |
| HALL NAME   | Grand Ball Room  | Turret  | Royal Ball Room   |
| 9:30 am - 11:00 am<br>(15 mins. Break)<br>11:15 am - 12:45 pm | T1: Memory Test and Repair in FinFET Era<br><br>Yervant Zorian (Synopsys)  | T2: Expanding the Validation Coverage continuance from Pre-Silicon to Post-Silicon<br><br>Nagabhushan (Intel), Gaurav Verma (NXP), Gupta Ashish (NXP) | T3: AI Chip Technologies and Its DFT Methodologies<br><br>Yu Huang (Mentor), Rahul Singhal (Mentor), Lee Harrison (Mentor)        |
| 12:45pm-1:45pm  | LUNCH BREAK  |   |   |
| 1:45 pm - 3:15 pm<br>(15 mins. Break)<br>3:30 pm - 5:00 pm    | T4: Creation and Selection of Fault Models for Defect Based Testing<br><br>Rubin Parekhji (TI), Wilson Pradeep(TI) | T5: Challenges and Best Practices on ATE Load Board Design<br><br>Gowri Shankar (Tessolve), Jagadish (Tessolve), Srinivasan. C (Tessolve)             | T6: Practical Hierarchical Test Strategies for SoCs of Today and Tomorrow<br><br>Jay Jahangiri (Mentor), Nagesh Tamarapalli (AMD) |

Tutorial 参加者の割合は、インダストリアルとアカデミックで半分半分だった。アカデミックの女性の方は、サリー(インドの民族衣装)を着ているのが印象的だった。学校の制服とのこと。

## 7月22日(月) Conference



Grand Ball Room ステージ



インドの伝統? Chair が順番に火をつけていた

| Monday, July 22, 2019 |   |   |
|-----------------------|---|---|
| 8:00am-9:30am         | REGISTRATIONS   |   |
| 9:15am-9:40am         | Inauguration/Welcome   Navin Bishnoi, General Chair, ITC India  |   |
| 9:40am-9:45am         | Special Talk on "ITC 50 Years"   Dr. Yervant Zorian, General Chair, ITC US  |   |
| 9:45am-10:20am        | Keynote 1: "Automotive electronics – the key driver of innovation in quality of test"   Dr. Janusz Rajski, Mentor, a Siemens Business   |   |
| 10:20am-10:55am       | Keynote 2: "Test – the wild west of advanced nodes Discontinuities coming in test development"   Michael Campbell, Qualcomm   |   |
| 10:55am-11:15am       | TEA/COFFEE BREAK SESSION  |   |
| SESSIONS              | Session 1 - Debug & Diagnosis<br>Session Chair   Pramod Notiyath  | Special Session 1 - Defect based Test<br>Session Chair   Arvind Jain  |
| HALL NAME             | Grand Ball Room   | Royal Ball Room   |
| 11:15am-12:45pm       | <p>1.1 Improved Diagnosis Methodology for Multi-Defect Scenarios in High Compression Scan Based Designs<br/><i>Bharath Nandakumar, Sameer Chillarige, Anil Malik, Atul Chhabra, Wilson Pradeep and Prakash Narayanan</i></p> <p>1.2 High Throughput chain diagnosis methodology with minimal failure data collection<br/><i>Anil Malik, Atul Chhabra, Bharath Nandakumar, Sameer Chillarige and Kanika Kanwal</i></p> <p>Improving Diagnosis Resolution and Performance at High Compression Ratios (Invited paper)<br/><i>Sameer Chillarige, Atul Chhabra, Anil Malik, Bharath Nandakumar, Joe Swenton, Krishna Chakravadhanula</i></p> | <p>S1.1 Defect Location Identification for Cell-Aware Test<br/><i>Santosh S Malagi</i></p> <p>S1.2 Utilizing Delta IDDQ to Screen Cell Specific Defects for High Quality and Reliability Applications<br/><i>Ajay Rasquinha</i></p> |
| 12:45pm-1:45pm        | LUNCH BREAK   |   |
| HALL NAME             | Grand Ball Room   |   |
| 1:45pm-2:15pm         | Panel Discussion: Functional Safety Test Solution: Requirement or Marketing Buzz<br><i>Panelist: Punit Kishore, Nilanjan Mukherjee, Adit Singh, Prasanth V, Amit Agarwal</i>  | Exhibit/Booth   |
| 2:15pm-3:15pm         |   |   |
| 3:15pm-3:30pm         | TEA/COFFEE BREAK SESSION  |   |
| SESSIONS              | Session 2 - Test Cost<br>Session Chair   Wilson Pradeep   | Special Session 2 - mmWave Test Challenges<br>Session Chair   Abhishek Chaudhary  |
| HALL NAME             | Grand Ball Room   |   |
| 3:30pm-5:00pm         | <p>2.1 Test cost reduction through increase in multi-site testing with reduced scan-out pins<br/><i>Jaidev Shenoy, Kushal Kamal, Kelly Ockunzzi and Virendra Singh</i></p> <p>2.2 Demonstration of On-Chip Test Decompression for EDT using Binary Encoded Neural Autoencoders<br/><i>Phileman Daniel, Shaily Singh, Garima Gill, Anshu Singh Gangwar, Bargaje Ganesh Pandurang and Kaushik Chakrabarti</i></p> <p>Advanced Techniques for Atspeed Exception Analysis (Invited paper)<br/><i>Omar Sharif Cherukur, Abhishek Bhattacharya, Piyush Ajmire, Gourav Biyani, Kamlesh Bhesaniya and Mahesh Rawal</i></p>                      | <p>S2.1 mmWave challenges in test<br/><i>Prof. Gaurab Banerjee</i></p> <p>S2.2 mmWave Test solution<br/><i>Sudhakar Babu</i></p>  |
| 5:30pm-6:30pm         | Evening Cultural Program  |   |
| 6:30pm-9:00pm         | Banquet Keynote: "Moving Test to the Fast Lane: New paradigm leaves existing test throughput in the dust"   Steve Pateras, Synopsys<br>NETWORKING DINNER  |   |

## Keynote1

Automotive Electronics – The Key Driver Of Innovation In Quality Of Test

Dr. Janusz Rajski, Mentor, a Siemens Business

自動車のエレクトロニクスは革新のキードライバーである。ADAS 関連は年 9%と急速な伸びを示している。また、プロセステクノロジーの進化にともない約 90%の新しいタイプの Defect が出現した。そして、自己診断技術も大幅に向上してきた。機能安全(ISO26262)など、テストに対する要求も非常に厳しい。車載グレードは欠陥を考慮した ATPG、例えば内部セルのブリッジやオープン、レイアウトや構造を考慮した Cell Aware テストも必要になる。DFT に関しては、高効率な Streaming SCAN、IEEE1149.10 HSTAP を使ったマルチ BIT DFT などが考えられる。将来は、IN-System-Test において SCAN、LBIST 等の DFT 技術がカバレッジを維持するために活用されていくだろう。

## Keynote2

Test-The Wild West Of Advanced Nodes; Discontinuities Coming In Test Development

Michael Campbell, Qualcomm

携帯電話の世界は、3G から 4G に進化し、現在 4G から 5G へ進化しようとしている。携帯電話の進化が Ultra-Complex-SoCs の進化をドライブしてきた。FIN FET に関しても、階層構造、低電力化、マルチゲートと進化し、FF の数も 2.5 倍に増加している。これが System-Level になると 100~200M の Un-detectable Fault が含まれるようになり、非常に多くの Test Gap が発生する。ATE に関しては、Test Vector が約 24 倍になるためメモリーが足りなくなる可能性がある。DFT はインダストリーの挑戦であり、テストタイムと DPPM のバランスを考えることも必要となるだろう。テストコストは、4 倍から 5 倍に膨れ上がると予想される。この問題を解決するためには、EDA ツール、ソフトウェアツール、ATE のシームレスな統合が必要になり、Vector のチューニングや、膨大なデータ解析、フィードフォワードに ML (Machine Learning) 技術も必要となるであろう。



## Keynote3

Moving Test To The Fast Lane: New Paradigm Leaves Existing Test Throughput In The Dust

Steve Pateras, Synopsys

アプリケーションの進化にあわせてテスト技術は進化してきた。デジタルに関して言えば、Functional I/O から、SCAN I/O、SCAN Compression へ。次は何か？新しいパラダイムとして、High Speed I/O があり、DFT 等のテストアプリケーションをコントロールするために、この Functional I/O を利用する事になる。そして、「HSIO2DFT Controller」を実装することになるだろう。また、Adaptive テストは、In-Field Test での学習データを利用し、より高度な Adaptive Intelligent Testing が必要となる。

## 7月23日(火) Conference

| Tuesday, July 23, 2019 |  |   |
|------------------------|--|---|
| 8:30am-9:30am          | REGISTRATIONS  |   |
| 9:30am-9:45am          | Welcome / Day 1 Summary   Navin Bishnoi, General Chair, ITC India  |   |
| 9:45am-10:20am         | Keynote 3: "The Evolving Business Case for DFX"   Kaushik Narayanun, Nvidia  |   |
| 10:20am-10:55am        | Keynote 4: "IC Test – Where the Excitement Never Ends"   Rohit Kapur, Cadence  |   |
| 10:55am-11:15am        | TEA/COFFEE BREAK SESSION   |   |
| SESSIONS               | Session 3 - Silicon Validation<br>Session Chair   Sathya K   | Special Session 3 - Automotive Test<br>Session Chair   Eswar Vadlamani  |
| HALL NAME              | Grand Ball Room  | Royal Ball Room   |
| 11:15am-12:45pm        | <p>3.1 Leveraging IEEE 1850 Property Specification Language and Mixed-Signal Assertions for Post-silicon Verification of Automotive Power Devices<br/><i>Thomas Nirmaier, Manuel Harrant, Bjoern Eversmann and Georg Pelz</i></p> <p>3.2 Correlations of test techniques for improving Silicon to Pre-silicon timing correlation<br/><i>Reecha Jajodia, Kevin Zhou, Jaison Kurien, Tezaswi Raja, Manikandan P, Kartik Joshi, Prashant Singh, Vinayak Srinath, Jonathon Colburn and Sarvesh Sharma</i></p> <p>3.3 Debug for root causing SNR degradation due to dither in high performance pipeline ADC<br/><i>Himanshu Varshney, Viswanathan Nagarajan and Rajendrakumar Jaish</i></p>   | <p>S3.1 Automotive Test Challenges<br/><i>Prof. Adit Singh</i></p> <p>S3.2 Deterministic Stellar BIST for In-System Automotive Test<br/><i>Y. Liu, N. Mukherjee, J. Rajski, S.M. Reddy, J. Tyszer</i></p> |
| 12:45pm-1:45pm         | LUNCH BREAK  |   |
| SESSIONS               | Special Session 4 - ITC ASIA Invited Papers<br>Session Chair   Sameer Chillarige   | Special Session - Academia Connect<br>Session Chair   Vineet Srivastava   |
| HALL NAME              | Grand Ball Room  | Royal Ball Room   |
| 1:45pm-3:15pm          | <p>S4.1 An Empirical Approach to RTL Scan Path Design Focusing on Structural Interpretation in Logic Synthesis<br/><i>Tsuyoshi Iwagaki, Sho Yuasa, Hideyuki Ichihara and Tomoo Inoue</i></p> <p>S4.2 Optimization of Cell-Aware ATPG Results by Manipulating Library Cells' Defect Detection Matrices<br/><i>Zhan Gao, Erik Jan Marinissen, Min-Chun Hu, Joseph Swenton, Santosh Malagi, Jos Huisken and Kees Goossens</i></p> <p>S4.3 Accurate and Fast Time Testing Technique of Operational Amplifier DC Offset Voltage in <math>\mu\text{V}</math>-order by DC-AC Conversion<br/><i>Yuto Sasaki, Kosuke Machida, Riho Aoki, Shogo Katayama, Takayuki Nakatani, Jianlong Wang, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Anna Kuwana, Kazumi Hatayama and Haruo Kobayashi</i></p> | <p>Academia Connect<br/>Moderator: Vineet Srivastava</p>  |
| 3:15pm-3:30pm          | TEA/COFFEE BREAK SESSION   |   |
| SESSIONS               | Session 4 - Beyond Chip Test<br>Session Chair   Kavitha Shankar  | Special Session 5 - Test Challenges<br>Session Chair   Kamlesh Pandey   |
| HALL NAME              | Grand Ball Room  | Royal Ball Room   |
| 3:30pm-5:00pm          | <p>4.1 Hybrid emulation approach in ISO 26262 compliant unit test process<br/><i>Narendra Varma Alluri, Pradeep Reddy Sykam and Harish Narayanaswamy</i></p> <p>4.2 A hierarchical approach to self-test, fault-tolerance and routing security in a Network-on-Chip<br/><i>Ravikumar C.P., Kendaganna Swamy and Uma B.V.</i></p> <p>4.3 GPU-HBM SIP Interconnect Link Testing and Repair<br/><i>Amanulla Khan, Himakiran Kodihalli, Thenappan Nachiappan, Sreekar Sreesailam, Seth Chou and Colin Lee</i></p>  | <p>S5.1 Test Challenges for Low Power SoCs<br/><i>Jais Abraham</i></p> <p>S5.2 Server DFT Challenges<br/><i>Nagesh Tamarapalli</i></p>  |
| 5:00pm-5:30pm          | Closing Ceremony   |   |

### Keynote4

The Evolving Business Case for DFX(※)

Kaushik Narayanun, Nvidia

Cloud、HPC、Server、Gaming の分野で、大量の GPU が使われている。AI の普及により、専用計算エンジンを持つ GPU の需要は更に高まるであろう。In-System-Test においては、品質の向上は、Deep Learning 技術にかかっている。電力予測などへの適合などが例としてあげられる。巨大なエコシステムの成長により、「Structural Test is Functional Application」になる。

(※) DFX : デザイン for 組立、低環境負荷、テスト、製造、保守 などの総称

## Keynote5

IC Test-Where the Excitement Never Ends

Rohit Kapur, Cadence

Machine Learning は、セキュリティ、車載 IC に使われ始めている。このようにテクノロジーの進化には、必ずバックストーリーがあり、テストも同様である。テスト技術の進化の例を以下に示す。

**D-Algorithm** : 1966 年に IBM で開発された最初のテストパターン生成アルゴリズム

**PODEM** : 1981 年に開発された、高速テストパターン生成アルゴリズム

**Illinois Scan** : SCAN テストの実効時間短縮手法

これからの進化の過程でも、恩恵をクリアにする必要がある。例えばリードタイム短縮、単純化した解決手法など。Physically Aware Compression が有効な解決策となるだろう。

### 「Special Session4 ITC ASIA Invited Papers」にて発表

#### Accurate and Fast Testing Technique of Operational Amplifier DC Offset Voltage in $\mu\text{V}$ -order by DC-AC Conversion



発表の雰囲気



会場の様子

発表は、 $\mu\text{V}$  オーダー電圧の測定には、テスト環境のシステムノイズ、マルチ化による生産性、熱起電力の 3 つの問題があり、提案手法である DC-AC 変換により問題を解決したという内容。プロトタイプ試作による実験で、 $0.2\mu\text{V}$  まで電圧測定、4 マルチ同時測定を実現した。質疑ではシステムノイズのキャンセル方法などに関する様々な意見をいただくことができ、今後、研究を進めていく上で非常に重要なヒントとなった。(発表 25 分+質疑 5 分)



学会貢献に対する感謝として楯をいただいた

## 企業展示



6 社が展示ブースを出していた。

## インドの食事



朝食、昼食、晩御飯全てカレーで過ごした。本場のインドカレーは、美味しいし、それほど辛くはなかった。大きめの赤・青唐辛子が入っており、それを食べなければ「CoCo 壱番屋」の 3 辛レベル。日本に帰国したら、しばらくカレーを食べることはないだろう。

## 交通事情



- ◇ 道路は日本と同じ左側通行で、車も右ハンドル
- ◇ 空港にいるタクシーは現金しか使えない (注意!)
- ◇ Uber の利用は快適
- ◇ 3 人乗りタクシー「リキシャ」がたくさん走っており、初乗りは 15 ルピー (24 円)
- ◇ 交通量が多く、車は絶えずクラクションを鳴らしている
- ◇ 野良犬がたくさんいる
- ◇ 歩行者の優先度が低く、横断歩道を渡るのに度胸が必要

## 町並み

### Commercial Street



露天も含めて小さな店が密集している。

## 空港&ホテル

### 空港 Kempegowda International Airport (BLR)



### ホテル Sterlings Mac Hotel



会場から道路を挟んで向かい側に位置している。会場のホテルの1/2の宿泊費(¥8,700@泊)。

## 観光

### Shivoham Shiva Temple



ホテルから 970m の場所に寺院を見つけ、徒歩で観光へ。入場料は 150 ルピーか 250 ルピーと言われ、見栄を張ってしまい 250 ルピーを支払った。中でも寄付を求められ、50 ルピー支払い合計 300 ルピーをつかった。洞窟もあり、寺院ではなく人工的なテーマパークのような雰囲気だったが楽しめた。

## 最後に

ITC-India では、ITC、VTS などのホットトピックスである、ADAS、AI、セキュリティは少なく、SCAN 等のデジタルバックエンド系の発表が多かった。これは、インドの特徴といえる。また、参加者は、アカデミックとインダストリーで、半分半分だった。ほとんどの参加者はインドからの参加で、日本人参加者は、私と広島市立大学岩垣助教の 2 人のみ。岩垣助教も ITC-Asia からの推薦で、同じセッションの発表者だった。

インドの人はみんな親切。Sameer さんは、お土産にスパイスを買いたいと相談したら、車でマーケットに連れて行ってくれた。Thank you Sameer!! ホテルの従業員も、寺院の場所を聞いたら親切に教えてくれた。

インドでは、「YES」と言いながらクビを横に振り、「NO」と言いながらクビを縦に振る。理解できるまで、非常に困惑した。最後までこれだけは順応することが出来なかった。インドのカレーは辛いというのは、日本人の誤解だとわかった。