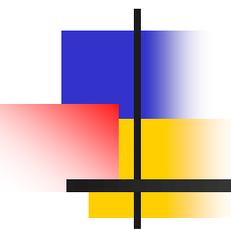


2021年5月18日(火)



デジタル回路 補足

群馬大学 小林春夫

60進法

- 60 多くの約数を持つ

➡ 2, 3, 4, 5, 6, 10, 12, 15, 20, 30

- 1時間は60分

学会発表でのプログラム 1時間で

2人のプレゼン 一人当たり 30分

3人 20分

4人 15分

5人 12分



60進法を用いた古代バビロニア

𐎶 1	𐎶𐎵 11	𐎶𐎵𐎶 21	𐎶𐎵𐎶𐎵 31	𐎶𐎵𐎶𐎵𐎶 41	𐎶𐎵𐎶𐎵𐎶𐎵 51
𐎶𐎶 2	𐎶𐎶𐎵 12	𐎶𐎶𐎶 22	𐎶𐎶𐎶𐎵 32	𐎶𐎶𐎶𐎵𐎶 42	𐎶𐎶𐎶𐎵𐎶𐎵 52
𐎶𐎶𐎶 3	𐎶𐎶𐎶𐎵 13	𐎶𐎶𐎶𐎶 23	𐎶𐎶𐎶𐎶𐎵 33	𐎶𐎶𐎶𐎶𐎵𐎶 43	𐎶𐎶𐎶𐎶𐎵𐎶𐎵 53
𐎶𐎶𐎶𐎶 4	𐎶𐎶𐎶𐎶𐎵 14	𐎶𐎶𐎶𐎶𐎶 24	𐎶𐎶𐎶𐎶𐎶𐎵 34	𐎶𐎶𐎶𐎶𐎶𐎵𐎶 44	𐎶𐎶𐎶𐎶𐎶𐎵𐎶𐎵 54
𐎶𐎶𐎶𐎶𐎶 5	𐎶𐎶𐎶𐎶𐎶𐎵 15	𐎶𐎶𐎶𐎶𐎶𐎶 25	𐎶𐎶𐎶𐎶𐎶𐎶𐎵 35	𐎶𐎶𐎶𐎶𐎶𐎶𐎵𐎶 45	𐎶𐎶𐎶𐎶𐎶𐎶𐎵𐎶𐎵 55
𐎶𐎶𐎶𐎶𐎶𐎶 6	𐎶𐎶𐎶𐎶𐎶𐎶𐎵 16	𐎶𐎶𐎶𐎶𐎶𐎶𐎶 26	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵 36	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵𐎶 46	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵𐎶𐎵 56
𐎶𐎶𐎶𐎶𐎶𐎶𐎶 7	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵 17	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶 27	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵 37	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵𐎶 47	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵𐎶𐎵 57
𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶 8	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵 18	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶 28	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵 38	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵𐎶 48	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵𐎶𐎵 58
𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶 9	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵 19	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶 29	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵 39	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵𐎶 49	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵𐎶𐎵 59
𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶 10	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵 20	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶 30	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵 40	𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎶𐎵𐎶 50	

バビロニア数字



2進数 固定小数点表現

2進数 1011.011

10進数

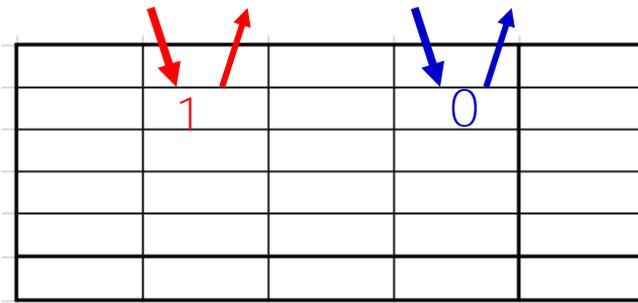
$$\begin{aligned} & 1 \times 2 \times 2 \times 2 + 0 \times 2 \times 2 + 1 \times 2 + 1 \\ & + 0 \times (1/2) + 1 \times [1/(2 \times 2)] + 1 \times [1/(2 \times 2 \times 2)] \\ & = 8 + 2 + 1 + (1/4) + (1/8) \end{aligned}$$

ソフトウェア

LSI内部回路が何らかの理由で一時的な誤作動を起こし、記録された内容が破壊されること

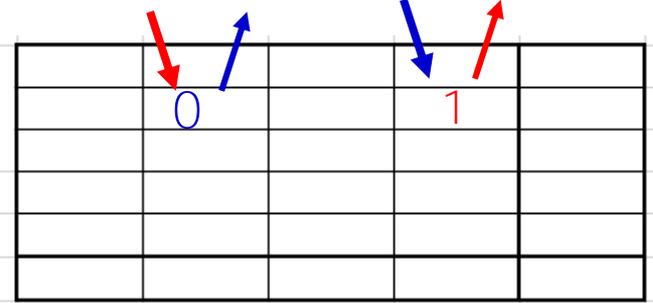
正常なメモリ

1を write 1が read 0を write 0が read



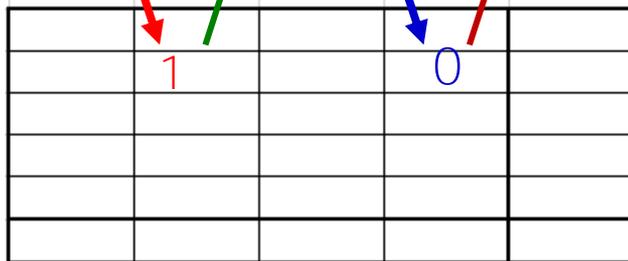
故障

1を write 0が read 0を write 1が read



ソフトウェア

1を write 希に 0が read 0を write 希に 1が read



LSI微細化・低電源電圧化



ソフトウェア率 高

宇宙線もソフトウェアを誘発



宇宙航空用LSIはソフトウェア対策必須

排他的論理和 (EXOR)

論理変数 A, B, Z

A, B : 入力, Z : 出力

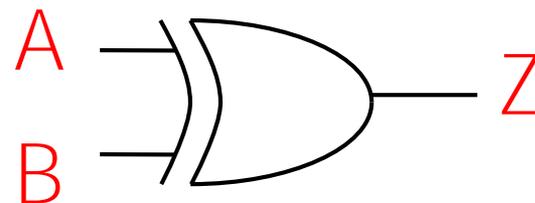
$$Z = A \oplus B$$

A	B	Z
0	0	0
0	1	1
1	0	1
1	1	0

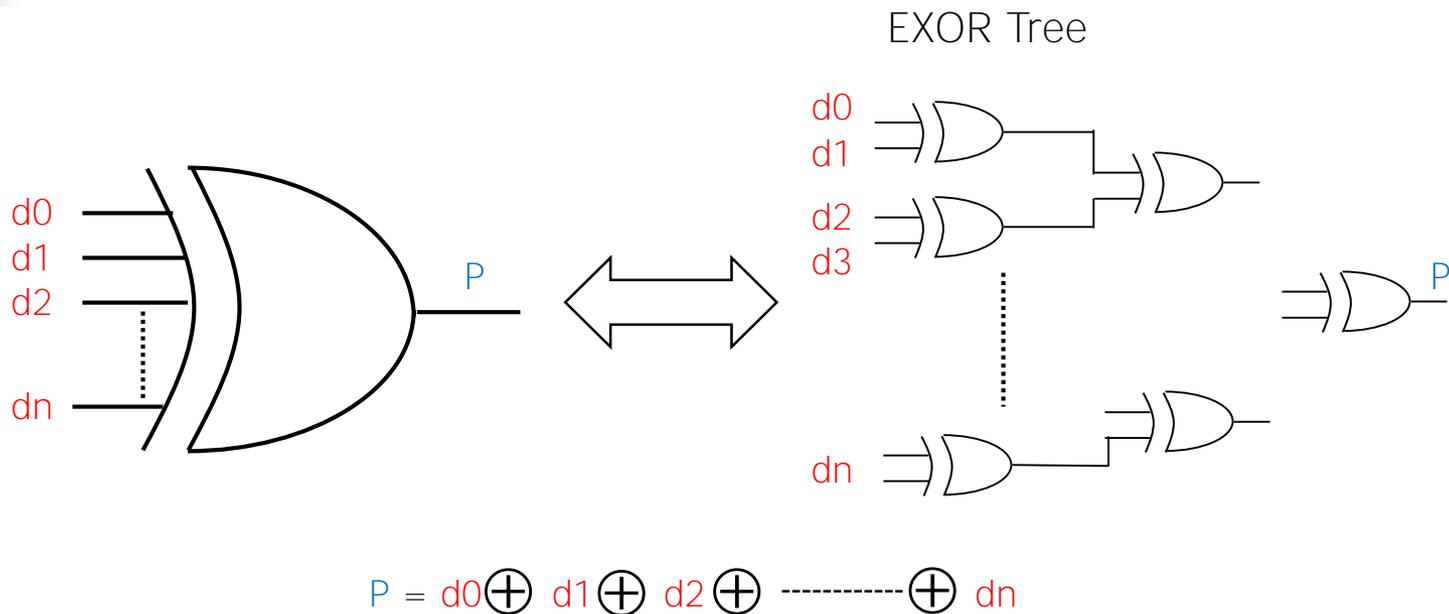
真理値表

EXORを実現する回路

EXOR回路



多入力EXOR 回路とパリティ



Parity

$d0, d1, \dots, dn$ の1の数が奇数個 $\rightarrow P=1$
偶数個 $\rightarrow P=0$

メモリ、通信のデータチェック等に使用

誤り訂正符号

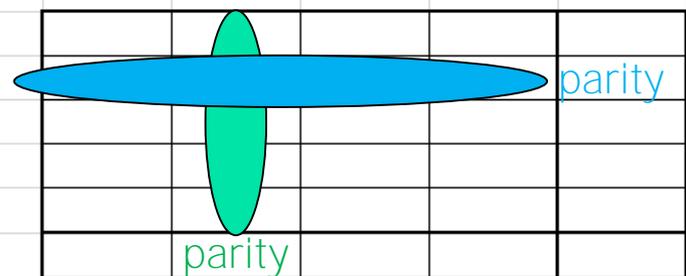
(Error Correction Code: ECC)

ECC付メモリ



1	0	1	1	1
0	1	0	1	0
1	1	0	1	1
1	1	0	1	1
1	0	1	0	0
0	1	0	0	1

正しいデータの場合



1	0	1	1	1
0	1	0	1	0
1	1	1	1	1
1	1	0	1	1
1	0	1	0	0
0	1	0	0	1

誤り

誤り

誤り訂正符号 (続き)

(Error Correction Code: ECC)

誤り

1	0	1	1	1
0	1	0	1	0
1	1	1	1	1
1	1	0	1	1
1	0	1	0	0
0	1	0	0	1

誤り検出

誤り

1	0	1	1	1
0	1	0	1	0
1	1	0	1	1
1	1	0	1	1
1	0	1	0	0
0	1	0	0	1

誤り訂正

Parity データは誤りがあることのみ検出可。訂正はできず。

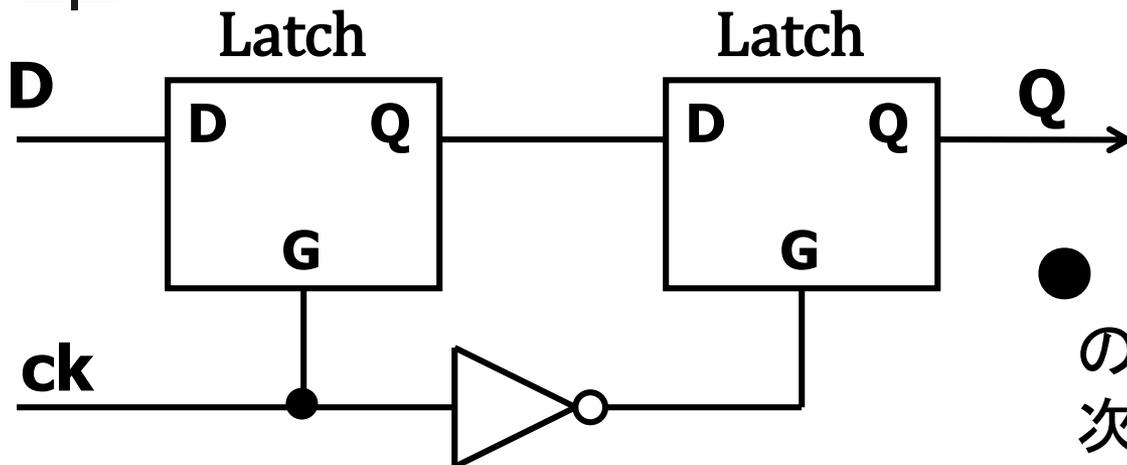
				1
				0
				1
				1
				1
				0
0	1	0	0	Parity = 1

				1
				0
				1
				1
				0
0	1	0	1	

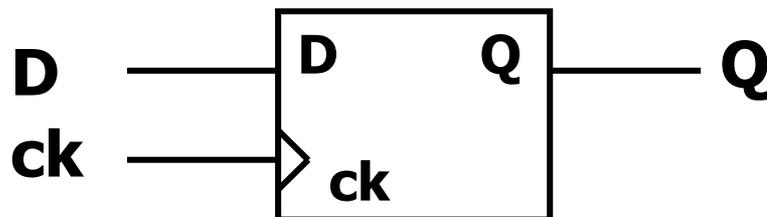
一致してなければ 誤り有り

と の parity は一致

フリップ・フロップ回路

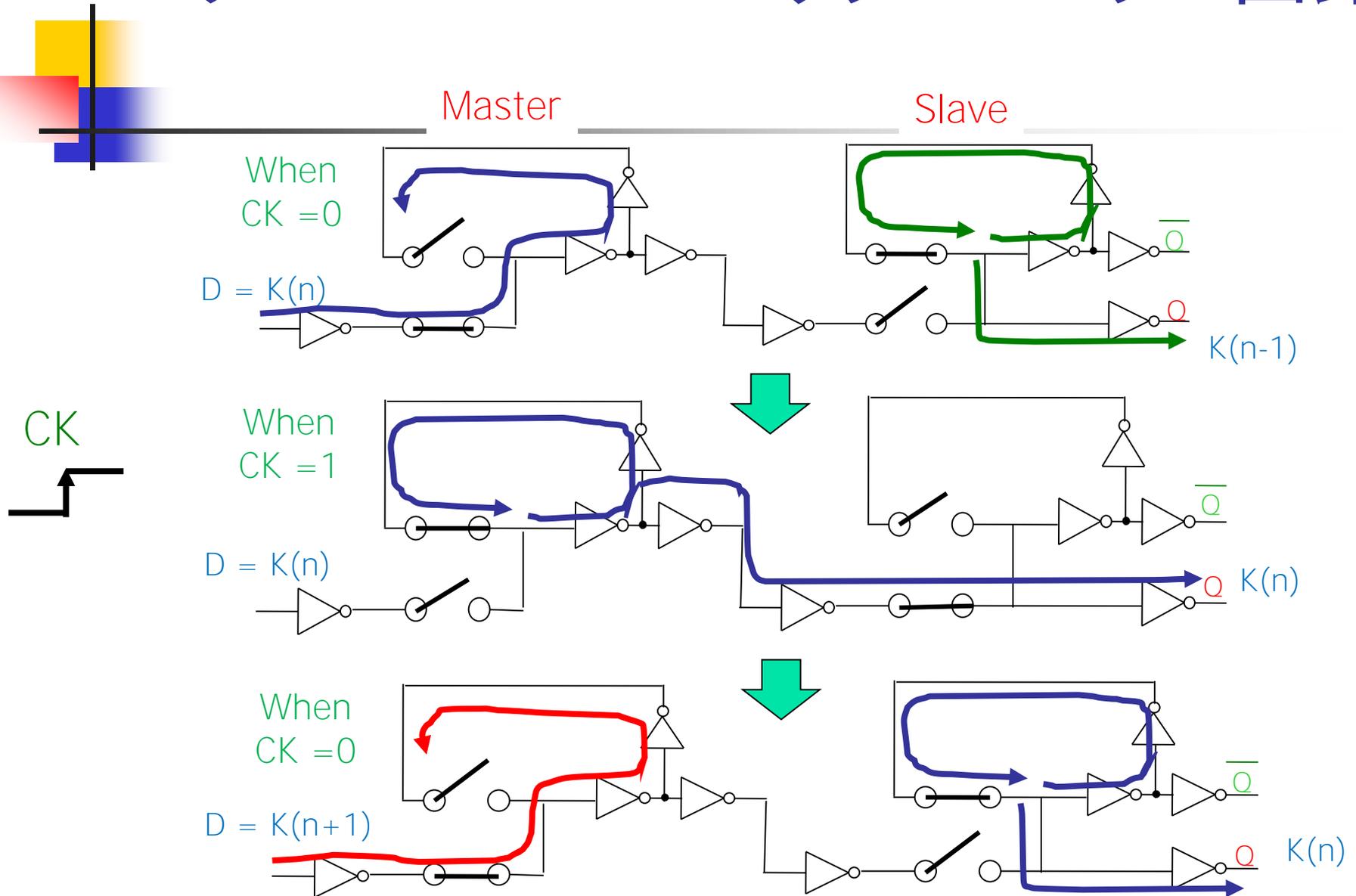


Flip-Flop

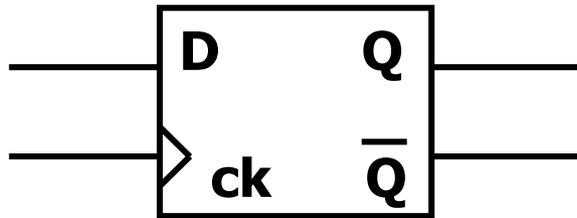


- クロック ck の立ち上がりの瞬間のデータ D を次のクロック立ち上がりまで($CK=1, 0$ でも)保持
- 2つのラッチ回路から構成
- 高速回路ではラッチではなくフリップフロップを使用

マスター・スレーブ・フリップフロップ回路

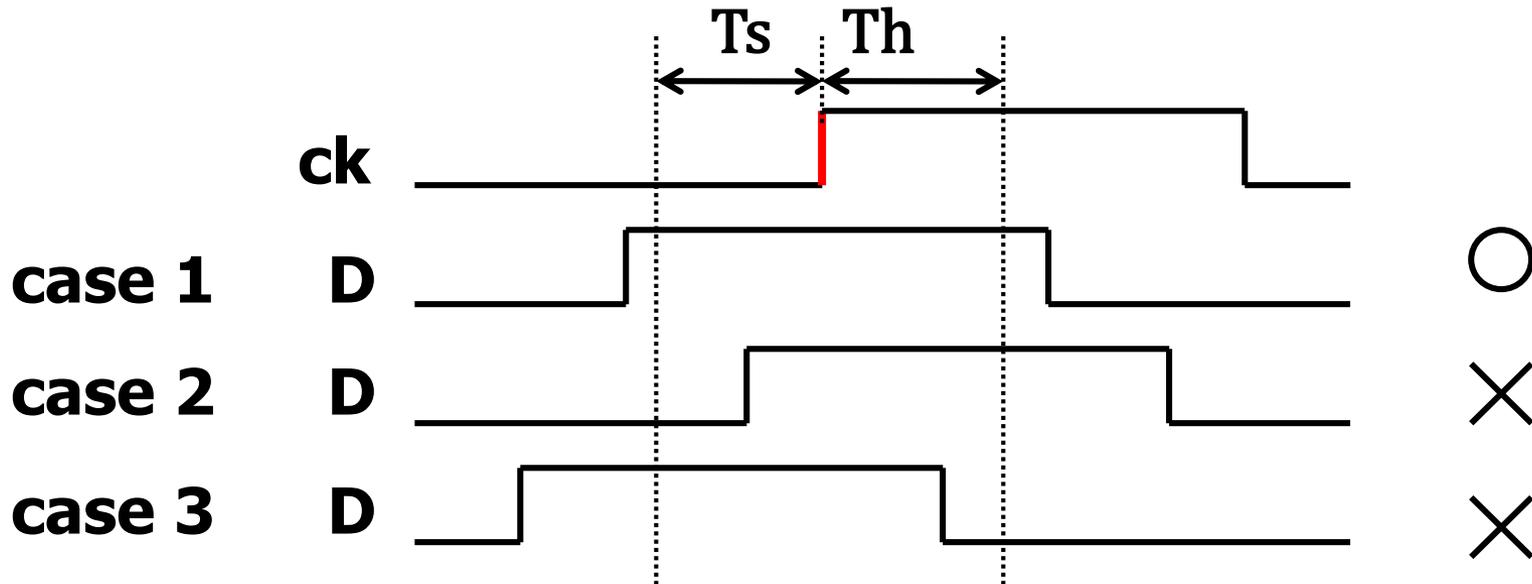


フリップ・フロップ回路と セットアップ時間、ホールド時間



T_s : set-up time

T_h : hold time



Set-up Time & Hold Time of Flip-Flop