

2022年5月31日(火)



集積回路システム工学 第7回講義

アナログ集積回路 調査研究事例

ADC入力容量、比較器

電流ミラー、レベルシフト回路

小林春夫

群馬大学大学院理工学府 電子情報部門

koba@gunma-u.ac.jp

下記から講義使用 pdfファイルをダウンロードしてください。

出席・講義感想もここから入力してください。

<https://kobaweb.ei.st.gunma-u.ac.jp/lecture/lecture.html>

AD変換器の分解能

信号 2進

レベル 4 2 1

0 0 0 0

1 0 0 1

2 0 1 0

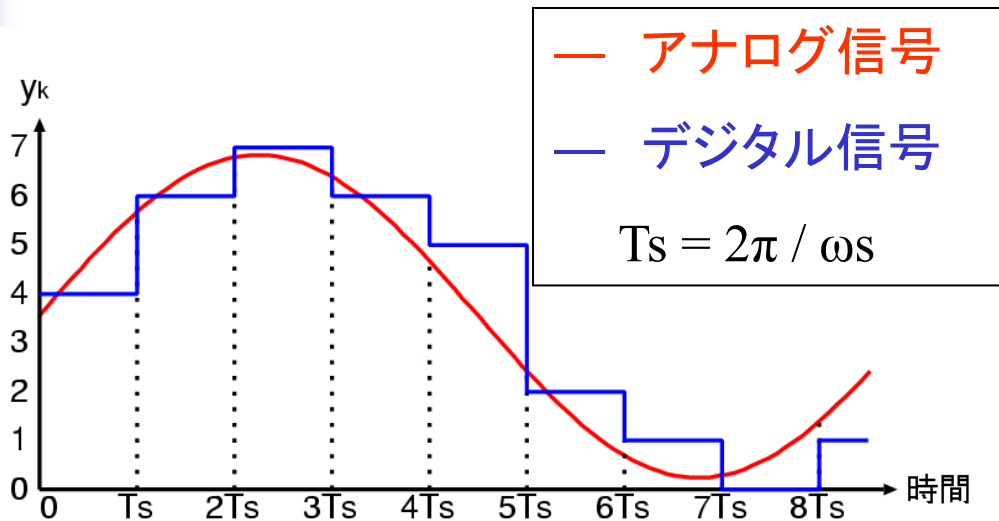
3 0 1 1

4 1 0 0

5 1 0 1

6 1 1 0

7 1 1 1



0 - 7 の8レベル: $2^3 = 8$ → 3ビットの分解能

よく用いられるAD変換器の分解能

0 - 255 の256レベル: $2^8 = 256$

8ビットの分解能

0 - 1023 の1024レベル: $2^{10} = 1024$

10ビットの分解能

数の感覚

2のべき乗はとてつもなく大きな数になる

$$2^8=256$$

$$2^{10}=1024$$

$$2^{20}=1,048,576$$

$$2^{30}=1,073,741,824$$

Nビット AD変換器

N→大 → 極めて細かい最小分解能

- 曾呂利新左衛門(初代)が豊臣秀吉から褒美を問われ、今日は米1粒、翌日には倍の2粒、その翌日には更に倍の4粒と、日ごとに倍の量の米を100日間もらう事を希望

→ とてつもない量

- 新聞紙を26回2つ折りにすると、富士山より高くなる

<https://ja.wikipedia.org/wiki/曾呂利新左衛門>

<https://ja.wikipedia.org/wiki/2の冪>



回路と物理

東大名誉教授 北森俊行先生

「回路での物理はマックスウエルの方程式である。
しかし **どんな部品をどのように配置、接続して
目的を達成するかは
マックスウエルの方程式は教えてくれない。**
そこに**目的と構造を関係付ける工学**の活躍の場が
広がっている。

大学では数学と物理をしっかり教えておけばよい
という意見もあるがとんでもない。」

アナログ電子回路設計を学ぶ

アナロググル Bob Dobkin氏

シリコンバレーのハイテク企業

Linear Technology 社訪問 (現在ADI社)

これからの半導体設計の研究・教育のヒントを求めて
「アナログ専門会社、優れた技術者多し
高性能アナログICの製品、継続的に収益」
と事前に認識



Bob Dobkin
(CTO, Analog Guru)

Steve Pietkiewicz
(Vice President)



違いは「情報」にあり デジタルとアナログ

デジタル

- 0と1を組み合わせて情報表現
- 電源電圧、回路に依らない

アナログ

- 情報は電圧、電流、電荷などで表現
- 実世界のパラメータと結びつく
- 温度、ノイズ、遅延、安定度などの誤差が
全てアナログ出力に影響を与える。
- アナログ出力の品質は
生成する回路の性能に依存

アナログ回路設計の習得

→ 言語の学習に似ている

初めての言語を習うとき:

単語帳を作る。

新しい単語を一つずつ調べて文章を分析。

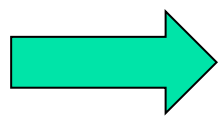
アナログ回路設計を学ぶとき:

回路の基礎と様々なデバイス機能を学ぶ。

ノード方程式を書き、個々の回路を検討し

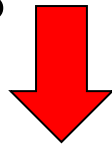
回路動作を調べる。

アナログ回路設計技術習得



4-5年はかかる

新しく習った言語で良い詩が書けるまで
年月がかかる。



アナログ回路設計

最終回路を実現するために

基本回路構成を使う。

芸術的な回路設計ができるようになるまで
時間がかかる。



焼き芋と回路設計

崇城大学 西嶋仁浩先生

石焼き芋が甘いのは？



さつまいもにはデンプンを糖に分解する酵素
活発に働くのは60°Cくらい。じっくりと焼くから甘くなる。
電子レンジで温めただけでは甘くならない。
料理を作る際、食材の選び方、火加減や味付けなど、
ちょっとしたコツでグッと美味しい料理に。



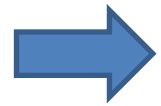
スイッチング電源回路も、回路方式/使用部品の特徴を
しっかり把握するだけで、全く違うものに仕上がる。

予備知識 1

ミラー容量、ミラー効果

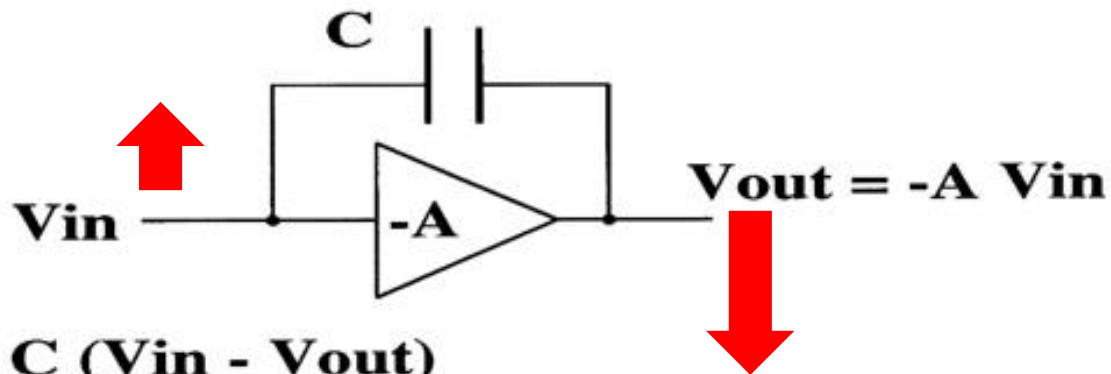
ミラー容量 (Miller Capacitance)

利得 $-A$ 倍のアンプの入出力間に 容量 C



入力から見た容量は

$(1+A)$ 倍され $C(1+A)$ に見える (ミラー効果)



$$\begin{aligned} Q &= C (V_{in} - V_{out}) \\ &= C (1 + A) V_{in} \\ &= C_{eff} V_{in} \end{aligned}$$

where $C_{eff} = C (1+A)$

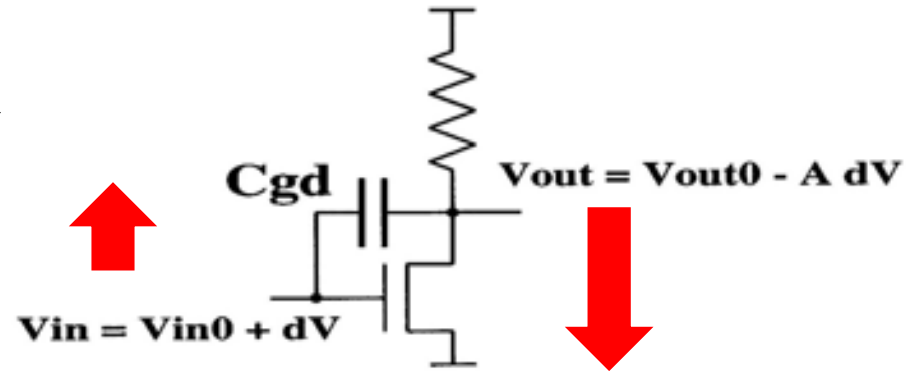
(Miller Capacitance)

ミラー容量 避けたい 積極利用したい

● ソース接地増幅回路

ゲートドレイン間容量 C_{gd} が
ミラー効果で大きく見える

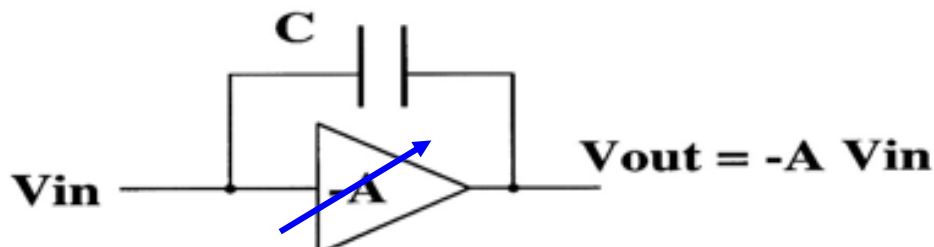
→ 高周波特性劣化



● 小チップ面積で等価的に大容量をIC内で実現

→ オペアンプの位相補償容量に使用

● 増幅器利得を可変 → 可変容量を実現



$$C_{eff} = C (1+A)$$

Miller (人名)は Mirror (鏡) ではない

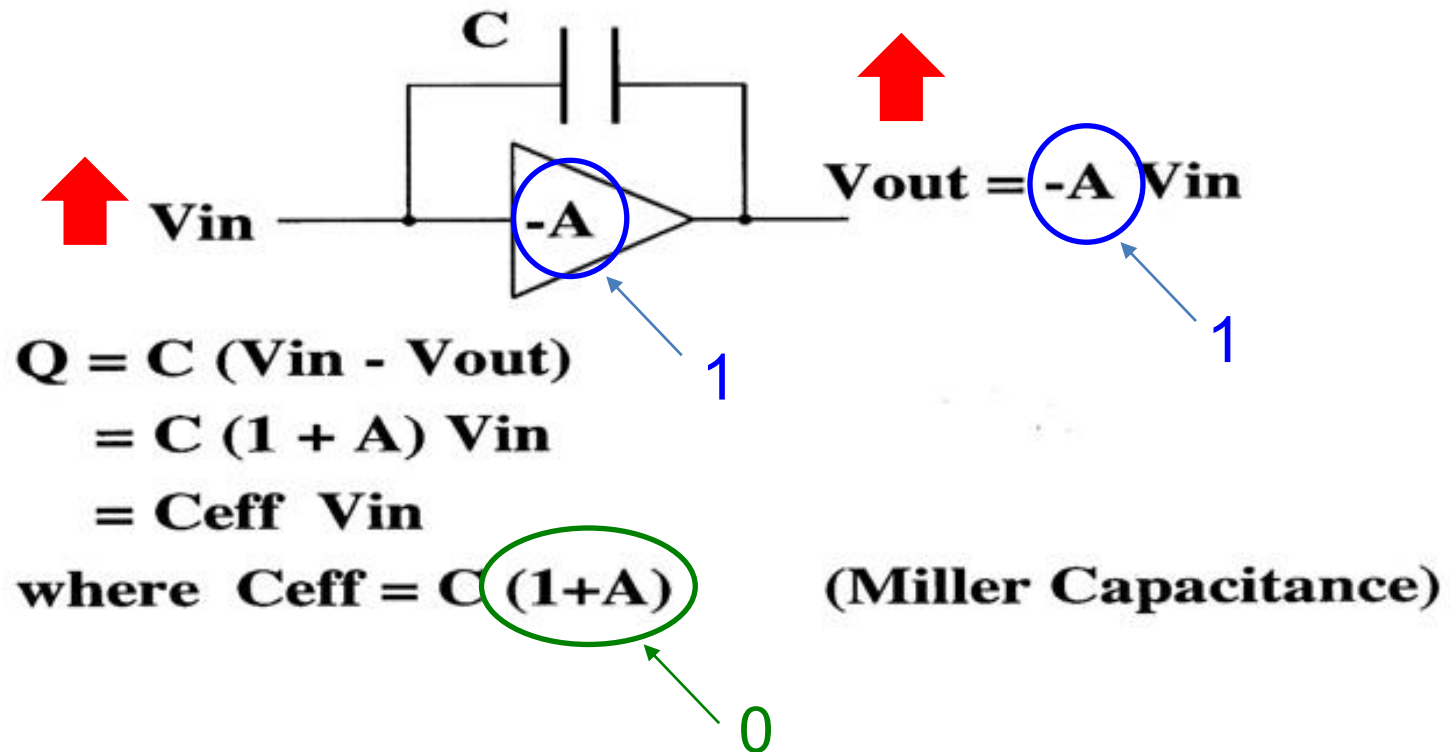
Miller 容量は真空管回路時代に
John Milton Miller (米 1882-1962)
により指摘



https://en.wikipedia.org/wiki/John_Milton_Miller

利得が1の場合

利得 $-A = 1$ のアンプの入出力間に 容量 C
➡ 入力から見た容量は ゼロに見える
($1+A$) 倍された $C(1+A)$ に見える



CMOS A/D変換器の 入力容量解析

群馬大学大学院工学研究科電気電子工学専攻

小暮英行

発表内容

1. 入力容量の定義とその求め方
2. CMOS ADCの入力容量
3. MOSTランジスタのゲート容量
4. 差動アンプの入力容量
5. 低入力容量差動アンプの提案
6. まとめ

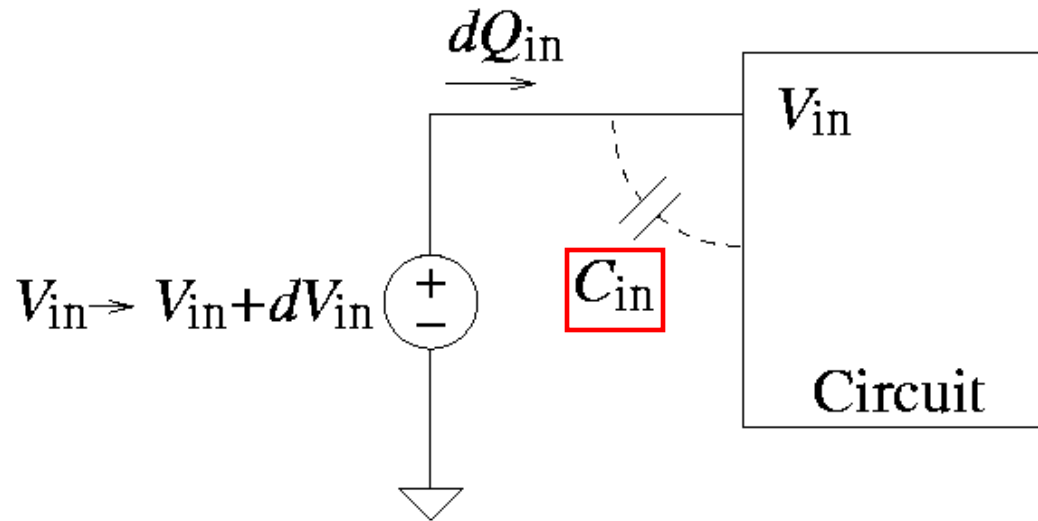
研究目的

高速CMOS ADCのAC性能向上のため

- 入力容量の非線形性を解析する
- 非線形性を緩和する回路を提案する

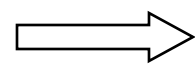
1. 入力容量の定義とその求め方

入力容量の定義



入力電圧 $V_{in} \rightarrow V_{in} + dV_{in}$

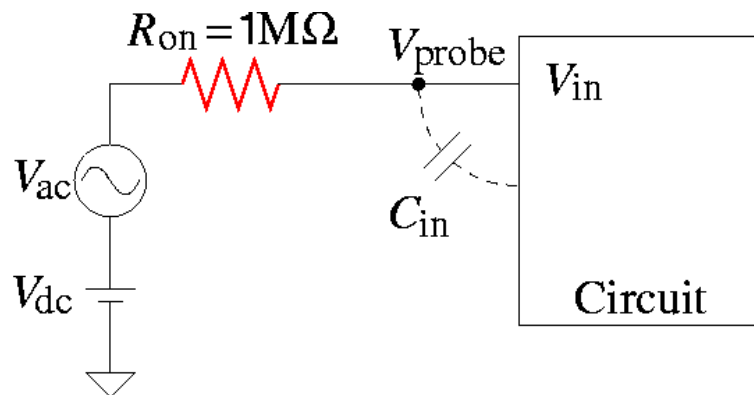
流入電荷 dQ_{in}



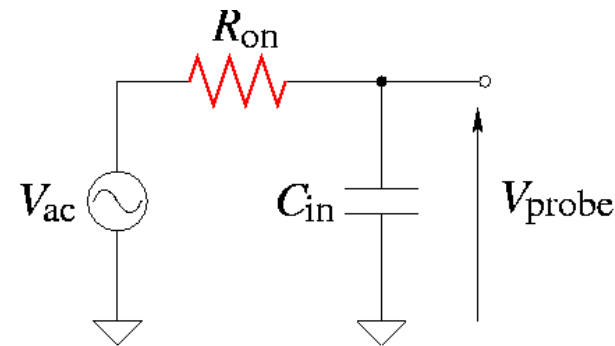
入力容量

$$C_{in} = \frac{dQ_{in}}{dV_{in}}$$

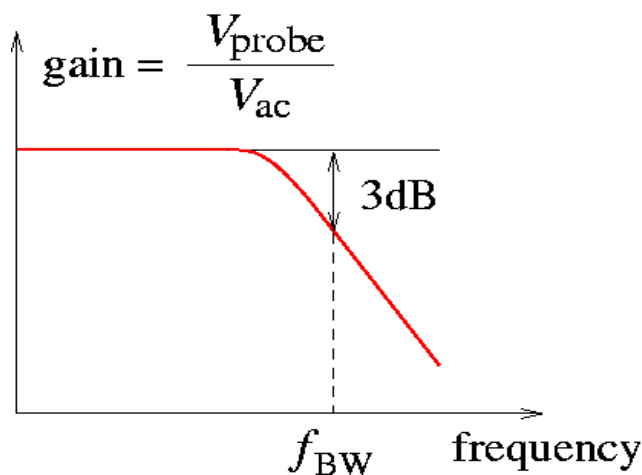
SPICEシミュレーションによる 入力容量の求め方



近似すると



↓ AC解析



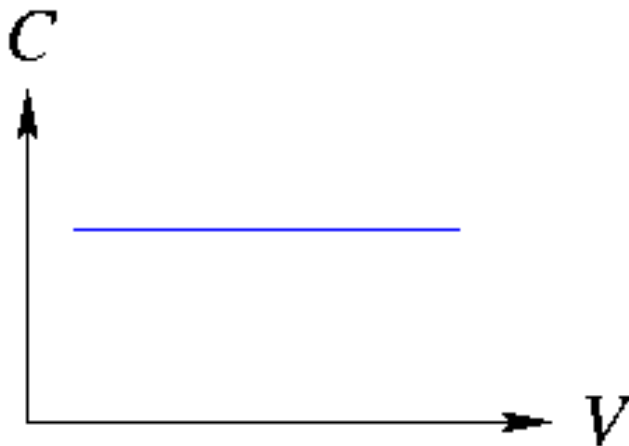
帯域 $f_{BW} = \frac{1}{2\pi R_{on} C_{in}}$



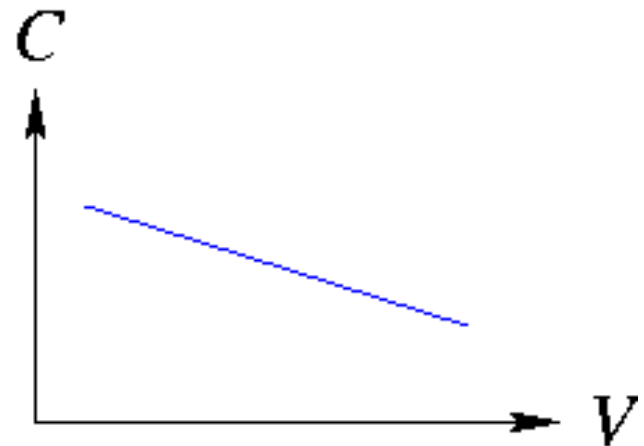
入力容量 $C_{in} = \frac{1}{2\pi f_{BW} R_{on}}$

容量の非線形性とは

線形



非線形



入力容量の非線形性 → AC性能を劣化させる要因

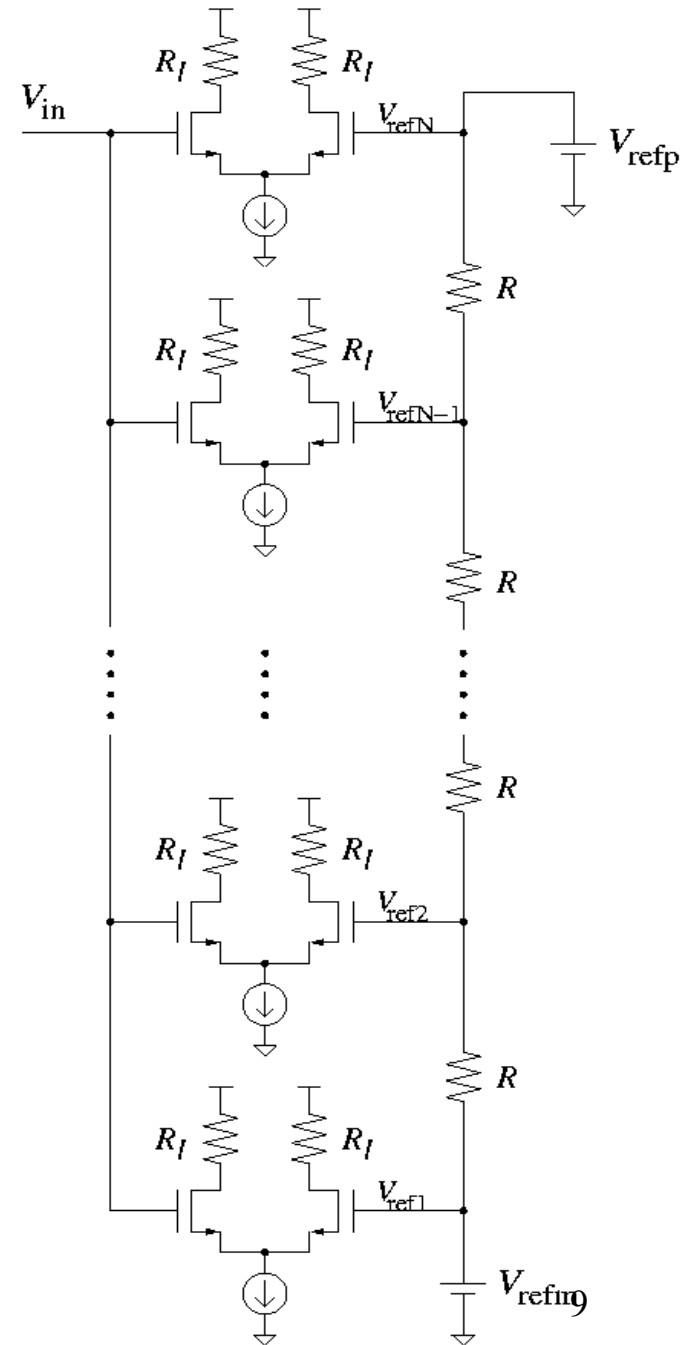
例. 立ち上がりステップ入力と
立ち下がりステップ入力とで応答が異なってしまう

2. CMOS ADCの入力容量

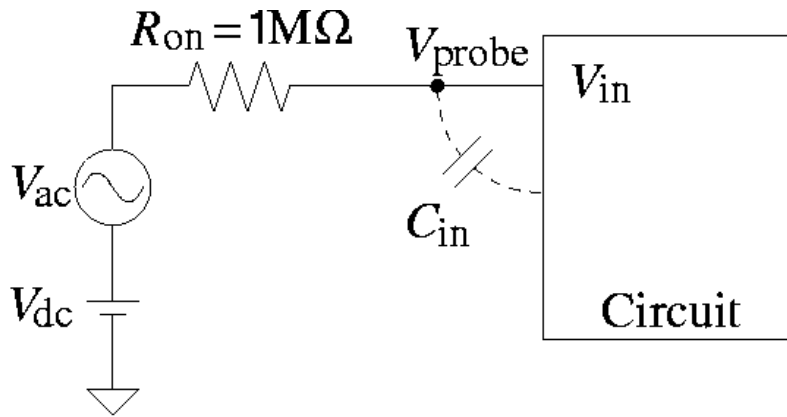
CMOS ADC

フラッシュ型CMOS ADC入力部

- 差動アンプN個の並列構成
- 抵抗ラダーからVref生成
- 差動アンプに入力電圧VinとVrefを供給

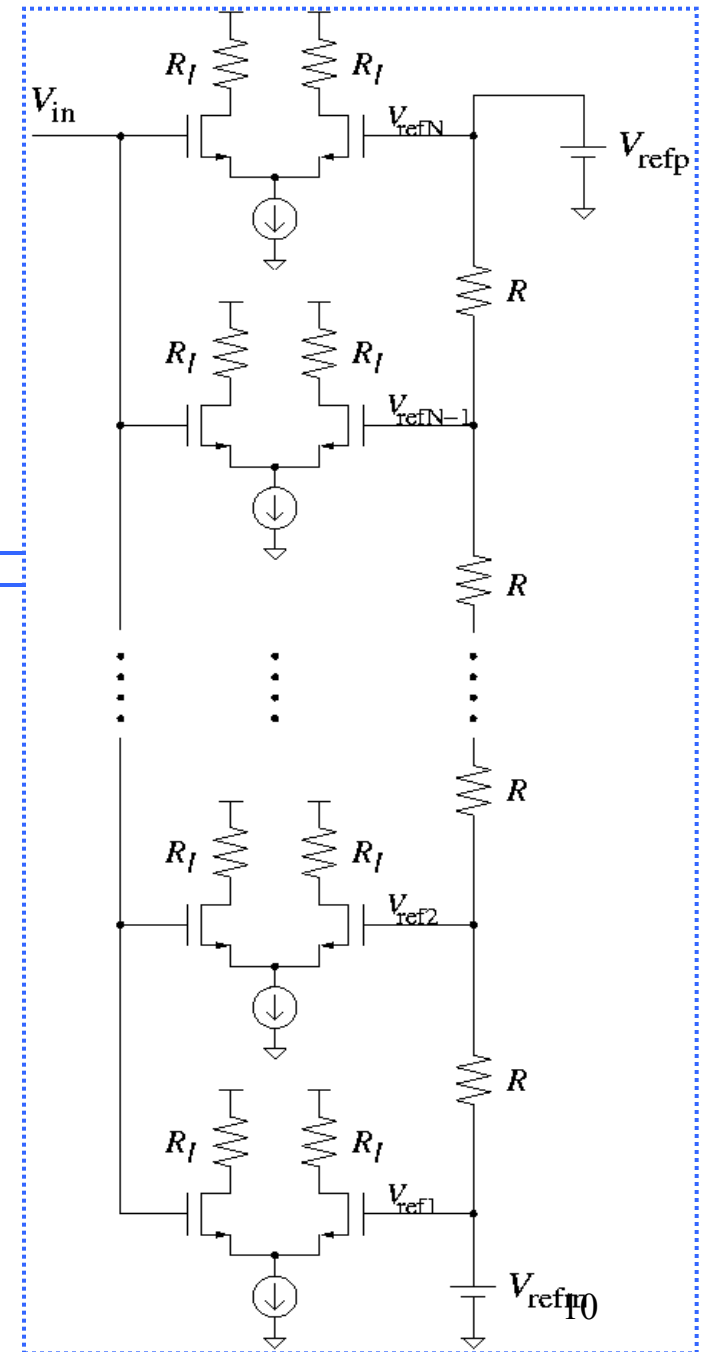


CMOS ADCの 入力容量の求め方



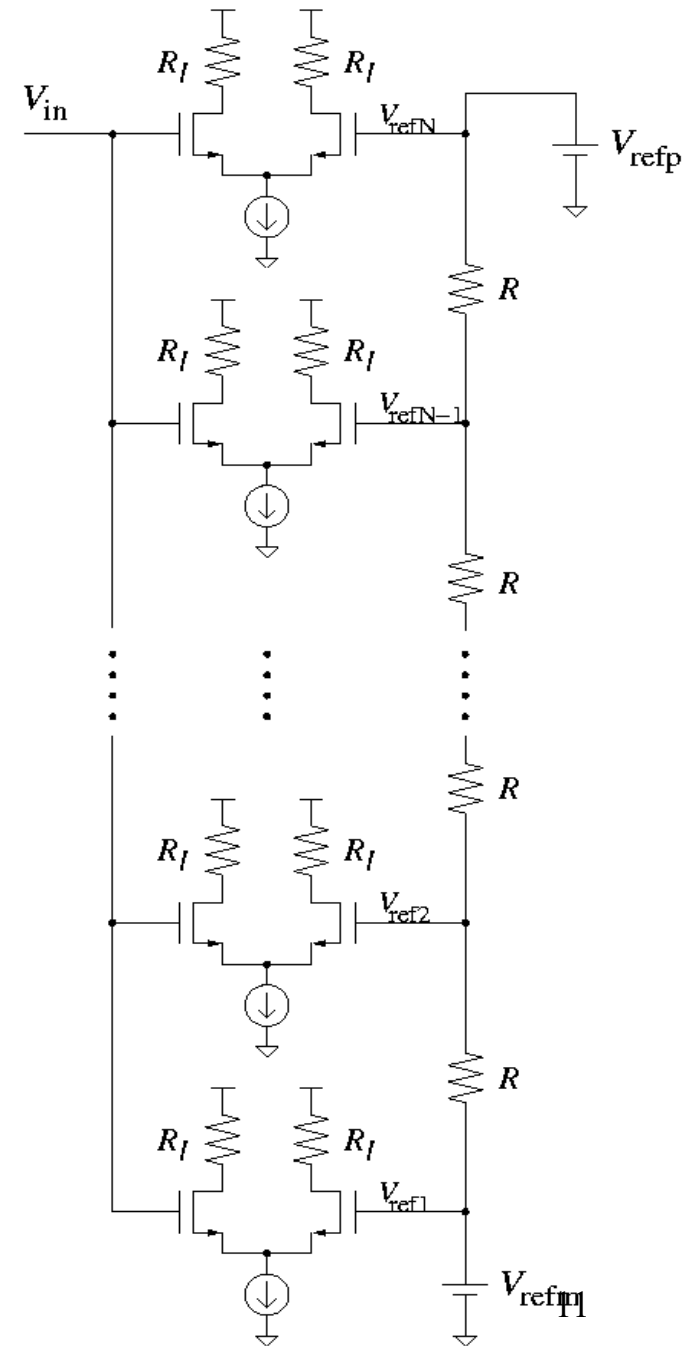
AC解析より帯域 f_{BW} を求める

⇒ 入力容量 $C_{in} = \frac{1}{2\pi f_{BW} R_{on}}$

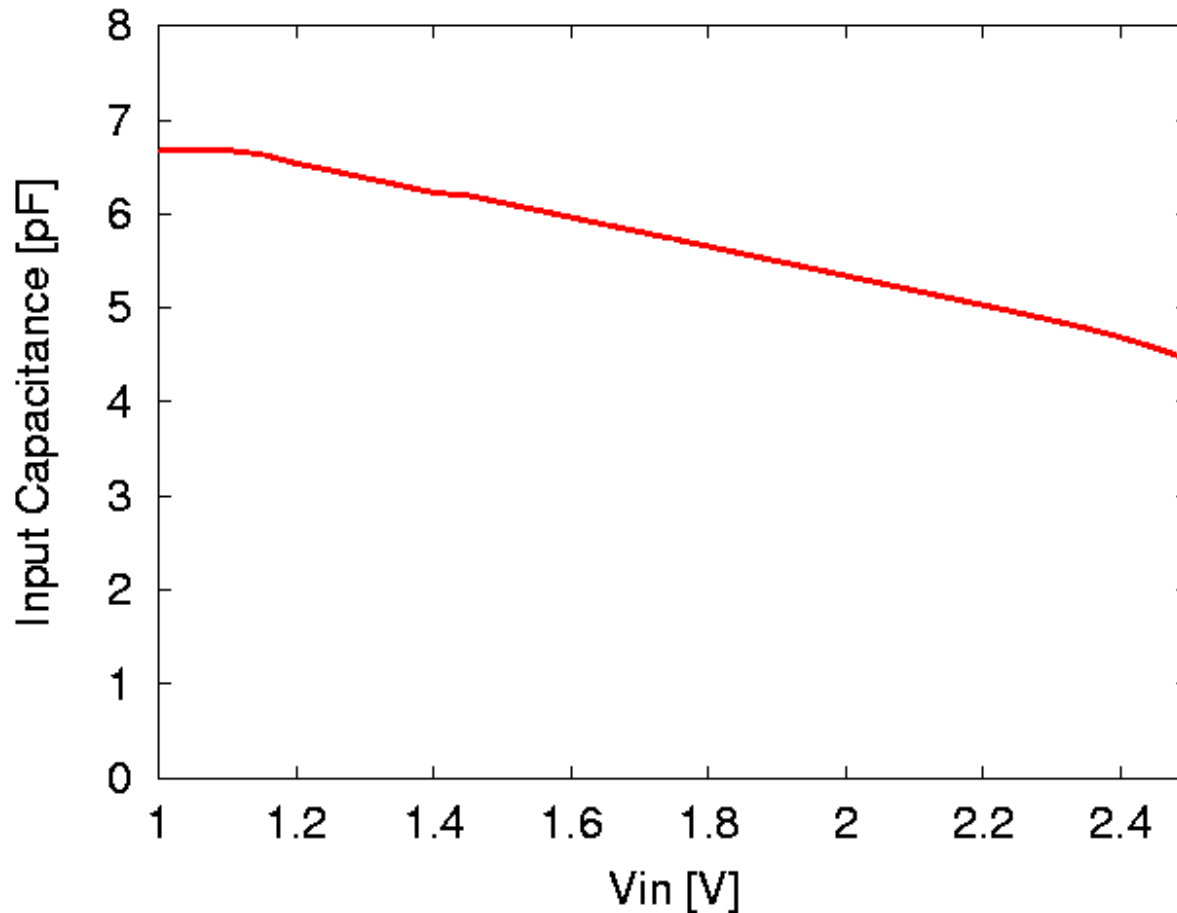


シミュレーション条件

- MOSIS 0.35 μm CMOS process
- BSIM3 model
- $V_{\text{refp}}=2.5\text{V}$, $V_{\text{refm}}=1.0\text{V}$
- $R=5\Omega$, $R_l=1\text{k}\Omega$
- $W/L=100/0.35$
- $I_{\text{bias}}=200\mu\text{A}$
- 差動アンプ数 $N=45$

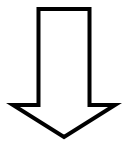


CMOS ADCの入力容量

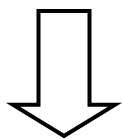


入力電圧が高くなると入力容量は減少する

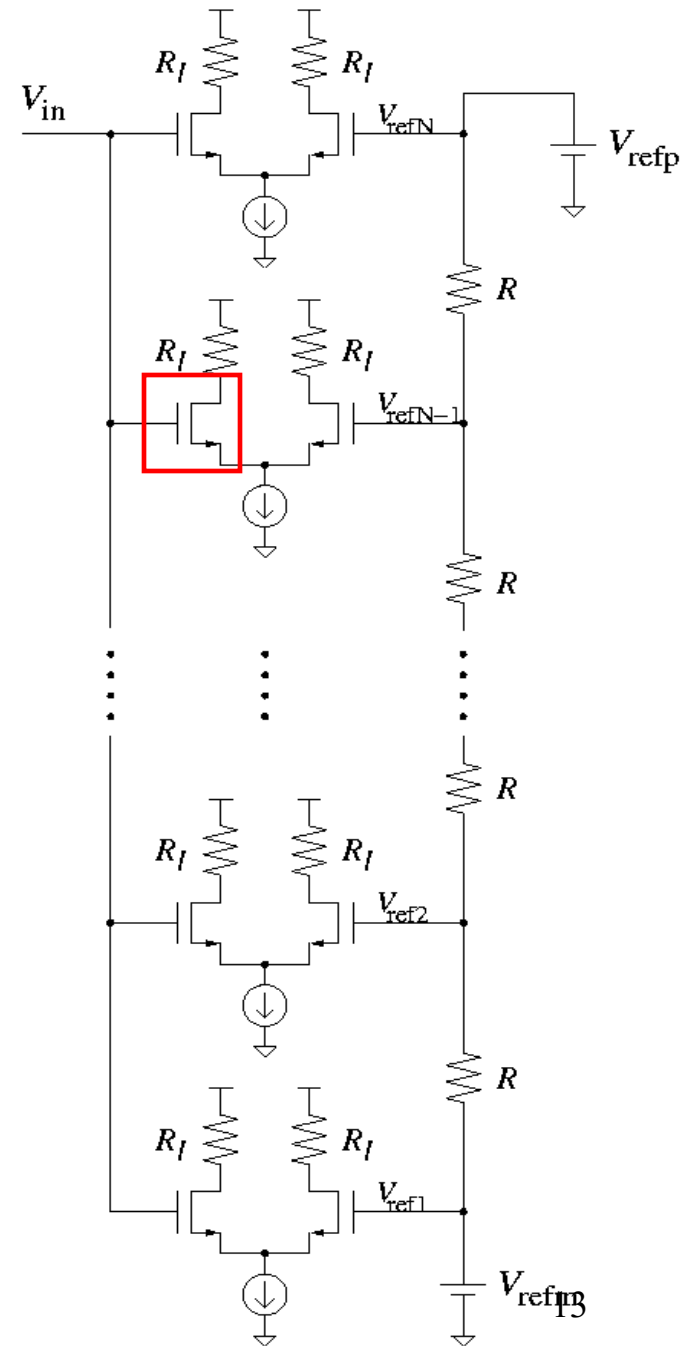
CMOS ADCの入力容量が
なぜ非線形なのかを
解析するために...



CMOS ADCの入力容量を
MOSTランジスタのゲート容量の
足し合わせと考える

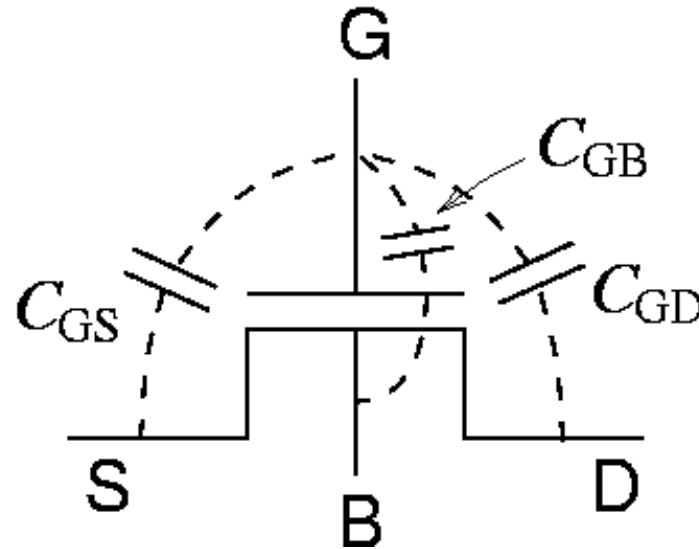


MOSTランジスタの
ゲート容量を調べる



3. MOSトランジスタのゲート容量

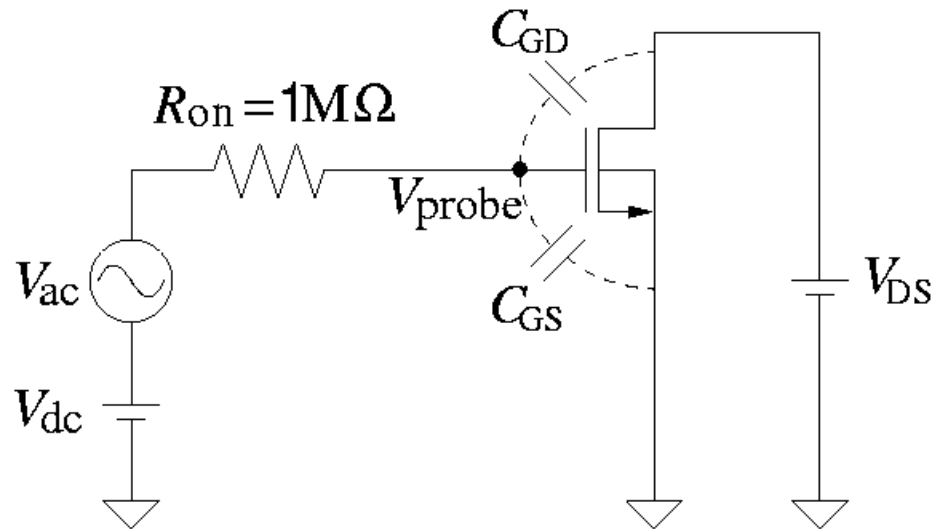
MOSTランジスタのゲート容量



ゲート容量

- ゲート-ドレイン間容量 C_{GD}
- ゲート-ソース間容量 C_{GS}
- ゲート-バルク間容量 C_{GB}

MOSTランジスタのゲート容量の 求め方

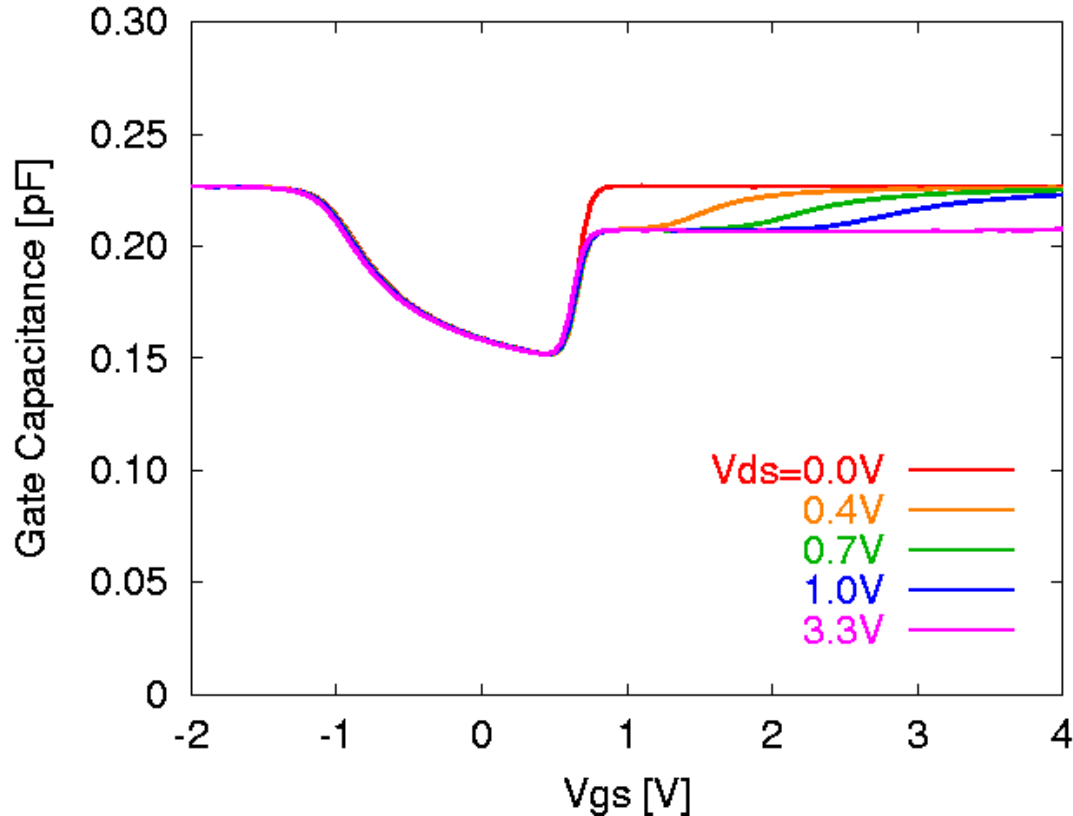


- BSIM3 model
- W/L=100/0.35

AC解析より帯域 f_{BW} を求める

⇒ ゲート容量 $C_{gate} = \frac{1}{2\pi f_{BW} R_{on}}$

MOSTランジスタのゲート容量



- OFF時よりON時の方がゲート容量は大きい
- V_{ds} が低い方がゲート容量は大きい

⇒ Meyer容量モデルと定性的に合致

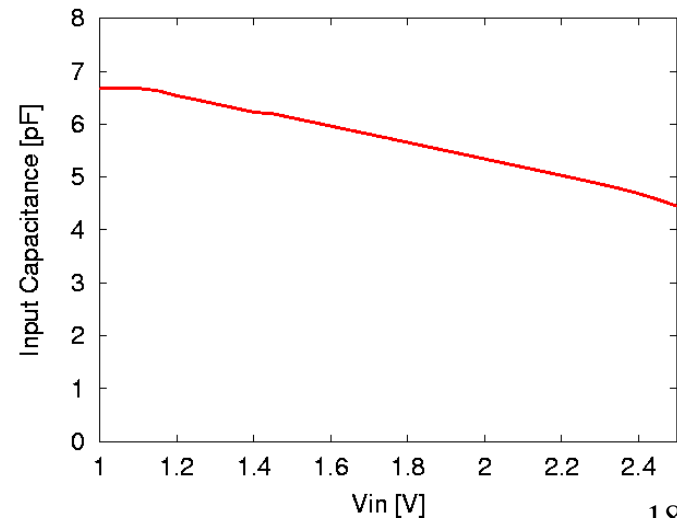
“ADCの入力容量=MOSゲート容量の総和”
と考えると...

ADCの入力電圧が上昇する

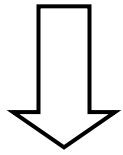
⇒ (入力差動アンプ内の)
ON状態のMOSトランジスタ数が増える

⇒ 入力容量が増加する

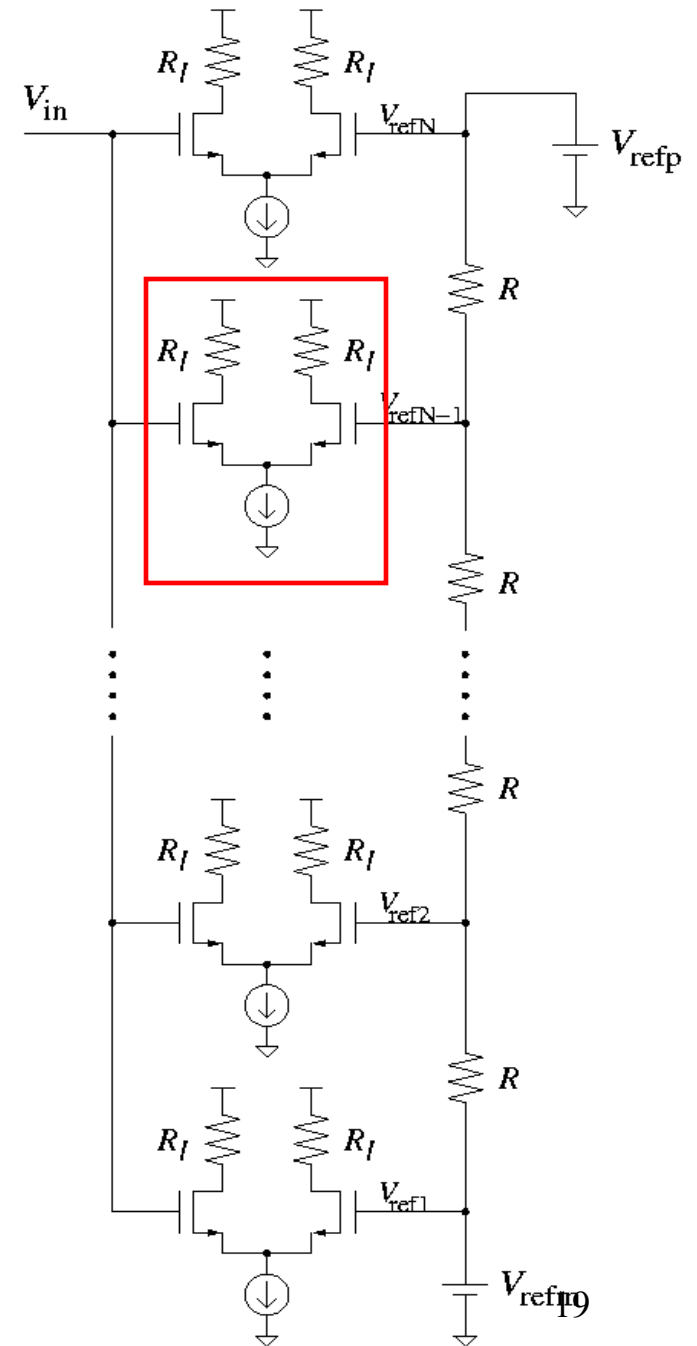
ADCの入力容量の
シミュレーション結果に
矛盾する



MOSゲート容量の総和では
ADCの非線形性を説明できない

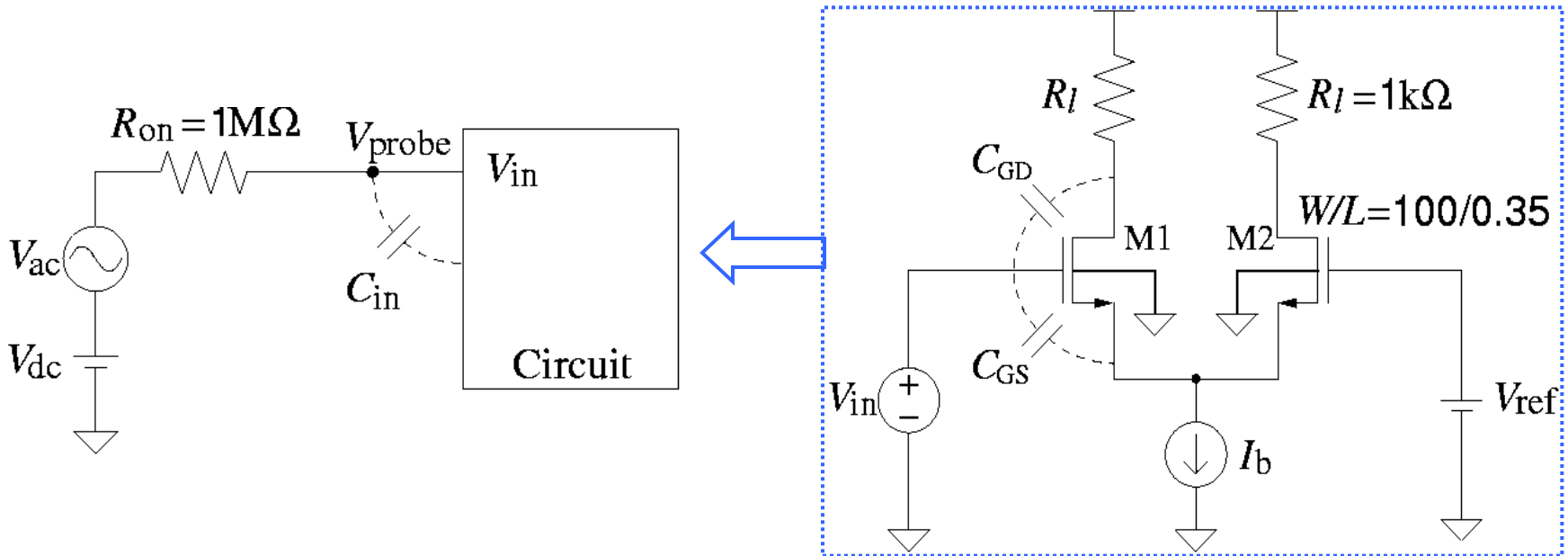


差動アンプの
入力容量を調べる



4. 差動アンプの入力容量

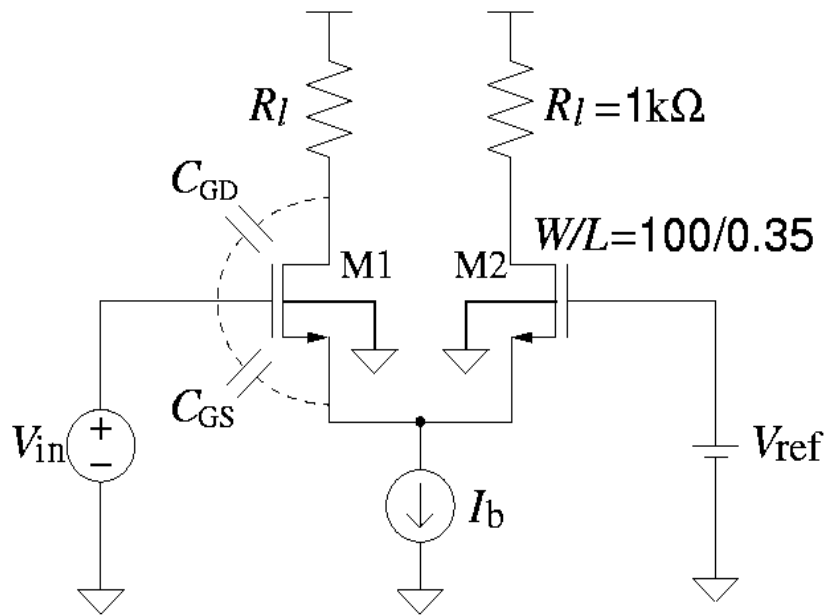
差動アンプの入力容量の 求め方



AC解析より帯域 f_{BW} を求める

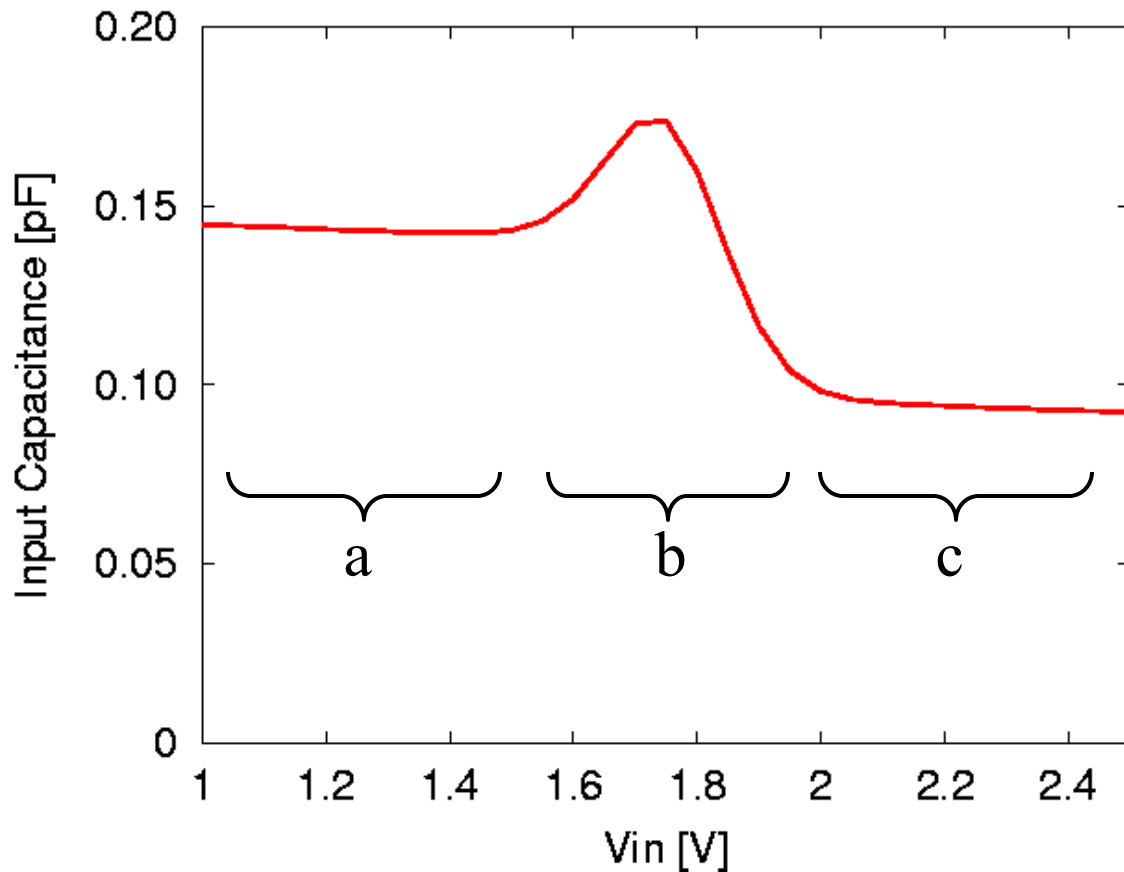
⇒ 入力容量
$$C_{in} = \frac{1}{2\pi f_{BW} R_{on}}$$

シミュレーション条件



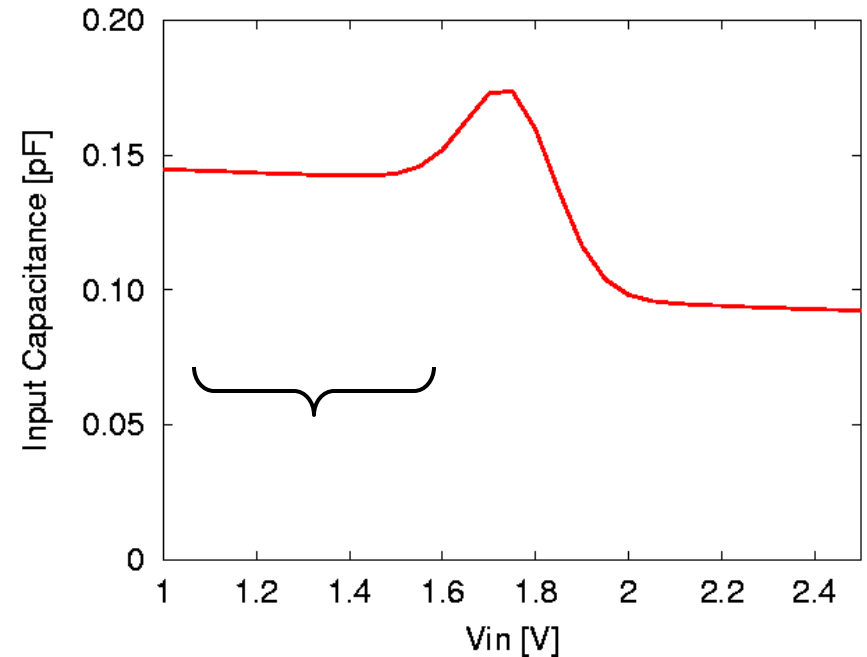
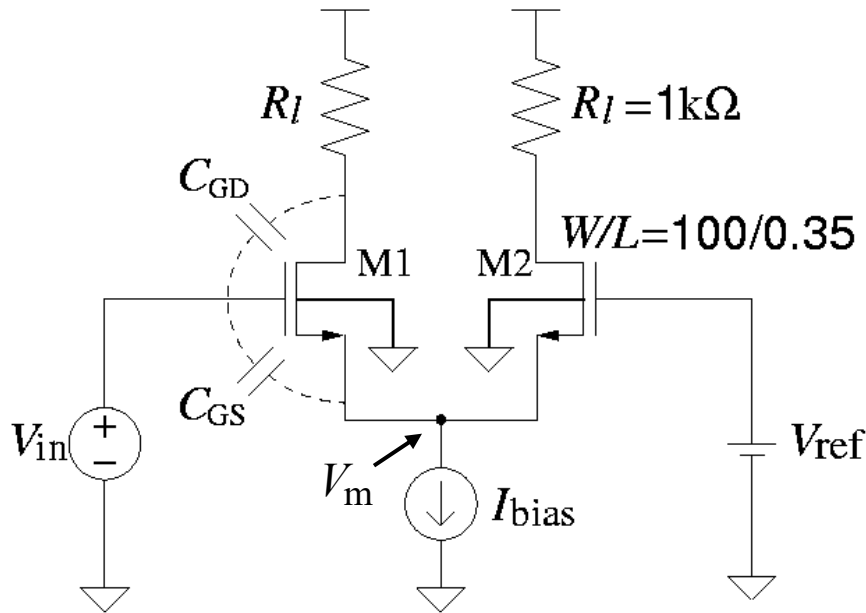
- BSIM3 model
- $V_{ref} = 1.0V \sim 2.5V$
- $R_l = 1k\Omega$
- $W/L = 100/0.35$
- $I_b = 200\mu A$

差動アンプの入力容量 ($V_{\text{ref}}=1.75\text{V}$)



- $V_{\text{in}}=V_{\text{ref}}$ 付近で入力容量が増加する
- $V_{\text{in}}<V_{\text{ref}}$ より $V_{\text{in}}>V_{\text{ref}}$ で入力容量小

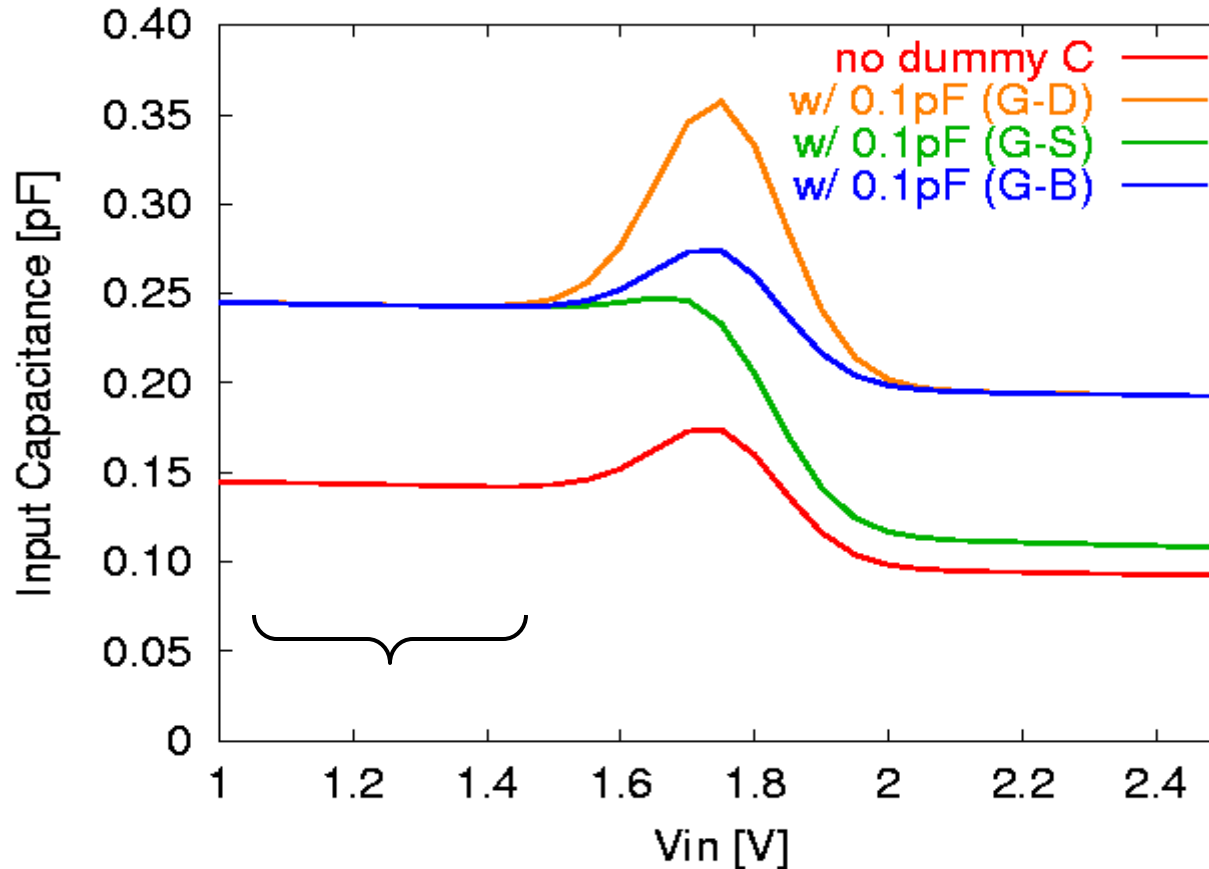
(a). $V_{in} \ll V_{ref}$ の領域



入力 V_{in} から OFF 状態の MOST ランジスタの
容量 C_{GD} , C_{GS} , C_{GB} が見える

⇒ 確認するためにダミー容量による解析を行う

(a). $V_{in} \ll V_{ref}$ の領域 (ダミー容量による解析)

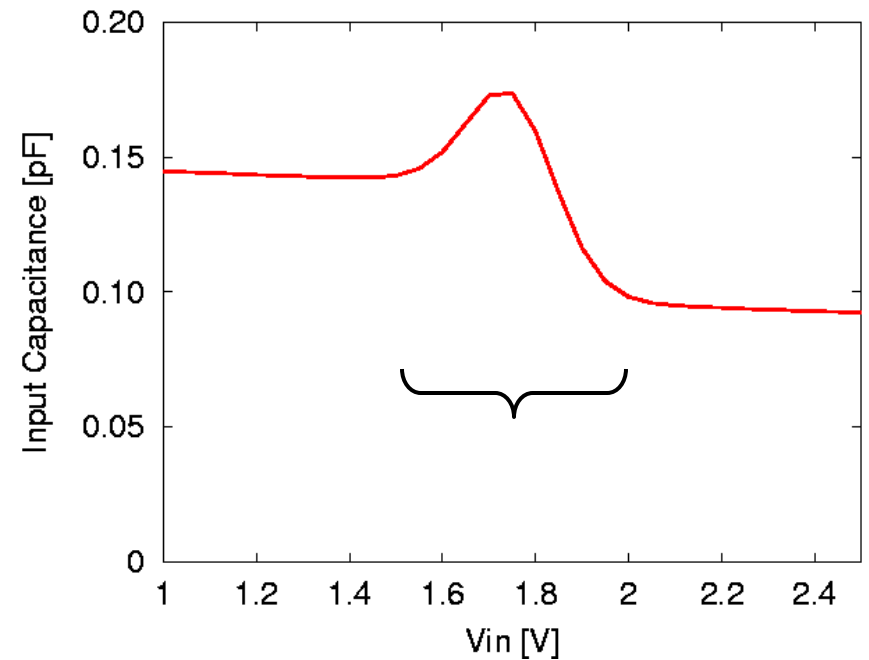
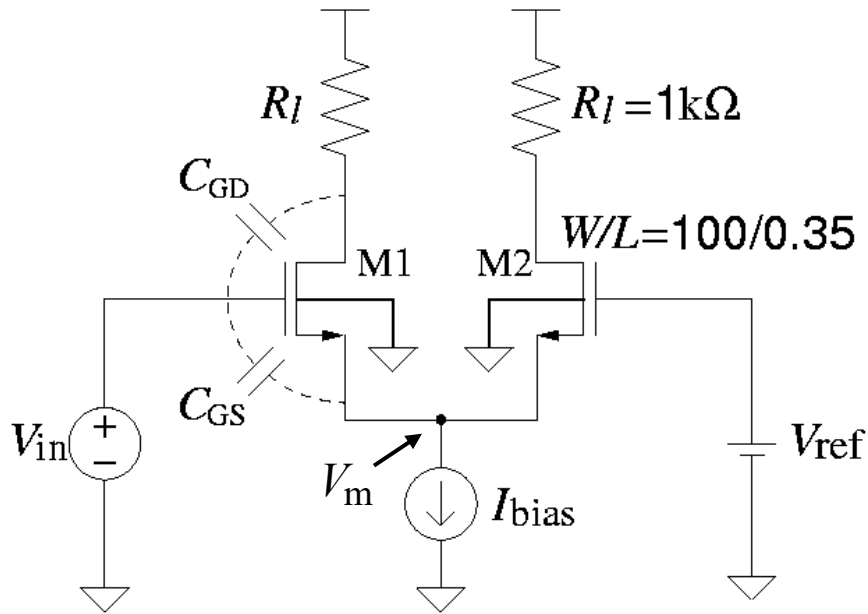


ダミー容量の影響

- G-D間 : あり
- G-S間 : あり
- G-B間 : あり

} V_{in} から
 C_{GD} , C_{GS} , C_{GB} が見える

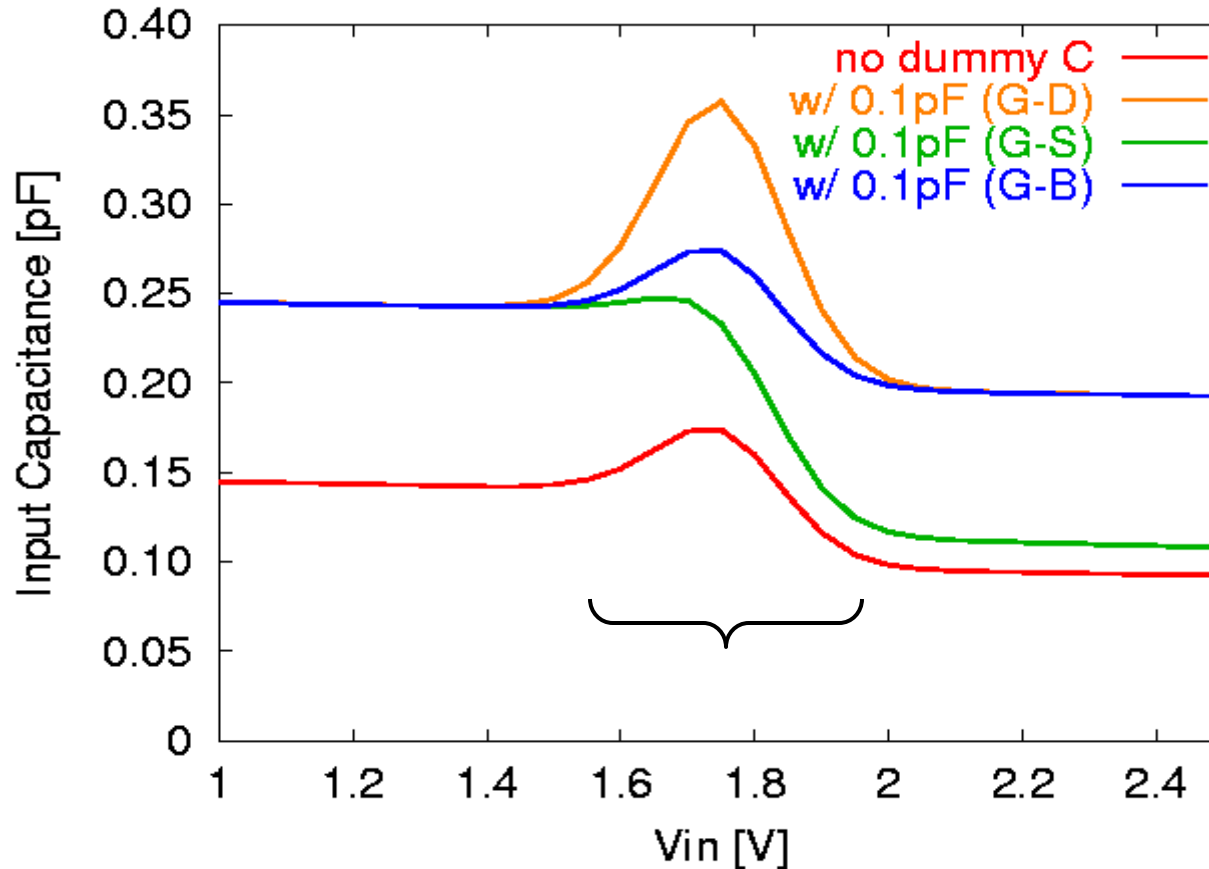
(b). $V_{in} \approx V_{ref}$ の領域



差動アンプのゲインが高くなる

→ 入力 V_{in} からミラー容量 $(1+A)C_{GD}$ と C_{GS} 、 C_{GB} が見える

(b). $V_{in} \approx V_{ref}$ の領域 (ダミー容量による解析)



ダミー容量の影響

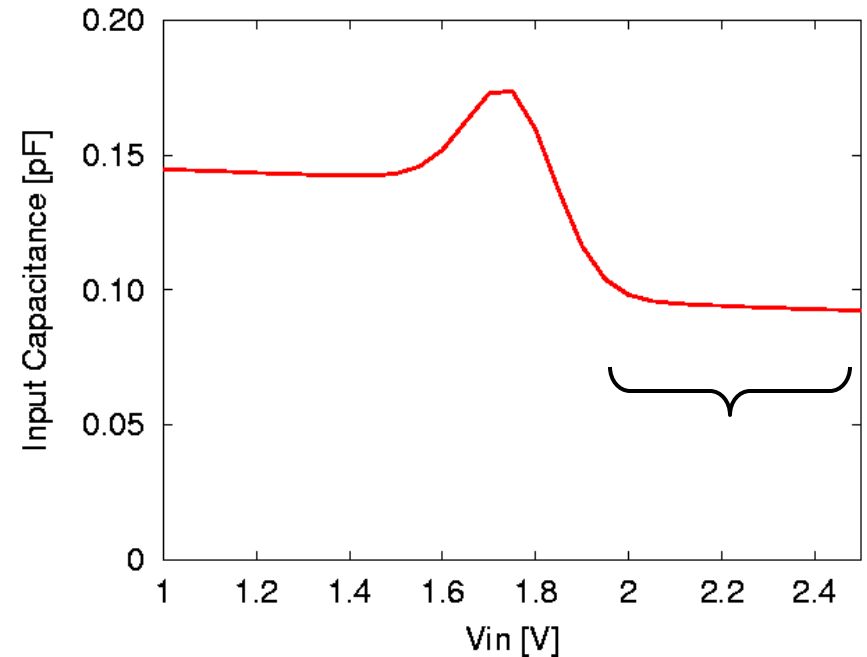
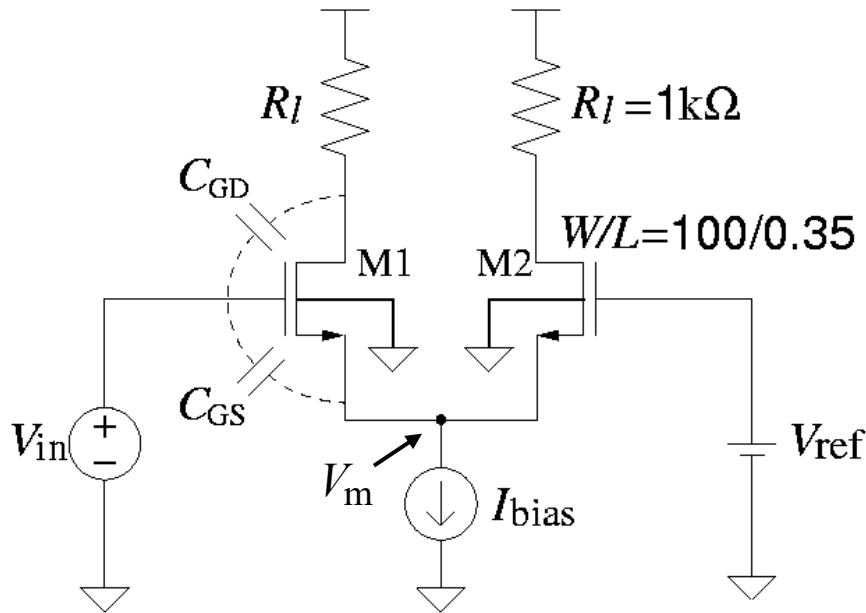
G-D間 : 特にあり

G-S間 : 少なくなる

G-B間 : あり

V_{in} から C_{GD} が
特に大きく見える

(c). $V_{in} \gg V_{ref}$ の領域

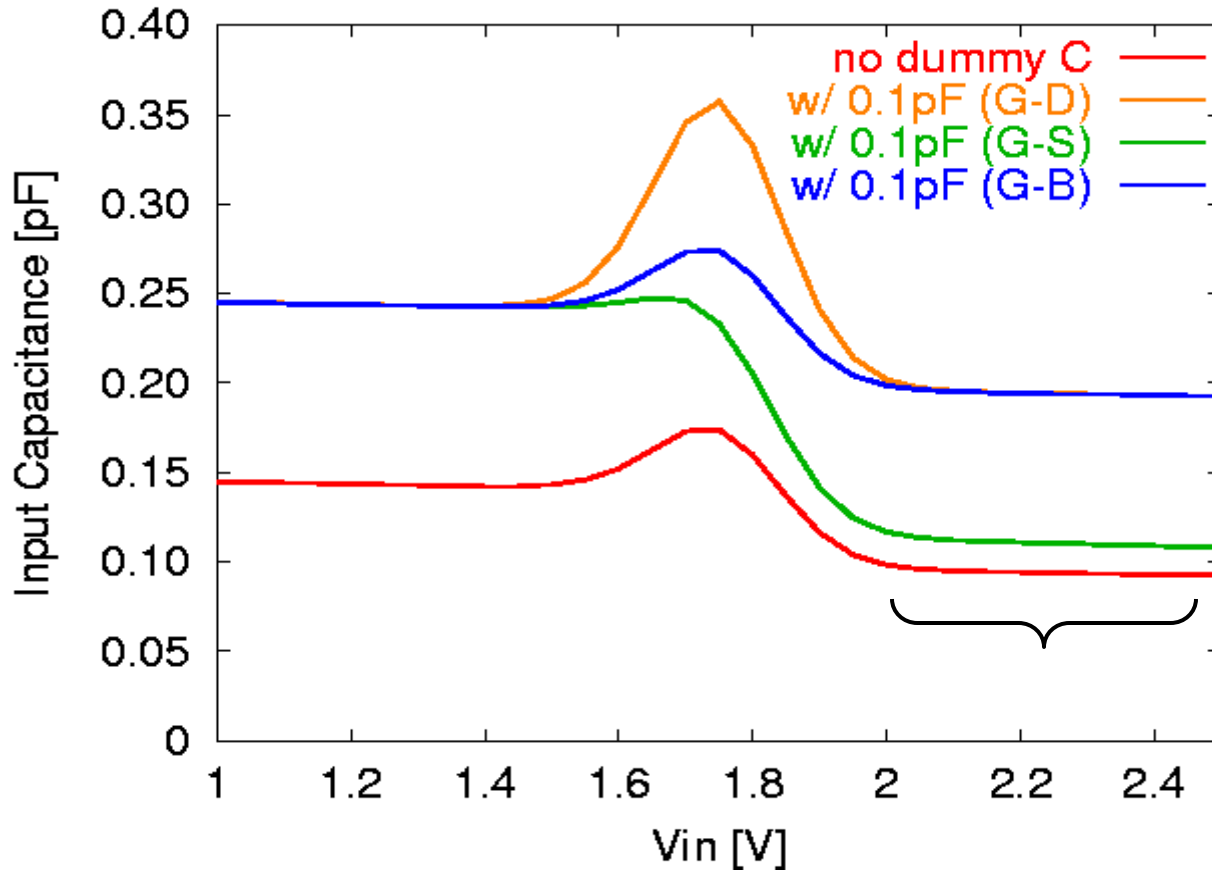


$$V_{in} - V_m = const.$$

→ C_{GS} が見えない

→ 入力 V_{in} から ON 状態の MOST ランジスタの容量 C_{GD} , C_{GB} だけが見える

(c). $V_{in} \ll V_{ref}$ の領域 (ダミー容量による解析)



ダミー容量の影響

G-D間 : あり

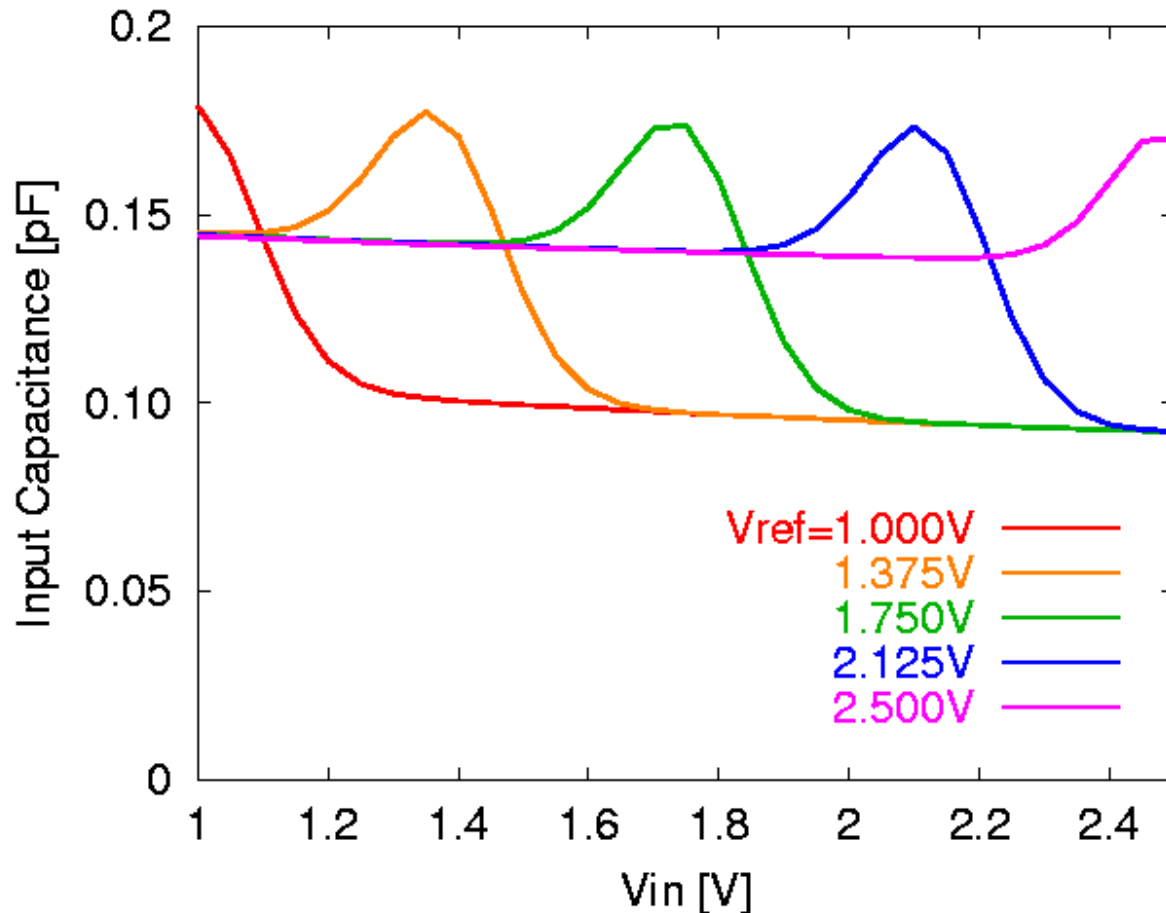
G-S間 : 少ない

G-B間 : あり

V_{in} から

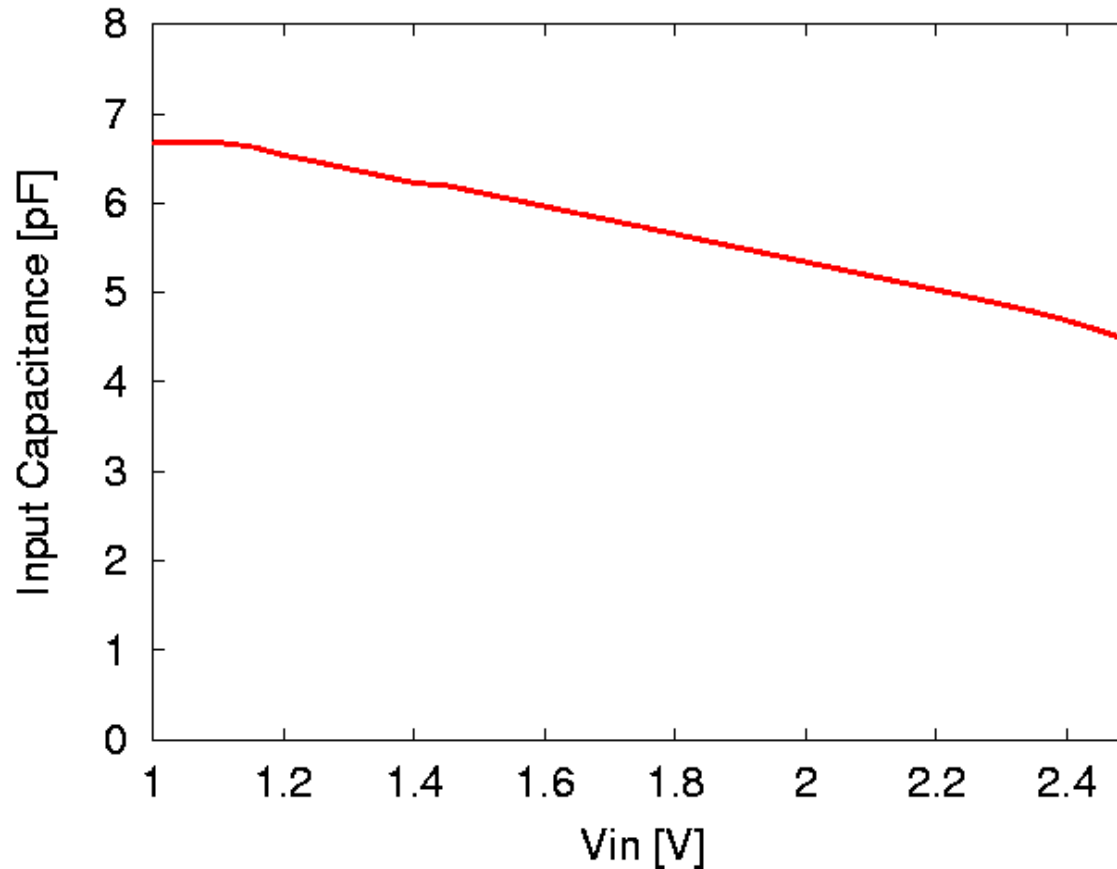
C_{GS} はほとんど見えない

V_{ref} を変えた時の差動アンプの入力容量



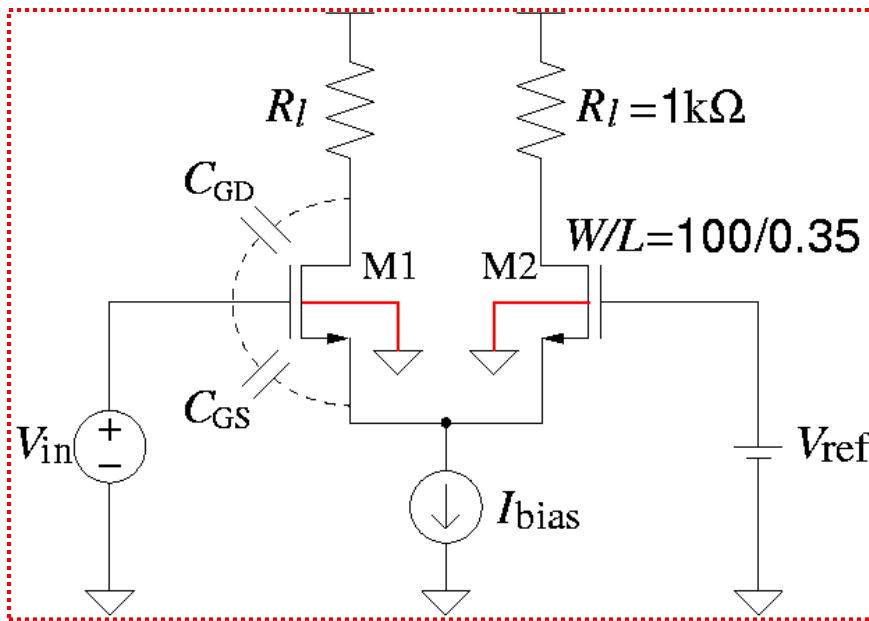
- $V_{\text{in}} \approx V_{\text{ref}}$ 付近で入力容量が増加する
- $V_{\text{in}} < V_{\text{ref}}$ より $V_{\text{in}} > V_{\text{ref}}$ で入力容量小

CMOS ADCの入力容量

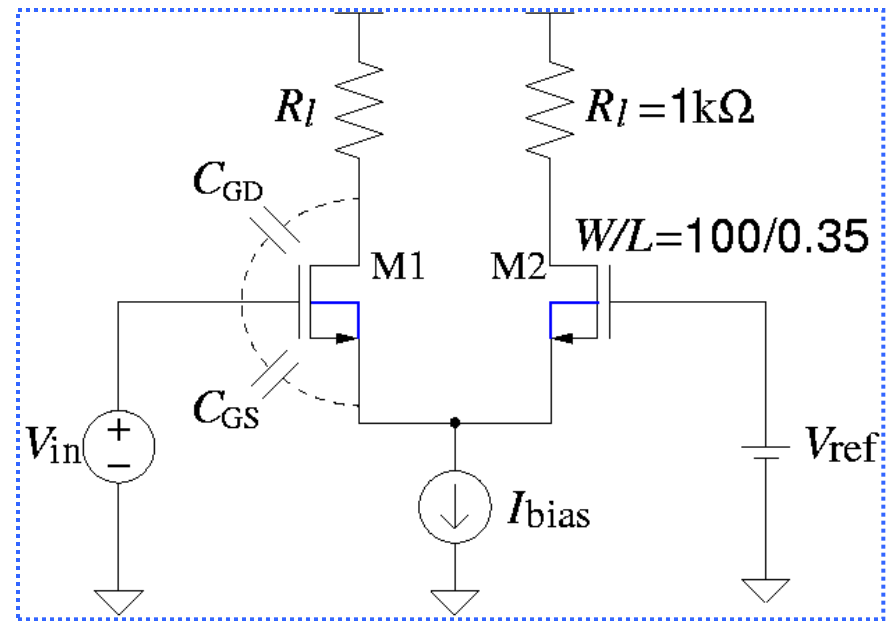


差動アンプの入力容量の重ねあわせで
CMOS ADCの非線形性が説明できる

バルク接続の異なる 差動アンプ

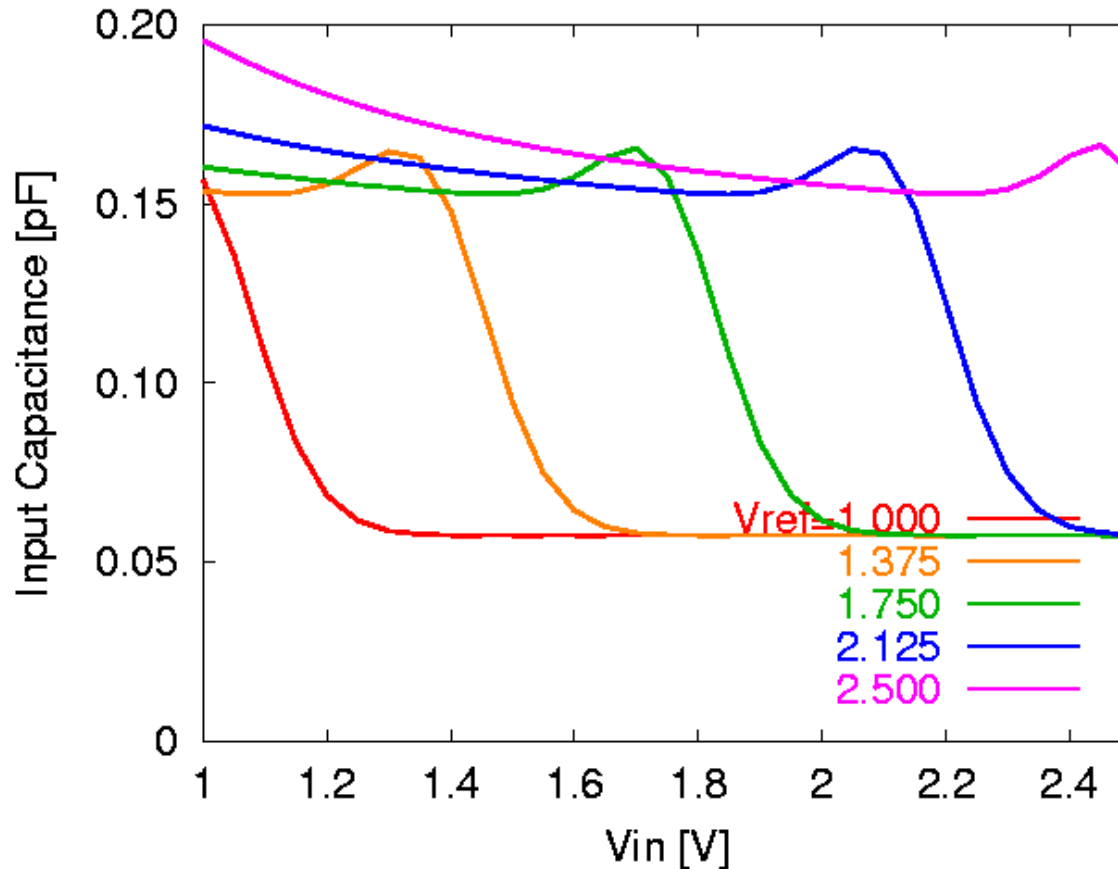


Bulk - Vss



Bulk - Source

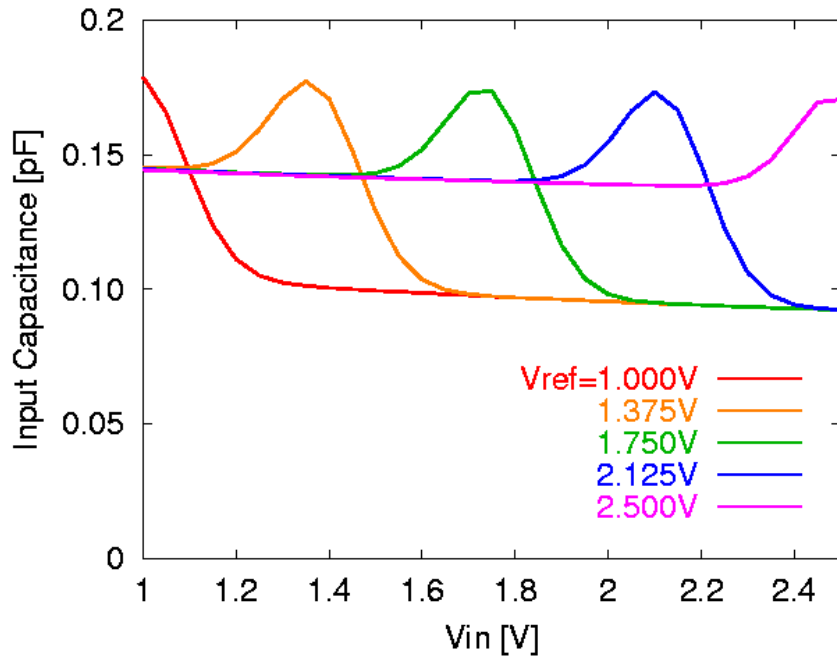
差動アンプ(Bulk-Source)の入力容量



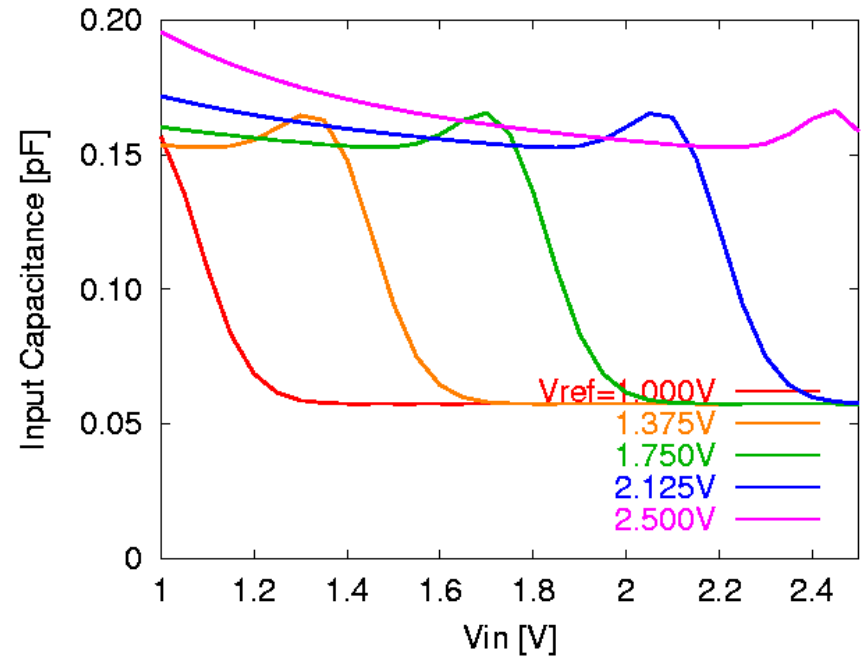
- $V_{in} \approx V_{ref}$ 付近で入力容量が増加する
- $V_{in} < V_{ref}$ より $V_{in} > V_{ref}$ で入力容量小

差動アンプの入力容量の比較

Bulk - Vss



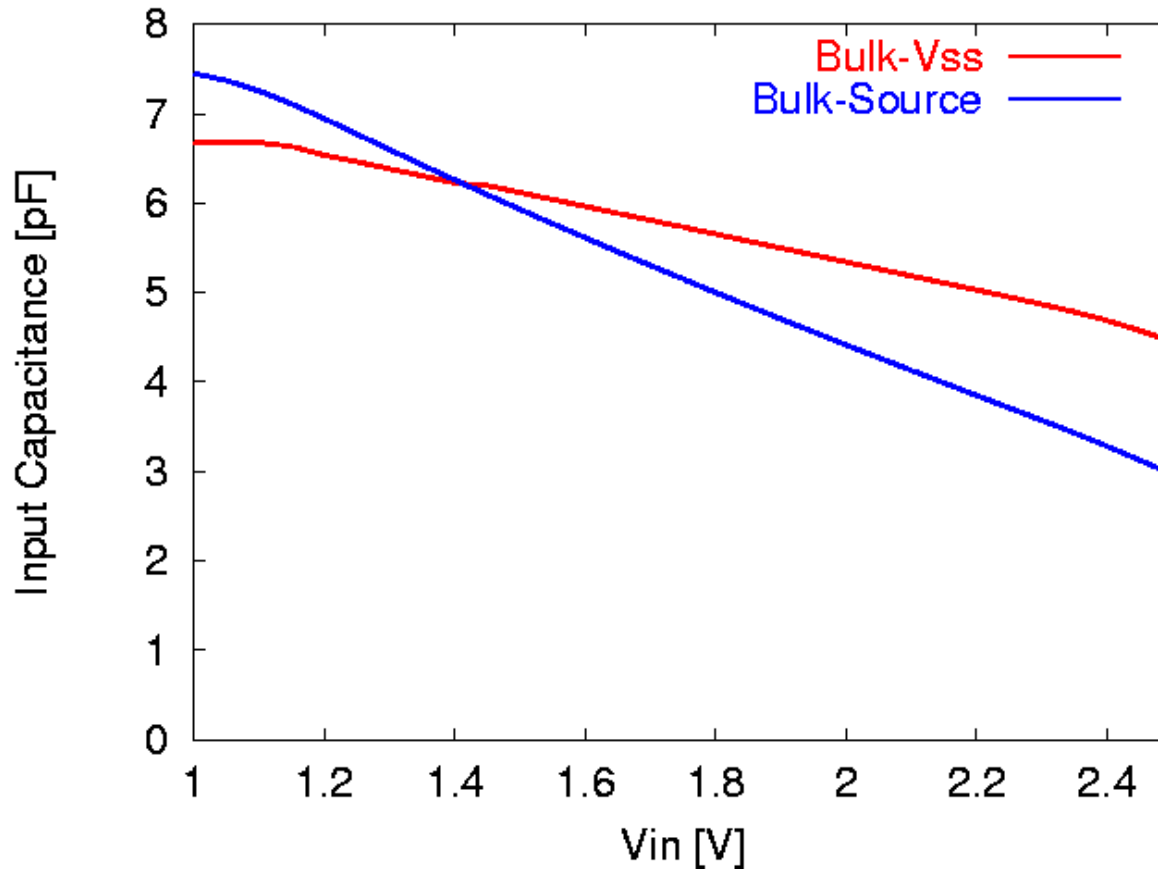
Bulk - Source



Bulk-Source接続

$V_{in} \ll V_{ref}$: C_{GS} だけでなく C_{GB} も見えなくなる

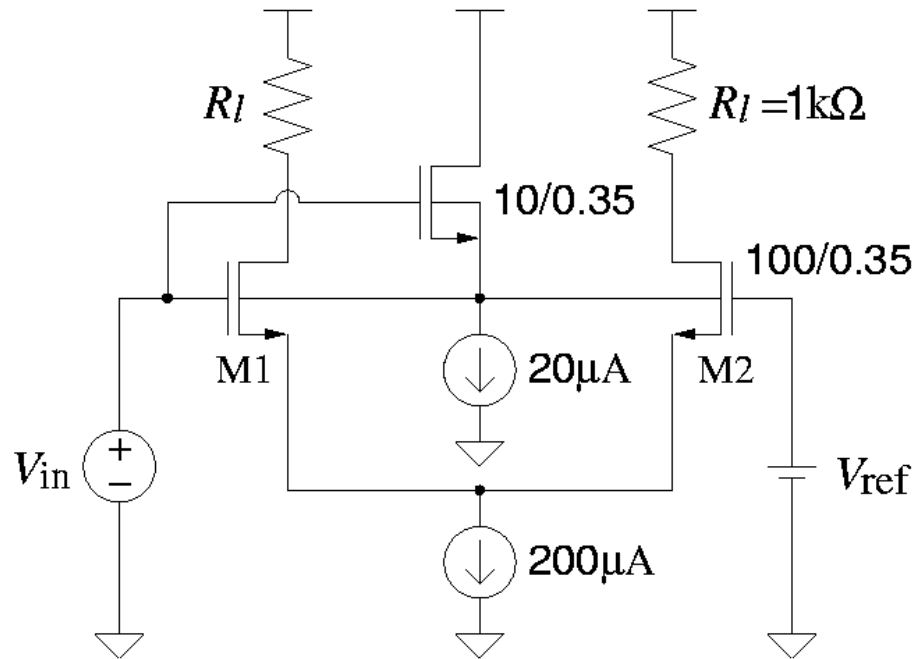
CMOS ADCの入力容量の比較



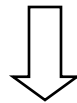
Bulk-Source 接続の方が非線形性が大きい

5. 低入力容量差動アンプの提案

低入力容量差動アンプ

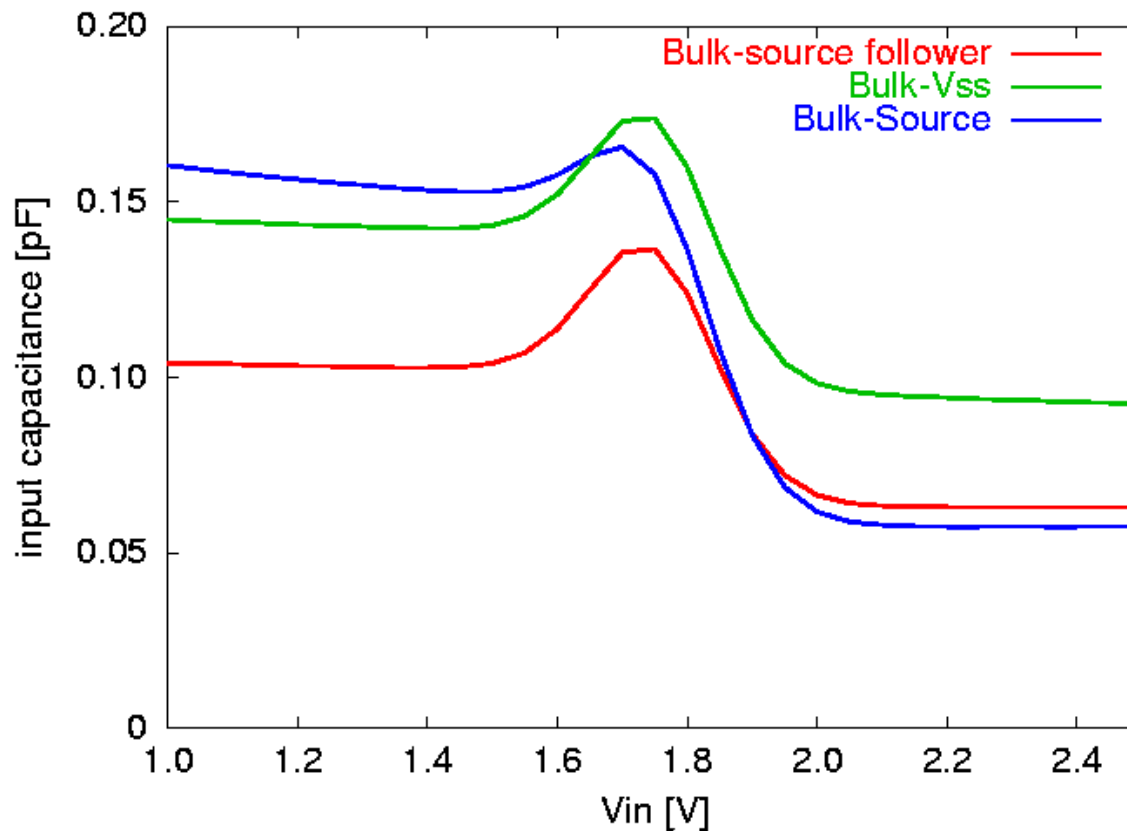


- V_{in} 側MOSと並列にソースフォロワを付加
- 両側のMOSのBulkを駆動



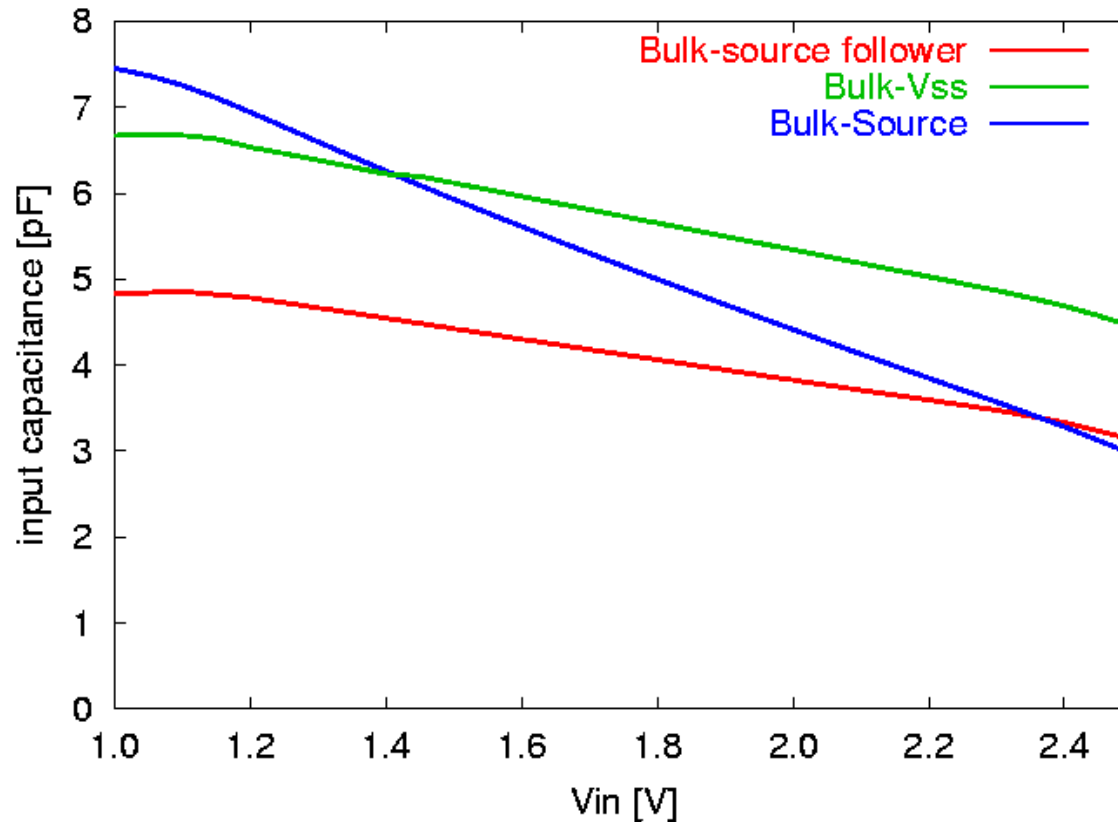
ゲート・バルク間電圧が一定となり C_{GB} が見えなくなる 37

差動アンプの入力容量 ($V_{ref}=1.75V$)



従来の差動アンプ(Bulk-Vss)に比べ
入力容量が約30%減少

CMOS ADCの入力容量



従来の差動アンプ(Bulk-Vss)を用いたADCに比べ
入力容量が約30%減少

6. まとめ

研究成果

この研究により次の事がわかった

- CMOS ADCの入力容量

入力電圧が大きくなると減少する

- その原因は

MOSゲート容量の足し合わせでは説明できない

入力段差動アンプの入力容量を考える必要あり

- 入力差動アンプの入力容量特性

$V_{in} \ll V_{ref}$: C_{GD} , C_{GS} , C_{GB} が見える

$V_{in} \approx V_{ref}$: ミラー容量 $(1+A)C_{GD}$ と C_{GS} , C_{GB} が見える

$V_{in} \gg V_{ref}$: C_{GD} , C_{GB} だけが見える

- 差動アンプ中のMOSのバルク

V_{SS} に接続 : 入力容量の非線形性 小

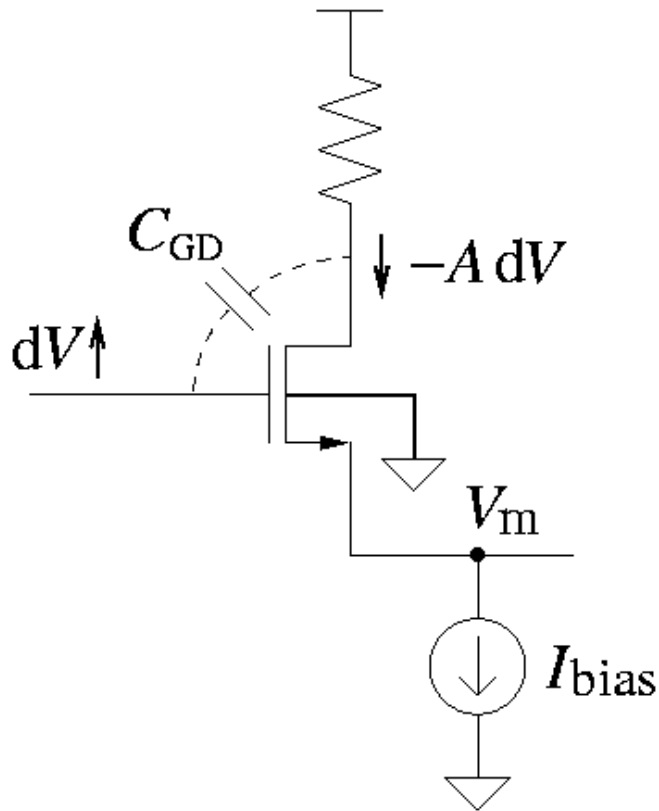
ソースに接続 : 入力容量の非線形性 大

低入力容量差動アンプを提案した

今後の課題

- 非線形性がADCの性能に与える影響を調べる
- 実際のADCの非線形性測定

ミラー容量



$$V_{in} \rightarrow V_{in} + dV$$
$$V_{out} \rightarrow V_{out} - AdV$$
$$dQ_{GD} = (1 + A) C_{GD} dV$$



容量が $(1+A)$ 倍に見える

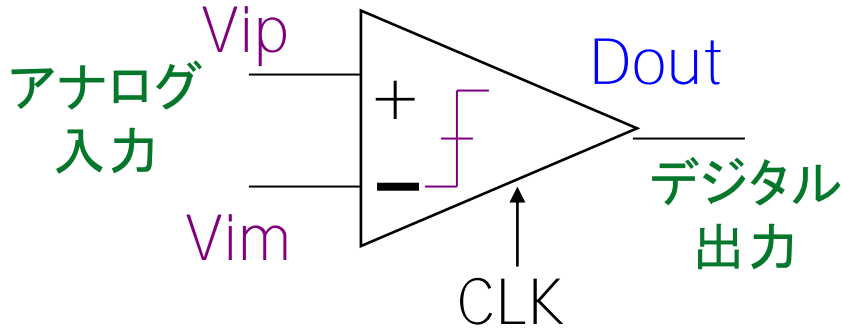
予備知識 2

比較器

(コンパレータ Comparator)

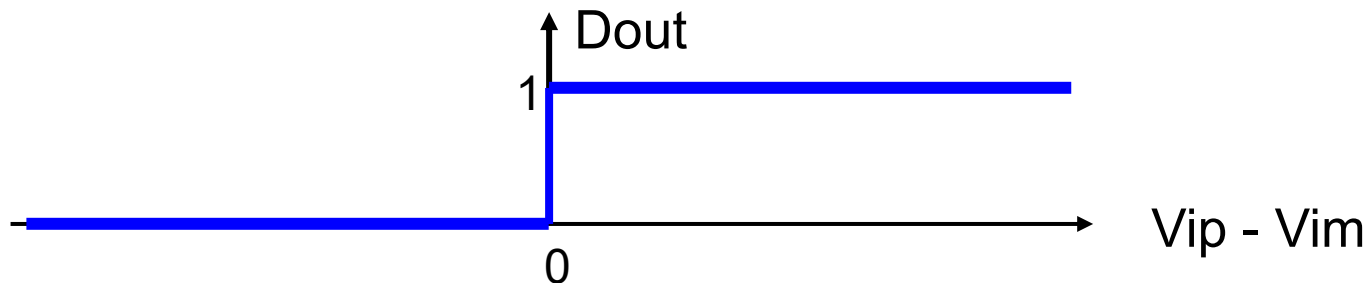
比較器 (Clocked Comparator)

- 2つのアナログ入力の大小を
(クロック立ち上がりタイミングで) 比較
→ 結果をデジタル出力
- AD変換器のキーコンポーネント

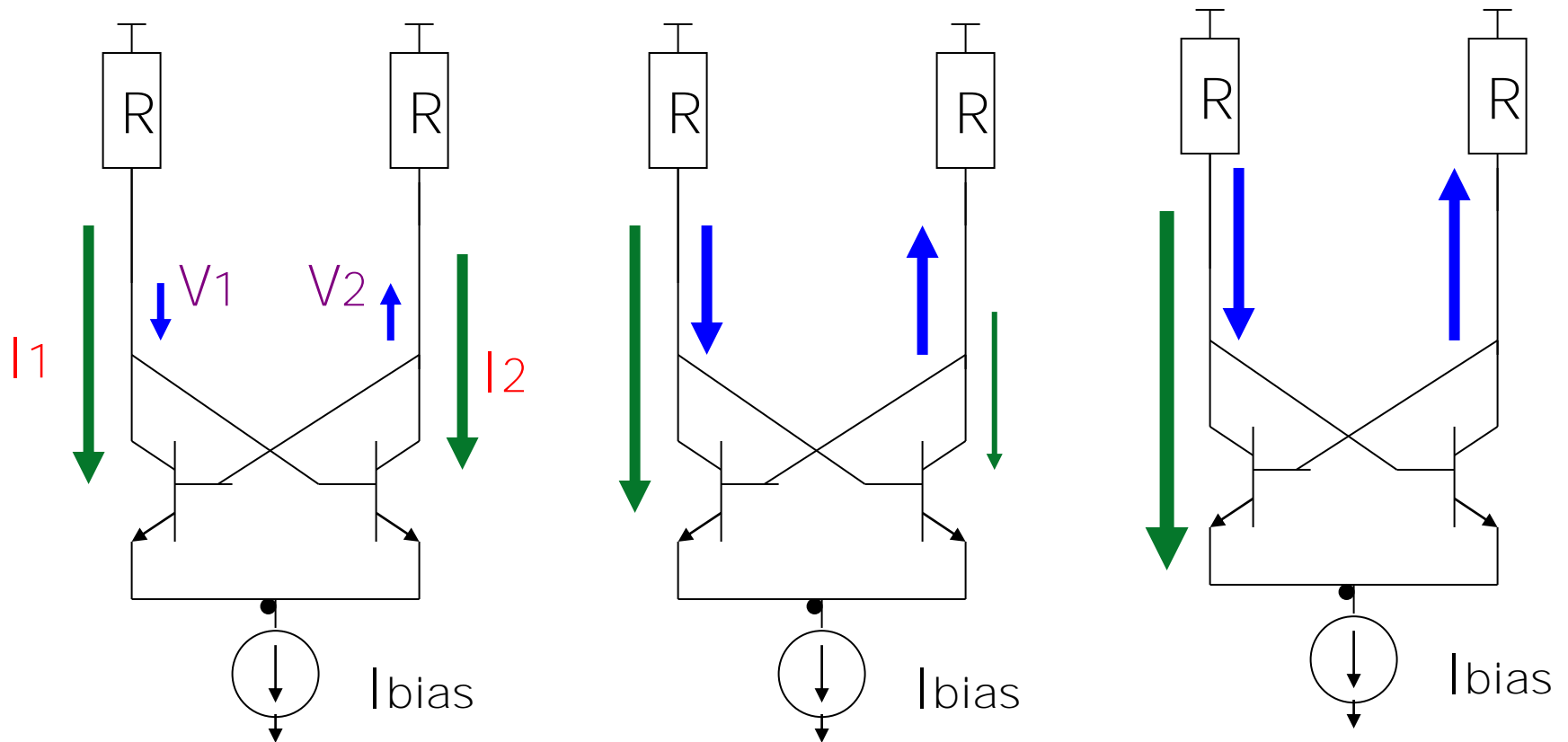


$Dout = 1$ (when $Vip > Vim$)

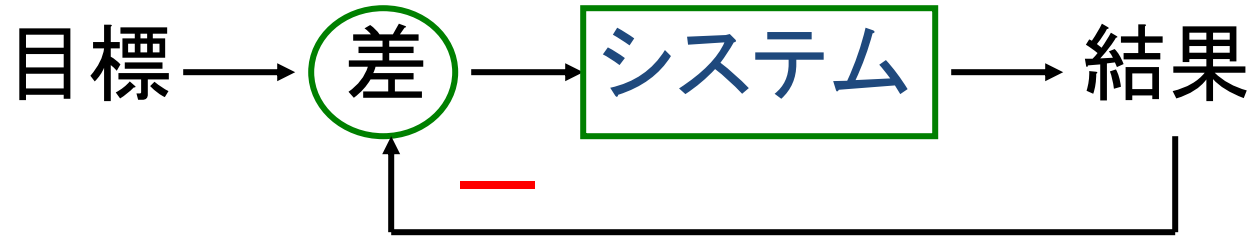
$Dout = 0$ (when $Vip < Vim$)



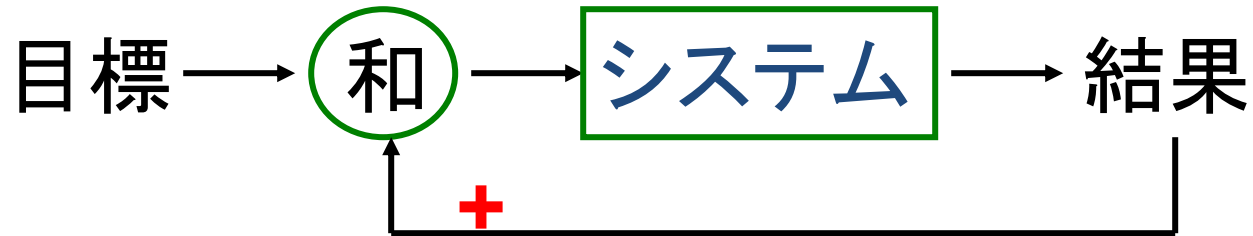
Clocked Comparator は正帰還利用



フィードバックの種類



Negative Feedback (負帰還)



Positive Feedback (正帰還)

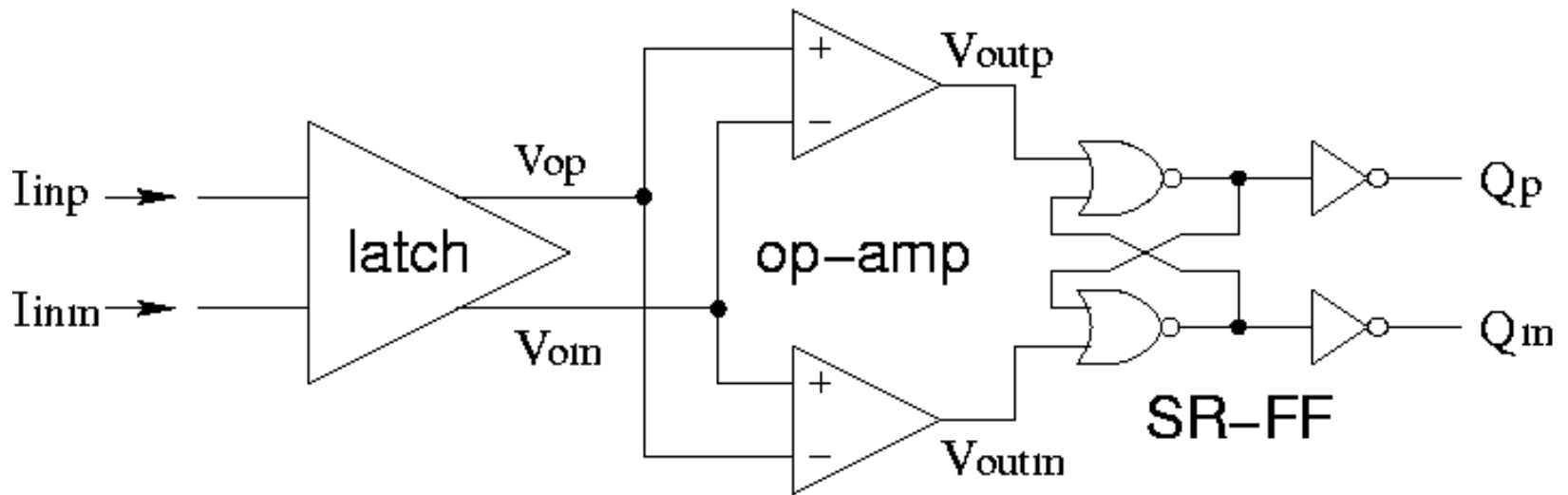
例：悪循環 ・ 好循環 ・ 口論 ・ 酒の注ぎあい

CMOS A/D変換器の コンパレータの高速化

群馬大学大学院工学研究科電気電子工学専攻

小暮英行

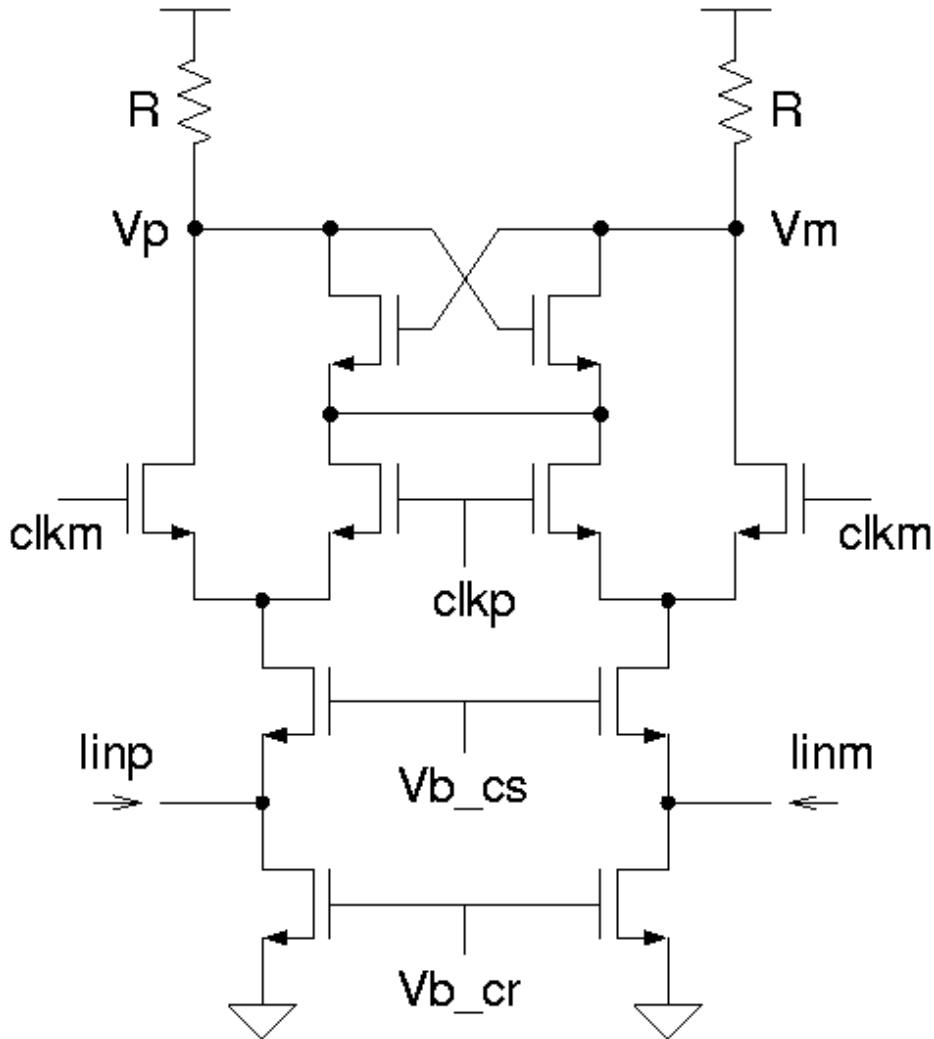
コンパレータのブロック図



差動入力電流 I_{inp} , I_{inm} の大小を比較

ロジックレベルで Q_p , Q_m を出力

ラッチ回路



電流入力 I_{inp} , I_{inm}

電圧出力 V_p , V_m

クロック clk_p , clk_m

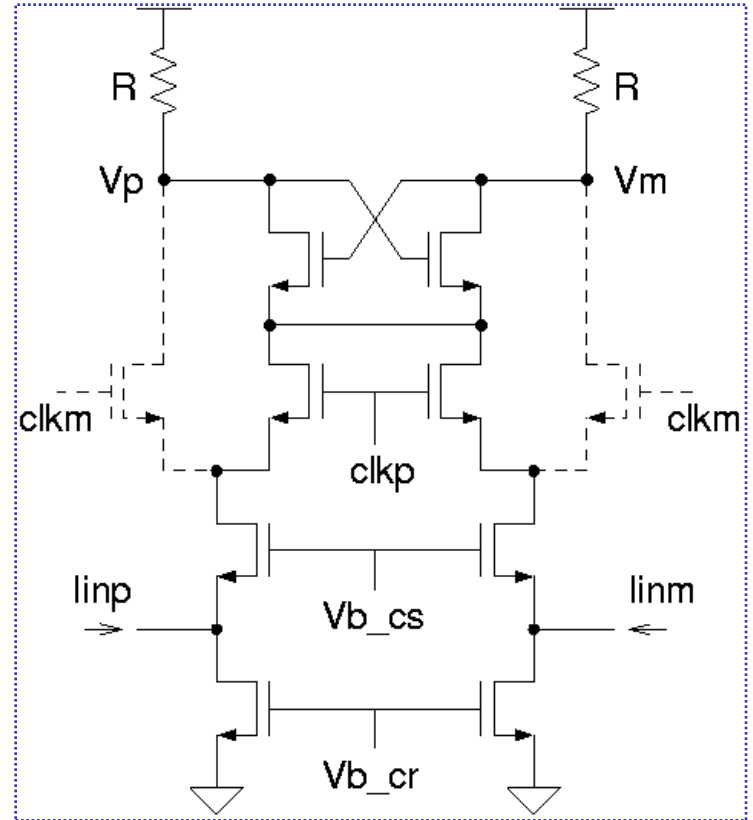
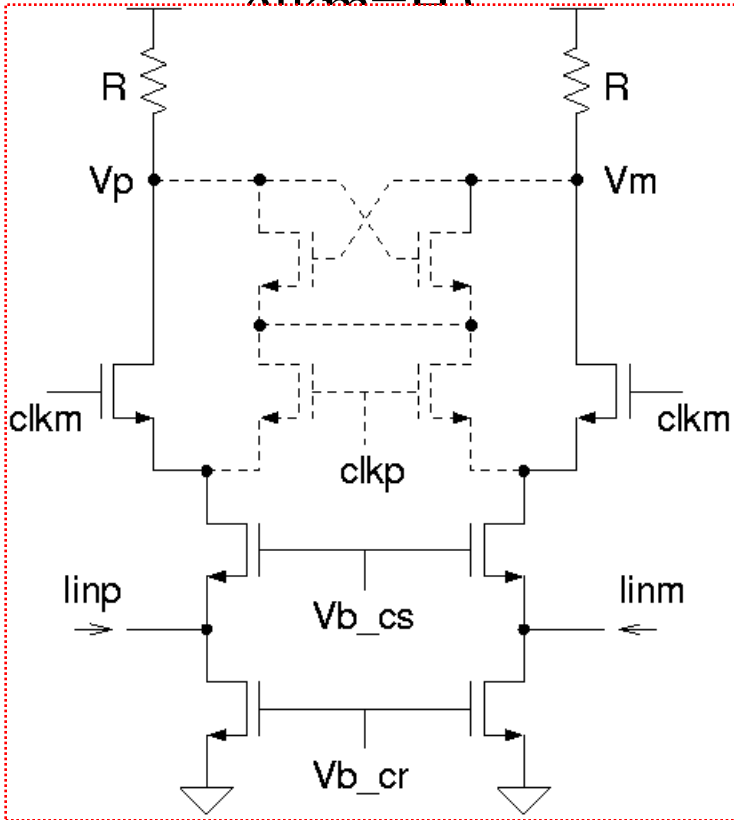
電流入力的大小を

比較・保持

2つの動作モード

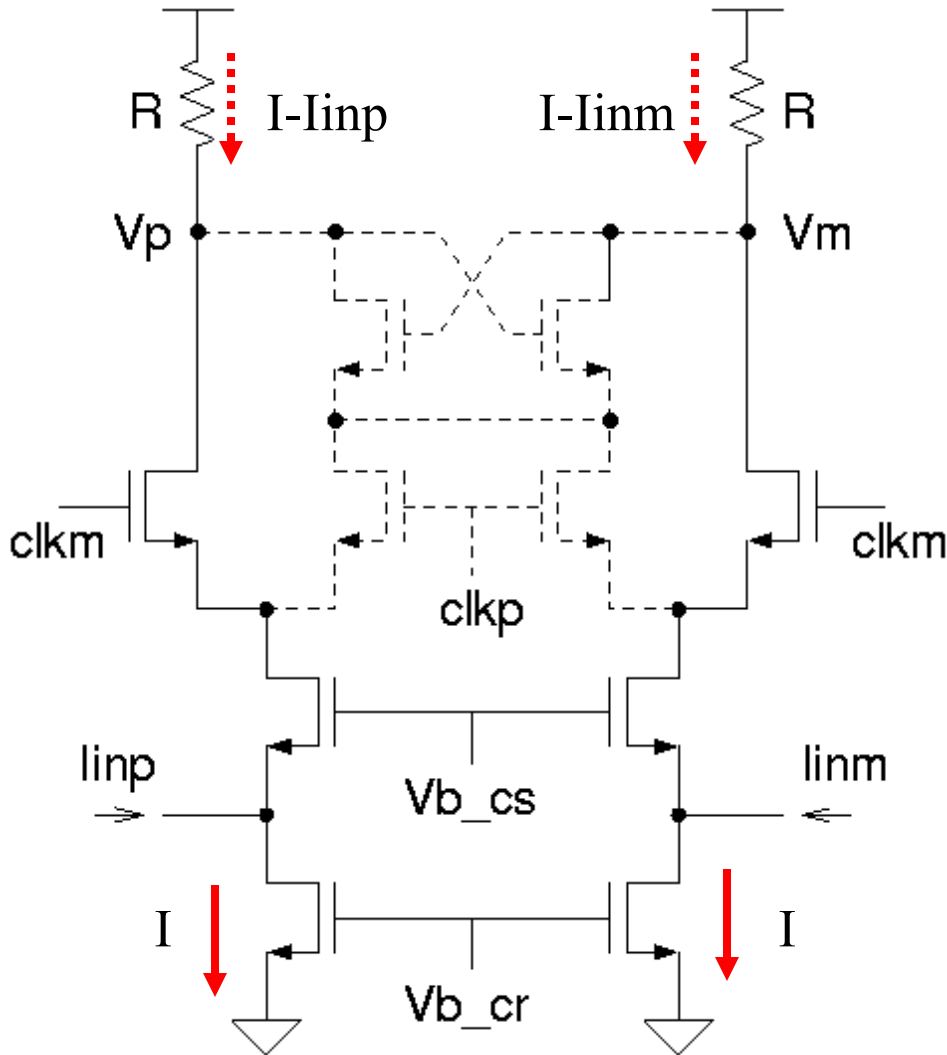
トラックモード (clkp=L, clkm=H)

ラッチモード (clkp=H, clkm=L)



クロックにより2つの動作モードを交互に遷移する

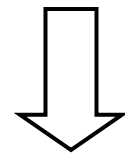
トラックモード



$$V_p = V_{dd} - R(I - I_{inp})$$

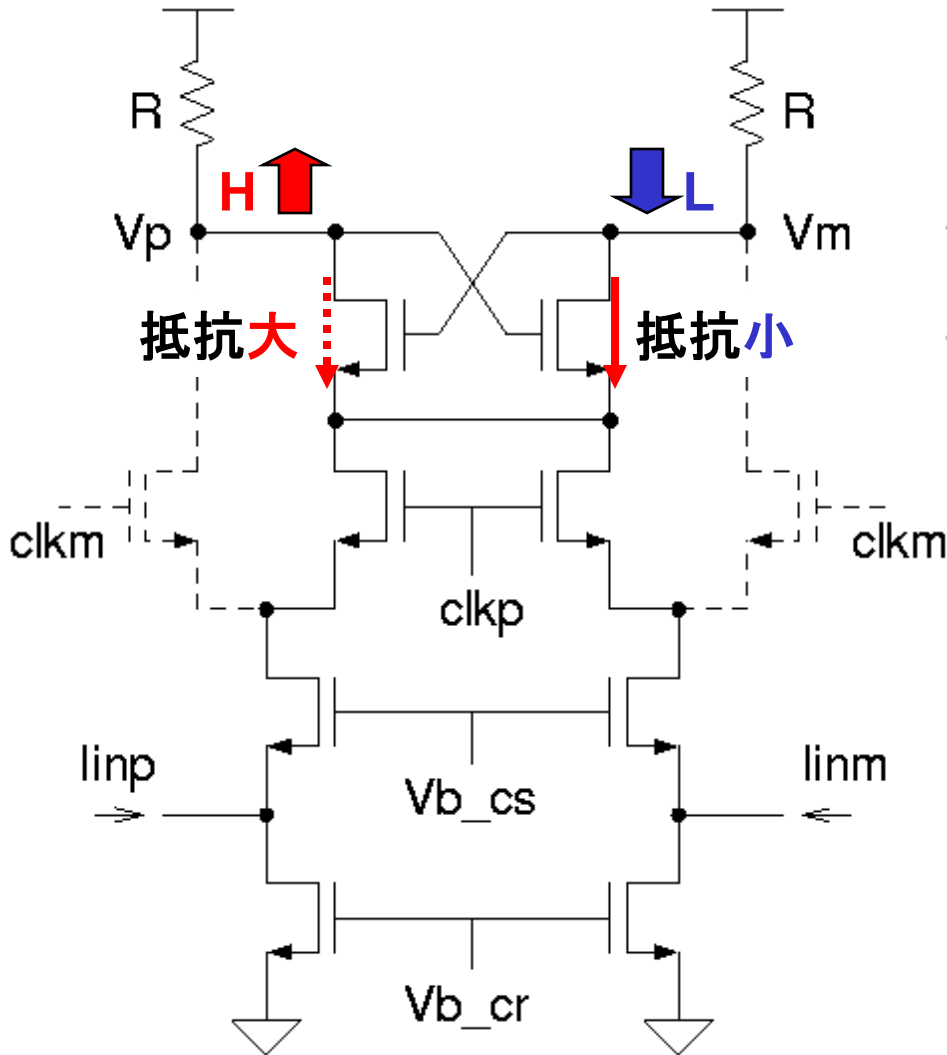
$$V_m = V_{dd} - R(I - I_{inm})$$

$$\therefore V_p - V_m = R(I_{inp} - I_{inm})$$



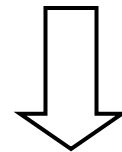
入力電流に比例した電圧を出力

ラッチモード



$$V_p \simeq V_{dd}$$

$$V_m \simeq V_{dd} - R\{2I - (I_{inp} + I_{inm})\}$$



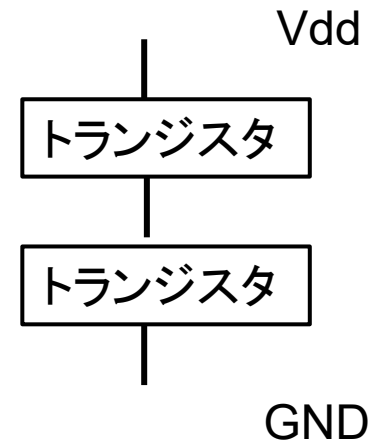
直前のトラックモードの状態を
正帰還により増幅・保持

予備知識

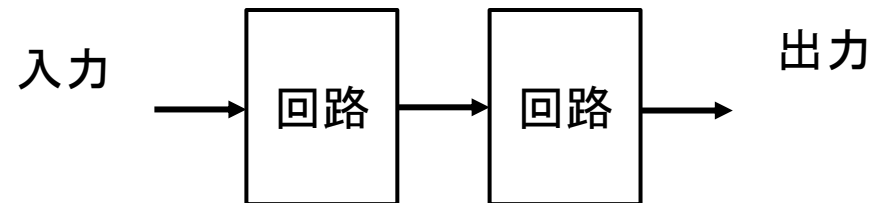
カスコード回路
Cascode Circuit

カスコードとカスケードは異なる

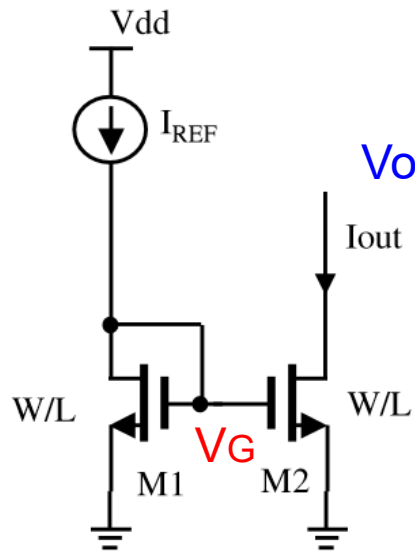
- カスコード (Cascode) 回路
トランジスタの縦積み



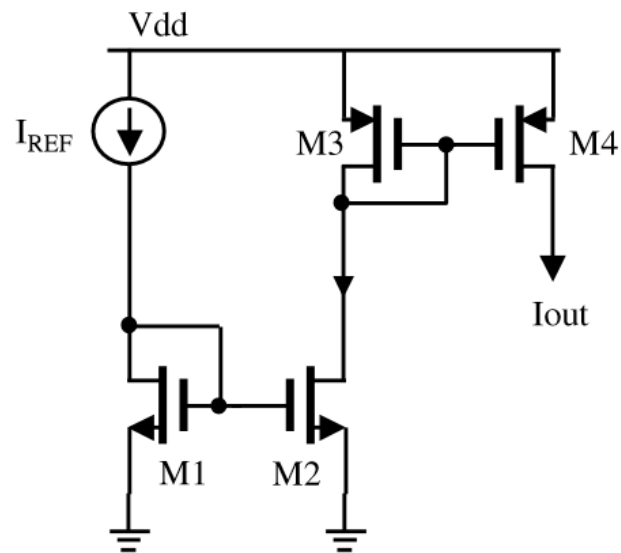
- カスケード (Cascade) 回路
回路の縦続接続



基本的な電流ミラー (Mirror 鏡) 回路



(a) 基本的なカレントミラー
(電流シンク)



(b) 基本的なカレントミラー
(電流ソース)

ゲート電圧: M1 は V_G , M2 は V_G → 両者は同じ
ドレイン電圧: M1 は V_G , M2 は V_o → 両者は同じでない

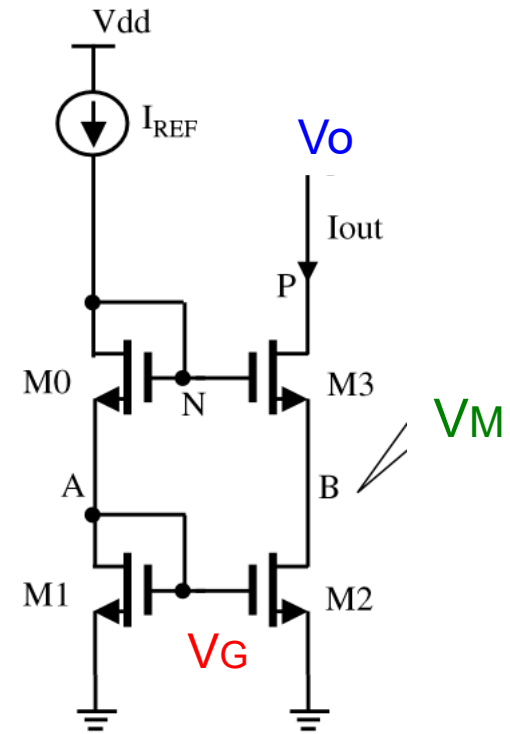
➡ 厳密には I_{REF} と I_{OUT} は一致しない
 I_{OUT} は V_o に依存

カスコード電流ミラー回路

M2のドレイン電圧 V_M は
 V_o が変化しても
ほぼ一定 V_G



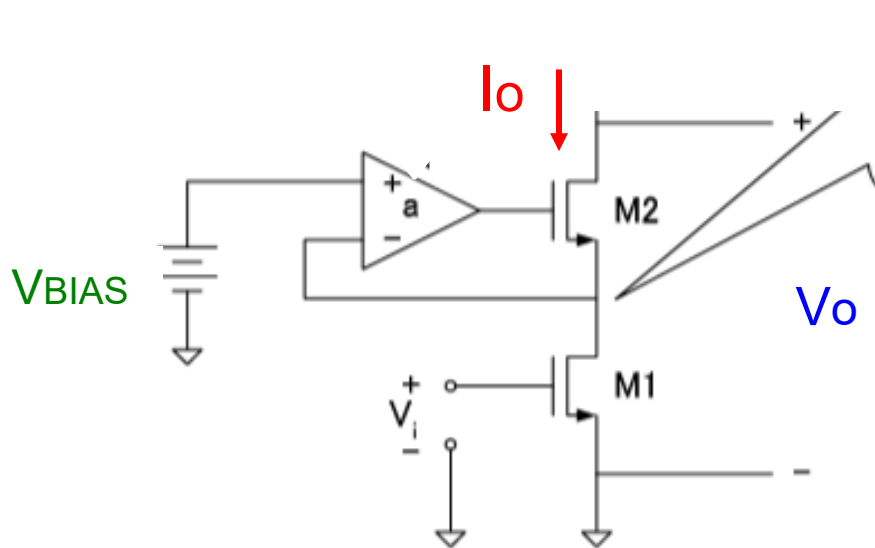
出力電圧 V_o が変化しても
 I_{REF} と I_{OUT} はほぼ一致



スーパーカスコード回路

- 高出力抵抗

出力電圧 V_o が変化しても出力電流 I_o は一定

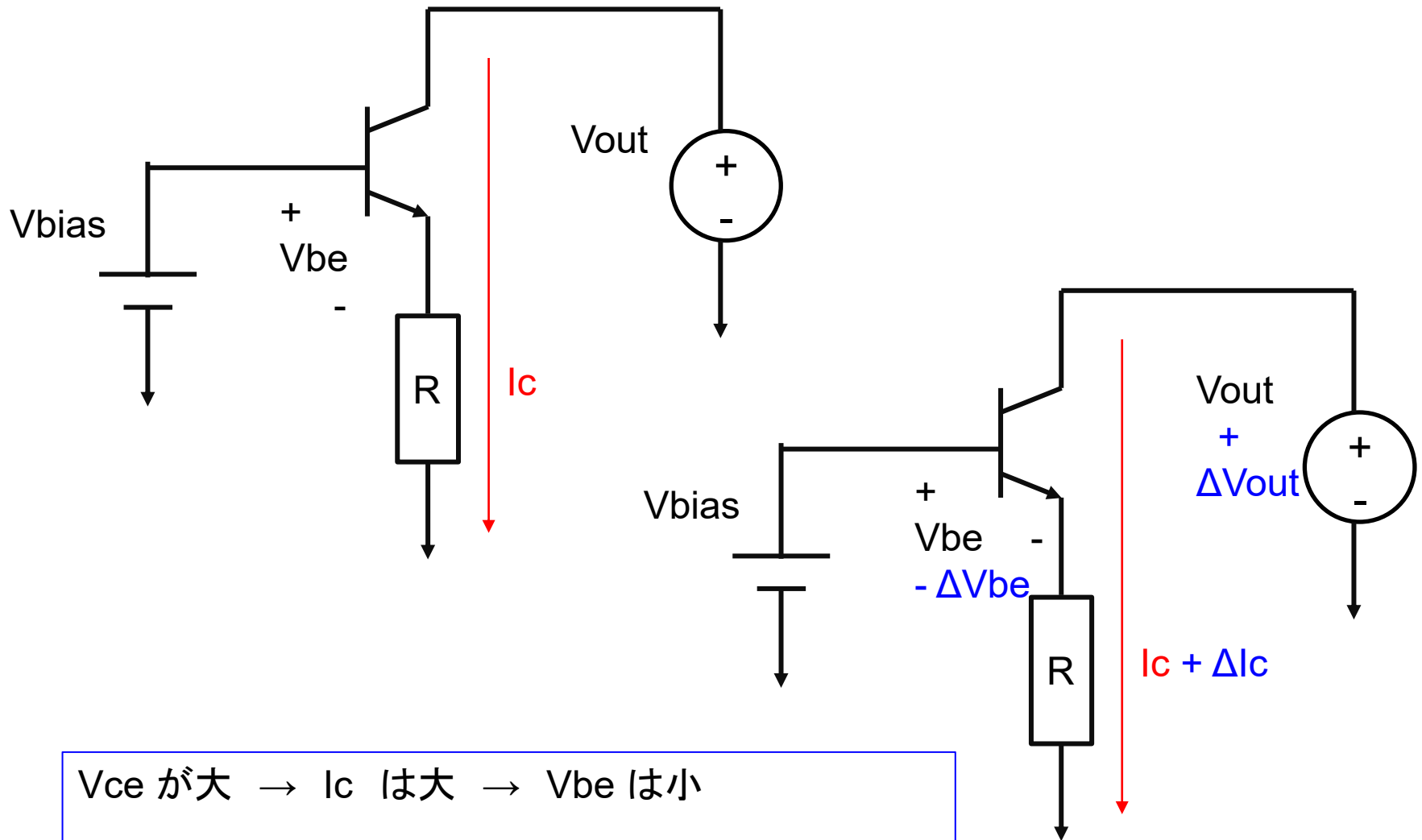


M1のドレイン電圧が
出力電圧 V_o によらず
一定値 V_{BIAS}

- 出力電流 I_o
 - M1のドレイン電圧とゲート電圧のみで決まる
 - 両電圧が一定なら I_o は一定

- 1989年2月頃 フィリップス社(蘭)研究者がISSCCでの発表内容をUCLAにて講演
 - その後 非常にポピュラーな回路技術となる

カスコード回路のもう一つの解釈



V_{ce} が大 $\rightarrow I_c$ は大 $\rightarrow V_{be}$ は小

➡ I_c の増加は抑えられる (Negative feedback)



群馬大学

高性能カレントミラー回路の 設計とその応用

群馬大学大学院電気電子工学研究科
通信処理システム第二研究室

指導教官

仁木義規
小林春夫 教授



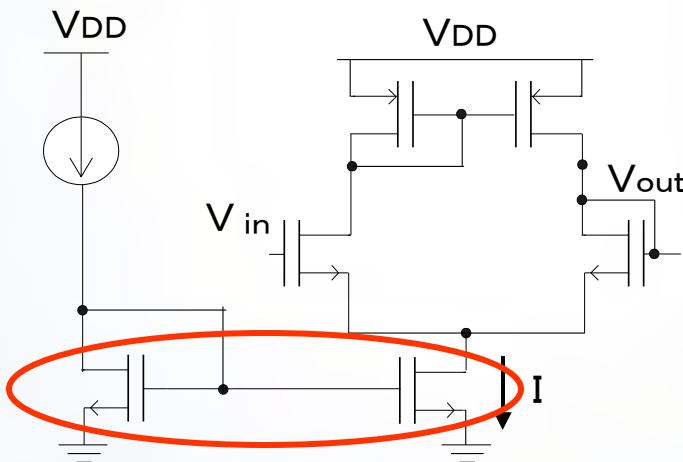
発表内容

- ◆ 研究背景
- ◆ カレントミラー回路について
- ◆ OPアンプを使用したカレントミラー回路
- ◆ 高性能カレントミラー回路の提案
- ◆ 高性能カレントミラー回路の応用
- ◆ まとめ



研究背景

カレントミラー回路



例.OPアンプ回路

OPアンプ、ADC、DACなど幅広く応用



様々な回路でカレントミラー回路の高性能化を要求

低電圧化

電流コピー精度の向上

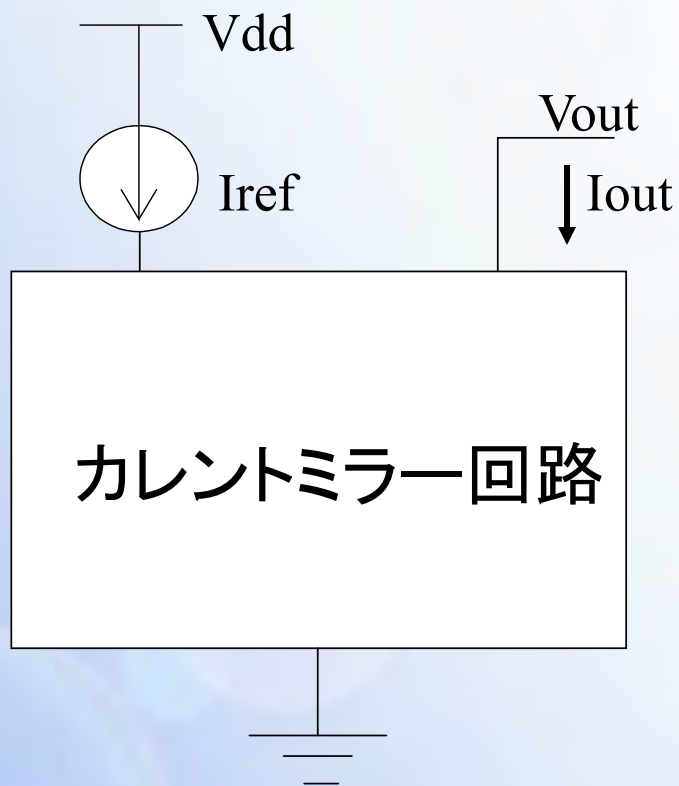


群馬大学

カレントミラー回路について



カレントミラー回路とは？



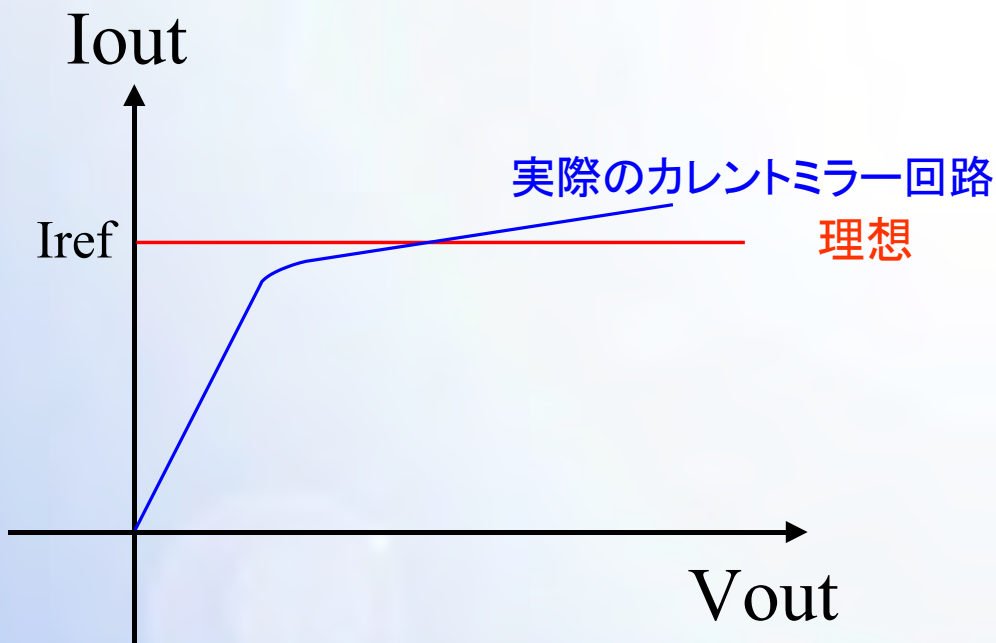
電流をコピー

$$I_{ref} = I_{out}$$

参照電流に等しい出力電流を生成する回路



理想的なカレントミラー回路



理想: V_{out} がどんな値でも電流をコピーすることができる



実際にはこれが難しい

研究目的:
理想にいかに近づけることが出来るか！！



群馬大学

基本的なカレントミラー回路



基本的なカレントミラー

ゲート - ソース間が等しく、
飽和領域で動作している
2つの同一トランジスタには
等しい電流が流れる

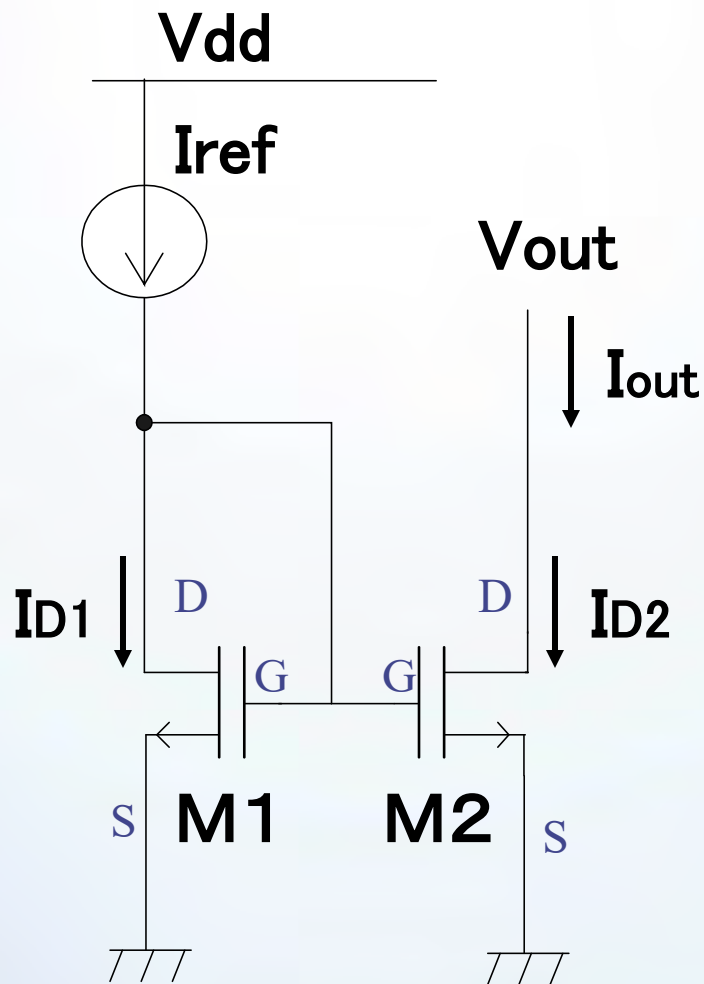
右図でM1とM2が同一の場合



入力電流 I_{ref} と出力電圧 I_{out} の関係は

$$I_{ref} = I_{D1} = I_{D2} = I_{out}$$

※ただしチャネル長変調効果を無視している





基本的なカレントミラー

式で表すと(チャネル長効果を無視)

$$I_{ref} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})_1^2$$

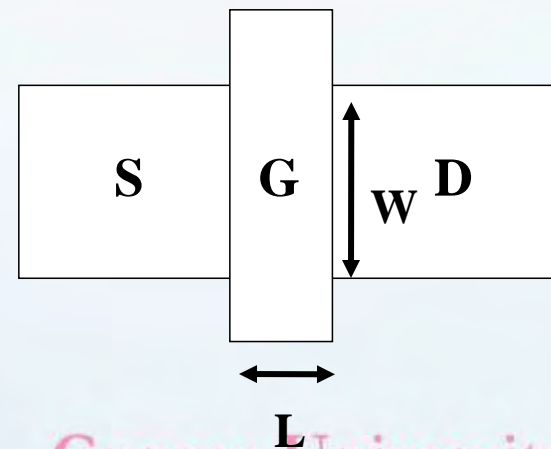
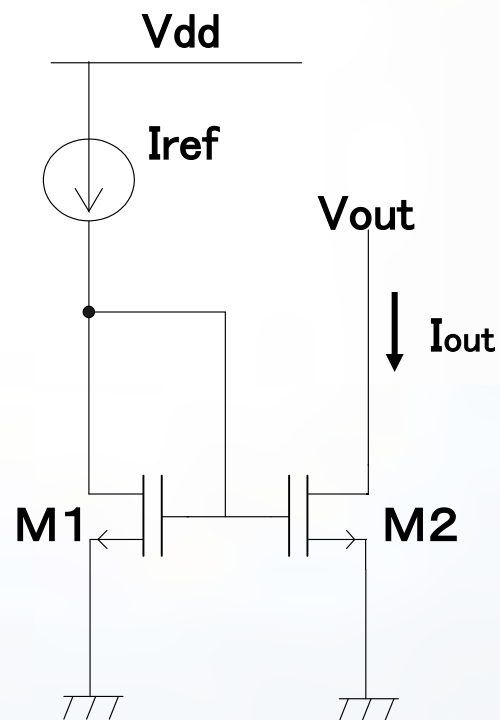
$$I_{out} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})_2^2$$

M1=M2なら

$$I_{out} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} I_{ref} \Rightarrow I_{ref} = I_{out}$$

C_{ox} : 単位面積あたりのゲート酸化膜容量

μ_n : チャネルの平均の電子移動度





チャンネル長変調を考える

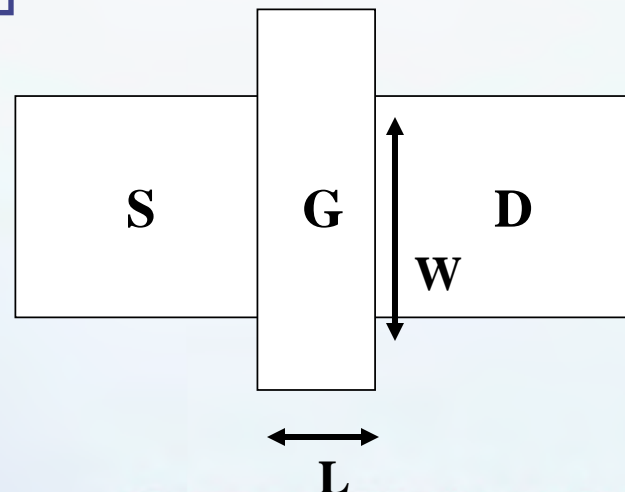
「チャンネル長変調効果」

ゲートとドレインの電位差が大きくなるほど
反転層によるチャンネルの実際の長さは徐々に短くなる

$$I_D \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

λ :チャンネル長変調係数

λ は V_{DS} が増大した時のチャンネル長の変化を相対的に表すので、チャンネル長が長いほど λ は小さくなる



例. $L=L_1$ と $L=2L_1$ の MOSFETの I_D/V_{DS} 特性

例. $L=L_1$ と $L=2L_1$ のMOSFETの I_D/V_{DS} 特性を図示

$$I_D \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad \text{において、}$$

$$\lambda \propto 1/L$$

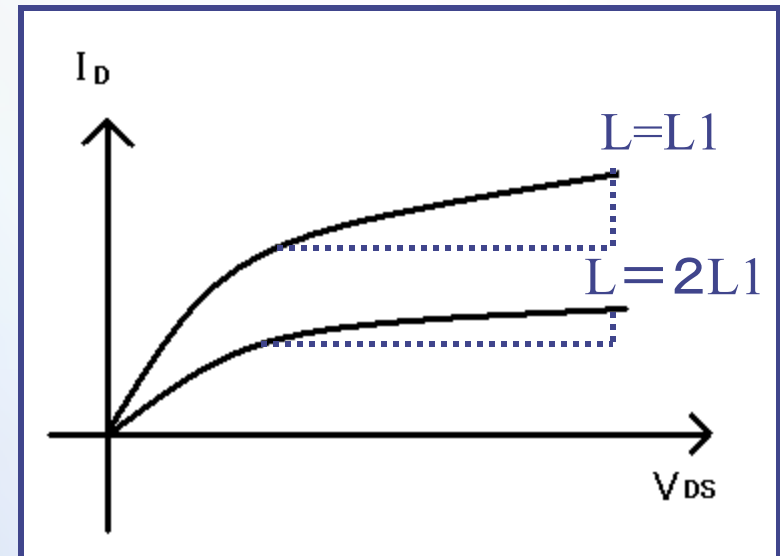
$$\partial I_D / \partial V_{DS} \propto \lambda / L \propto 1/L^2$$

チャネル長が2倍



傾きは1/4

Lが小さいと傾きが大

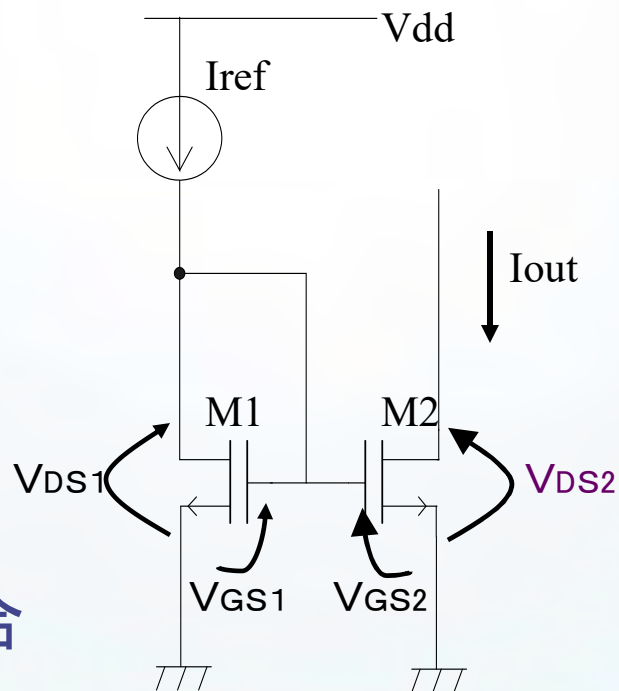




基本的なカレントミラーの問題点

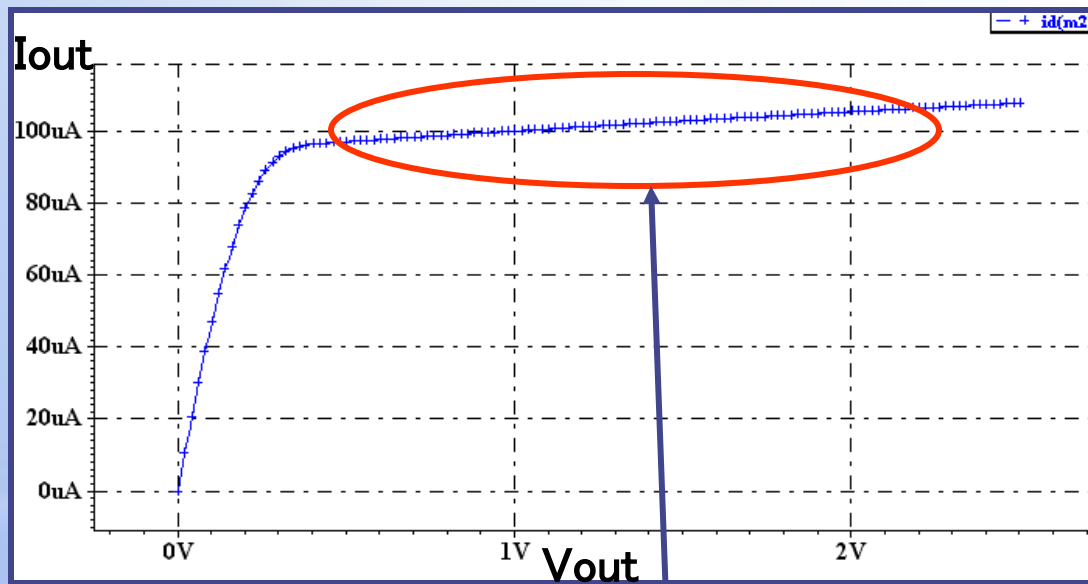
$V_{DS1} = V_{GS1} = V_{GS2}$
しかし一般には
 $V_{DS2} \neq V_{GS2}$

最小チャネル長トランジスタを用いた場合



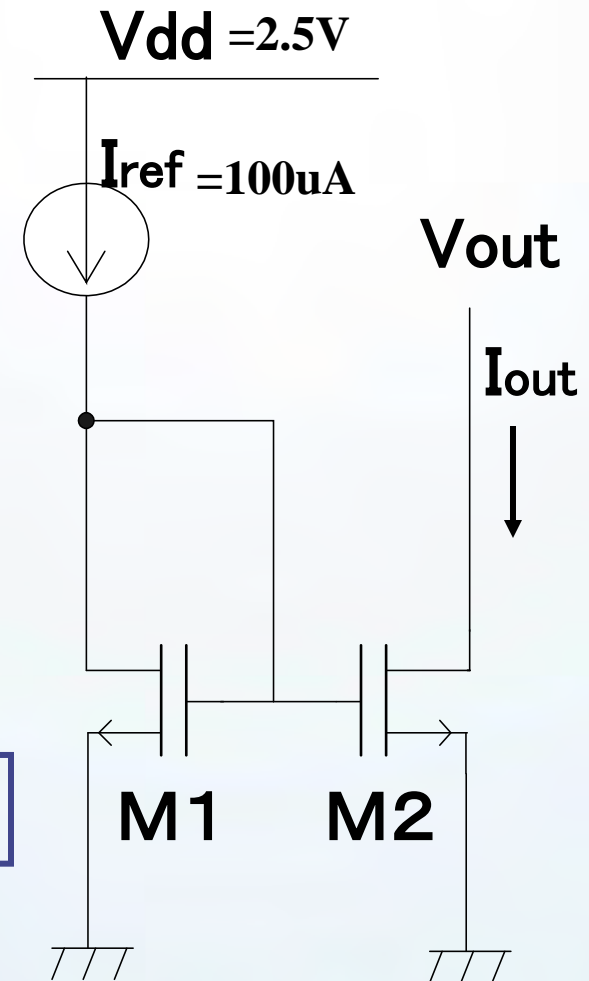
チャネル長変調効果によりIrefとIoutに誤差が生まれる

基本的なカレントミラー回路のシミュレーション結果



チャンネル長変調効果の影響が大きい

電流のコピー精度 ×





群馬大学

カスコードカレントミラー回路



カスコードカレントミラー回路

M1とM2が出力電流を決定

→ $V_X = V_Y$ となればOK

M4をM1に直列に接続



電圧 $V_N = V_{GS4} + V_X$ を発生

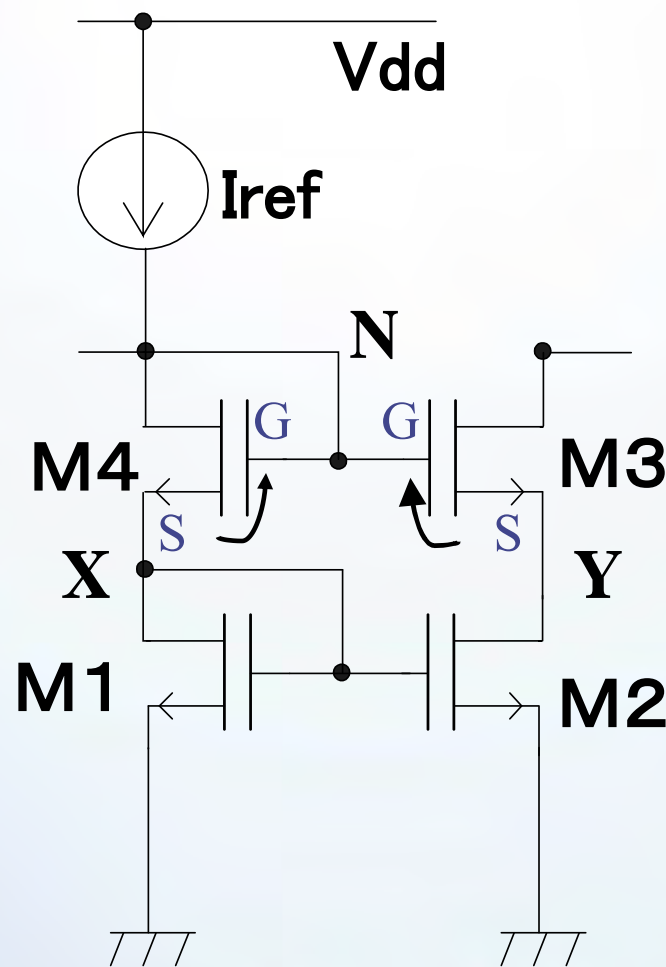


$$V_{GS4} + V_X = V_{GS3} + V_Y$$

$$(W/L)_3 / (W/L)_4$$

$$= (W/L)_2 / (W/L)_1 \text{ ならば}$$

$V_{GS3} = V_{GS4}$ および $V_X = V_Y$ が成立





カスコードカレントミラーの問題点

P点の最小許容電圧

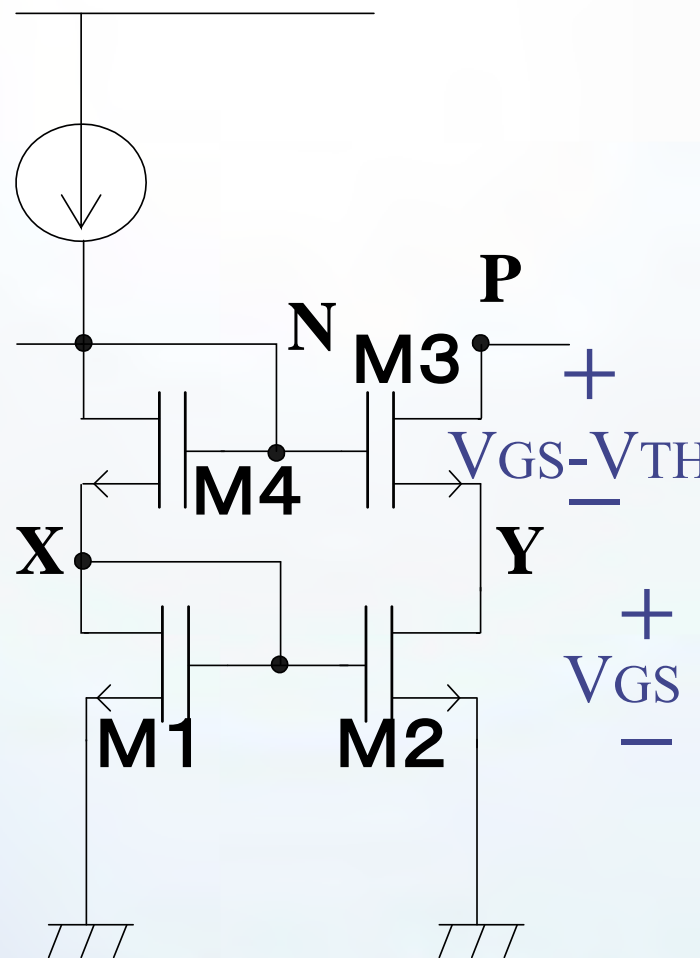
$$V_N - V_{TH} = V_{GS4} + V_{GS1} - V_{TH}$$

$$= (V_{GS4} - V_{TH}) + (V_{GS1} - V_{TH}) + V_{TH}$$

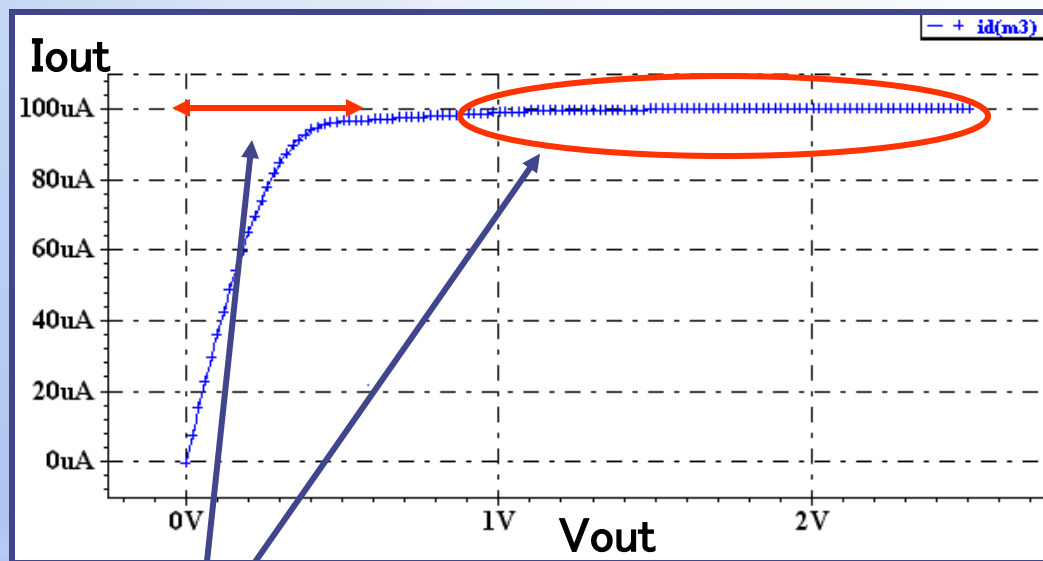
= オーバードライブ電圧2個分 +
しきい電圧1個分



しきい電圧1個分の電圧余裕を
“無駄”にしている！



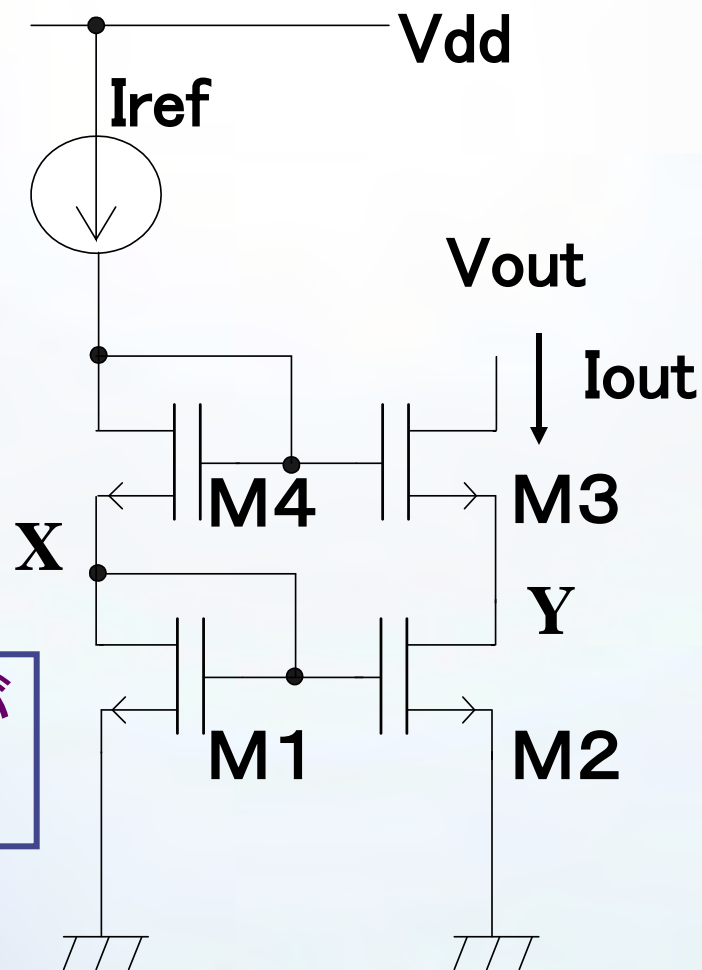
カスコードカレントミラー回路のシミュレーション結果



チャネル長変調効果の影響は小さいが
最小許容電圧が高い

電流のコピー精度◎

低電圧化×



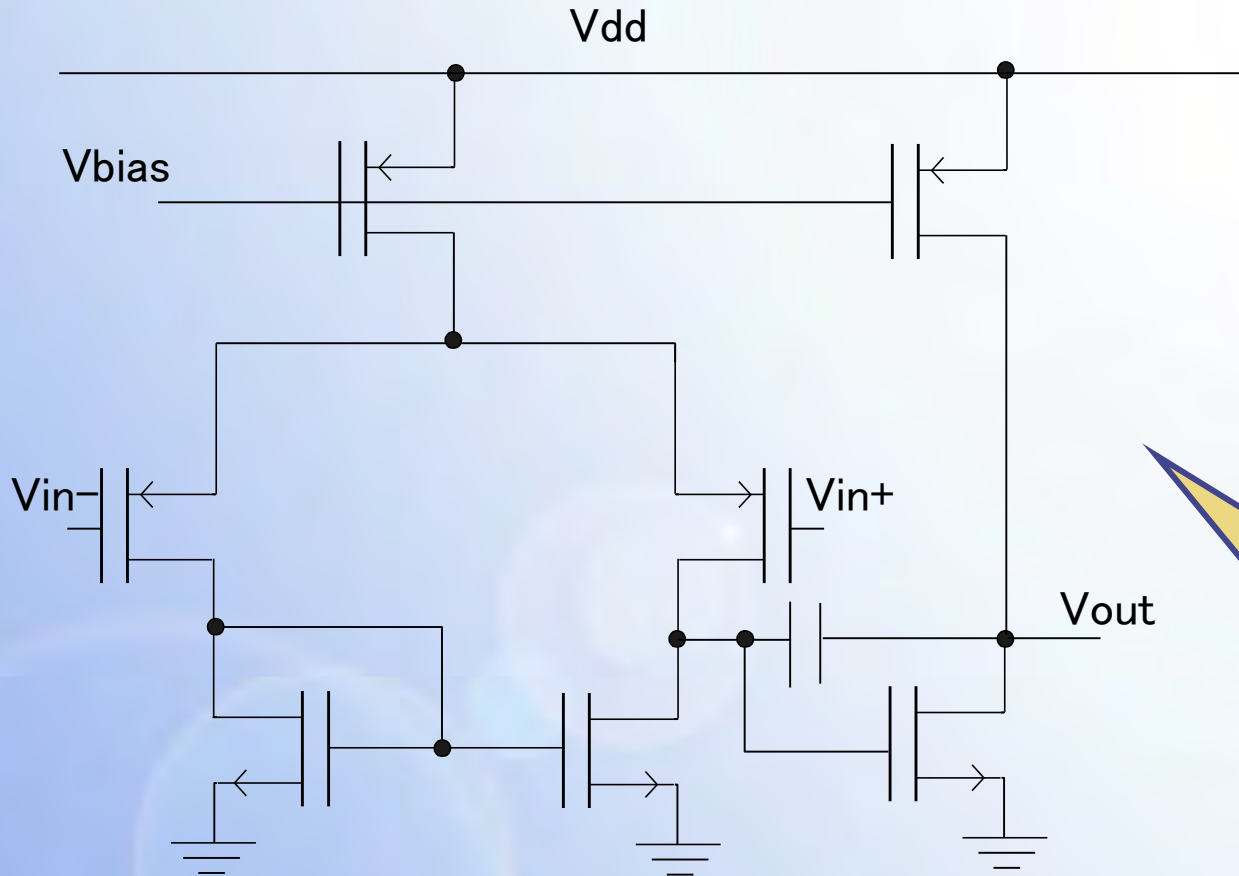


群馬大学

OPアンプを使用した カレントミラー回路

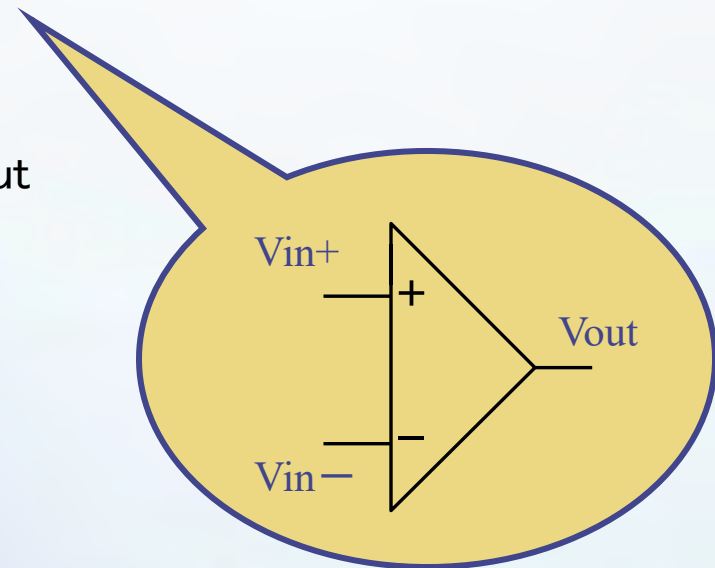


シミュレーションに使用したOPアンプ

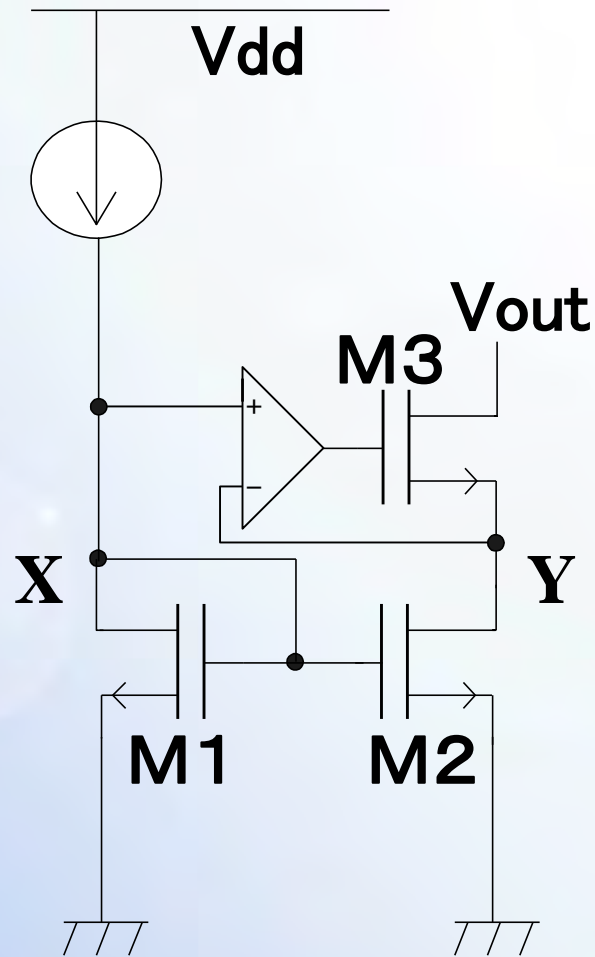


$V_{dd}=2.5V$

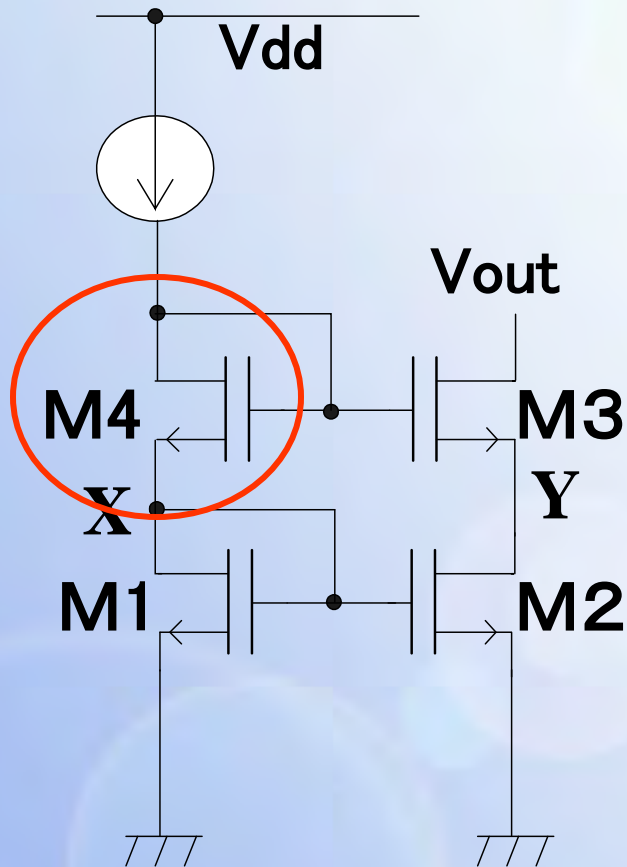
$V_{bias}=1.25V$



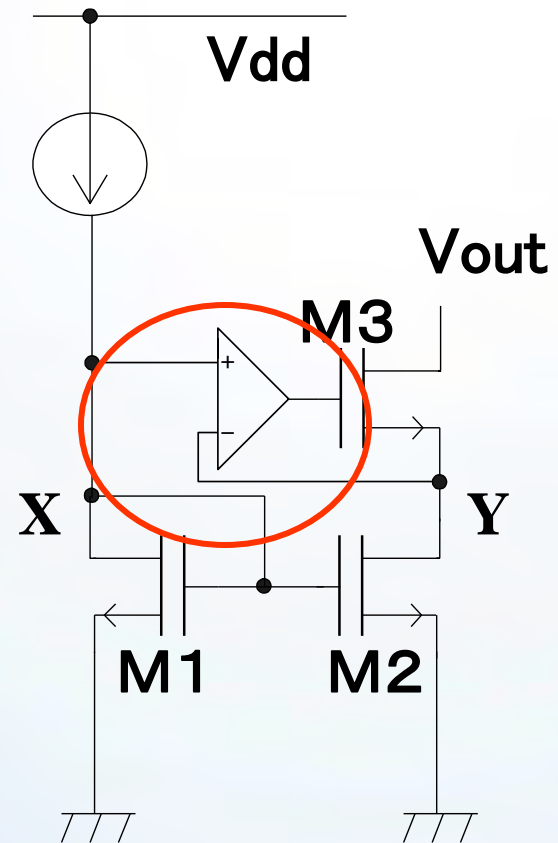
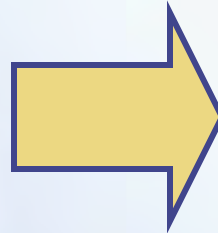
Basic regulated cascode current mirror



Basic regulated cascode current mirror

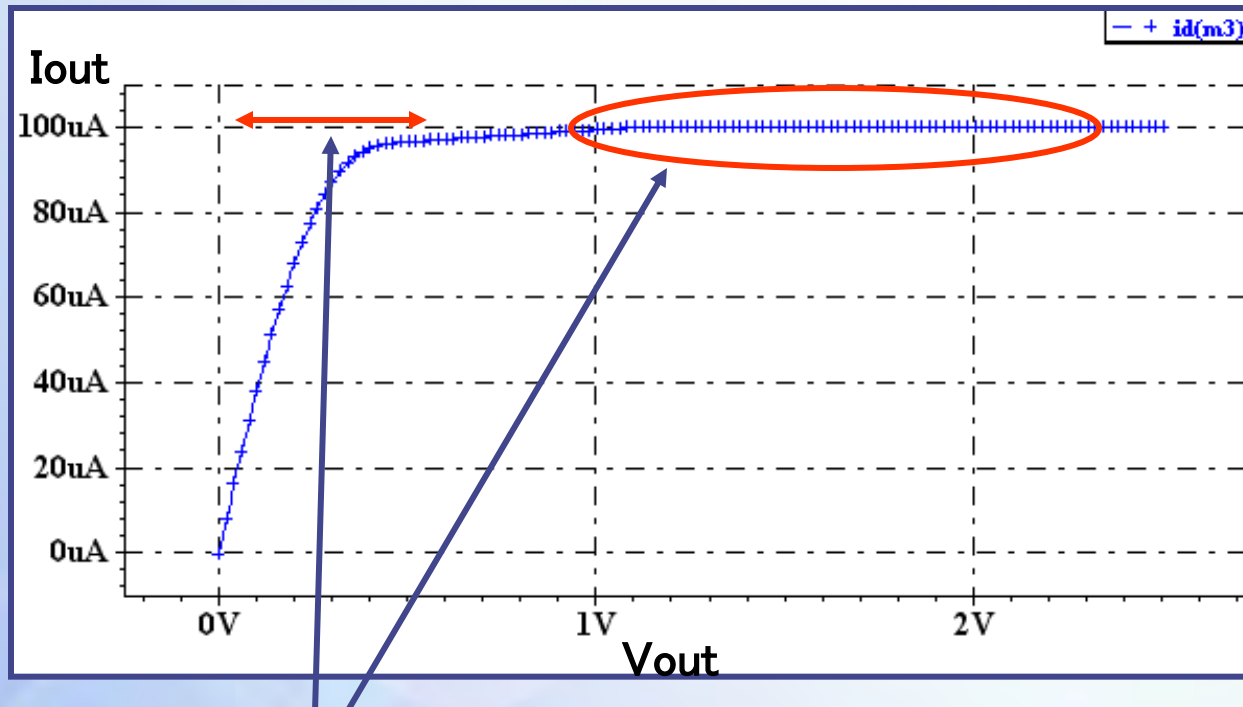
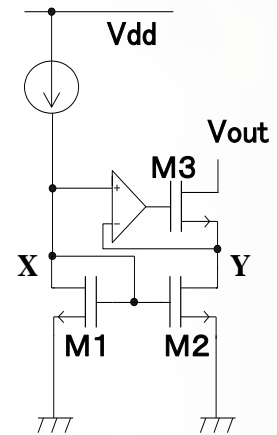


M4の代わりに
OPアンプを使用



カスコードカレントミラー回路に比べて
出カインピーダンスがOPアンプのゲイン分だけ高くなる

Basic regulated cascode current mirror

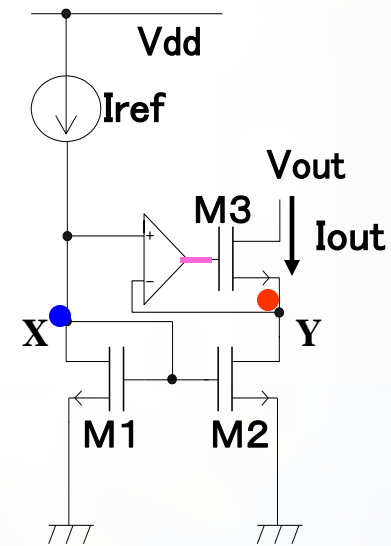
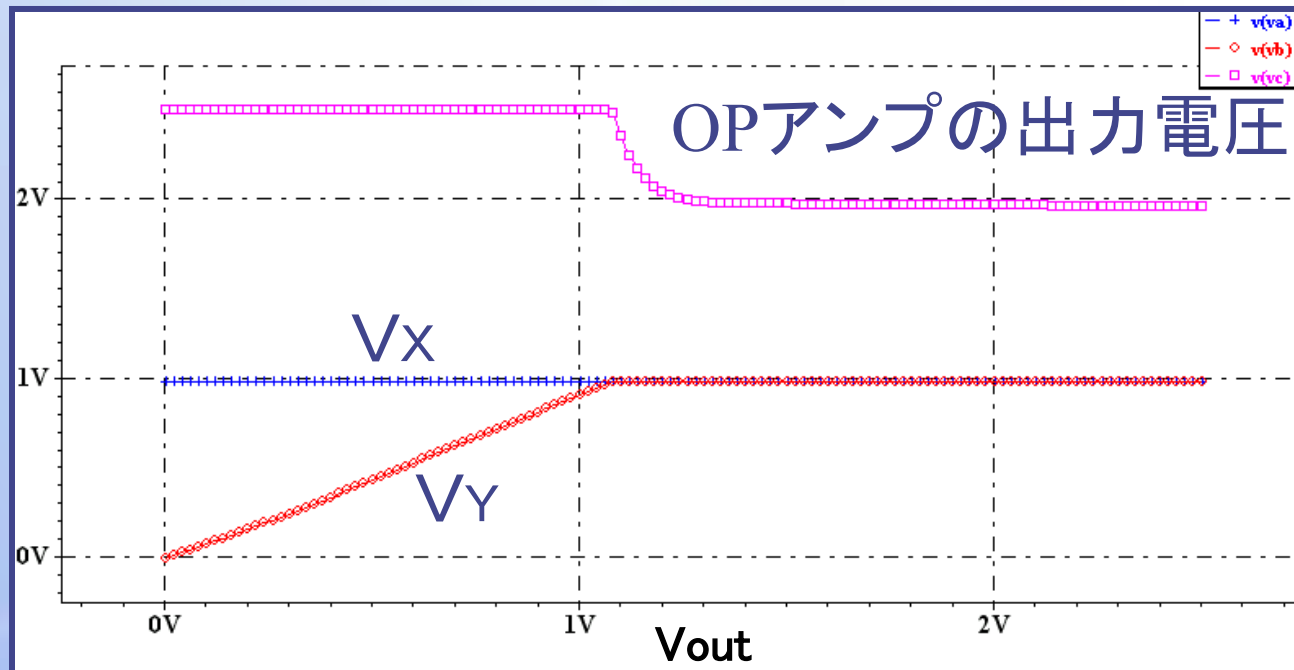


カスコードカレントミラー回路と同様
チャンネル長変調効果の影響は小さいが最小許容電圧が高い

電流のコピー精度◎

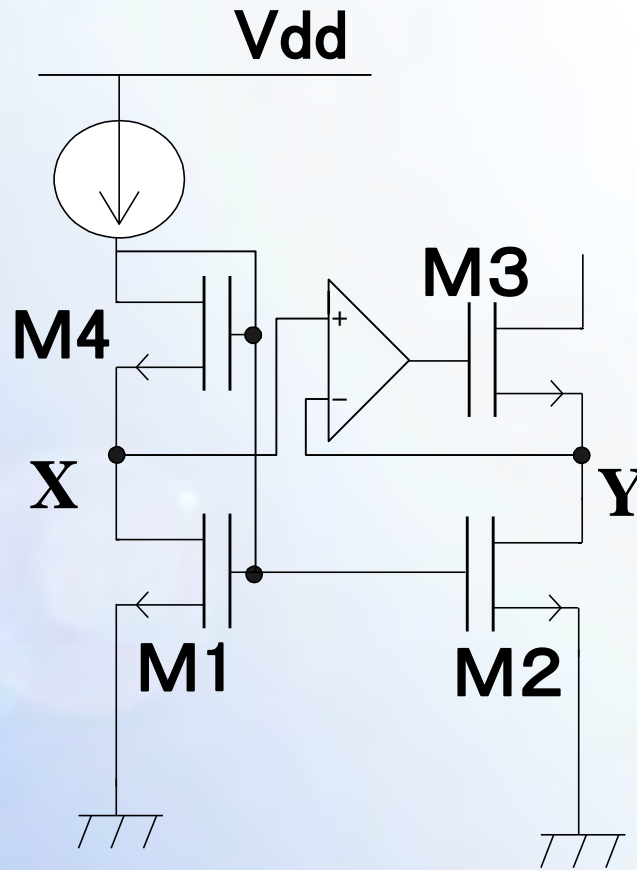
低電圧化×

Basic regulated cascode current mirror



$V_X = V_Y$ になると $I_{ref} = I_{out}$ となる

High Compliance regulated cascode current mirror

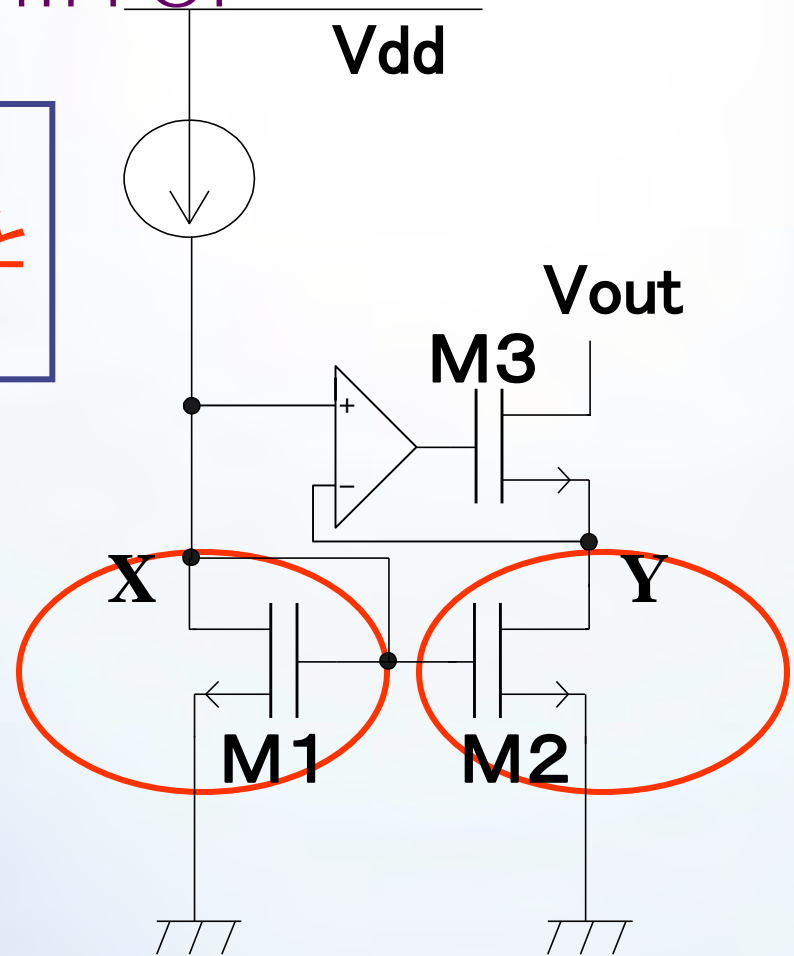


High Compliance regulated cascode current mirror

いままでのカレントミラーは
MOSを飽和領域で使うということ
というのが前提だった



ぴったり $V_X = V_Y$
にすることができれば
MOSを線形領域で使うことが
できるのではないか



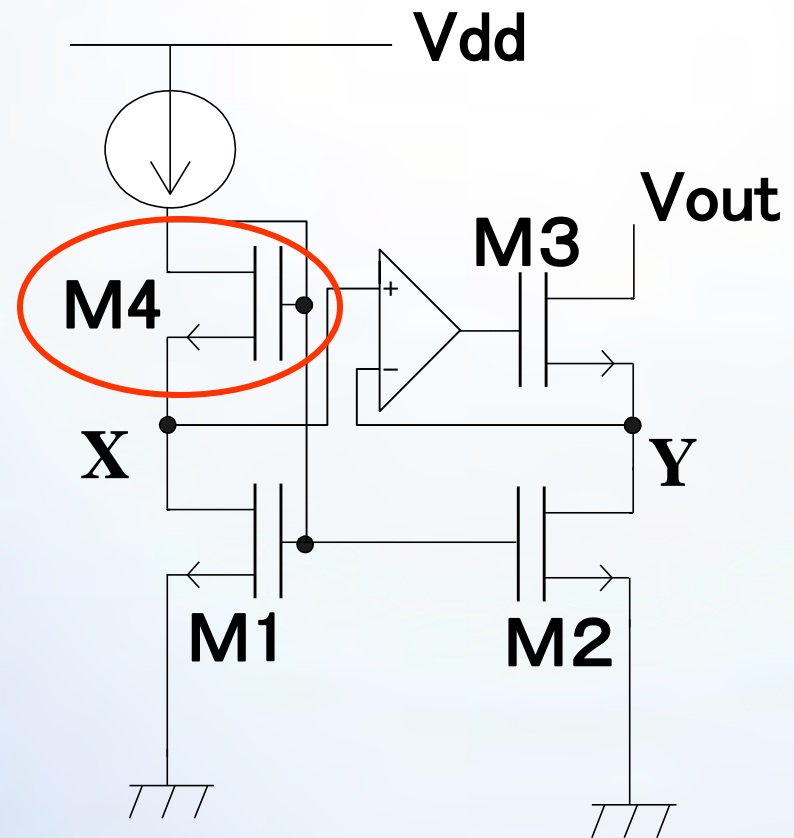
Basic regulated Cascode current mirror

High Compliance regulated cascode current mirror

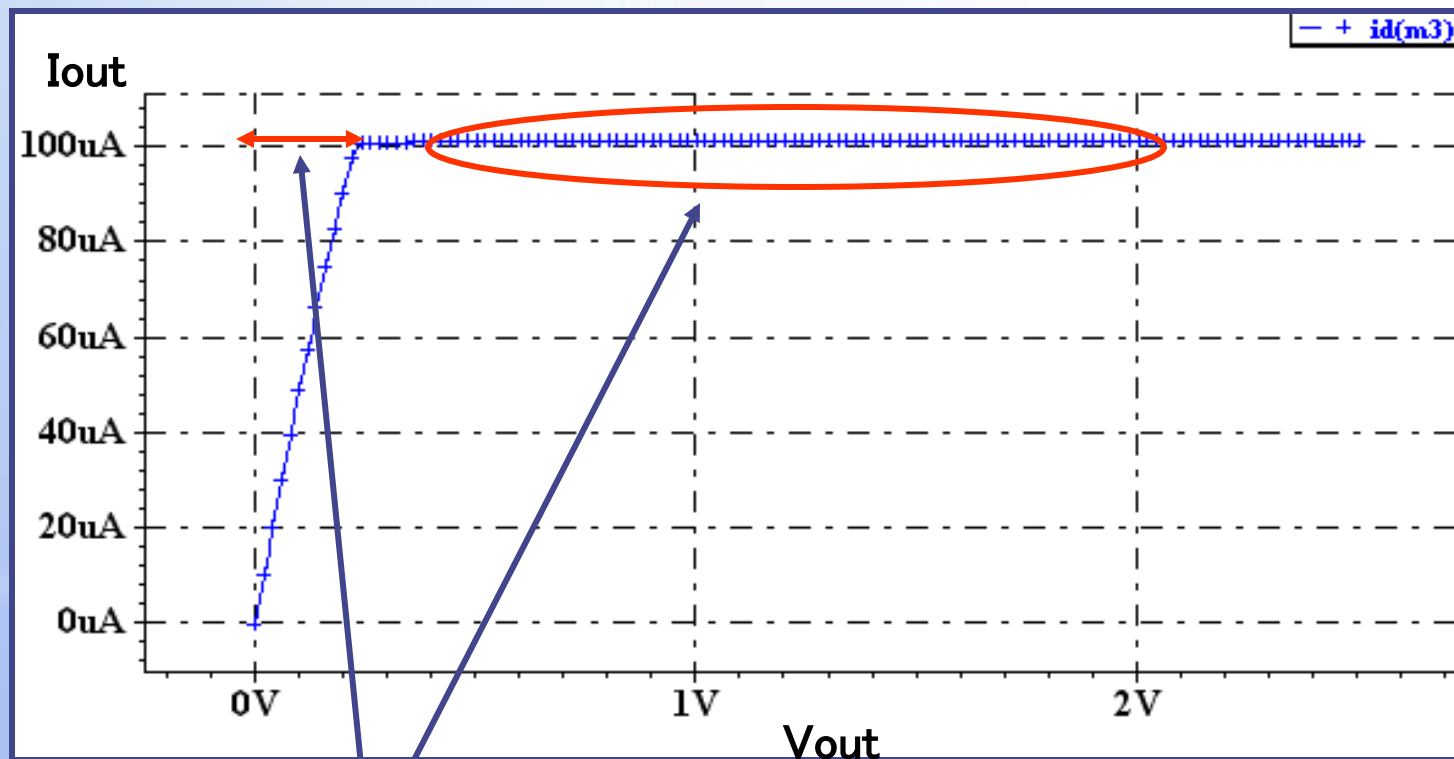
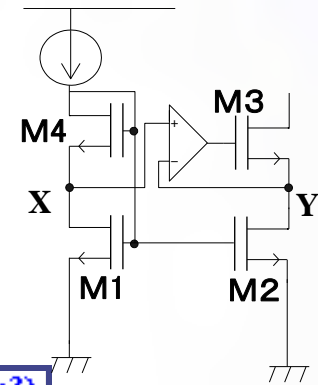
M4を入れることにより
 V_X が下がる



M1とM2を線形領域で使用



High Compliance regulated cascode current mirror

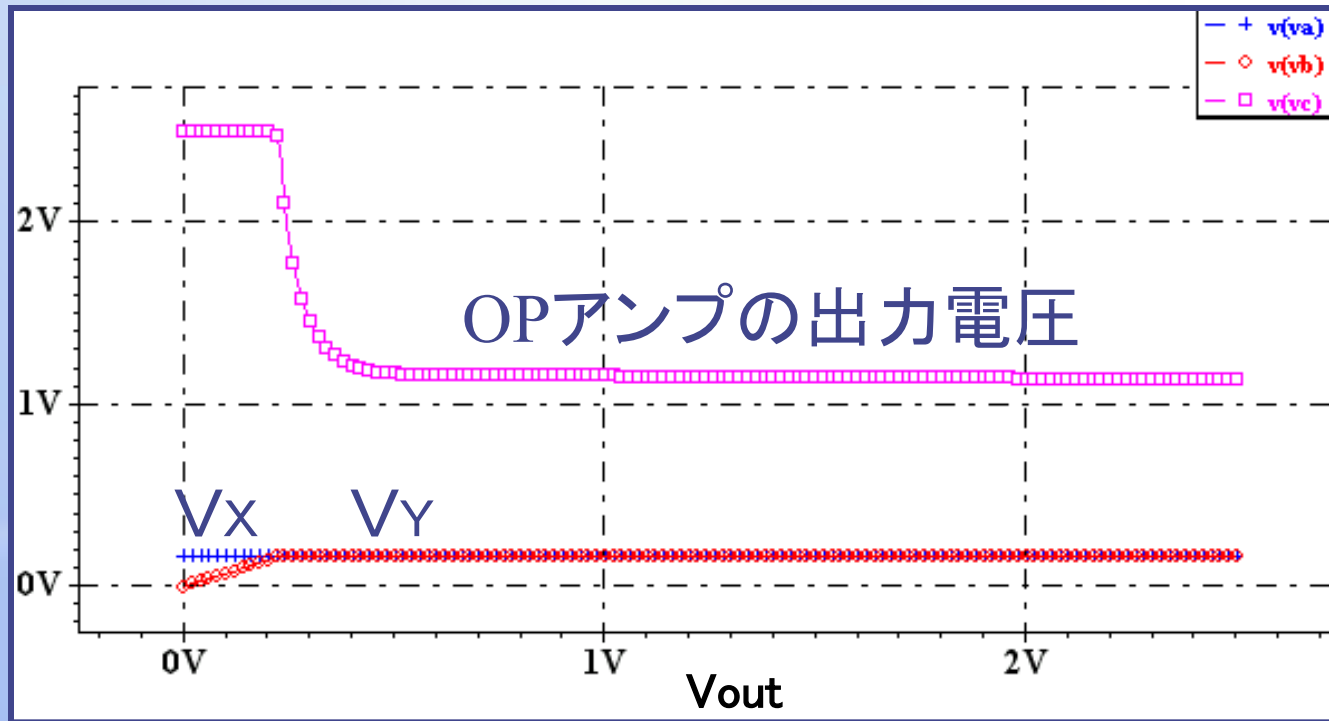
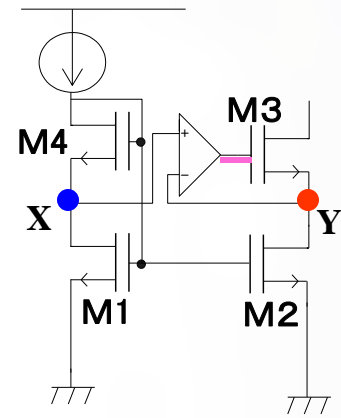


チャネル長変調効果の影響が小さく
最小許容電圧も比較的低い

電流のコピー精度○

低電圧化△

High Compliance regulated cascode current mirror

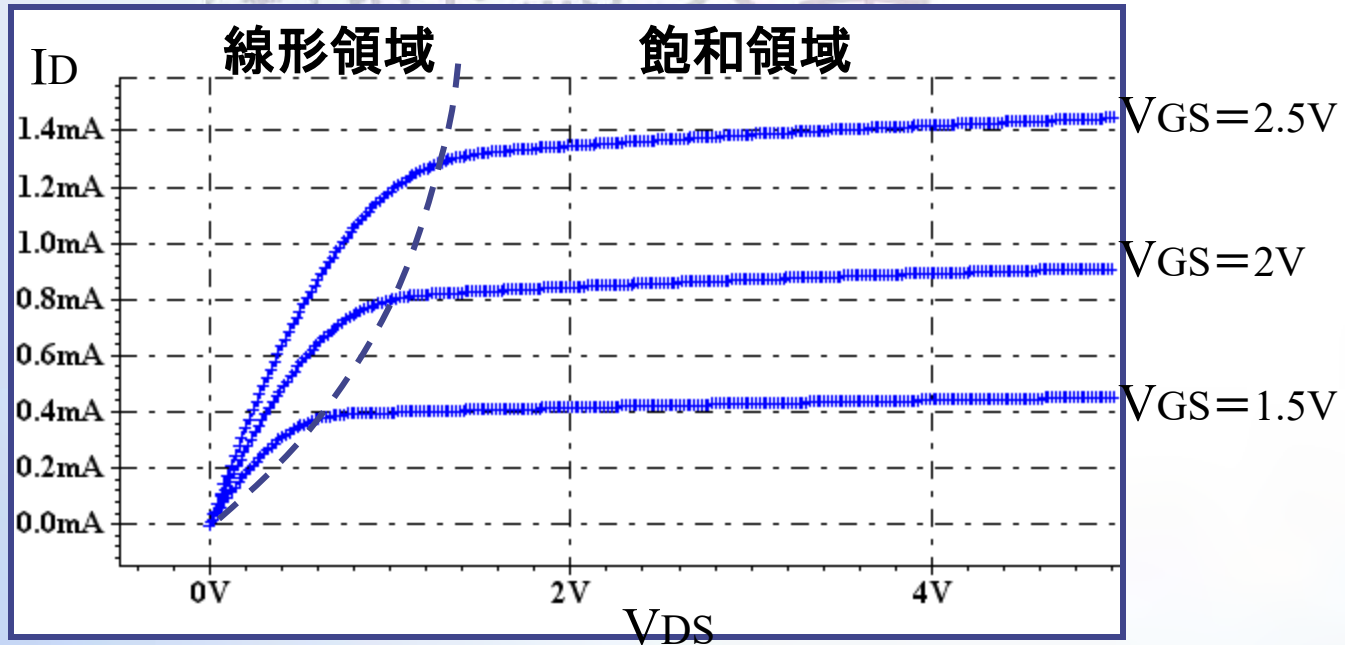
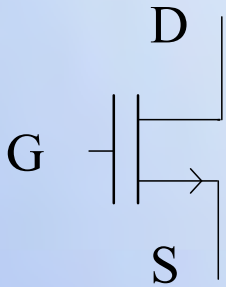


$V_X = V_Y$ になると $I_{ref} = I_{out}$ となる



群馬大学

高性能カレントミラー回路の提案



回路解析により

M1, M2を線形領域で使用することにより低電圧化可能

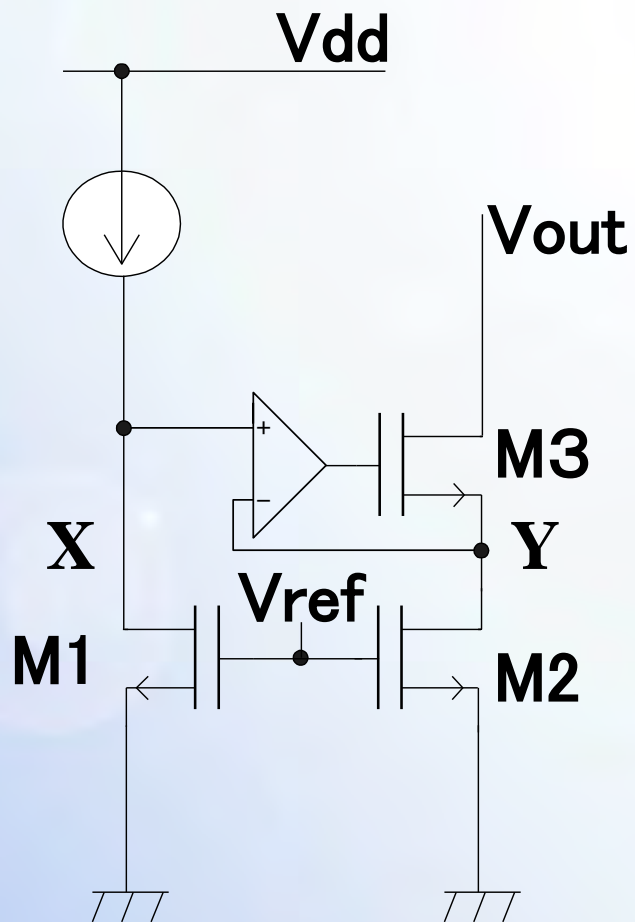


このことに着目し、

さらに理想に近づけることを目指した5つの回路を提案する

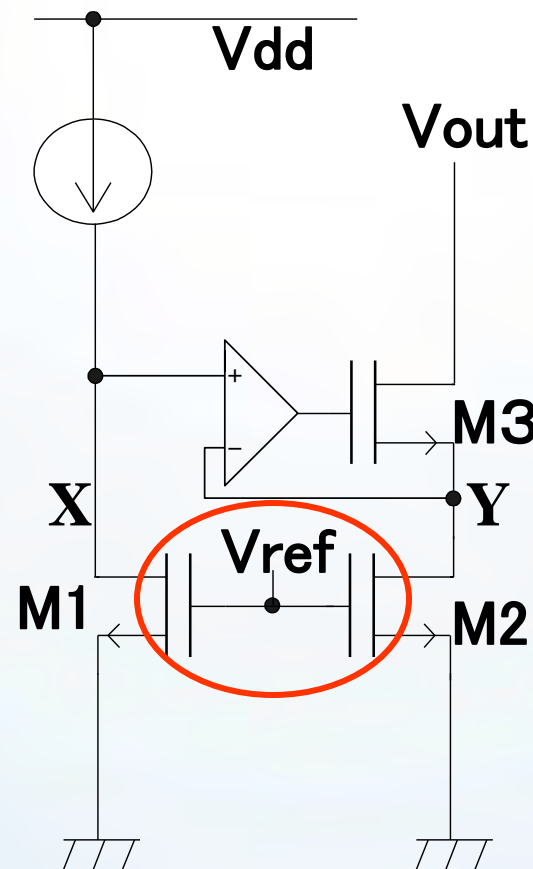
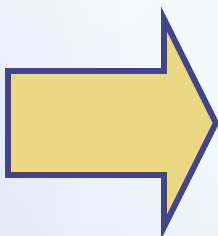
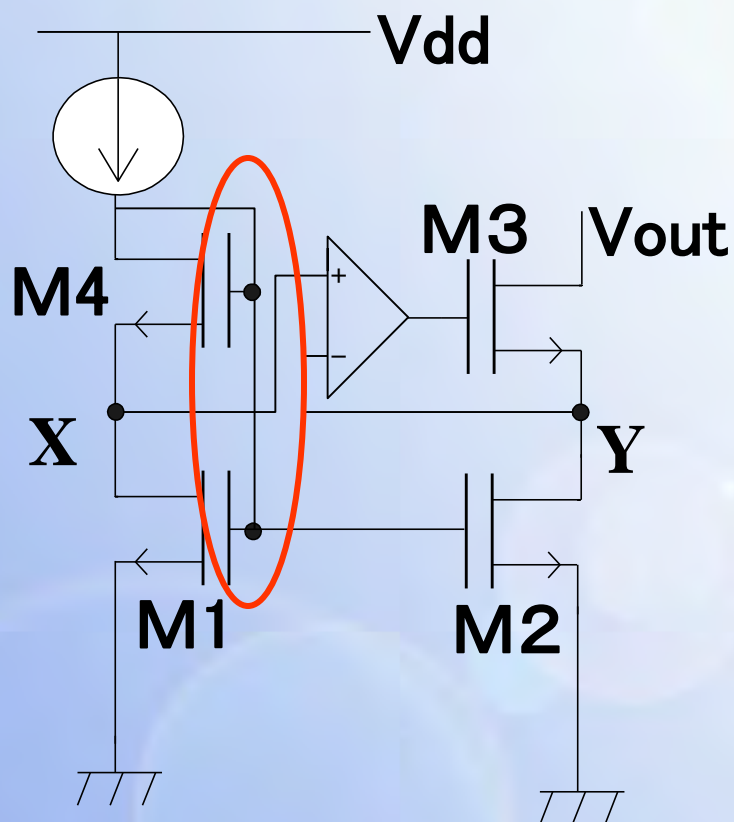


提案回路(1)





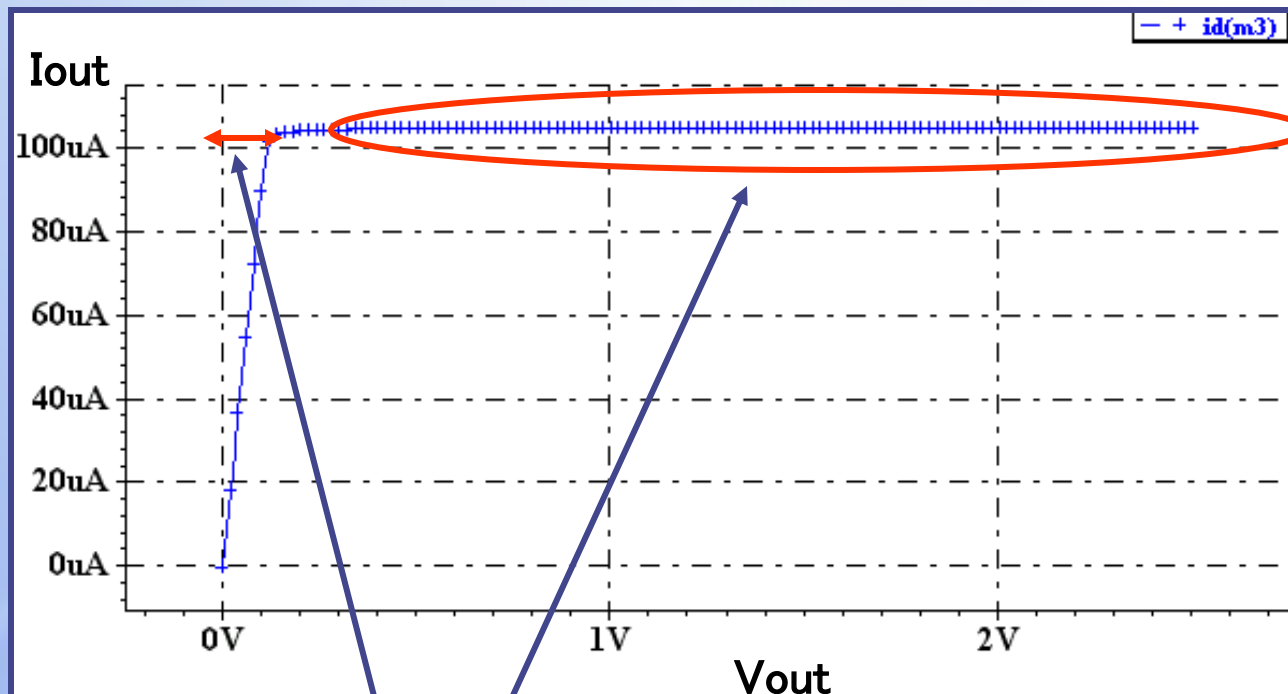
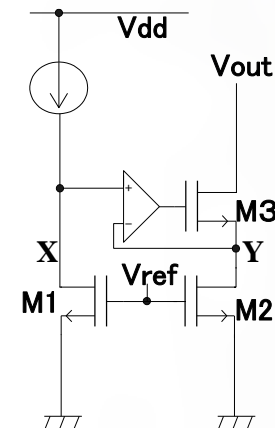
提案回路(1)



Vrefを高い電圧値にすることで最小許容電圧を低くすることができると考えた



提案回路(1)



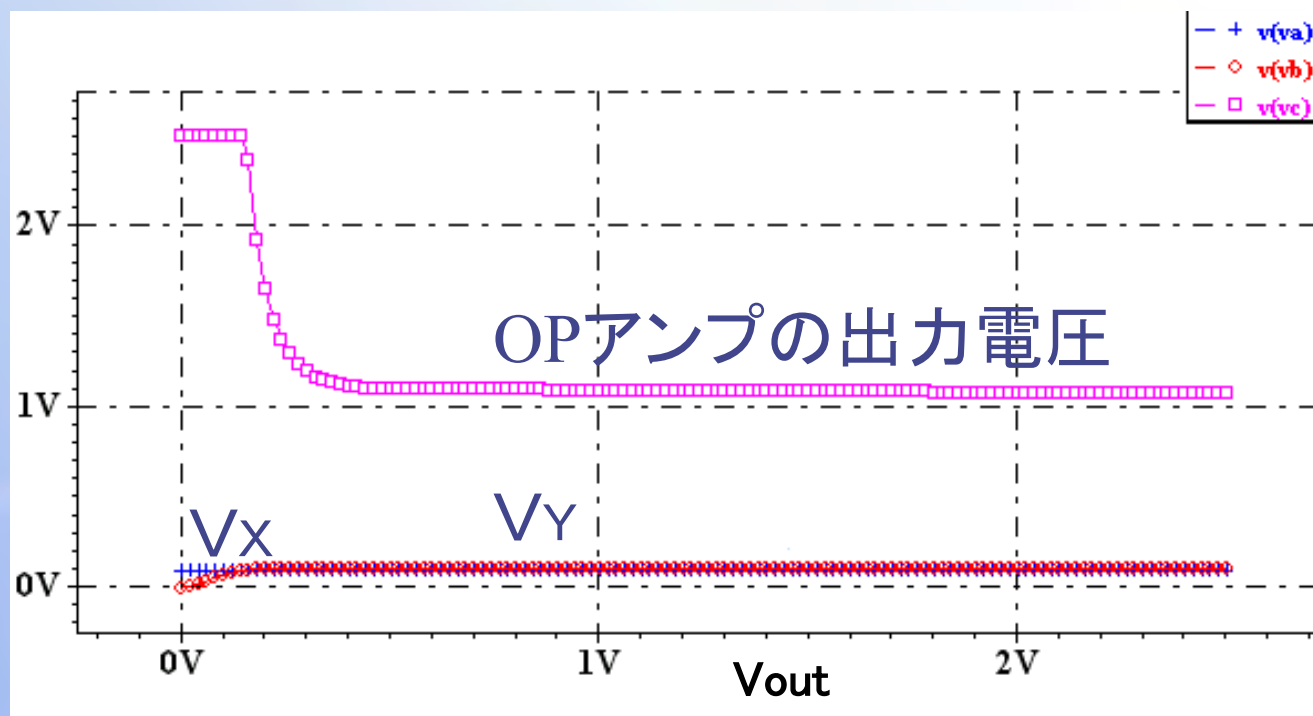
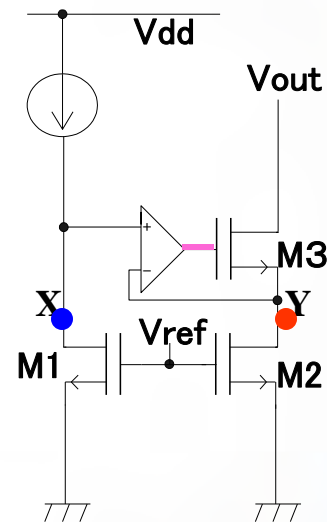
電流コピーの精度は落ちたが
最小許容電圧を低くすることができた

電流のコピー精度 Δ

低電圧化 \bigcirc



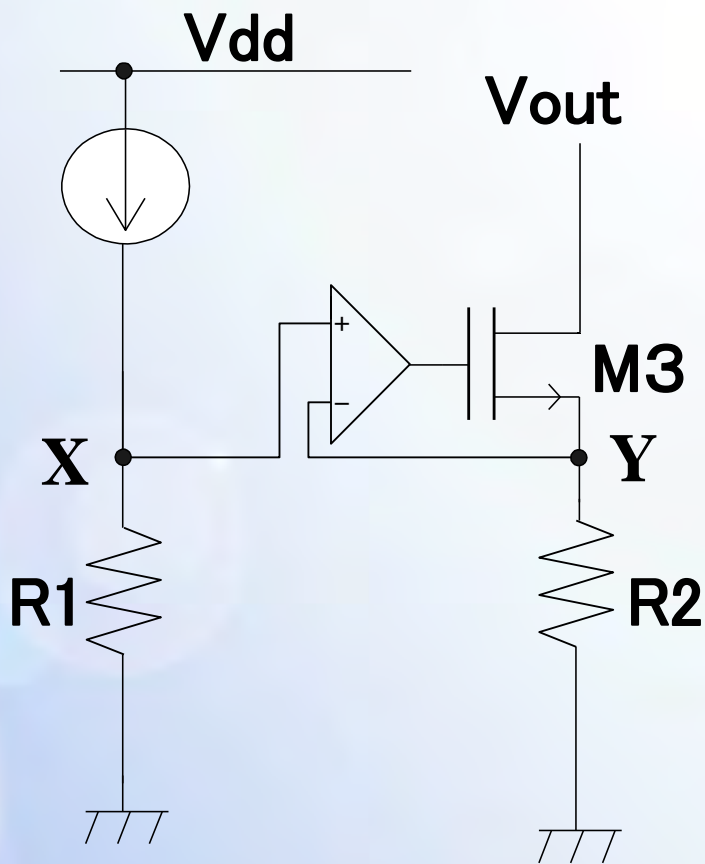
提案回路(1)



$V_X = V_Y$ になると $I_{ref} = I_{out}$ となる



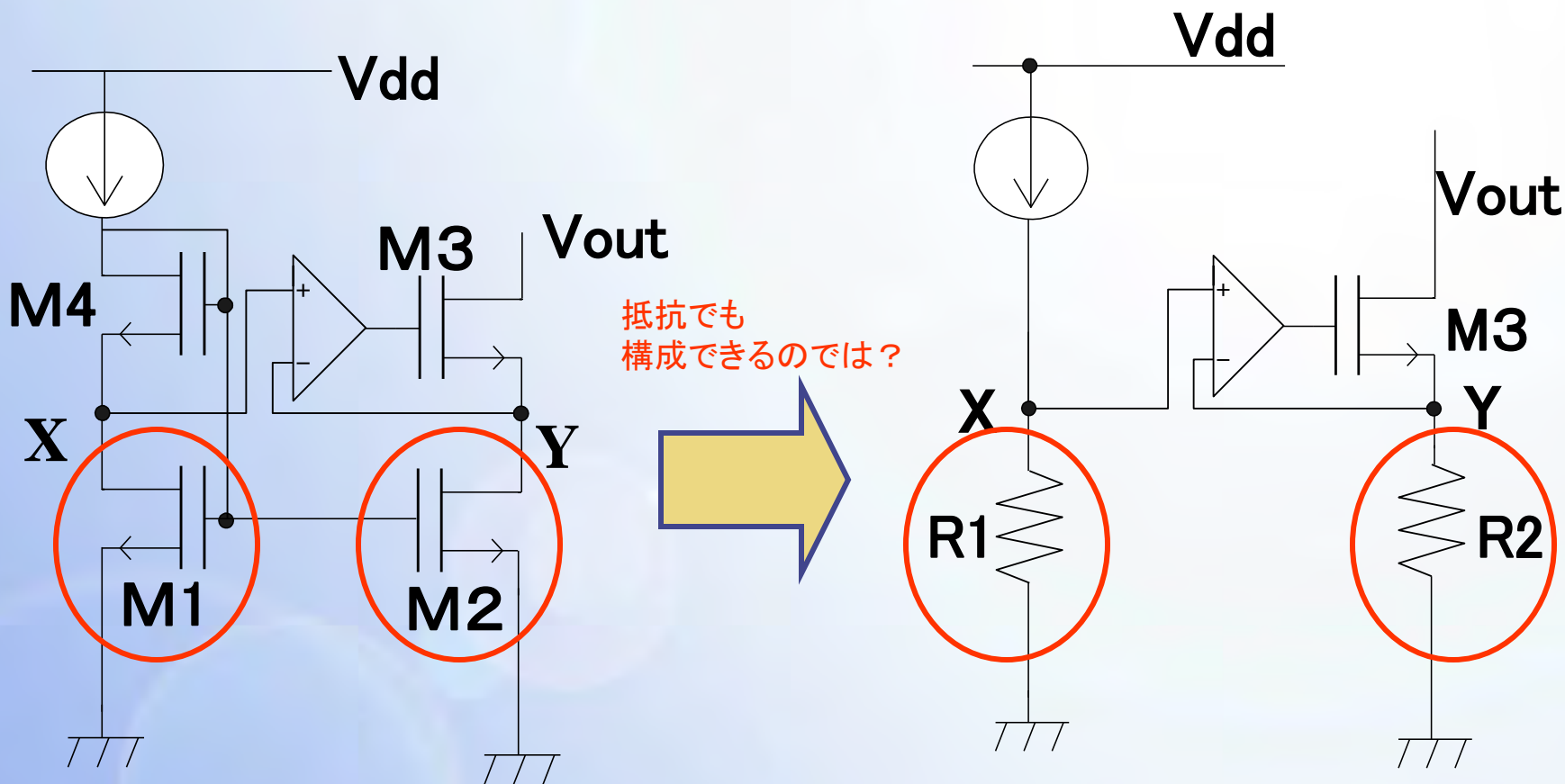
提案回路(2)



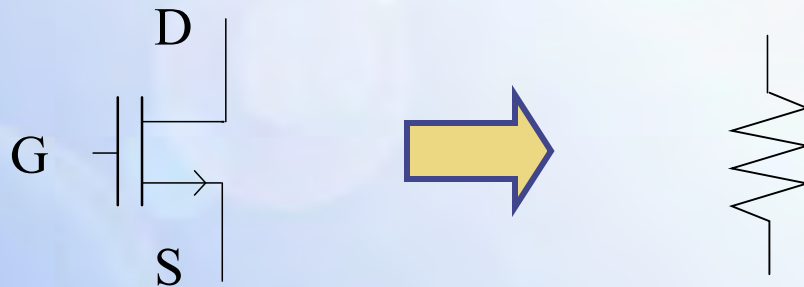
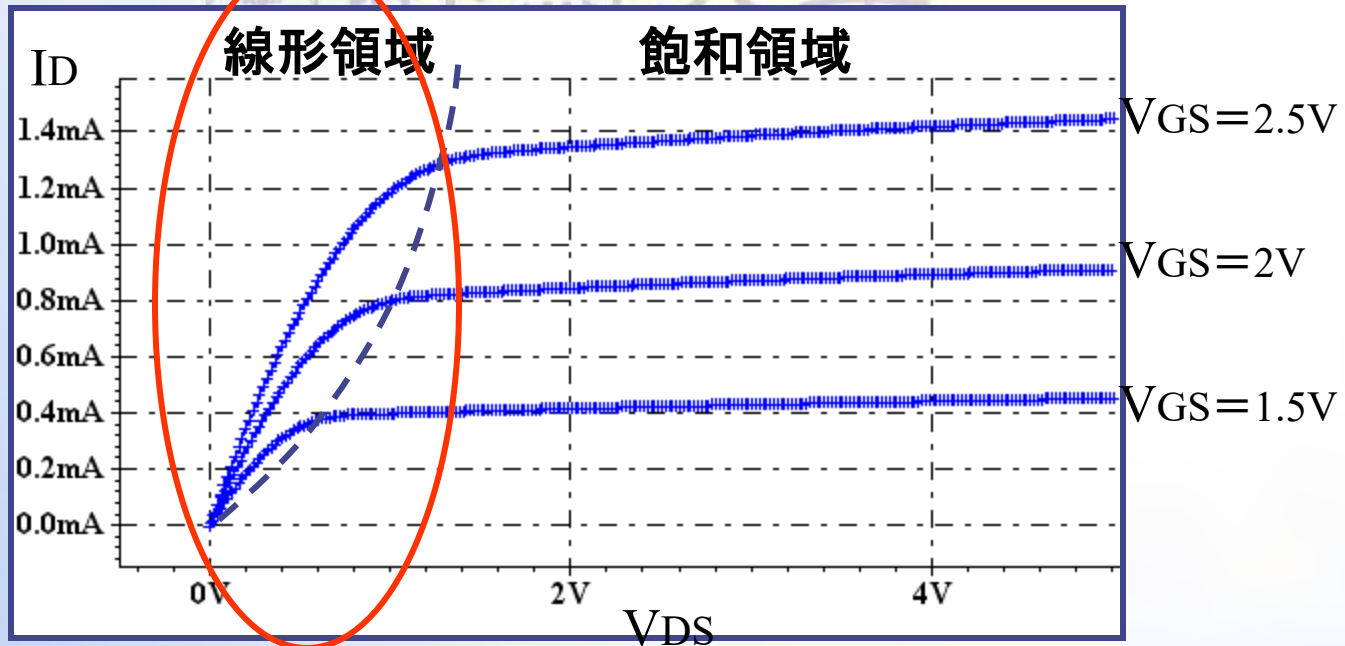
$$R1=R2=1k$$



提案回路(2)



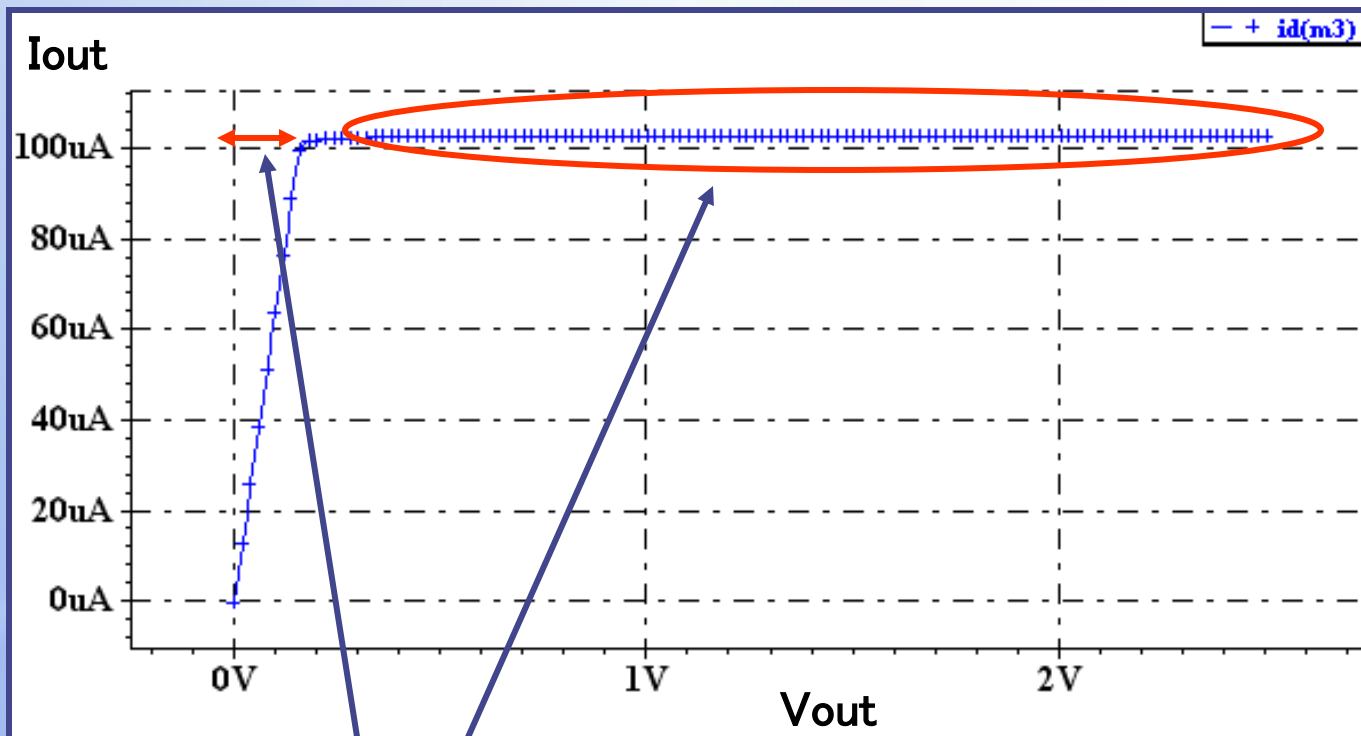
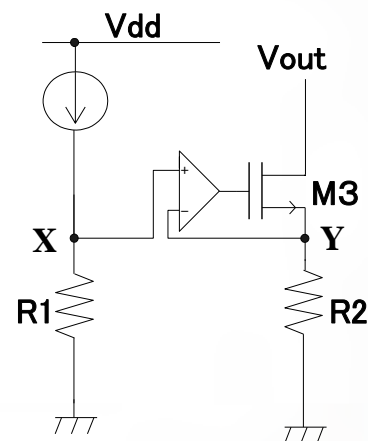
M1とM2を抵抗に変更した



M1とM2を線形領域で使用しているのなら
抵抗でも代用が可能なのではないか？



提案回路(2)

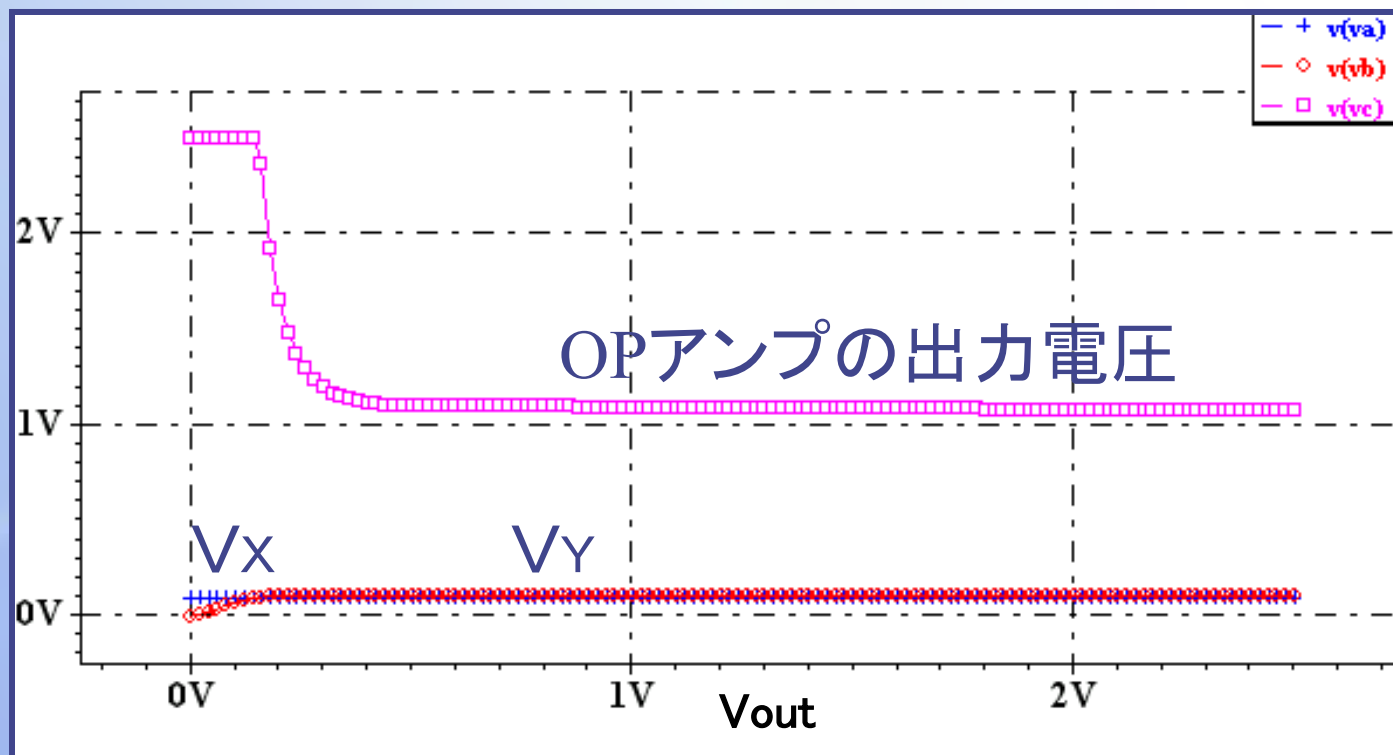
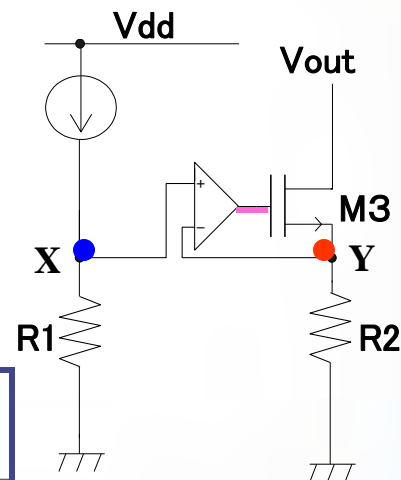


提案回路(1)より
電流コピーの精度が向上した

電流のコピー精度 Δ
低電圧化 \circ



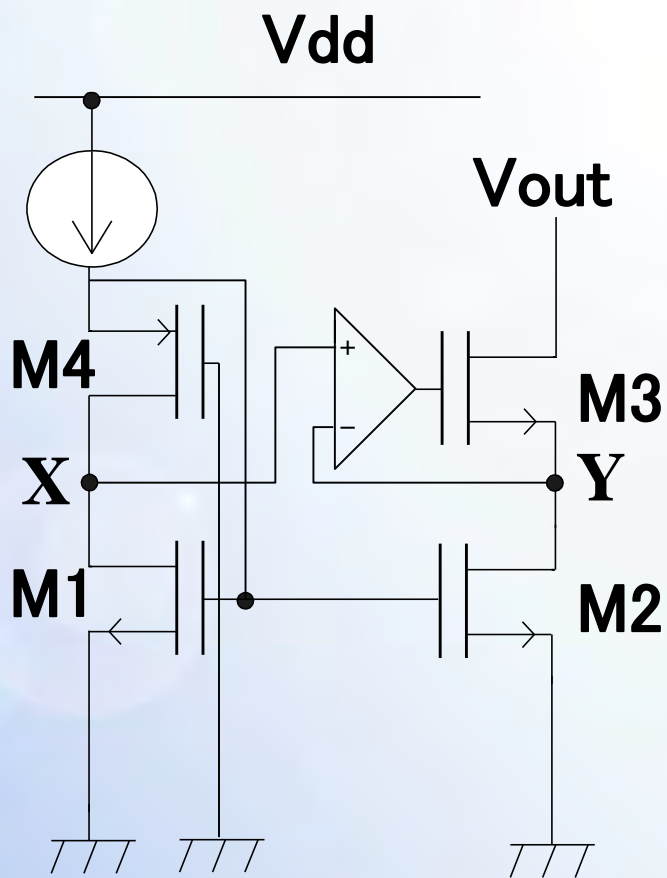
提案回路(2)



$V_X = V_Y$ になると $I_{ref} = I_{out}$ となる

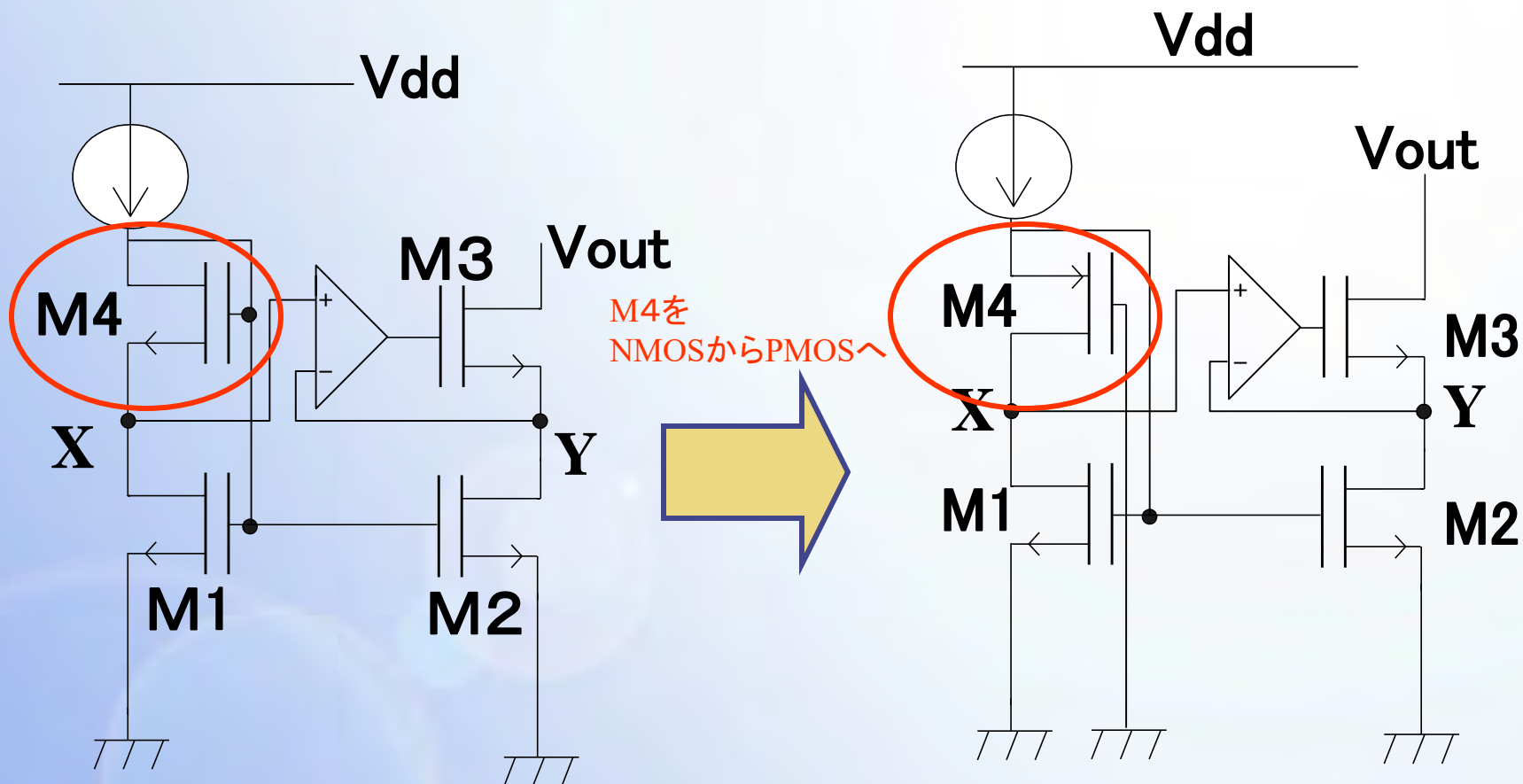


提案回路(3)





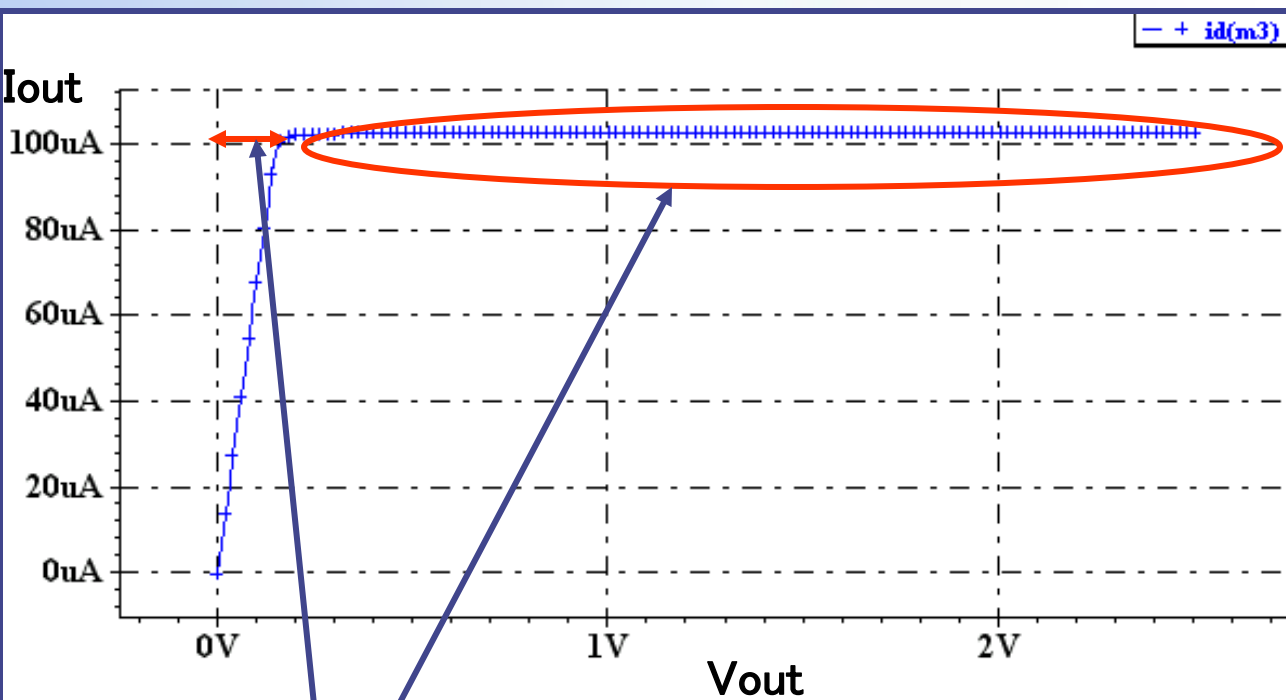
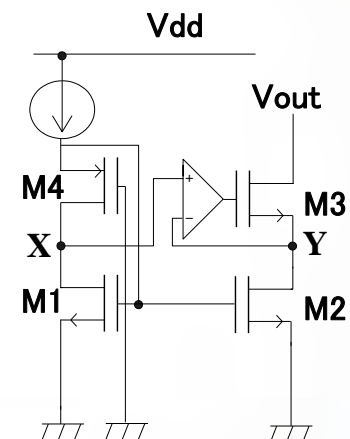
提案回路(3)



M4をNMOSからPMOSに変えることによって最小許容電圧を低くすることができる考えた



提案回路(3)



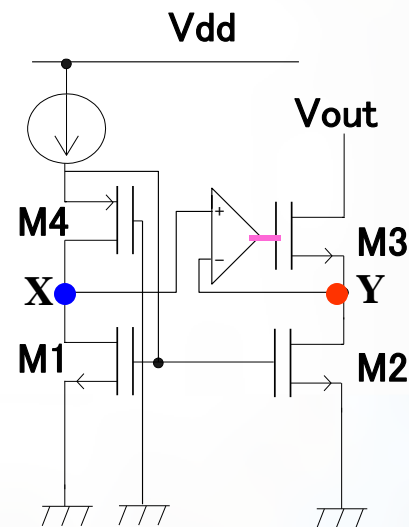
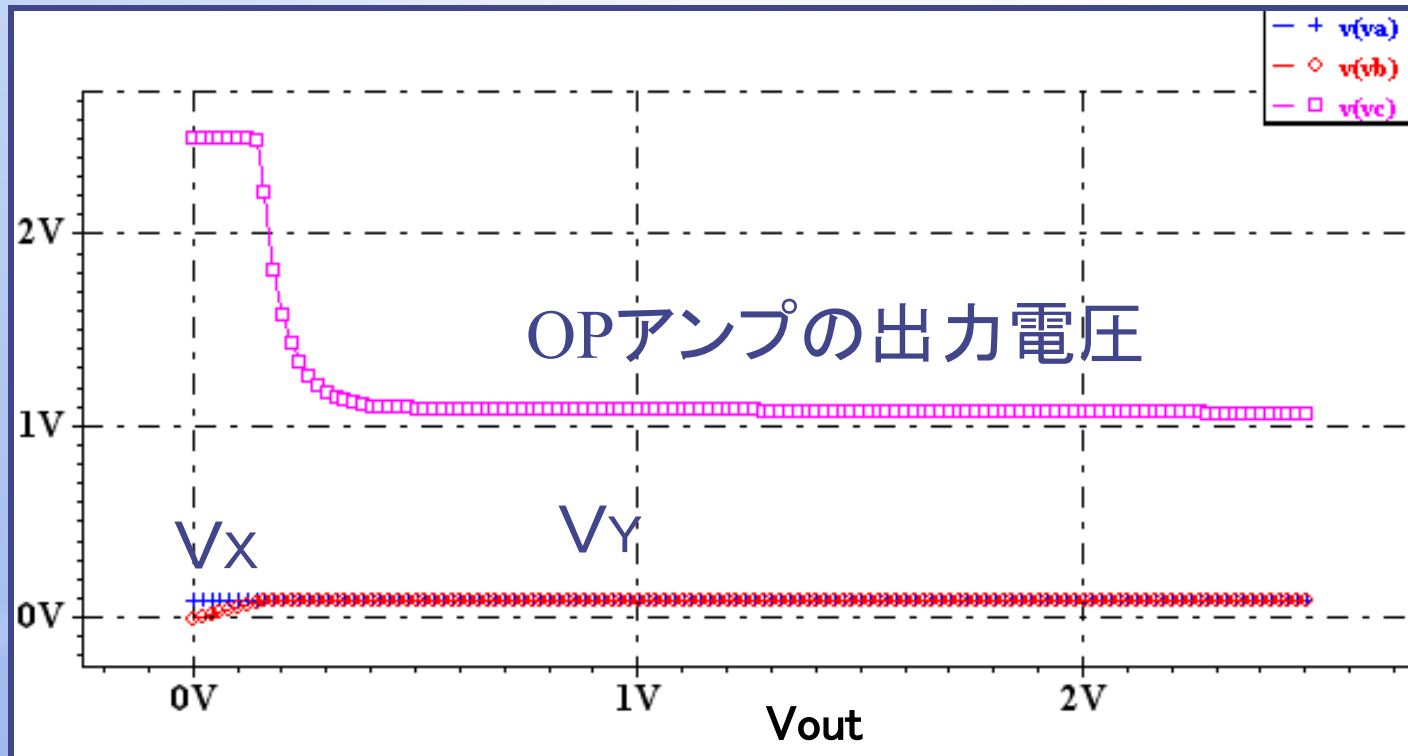
電流のコピー精度 Δ

低電圧化 \circ

提案回路(2)同様
 提案回路(1)より電流コピーの精度が向上した



提案回路(3)



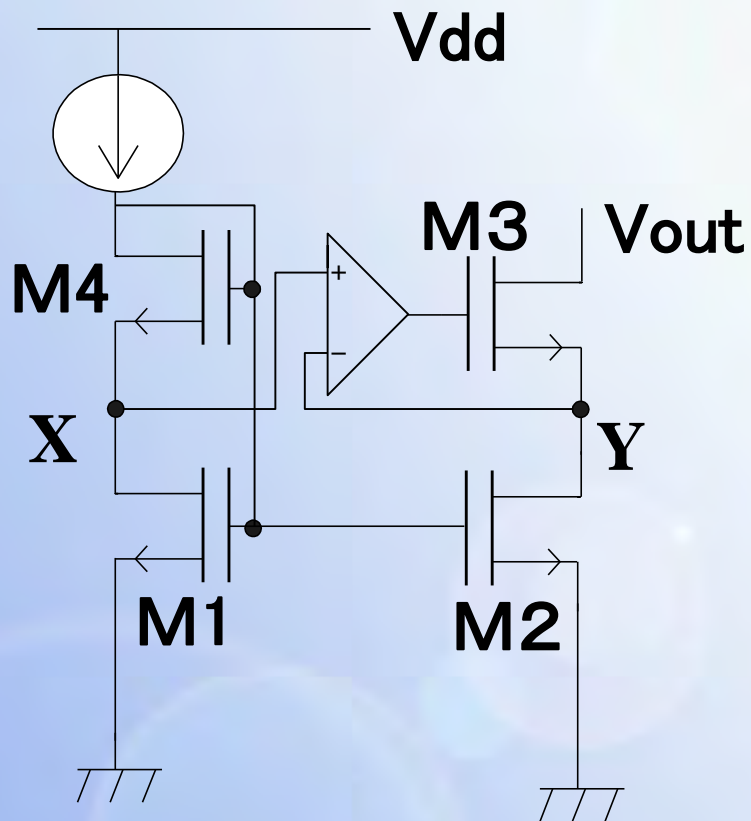
$V_X = V_Y$ になると $I_{ref} = I_{out}$ となる



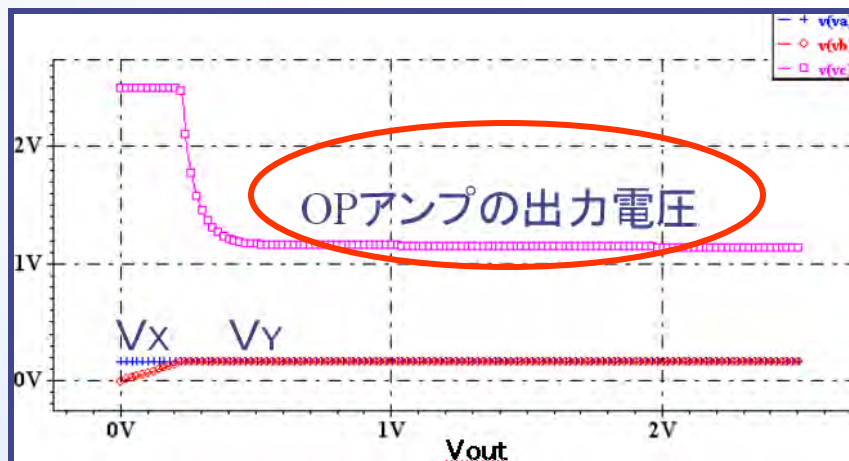
群馬大学

高性能カレントミラー回路の提案

(OPアンプの出力を利用した回路)



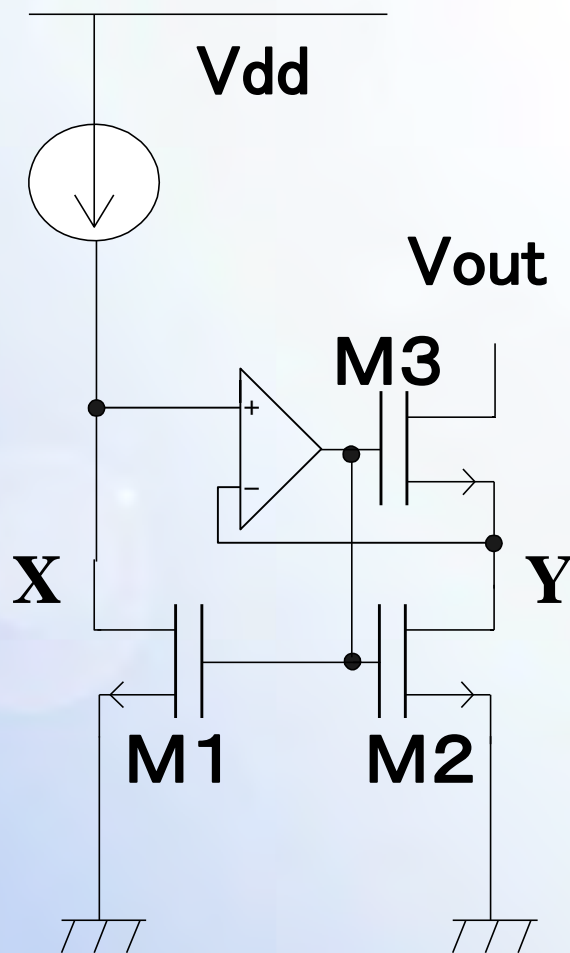
High Compliance regulated cascode current mirror



OPアンプの出力をM1とM2のゲート電圧に利用できないか？

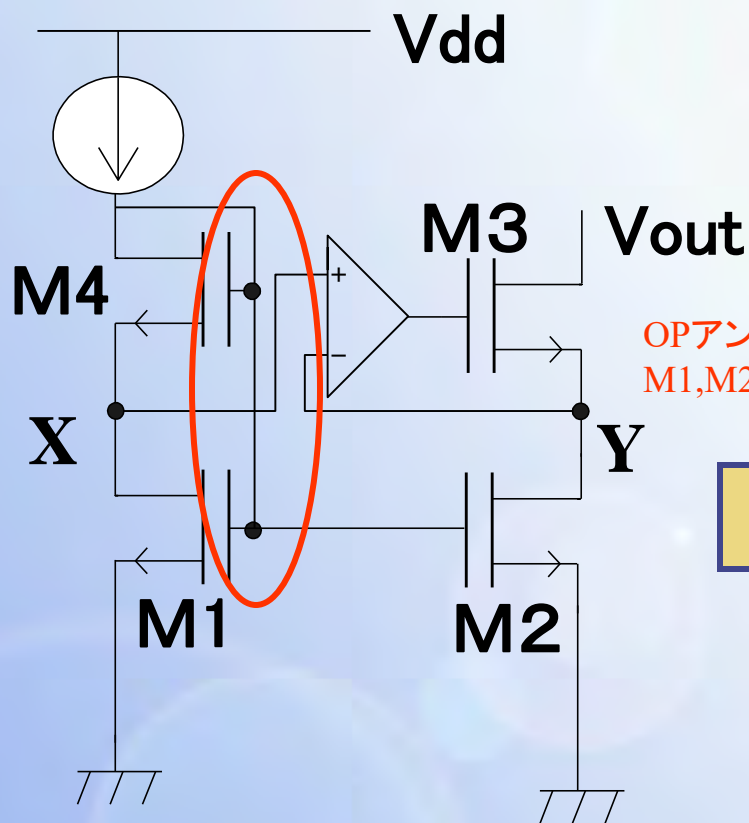


提案回路(4)

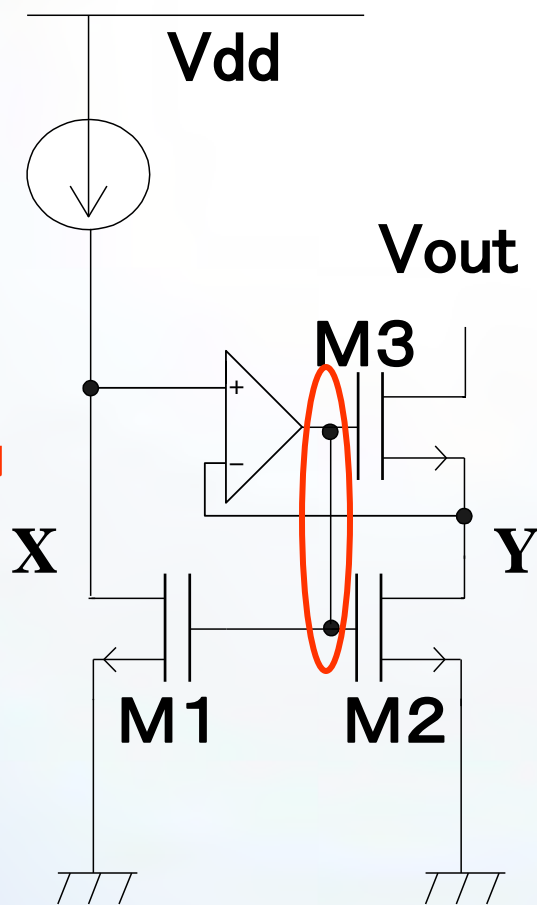
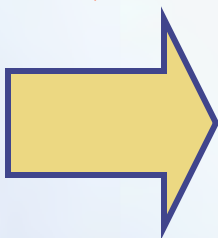




提案回路(4)



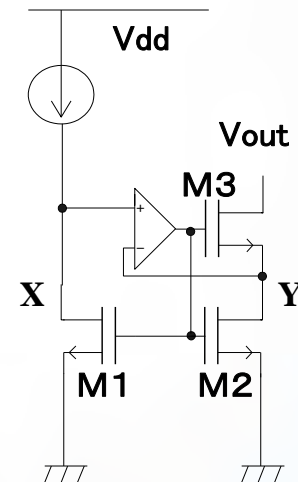
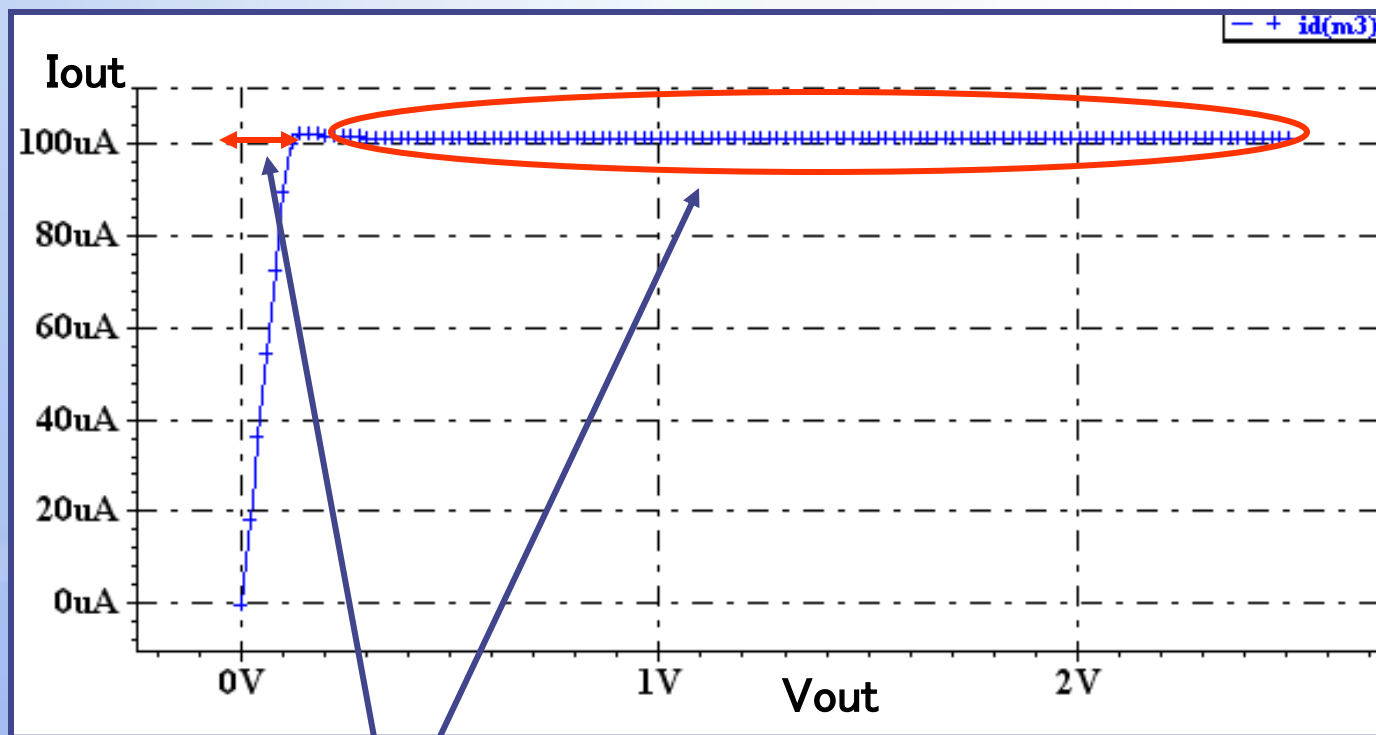
OPアンプの出力を
M1,M2のゲートに利用



OPアンプの出力を利用して、最小許容電圧を低くし、
さらに電流ミラー精度も上げることが出来るのではないかと考えた



提案回路(4)



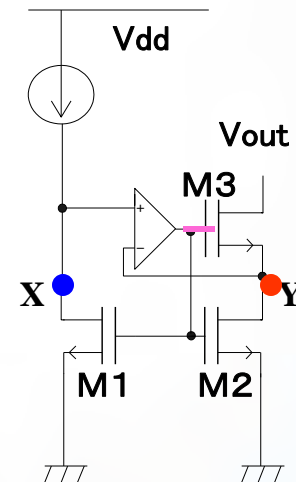
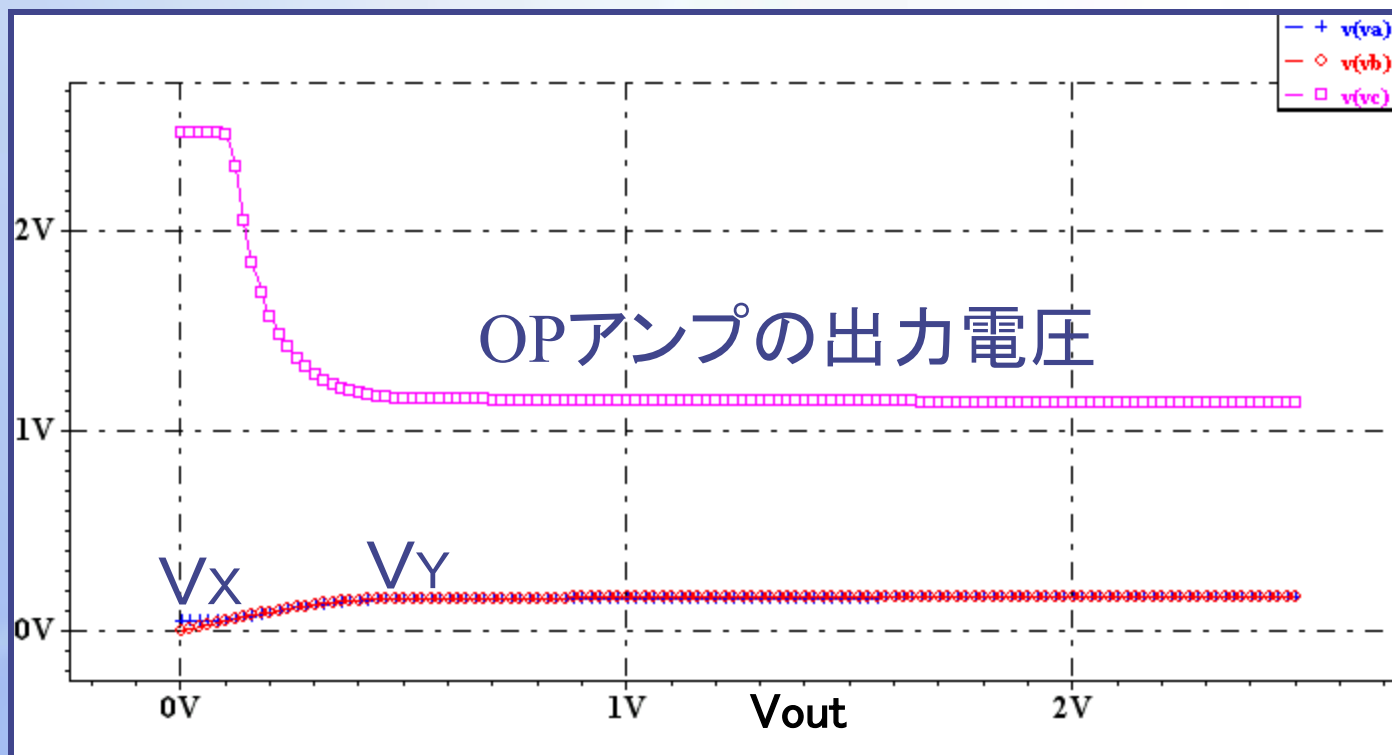
電流コピー精度が向上し、
最小許容電圧も低くすることができた

電流のコピー精度○

低電圧化○



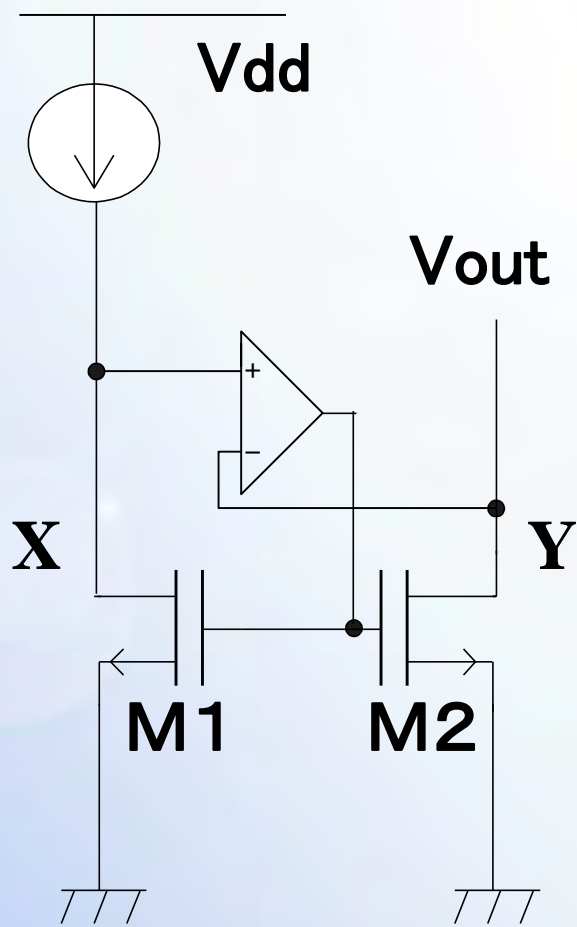
提案回路(4)



$V_X = V_Y$ になると $I_{ref} = I_{out}$ となる

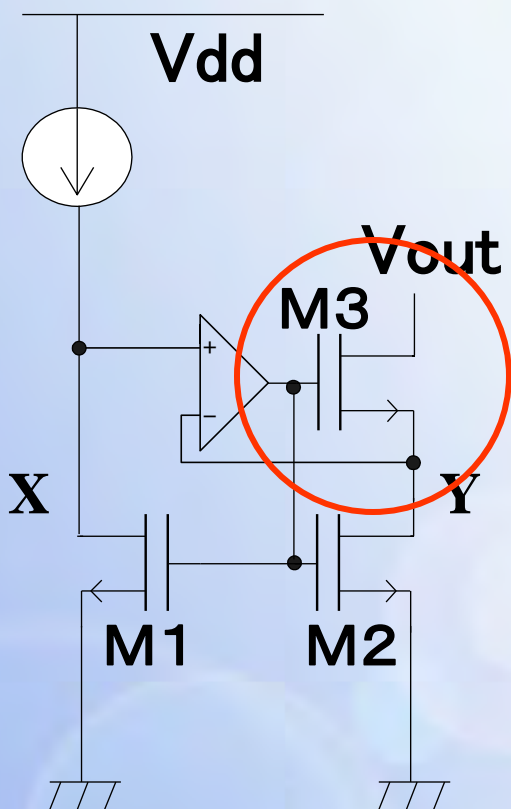


提案回路(5)

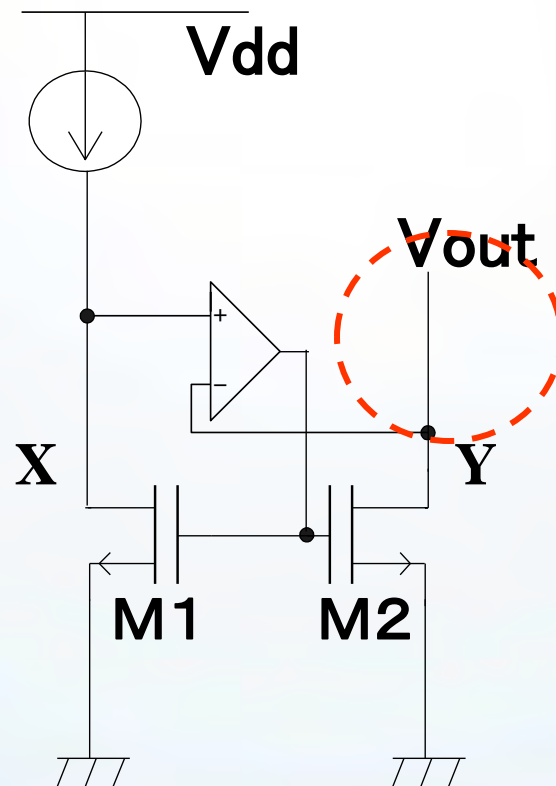
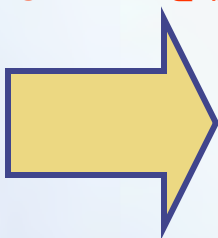




提案回路(5)



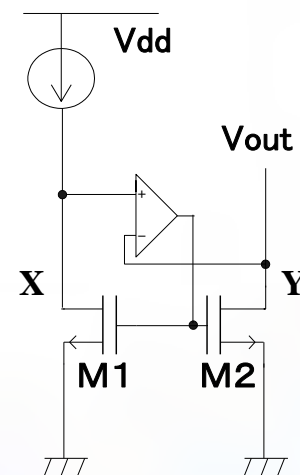
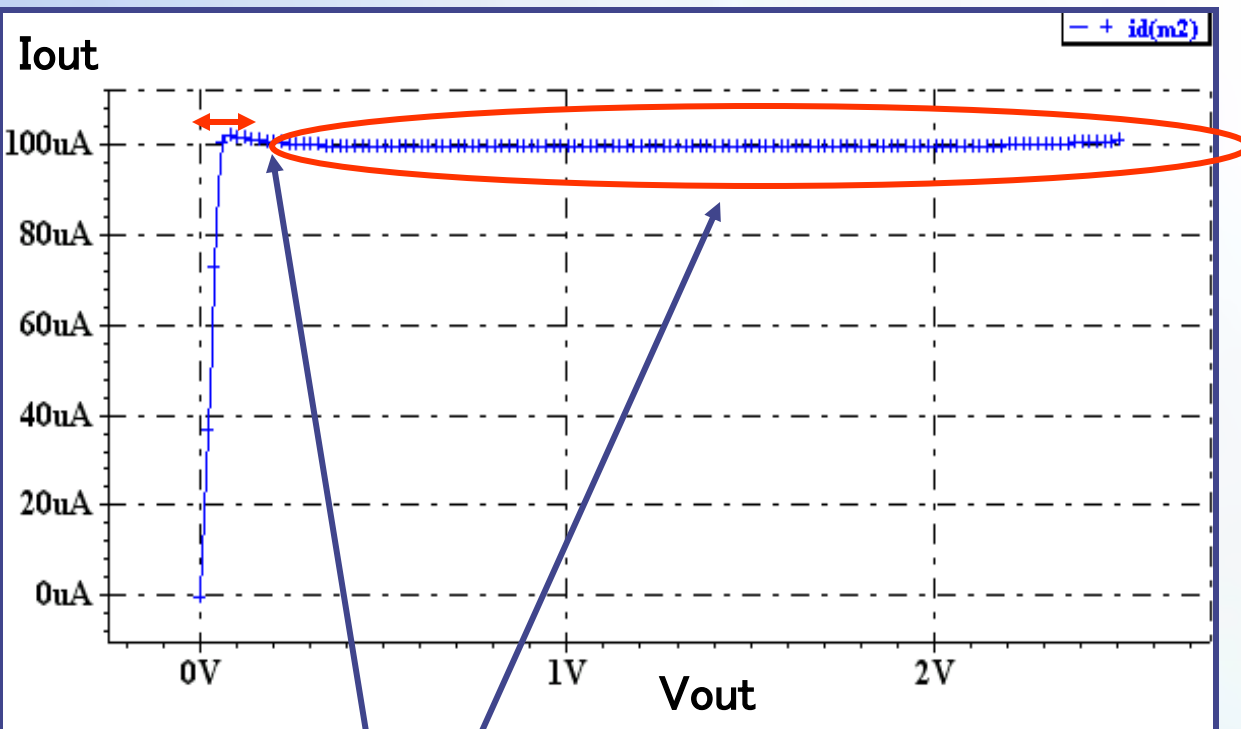
最小許容電圧を
低くするためM3を取り除く



M3を取り除いて、さらに最小許容電圧を
低くすることが出来るのではないかと考えた



提案回路(5)



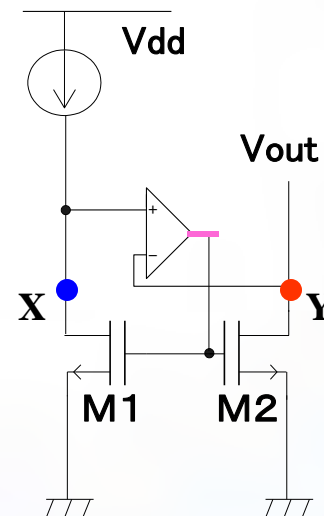
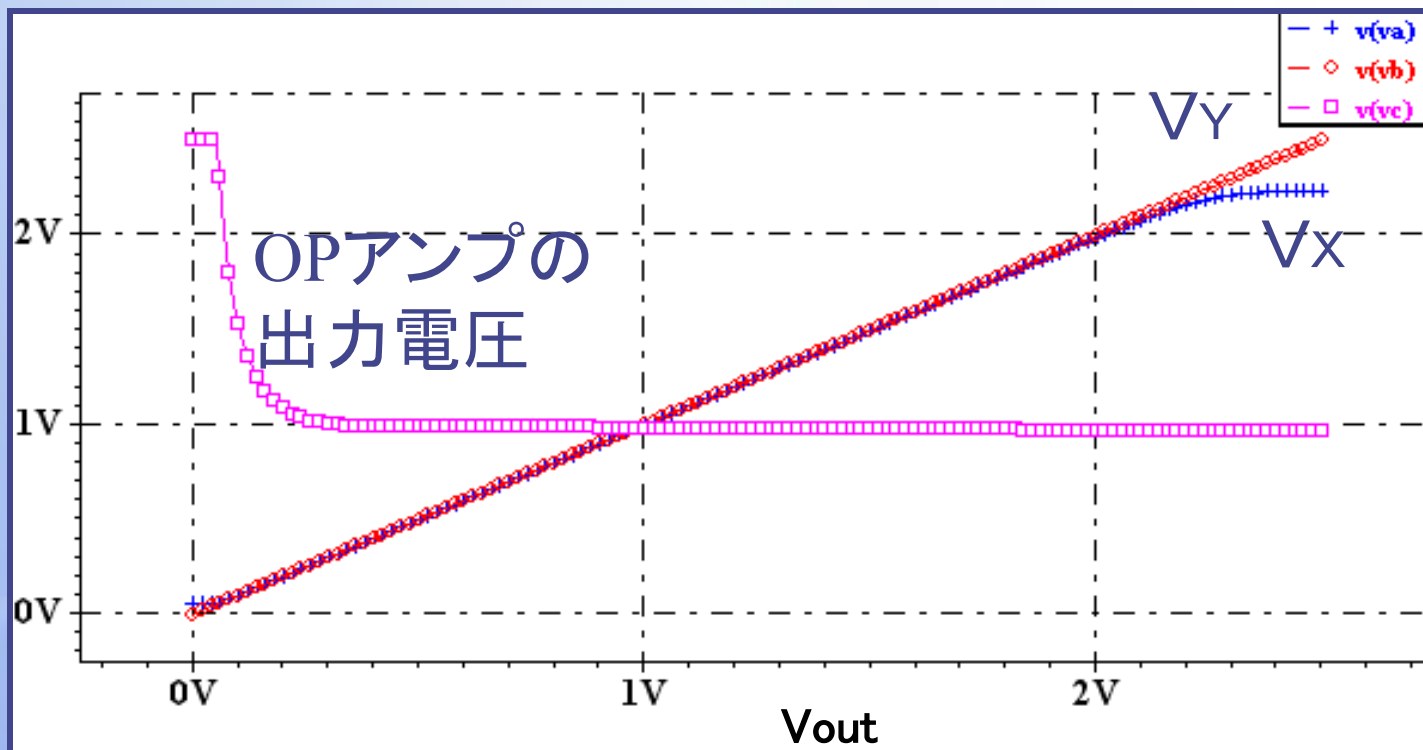
電流のコピー精度◎

低電圧化◎

最小許容電圧をさらに低くすることができ、
また電流コピーの精度も向上した



提案回路(5)

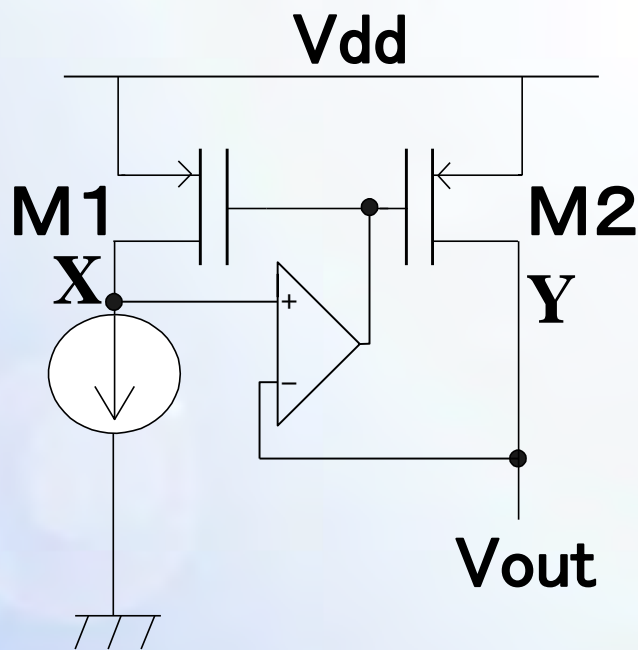


$V_X = V_Y$ になると $I_{ref} = I_{out}$ となる

Voutが小 → 線形領域使用
Voutが大 → 飽和領域使用

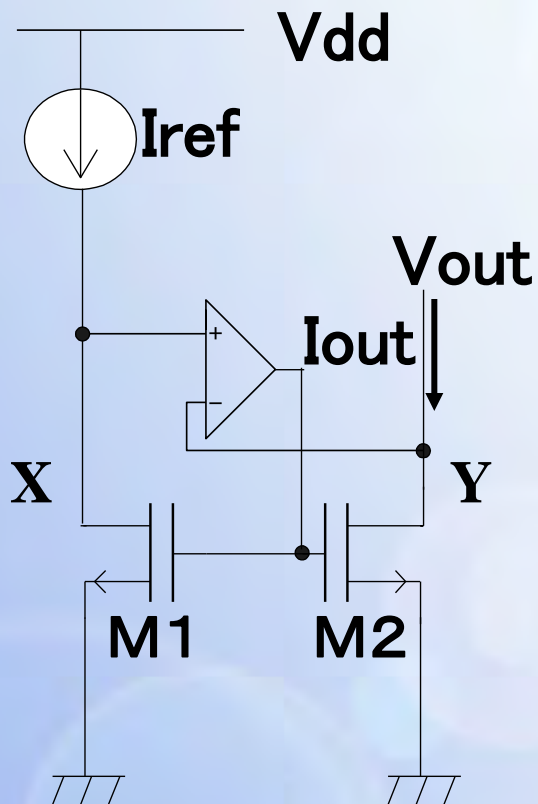


提案回路(5)をPMOSで構成

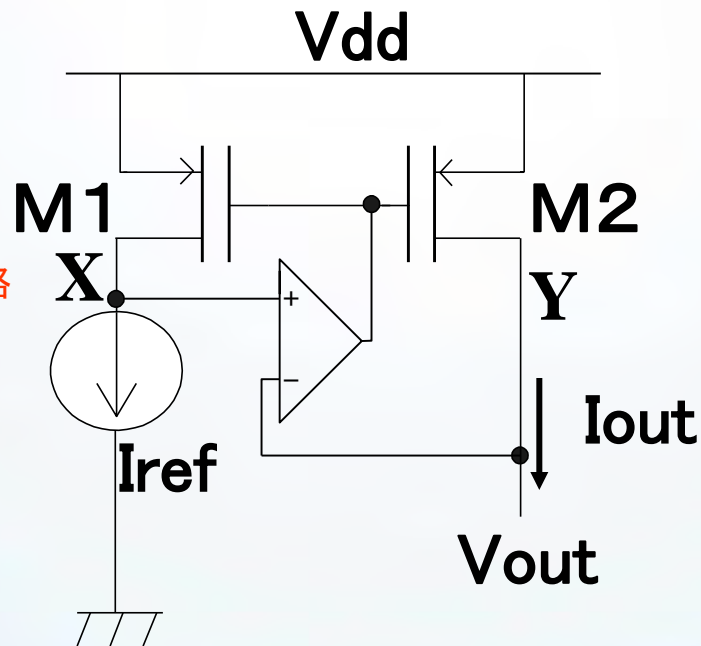




提案回路(5)をPMOSで構成



PMOSカレントミラー回路でも利用可能?

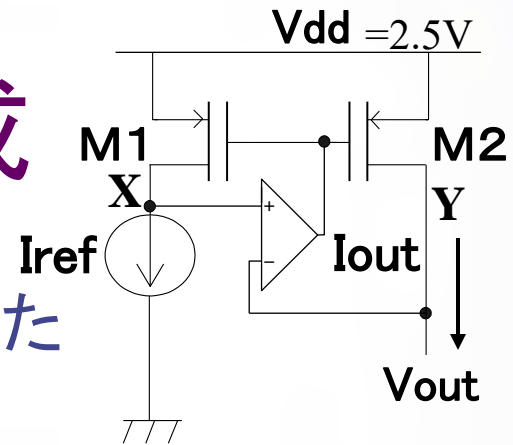


OPアンプの出力をPMOSカレントミラーにも利用

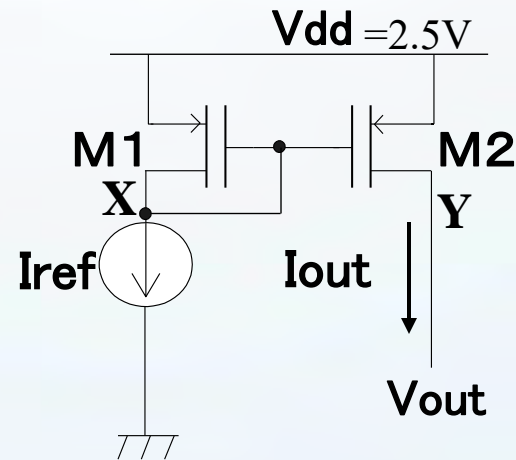
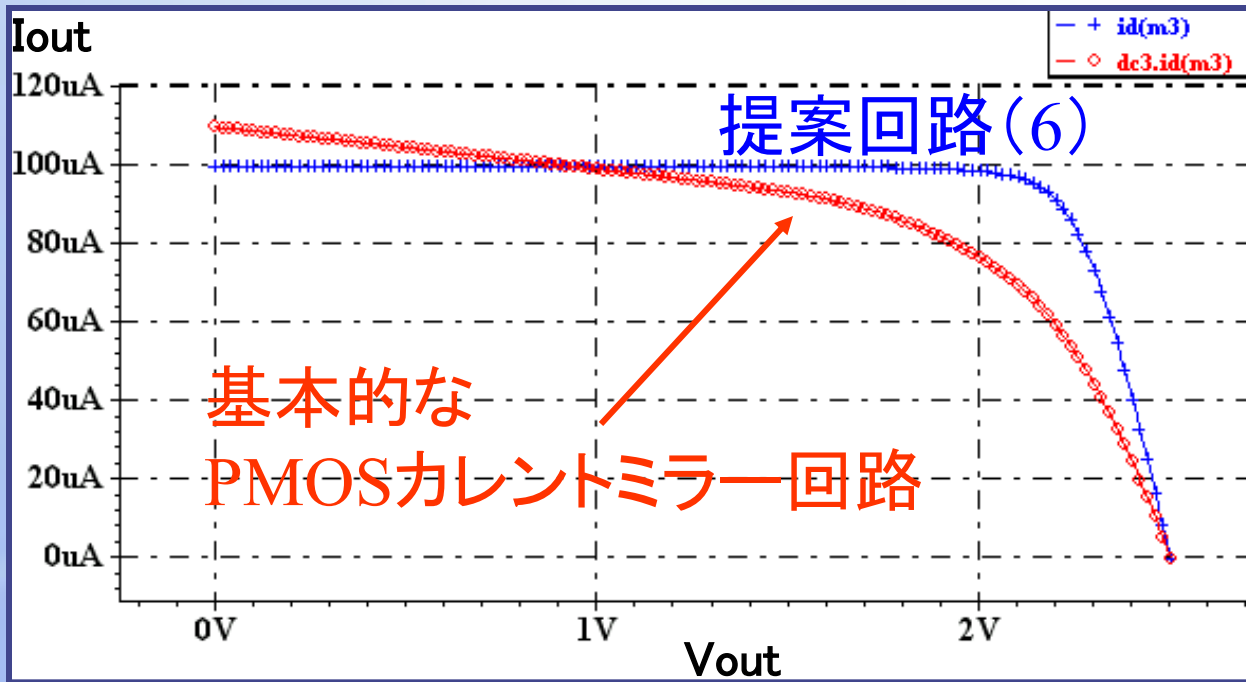


提案回路(5)をPMOSで構成

基本的なPMOSカレントミラー回路との比較をした



提案回路(6)

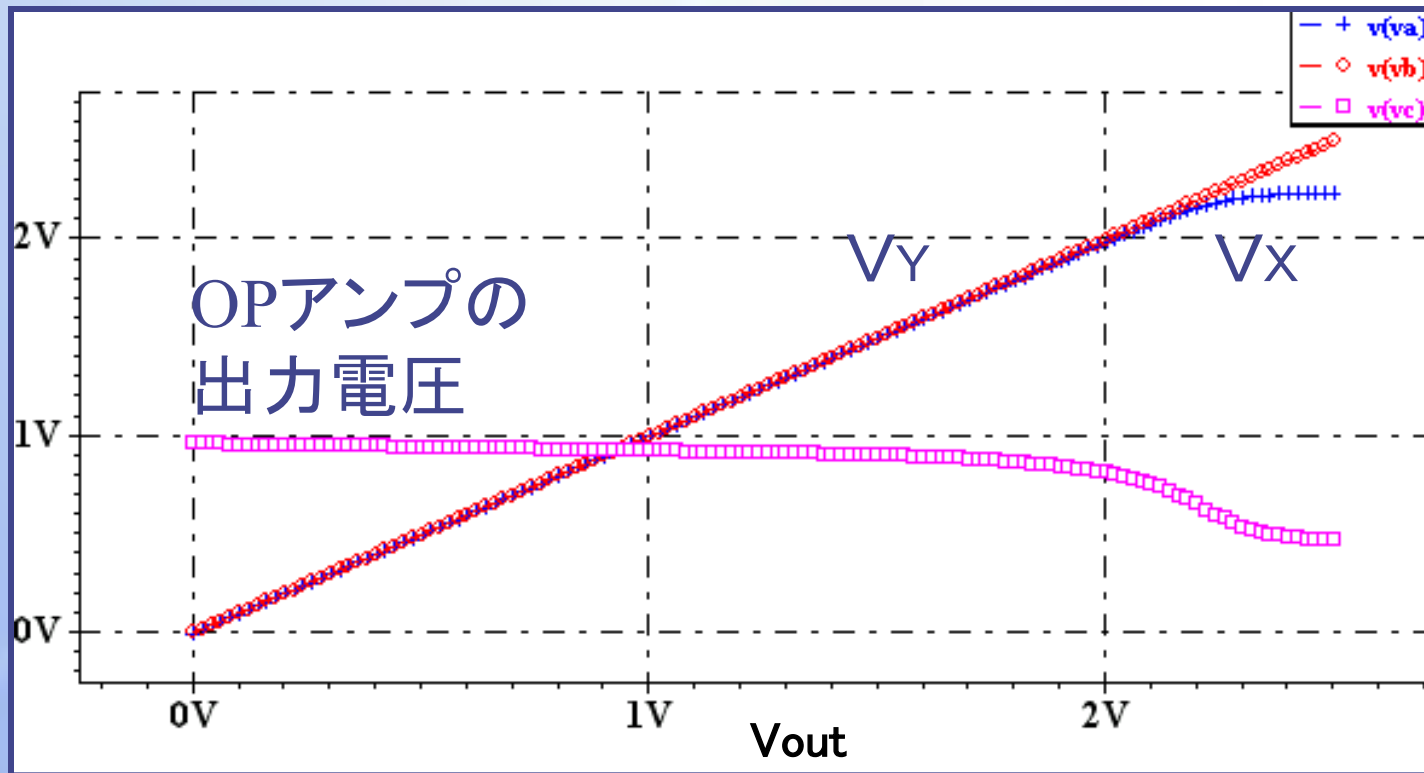
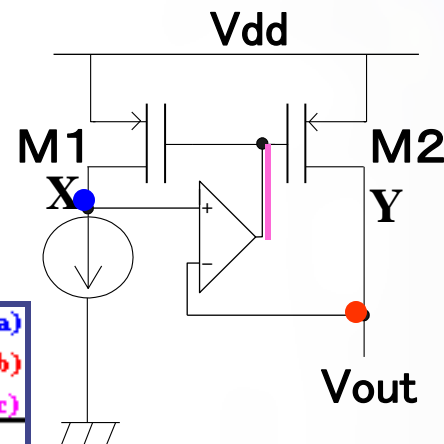


基本的なPMOSカレントミラー回路

Vdd-Vout、すなわちM2のV_{DS}が小さくても電流をコピーできる



提案回路(5)をPMOSで構成



$V_X = V_Y$ になると $I_{ref} = I_{out}$ となる

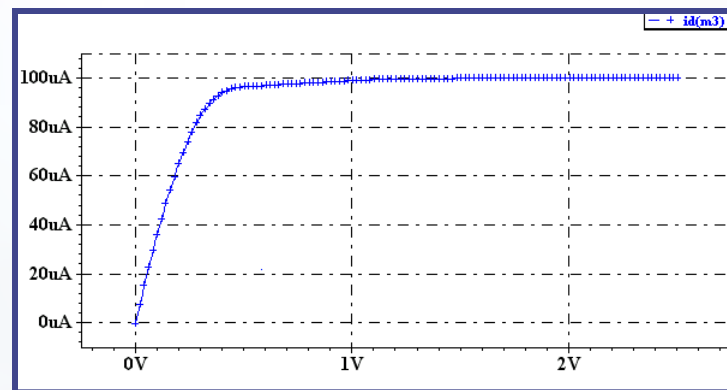
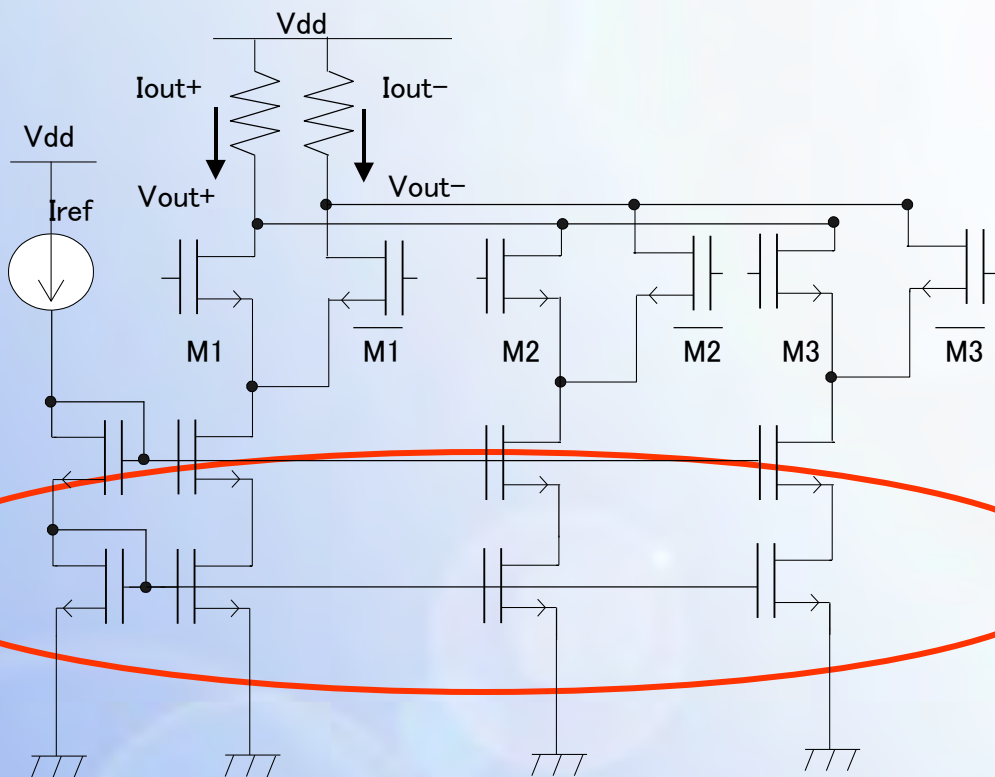


群馬大学

高性能カレントミラー回路の応用



DACへの応用



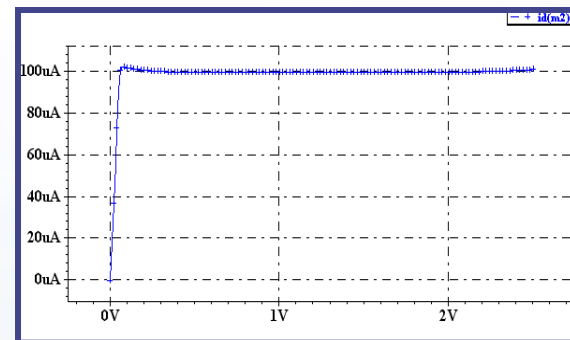
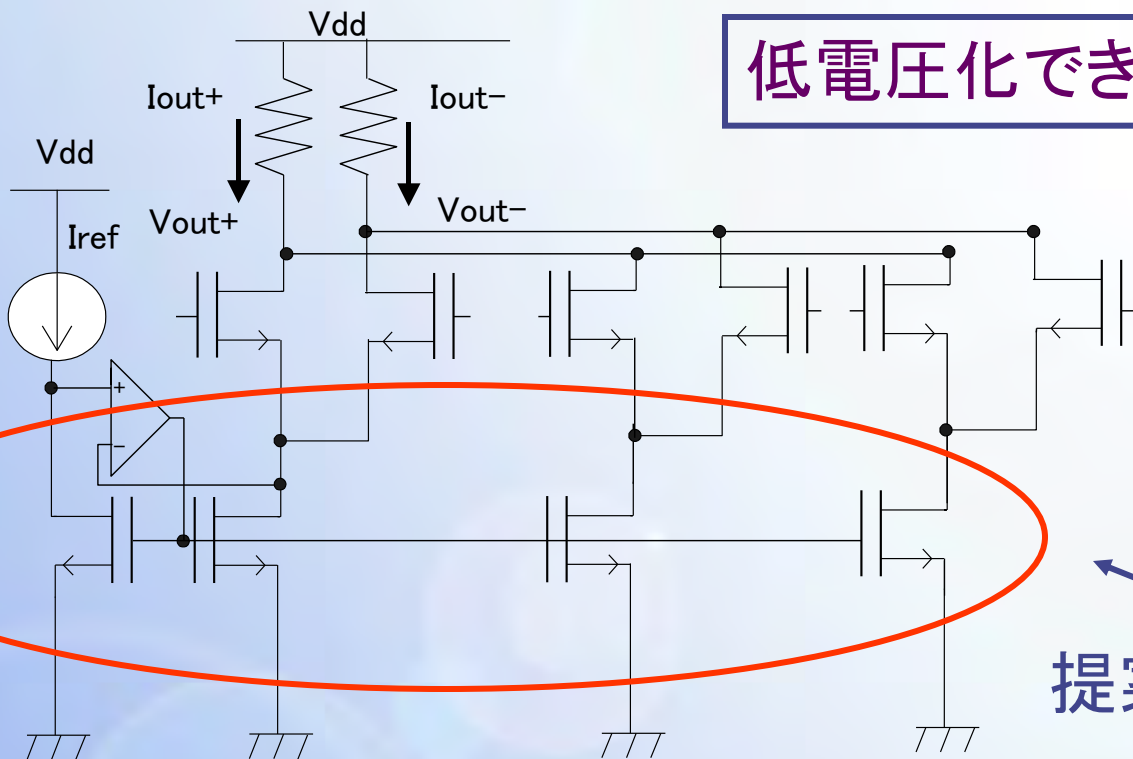
カスコードカレントミラー

従来の電流源を用いたDAC
(2bitセグメント型DAC)



DACへの応用

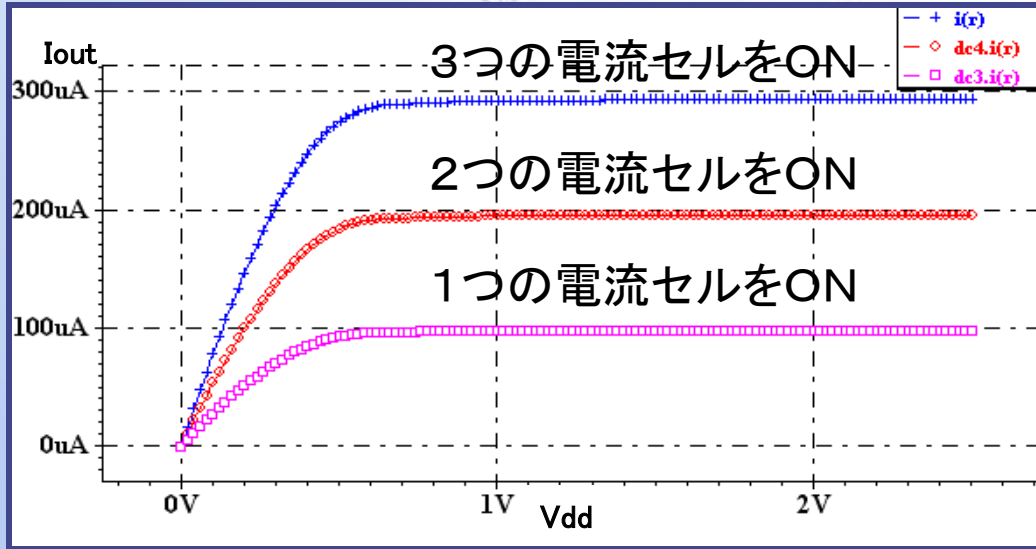
低電圧化できないか？



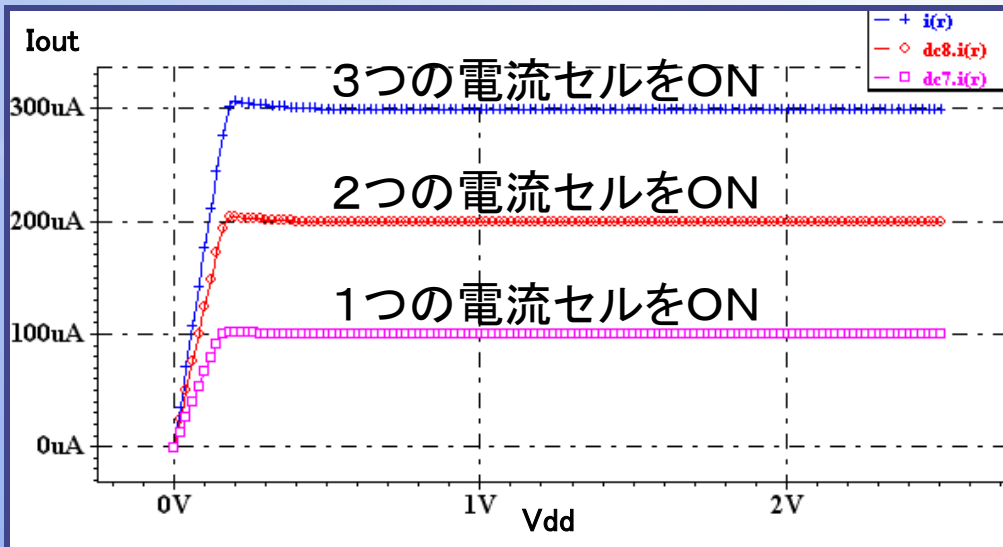
提案回路(5)

提案電流源を用いたDAC
(2bitセグメント型DAC)

従来電流源を用いたDAC



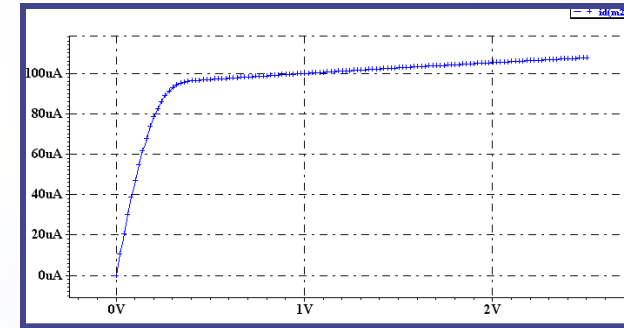
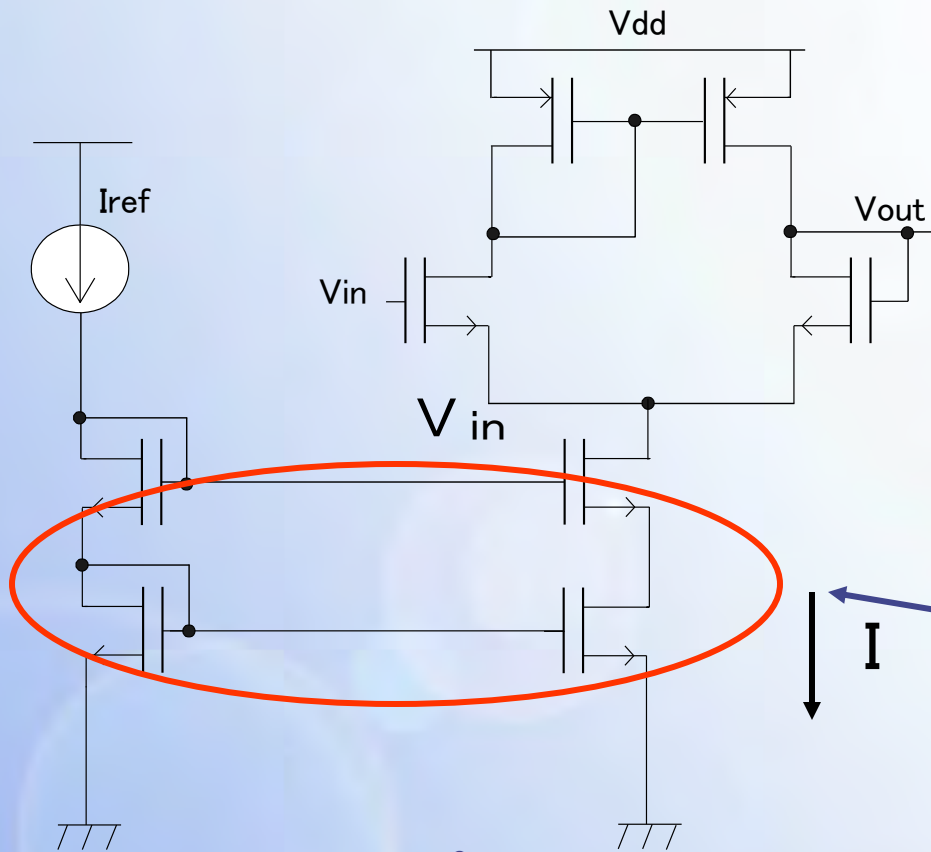
提案電流源を用いたDAC



低電圧化、
電流のコピー精度
の向上に成功！！



OPアンプへの応用



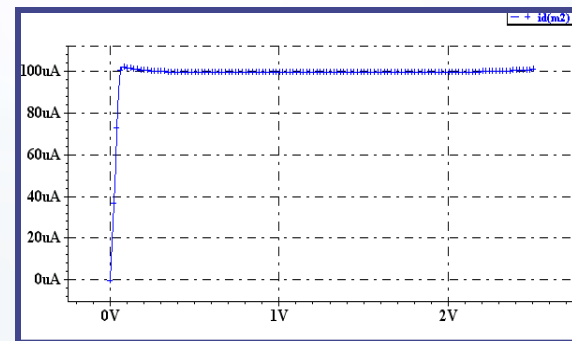
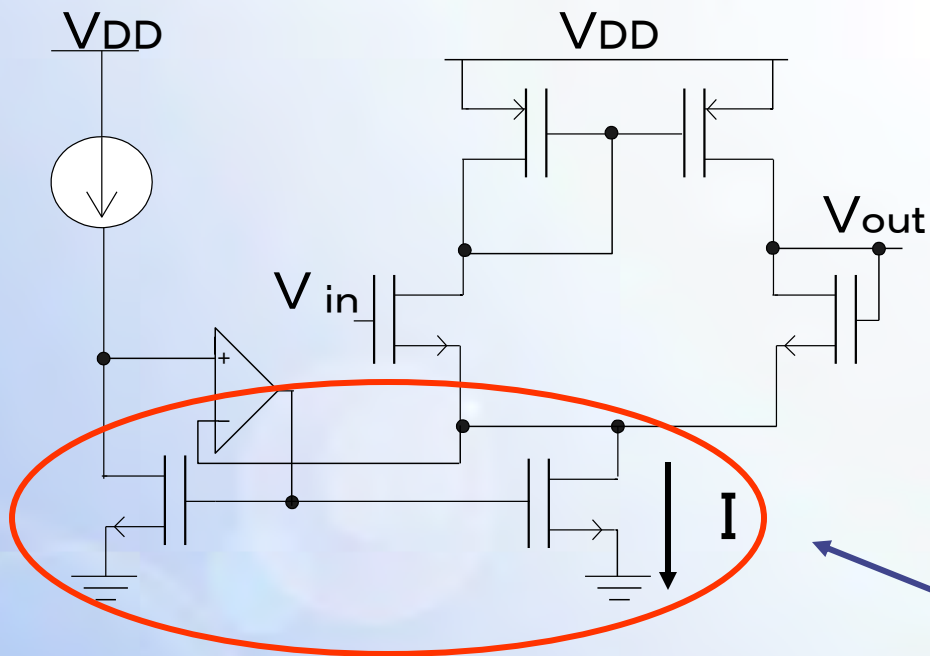
カスコード
カレントミラー回路

1段OPアンプ回路(差動アンプ)



OPアンプへの応用

低電圧化できないか？



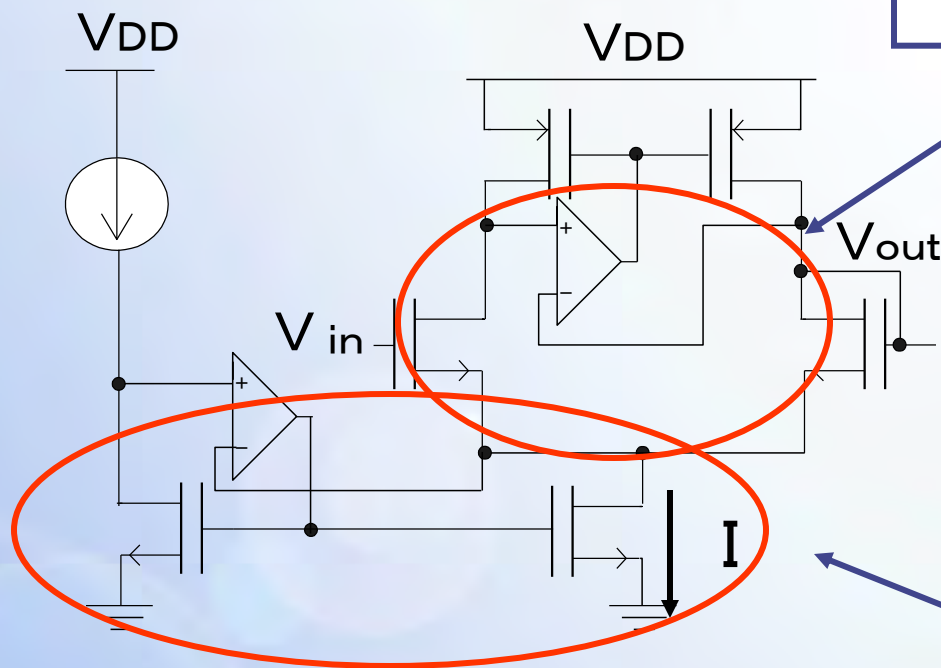
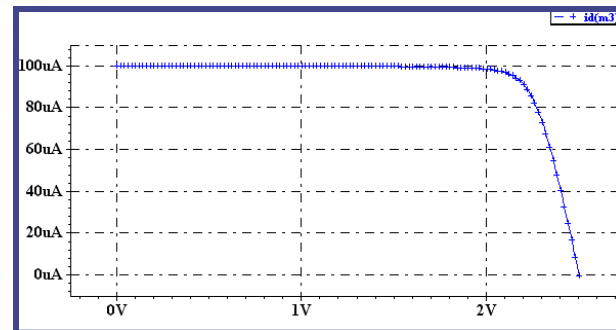
提案回路(5)

提案差動アンプ回路(1)



OPアンプへの応用

さらに低電圧化できないか？



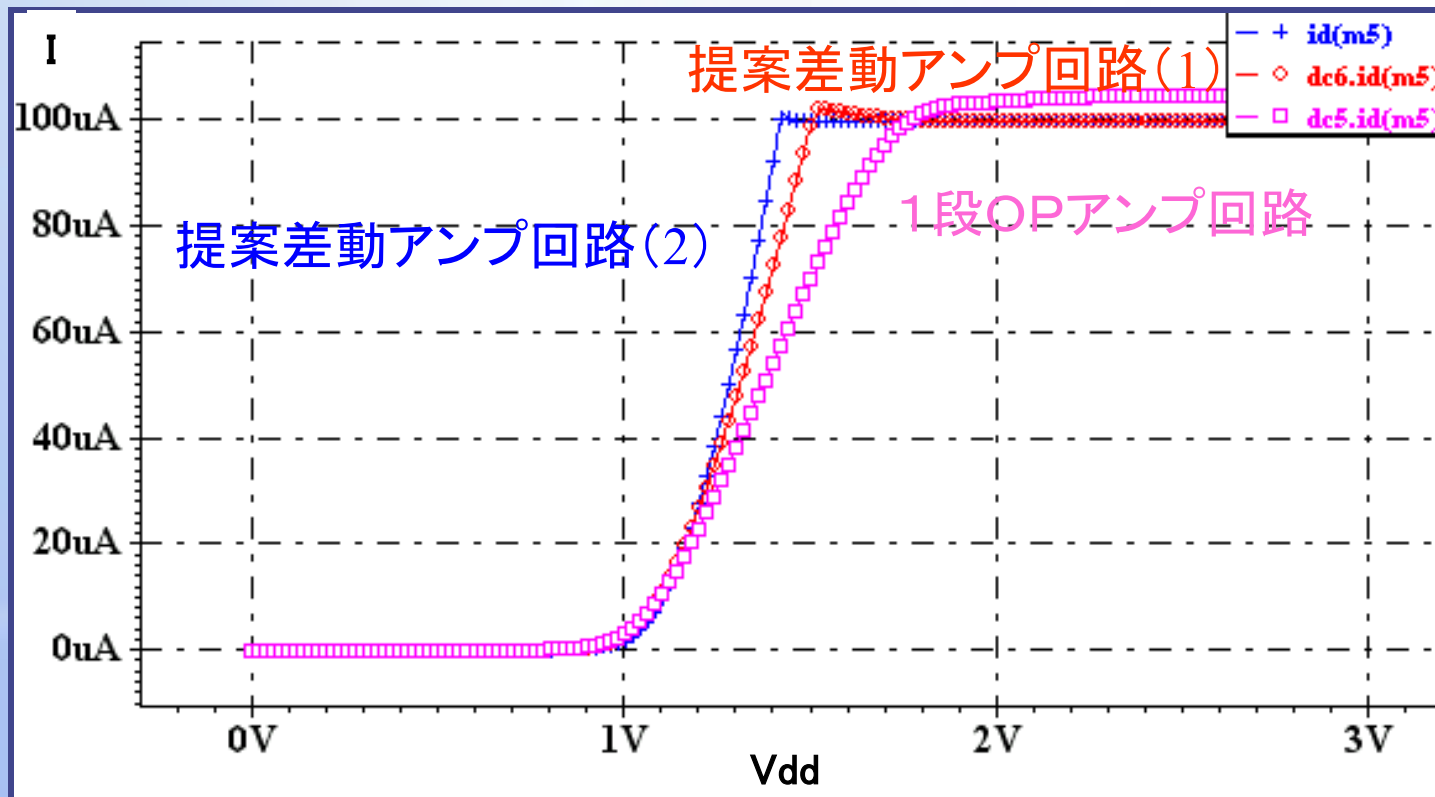
提案回路(5)
PMOS構成

提案回路(5)

提案差動アンプ回路(2)



OPアンプへの応用



低電圧化に成功！！



群馬大学

まとめ



各カレントミラー回路のまとめ

	低電圧化	電流コピーの精度
基本的なカレントミラー回路	×	×
カスコードカレントミラー回路	×	◎
Basic regulated cascode current mirror	×	◎
High Compliance regulated cascode current mirror	△	○
提案回路(1)	○	△
提案回路(2)	○	△
提案回路(3)	○	△
提案回路(4)	○	○
提案回路(5)	◎	◎

まとめ

◆カレントミラー回路の解析

- ★ 線形領域を使用できることを確認

◆高性能カレントミラー回路の提案

- ★ 5つの高性能カレントミラー回路の提案
- ★ それぞれの回路の高性能化を確認

◆高性能カレントミラー回路の応用

- ★ 提案DACの高性能化を確認
- ★ 提案OPアンプの高性能化を確認

レベルシフト回路の解析

群馬大学 工学部 電気電子工学科
通信処理システム工学第二研究室

96305033 黒岩 伸幸

指導教官 小林 春夫 助教授

—発表内容—

1. 研究の目的
2. レベルシフト回路の原理
3. レベルシフト回路の動作条件
4. レベルシフト回路のダイナミクスの解析
5. まとめ

1. 研究の目的

研究の目的

→信号レベルを変換するレベルシフト回路の
設計法を確立する。

このために、次の事を行う。

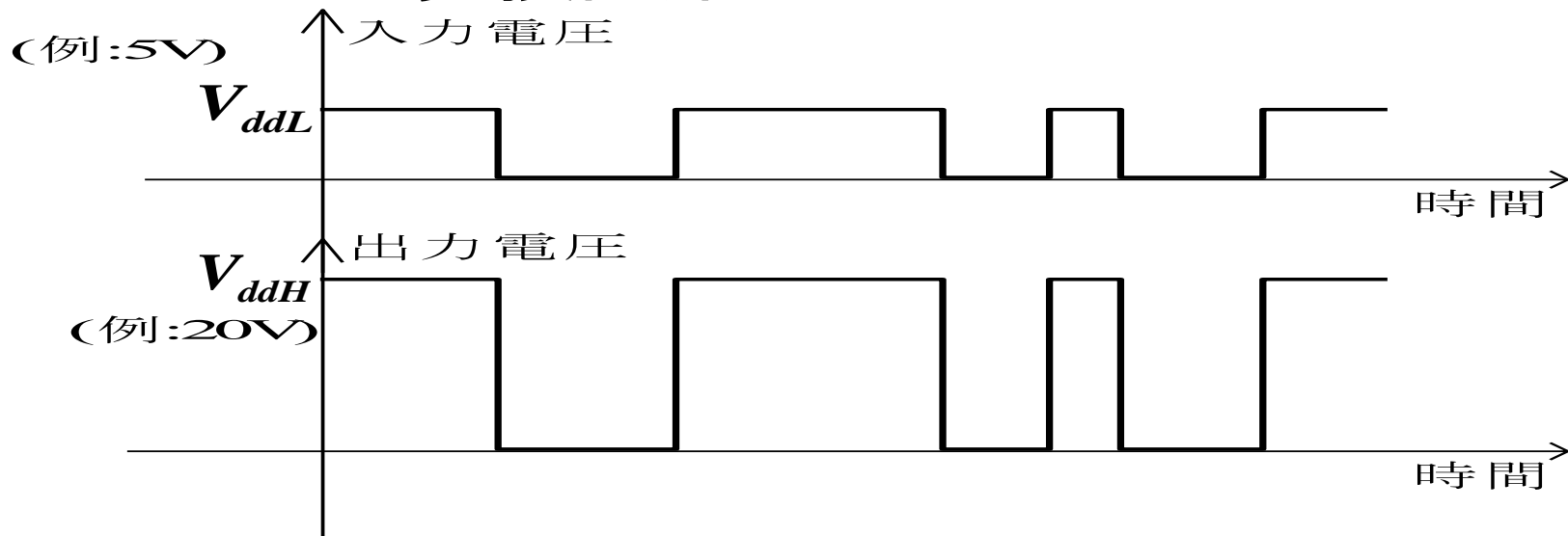
- レベルシフト回路の動作条件式の導出
- レベルシフト回路のダイナミクスの理論
およびシミュレーションによる解析

2. レベルシフト回路の原理

レベルシフト回路とは

- 入力波形と相似で
 - 振幅レベルが異なる
- 信号を出力する回路

⇒DCレベル変換回路

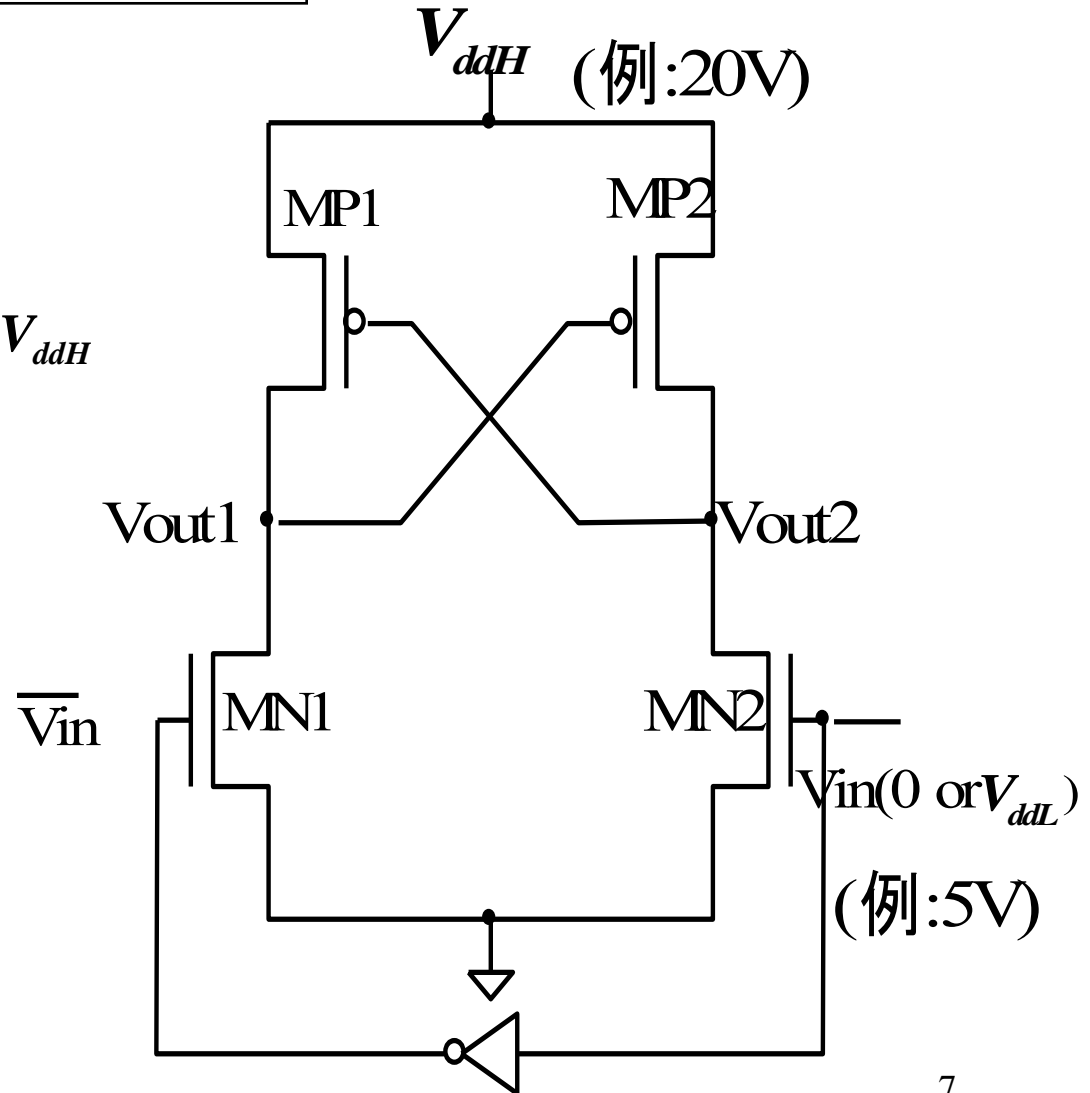


●実際の回路への使用例

→チャージポンプ回路等

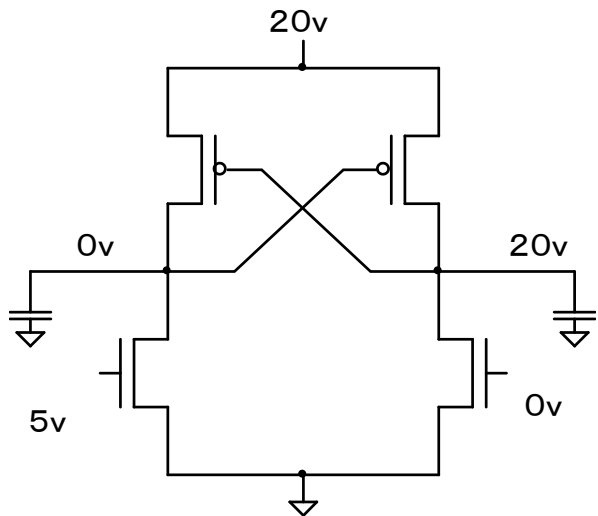
レベルシフト回路の実現法

- 入力 V_{in} : 0 or V_{ddL}
- 出力 V_{out1} 、 V_{out2} : 0 or V_{ddH}
- MP1、MP2の
ポジティブフィードバック

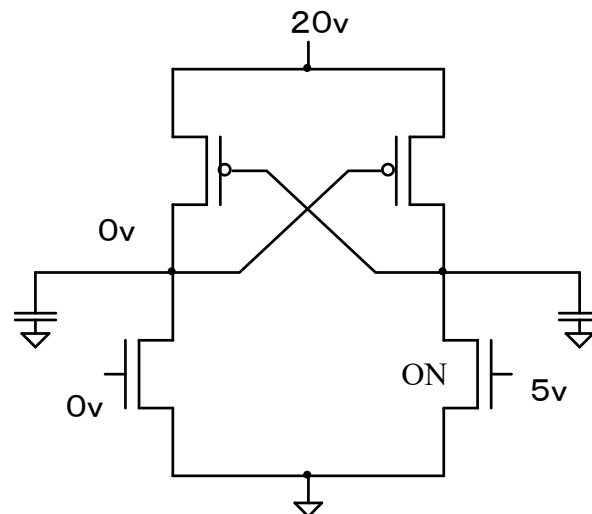


回路の動作説明

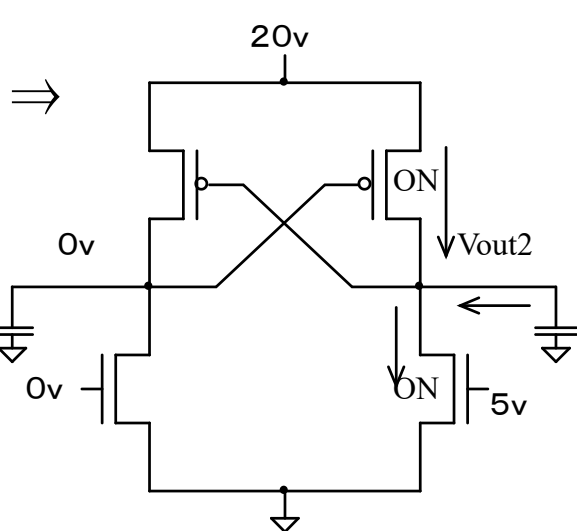
$V_{ddL} = 5\text{v}$ 、 $V_{ddH} = 20\text{v}$ とする



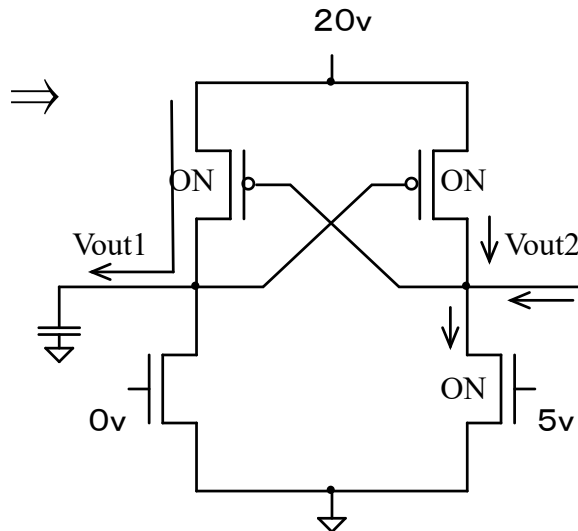
①初期状態



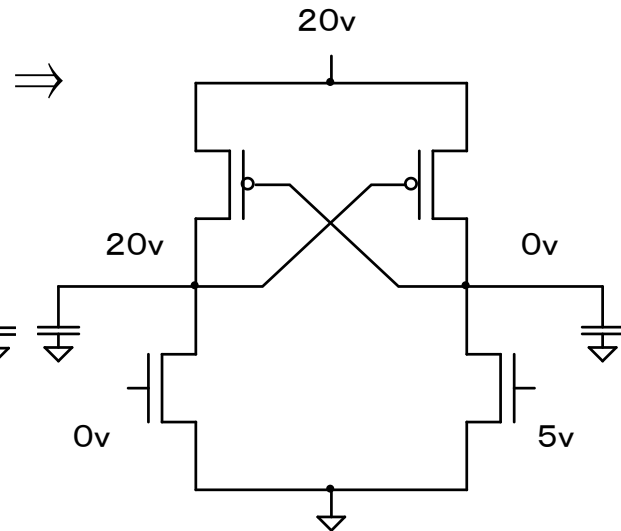
②入力を反転



③Vout2の電位が下がる



④Vout1の電位が上がる



⑤最終状態

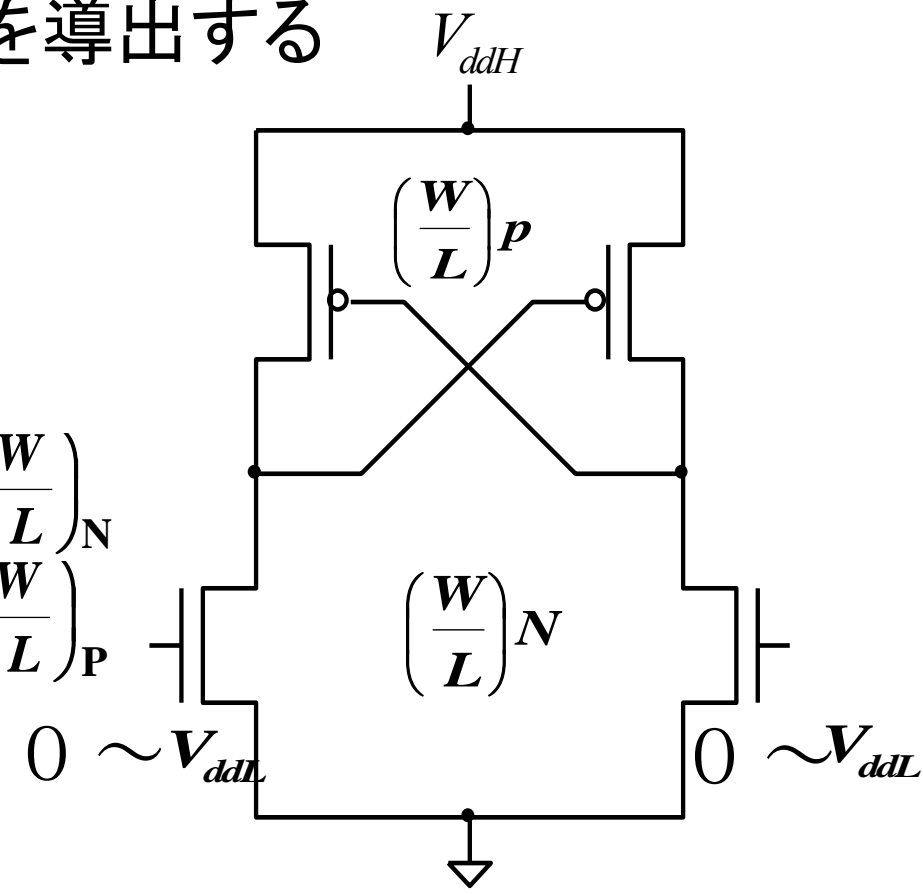
3. レベルシフト回路の動作条件

～問題設定～

⇒レベルシフト回路が動作するための

次のパラメータの関係式を導出する

- 出力電圧 V_{ddH}
- 入力電圧 V_{ddL}
- NMOSのデバイスサイズ $\left(\frac{W}{L}\right)_N$
- PMOSのデバイスサイズ $\left(\frac{W}{L}\right)_P$
- NMOS, PMOSのモデル及びデバイスパラメータ値



～レベルシフト回路の動作条件～

→十分な時間の後に

$$V_{ddH} - V_{out2} \equiv V_{gs} \geq |V_{thp}| \quad \text{が動作条件}$$

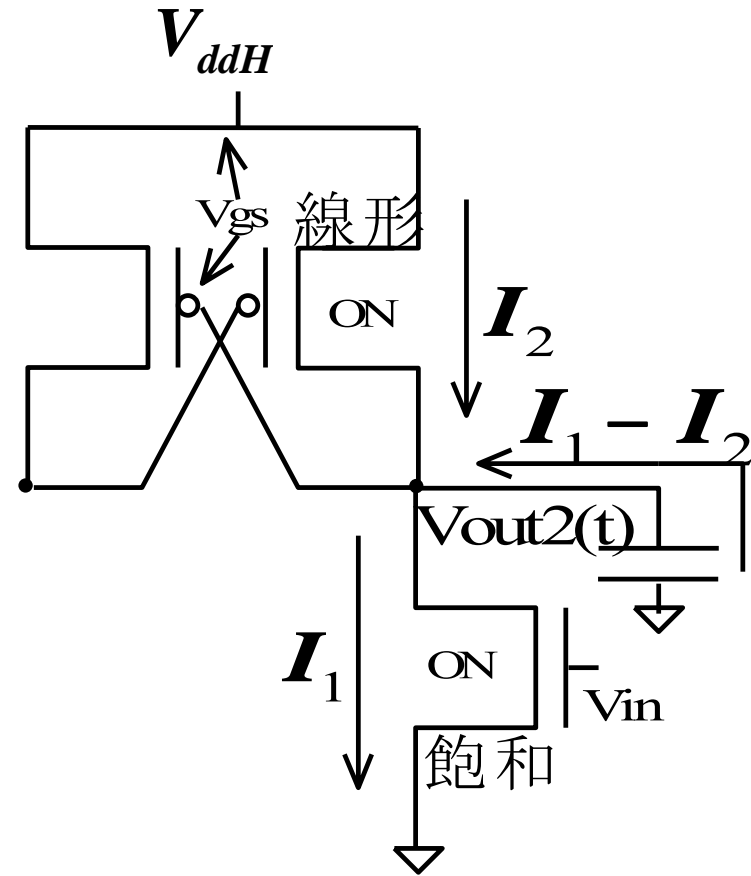
$$\begin{aligned} &\downarrow \\ V_{out2} &= V_{ddH} - |V_{thp}| \quad \text{のとき} \\ I_1 - I_2 &\geq 0 \quad \dots \textcircled{1} \end{aligned}$$

PMOS: 線形、NMOS: 飽和

MOSの電流式を適用

$$I_1 = K_n \left(\frac{W}{L} \right)_n (V_{in} - V_{thn})^2 \quad \dots \textcircled{2}$$

$$I_2 = 2K_p \left(\frac{W}{L} \right)_p \left[(V_{dd} - |V_{thp}|) \cdot |V_{thp}| - \frac{1}{2} |V_{thp}|^2 \right] \quad \dots \textcircled{3}$$



Vout2の電位が下降中

②、③→①より、

レベルシフト回路の動作条件

$$V_{in} \geq \sqrt{\frac{K_p \left(\frac{W}{L}\right)_p}{K_n \left(\frac{W}{L}\right)_n} |V_{thp}| (2V_{dd} - 3|V_{thp}|) + V_{thn}}$$

回路の最低駆動入力電圧 $(V_{in})_{\min}$ は

$$(V_{in})_{\min} = \sqrt{\frac{K_p \left(\frac{W}{L}\right)_p}{K_n \left(\frac{W}{L}\right)_n} |V_{thp}| (2V_{dd} - 3|V_{thp}|) + V_{thn}}$$

最低駆動電圧とパラメータとの関係

～シミュレーション値の求め方～

PMOS、NMOSの

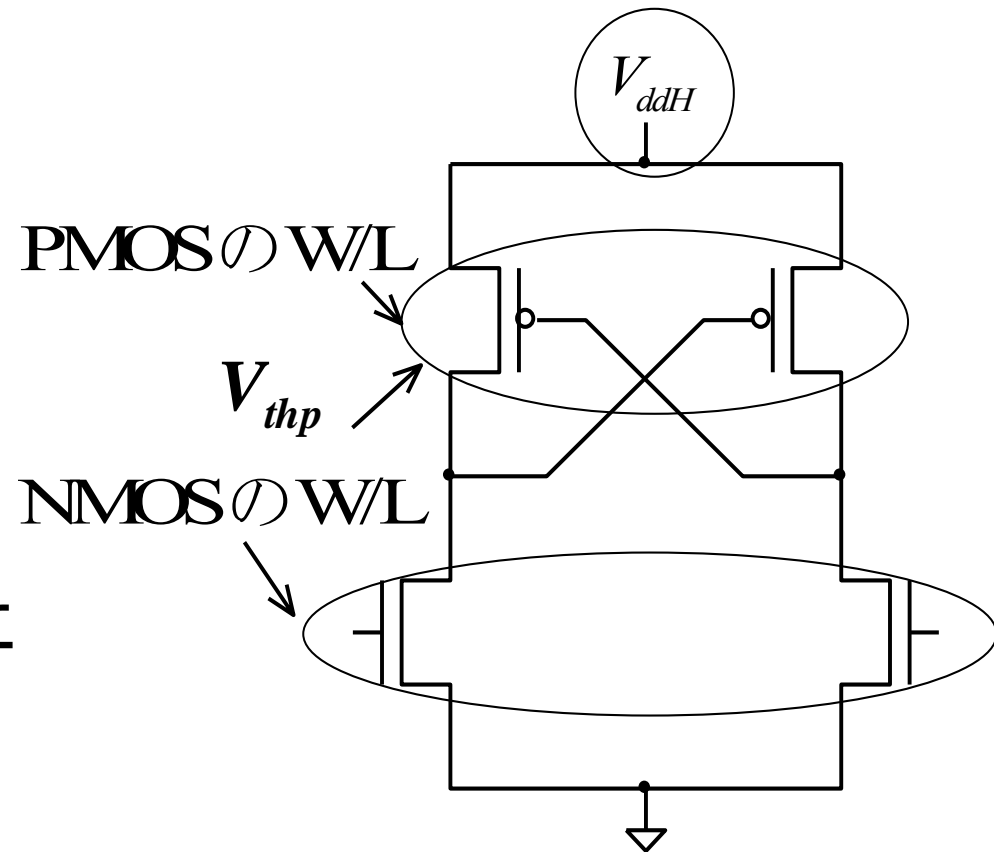
W/L 、 V_{thp} 、

をそれぞれ変える



SPICEシミュレーションにより最低駆動電圧の

変化をみる



～理論値の求め方～

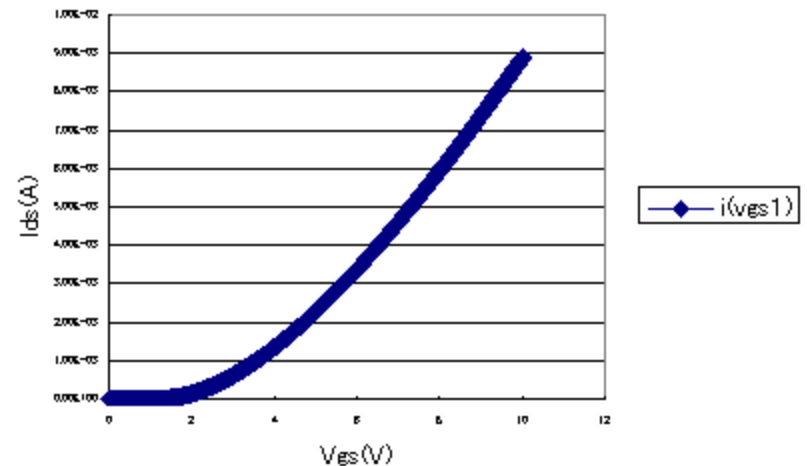
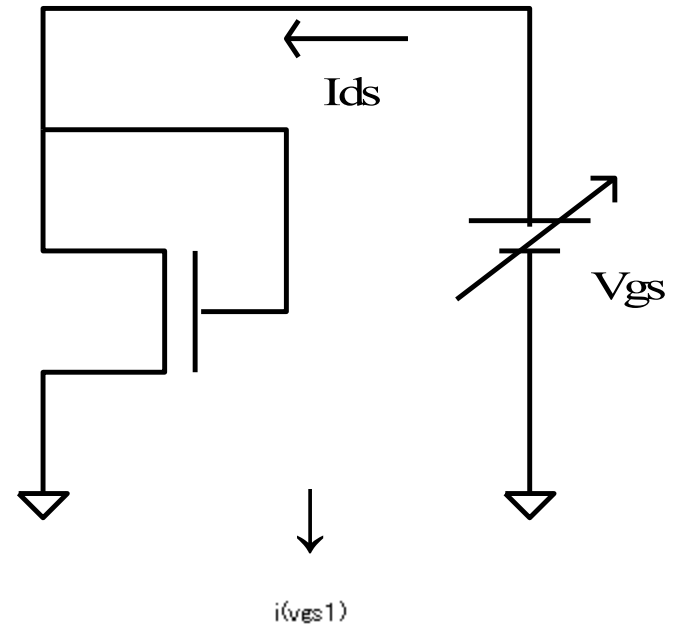
回路に使用したMOSの
 V_{gs} - I_{ds} 曲線を求める



MOSの関係式に代入し、
 K_p 、 K_n を算出



導入式に各パラメータ値を
代入



導入式の検証方法

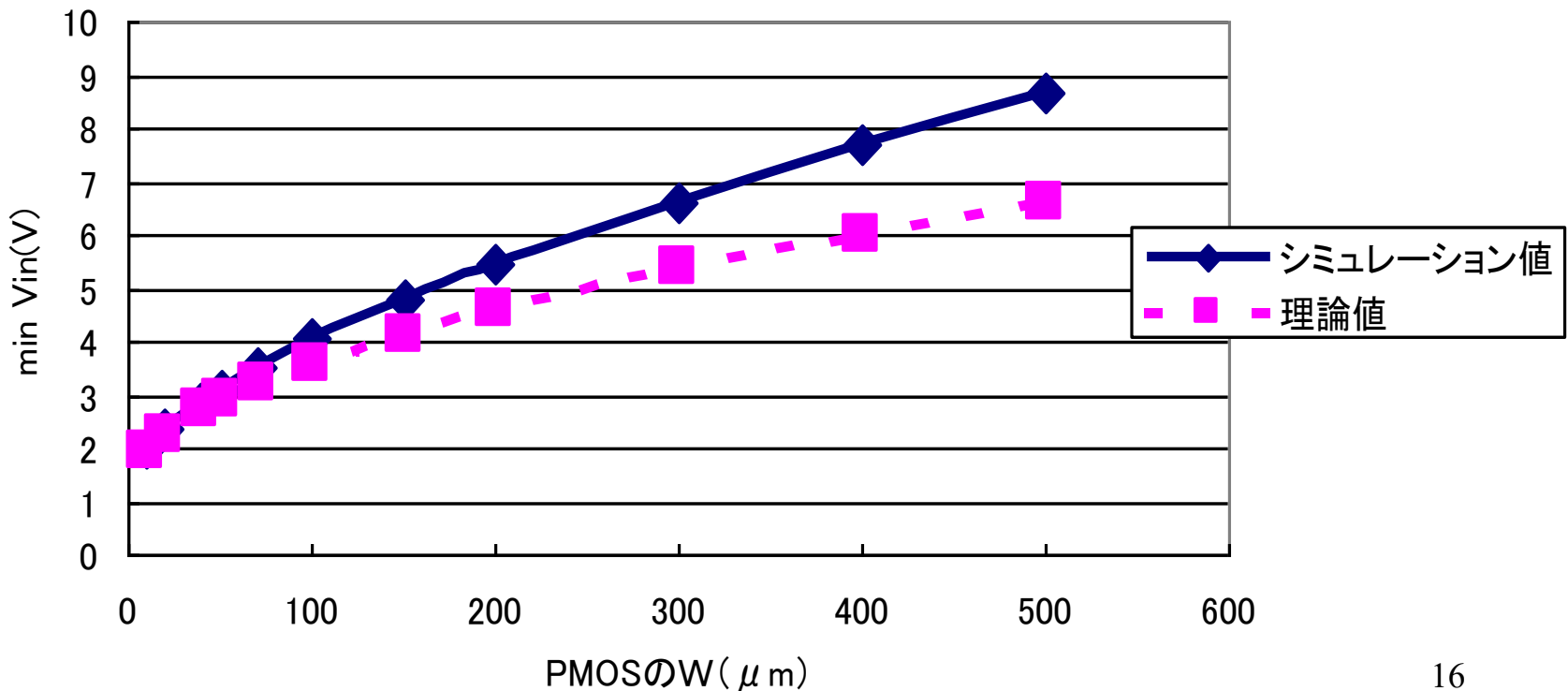
- ① PMOSのW
- ② 電源電圧 V_{ddH}
- ③ PMOSのスレシヨルド電圧 V_{thp}

それぞれ変化させて理論値とシミュレーション値を比較

①. PMOSのWと最低駆動電圧の関係

- PMOSのWを変化

→シミュレーション値・理論値共に $(V_{in})_{\min} \propto \sqrt{W_p}$ の傾向が一致。



②. V_{ddH} と最低駆動電圧との関係

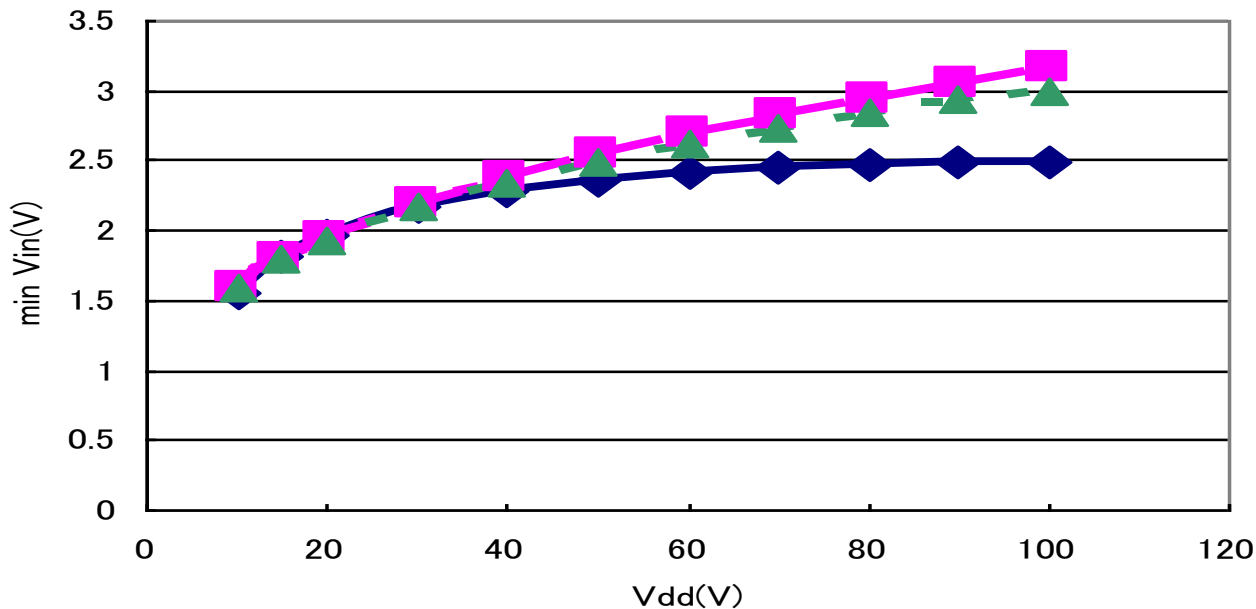
•電源電圧 V_{ddH} を変化

→理論値とシミュレーション値にずれ

⇒NMOSの電流式を

$$I_1 = K_n \left(\frac{W}{L} \right)_n (V_{in} - V_{thn})^2 [1 + \lambda \cdot V_{ds}] \text{に変更}$$

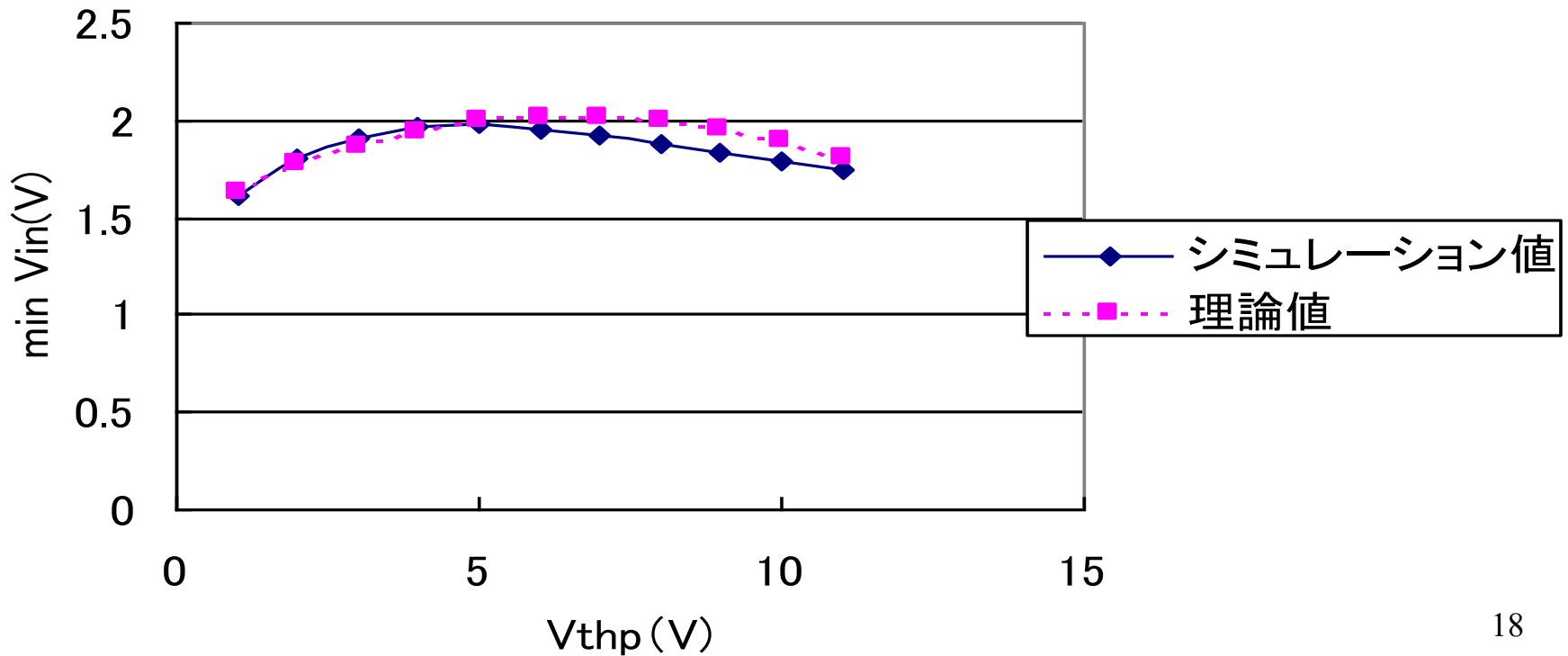
→シミュレーション値の傾向に近づく



③. スレシヨルド電圧 V_{thp} と最低駆動電圧の関係

•PMOSの V_{thp} を変化

→ほぼ一致



～導入式の検証についてのまとめ～

①.PMOSのW

②.電源電圧 V_{ddH}

③.スレシヨルド電圧 V_{thp}

の三点について、
導入式の正当性を確認

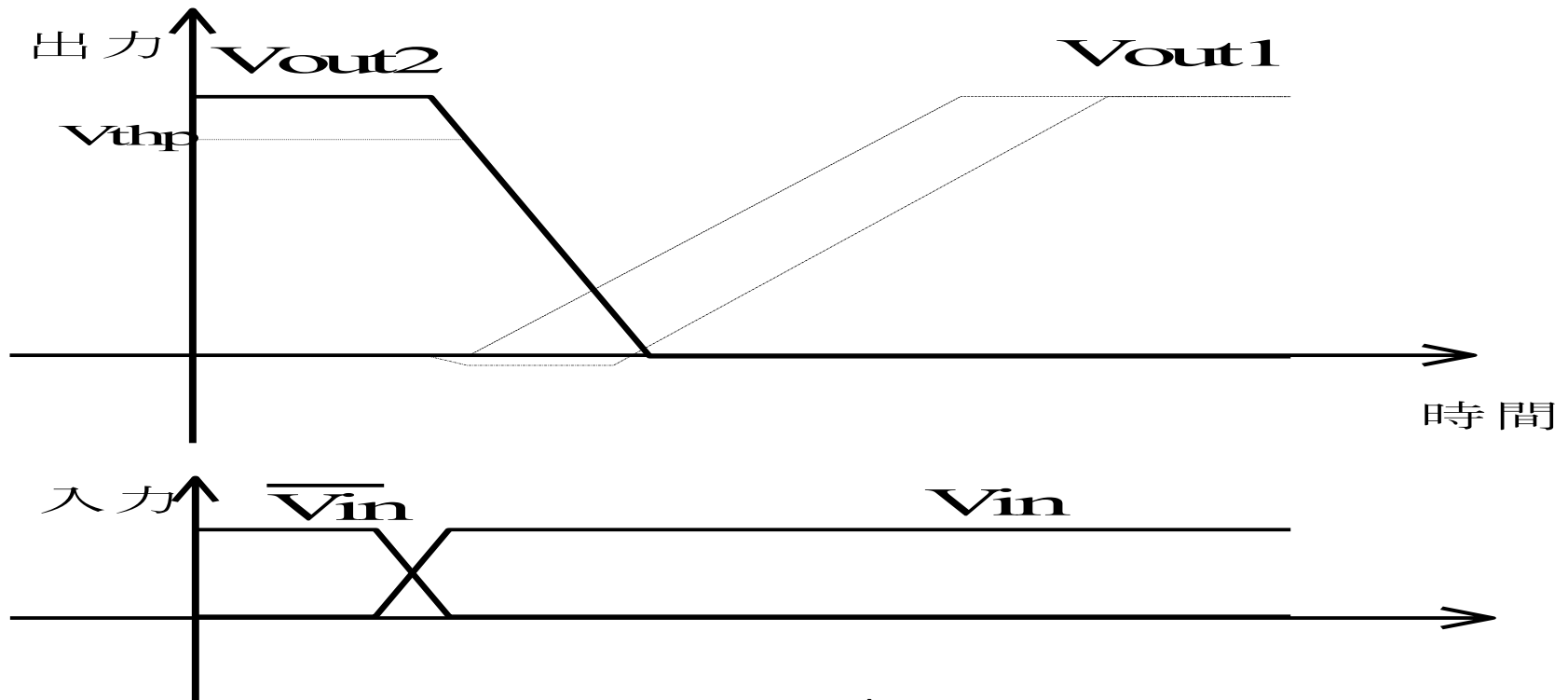
精度の向上⇒厳密なMOSの電流式が必要

4. レベルシフト回路のダイナミクスの解析

～レベルシフト回路のダイナミクスの解析点～

→回路を過渡解析したときの出力の遅延時間が問題

⇒遅延の原因を究明、モデル式を立てる



SPICEシミュレーション波形

～解析方法～

①. t1～t3をSPICEで測定する

•Vout2の遅延時間

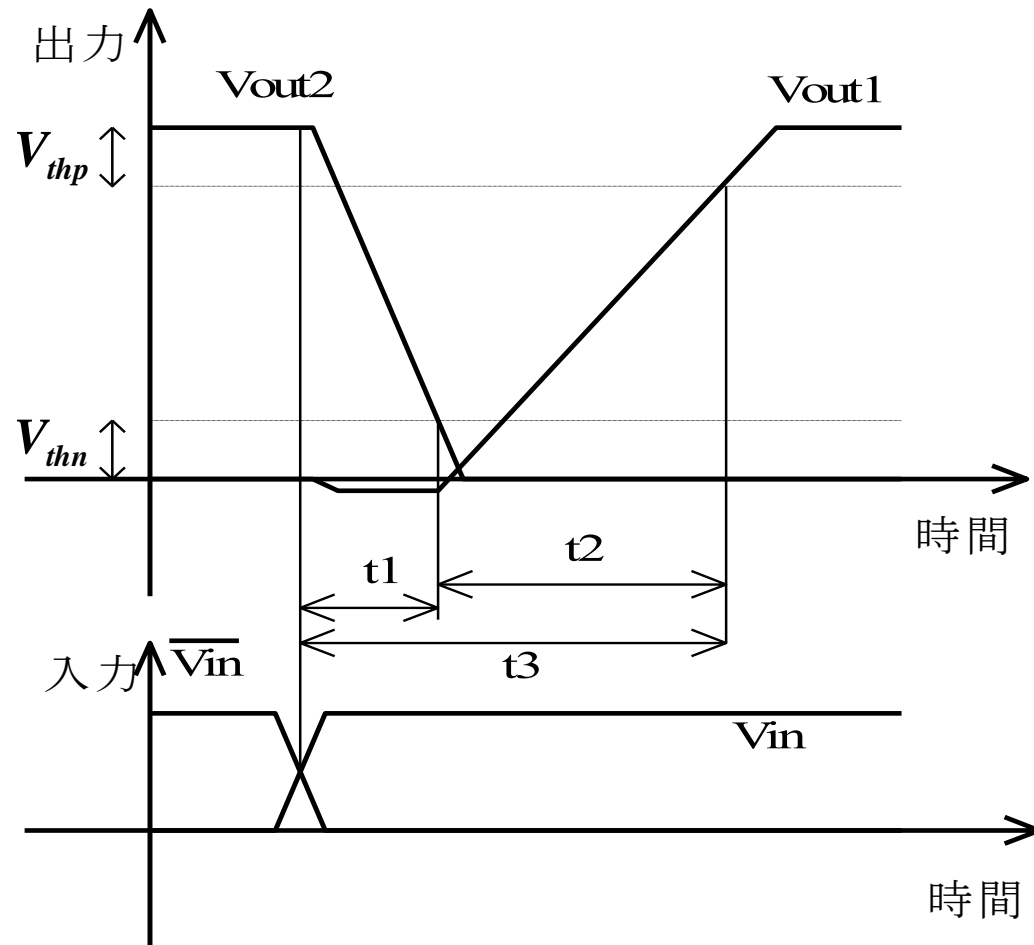
$$t1: V_{ddH} \rightarrow V_{thn}$$

•Vout1の遅延時間

$$t2: V_{thn} \rightarrow V_{ddH} \text{ } V_{thp}$$

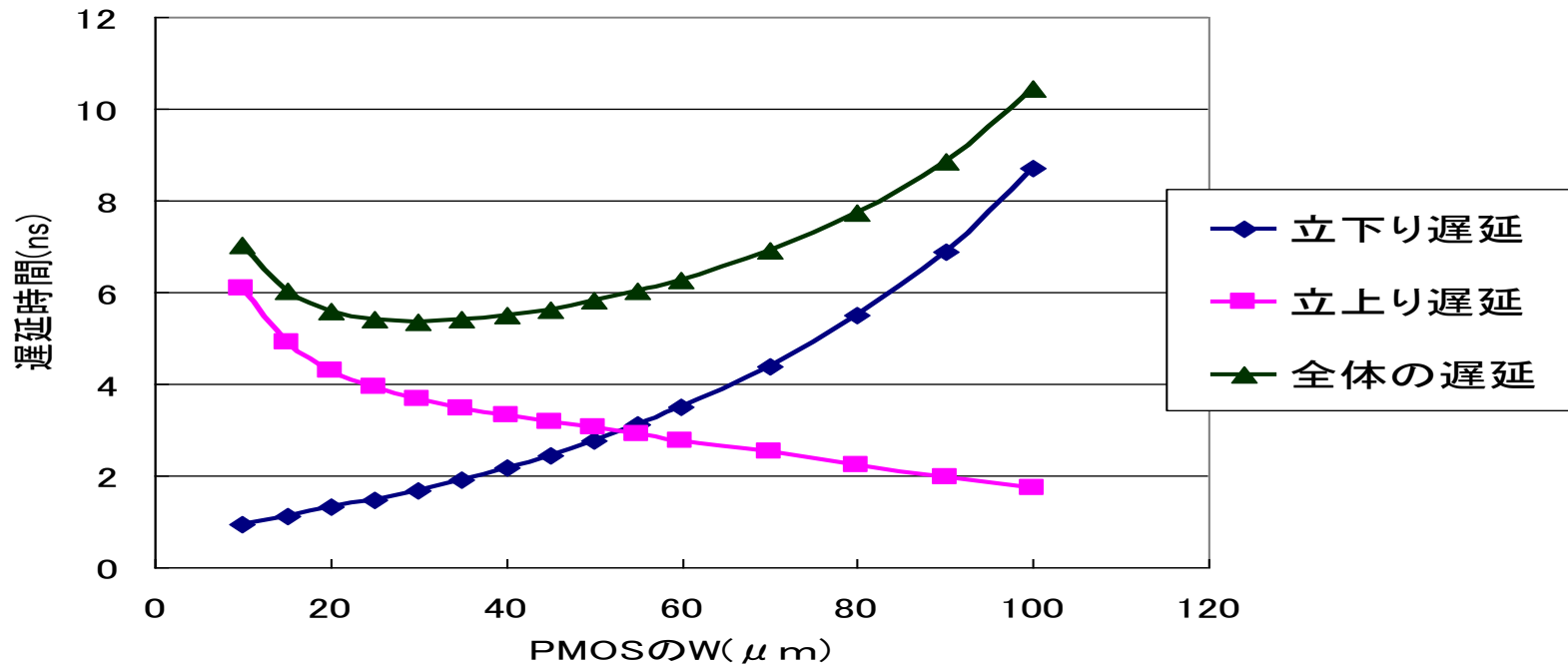
•全体遅延時間

$$t3: \text{入力が反転} \rightarrow V_{ddH} \text{ } -V_{thp}$$



PMOSのWと遅延時間の関係

($V_{ddH}=20\text{V}$, $V_{ddL}=5\text{V}$, $W_N=50\mu\text{m}$, $L_P=16\mu\text{m}$, $\epsilon=4.2\mu\text{m}$)



PMOSのW→小: V_{out2} の立下りが早い

→大: V_{out1} の立上りが早い

⇒最適なWが存在

②差動出力ノード間の寄生容量の影響

Vout1の立ち上がり開始が遅い

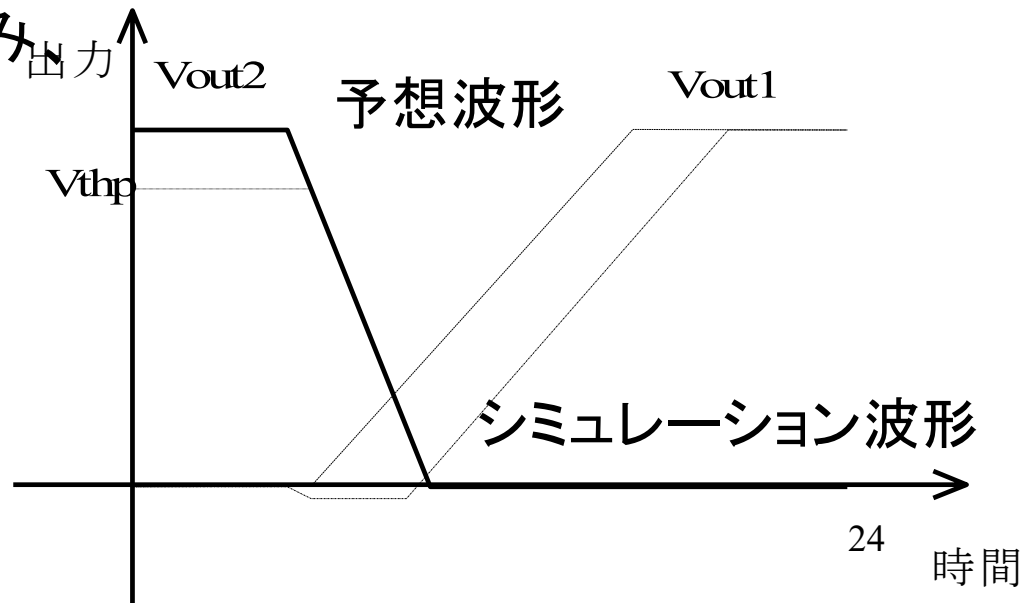
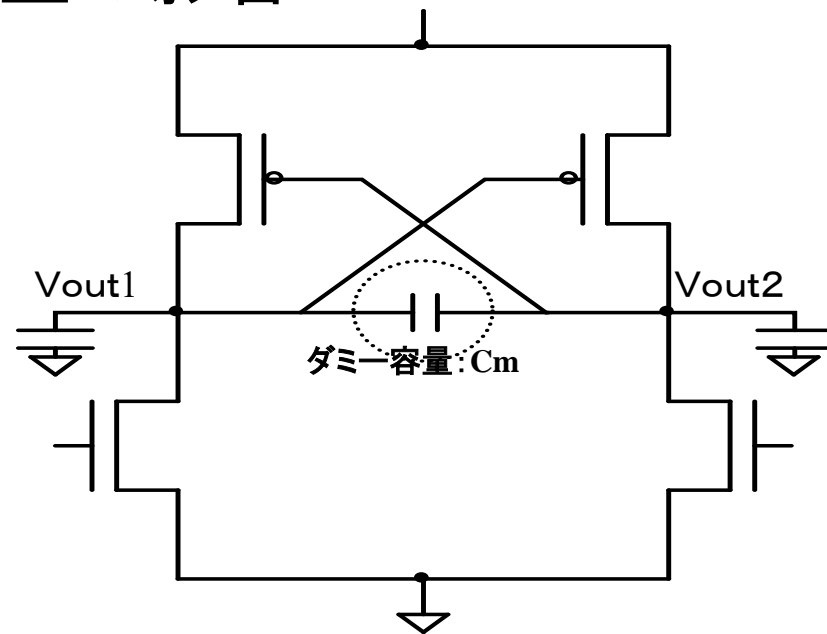


Vout1、Vout2間の寄生容量が原因？



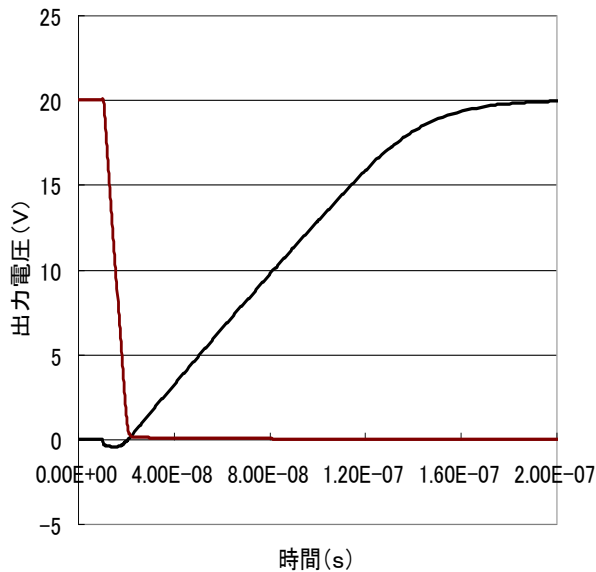
ダミー容量:Cmを回路に組み

その効果を見る

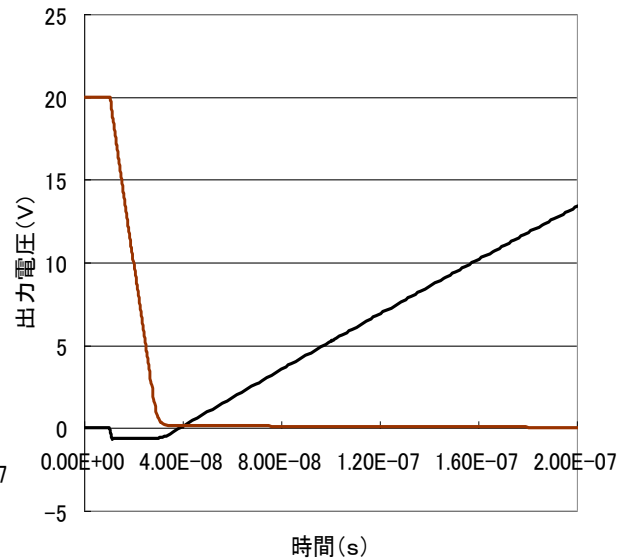


ダミー容量: C_m を取り付けた時の出力

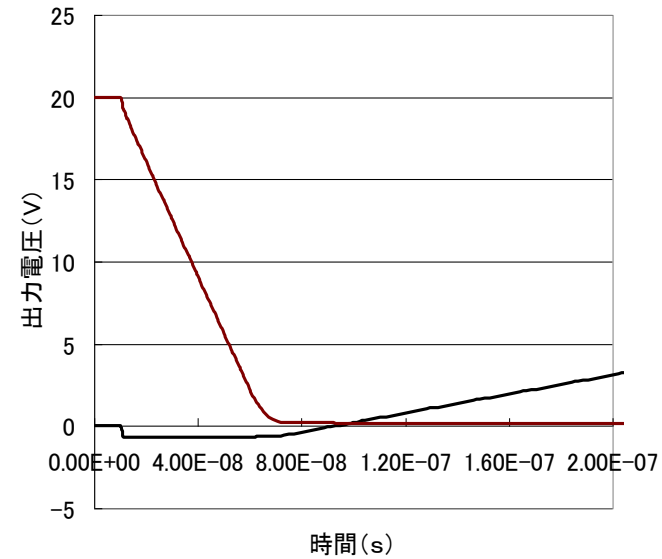
($V_{ddH}=20\text{v}$ 、 $V_{ddL}=5\text{v}$ 、 $W_P=10\mu\text{m}$ 、 $W_N=50\mu\text{m}$ 、 $L_P=16\mu\text{m}$ 、 $L_N=4.2\mu\text{m}$)



$C_p=0$



$C_p=1\text{p}$



$C_p=5\text{p}$

• $C_m \rightarrow$ 大: V_{out1} の立ち上がり開始が遅くなる

～ダイナミクスのモデル式の導出～

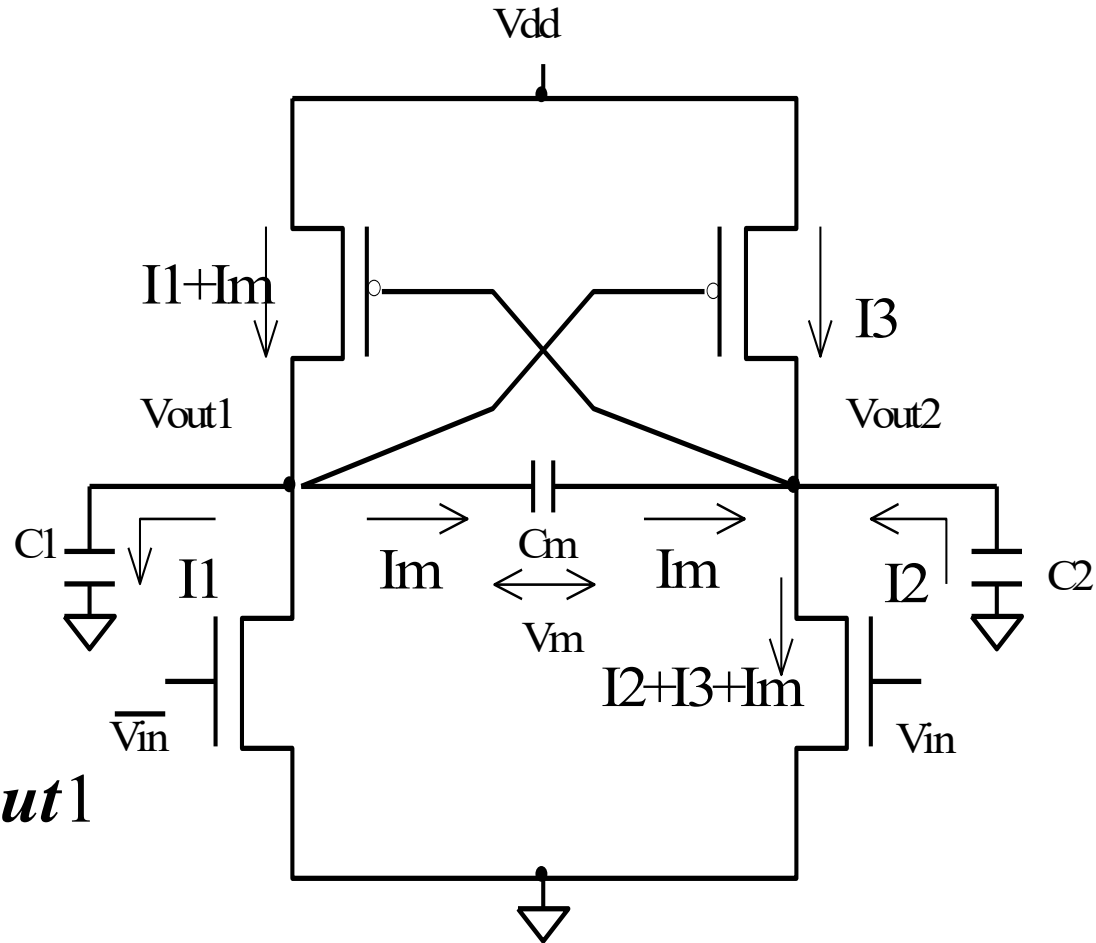
今までの結果を踏まえてモデル式を導く

$$I_1 = C_1 \frac{dV_{out1}}{dt}$$

$$I_2 = -C_2 \frac{dV_{out2}}{dt}$$

$$I_m = -C_m \frac{dV_m}{dt}$$

$$V_m = V_{out2} - V_{out1}$$



4. まとめ

まとめ

○研究成果

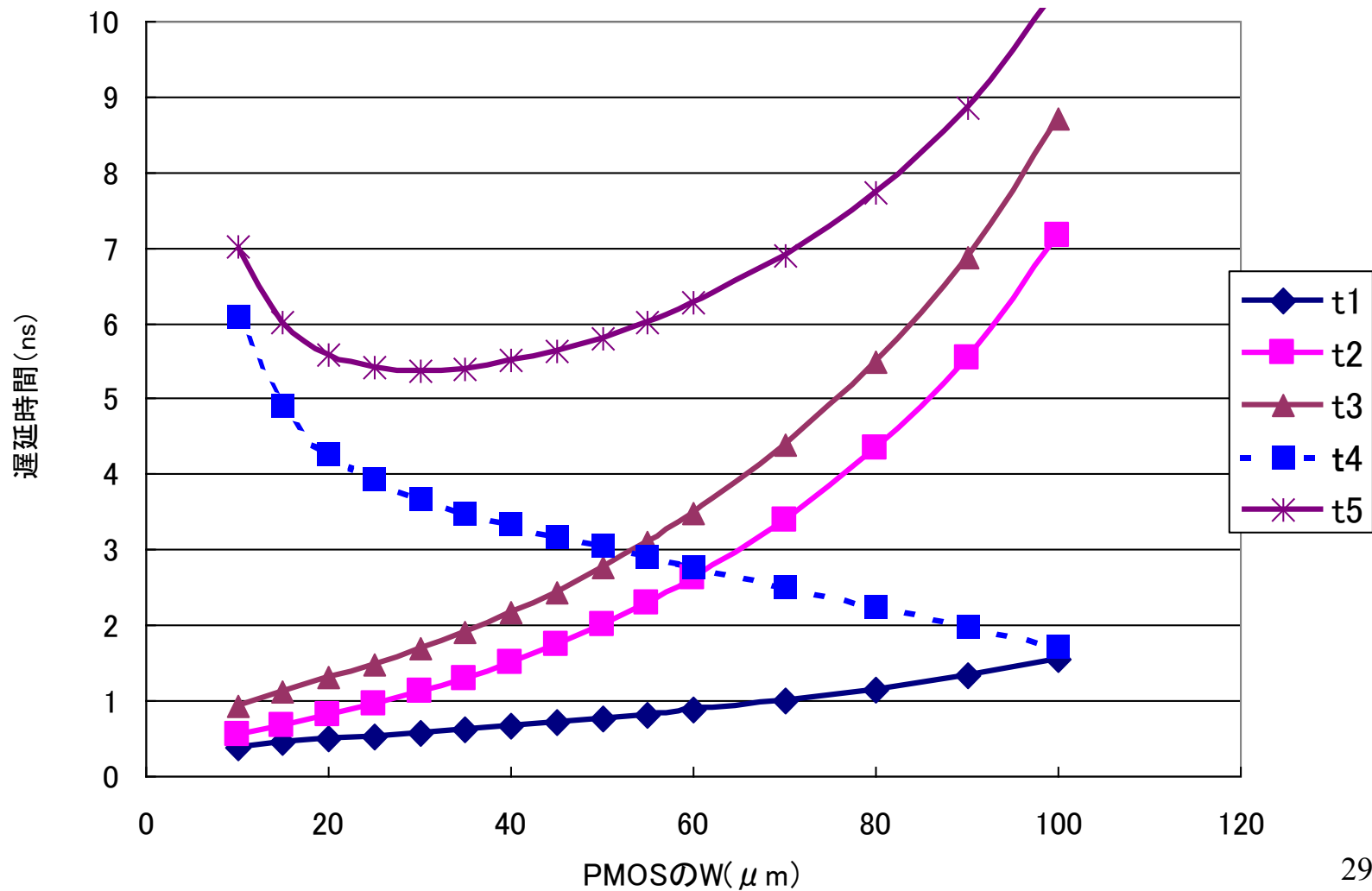
- レベルシフト回路の動作条件式を導出した
- レベルシフト回路のダイナミクスの微分方程式を導出した

○今後の課題

- MOSの厳密モデル式を用いて
より高精度な動作条件式の導出
- ダイナミクスを表す微分方程式の解析

PMOSのWと遅延時間の関係

($V_{ddH}=20\text{v}$ 、 $V_{ddL}=5\text{v}$ 、 $W_N=50\mu\text{m}$ 、 $L_P=16\mu\text{m}$ 、 $L_N=4.2\mu\text{m}$)

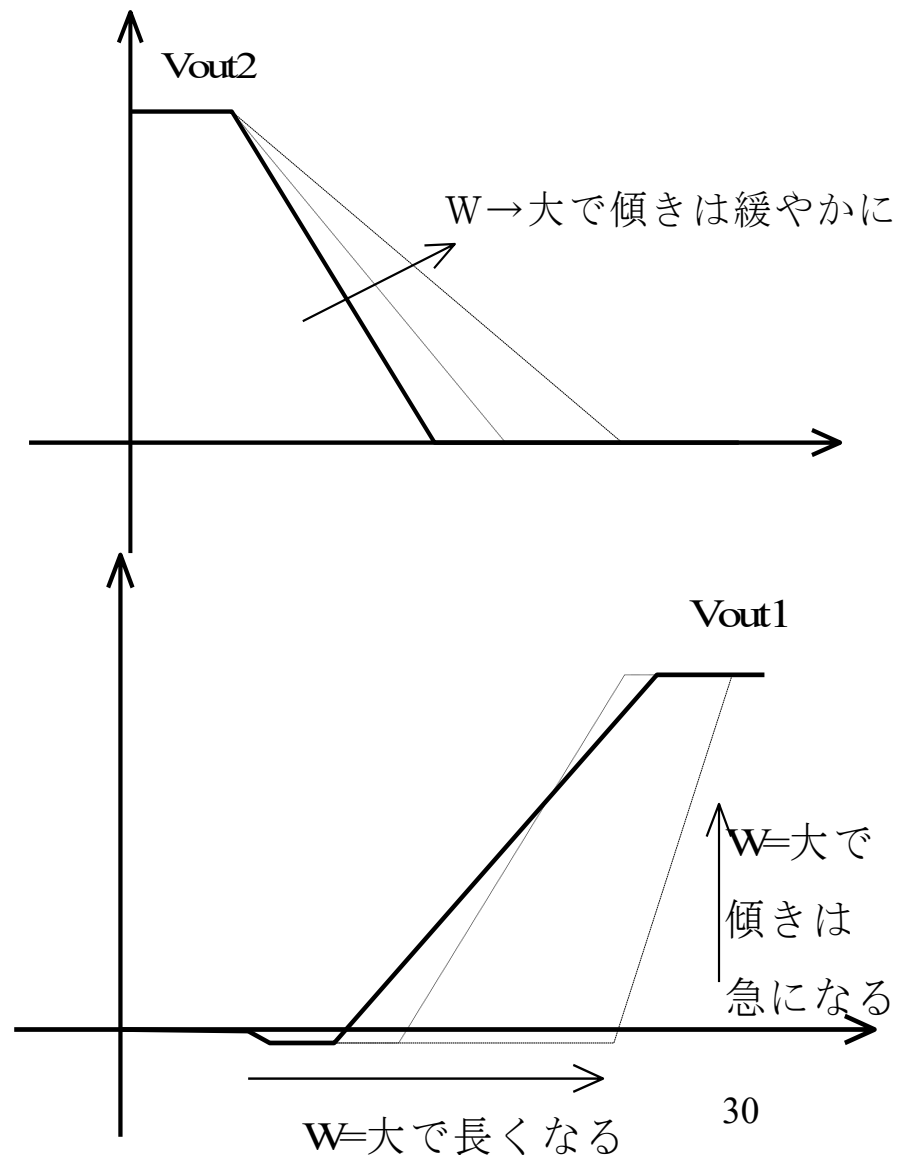


シミュレーション結果

PMOSのWが小さければ小さいほど早いわけではない



最適なWの設計が必要。



～シミュレーション結果～

ダミー容量と遅延時間の関係を証明



寄生容量がレベルシフト回路の
スピードを遅くしている原因の一つと
いえる

まず、回路の片側だけについて、考えてみる。

図1の、抵抗についての
等価回路

→図2のようになる。

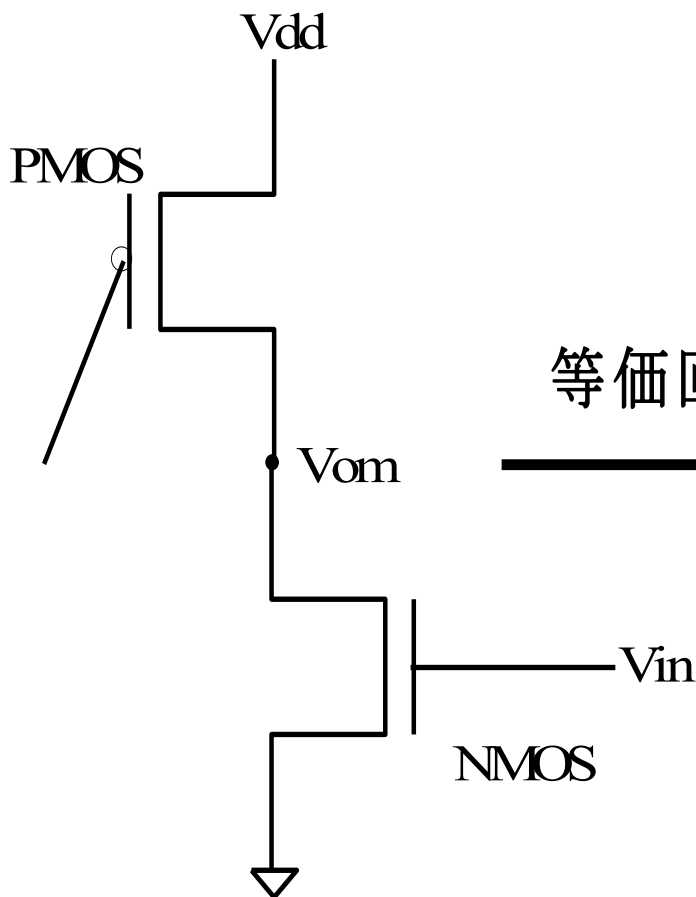
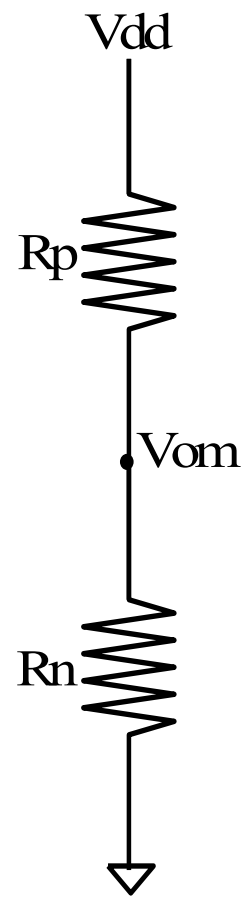


図1

等価回路



32 図2

レベルシフト回路の動作条件

→右図で十分時間がたったとき、

$V_{dd} - V_{om} \geq |V_{thp}| \dots \textcircled{1}$ を満たすことである。

$t_1 < t_2$ とすると、 $V_{om}(t_1) \geq V_{om}(t_2)$ であるから

$I_1(t_1) \leq I_2(t_2)$ である。

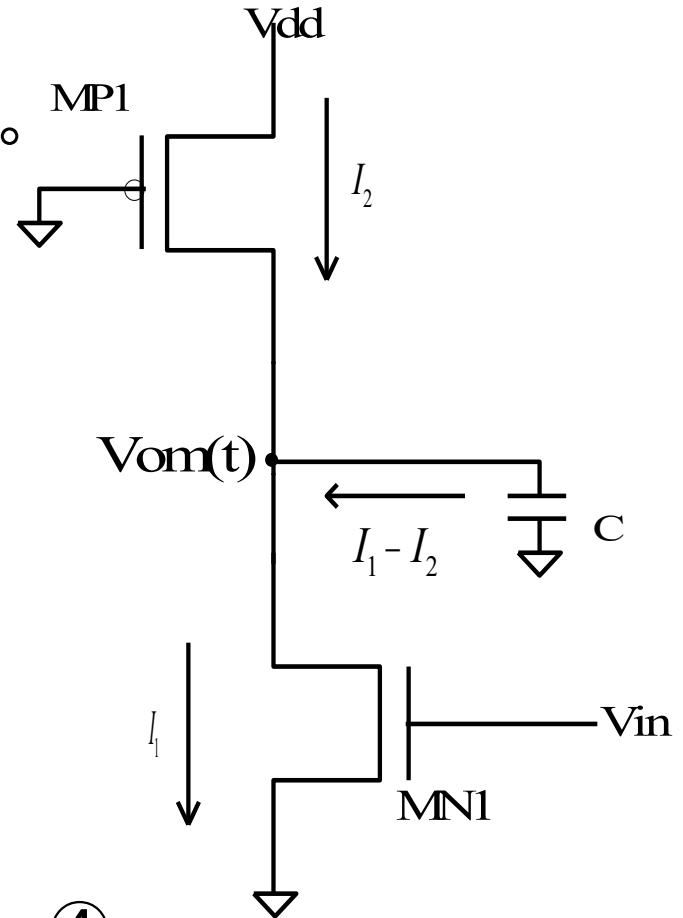
$\therefore V_{om} = V_{dd} - |V_{thp}|$ のとき $I_1 \geq I_2 \dots \textcircled{2}$

が満たされていれば成り立つ。

MN1は飽和、MN2は線形領域

$$I_1 = K_n \left(\frac{W}{L} \right) (V_{in} - V_{thn})^2 \dots \textcircled{3}$$

$$\rightarrow I_2 = 2K_p \left(\frac{W}{L} \right)_p \left[(V_{dd} - |V_{thp}|) \cdot |V_{thp}| - \frac{1}{2} |V_{thp}|^2 \right] \dots \textcircled{4}$$



～基本動作②～

② $V_{in} = Hi$ のとき

$V_{in} = Hi$ なので、

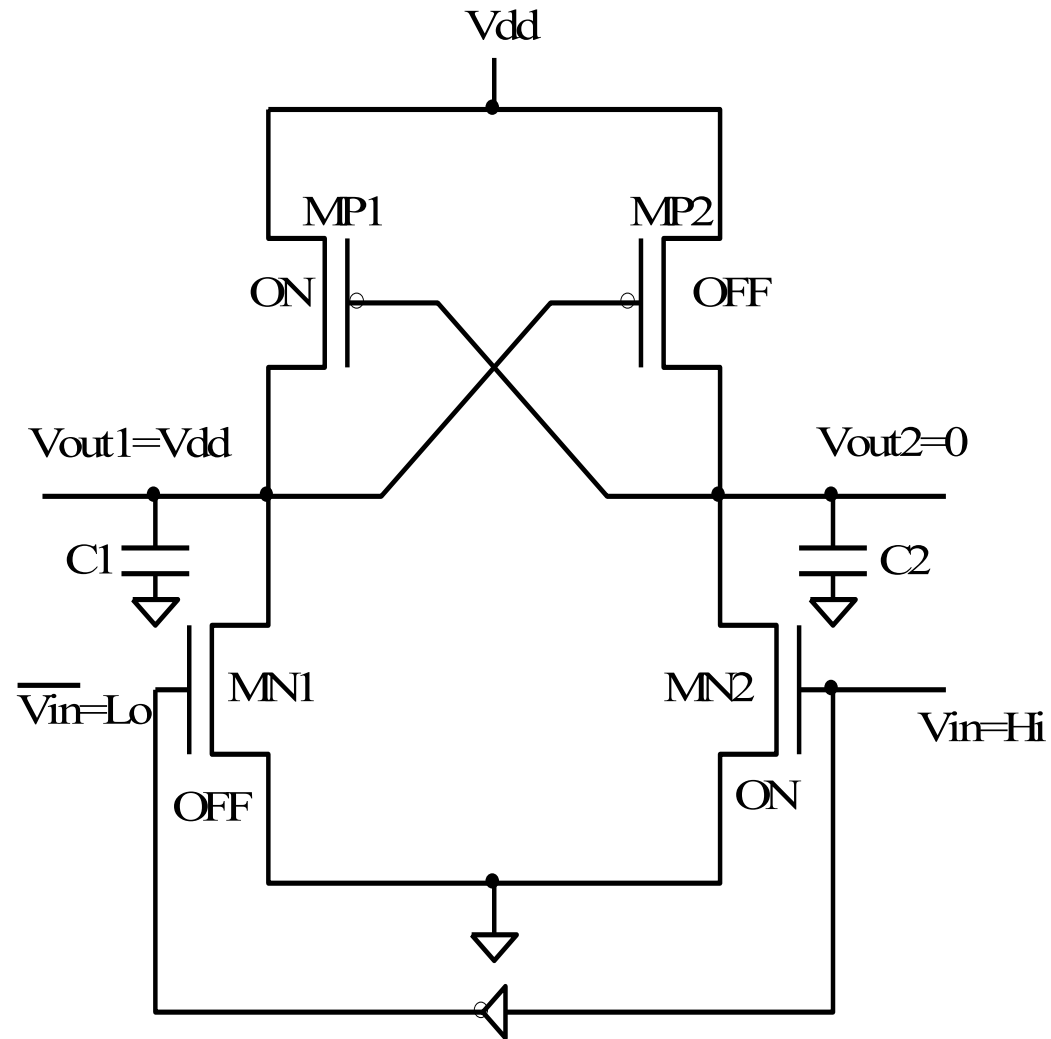
$MN1 = OFF$ 、 $MN2 = ON$

→ $MP1 = ON$ になる

→ $V_{out1} = V_{dd}$ が出力。

→ $MP2 = OFF$

→ $V_{out2} = 0$



回路の動作条件について

(1) V_{in} がLoからHiに反転すると、MN1はONからOFFに、MN2はOFFからONになる。

(2) MP1がOFF からONになるためには

$$V_p \equiv V_{dd} - V_{out2}$$

とすると、

$$V_p > |(V_{th})_{PMOS}| \quad \text{を満たせばMP1は反転する。}$$

(3) V_{out1} が反転すればMP2もONからOFFに反転。

レベルシフト回路の実際の回路への使用例

- チャージポンプ回路に使用

③、④→②

$$K_n \left(\frac{W}{L} \right)_n (V_{in} - V_{thn})^2 \geq 2K_p \left(\frac{W}{L} \right)_p \left[(V_{dd} - |V_{thp}|) \cdot |V_{thp}| - \frac{1}{2} |V_{thp}|^2 \right]$$

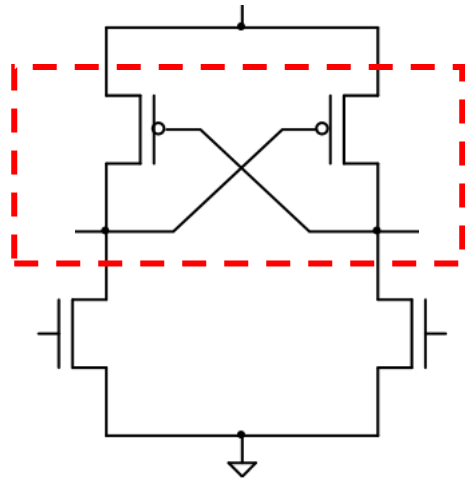
$$\therefore V_{in} - V_{thn} \geq \sqrt{\frac{K_p \left(\frac{W}{L} \right)_p}{K_n \left(\frac{W}{L} \right)_n} |V_{thp}| (2V_{dd} - 3|V_{thp}|)} \quad \dots \textcircled{5}$$

∴ 回路の最低駆動電圧 $(V_{in})_{\min}$ の一時近似式は

$$(V_{in})_{\min} = \sqrt{\frac{K_p \left(\frac{W}{L} \right)_p}{K_n \left(\frac{W}{L} \right)_n} |V_{thp}| (2V_{dd} - 3|V_{thp}|)} + V_{thn} \quad \dots \textcircled{6}$$

襷掛け(たすきがけ)回路の不思議

- Clocked Comparator での正帰還
- ヒステリシス Comparator
- 左右出力の異なるタイミングでの立上り/立下り
 - レベルシフト回路
 - 電流源型DA変換器での電流スイッチドライバ





研究室からの関係発表論文

- [1] H. Kogure, H. Kobayashi, Y. Takahashi, T. Myono, H. Sato, Y. Kimura, Y. Onaya, K. Tanaka,
“Analysis of CMOS ADC Nonlinear Input Capacitance”,
IEICE Trans. Electron, vol.E85-C, no.5, pp.1182-1190 (May 2002).
- [2] 仁木義規, 小林春夫、
「高性能カレントミラー回路の設計とその応用」、
電気学会、電子回路研究会、千葉(2005年3月).