

2022年7月19日(火)



# 集積回路システム工学 第14回講義

アナログ集積回路 調査研究事例

時間デジタイザ回路、低歪信号生成

小林春夫

群馬大学大学院理工学府 電子情報部門

koba@gunma-u.ac.jp

下記から講義使用 pdfファイルをダウンロードしてください。

出席・講義感想もここから入力してください。

<https://kobaweb.ei.st.gunma-u.ac.jp/lecture/lecture.html>

2020年6月6日

## Virtual Conference として開催された2つの国際学会に参加

VLSI Test Symposium 2020 & European Test Symposium 2020

群馬大学 小林春夫

### ● VLSI Test Symposium (VTS) 2020

4月に米国 San Diego 市で開催予定のこの国際学会はウィルス禍の状況下でビデオ・プレゼンテーションをインターネット配信する Virtual Conference になる。この状況下で「仕方なく」そうしたのであろうが、実際は大きな効果があった。

[https://tttc-vts.org/public\\_html/new/2020/](https://tttc-vts.org/public_html/new/2020/)



畠山一実先生と一緒に下記セッションをオーガナイズした。

### IPO2 - Innovative Test Practices in Asia

Presenters: Takeshi Iwasaki (ASAHI KASEI MICRODEVICES Corp.), Masao Aso (PRIVATECH Inc.), Smith Lai (MediaTek)

Organizer: Haruo Kobayashi (Gunma University) and Kazumi Hatayama (EVALUTO Corporation)

*This IP session highlights three innovative test practices in Asia, which include a testing solution for the millimeter-wave (76- to 81- GHz) without expensive instruments, an on-chip delay measurement method for in-field test and a power control method of at-speed scan test for IR violation reduction. These would be useful for automotive and IoT application device testing.*

筆者は VTS2020 組織委員会(organizing committee)の末席を汚しているので参加したが、参加してみると良い側面がたくさんあることに気が付く。

オンデマンドで何回でもすべての講演を自由な時間に視聴できる。通常形態で VTS が開催されたとすると、Plenary Talk はその名の通り参加者全員に対する講演であるが、一般論文発表はこのシンポジウムでは3つのパラレルセッションで行われるのでざっくり3分の1しか聴けない。

また、現地に行かなくてよい。一週間大学を空けるのは結構大変であり、相当な準備が必要である。もちろん国際学会は現地に行き、さまざまな人と会うことや現地を楽しむのも大きな目的である。しかし、純粋に高いレベルの国際学会の発表を聴きたい、それだけでよいということも多い。先端技術情報が得られ、聴いていると新しい研究テーマを思いつくことがしばしばあり自分の仕事が進む。Virtual Conference はその観点から非常に効率的である。

約1か月後に、VTS2020 プログラム委員長から次のメールを受け取る。

VTS2020 は Virtual Conference として大成功のようである。

参加した多くの人たちが私と同じように感じているであろう。

\*\*\*

Dear VTS attendee,

It is one month since the opening of VTS 2020, the first virtual edition of the IEEE VLSI Test Symposium. Thanks to the strong dedication and support of all of you, we can now say that the conference was a success despite the difficult worldwide situation. Attendees are constantly accessing the on-line content with thousands of videos views and downloads of papers.

(中略)

Thanks again for the support to our conference.

Best regards

VTS2020 Program Co-Chairs

VTS2020 のオープニングセッションで、運営委員の一人として名前を出してもらった。

Welcome from the VTS 2020  
Program co-chairs



このような文を書いて VTS2020 の様子を日本社会に知らせるのも仕事のひとつかと思う。

● European Test Symposium (ETS) 2020

VLSI Test Symposium 2020 での Virtual Conference の良さに気が付き、執筆中のある学会誌からの招待論文(アナログ回路テスト技術関係のレビュー)で最新技術を反映して原稿を良くすることも目的の一つとして、Virtual Conference として開催された ETS2020 に参加した。

<https://ets2020.ttu.ee/>



ETS では委員でも何でもなく、初めて参加の文字通りの「新参者」である。半導体分野の欧州での国際学会は、招待論文や発表論文の内容等が 米国、アジア地区それぞれとは違うところがある。この学会には一度は参加したいと思っていたが、もう参加するのは無理かなとも感じていた。が、逆に今回の状況で参加できた。(論文発表できないのは残念であるが。) この国際学会も VTS 同様にレベルが高く、論文が採択されるのが大変である。

ETS2020 のクロージングセッションでは Virtual Conference になったが故に参加者が大きく増えたとのアナウンスがあった。また、ほとんどすべてのプレゼンテーションを視聴したので the most active attendee の一人として名前がでていたのは 自分らしいと思った。



## ● 感想

コロナ禍が収束しても、学会や研究会の開催形態は完全にもとの形に戻すのではなく、現在急速に進んでいる ICT 化を反映した新しい形態を模索すべきと思う。学会主催者からすれば直接会場に来ることできなくてもバーチャルで参加者が増える可能性があるということも考慮すべきかもしれない。

多くの人たちが在宅勤務で仕事をしていてその良さが報道されているが、学会・研究会でも Virtual なものを経験してみるとその良い側面が実感できる。

今回は一瞬の変化を感知して先端技術を吸収することができたように感じている。

日本国内でもいくつかの大きな展示会がバーチャルで行われることがアナウンスされている。

先端技術情報が地方の片田舎でもリアルタイムでとれることがわかる。

社会がネットでの会議・プレゼンテーションのツールに慣れる、打ち合わせやプレゼンが対面でなくともよいという文化になりつつあり、確実に社会が変化している。

大学、高専、高校で現在講義、授業がオンラインでおこなわれている。通常の形態に比べて効果を下げないようにするという「守り」の側面とともに、オンライン化することでより効果を上げよう、この機会に日本で遅れている教育の ICT 化を一気に進めようとする「攻め」の試みもなされていることも知る。

「日本の ICT 化の遅れが今回のウィルス禍を機に顕在化している、この機会に ICT 化を進めよう」という話をあちこちで見聞きする。

## ● 新たな試み

激変する環境下で生き残る生物。強い者でもない 賢い者でもない。

変化する者だけが生き残る。

- Charles Robert Darwin 進化論

これはよく知られた言葉であるが、進化論の教えでは変化するのは「少しだけ」で良いらしい。自分のところでも少しだけの変化を試みてみようと思った。

当方、群馬大学アナログ集積回路研究会の活動をしている。

<https://kobaweb.ei.st.gunma-u.ac.jp/analog-web/analogworkshop.html>



自分の大学院講義をそこでの公開講演でやってみようとは今まで思いもよらなかった。が、大学の講義がすべて Zoom 配信になったことを受け、公開してみようと思いついた。外部に公開することで私や受講学生にも良い緊張感が生じている。全く面識のない受講希望の方々から事務局の桑名杏奈先生にメール連絡があるのを見ると、結構世の中の人たちは自分たちの活動を見てくれているのだなと実感する。現在在宅勤務の電子技術者が多いと思うので、「現地に行く時間は必要ないので、関係する内容ならちょっと気分転換に」くらいなのかもしれない。大きな社会的効果が得られるかはわからないが、少なくともマイナスにはならないし、こちらには「わくわく感」はある。

また、外部講師の先生方の講義も公開しているが、相方でシナジー効果がある。

同じ学科の千葉明人先生によりお知り合いの半導体メーカーの方にこのことをお知らせいただき、同社から何人も参加していただいている。事務局の桑名杏奈先生が「モチベーションが湧くが、過度な負担にはならない」程度の規模の外部受講者がある。

受講者と向かい合ったほうがコミュニケーションがとりやすい、反応がリアルタイムで得られる。逆にそれができないので、スライドを丁寧作り、わかりやすく説明するという努力が必要である。これらは当然以前からやっておかなければならなかったことではあるが。

Zoom 配信の講義・講演を桑名先生がビデオで録画してくれている。(大学本部から受講できなかった学生のためにこのようにするようとの通達がきている。)これを自分で視聴すると自分の説明の仕方の良しあしがわかり、改善につながる。研究室でのゼミや親睦会もオンラインでやっている。この時期なので活動が少しでもプラスになれば大きな効果があろう。

### ● エピローグ

ETS2020 開催予定地であった エストニアはどこにある国かと調べてみると、北欧のバルト三国の一つであることに気が付く。畏友 田口和也君がバルト三国のラトビアを何年前に訪れ訪問記を書いていることを思い出し、ご本人と出版社にそれを研究室 WEB 公開することの承認を得る。北欧のことは日本ではあまり知られていないと思う。



次にも気が付く。

<https://ja.wikipedia.org/wiki/把瑠都凱斗>

# 海外レポート

## ラトビア ～ バルトの真珠

公害等調整委員会事務局研究官

**田口 和也** | Taguchi Kazuya

■埼玉県浦和出身。1980年東京大学法学部卒、総理府（当時）採用。公害等調整委員会や日本学術会議の事務局長などを経て、現職。



昨年(2018年)9月に内閣府の青年国際交流事業で、バルト3国の真ん中の国ラトビアを18日間訪れた。もちろん私は青年ではなく、日本青年派遣団13名の団長役での訪問であった。

訪問先は、首都のリガと西部の港町リエパーヤ、古都クルディーガなどである。ラトビアは、1918年の独立から100周年であり、無限大マー

クを用いた「Latvija 100」のロゴが、あちらこちらで見られた。

### 1. ラトビアとはどんな国か

#### (1) 国とは言葉

「ラトビア語は、他の国の言葉とは違うんだ」とラトビア青年は言った。青年同士の交流会での1コマである。

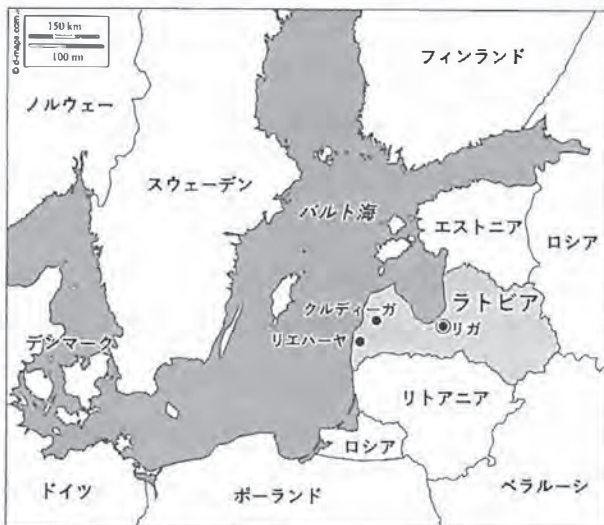
聞けば、ラトビア語はバルト語に属し、インド・ヨーロッパ語族の一つではあるが、フランス、イタリアなどのラテン語、ドイツ、スウェーデンなどのゲルマン語はもちろん、ロシア、東欧などのスラブ語とも系統が異なるという。

バルト語は、今では南隣のリトアニア語とラトビア語の二つだけとなっている。では、リトアニアの人とは話が通じるのか、と聞くと、お互いにほとんど言葉は分からないとのこと。

また、バルト3国で北隣のエストニア語はフィンランドのフィン語と同じウラル語族で、インド・ヨーロッパ語族にも入っていない。

このように、周辺諸国とは、言語上隔たりがあり、言葉が通じないことが、バルト3国がそ

ラトビアの位置



Copyright©d-maps.com (<https://d-maps.com/m/europa/baltique/baltique05.pdf>)

れぞれ独立している理由と思われる。

「おはよう」はラトビア語でLabrītと言う。「こんにちは」はLabdien、「今晚は」はLabvakarとなる。「ありがとう」はPaldiesだ。

こういう基本的な言葉や言い回しを、いくつかガイドブックなどで覚えて行ったのだが、実際には、現地でのコミュニケーションは英語で行われた。語学は苦手なので苦戦した。

向こうで初めて聞いて自然に覚えたのが、「Nākamā Pietura ○○」で、まず「ナカマ」という発音がとても覚えやすい。これは、路線バスに乗ると、「次の停留所は○○」と、繰り返し何度もアナウンスされたので、覚えてしまったという訳。

## (2) 複雑な民族構成と言語

ラトビアの人口は211万人（2018年1月現在）、これは、長野県や岐阜県と同じくらいである。

民族構成は、ラトビア人が61%、ロシア人が26%となっている（ロシア系で数十万人にのぼる「非国籍者」の問題もある）。他に、旧ソ連のベラルーシ人、ウクライナ人が合わせて6%だ。



リガの「ブラックヘッドの会館」の前で（筆者）

第1次世界大戦後の独立時代は、ラトビア人が約75%いたそうだが、歴史的経緯からドイツ人も5%ほどいたらしいが、第2次世界大戦直前の独ソ不可侵条約の裏で交わされた密約で、ラトビアはソ連の勢力圏とされ、大戦が始まってソ連がラトビアを占領すると、ナチスは、数万人のドイツ人をドイツ領内に引き上げさせた。

戦後、大勢のラトビア人が強制的にシベリアに送られ、代わりにソ連系の人々が移住してきた。一時期はラトビア人の割合は60%を割り込んでいたほどだ。

この時期にはロシア語が必修だったこともあり、現在でもロシア語を主に話す人は30%を超えている。また、都市部でその割合が高いため（首都のリガで約40%など）、職業上の必要性などから、ラトビア人でも約70%がロシア語を話せるという。

1991年のラトビア独立後は、公用語はラトビア語に限られた。2012年にロシア語を公用語に追加するかどうかで国民投票が行われたが、約75%の反対多数で否決されている。学校教育の場でもラトビア語を優先する政策をとっている。

一方、ラトビアでは英語教育に熱心で、小学校入学前から始めている。このため、若年層を中心に英語を流暢に話せる者が増えている。

このような事情から、ラトビアでは、母語十一つの言語を話せる者は95%、母語十二つの言語を話せる者は54%となっている。

## (3) 平坦な国土、欧州一の滝は高さ2M

ラトビアの面積は6.5万km<sup>2</sup>で、北海道より一回り小さく、国全体が平坦な地勢で、湖と森の国だ。起伏があるのは東寄りの一部地域だけで、最も高い場所でも海拔312M。河川は3,800、湖は2,256で、森林面積は国土の約48%を占める。





ヴェンタの滝（全景）

クルディーガでは、街並みのすぐ近くにある「欧州一」のヴェンタの滝に案内された。日本の河川でよく見かける堰に似た景色で、「これが滝なんだ」と思った。何が欧州一かという、滝の幅の広さが250Mで一番ということである。

## 2. 伝統と現代、ラトビアの魅力

### (1) 首都リガは世界文化遺産の街

リガは13世紀初めに創建され、バルト3国で最も古く、70万人が住む最も大きい都市だ。

中心市街地は落ち着いた雰囲気のある町で、特にダウガワ川の東岸に面する0.5km<sup>2</sup>の旧市街が、ユネスコに登録されている。古い教会などでは、当初の建築が13世紀まで遡れるものもある。

リガ大聖堂やブラックヘッド会館など見所も多い。リガ城は、今は大統領官邸となっている。

旧市街の他にも、アルベルタ通りには19世紀末から20世紀初めに造られたユーゲント・シュティール（アールヌーボー）建築群がある。また、新市街の新しい建築でも、レトロな雰囲気の建物が、あちこちに見られる。

中心市街地では、法的な規制や建築に際しての許可などによって、建物の高さも6、7階建に揃えられており、高い建築物は昔の教会くらいで、新しい高層建築はダウガワ川の対岸や中

心市街地の外側にほぼ限られている。

### (2) キリシト教と自然信仰

ラトビアは、中世以来の歴史的な事情から、キリシト教の主要な宗派…プロテスタント（ルター派など）、カトリック、ロシア正教の信者がそれぞれ在住している。

また、リガをはじめ、各都市や村々では多くの教会が建てられ、信者が通うとともに、貴重な文化遺産、ひいては観光資源ともなっている。

一方、キリシト教化以前の自然信仰も、民族文化、習俗の中に根付いているように思われる。例えば、ラトビアで盛んに作られるニット製品の模様でも、古い信仰の対象である神々や樹木、雷などを象徴する図柄・文様が描かれる。

### (3) 歌と踊りは民族文化の花

ラトビアでは、Dainas（民謡）が100万曲以上あることでも分かるように、音楽が盛んだ。

「歌と踊りの祭典」が5年ごとに国を挙げて開催され、参加者も観客も数万人に達する。これは1873年から続いている。各地域の民族衣装を身に付け、髪を花で飾った大勢の参加者が歌い踊る様子は、華やかであり、壮観でもある。

一見して華やかな祭典だが、その影には、このような活動を続けることで民族的な一体性を維持し、他国の支配に耐え抜いて独立へとつなげていった歴史がある。

もちろんラトビアでは、他の古典音楽・現代音楽やアートも盛んだ。リエパーヤは、ラトビアのロック発祥の地としても知られている。

リガでは19世紀に建てられた国立オペラ座で、バレエを鑑賞した。また、リエパーヤでは現代的なホール Great Amber で、クラシックのコンサートを聴いた。いずれも観客席は、ほぼ満員。バレエ鑑賞では小さな子供も来ていた



リガの「国立オペラ座」



リエパーヤの「海の大聖堂」(ロシア正教会)

し、コンサートの演奏者にも若手の姿があった。

### 3. ラトビアのたどってきた道

#### (1) 苦難の歴史の概観(近代以前)

ラトビアの地には、紀元前から自然信仰のラトビア人が住んでいた。13世紀初めごろからドイツ騎士団による侵攻が始まった。これはローマ教皇が呼びかけた「北方十字軍」の一環で、異教徒をキリスト教化することを名目に、実態は領地の獲得が目的だったと言えよう。

1201年には司教アルベルトに率いられた一団がリガに拠点を構えた。リガは、1282年にハンザ同盟に加盟し、貿易拠点として繁栄した。

その後、15世紀にドイツ騎士団はポーランド・リトアニア連合に敗れて衰退し、支配勢力が交代する。さらに、17世紀にスウェーデンが強大化すると、リガ周辺から北東部にかけての地域はその領土となったが、18世紀初めの北方大戦争の後、スウェーデンの支配地はロシア領となり、18世紀末のポーランド分割により、ラトビアの全域が帝政ロシアの領域に入った。

なお、日露戦争の時には、バルチック艦隊が、リエパーヤから日本に向けて出撃している。

#### (2) 国旗のデザインの由来(伝説)

ラトビアの国旗は、上下が赤で真ん中に白のラインが入っている。赤は、やや茶色に近い濃い色だ。

その昔、降伏を拒否して戦い続けたラトビア人の将軍が、ついに倒れて白い旗の上に横たえられると、将軍の血が、旗の両側を赤く染め、体の真下の部分だけが白く残ったと云う。

「それはいつごろの出来事ですか」と尋ねる私に、ラトビア青年は「いつという事ではなく、これはあくまで伝説です」と語った。資料によっては、13世紀後半の出来事とされている。

#### (3) 苦難の歴史は続く(近現代)

第1次世界大戦後の1918年、ラトビアは念願の独立を達成する。日本との友好関係は1928年に始まり、リガに公使館が置かれた。

しかし、ラトビアの苦難の歴史は続く。

第2次世界大戦が始まると、前述のように初めはソ連の侵略を受け、次いで独ソ戦が始まると、ナチスドイツ、最後にまたソ連の侵攻があり、国土を占領された。圧倒的な軍事力を有するソ連やドイツに対して、貧弱な装備で立ち向かったものの、撃退など無理なことであった。

戦後は、ソ連を構成する一共和国とされたが、



実質はソ連による恐怖の支配を受けたのだ。

リガ市内には、その名も「占領博物館」があって、苦難の歴史を記憶に留めるべく、この時期の資料を展示してある。

また、リガの「KGB ビルディング」は元々著名な建築家が設計したビル、リエパーヤの「軍港刑務所」は元病院だったのだが、それぞれ改造されて取調べや拘禁のために使われた施設である。通路なども鉄格子で仕切られ、部屋は窓をレンガで塞ぎ、扉も分厚い上に重く、狭くて非衛生的で陰惨そのものであった。

帝政ロシアやナチス占領当時だけでなく、旧ソ連時代には、反ソ連と疑われただけで、KGBによる過酷な取調べ・拷問や不当な拘禁・処刑が行われた。他国に支配された国の国民がいかにも悲惨な目に遭うかを示している。

#### (4) 人間の鎖、再独立そしてEUの一員に

バルト3国では、ソ連からの独立の機運が高まった1989年8月に、200万人が参加して「バルトの道」で手と手をつなぎ、600km以上にも及ぶ「人間の鎖」を形作った。

この非暴力の抵抗運動で、密約に基づくバルト3国の占領を正義に反するとして否定し、ソ連崩壊と3国独立の最初の兆しとなった。

わずか2年後の1991年、バルト3国は念願の独立と国際社会への復帰を果たした。

日本は、同じ年にラトビアを国家承認し、外交関係を開設した。2007年には、先の天皇皇后両陛下がご訪問されている。

ラトビアは、2004年にEUとNATOに加盟した。経済面では、2014年にユーロを導入、2016年にOECDに加盟するなど、西欧志向が強い。小国なので、高等教育の充実やITなど将来性のある分野を重点的に伸ばそうとしてい

る。

キャッシュレス化も進み、コーヒーの自動販売機（機械の中で紙コップにコーヒーを注ぐタイプのもの）でさえ、コイン投入口がなくクレジットカードを読み取る方式だった。

なお最近では、若年層を中心に人口の国外流出が続く、人口減少と少子化に悩んでいる。

安全保障面では、ラトビア軍は5,300人と少なく、現在カナダ主体のNATO軍の大隊が展開している。NATO軍も少数ではあるが、その存在自体が安心の基となっている。

このように、ロシアに対する安全保障面での警戒は必要だが、ラトビアの強みは、地理的に欧州とロシアをつなぐ地位を占めていることにある。ロシアとの経済的な関係は、今なお重要である。

## 4. 国際青年交流事業

ラトビア訪問では、公式日程の他、両国青年によるディスカッション（テーマはSDGs）や懇談、施設見学やホームステイなどが行われた。

とりわけ、ライモンツ・ベーヨニス大統領にお会いし懇談する機会が得られたことは、たいへん有意義なことであった。

帰国後は引き続き、日本青年派遣団とともに来日した10人のラトビア青年をはじめ、6か国の招聘青年が集まって、日本側青年も交えて各種プログラムが行われた。

このうち、各国青年によるディスカッションは、皇太子・同妃両殿下（今上天皇皇后両陛下）がご視察になった。皇太子殿下は、引き続きレセプションにもご臨席され、ご挨拶、各国代表とのご懇談が行われた。ラトビア青年の1人は「プリンスに会えた」と喜んでいました。

研究室で毎週金曜日夕方にオンライン親睦会を開催している。電源関係の研究教育をいただいている小堀康功先生にもご参加いただいております。毎回学生向けに「クイズ」を出している。その一つとして各国の「国旗」の問題もだしてくれた。田口君のラトビア訪問記にも同国旗の話が記載されている。これらに刺激されてバルト三国の国旗を Wikipedia で調べた。

### エストニア 国旗

青黒白旗

青： エストニアの空・川・湖・海を表しており、エストニアの国民を象徴するとともに  
希望・友情・団結

黒： 故郷の大地と同時に暗黒時代の悲しい歴史を忘れまいとする決意

白： 氷と雪および人々の幸福の追求



### ラトビア 国旗



### リトアニア 国旗





# Vernier

群馬大学 電子情報理工学部

小林研究室 学部4年

高橋莉乃



# Outline

---

- バーニヤとは
- 発明者
- 副尺
- バーニヤの原理
- さまざまな応用例

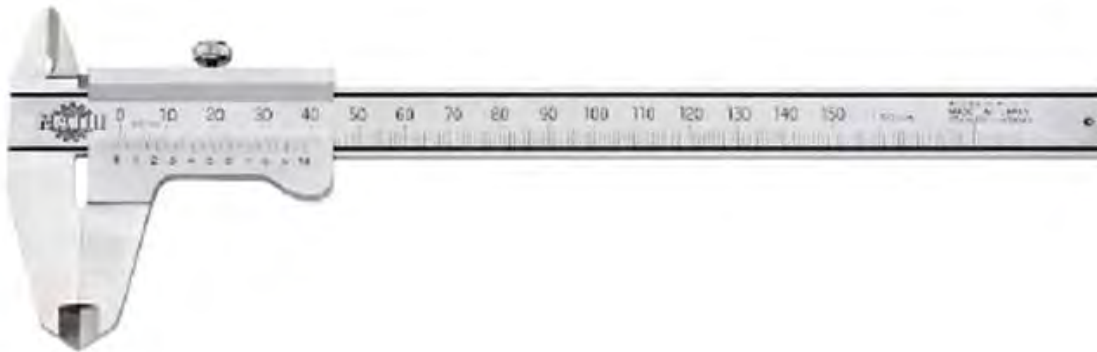
# Outline

---

- バーニヤ とは
- 発明者
- 副尺
- バーニヤの原理
- さまざまな応用例

# バーニヤとは

ノギス等に付随して最小目盛以下の数値を読み取る補助をするもの





# Outline

---

- バーニヤとは
- **発明者**
- 副尺
- バーニヤの原理
- さまざまな応用例

# 発明者

ポルトガルの数学者  
16世紀の最も偉大な数学者の一人

多くの実績は航海術に関する

等角航法の最初の提案者

アストロラーベに副尺をつけた  
⇒後にバーニヤにより現在の形に

ペトルス・ノニウス

Petrus Nonius

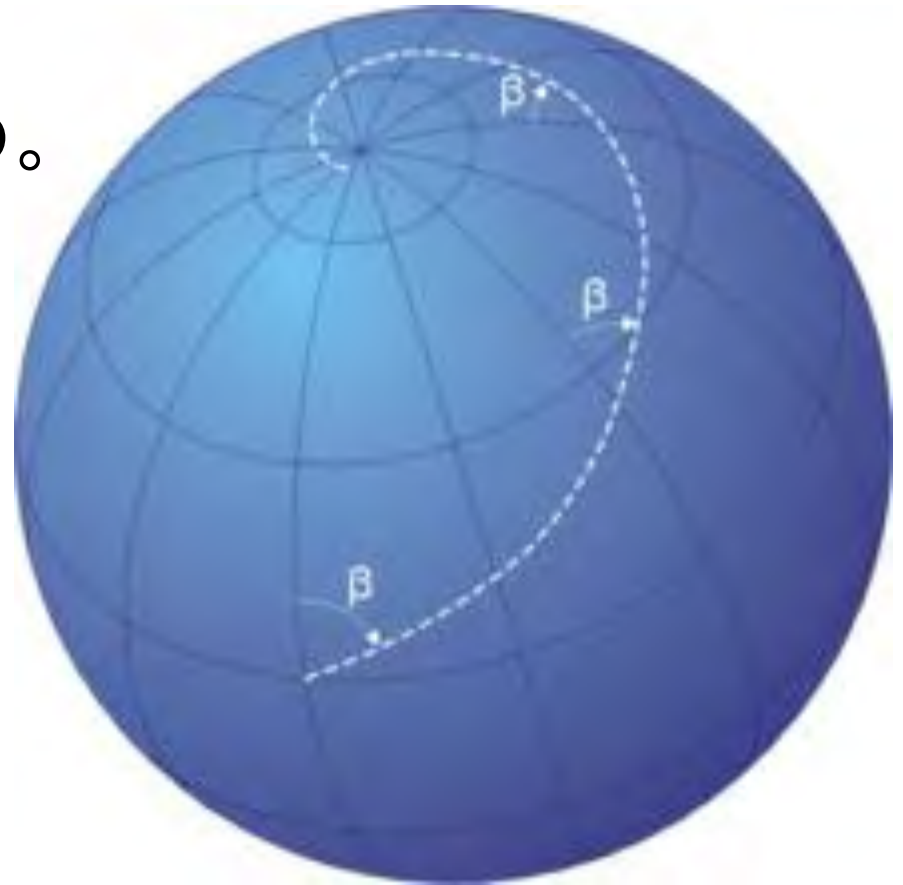
(1502 – 1578)



地球上の2点間を結ぶ  
航路のうち、  
進行方向が経線となす  
角度が常に一定となるもの。

最短距離

燃料や所要時間を節約



# 発明者



フランスの数学者

測定装置の発明者

スペイン王の軍人になり、  
オルナンの城主になった後、  
顧問官および財務長官に。

*"La construction, l'usage, et les  
proprietes du quadrant nouveau de  
mathematiques"*

1631年 ブリュッセルにて著  
副尺について記述。

## ピエール・ヴェルニエ

Pierre Vernier

(1580.9.19 - 1637.9.14)

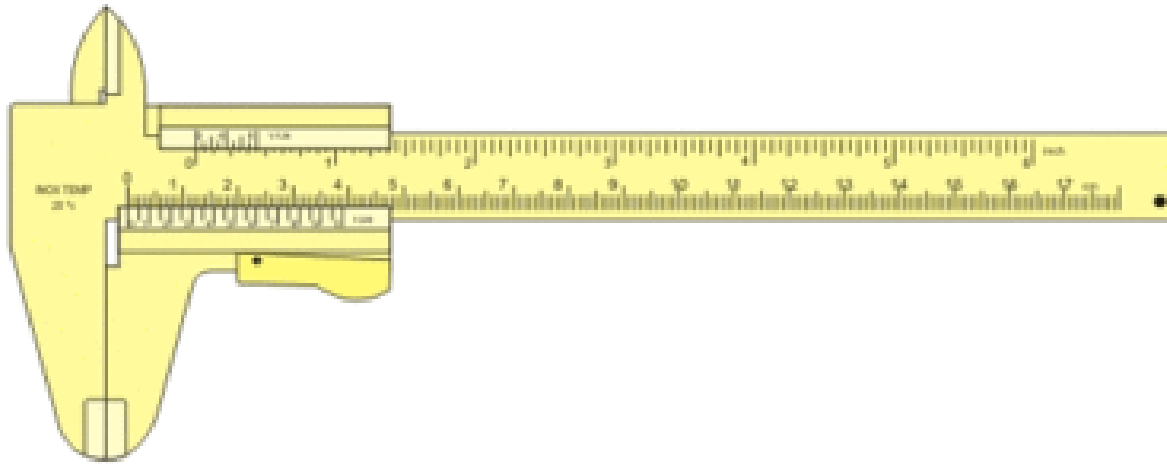


# Outline

---

- バーニヤとは
- 発明者
- **副尺**
- バーニヤの原理
- さまざまな応用例

# 副尺



## ノギスにおける副尺の用法

主軸の目盛とバーニヤの目盛が一致した場所を読み取る

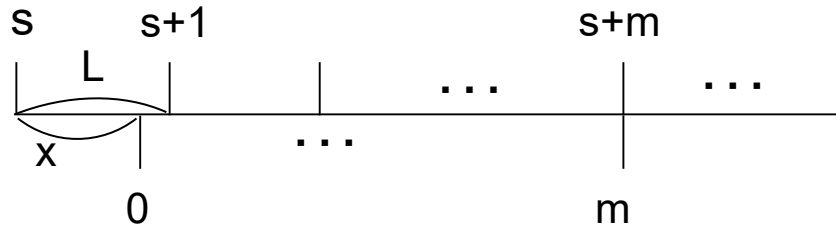
主尺の $n-1$ 目盛を $n$ 等分した目盛を目盛ったもの  
多くの場合主軸の $9/10$ あるいは $19/20$ の間隔

# Outline

---

- バーニヤとは
- 発明者
- 副尺
- **バーニヤの原理**
- さまざまな応用例

# バーニヤの原理



副尺の目盛を $L'$ とすると

$$L' = \frac{n-1}{n}L \quad \dots(1)$$

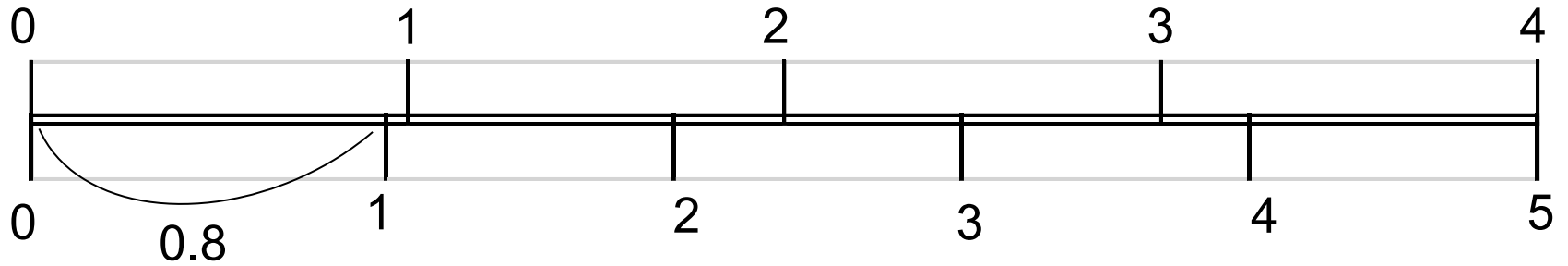
図のようにおくと

$$((s+m) - s)L = x + mL' \quad \dots(2)$$

$$mL = x + m \frac{n-1}{n}L$$

$$x = \frac{L}{n}m \quad \dots(3)$$

# バーニヤの原理



L	n	m	x
1	10	1	0.1
1	20	19	0.95
1	20	9	0.45
1	5	4	0.8
1	20	5	0.25
1	20	1	0.05

# Outline

---

- バーニヤとは
- 発明者
- 副尺
- バーニヤの原理
- **さまざまな応用例**



# 応用例

## バーニヤ制御 電気鉄道



## バーニヤスラスト ロケット

# バーニヤ制御

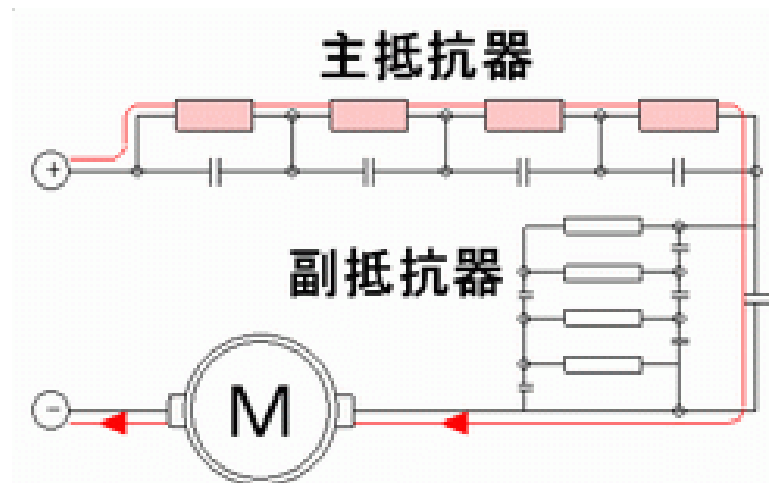
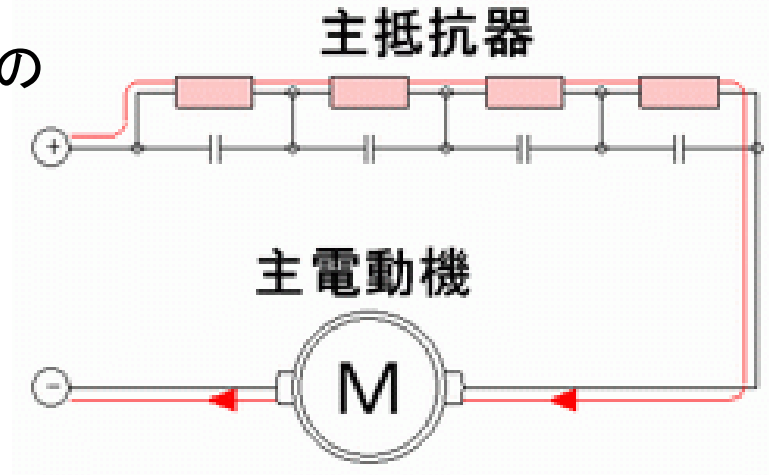
抵抗器の制御段数を増やし、各制御段間のトルク変動を小さくする制御方式

抵抗制御方式(従来)  
電圧の制御が不連続な段階制御に



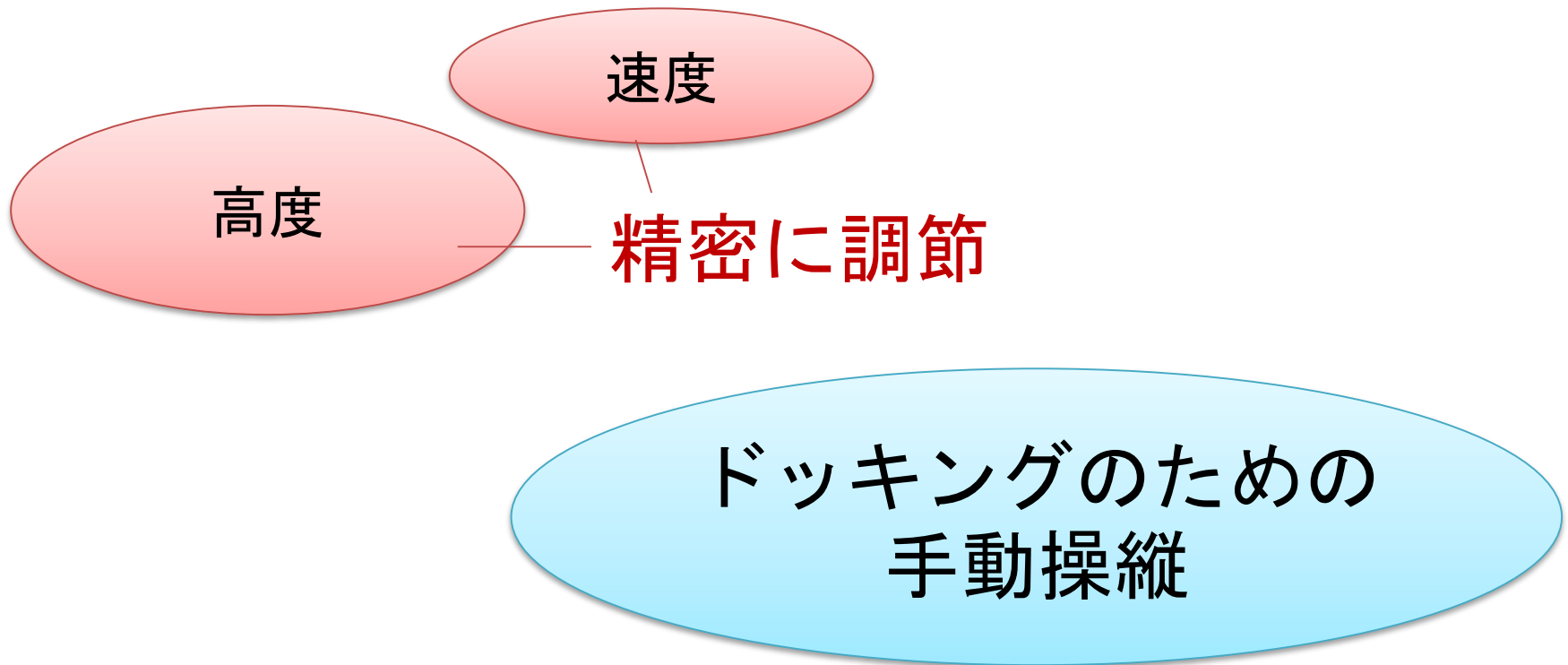
副抵抗器により抵抗値の刻みを小さく

(超多段式抵抗制御)



# バーニヤスラスト

スラスト・・・推進システム。主推進以外の姿勢制御や起動の微修正に使う。



# 磁気センサ国際会議 参加記

## —リスボン市（ポルトガル）旅行記

飯野俊雄（群馬大学・非常勤講師）

群馬大学 小林春夫先生から、せっかくポルトガルまで行ってきたのなら国際会議の紹介をしてもらえませんか、というご要望をいただいたので感想を記させていただきます。

2019年6月24日から27日まで、ポルトガルの首都リスボンにあるリスボン大学工学部で開催された国際会議 Magnetic Frontiers 2019 を自費で聴講してきました。

<https://mag-frontiers.sciencesconf.org/>

会議の主題は「ハードディスクの磁気ヘッド等の記憶装置用途以外の磁気センサ」です。20年前にやはり IEEE 主催の磁気関係の学会である INTERMAG1999 に発表者として参加したときは、ほとんどの発表がハードディスク関連の技術で占められていて、私が発表した磁気ヘッド以外の磁気センサで半日の1セッションを埋めるのが精一杯だったので、磁気センサだけで4日間も学術講演会を開催できるようになったことには、隔世の感がありました。

磁気センサの発展の裏には、1980～90年代にかけて、GMR, TMR, GMI センサが相次いで発見されて、主な用途である磁気ヘッドの研究が大きく進展したことがあります。スマートホンに搭載された磁気コンパスの爆発的な普及、IoT用のセンサ、自動車のEV化など、磁気計測の対象が広がったことも大きな要因になっていると思います。

学部3年生冬学期の「電子工学特別講義Ⅱ」の中で、センサ工学の一分野として磁気センサを取り上げます。電源をつなげば I2C バスからシリアル信号で方位が得られる便利な三次元磁気センサ IC が安価に入手できる時代になっていますが、なぜさらなる磁気センサの研究が必要なのか、講義の中で今回の国際会議で得た情報をご紹介しますと思っています。

日本では、国内の関係者だけで運営されている研究プロジェクトが大半だと思いますが、ヨーロッパでは国をまたいだダイナミックな研究プロジェクトが多数組まれていて、人的交流が活力をもたらしていることを感じました。いろいろな大学と研究機関が優位性を持つ技術をベースにして協力しながら競い合っているので、技術の幅が非常に広く、全体像を把握するのはなかなか困難でもありました。発表者のうち、英語のネイティブスピーカーが2割程度しかいないことにも磁気センサの研究が世界的な広がりを持って進められていることを感じさせられました。当初はポルトガルでも磁気センサの研究をしているのか、という程度の認識しかありませんでしたが、リスボン大学は充実した試作設備と優秀なスタッフを擁していて、磁気センサの研究で大きな貢献をしていることを再認識しました。

国際会議を離れてポルトガルの印象について触れておきます。夏休み前と言うこともあり、リスボンでは日本人観光客の姿はほとんど見かけませんでした。見かけるアジア人観光客はほとんどが中国系の人たちでした。ポルトガルの人たちは皆さん穏やかで、喫煙人口が多いことを除けば、街は比較的綺麗、地下鉄にも安心して乗れて交通は整備されていて不便はありません。リスボンはとても坂の多い街なので、計画的に移動しないと登り坂と階段で消耗します。魚介類が食卓にのることが多く、タコの雑炊がどこのレストランでも食べられて、日本人の口に合うのはありがたかったです。交通機関では、急な坂道を登ってくれる木造の市電が観光客には大人気です。紙製の IC カードを車内のカードリーダーにタッチして支払いを行い、防犯カメラが見張っていて、車内では Wifi が使える、駆動系はインバータ制御に換装されている、といった感じでさりげなく最新の技術がインフラに仕込まれているのも特徴的でした。



講演会場のリスボン大学工学部のホール



ポスターセッションの会場



リスボン大学工学部前からリスボン市内を見下ろす



旧市街の狭い路地を走る市電



# Gunma Univ. Kobayashi group go everywhere !

- 2008年12月 中国 澳門（まかお）

IEEE Asia Pacific Conference on Circuits and Systems, Macao, China, Dec. 2008.

[1] Tomohiko Ogawa, et. al.,

"[SAR ADC Algorithm with Redundancy](#)", [IEEE Xplore](#)

[2] Akihiro KANB, et. al.,

"[New Architecture of Envelope Tracking Power Amplifier for Base Station](#)" [IEEE Xplore](#)

[3] Ibuki MORI, et. al.,

"[High-Resolution DPWM Generator for Digitally Controlled DC-DC Converters](#)",  
[IEEE Xplore](#)

[4] Hajime Konagaya, et. al.,

"[Delta-Sigma AD Modulator for Low Power Application](#)", [IEEE Xplore](#)

[5] [Santhos Ario Wibowo](#), et. al.,

"[Analysis of Coupled Inductors for Low-Ripple Fast- Response Buck Converter](#)",  
[IEEE Xplore](#)





Gunma Univ. Kobayashi group go everywhere !



Gunma Univ. Kobayashi group go everywhere !





Gunma Univ. Kobayashi group go everywhere !



Gunma Univ. Kobayashi group go everywhere !





Gunma Univ. Kobayashi group go everywhere !

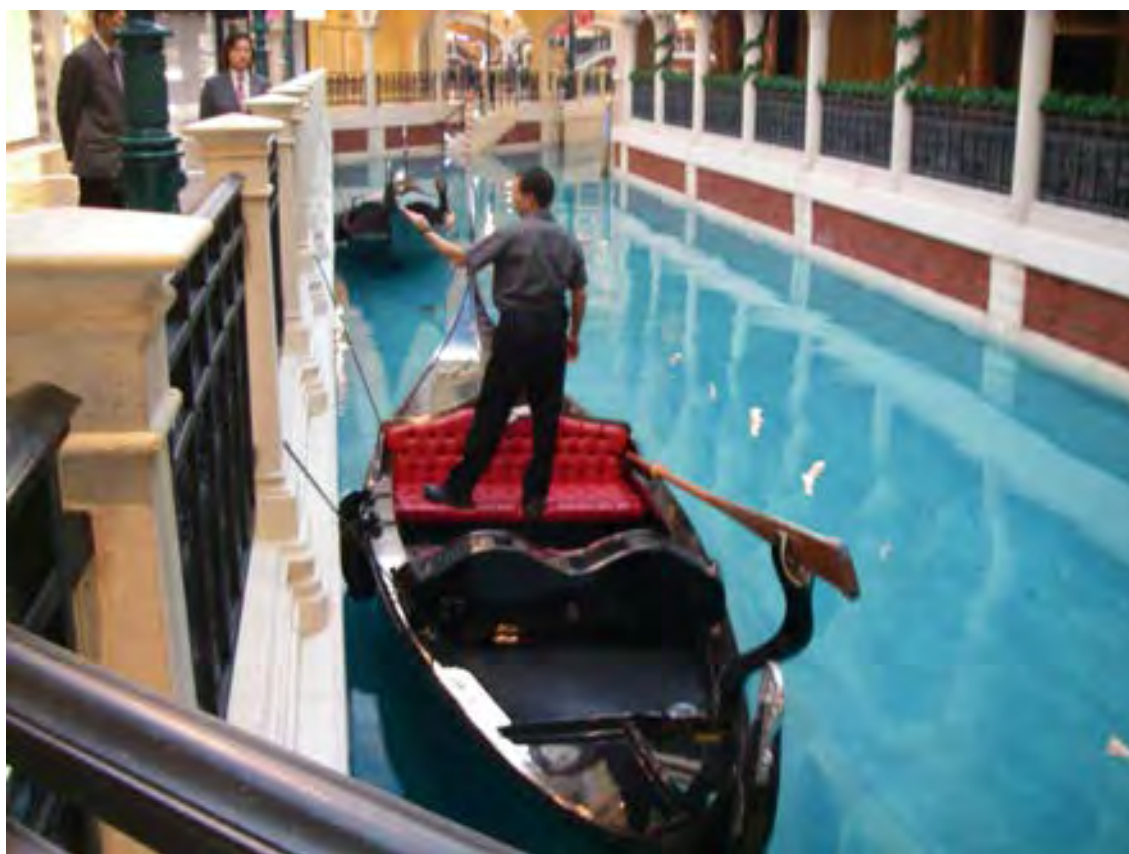




Gunma Univ. Kobayashi group go everywhere !



Gunma Univ. Kobayashi group go everywhere !





Gunma Univ. Kobayashi group go everywhere !



Gunma Univ. Kobayashi group go everywhere !





Gunma Univ. Kobayashi group go everywhere !



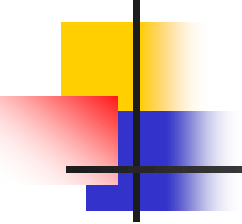
Gunma Univ. Kobayashi group go everywhere !





Gunma Univ. Kobayashi group go everywhere !





# オシロスコープトリガ回路 調査

群馬大学工学部電気電子工学科  
通信処理システム工学第二研究室

97405016 滝上 征弥

指導教官 小林 春夫 教授

# (a) オシロスコープ・トリガ回路

※ トリガ部分に使用される回路の一つ

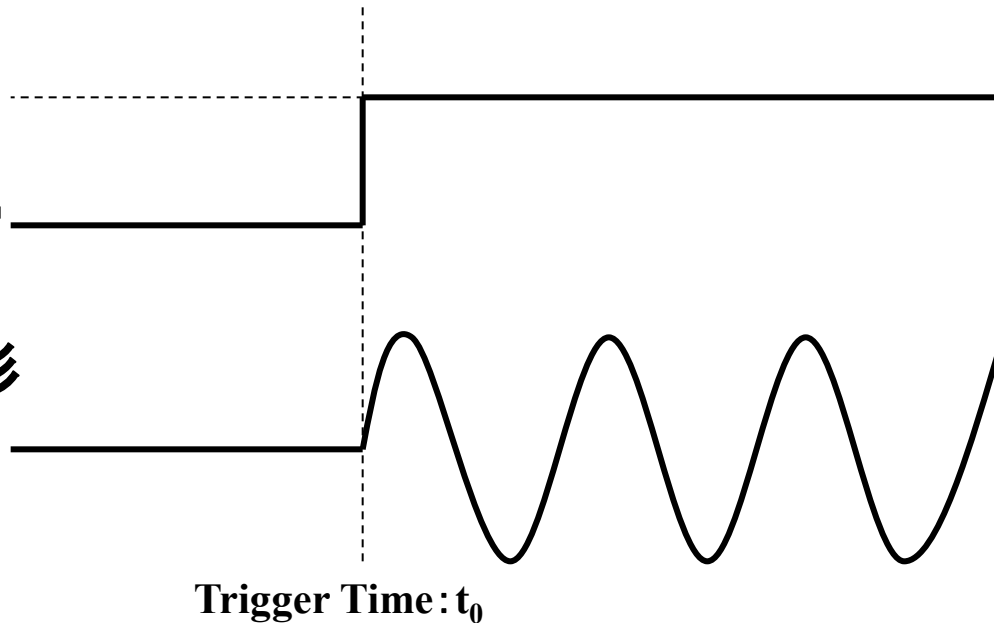
使用目的

入力 Trigger

ON

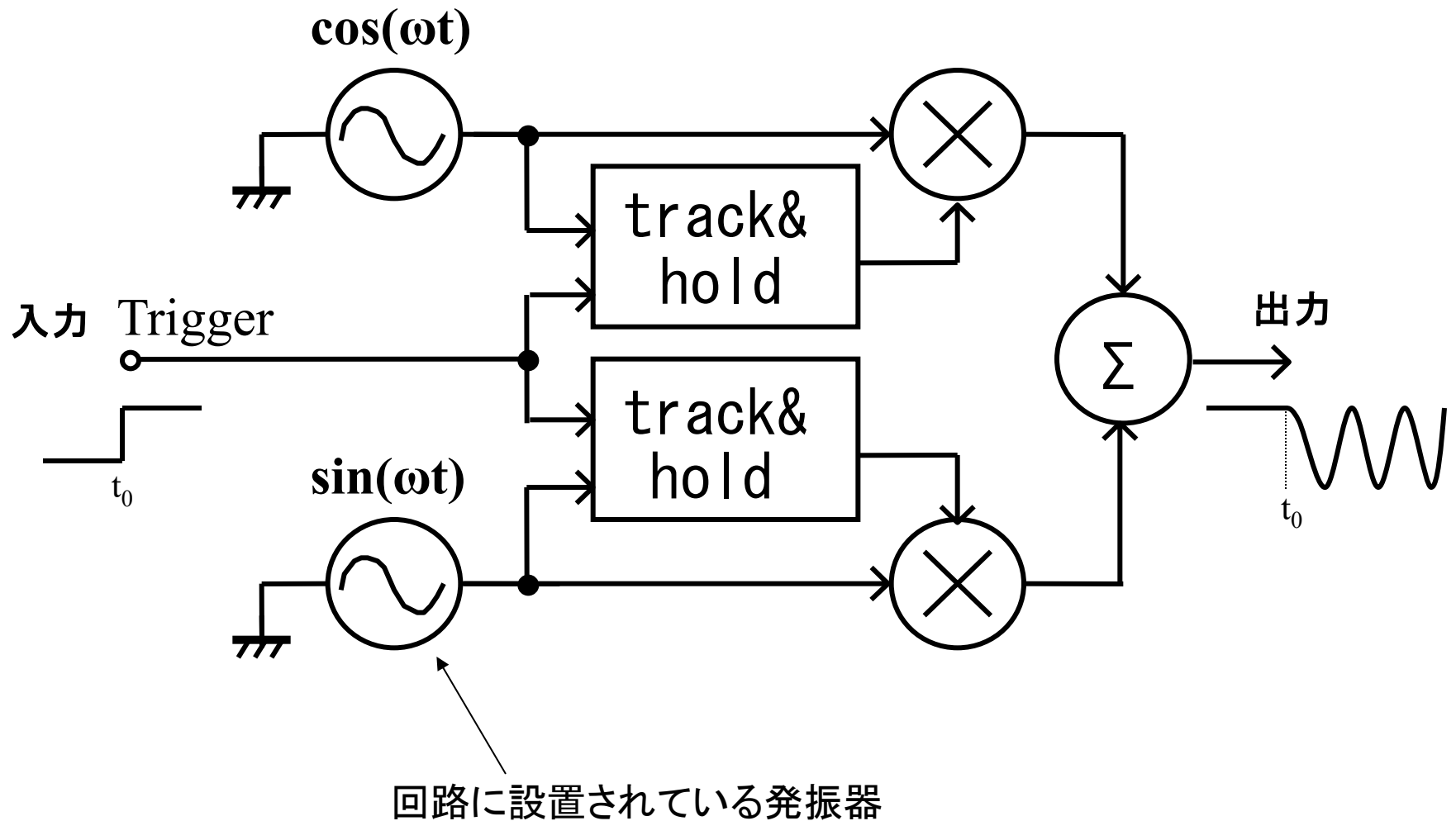
OFF

出力波形

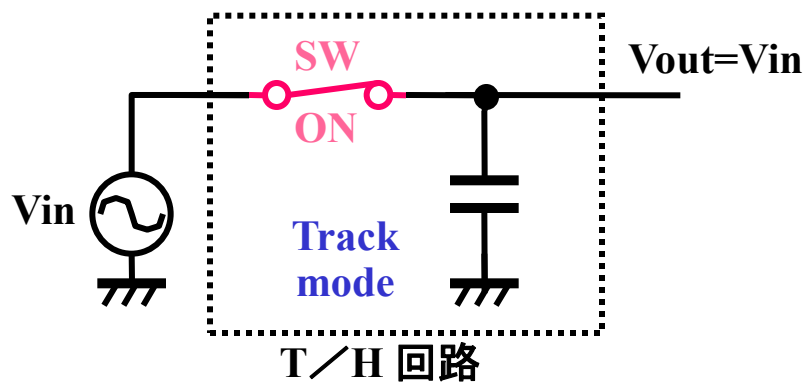
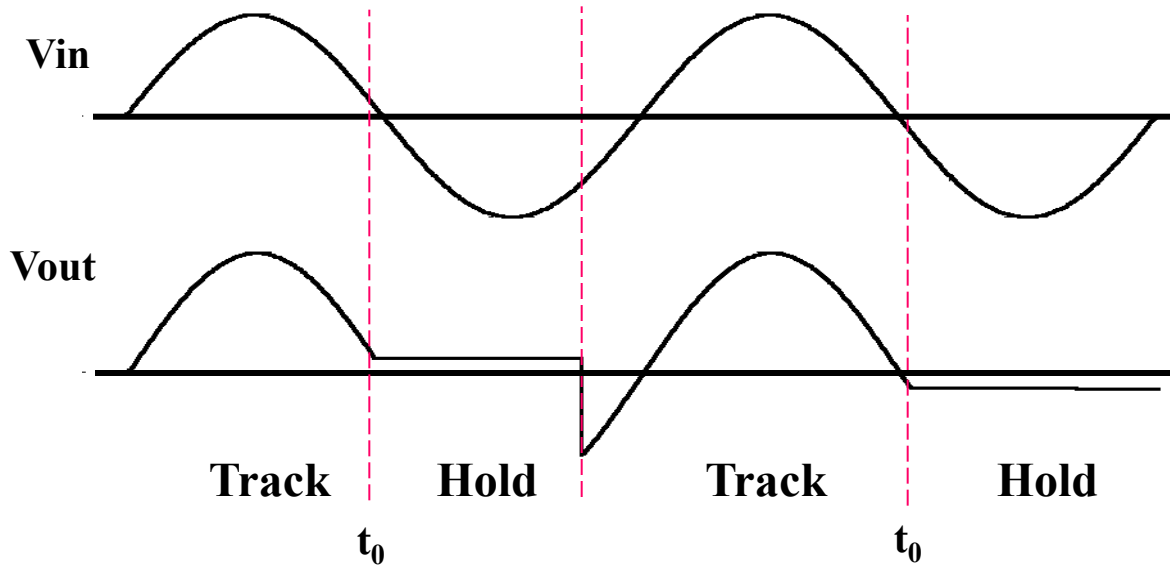


- 時間 $t_0$ を基準とした正弦波出力
- 過渡的变化の無い出力波形

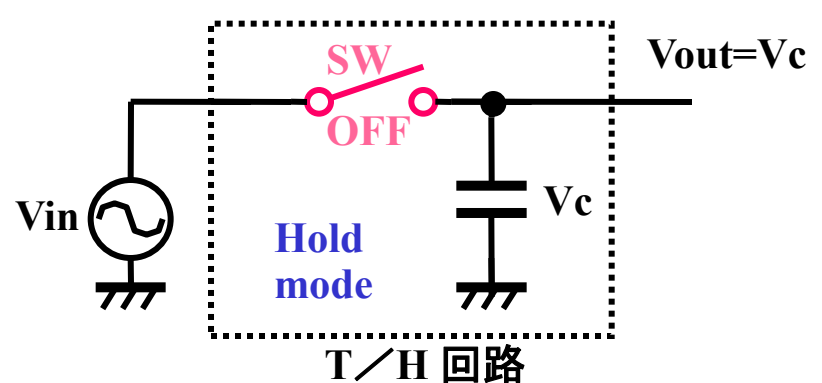
# 2段構成トリガ回路 (テクトロニクス社)



# Track & Hold回路の原理



入力をそのまま出力



Cが $V_{in}$ を保持し出力

# 2段構成トリガ回路の解析

track-and-hold回路が

## ▪ track mode

$$\begin{aligned} V_{\text{out}} &= \cos(\omega t) \cos(\omega t) + \cos(\omega t + \pi/2) \cos(\omega t + \pi/2) \\ &= \cos^2(\omega t) + \sin^2(\omega t) \\ &= \underline{\underline{1}} \quad (\text{一定の値}) \end{aligned}$$

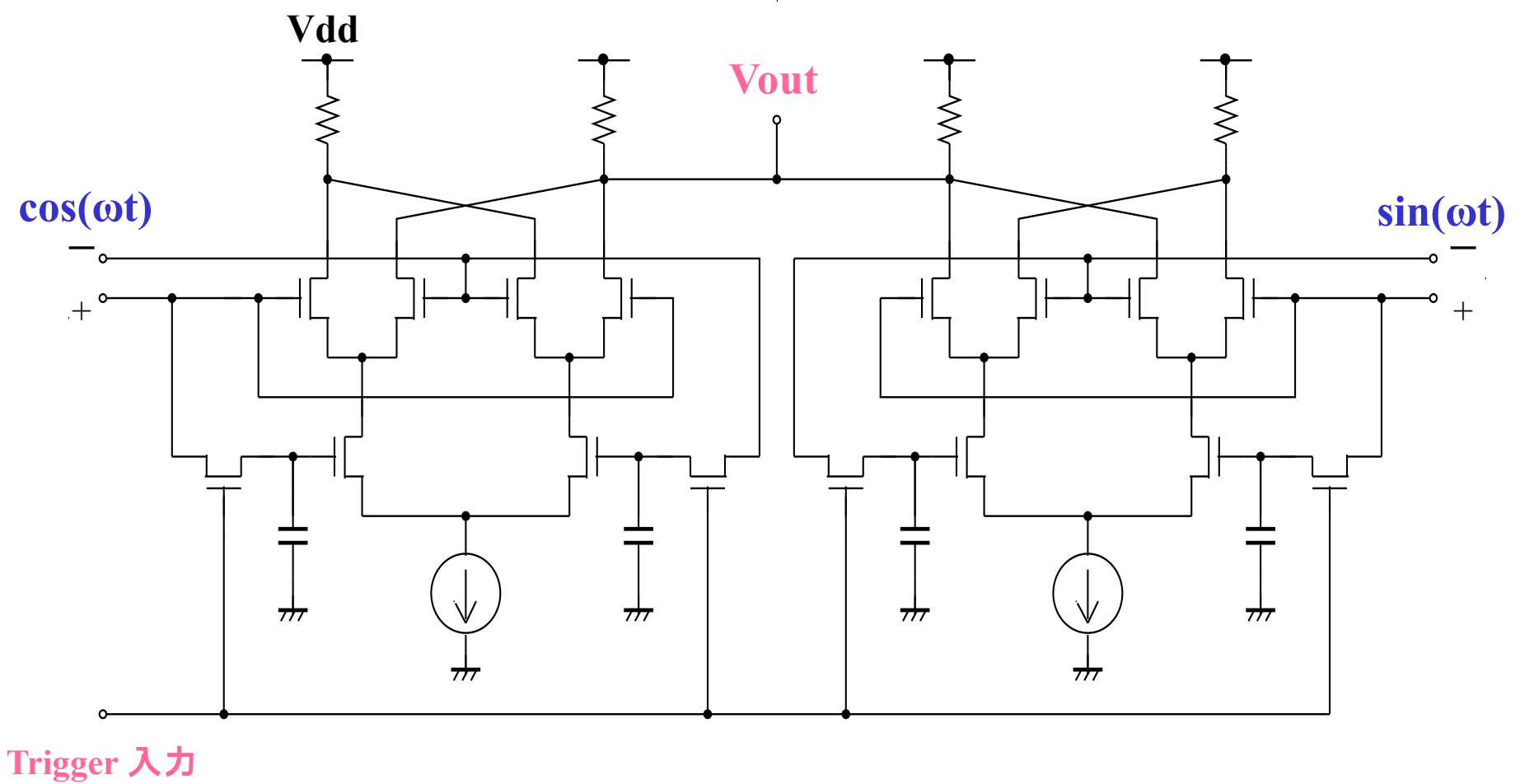
## ▪ hold mode

$$\begin{aligned} V_{\text{out}} &= \cos(\omega t) \cos(\omega t_0) + \sin(\omega t) \sin(\omega t_0) \\ &= \underline{\underline{\cos(\omega(t - t_0))}} \end{aligned}$$

※ **trigger time:  $t_0$**

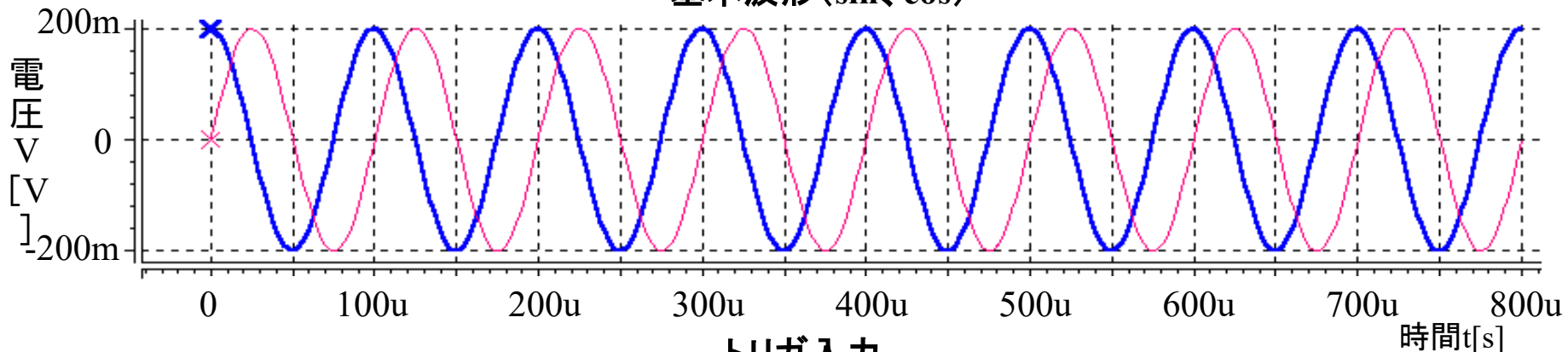


# 2段構成トリガ回路のCMOS回路の設計



# シミュレーション結果

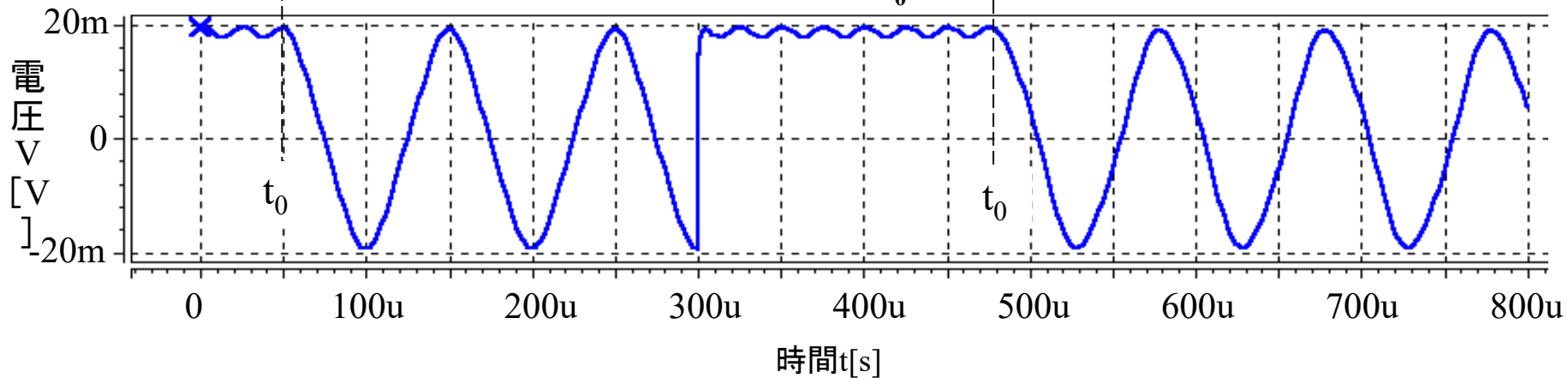
基本波形 (sin, cos)



トリガ入力

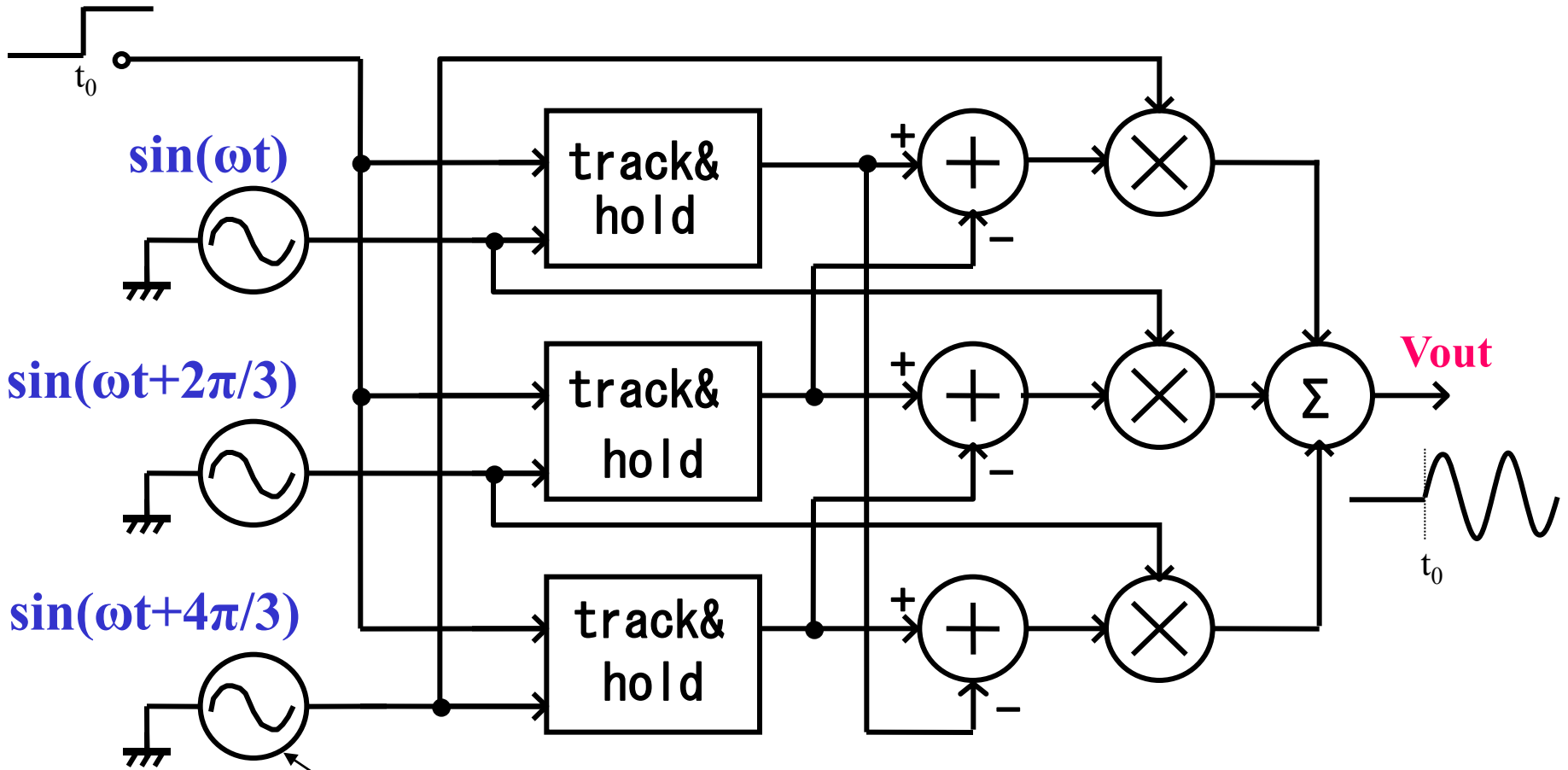


出力  $\cos(\omega(t-t_0))$



# 3段構成トリガ回路 (テクトロニクス社)

Trigger 入力



回路に内蔵されている三相発振器

# 3段構成トリガ回路の解析

track-and-hold回路が

## ▪ track mode

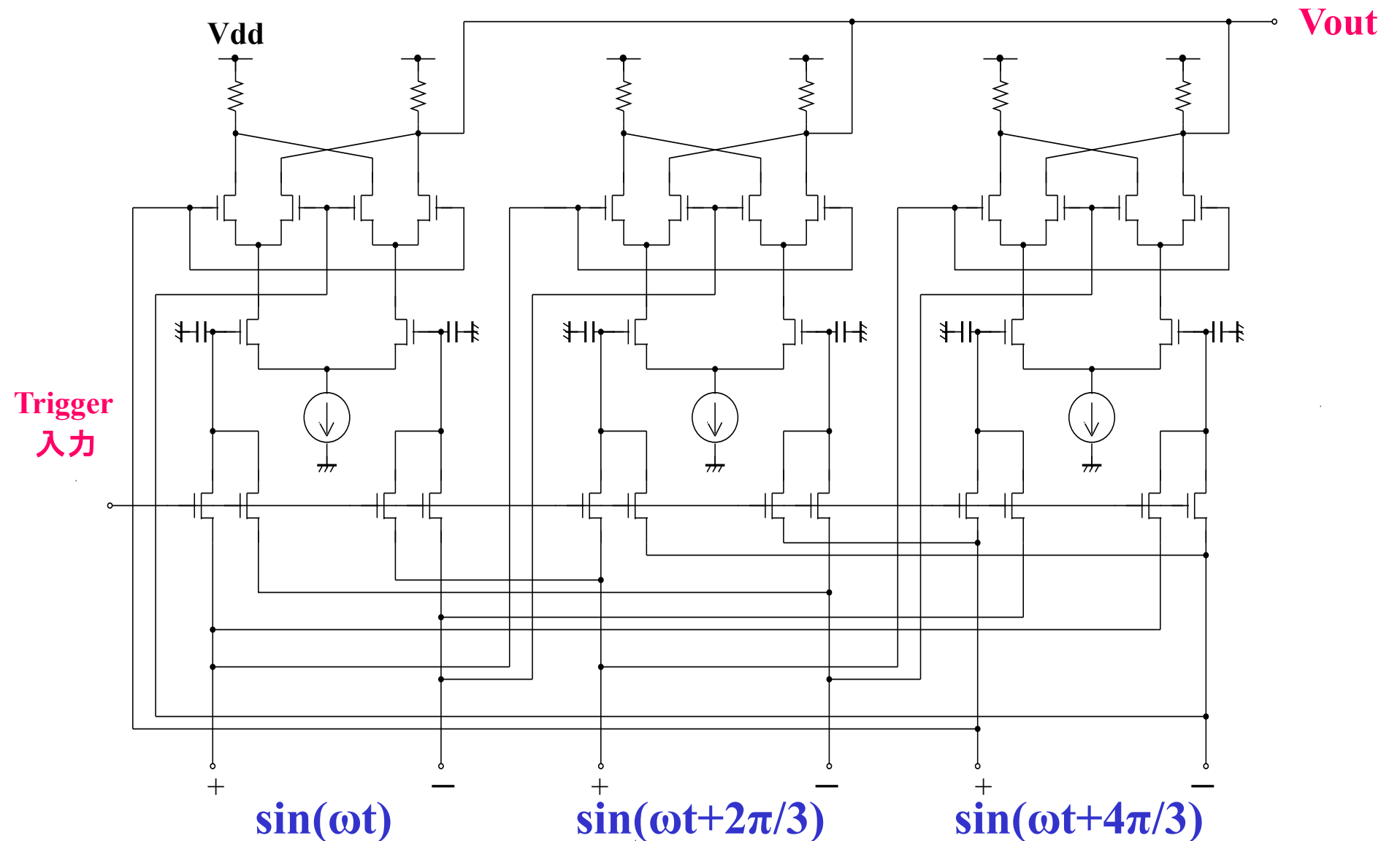
$$\begin{aligned} V_{out} &= \sin(\omega t + 4\pi/3) \{ \sin(\omega t) - \sin(\omega t + 2\pi/3) \} \\ &\quad + \sin(\omega t) \{ \sin(\omega t + 2\pi/3) - \sin(\omega t + 4\pi/3) \} \\ &\quad + \sin(\omega t + 2\pi/3) \{ \sin(\omega t + 4\pi/3) - \sin(\omega t) \} \\ &= \underline{\underline{0}} \quad (\text{一定の値}) \end{aligned}$$

## ▪ hold mode

$$\begin{aligned} V_{out} &= \sin(\omega t + 4\pi/3) \{ \sin(\omega t_0) - \sin(\omega t_0 + 2\pi/3) \} \\ &\quad + \sin(\omega t) \{ \sin(\omega t_0 + 2\pi/3) - \sin(\omega t_0 + 4\pi/3) \} \\ &\quad + \sin(\omega t + 2\pi/3) \{ \sin(\omega t_0 + 4\pi/3) - \sin(\omega t_0) \} \\ &= \underline{\underline{\frac{3\sqrt{3}}{2} \sin(\omega(t - t_0))}} \end{aligned}$$

※ trigger time:  $t_0$

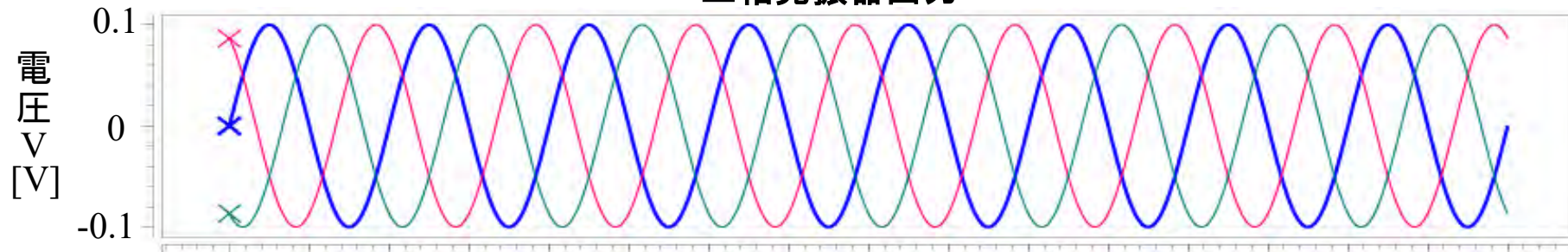
# 3段構成トリガ回路のCMOS回路の設計





# シミュレーション結果

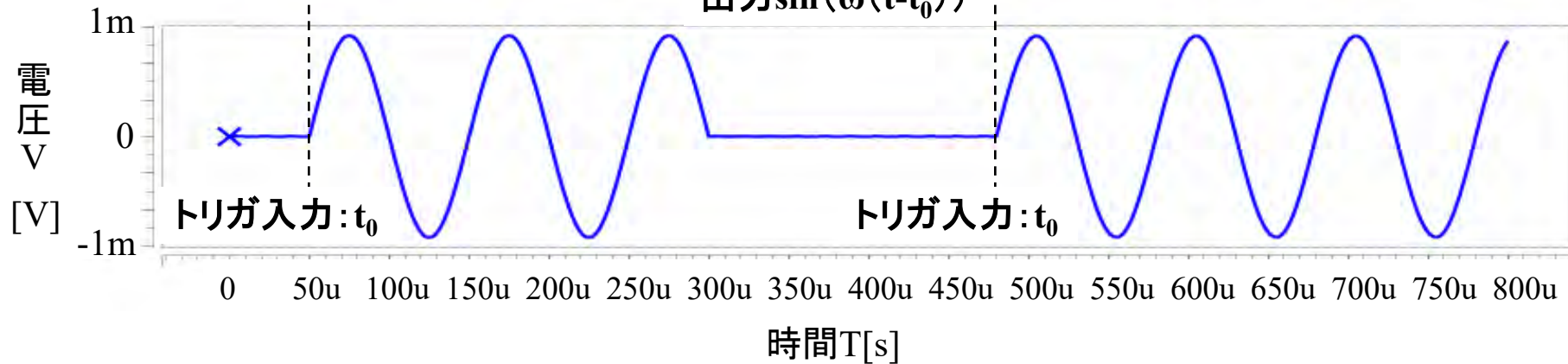
三相発振器出力



トリガ入力



出力  $\sin(\omega(t-t_0))$



# オシロスコープトリガ回路の特徴

- ・ タイミングエラーが無い

理由 トリガ・タイム $t_0$ で遅延無しに  
出力波形を得られるため

- ・ トランジスタのばらつきの影響が少ない

理由 3段構成回路では、  
ばらつきが平均化されるため

# 時間差は保持できる

2017/3/20

「トリガ回路を用いることで時間差は保持できる」

時間差を保持する、時間を止める

ボールが止まって見える

(プロ野球 打撃の神様 川上哲治氏)



## 2ステップ逐次比較時間デジタイザの 自己校正法とトリガ回路の検討

井田貴士、小澤祐喜、姜日晨、小林春夫 (群馬大)、塩田良治(socionext)

群馬大学 理工学部 電子情報理工学科

小林研究室 学部4年

井田貴士

t13304014@gunma-u.ac.jp

# OUTLINE

- 研究背景
- TDCとは
- SAR-ADCとSAR-TDC
- SAR-TDC
  - 残差時間の利用
  - 高時間分解能のサブTDC
- ステップ方式による高分解能化  
SAR+Vernier-Type TDC
- 校正アルゴリズム概要
- シミュレーションによる概要と検証
  - シミュレーション結果
  - 評価
- SARTDCの自己校正を行うための  
トリガ回路を用いた単発タイミング測定
- まとめ

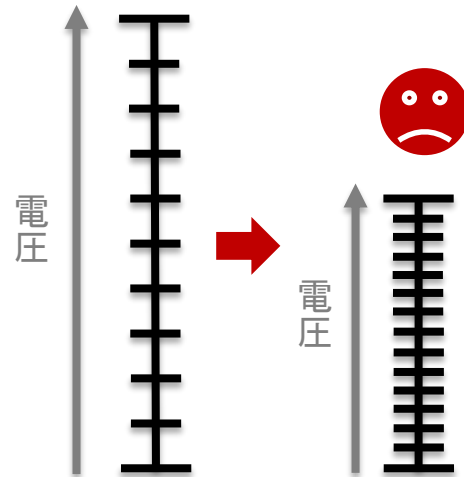


# OUTLINE

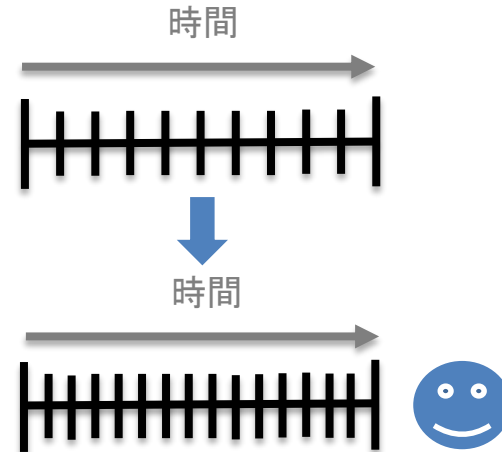
- 研究背景
- TDCとは
- SAR-ADCとSAR-TDC
- SAR-TDC
  - 残差時間の利用
  - 高時間分解能のサブTDC
- ステップ方式による高分解能化
  - SAR+Vernier-Type TDC
- 校正アルゴリズム概要
- シミュレーションによる概要と検証
  - シミュレーション結果
  - 評価
- SARTDCの自己校正を行うためのトリガ回路を用いた単発タイミング測定
- まとめ

# 研究背景

電圧分解能型



時間分解能型



時間ディジタル化回路  
(Time-to-Digital Converter : TDC)

CMOSプロセス技術の微細化

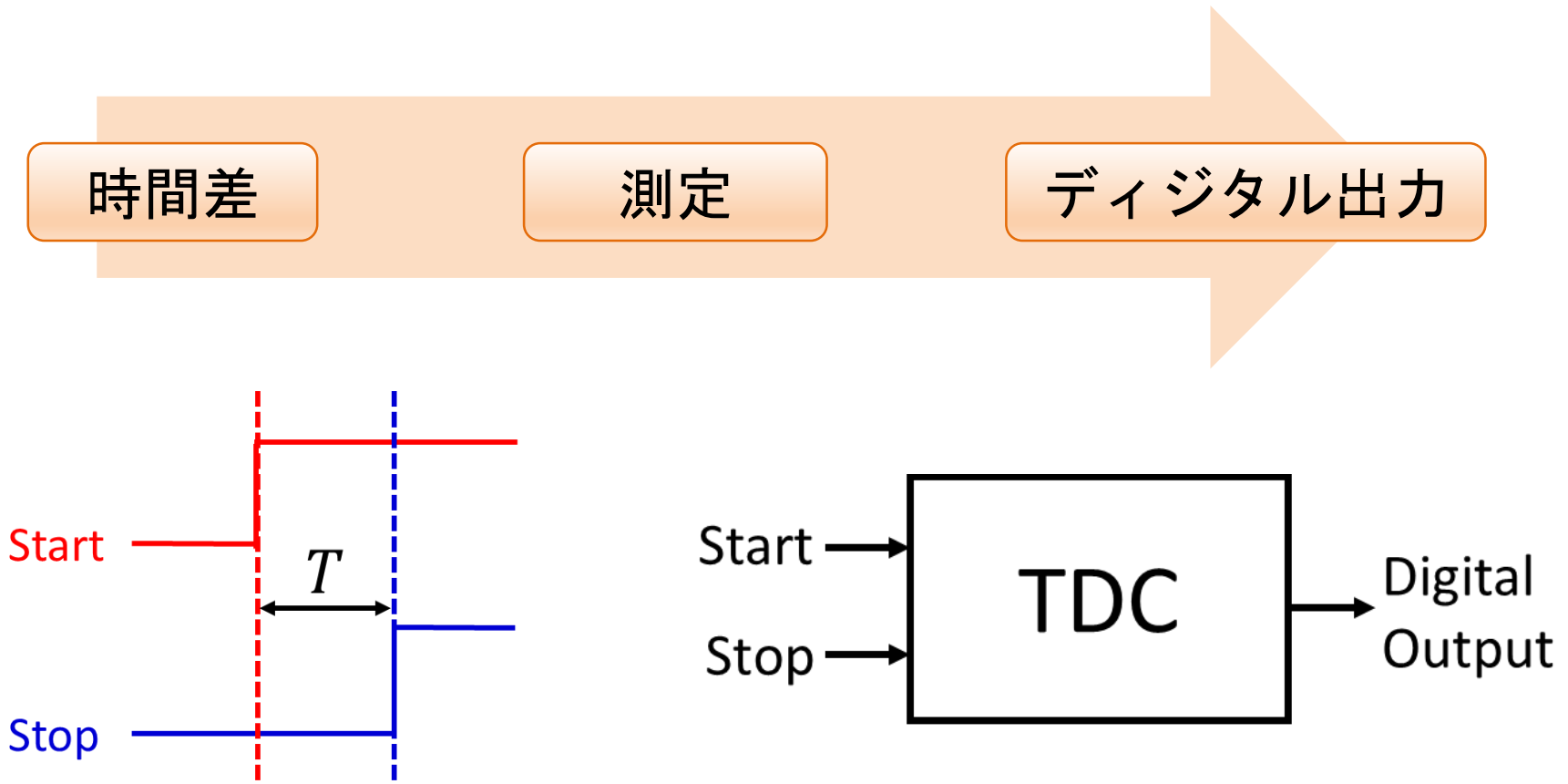
時間分解能が上がる



# OUTLINE

- 研究背景
- TDCとは
- SAR-ADCとSAR-TDC
- SAR-TDC
  - 残差時間の利用
  - 高時間分解能のサブTDC
- ステップ方式による高分解能化  
SAR+Vernier-Type TDC
- 校正アルゴリズム概要
- シミュレーションによる概要と検証
  - シミュレーション結果
  - 評価
- SARTDCの自己校正を行うための  
トリガ回路を用いた単発タイミング測定
- まとめ

# 時間デジタイザ回路の役割

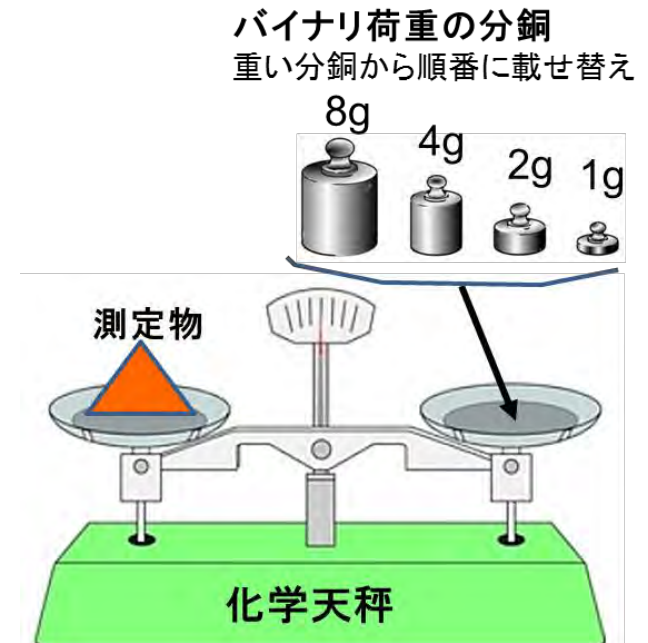
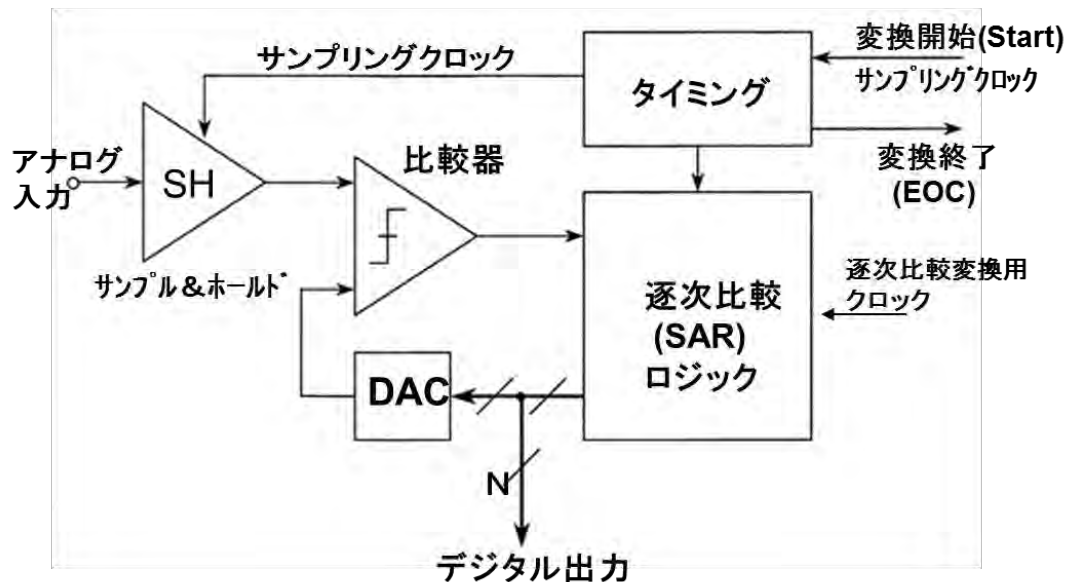
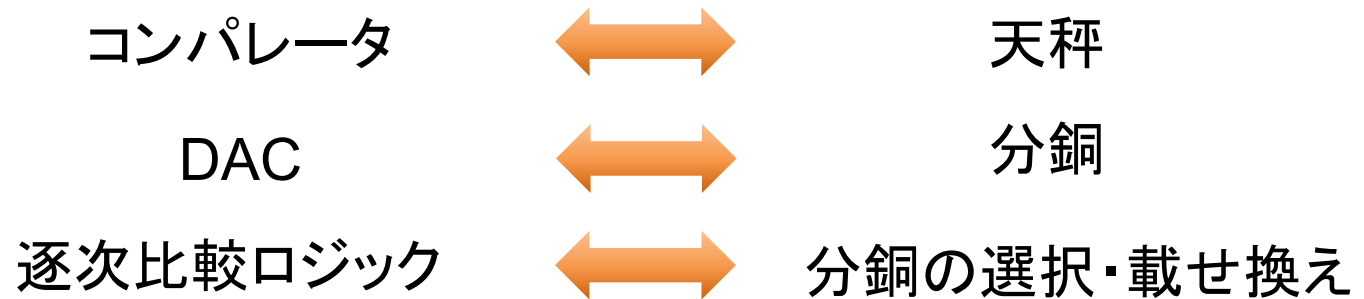


時間デジタイザ回路 (Time-to-Digital Converter、TDC) ;  
タイミング信号の時間差を測定しデジタル出力

# 逐次比較の原理

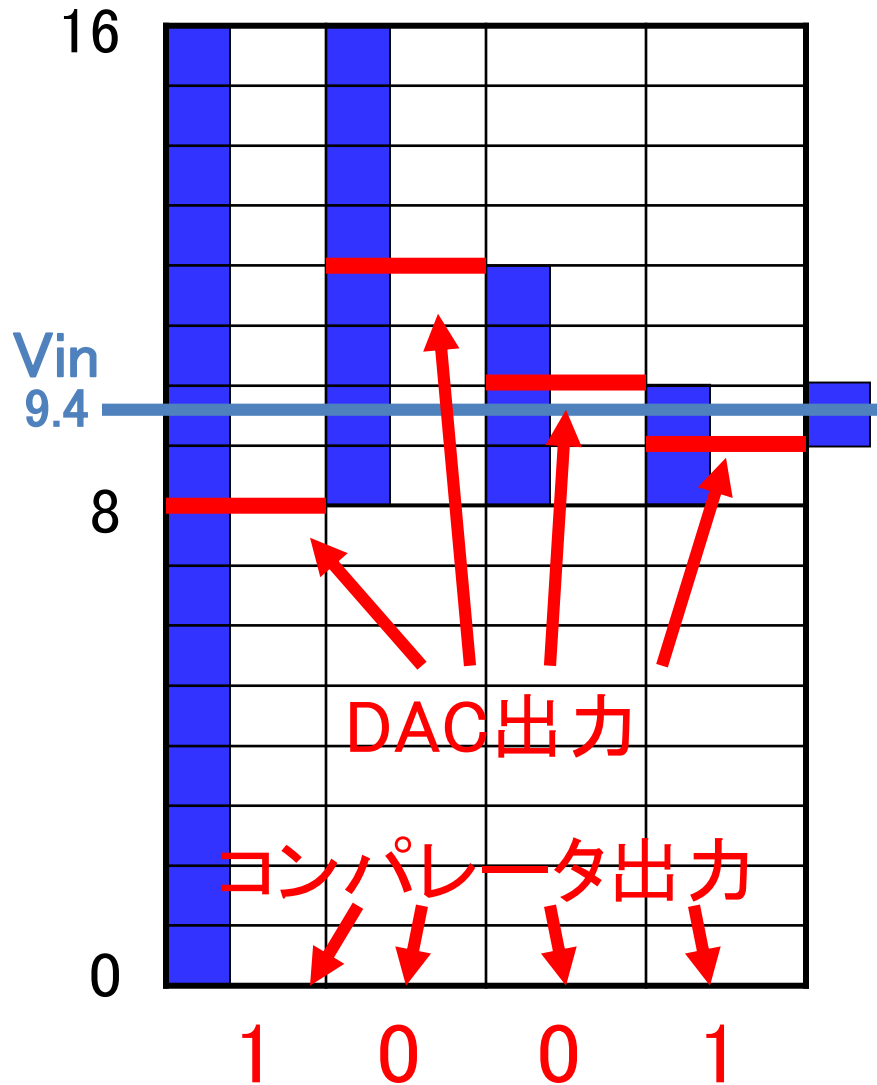
## 例 逐次比較型ADC

速度と精度のバランスが良く、チップ面積が小さく汎用ADCに最も多く使用される方式





# 逐次比較: 2進探索アルゴリズム

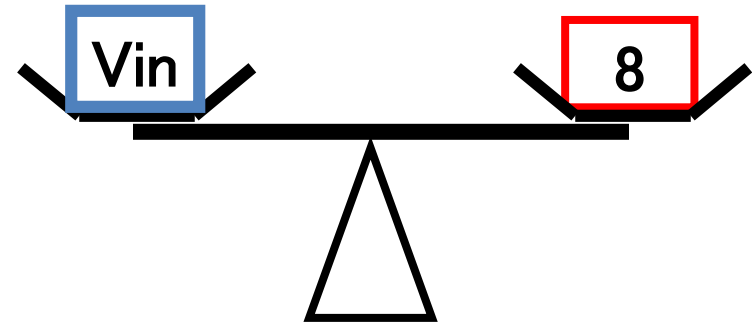


“天秤の原理”

4bit 4step

8 4 2 1 2進荷重

1  
2 4



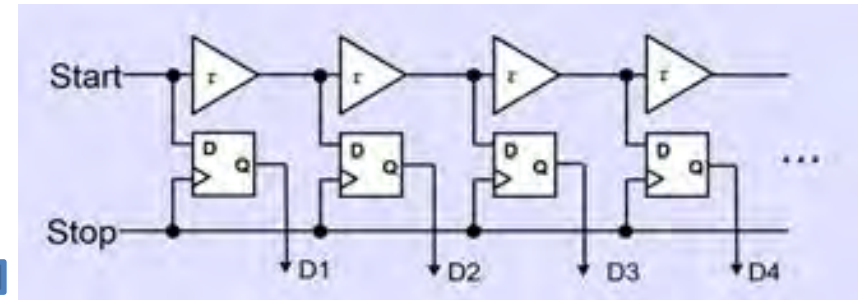
$$\boxed{\text{Vin}} = \begin{array}{c} 4 \\ \boxed{8} \end{array} - \begin{array}{c} 1 \\ \boxed{2} \end{array} = 9$$

# 逐次比較型TDCの構成

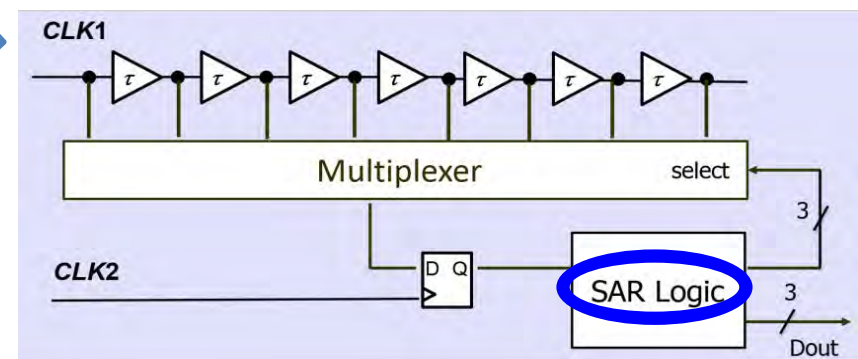
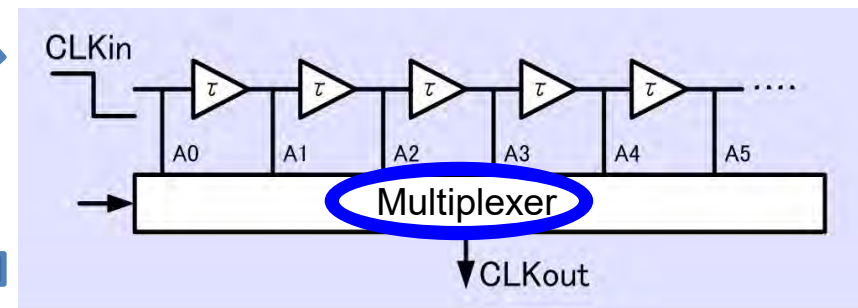
マルチプレクサを使用し  
Dフリップ-フロップ数を大幅削減

逐次比較近似の原理を利用し  
回路の動作ループを作る

逐次比較型  
SAR: Successive Approximation Register



基本フラッシュ型TDC

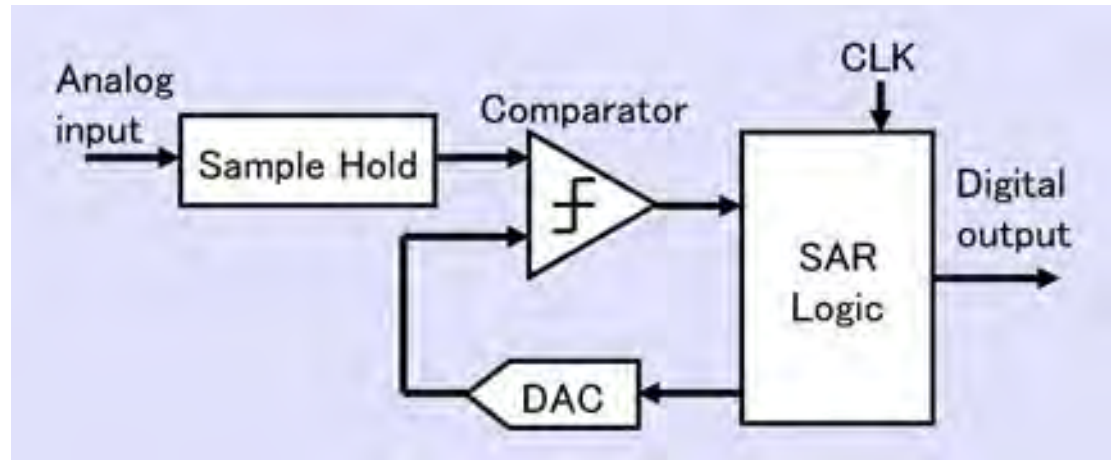


逐次比較型TDC

# SAR-ADCとSAR-TDCの比較

天秤の原理で動作:

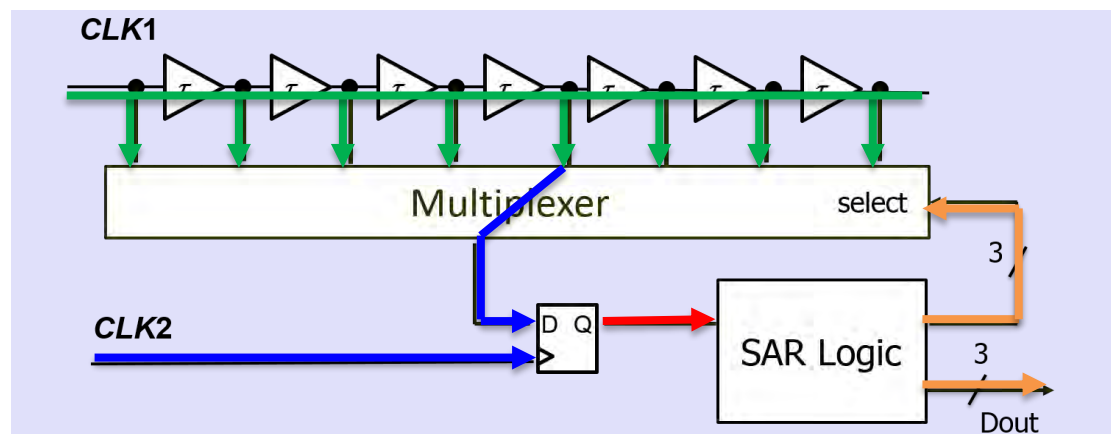
- 天秤がコンパレータ
- 分銅がDAC



SAR-ADC

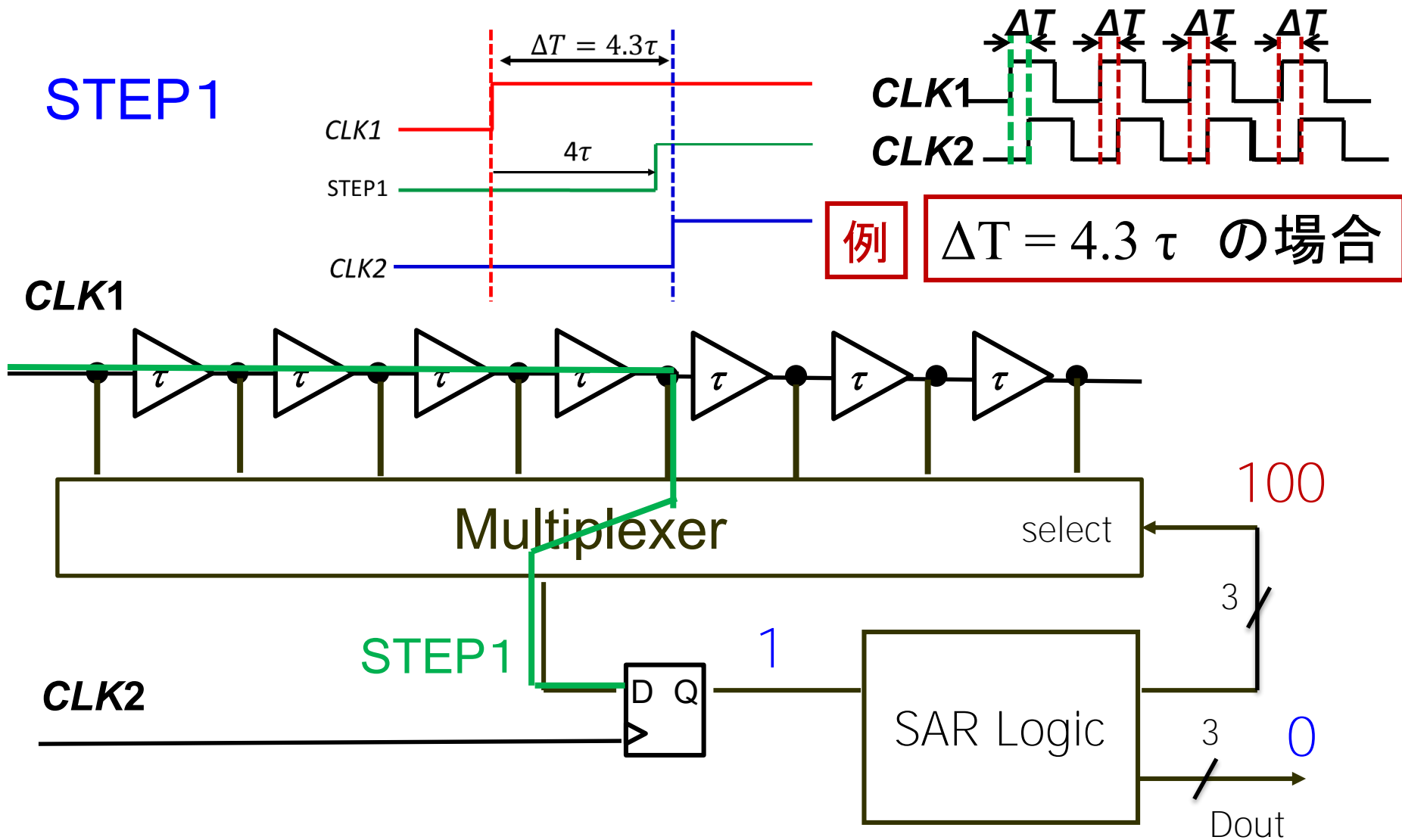
天秤の原理で動作:

- 天秤がD-FF
- 分銅が遅延素子



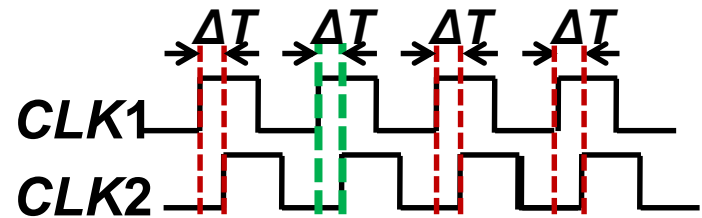
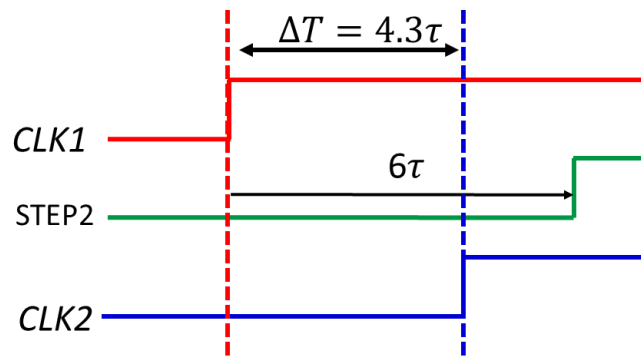
SAR-TDC

# 逐次比較型(SAR)TDCの構成と動作



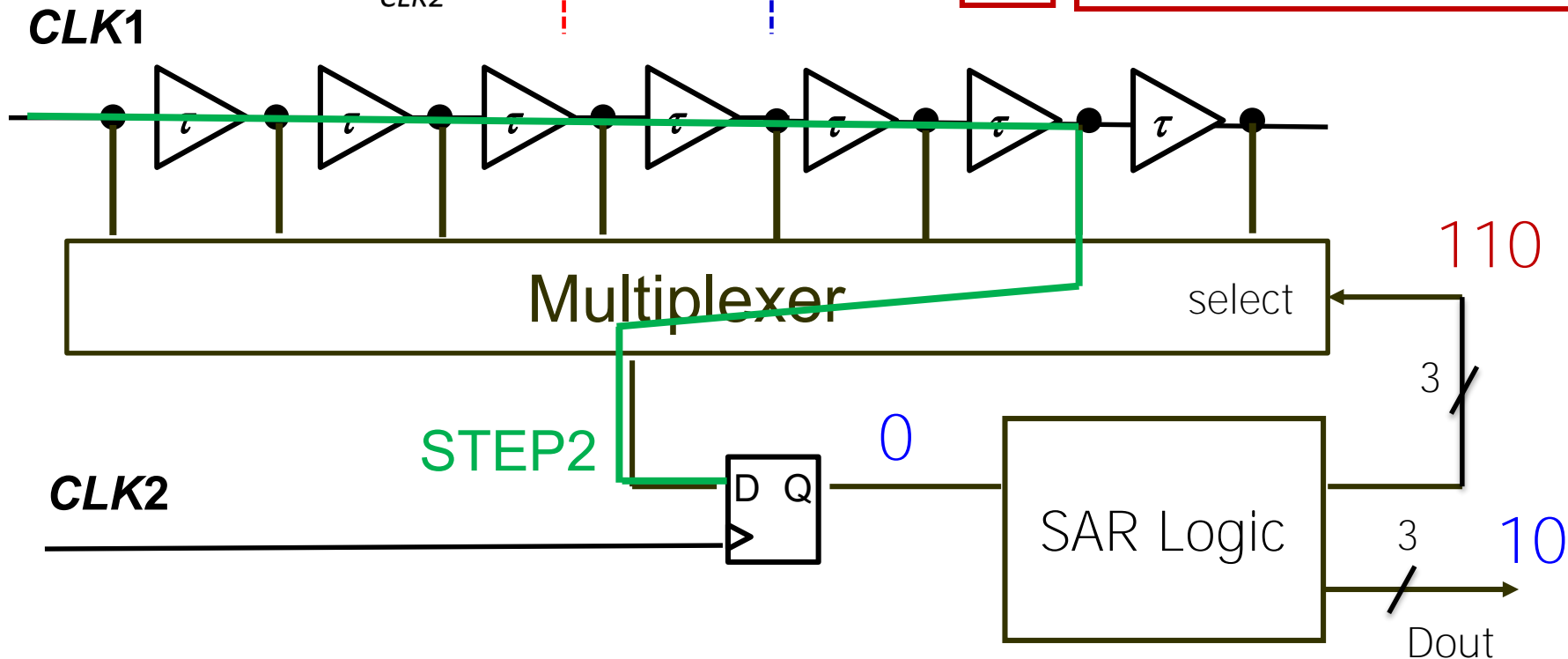
# 逐次比較型(SAR)TDCの構成と動作

STEP2



例

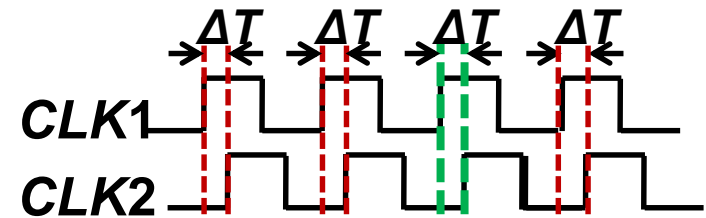
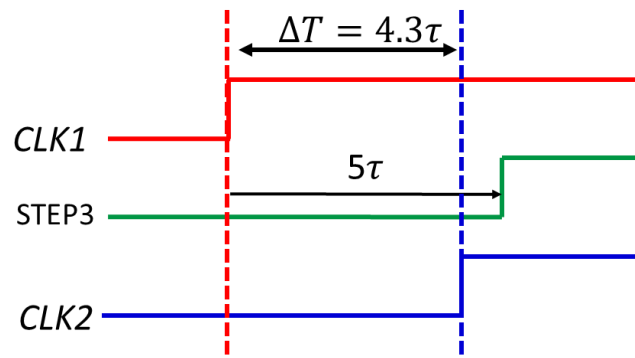
$\Delta T = 4.3\tau$  の場合





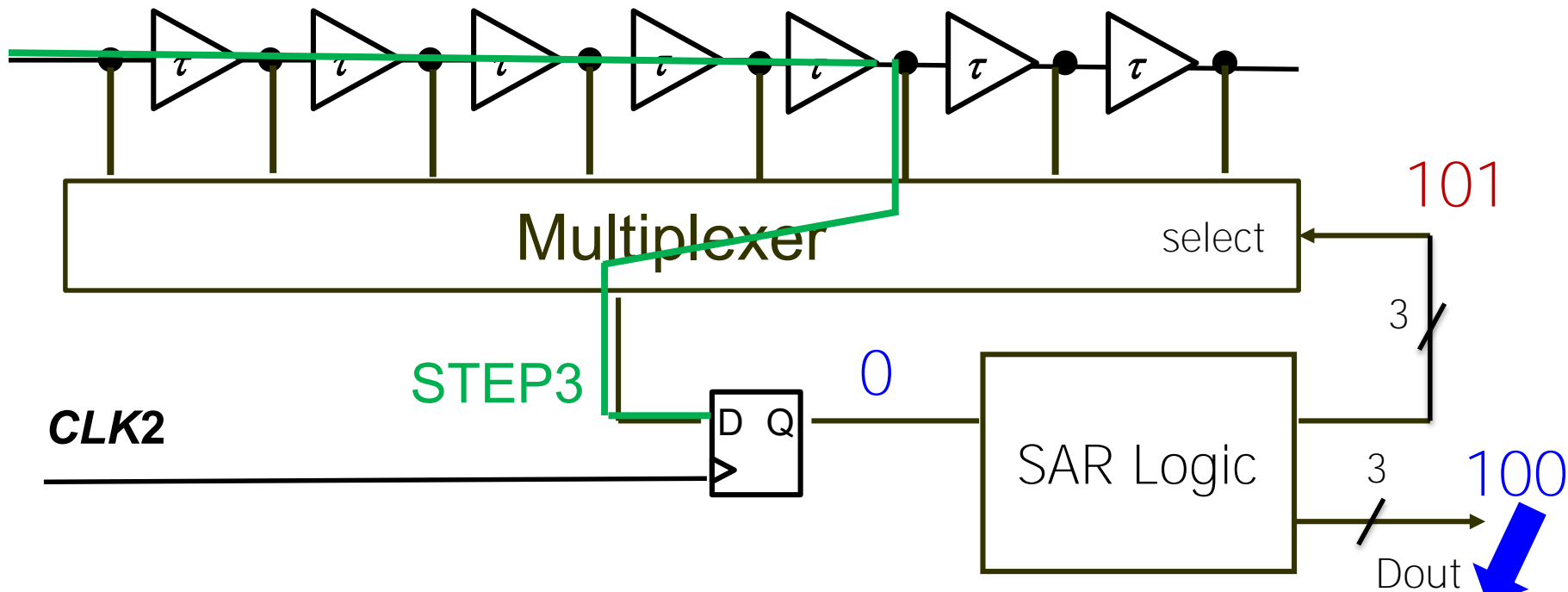
# 逐次比較型(SAR)TDCの構成と動作

STEP3



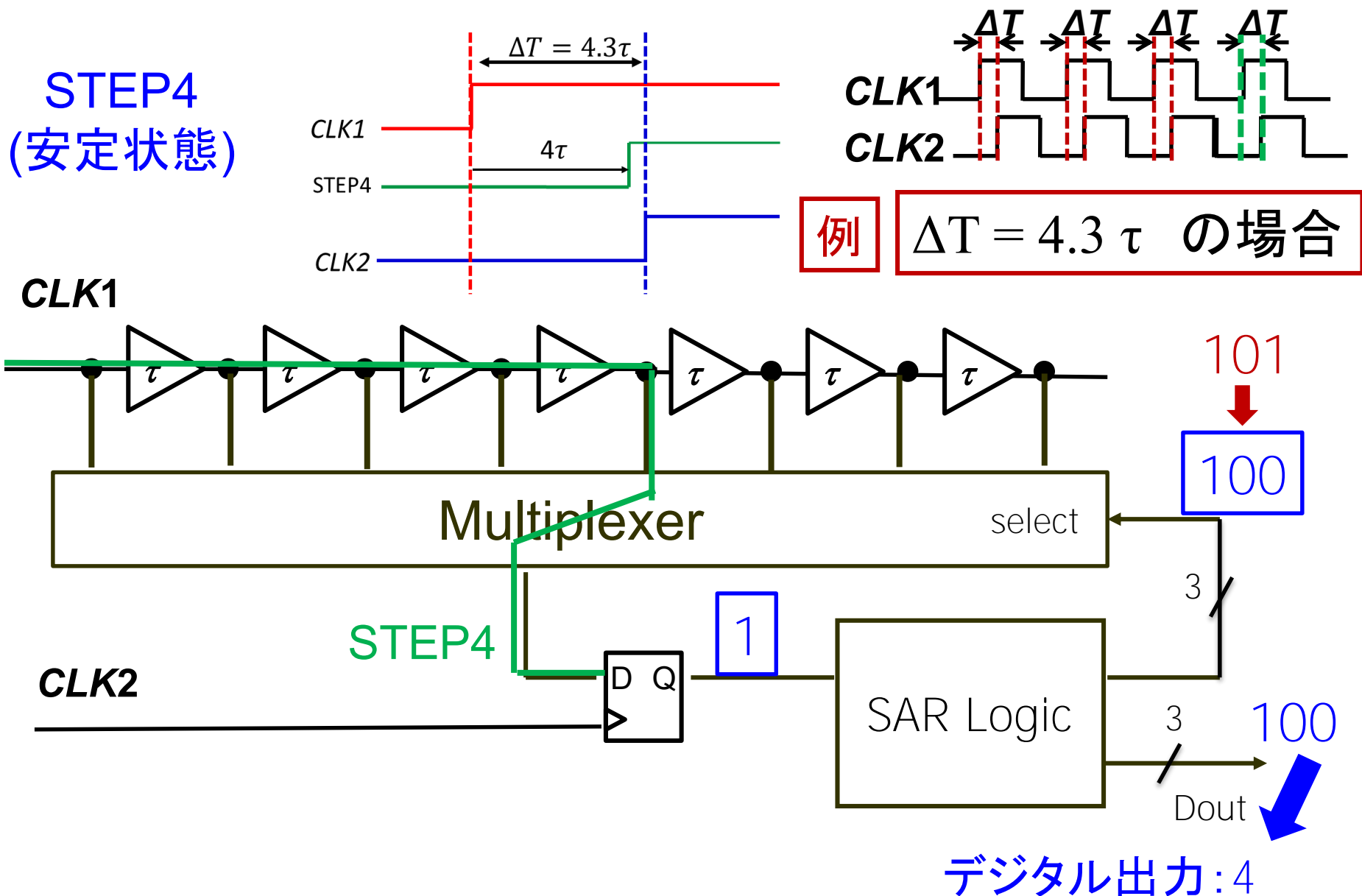
例

$\Delta T = 4.3\tau$  の場合

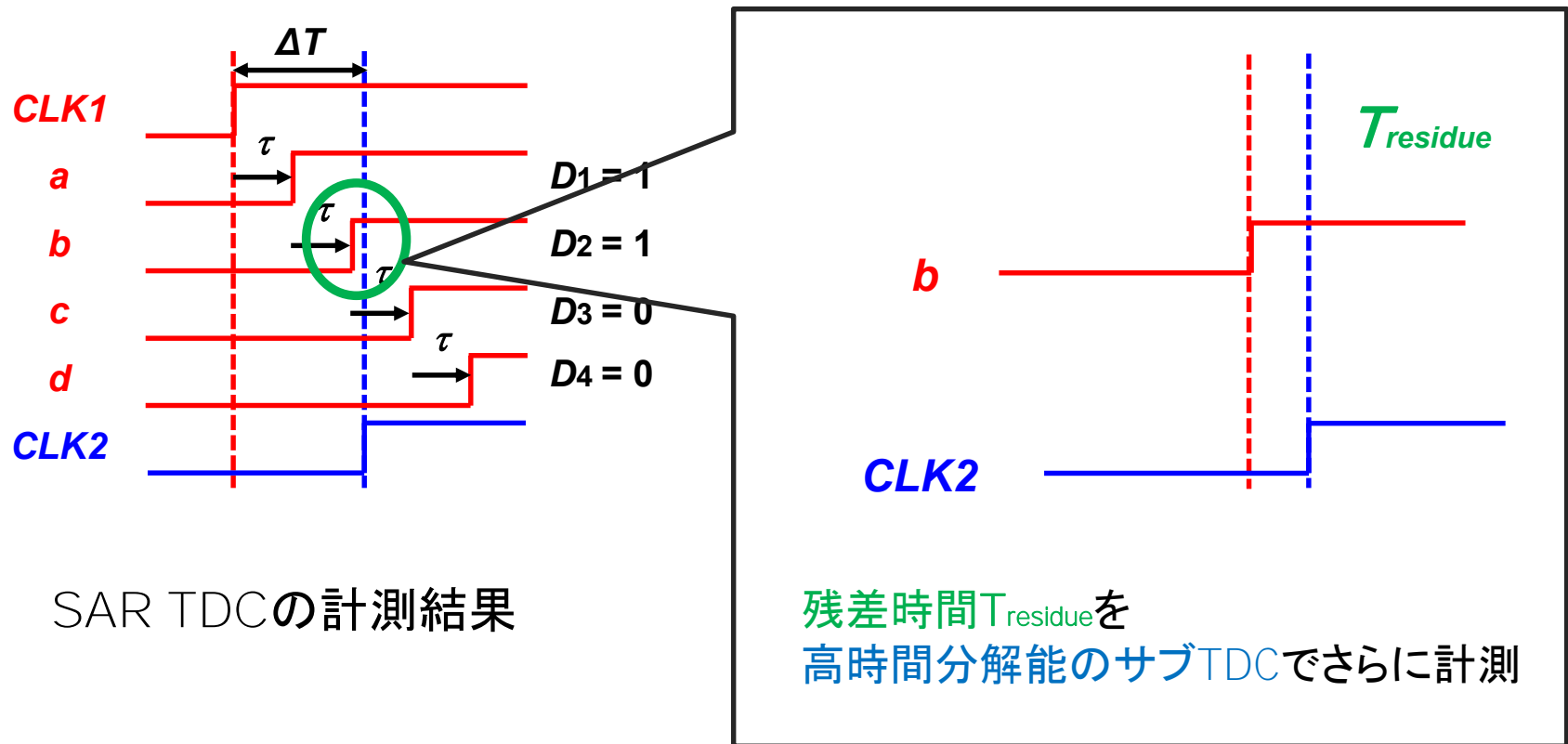


デジタル出力: 4

# 逐次比較型(SAR)TDCの構成と動作

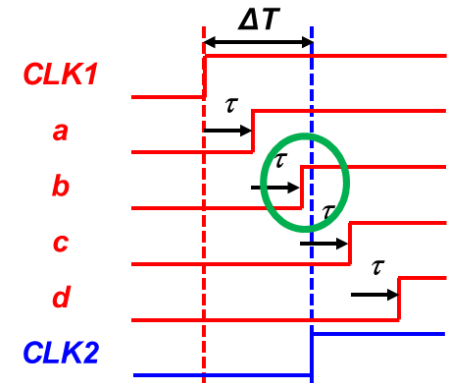


# 残差時間の利用



# ステップ方式による高分解能化

## ステップ方式による高分解能化 SAR + Vernier-Type TDC



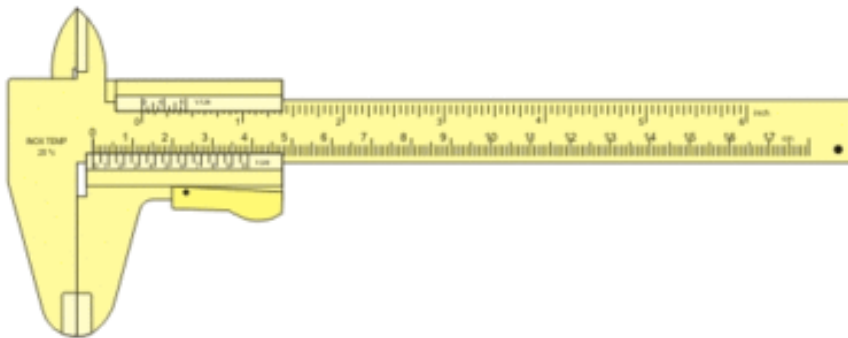
ステップ1: 逐次比較近似TDC →

時間差の  
整数部分 **残差時間**

ステップ2: 逐次比較近似+バーニア型TDC → **時間差の小数部分**

# Vernier

- ・ノギス等に付随し最小目盛以下の数値を読取る補助をするもの
- ・フランスの数学者  
ピエール・ヴェルニエによる発明

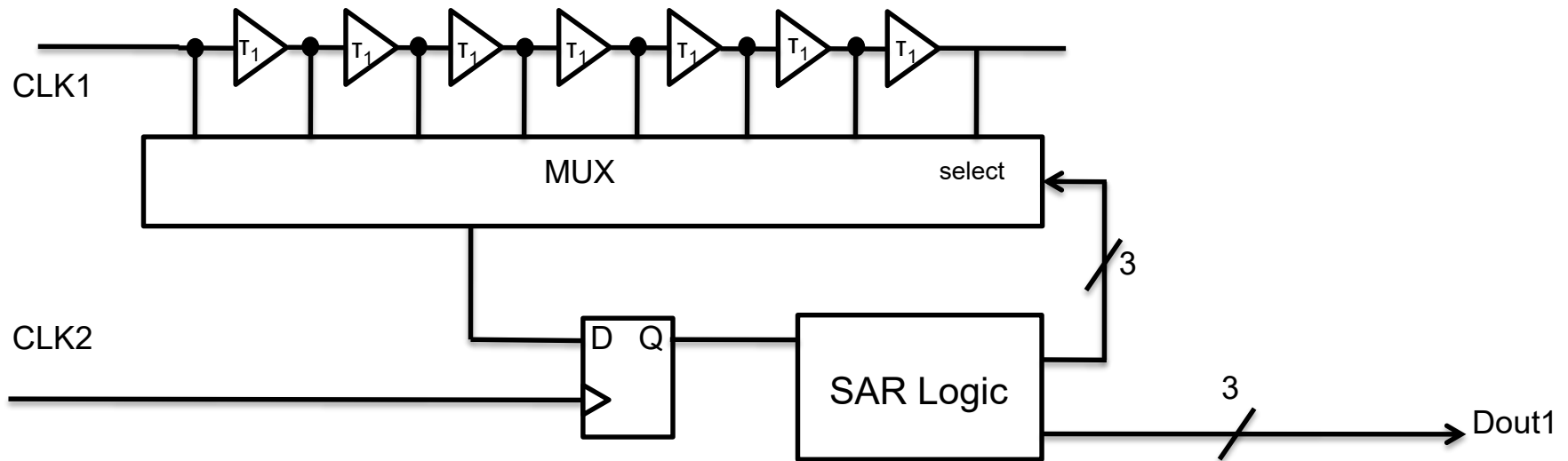


Pierre Vernier

1580/8/19 – 1637/9/14

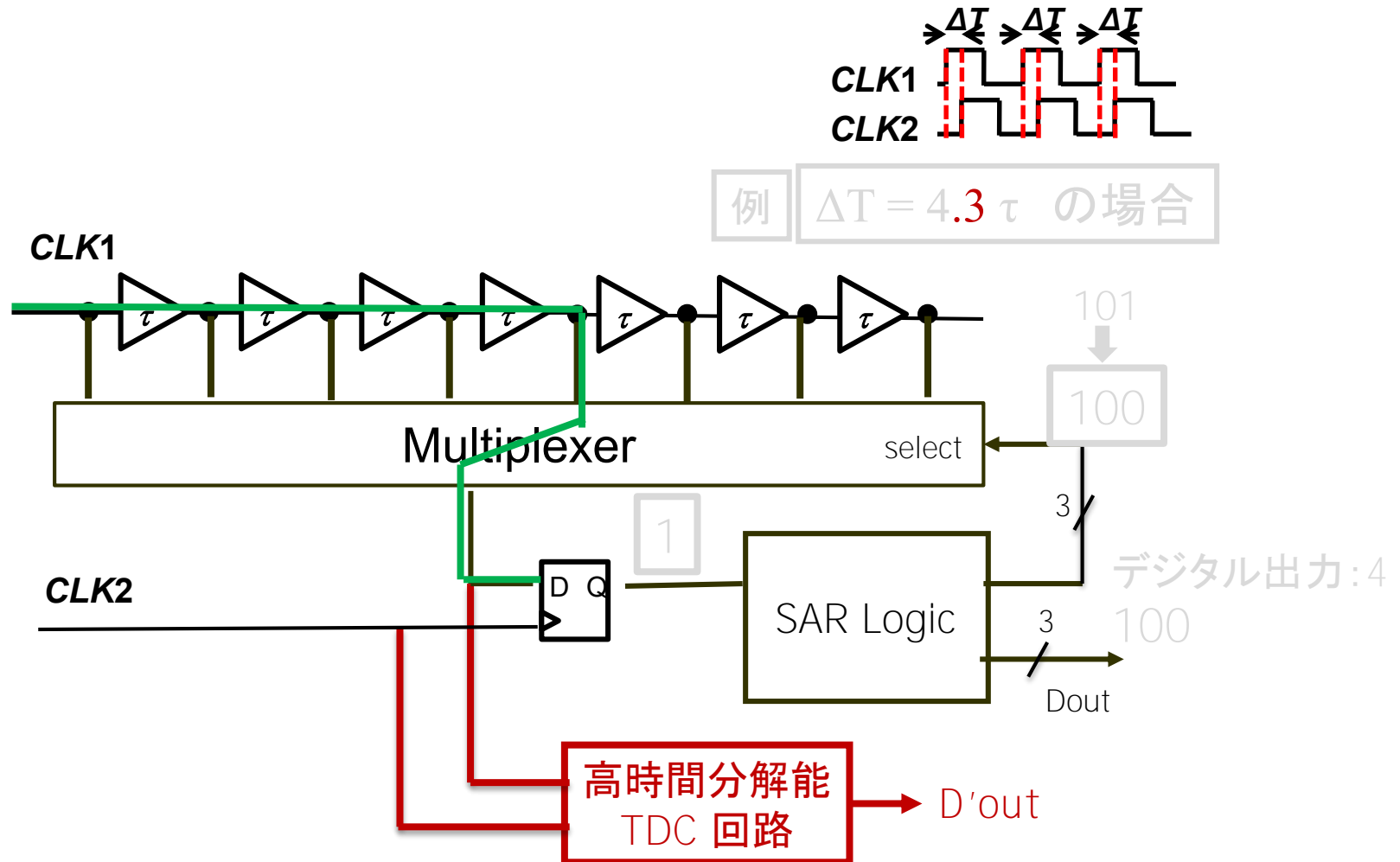


# 3bit SAR TDCの構成



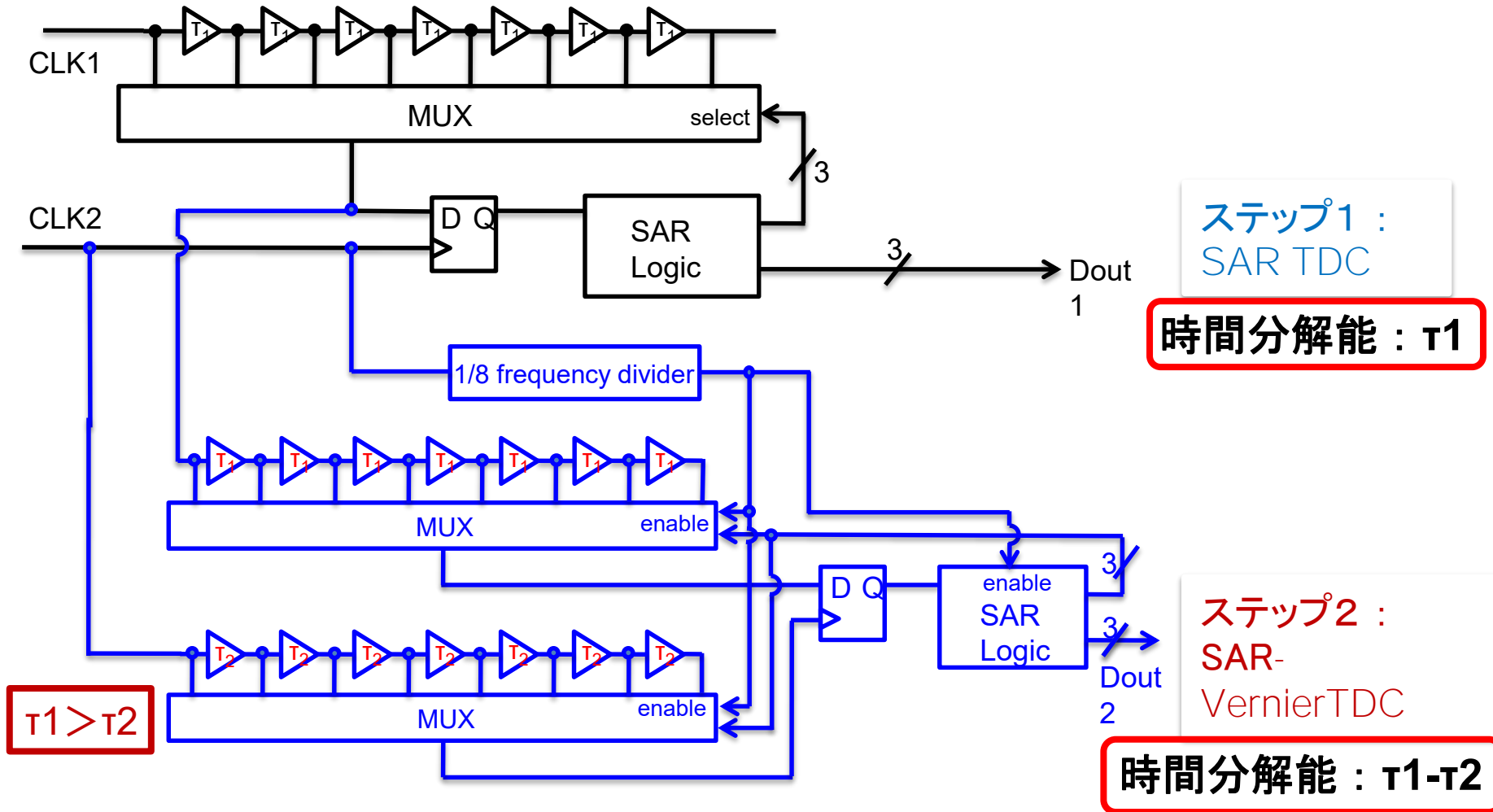
ステップ1 :  
SAR TDC  
時間分解能 :  $T_1$

# 高時間分解能のサブTDC



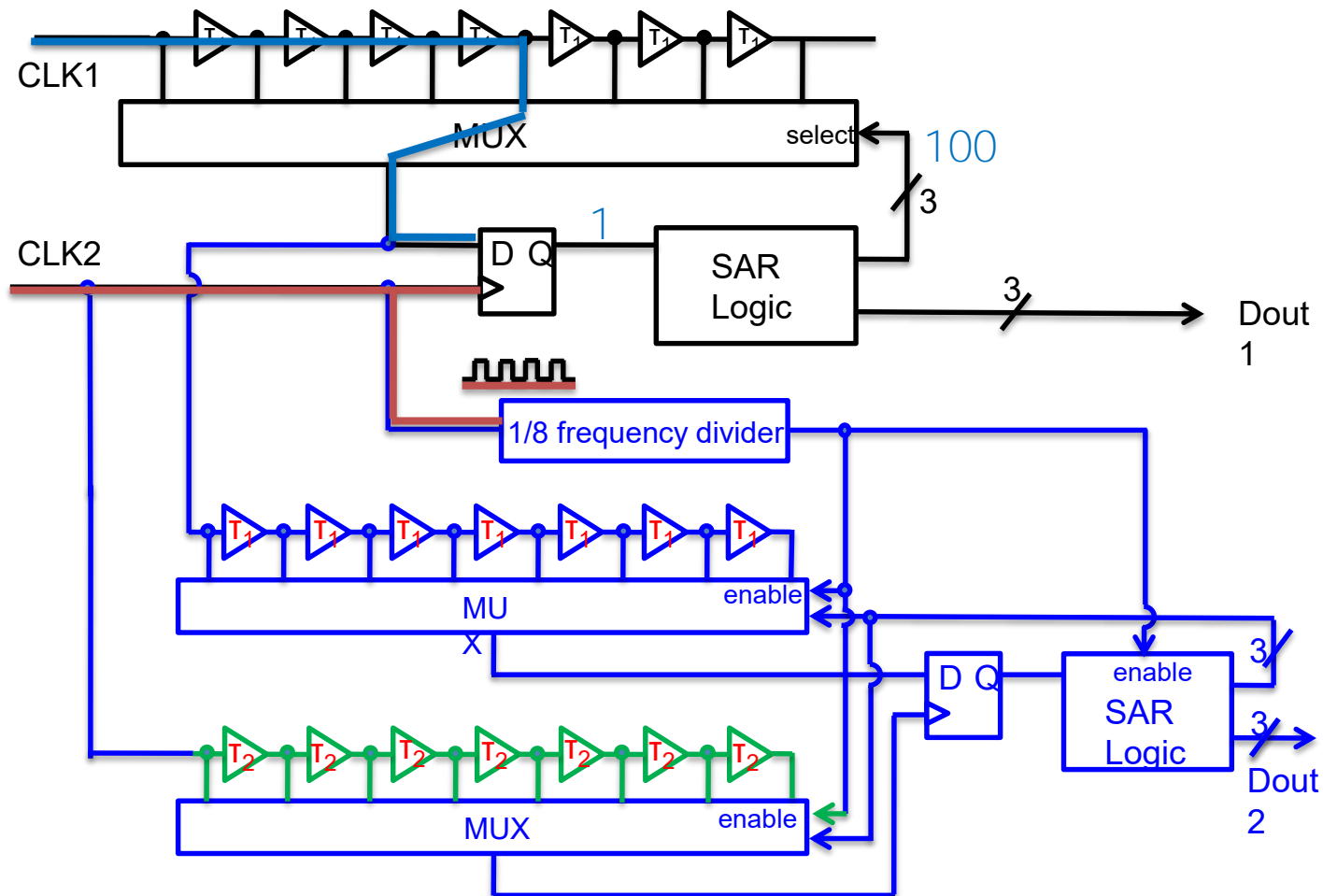
# SAR + Vernier-Type TDC

## 3bit SAR + 3bit SAR-Vernier TDCの構成



# SAR + Vernier-Type TDC

## 3bit SAR + 3bit SAR-Vernier TDCの動作①



例:  $\Delta T = 4.3 T_1$  の場合

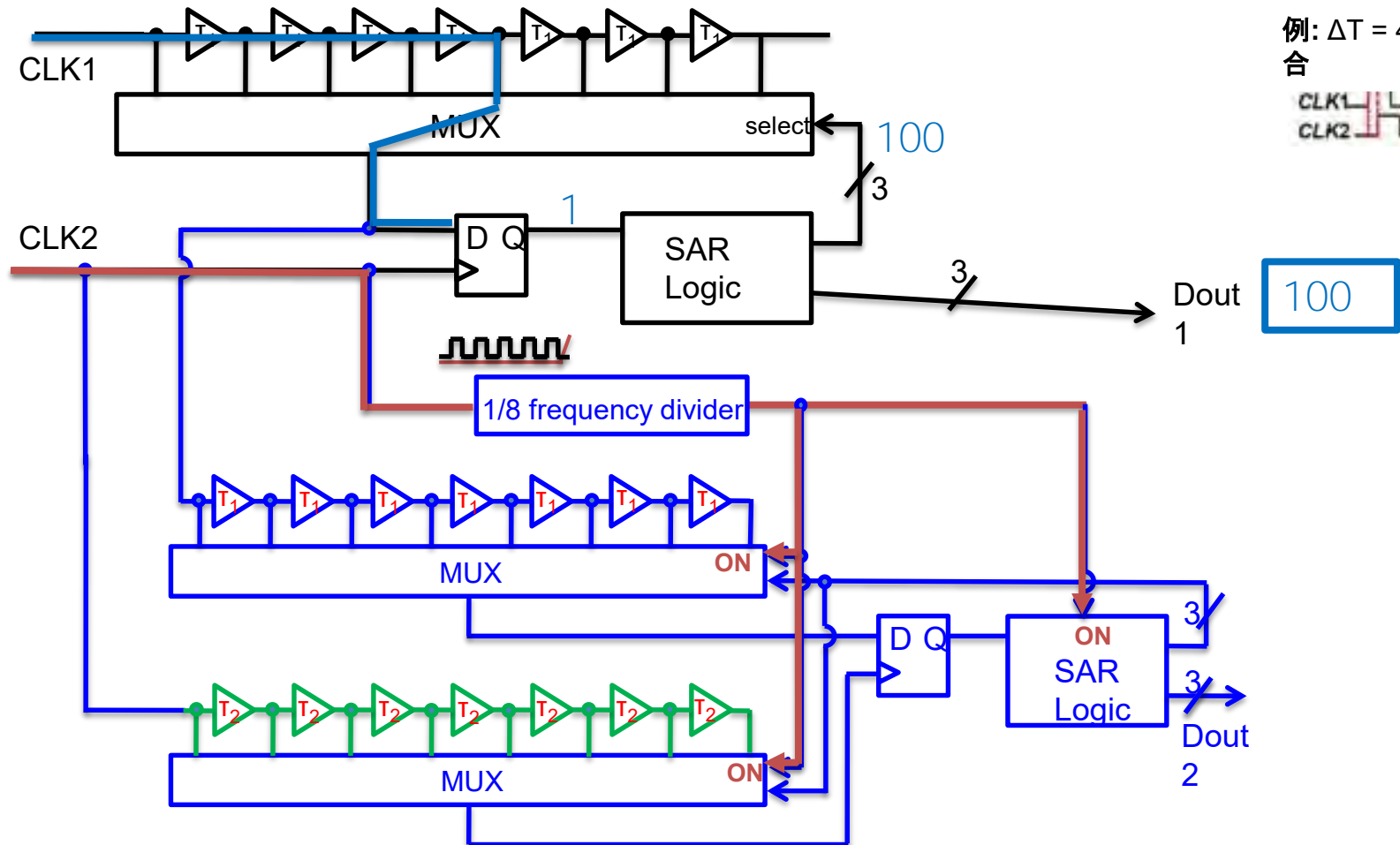


Dout1を得る

100

# SAR + Vernier-Type TDC

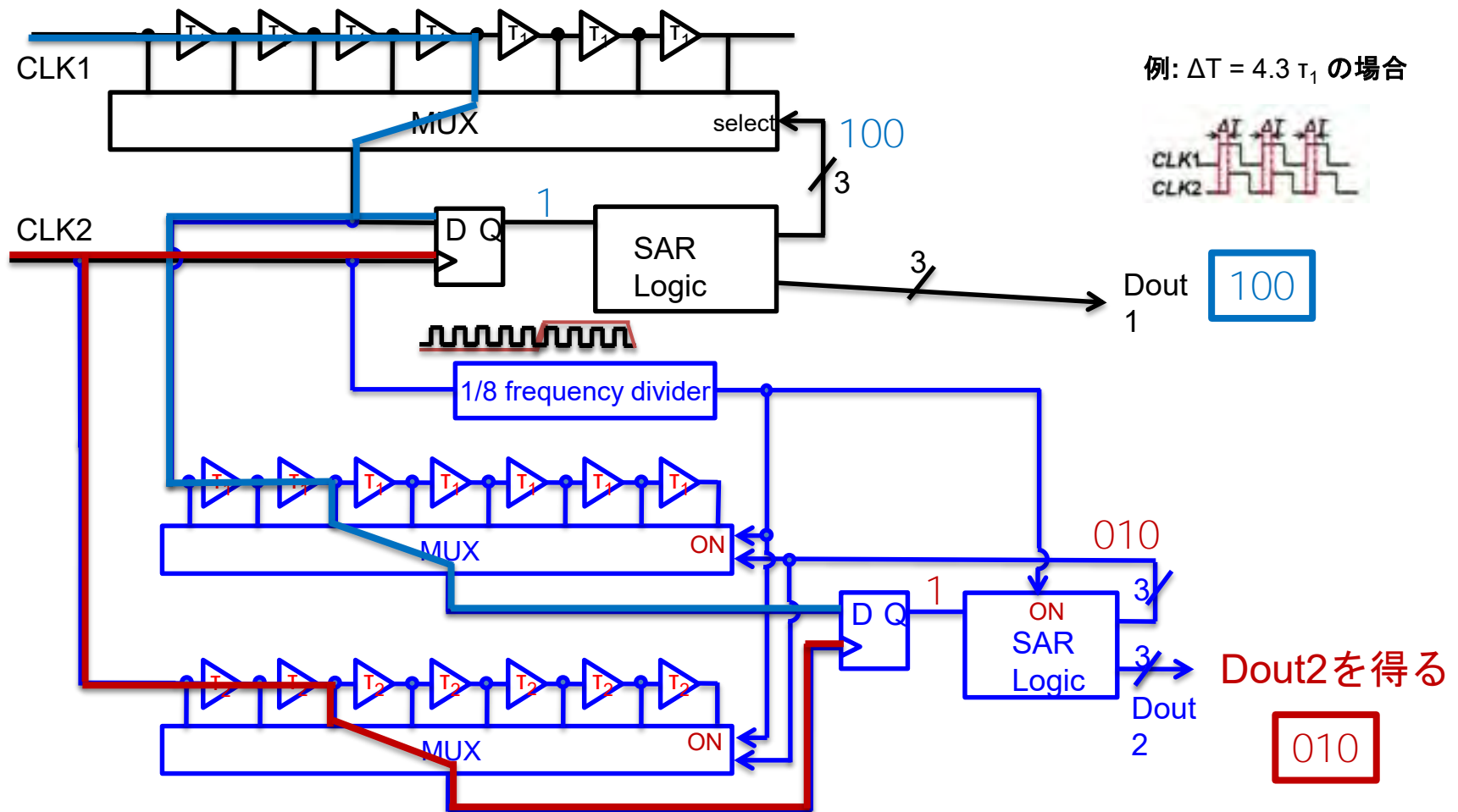
## 3bit SAR + 3bit SAR-Vernier TDCの動作②





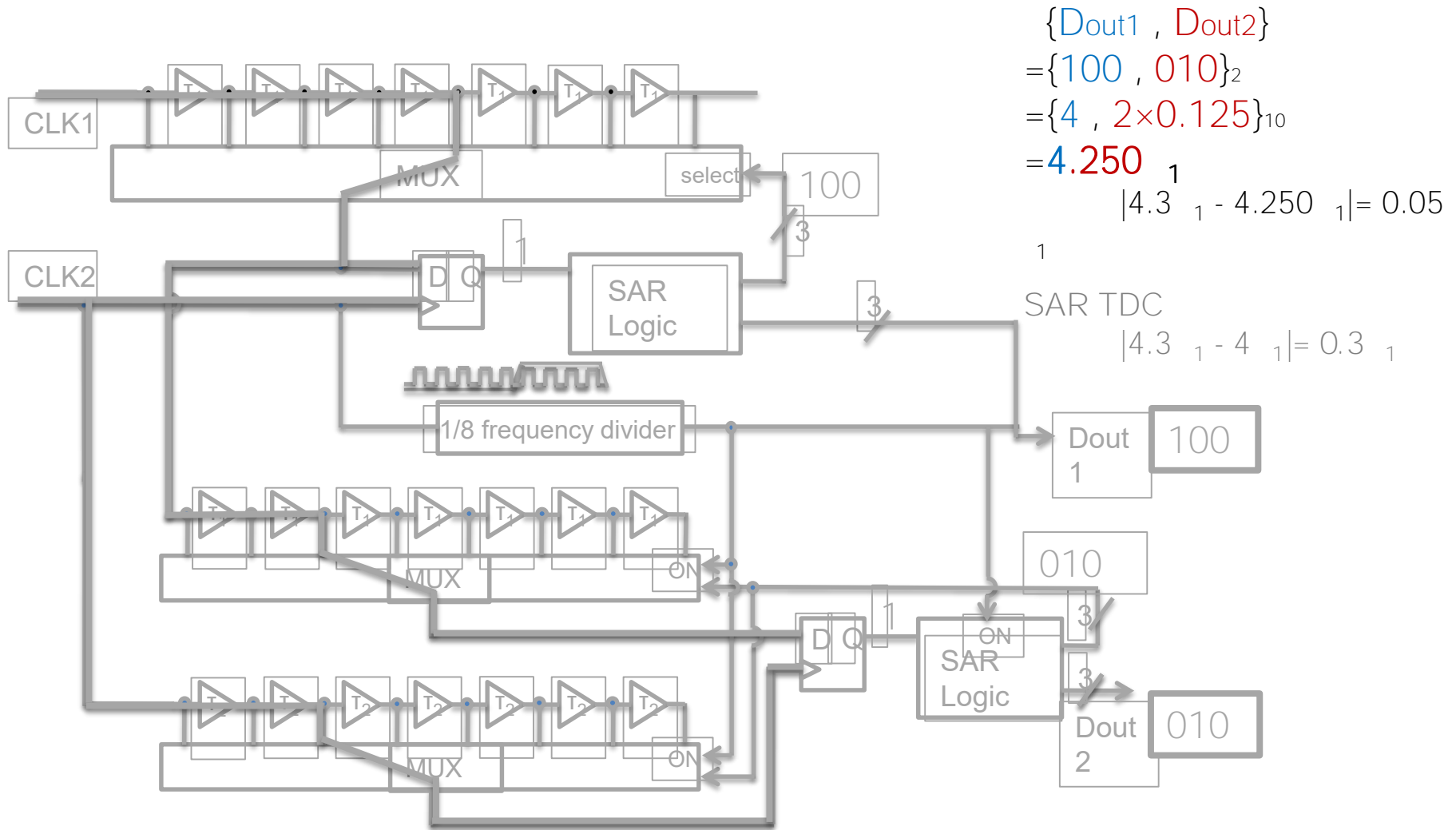
# SAR + Vernier-Type TDC

## 3bit SAR + 3bit SAR-Vernier TDCの動作③



# SAR + Vernier-Type TDC

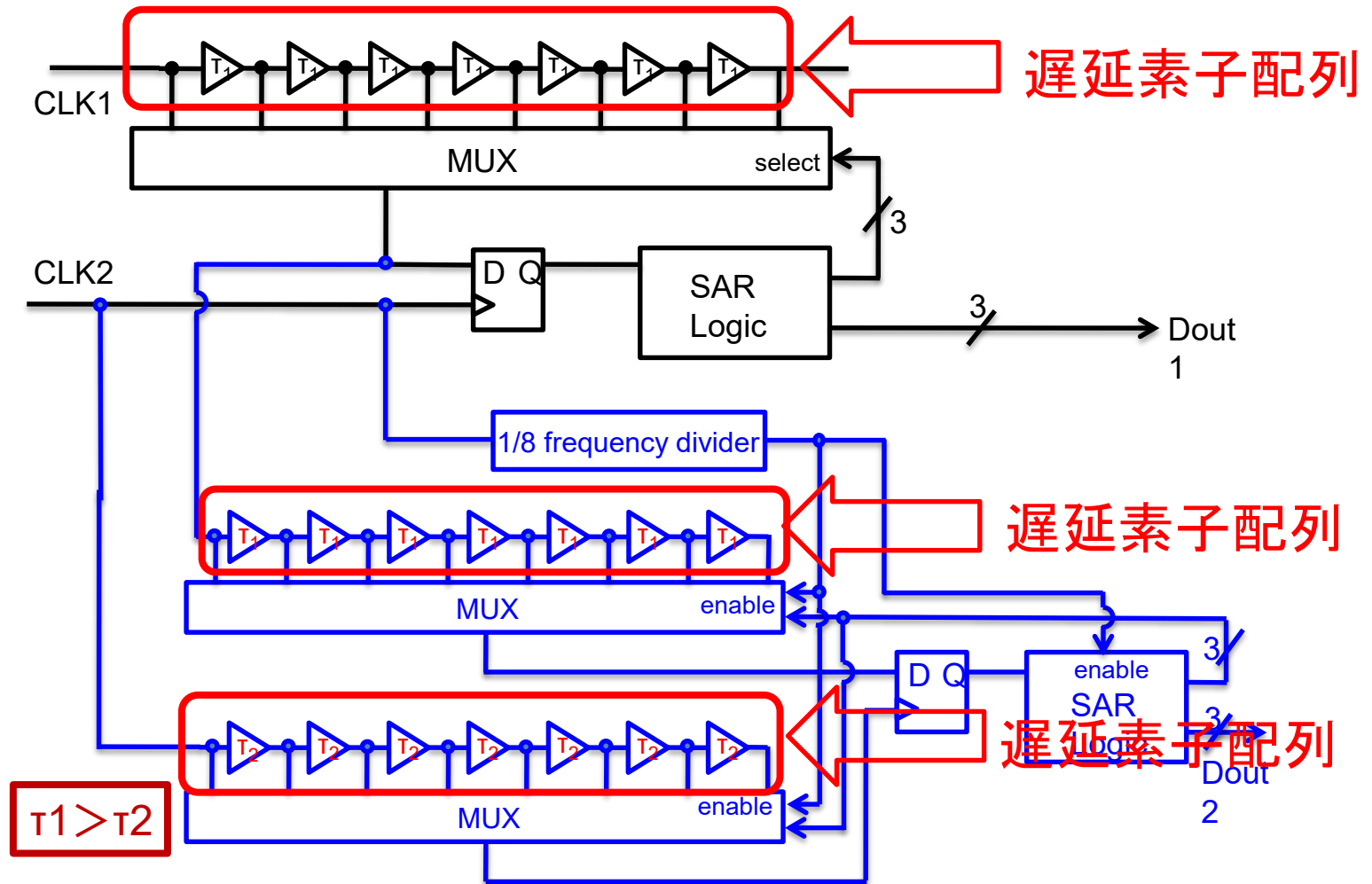
## 3bit SAR + 3bit SAR-Vernier TDCの出力



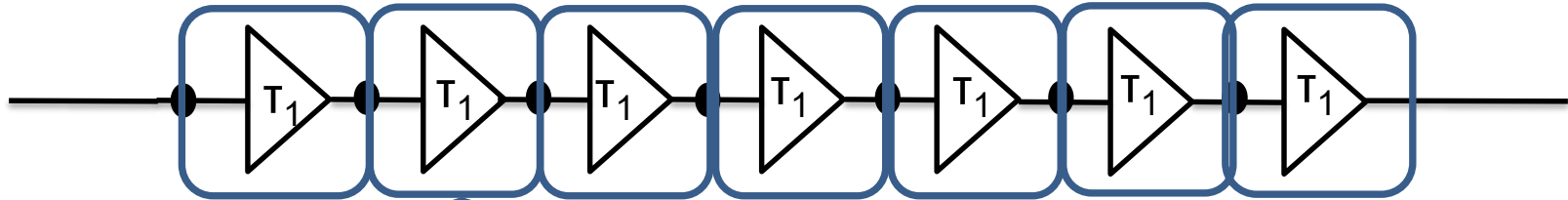
# OUTLINE

- 研究背景
- TDCとは
- SAR-ADCとSAR-TDC
- SAR-TDC
  - 残差時間の利用
  - 高時間分解能のサブTDC
- ステップ方式による高分解能化  
SAR+Vernier-Type TDC
- 校正アルゴリズム概要
- シミュレーションによる概要と検証
  - シミュレーション結果
  - 評価
- SAR TDCの自己校正を行うための  
トリガ回路を用いた単発タイミング測定
- まとめ

## SAR + Vernier-Type TDC

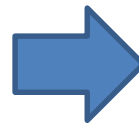


# 自己校正の目的



遅延配列のもつ平均値の遅延値がばらつく

- ・ 素子配列
- ・ プロセス電源電圧
- ・ 温度変動



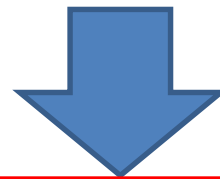
相対ばらつき

こちらに注目

- ・ 1つの遅延素子の遅延



絶対ばらつき



恣意的に信号を発生させ、多数のサンプルを収集することにより素子の実際の遅延値を推定



# 校正アルゴリズム概要

$n_{\blacksquare}$ : 出力データ  
 $T_{\blacksquare}$ : 既知の入力データ

例: サンプル数「3」

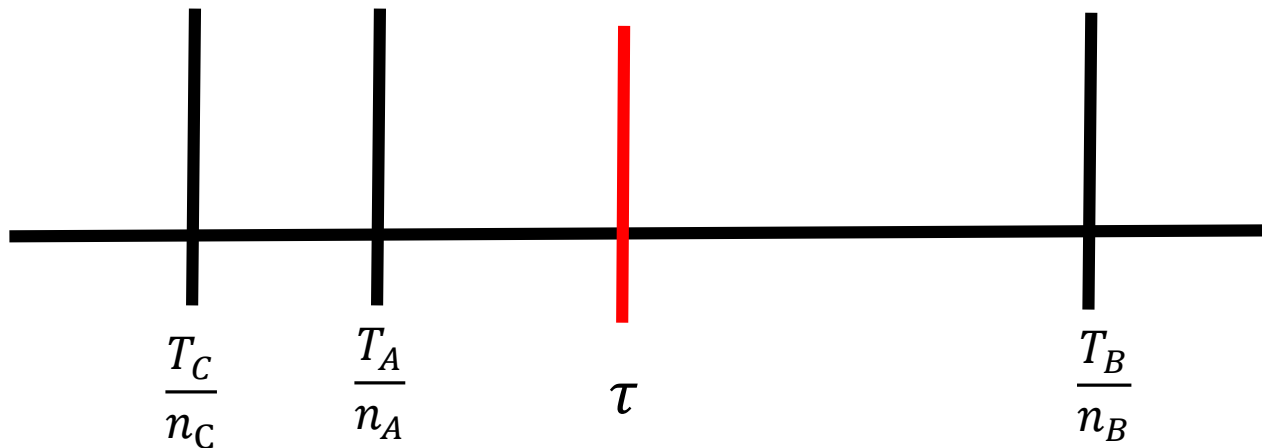
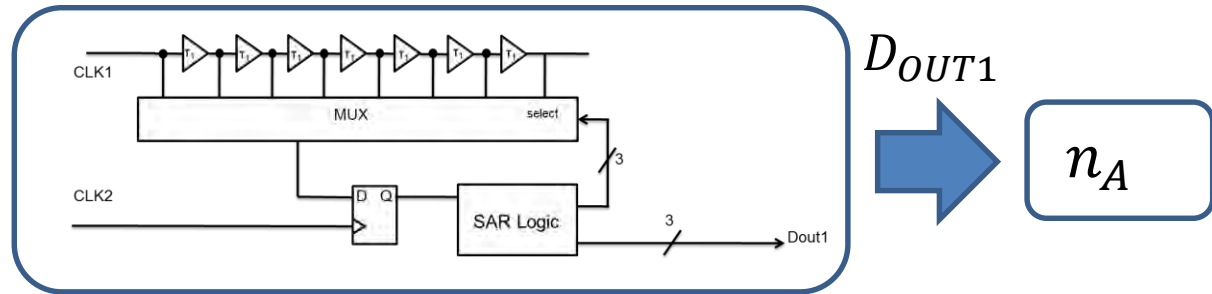
$$\begin{cases} n_A \tau \cong T_A \\ n_B \tau \cong T_B \\ n_C \tau \cong T_C \end{cases}$$



$$\begin{cases} \tau \cong T_A/n_A \\ \tau \cong T_B/n_B \\ \tau \cong T_C/n_C \end{cases}$$



$$\tau = \frac{\frac{T_A}{n_A} + \frac{T_B}{n_B} + \frac{T_C}{n_C}}{3}$$



多数のサンプルの平均をとることによって、数値を推定する

# 2ステップ逐次比較TDCにおける校正アルゴリズム概要

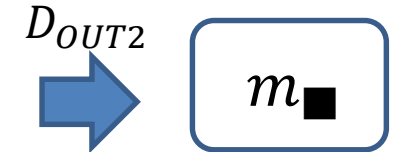
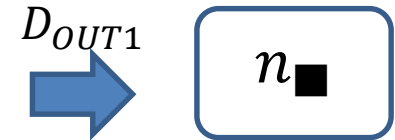
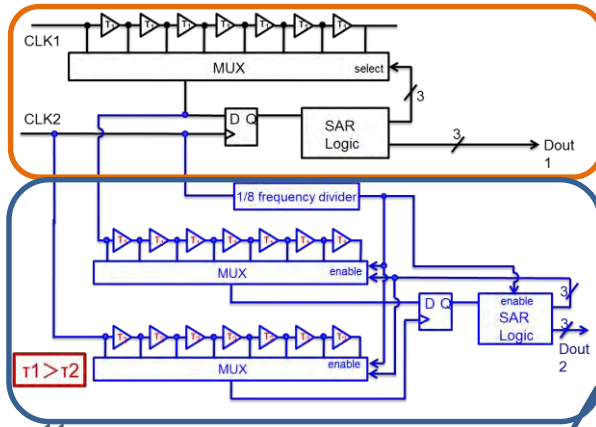
今回の計算方法例  
「サンプル数：3の時」

$n_{\blacksquare}, m_{\blacksquare}$  : 出力データ  
 $T_{\blacksquare}$  : 既知の入力データ

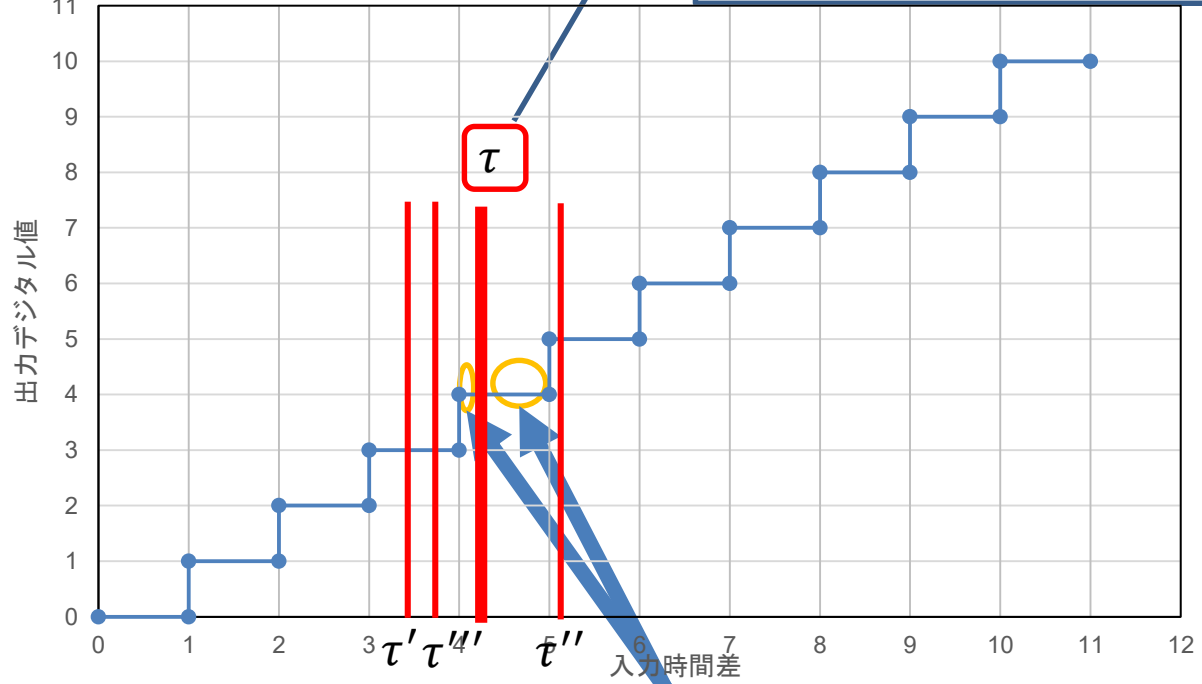
$$\begin{cases} n_A \tau_1 + m_A \tau_3 \cong T_1 \\ n_B \tau_1 + m_B \tau_3 \cong T_2 \\ n_C \tau_1 + m_C \tau_3 \cong T_3 \end{cases}$$

※  $\tau_3 = \tau_1 - \tau_2$

$$\begin{cases} \tau' = m_1 \tau_1 + n_1 \tau_3 \doteq T_1 \\ \tau'' = m_2 \tau_1 + n_2 \tau_3 \doteq T_2 \\ \tau''' = m_3 \tau_1 + n_3 \tau_3 \doteq T_3 \end{cases}$$



$\tau$  の正確な値を求める



残差時間

# 2ステップ逐次比較TDCにおける 校正アルゴリズム概要

$$n_A \tau_1 + m_A \tau_3 \cong T_A$$

$$n_B \tau_1 + m_B \tau_3 \cong T_B$$

$$n_C \tau_1 + m_C \tau_3 \cong T_C$$

▪  
▪  
▪

$n_{\blacksquare}, m_{\blacksquare}$  : 出力データ

$T_{\blacksquare}$  : 既知の入力データ

※  $\tau_3 = \tau_1 - \tau_2$

$T, m, n$  は既知とし、式を満たす  $\tau_1, \tau_3$  を求める



サンプル数を増やすことにより実際の遅延素子の遅延値  $\tau_1, \tau_3$  を推定

今回、 $\tau_1 (= 1.0)$   $\tau_3 (= 0.1)$  と仮想的に設定

# 計算方法(シミュレーション概要)

1.恣意的に発生させた値(T)から出力データ(m, n)を決定(100パターン)

[例: T=2.345とすると、n = 2(整数), m = 3(小数点第一位)]



2.求めた100パターンの各数値から $\tau_1$ と $\tau_3$ の平均値を求める

[例:サンプル数2の時の $\tau_1$ 、 $\tau_3$ を100パターンとり、各平均をとる]

$$\begin{cases} n_A\tau_1 + m_A\tau_3 \cong T_A \\ n_B\tau_1 + m_B\tau_3 \cong T_B \\ n_C\tau_1 + m_C\tau_3 \cong T_C \\ \vdots \\ \vdots \\ \vdots \end{cases}$$

補足

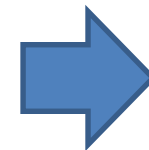
3段以降は総当たりで連立方程式を立て総当たりの平均値を100個求め、その平均値に対する平均値を出し $\tau_1$ と $\tau_3$ を決定する

$$\begin{cases} n_A\tau_1 + m_A\tau_3 \cong T_A \\ n_B\tau_1 + m_B\tau_3 \cong T_B \\ n_C\tau_1 + m_C\tau_3 \cong T_C \end{cases}$$



$$\frac{\tau_{1(A\&B)} + \tau_{1(B\&C)} + \tau_{1(A\&C)}}{3}$$

$$\frac{\tau_{3(A\&B)} + \tau_{3(B\&C)} + \tau_{3(A\&C)}}{3}$$



$$\begin{cases} \tau_{1(Average)} \\ \tau_{3(Average)} \end{cases}$$

以上により計算により導出した $\tau_1$ と $\tau_3$ と仮想設定した $\tau_1(= 1.0)$ と $\tau_3(= 0.1)$ 比較、評価

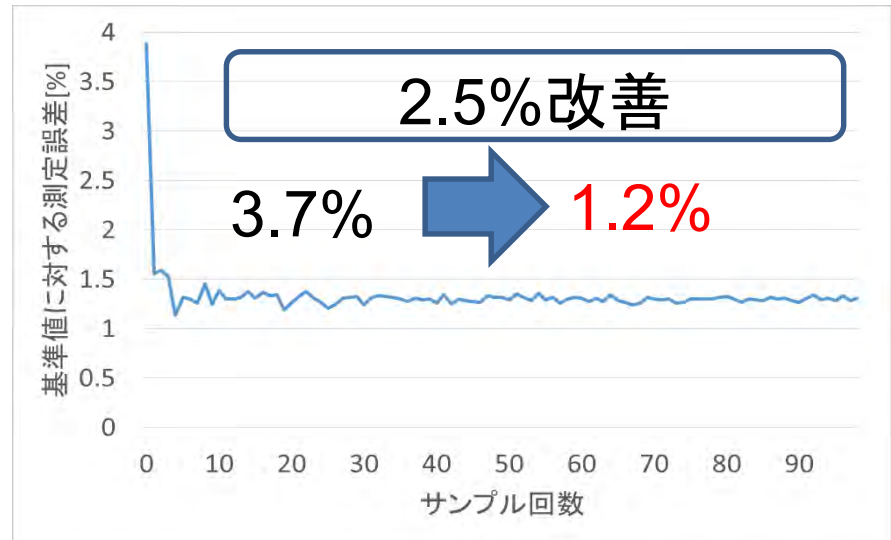
# 推定値に対する測定誤差

$\tau_1$  の推定値に対する測定誤差

サンプル数「2」の時  
約3.7%



サンプル数「100」の時  
約1.2%



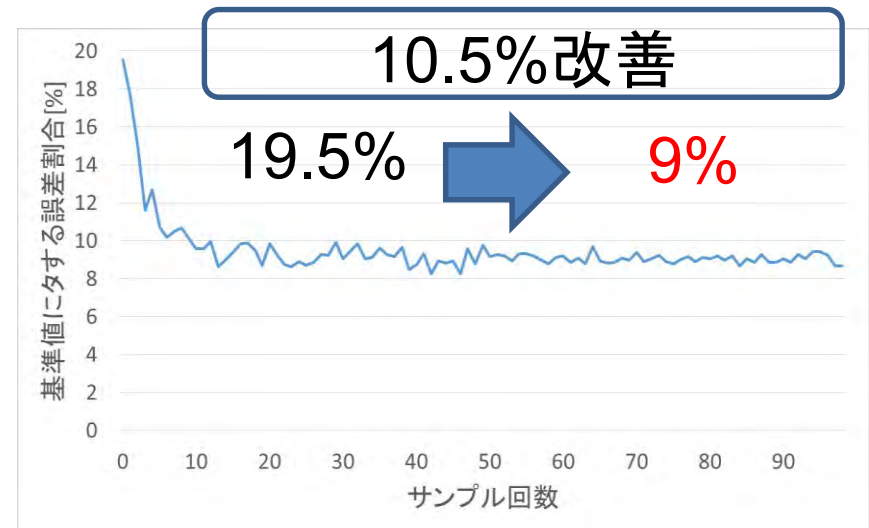
$\tau_3$  の推定値に対する誤差割合

サンプル数「2」の時  
約19.5%



サンプル数「100」の時  
約9.0%

$\tau_1$  の推定値に対する測定誤差



# 推定値に対する誤差のばらつき

$\tau_1 (= 1.0)$  に対する誤差ばらつき

サンプル数「2」の時  
0.86(-14%) ~ 1.08(+22%)



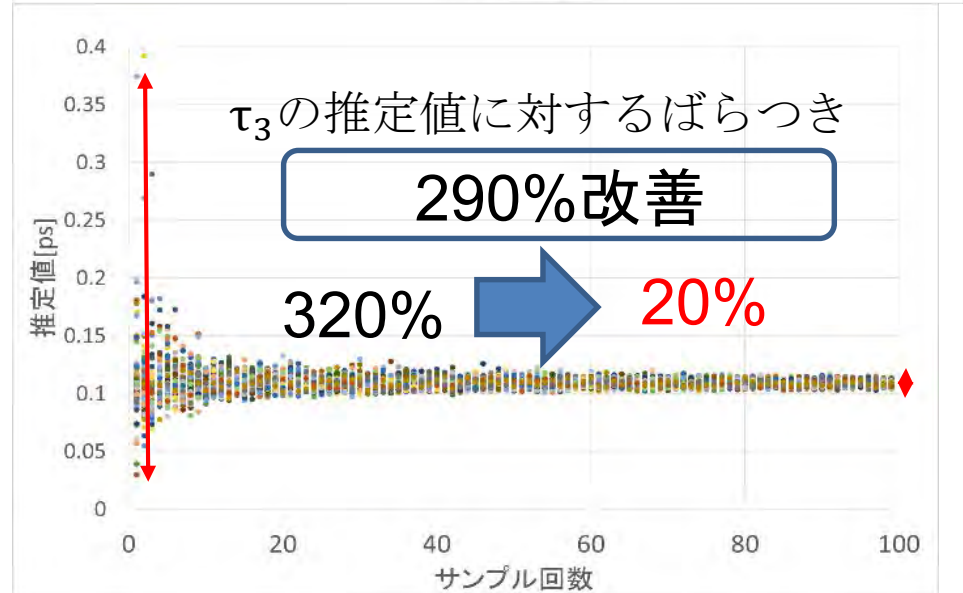
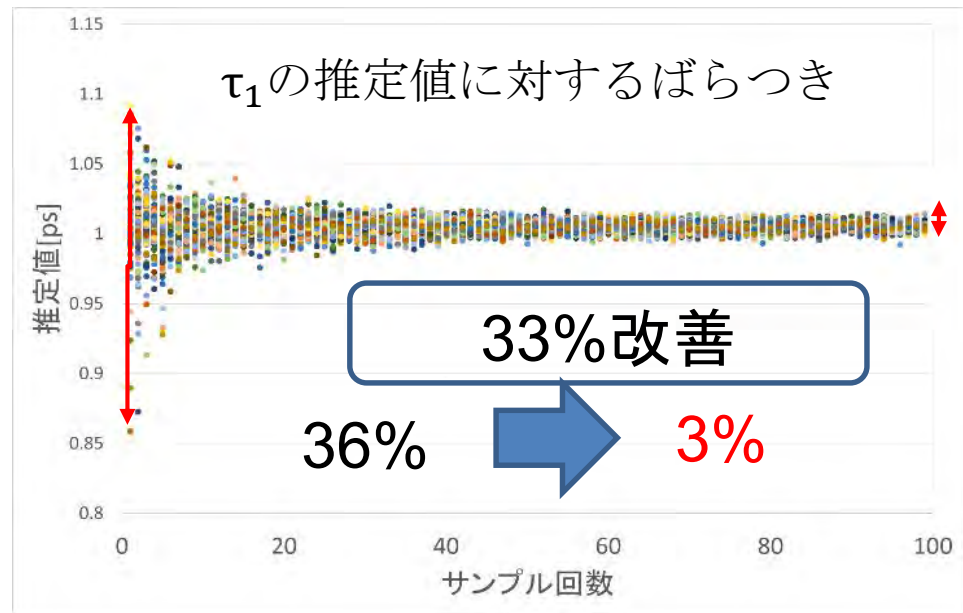
サンプル数「100」の時  
0.98(-2%) ~ 1.01(+1%)

$\tau_3 (= 0.1)$  に対する誤差ばらつき

サンプル数「2」の時  
0.03(-70%) ~ 0.35(+250%)



サンプル数「100」の時  
0.1(0%) ~ 0.12(20%)





# OUTLINE

- 研究背景
- TDCとは
- SAR-ADCとSAR-TDC
- SAR-TDC
  - 残差時間の利用
  - 高時間分解能のサブTDC
- ステップ方式による高分解能化  
SAR+Vernier-Type TDC
- 校正アルゴリズム概要
- シミュレーションによる概要と検証
  - シミュレーション結果
  - 評価
- SAR TDCの自己校正を行うための  
トリガ回路を用いた単発タイミング測定
- まとめ

# トリガ回路とは

入力信号に対するしきい値を2つもつデジタル回路

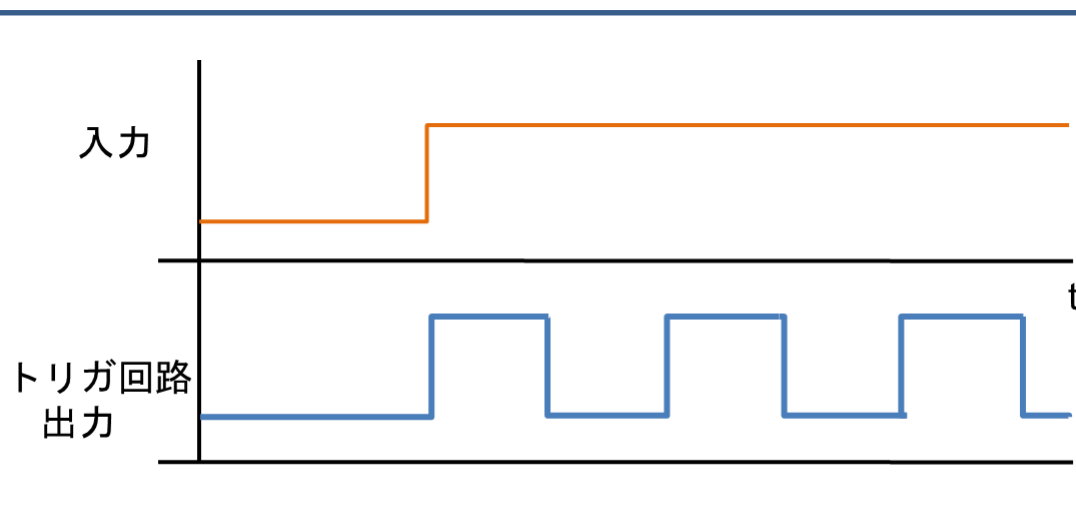
入力信号の電位が高いしきい値を超えたとき → 論理Hの電位を出力  
入力信号の電位が低いしきい値を下回ったとき → 論理Lの電位を出力  
入力信号が低いしきい値と高いしきい値の間にあるとき → 前の出力電位を保持

今回は

「入力信号が入った時

**そのタイミングで位相ゼロで**

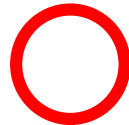
一定の周期で発振する回路」を使用



# SAR TDCの自己校正を行うための トリガ回路を用いた単発タイミング測定

## 「トリガ回路」

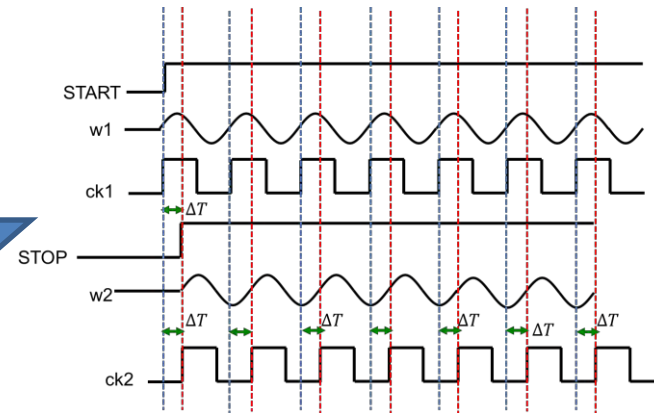
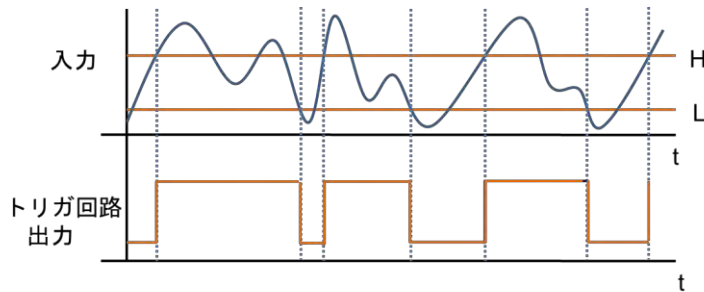
従来



電圧信号は保持できる



時間信号差は保持できない



SAR TDCは単発タイミング信号は測定できず  
繰り返しタイミング信号のみ測定できる

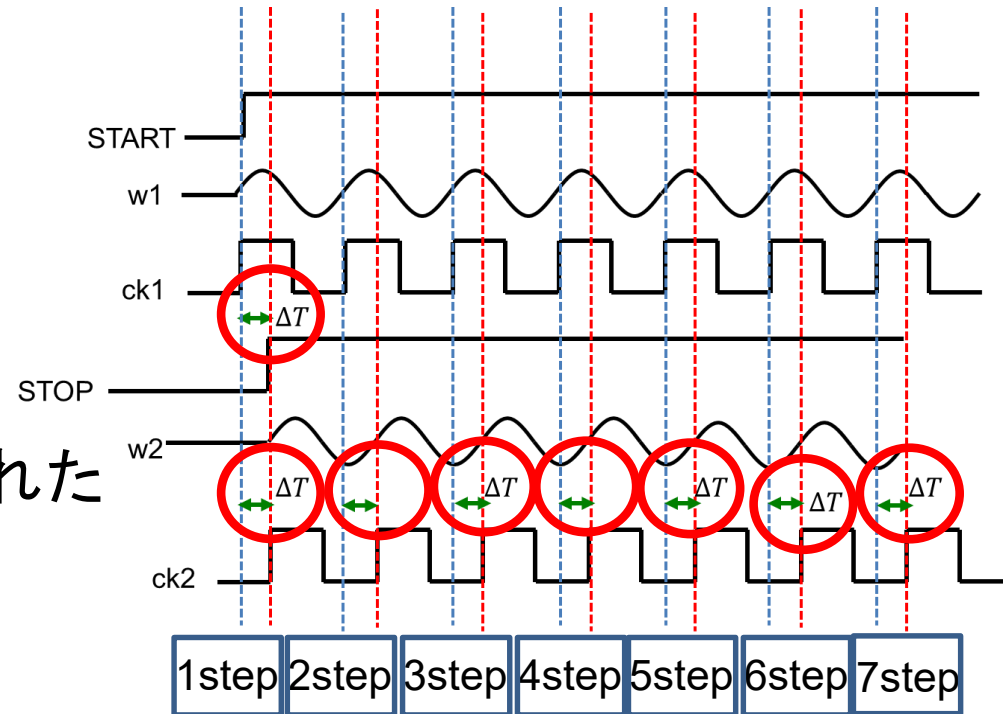
# SAR TDCの自己校正を行うための トリガ回路を用いた単発タイミング測定

今回

START, STOP信号を入力



入力のタイミングから決められた  
初期位相で発振を開始



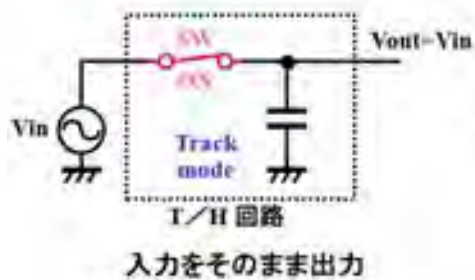
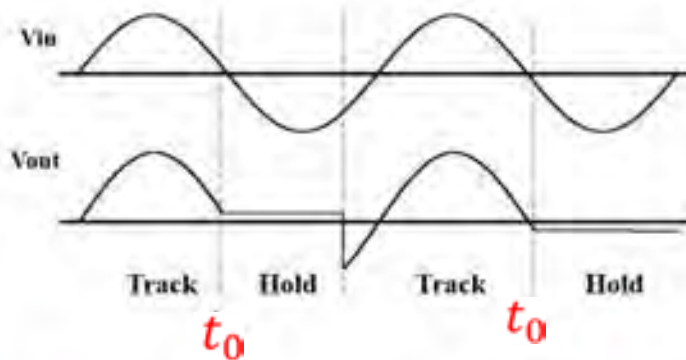
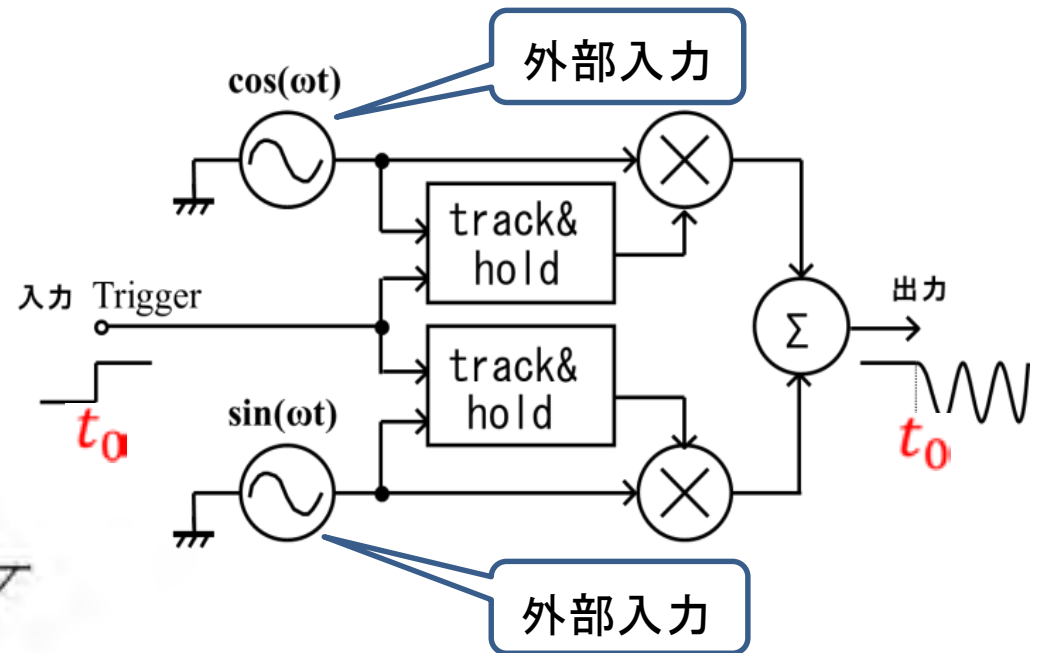
二つのトリガ回路を用いることで**時間信号差の保持**が可能

SAR TDCの自己校正には複数のstepが必要

SAR TDCの前段に用いる単発信号も測定できる構成を提案

# SAR TDCの自己校正を行うための トリガ回路を用いた単発タイミング測定

## 「トリガ回路の例」



track-and-hold回路が

• track mode

$$\begin{aligned} V_{out} &= \cos(\omega t) \cos(\omega t) + \cos(\omega t + \pi/2) \cos(\omega t + \pi/2) \\ &= \cos^2(\omega t) + \sin^2(\omega t) \\ &= 1 \quad (\text{一定の値}) \end{aligned}$$

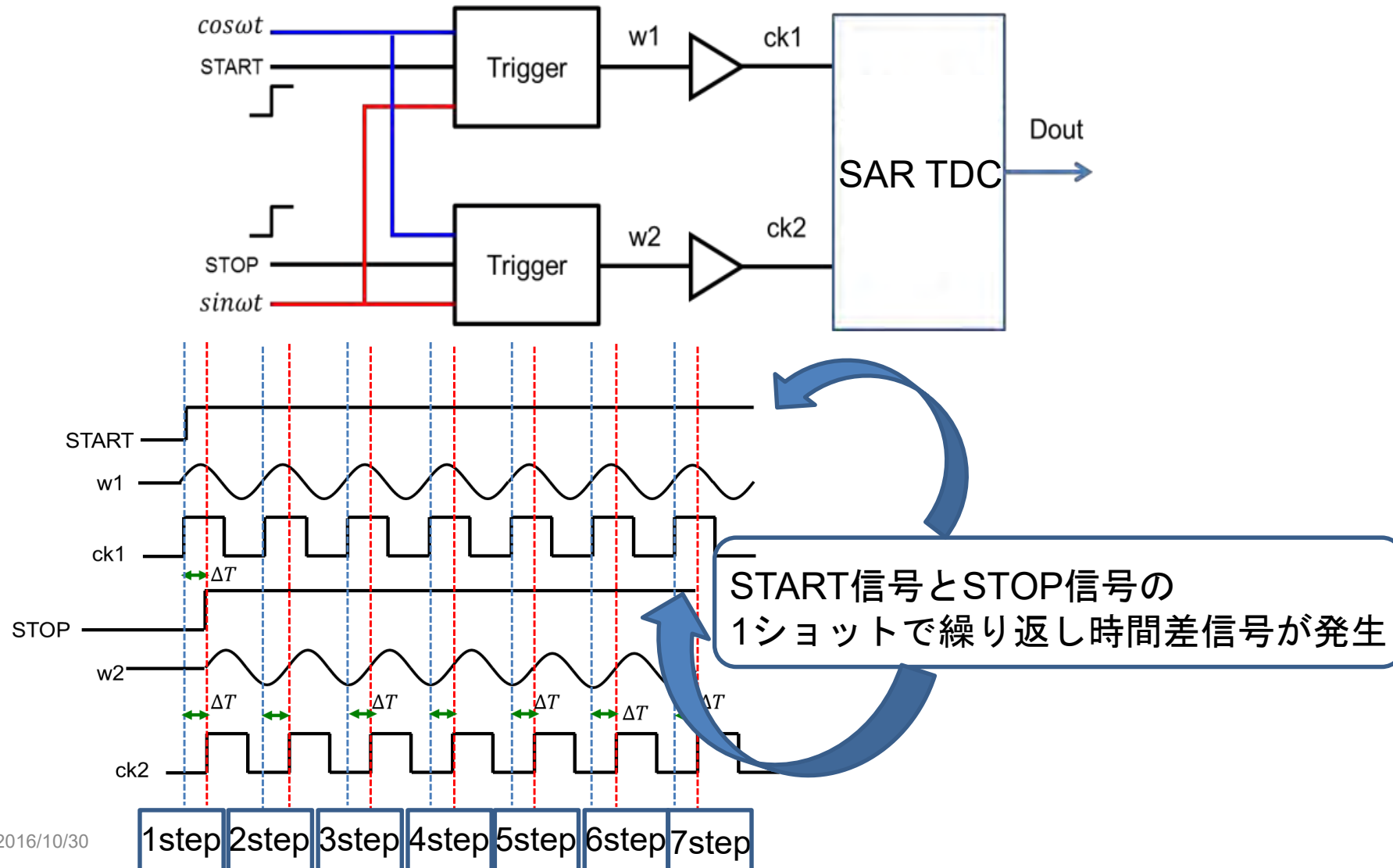
• hold mode

$$\begin{aligned} V_{out} &= \cos(\omega t) \cos(\omega t_0) - \sin(\omega t) \sin(\omega t_0) \\ &= \underline{\cos(\omega(t - t_0))} \end{aligned}$$

※ trigger time:  $t_0$

# トリガ回路を用いた単発タイミング測定

## トリガ回路を用いたSAR TDC





# OUTLINE

- 研究背景
- TDCとは
- SAR-ADCとSAR-TDC
- SAR-TDC
  - 残差時間の利用
  - 高時間分解能のサブTDC
- ステップ方式による高分解能化  
SAR+Vernier-Type TDC
- 校正アルゴリズム概要
- シミュレーションによる検証
  - シミュレーションにおける計算方法
  - シミュレーション結果
  - 評価
- トリガ回路を用いた単発タイミング測定
- まとめ

# まとめ

## 研究課題

- 高時間分解能・高線形性TDC回路を  
少量回路/低消費電力で実現する
- SAR TDCで単発タイミング測定を可能にする



## 考案

- 2ステップSAR TDCの構成とその遅延素子配列の  
(平均)遅延値のばらつきの測定・補正法を検討
- 前段にトリガ回路を用いる構成を提案

# 時間は最も貴重な資源である

成果をあげる者は  
仕事からスタートしない。  
時間からスタートする。



Effective executives do NOT start with their **tasks**.  
They start with their **time**.

(Peter F. Drucker)

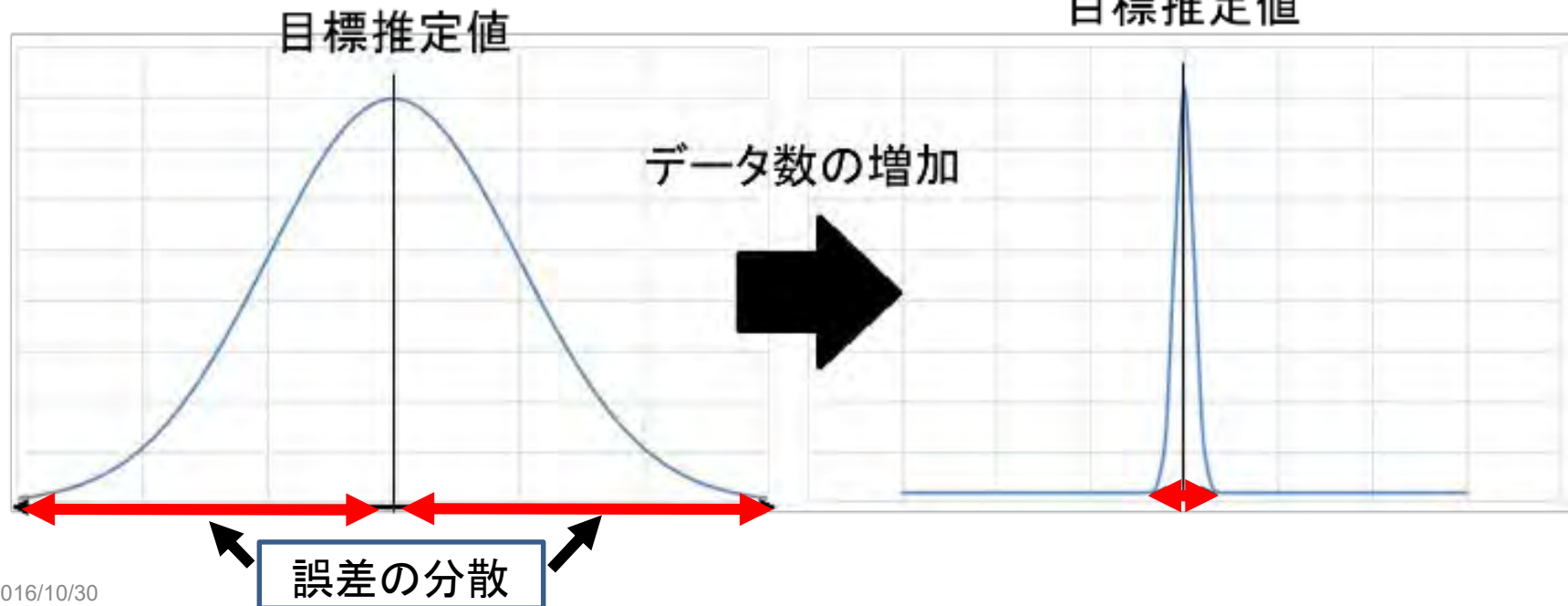
# 付録:「中心極限定理」及び「点推定」

中心極限定理において  
データ(サンプル)数の増加により  
目標値に対する誤差の分散の割合を減少させることが可能となる



点推定(目標値に対する一点推定)が可能

目標推定値



# Q&A

- Q.トリガ回路に関して、本来想定していたものよりも位相差が生じてしまうのではないか？また、もしそのようなことが生じた場合どのようなことが生じるのか？
- A.(最初の質問に対しては勉強不足のため断言して答えることができなかった。)もし仮にこのようなことが生じた場合、自己校正に対して影響が出ることが想定される。
- Q.位相差0で発振するためには？(sin波cos波の発生はどのように行うことを想定しているか？)そもそも位相差0できちんと発振することができるのか？
- A. $\Delta\Sigma$ 回路を用いることを想定している。これにより位相差0で発振することが可能だと考えている。
- Q.自己校正でsample回数を100としているが、これと同じ方法で回路を実際に組んだ時、実際に多くの時間を必要としないのか？
- A.TDC自体が時間分解能を用いた回路なので多少時間はかかるかもしれないが、アルゴリズム的には単純な計算を行うのでそこまで自己校正に時間を必要としないと考える。



# Algorithms for Generating Low-Distortion Single-Tone and Two-Tone Sinewaves Using an Arbitrary Waveform Generator

K. Wakabayashi T. Yamada S. Uemori O. Kobayashi  
K. Kato H. Kobayashi K. Niitsu H. Miyashita  
S. Kishigami K. Rikino Y. Yano T. Gake

Gunma University

Semiconductor Technology Academic Research Center

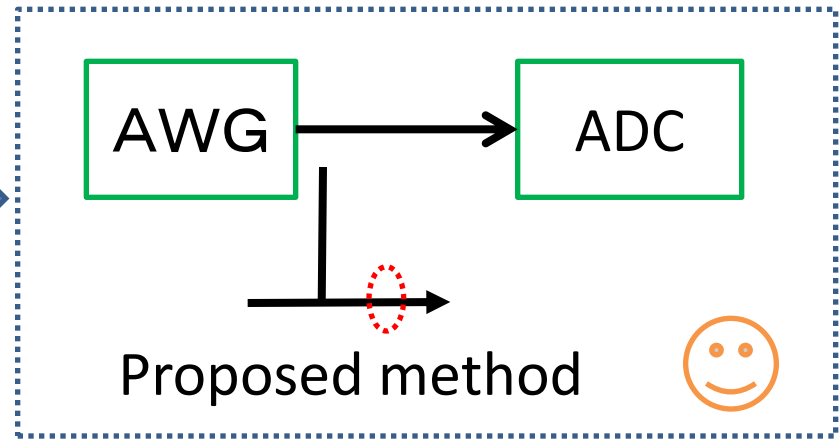
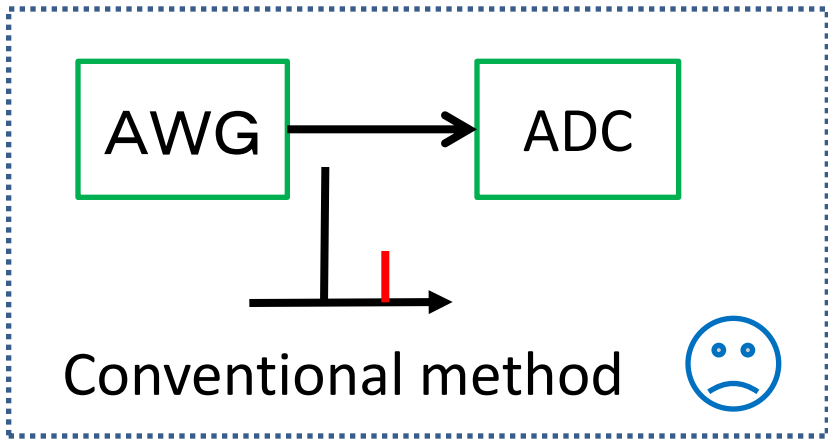


- Research Goal
- ADC Linearity Test
- Conventional Test Method
- Proposed Test Method
- Experimental Results
- Conclusions

- Research Goal
- ADC Linearity Test
- Conventional Test Method
- Proposed Test Method
- Experimental Results
- Conclusions

# Research Goal

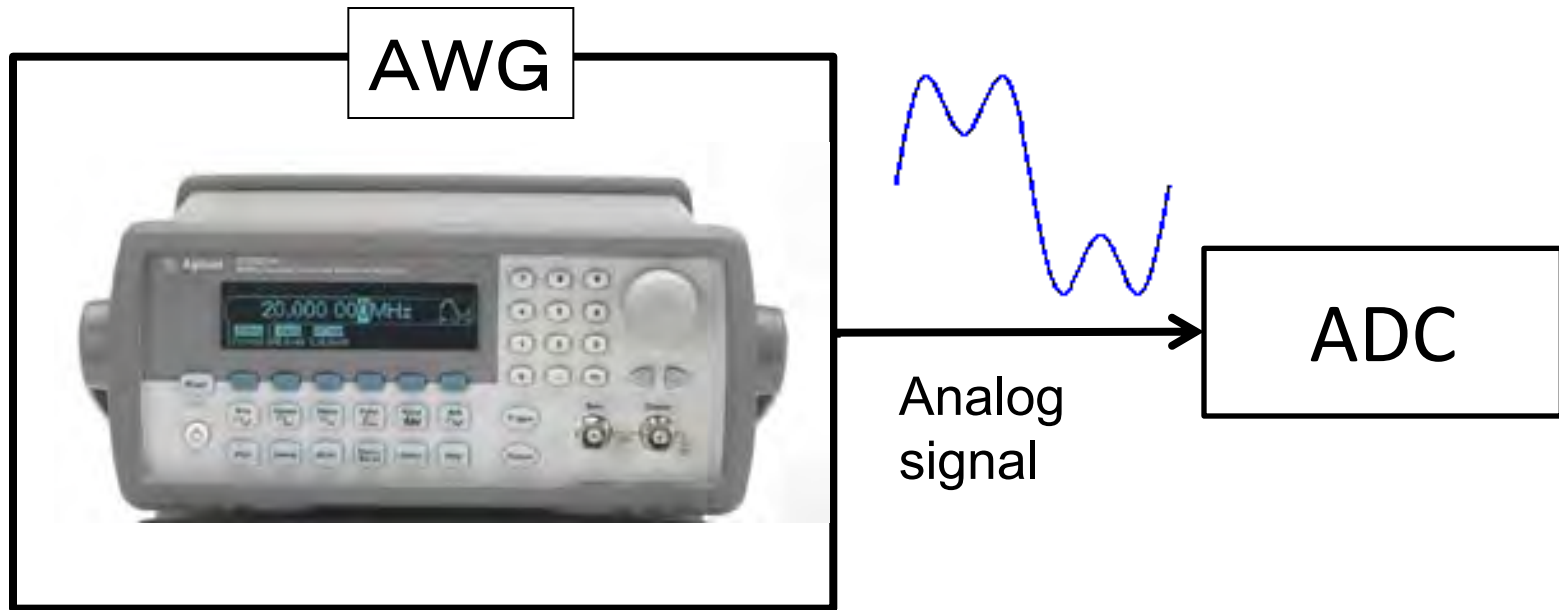
Generating low-distortion sinewaves  
for ADC linearity testing  
using low-cost AWG



- Research Goal
- ADC Linearity Test
- Conventional Test Method
- Proposed Test Method
- Experimental Results
- Conclusions

# Signal Generation with AWG

AWG ( Arbitrary Waveform Generator ) = DSP + DAC



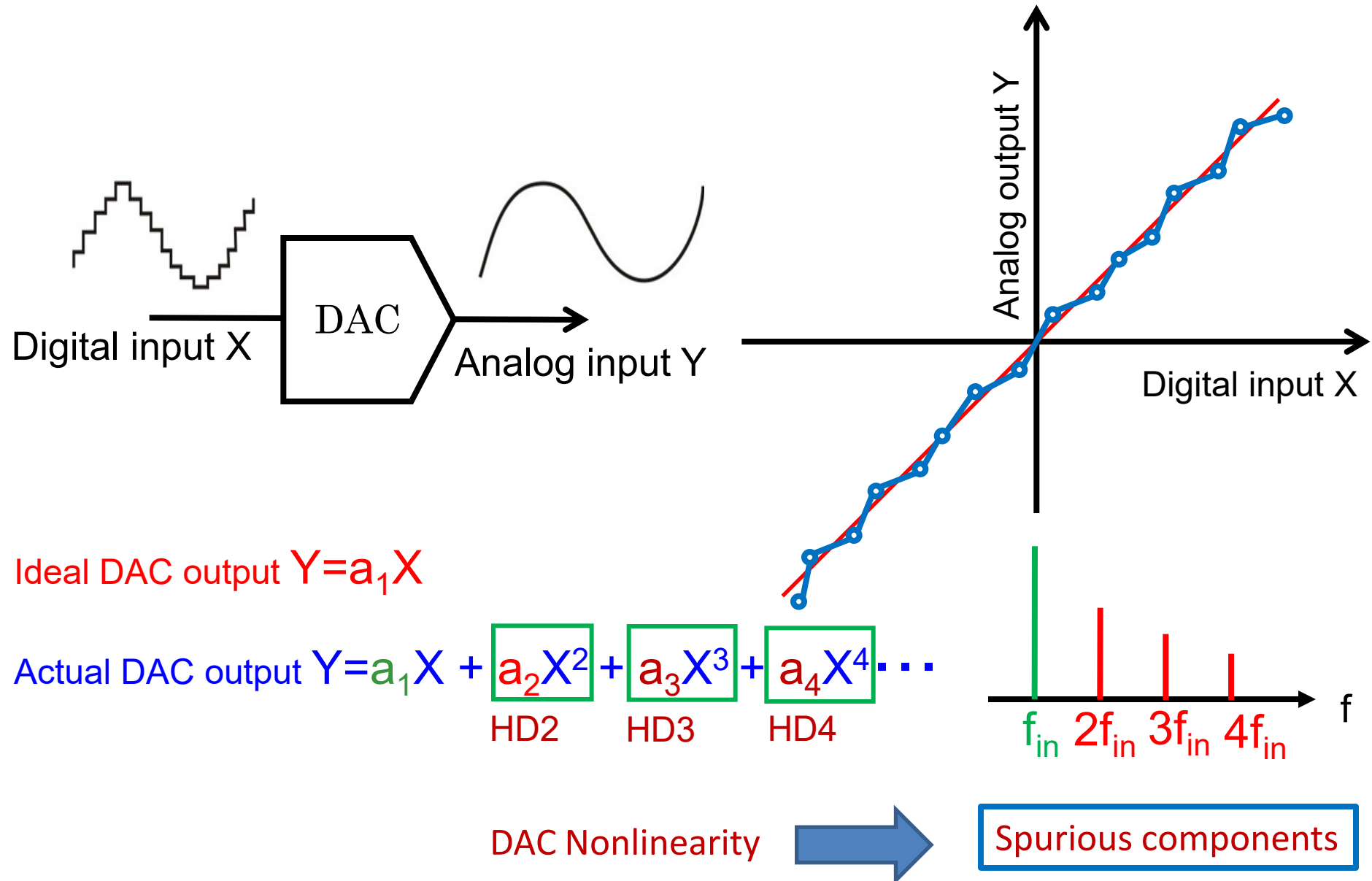
DSP generates digital signal. ➡ DAC converts it to analog signal.

Single-tone and two-tone analog signals for ADC testing

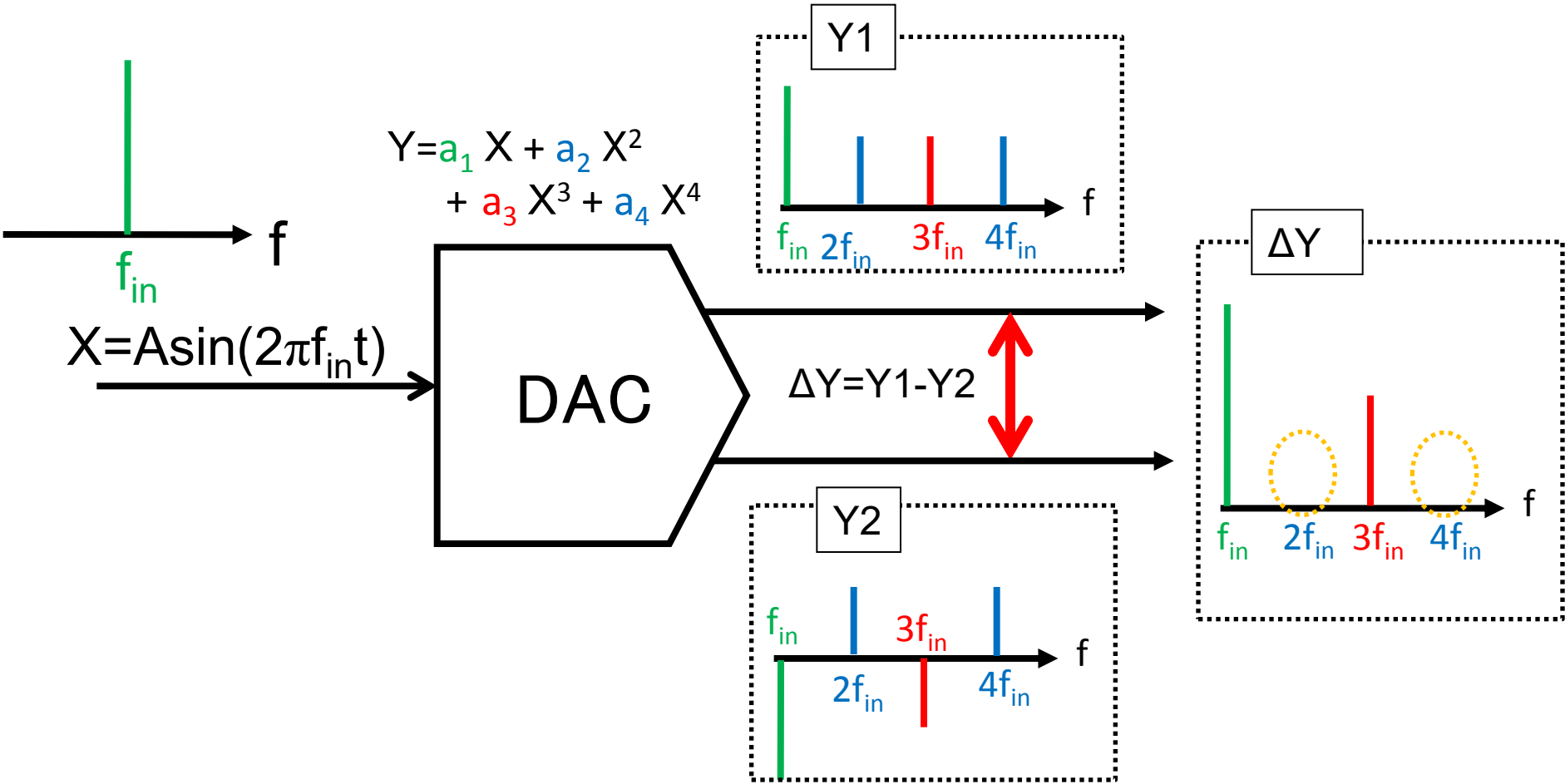


DAC has nonlinearity

# Spurious Components due to DAC Nonlinearity 7



# Use Differential Signals to Cancel Even Harmonics 8



Use differential signals to cancel even harmonics.

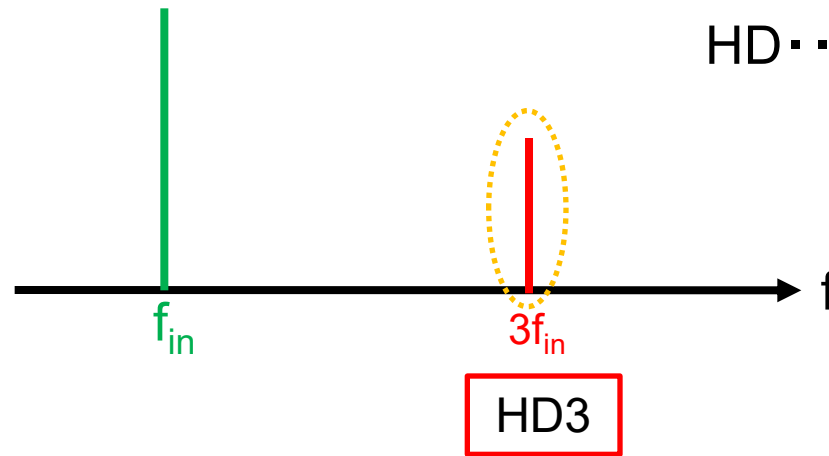


Next focus on removing third-order harmonics

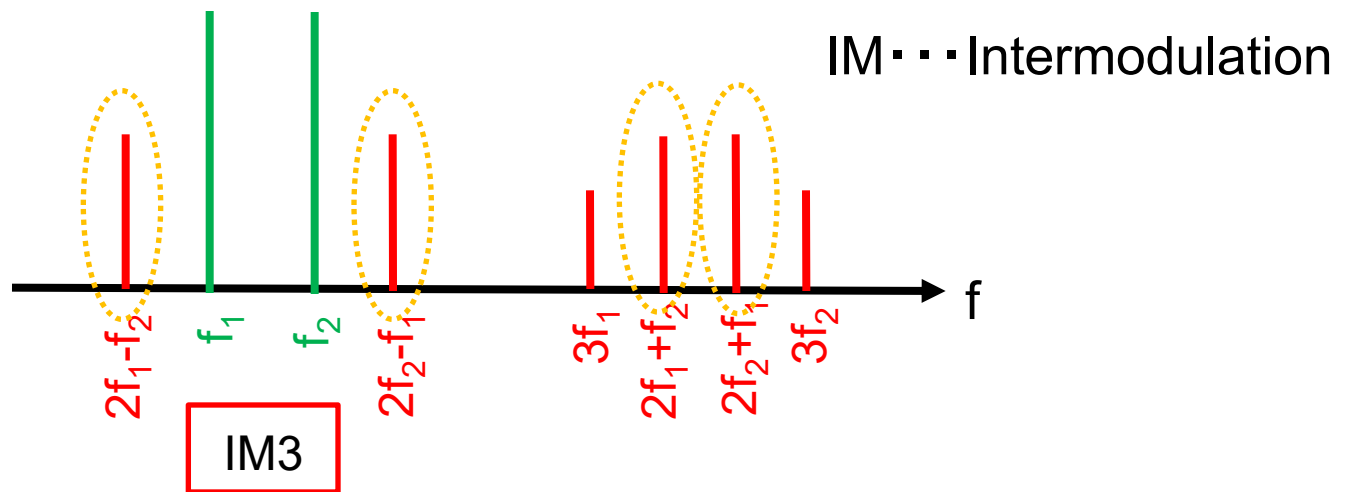


# Third-order Nonlinearity Distortion Components 9

Single-tone input

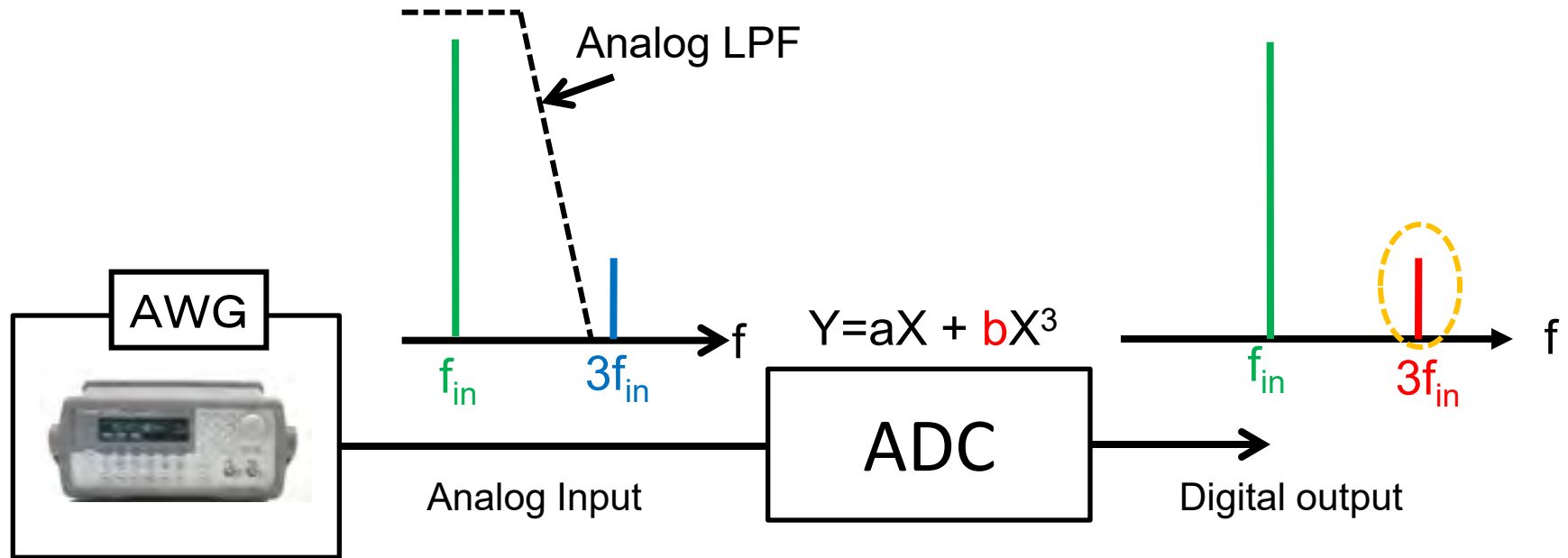


Two-tone input



IM3 components are difficult to remove with analog filter

# ADC Linearity Test (Single-tone Input)



Proposed method relaxes requirements for analog LPF

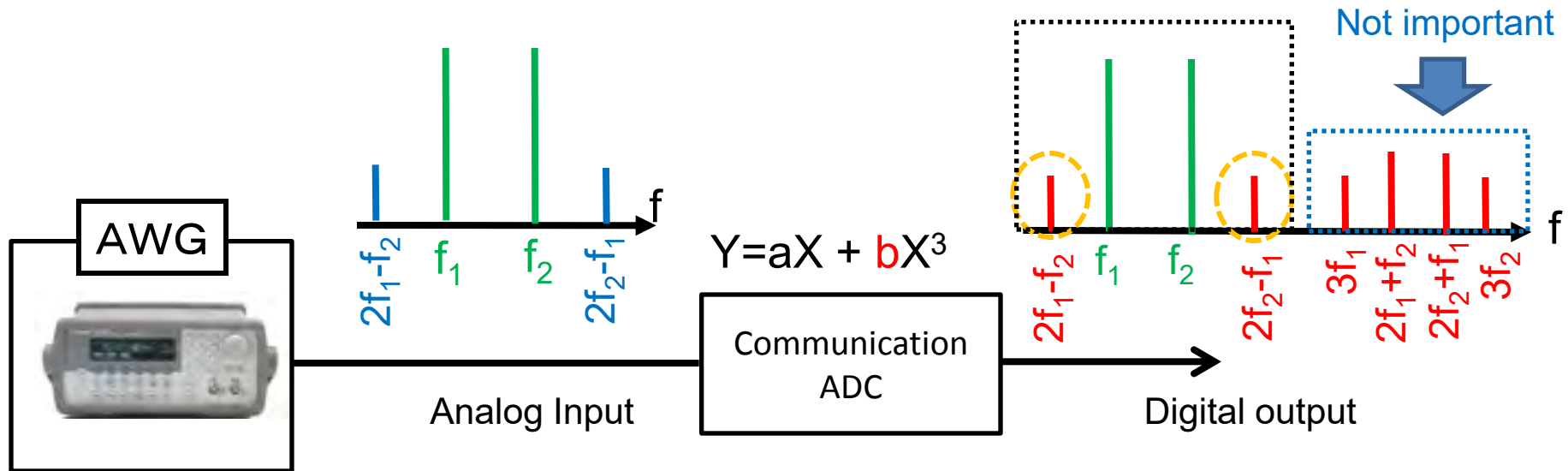


Use simple analog LPF to remove HD3 (& higher harmonics)



ADC distortion can be measured & tested accurately.

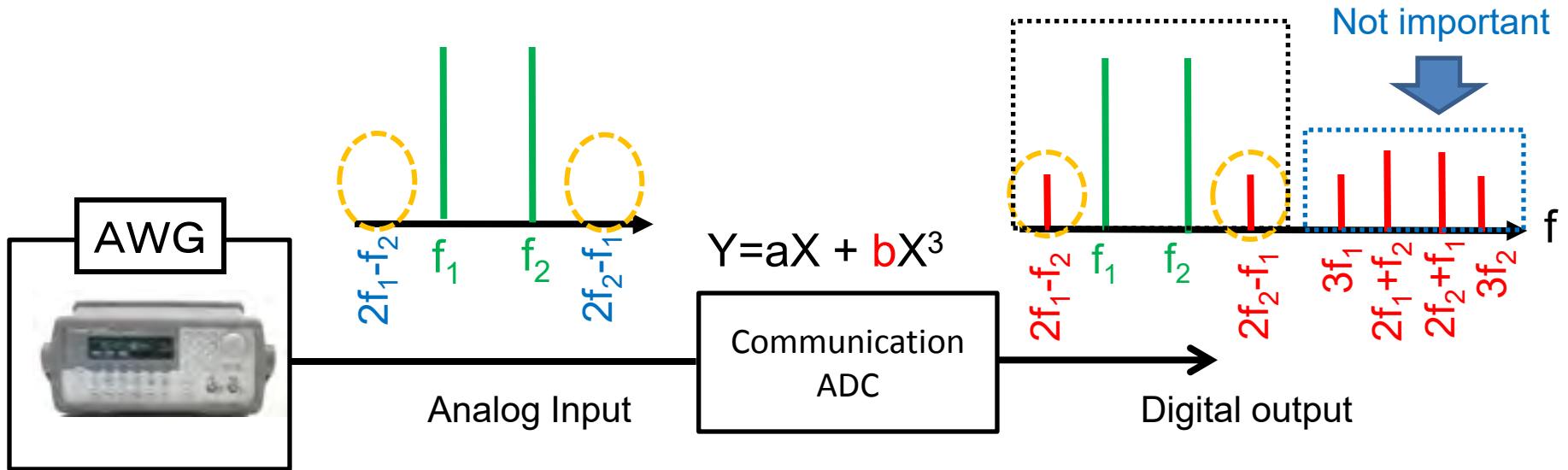
Communication  $\Rightarrow$  Narrow band, high frequency



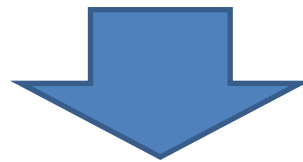
IM3 ( $2f_1 - f_2, 2f_2 - f_2$ ) components in input signal are

- within signal band
- difficult to remove by analog BPF.

Communication  $\Rightarrow$  Narrow band, high frequency



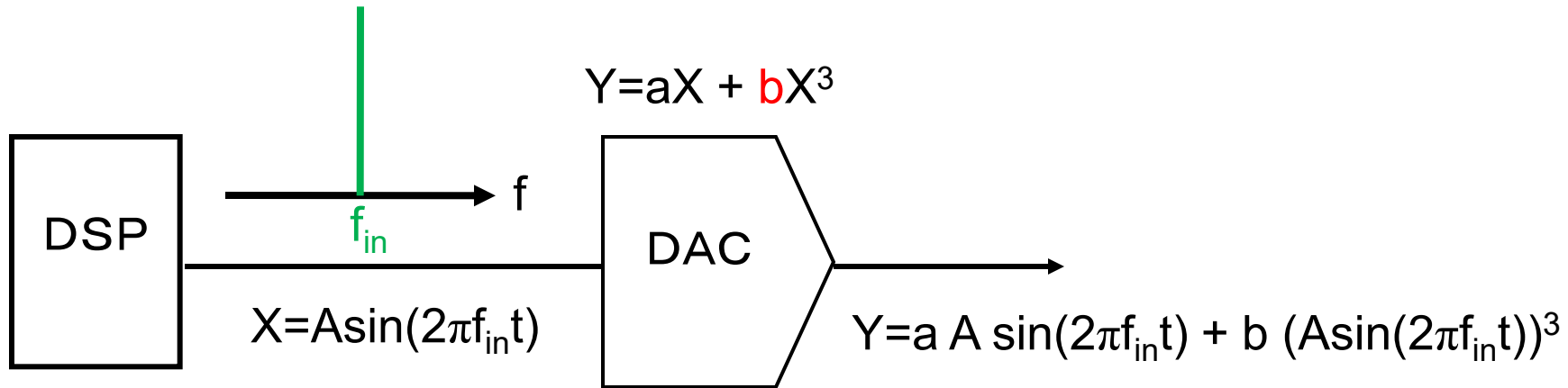
Use proposed method to cancel IM3 in analog input.



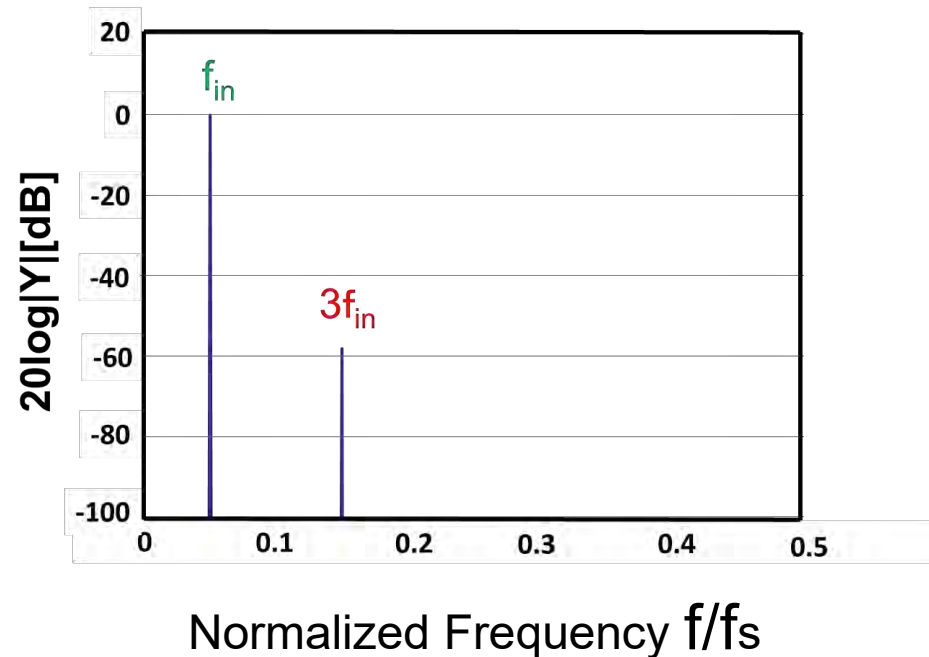
ADC distortion (IM3) can be measured & tested accurately.

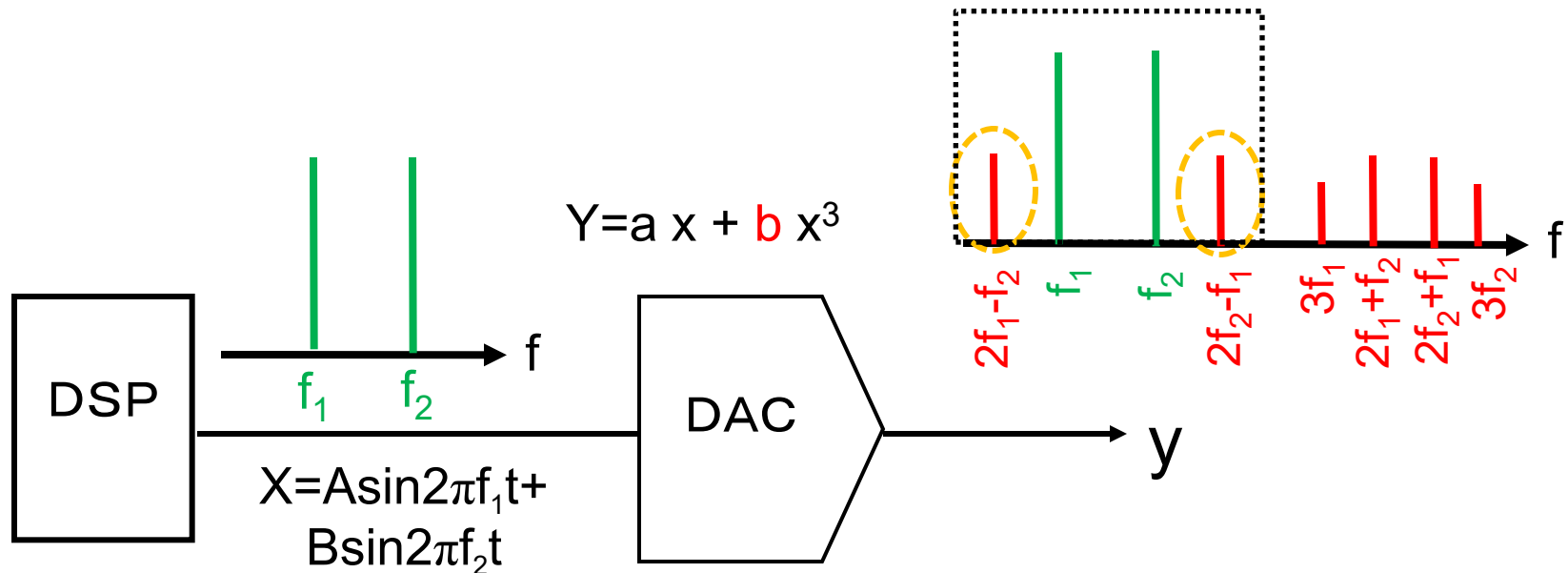
- Research Goal
- ADC Linearity Test
- Conventional Test Method
- Proposed Test Method
- Experimental Results
- Conclusions

# Conventional Single-tone Generation 14



■ HD3 appears



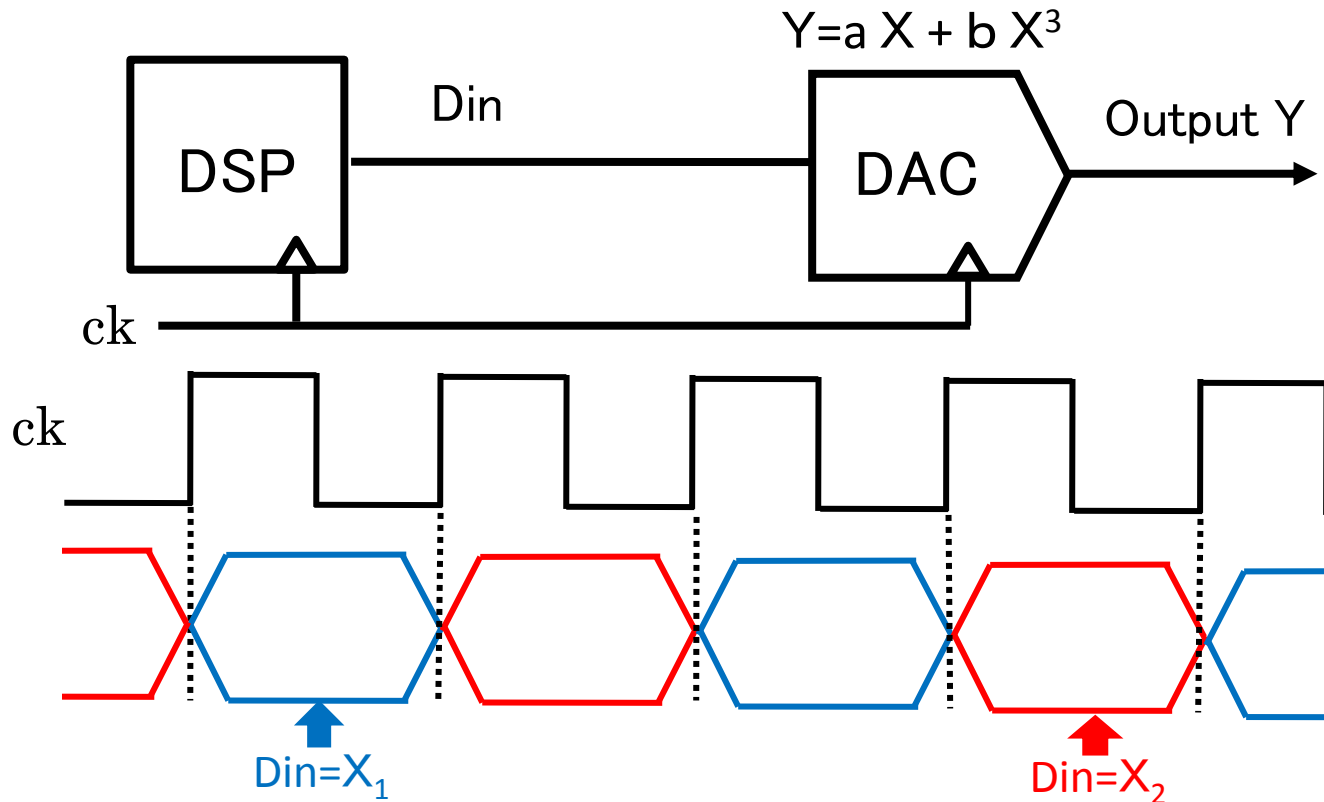


■ IM3 appears



- Proposed Test Method
  - Single-tone Generation
  - Two-tone Generation
  - Algorithm Generalization

# Proposed Method



Interleave  $X_1$ ,  $X_2$  by one clock and generate  $D_{in}$

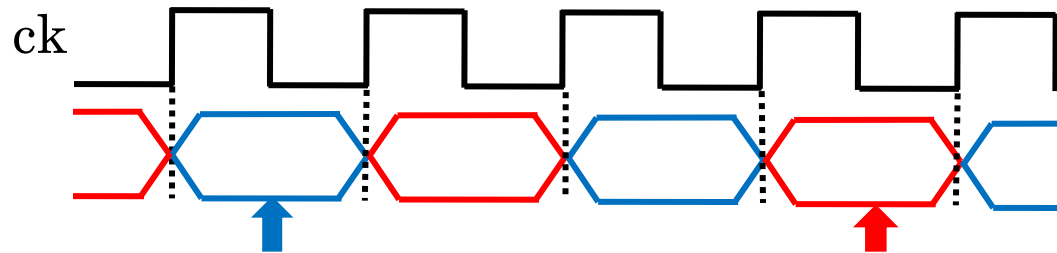
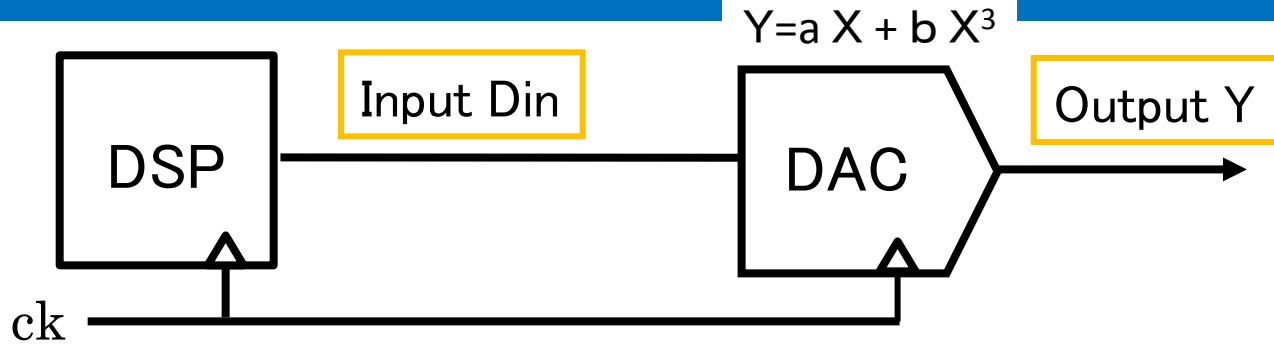
Feed  $D_{in}$  to DAC

Cancel distortion components of output  $Y$

- ✓ Requires only DSP program change
- ✓ Spurious components are far from signal band

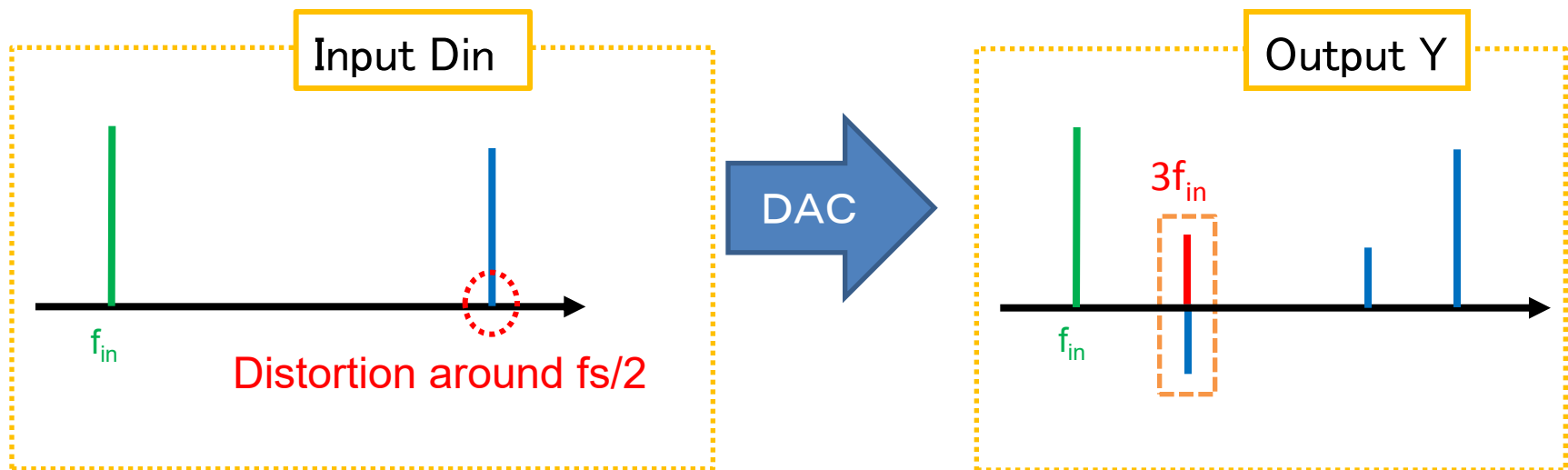
- Proposed Test Method
  - Single-tone Generation
  - Two-tone Generation
  - Algorithm Generalization

# Principle of Proposed Method

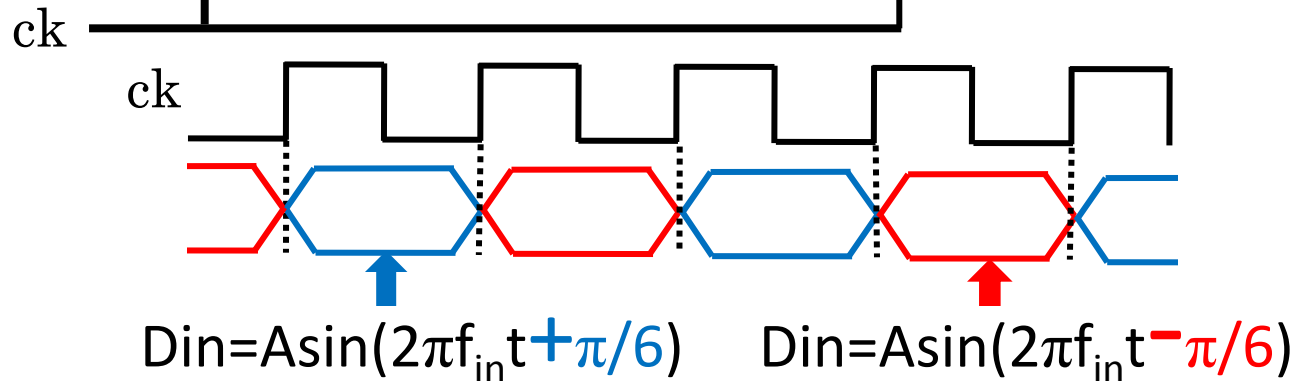
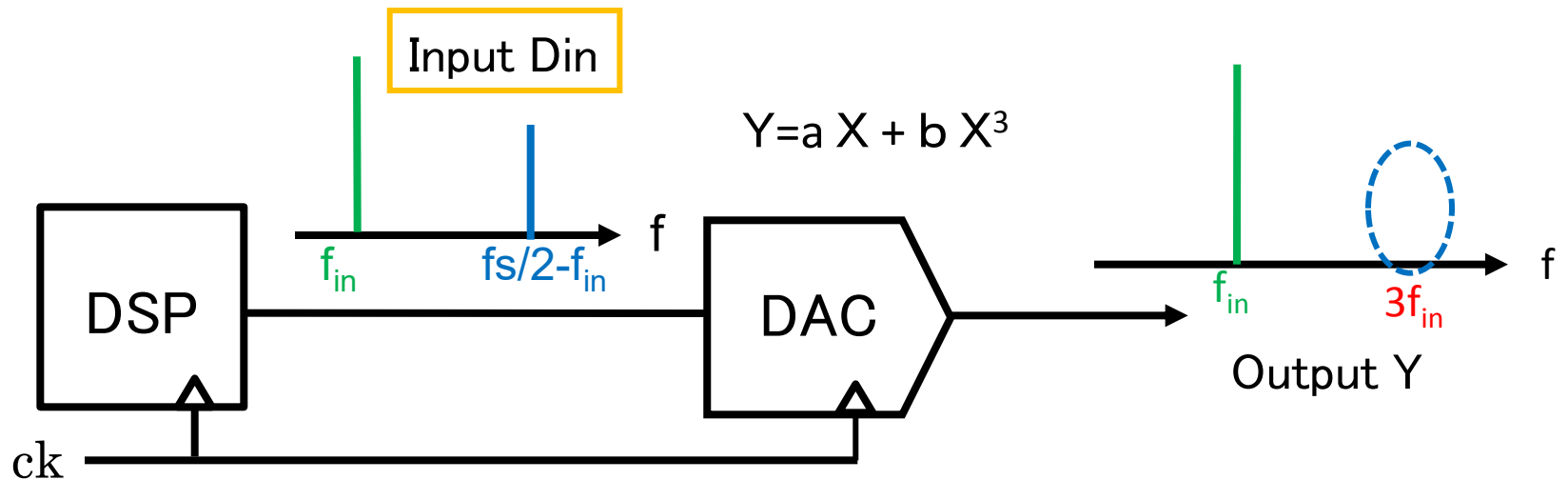


$$D_{in} = A \sin(2\pi f_{in} t + \pi/6)$$

$$D_{in} = A \sin(2\pi f_{in} t - \pi/6)$$



# Proposed Method (Single-tone)

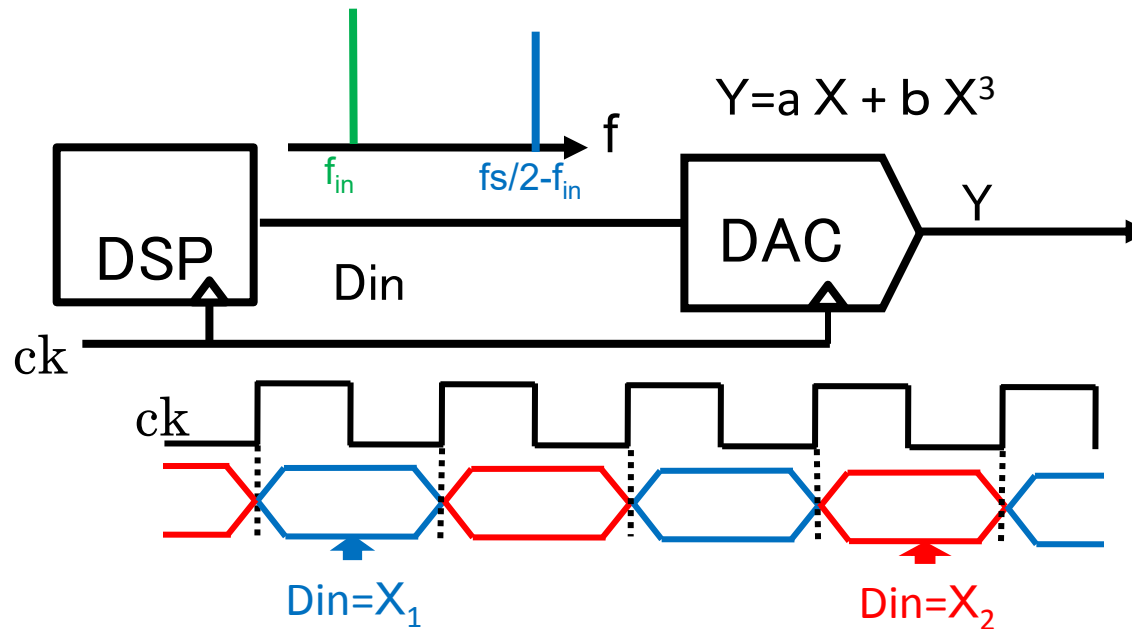


$$D_{in} = 0.87A \sin 2\pi f_{in} t + 0.5A \cos 2\pi (1/2 f_s - f_{in}) t$$

Fundamental  $f_{in}$  power reduction by 1.25dB

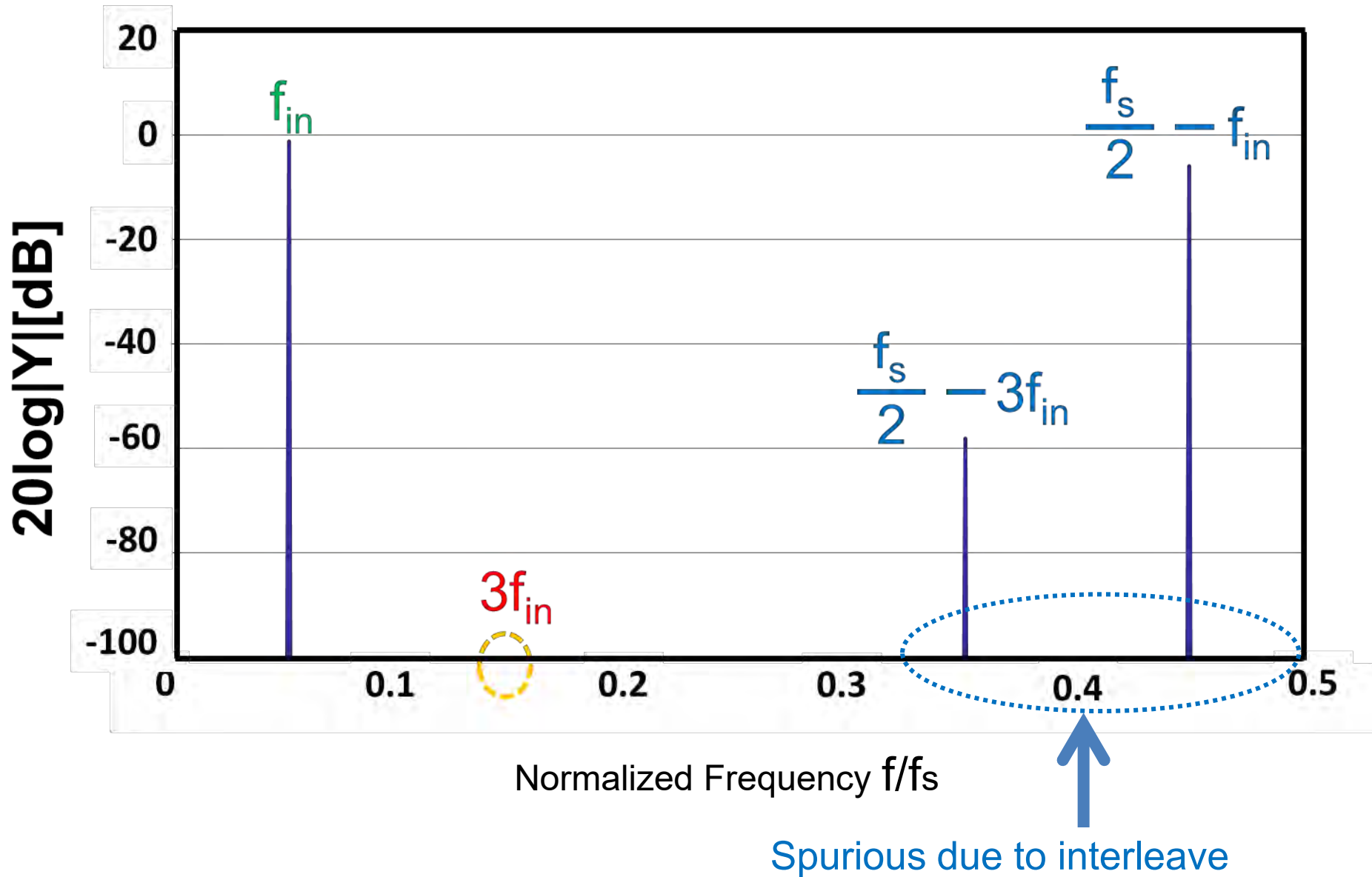
# Simulation Condition (Single tone)

21



Input signal X1	$\sin(2\pi f_{in} t + \pi/6)$
Input signal X2	$\sin(2\pi f_{in} t - \pi/6)$
1 <sup>st</sup> coeff. a(DAC)	1.0
3 <sup>rd</sup> coeff. b(DAC)	-0.005
Input freq. $f_{in}$	51
Sampling freq. $f_s$	1024

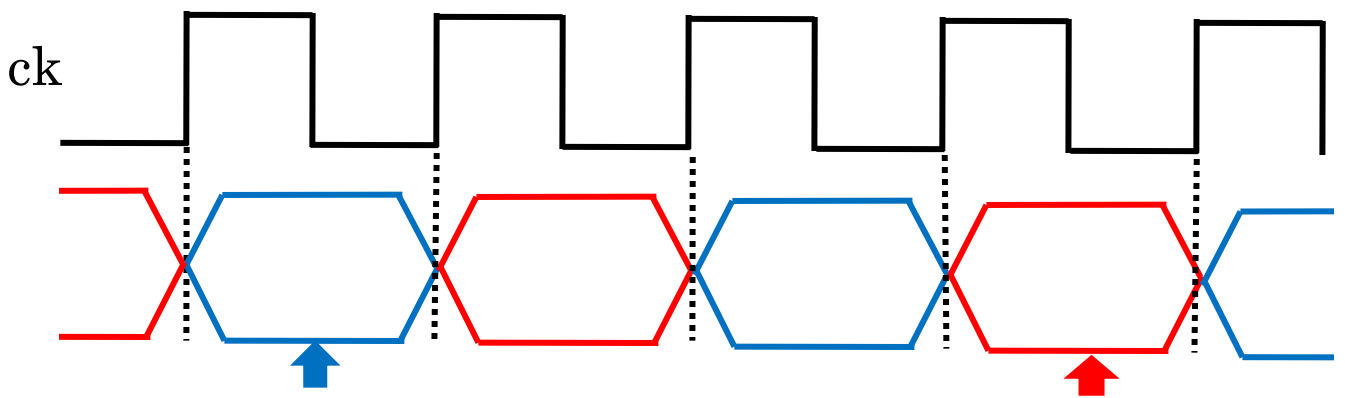
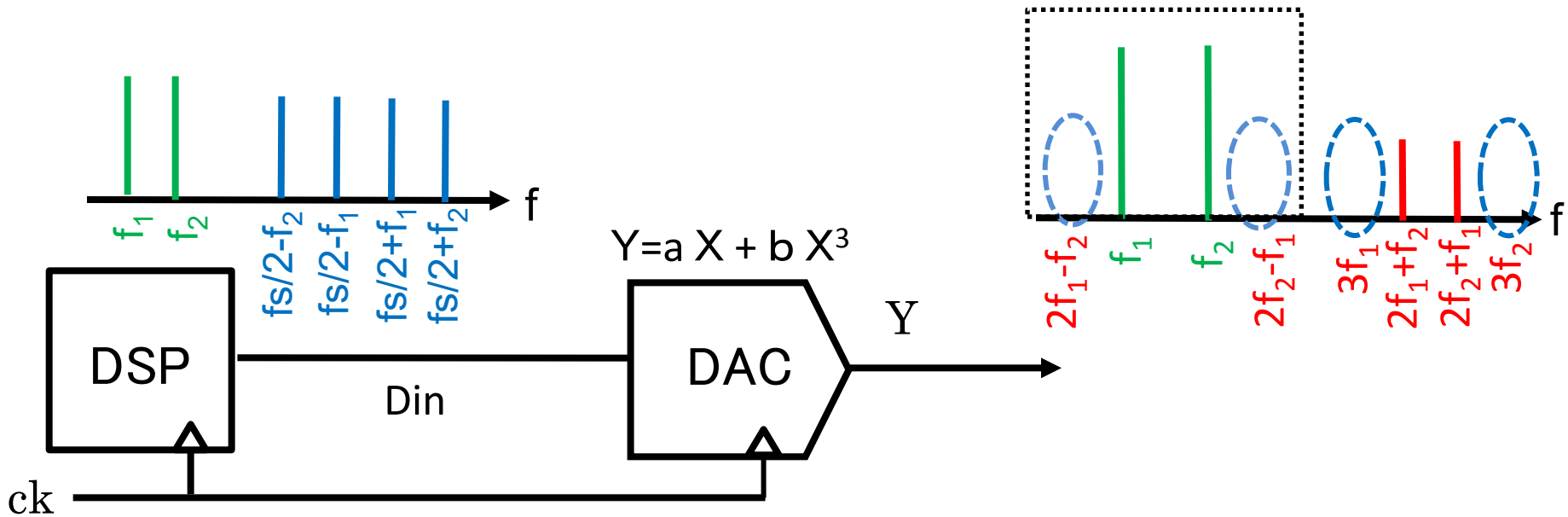
# Output Power Spectrum (Single-tone Input)





- Proposed Test Method
  - Single-tone Generation
  - Two-tone Generation
  - Algorithm Generalization

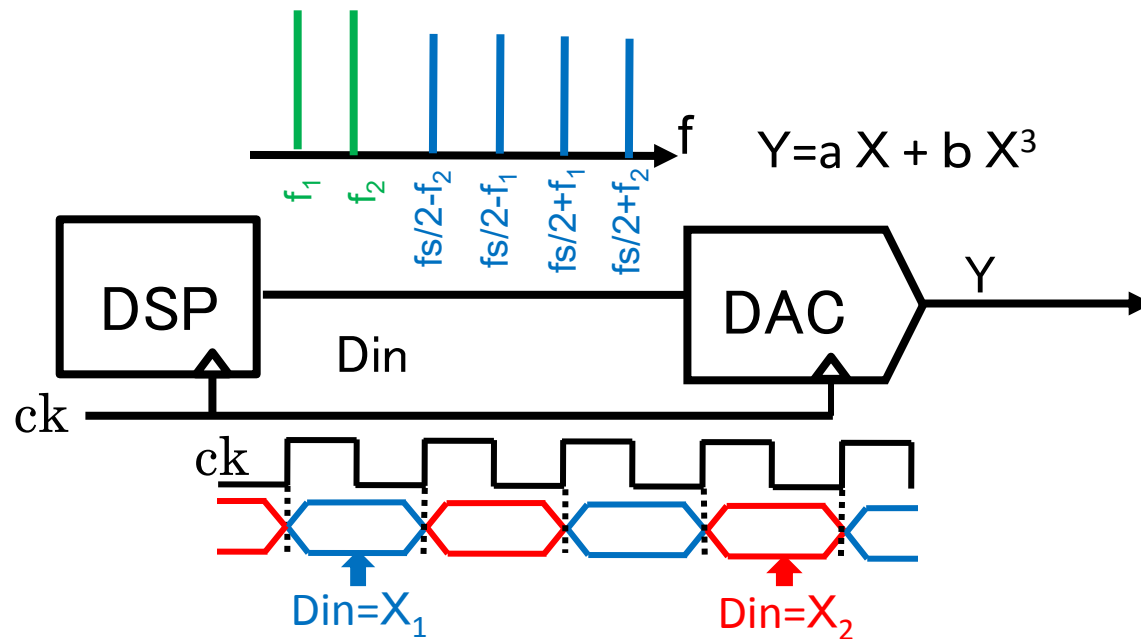
# Proposed Method (Two-tone signal)



$$Din = A \sin(2\pi f_1 t + \pi/6) + B \sin(2\pi f_2 t - \pi/6)$$

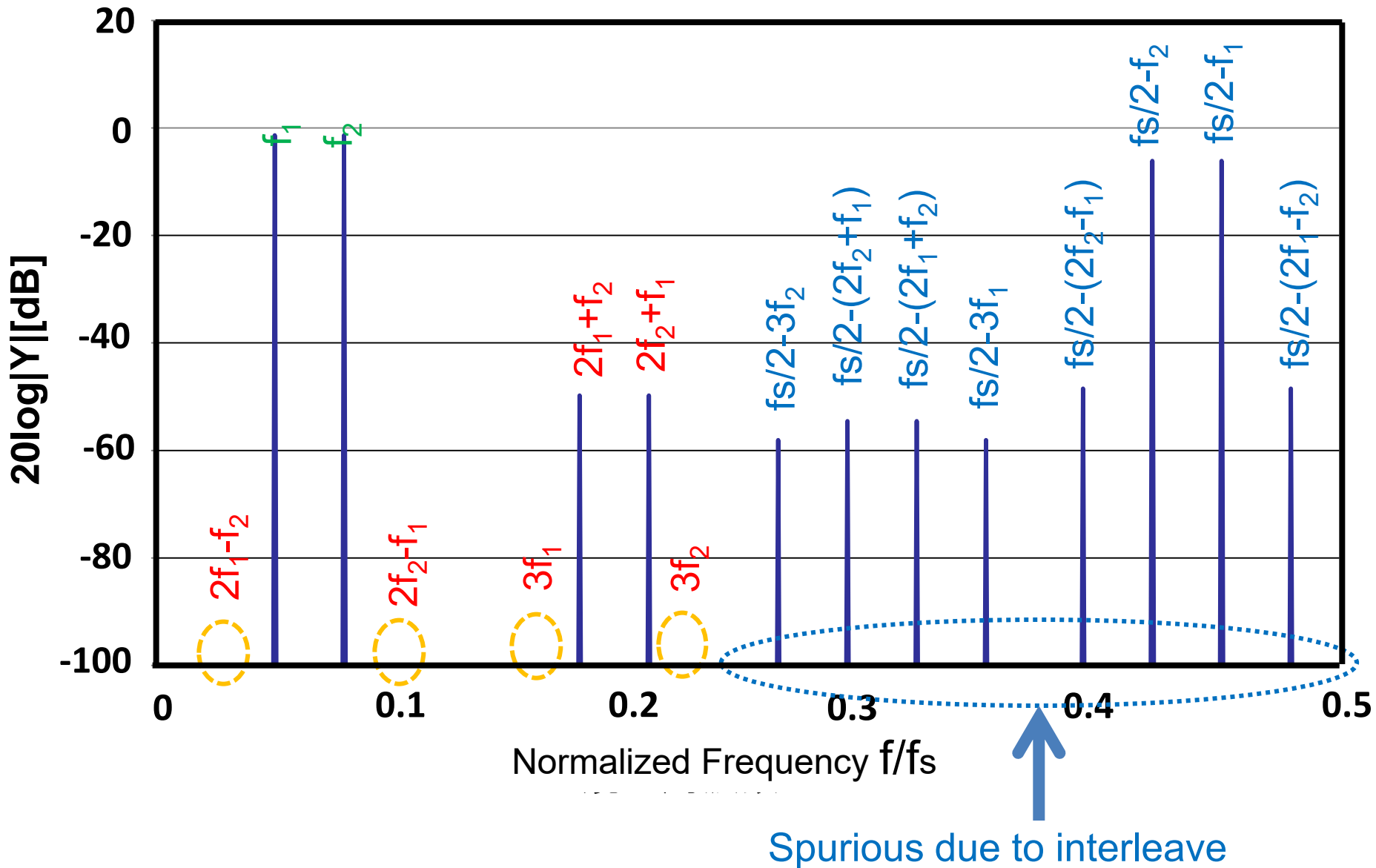
$$Din = A \sin(2\pi f_1 t - \pi/6) + B \sin(2\pi f_2 t + \pi/6)$$

# Simulation Condition (Two tone)

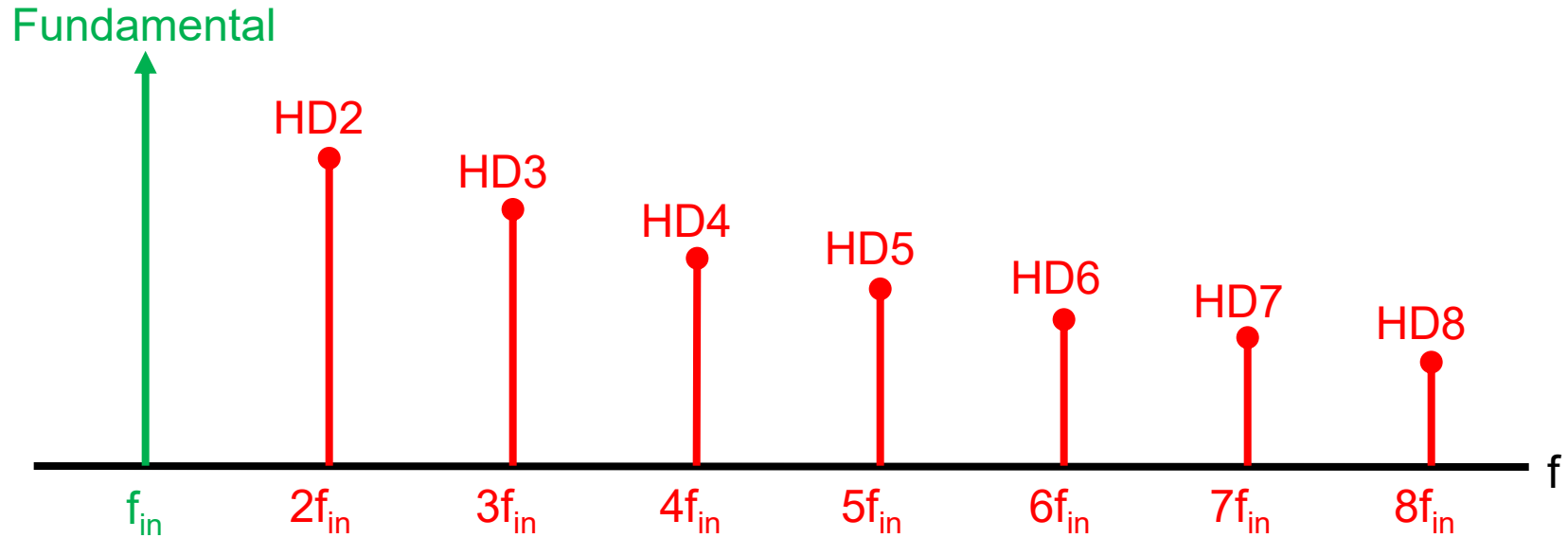


Input signal X1	$\sin(2\pi f_1 t + \pi/6) + \sin(2\pi f_2 t - \pi/6)$
Input signal X2	$\sin(2\pi f_1 t - \pi/6) + \sin(2\pi f_2 t + \pi/6)$
1 <sup>st</sup> coeff. a(DAC)	1
3 <sup>rd</sup> coeff. b(DAC)	-0.005
Input freq. f1	51
Input freq. f2	81
Sampling freq. fs	1024

# Output Power Spectrum (Two-tone Input) 26

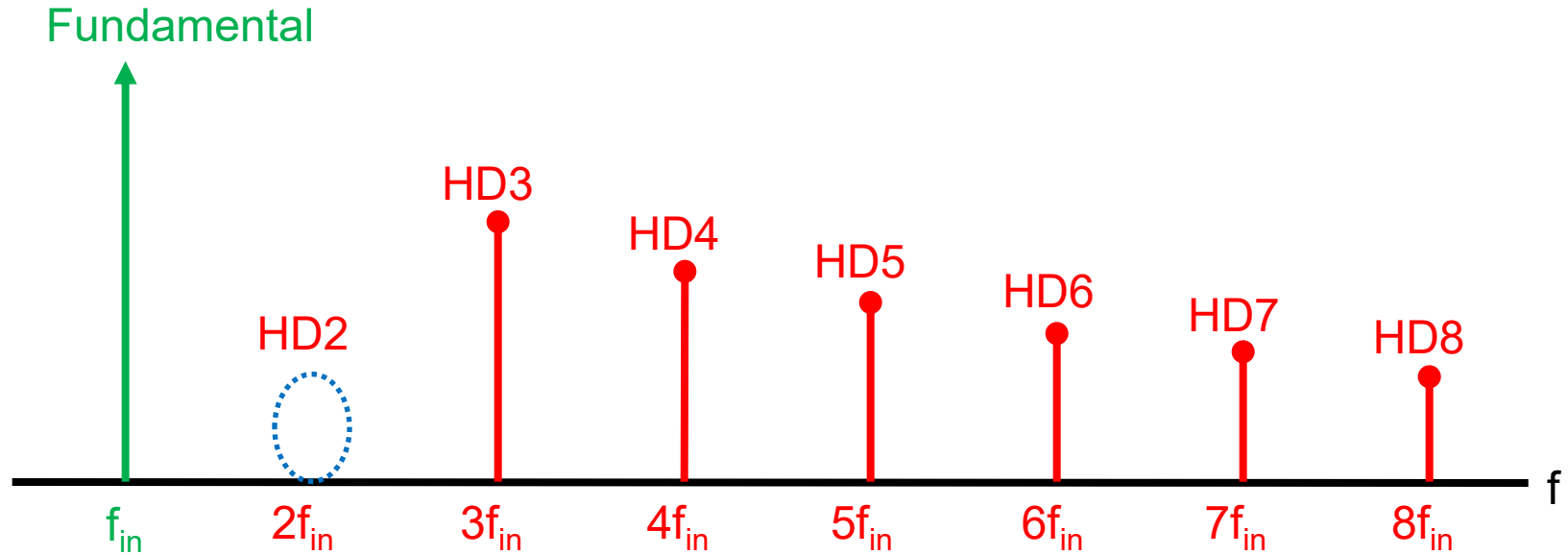


- Proposed Test Method
  - Single-tone Generation
  - Two-tone Generation
  - Algorithm Generalization



- ① HD2 cancellation
- ② HD2 & HD3 cancellation
- ③ HD3, HD5 & HD7 cancellation

# HD2 Cancellation

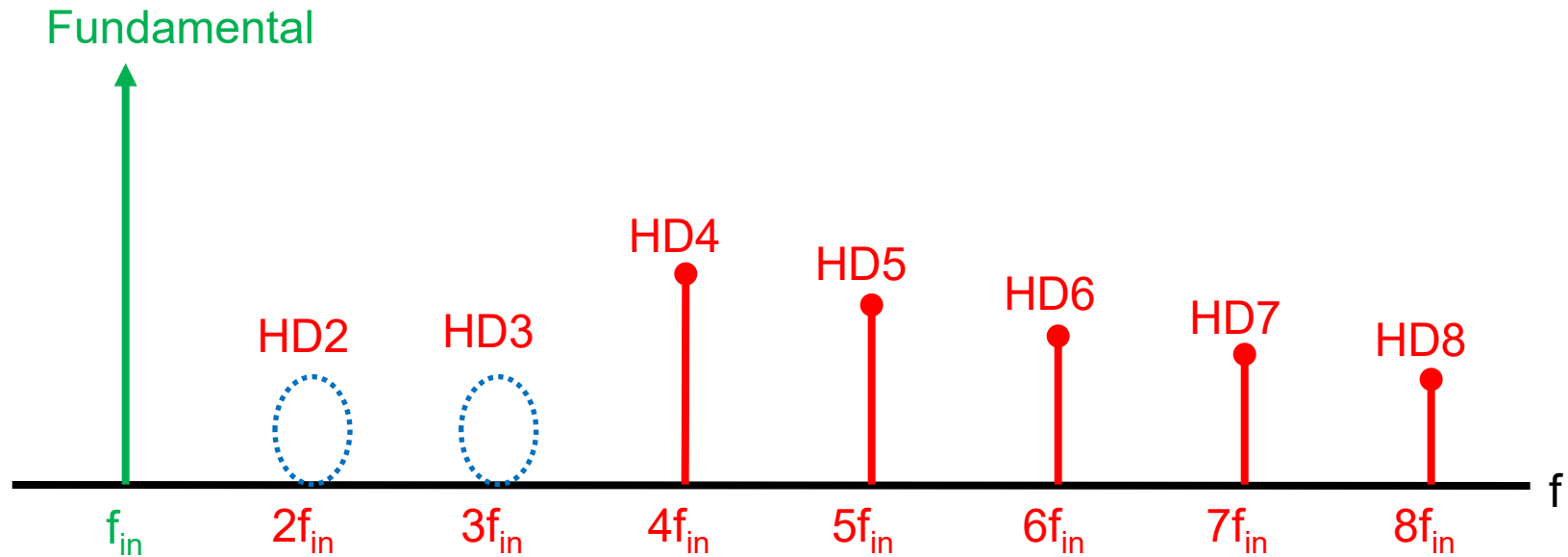


2-way interleave cancels HD2

$$X_1 = A \sin(2\pi f_{in} t + \pi/4)$$

$$X_2 = A \sin(2\pi f_{in} t - \pi/4)$$

# HD2, HD3 Cancellation



4-way interleave cancels HD2 & HD3

$$X_1 = A \sin(2\pi f_{in} t - \pi/4 - \pi/6)$$

$$X_2 = A \sin(2\pi f_{in} t - \pi/4 + \pi/6)$$

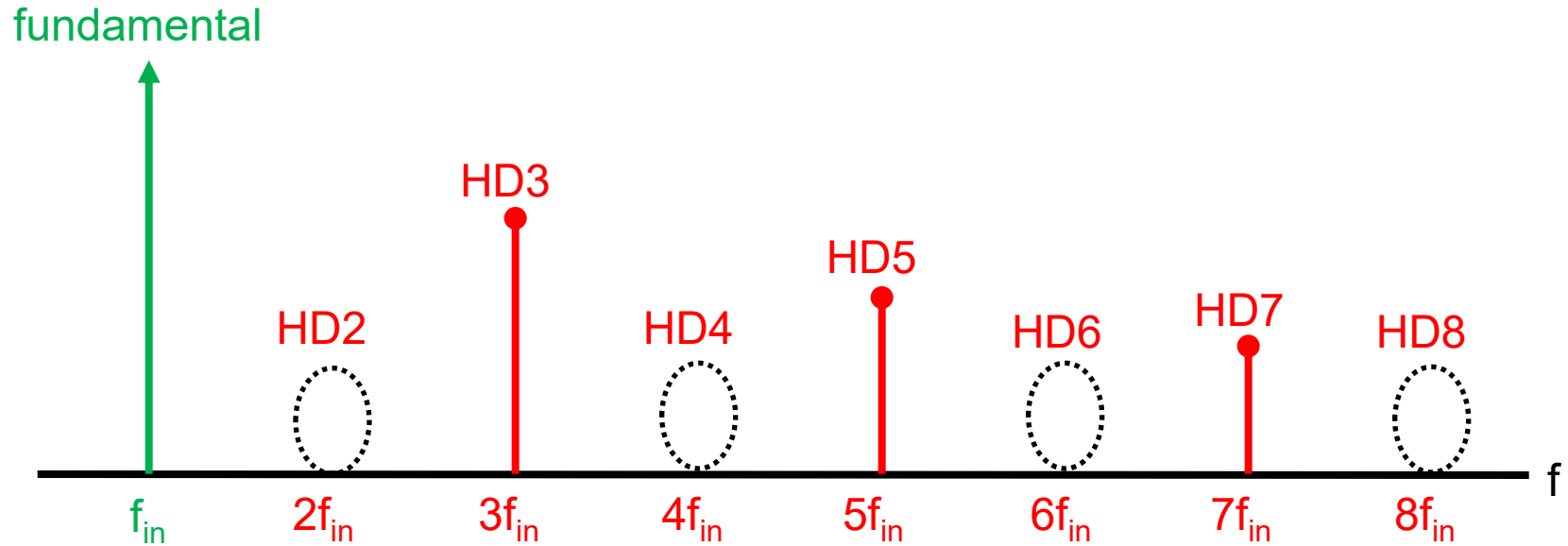
$$X_3 = A \sin(2\pi f_{in} t + \pi/4 - \pi/6)$$

$$X_4 = A \sin(2\pi f_{in} t + \pi/4 + \pi/6)$$

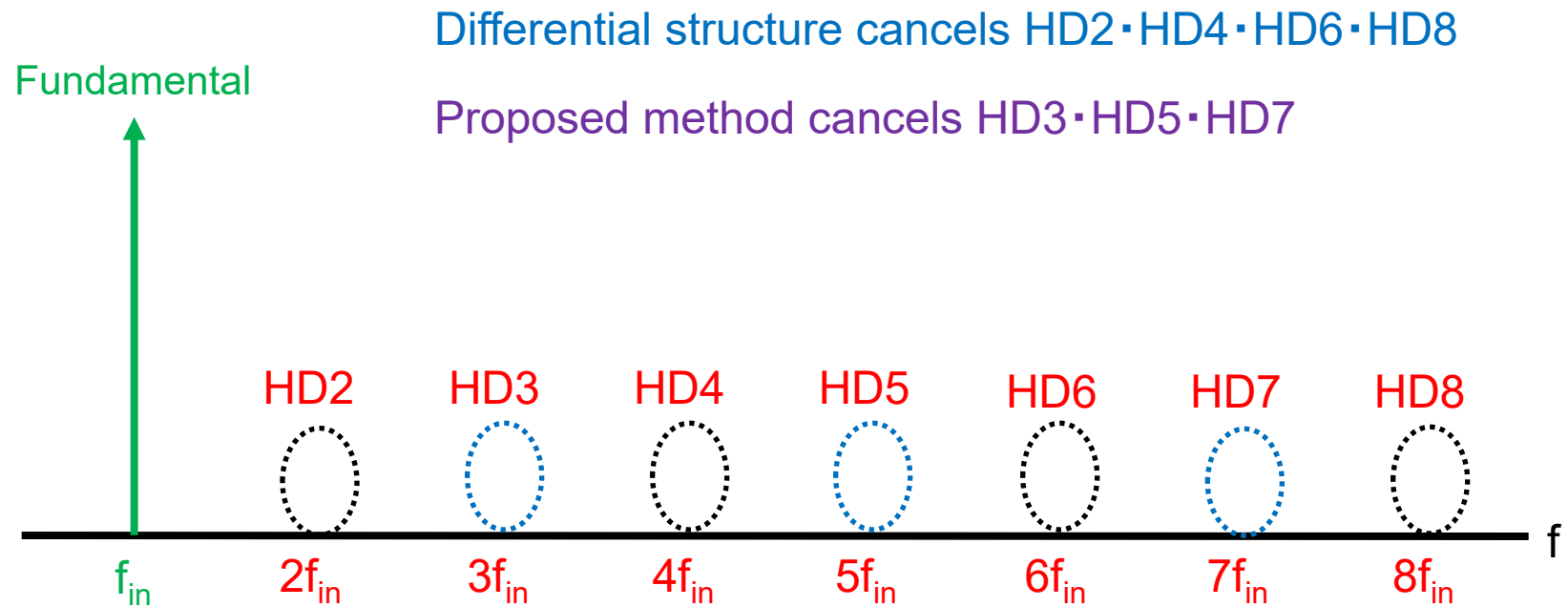


# Even Harmonic Cancellation

Differential structure cancels HD2 • HD4 • HD6 • HD8

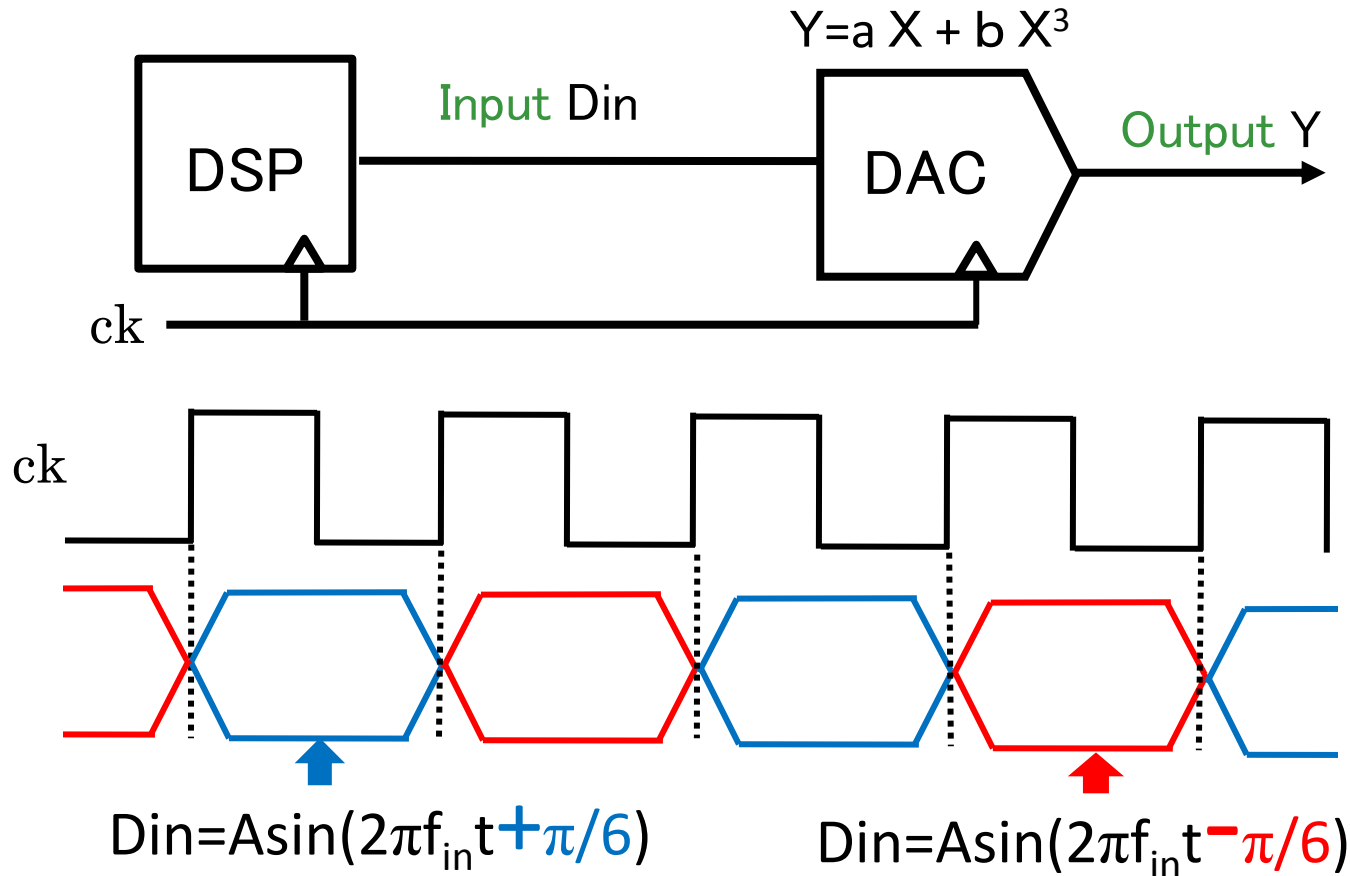


# HD3, HD5, HD7 cancellation



8-interleave cancels HD3, HD5 & HD7

- Research Purpose
- ADC Linearity Test
- Conventional Test Method
- Proposed Test Method
- Experimental Results
- Conclusion



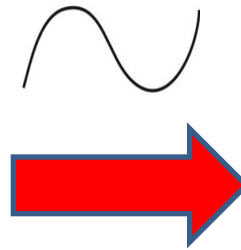
- Only DSP algorithm change in conventional AWG
- Single-tone generation with HD3 cancellation

# Experiment Instrumentation

AWG  
(Agilent 33120A)



Max. Sampling frequency (Hz)	40M
Resolution (bit)	12
Linearity	$\Delta$

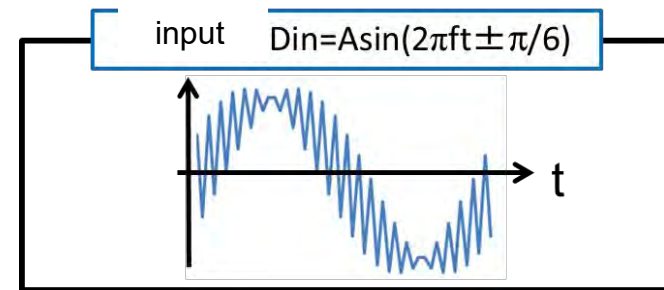
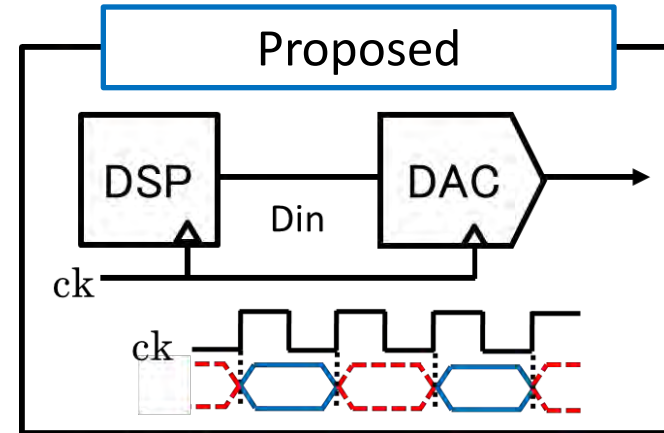
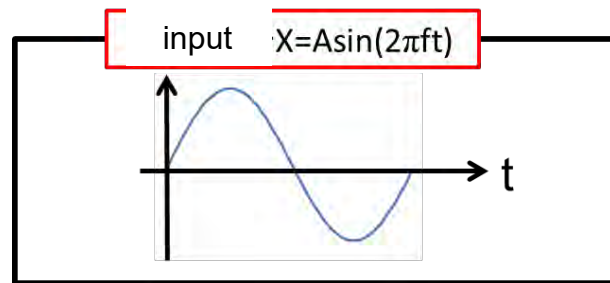
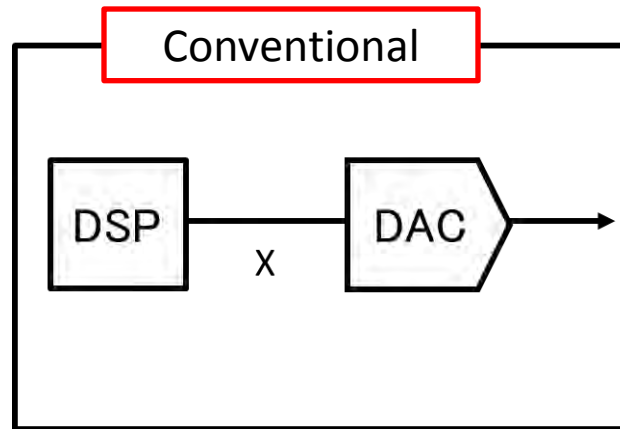


Spectrum Analyzer  
(HP ESA-L1500A)



Frequency range (Hz)	9k~1.5G
Max amplitude (Vpp)	19.8

# Experiment Condition



Conventional

Proposed



Fundamental  
(1MHz) : 6.31dBm

1.09dB

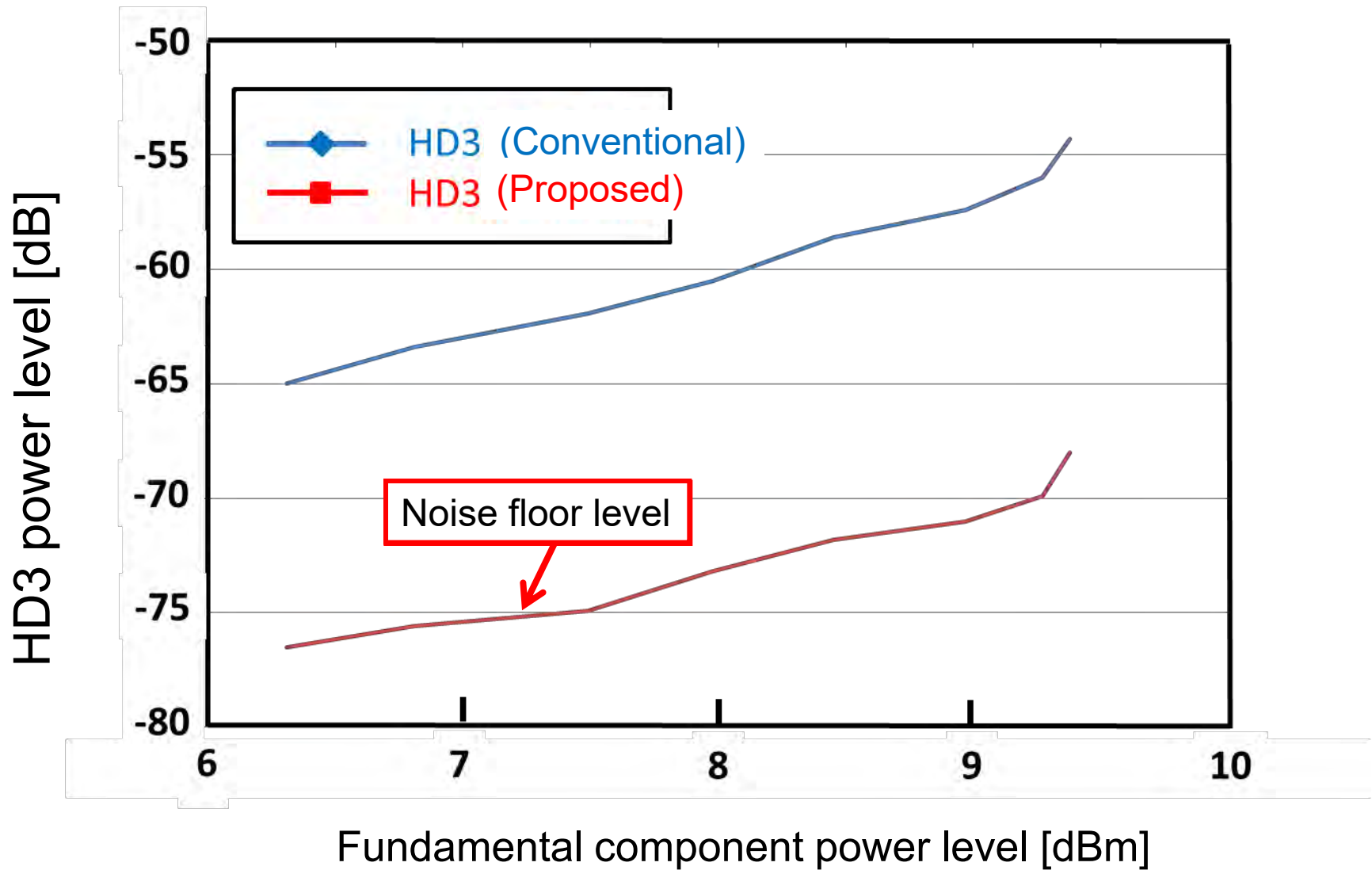
5.12dBm

reduction

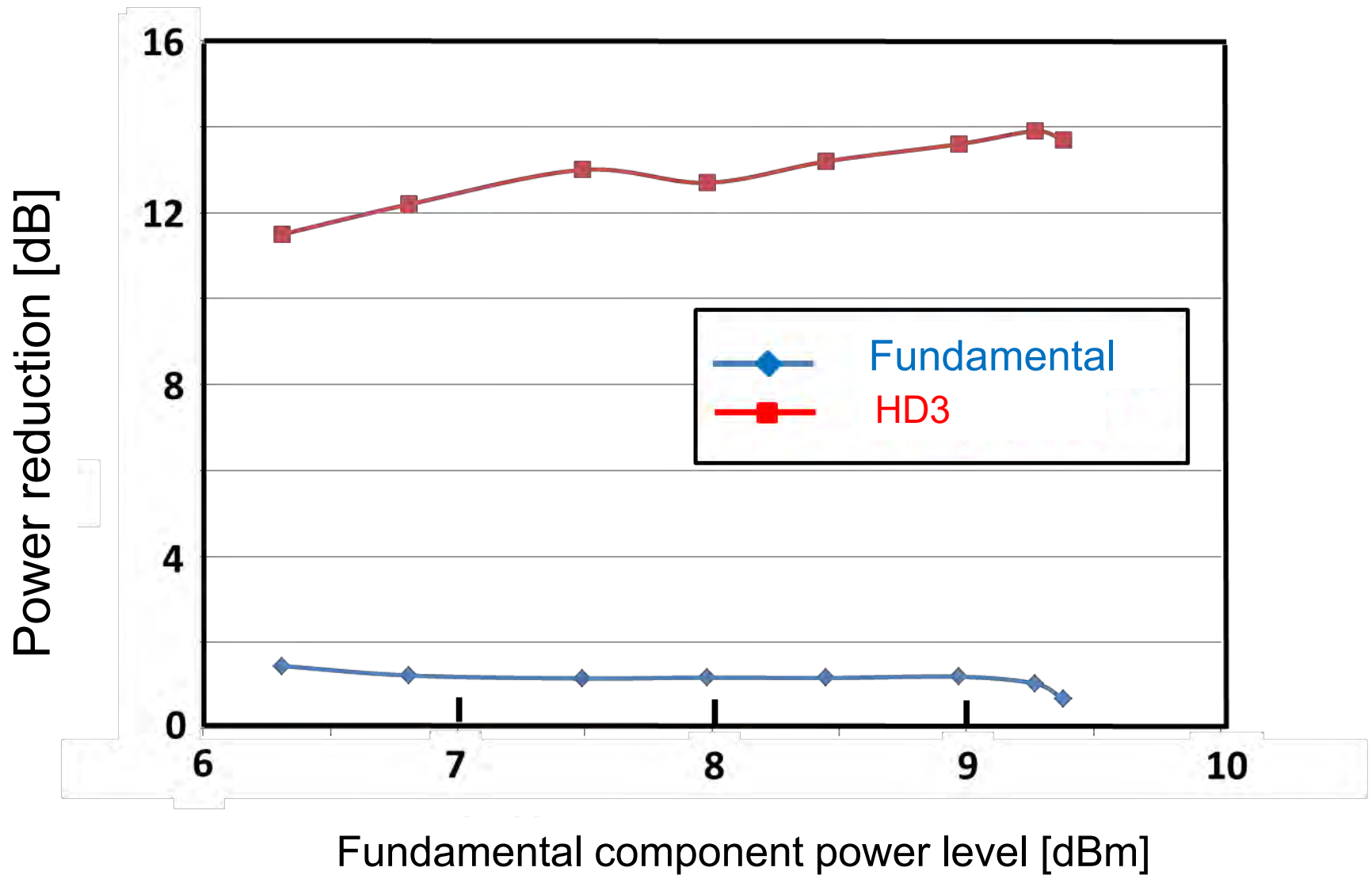
HD3 (3MHz) : -65dBm

11.5dB

-76.5dBm  
(Noise floor level)








# Conclusions

- Low-distortion signal generation with AWG
- Single-tone: HD3 cancellation
- Two-tone: IM3 cancellation
- Algorithm generalization
- Only program change
- No hardware change.
- No need for AWG nonlinearity identification
- Theoretical analysis, simulation and experiment all verify the effectiveness of the proposed method

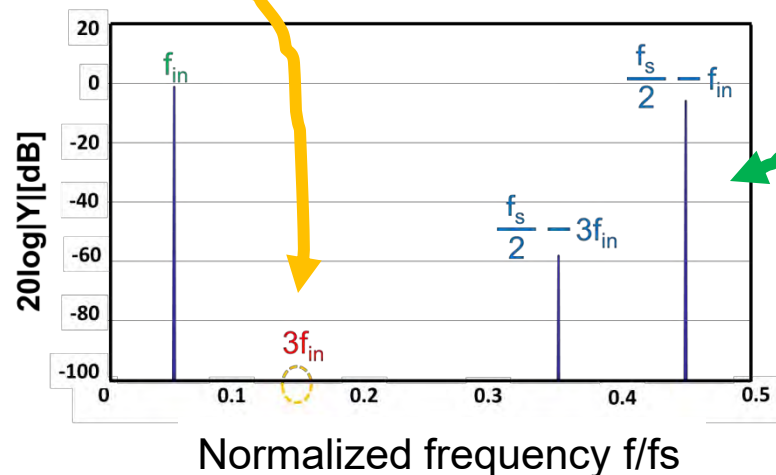


Low-cost, high-quality testing of ADC is possible

- Proposed signal generation method 
- Distortion components close to signal band are reduced
- Distortion components far from signal band may appear.

## Distortion-shaping

Similar to but different from noise-shaping



## Peter Garry SARSON 氏 群馬大学から博士号を授与

SARSON 氏（欧州の半導体メーカー勤務）とは、LSI テスト関係の国際会議で知り合う。私の発表を聞き、その技術に関心を持ち 実際の半導体試験装置で検証したところ有効であったとの連絡を受ける。交流が始まり、一緒に国際学会・論文を発表する。また一緒に関連する国際学会の運営活動も行う。

<https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2016/20160722am9IMSTW.pdf>

<https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2017/VTSReport20170427am8.pdf>

[http://tttc-vts.org/public\\_html/new/2019/](http://tttc-vts.org/public_html/new/2019/)

同氏は日本の大学に「論文博士」の制度があることを知り、私のところで博士号を取りたいということになり、6件の Journal Paper と博士論文を書き 2018年11月30日(金) に群馬大学から博士号を授与された。

博士論文タイトル: Analogue Mixed Signal Test Development

- Continuous Improvement Exercise in Quality, Reliability, and Reduction in Test Cost of Semiconductor Devices

[https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2018/Dissertation\\_Peter\\_Sarson\\_rev11.7.pdf](https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2018/Dissertation_Peter_Sarson_rev11.7.pdf)

論文審査委員会：

主査	高田和正	教授
副査	本島邦行	教授
副査	青木 均	客員教授
副査	浅見幸司	客員教授
副査	小林春夫	教授



2018年9月10日 博士公聴会の終了後(Sarson氏は右から2番目)

\*\*\*\* Peter SARSON 氏から \*\*\*\*

It was July 2016 in Spain where we published and presented a small paper on distortion shaping based on some work I had done **from seeing you present at ITC in Seattle**. For some reason you offered to help me do my PH.D. For the next year you helped me to write papers based on my research and showed me the correct way to present my data in a written form. In parallel you helped me form some kind of document out of all disconnected papers to form some form of coherent document that became the initial form of my dissertation. Again, I have no idea how, you convinced 5 professors to judge my work and allow me to come to Japan to present my work. I came and politely I was informed I needed to do some more work, you showed me how to perform simulations correctly and how to document them with block and flow diagrams. I carried out some work I always had wanted to do that I knew would work in principle but I had never had the chance to do. Using simulation. I showed that ATE equipment could possibly be improved and showed how its lifetime could be extended.

Having presented more papers on this, produced more journals and updated my dissertation to reflect all of this I finally came to Japan again in 2018. I'm now a doctor and I have you to solely thank for your encouragement and stoicism in getting me through this process.

Regards

Peter Sarson PH.D SMIEEE

\*\*\*\*\*

下記発表がきっかけである。

Fumitaka Abe, Yutaro Kobayashi, Kenji Sawada, Keisuke Kato, Osamu Kobayashi, [Haruo Kobayashi](#),

“[Low-Distortion Signal Generation for ADC Testing](#),”IEEE International Test Conference, Seattle, WA (Oct. 2014).

これは半導体理工学センター(STARC)との共同研究内容であり、このオリジナルのアイデアは(当時)同社の小林修氏によるものである。それを発展させていくつものアルゴリズムや実験室レベルでの検証を行ってきている(数年前に同社との共同研究が終了したが、現在も研究室で継続している)。アルゴリズム的な内容であり、特許出願は行っていない。フランスのTIMA研究所や米国アイオワ州立大学等で同じ分野の研究をしているグループからは関心をもってもらっている(学会で議論し、論文にも引用されている)。Sarson氏からの「実際の半導体試験装置の環境下で実用化検証できた」という連絡は工学系の研究室の立場からはうれしい限りである。

なお、Sarson氏とは学会発表の公開情報をもとにした研究者レベルの交流であり共同研究のコンタミはない。

写真提供 群馬大学 石川信宣 文責 小林春夫