

2015年3月2日

改訂1 2017年12月9日

IGBTの特性

群馬大学

松田順一

概要

1. デバイス構造と動作
2. スタティックブロッキング特性
3. 順方向伝導特性
4. 寄生サイリスタのラッチアップ
5. SOA (Safe Operating Area)
6. スイッチング特性
7. 相補デバイス
8. 高電圧デバイス
9. 高温特性
10. トレンチゲートIGBT構造
11. トレンド

(注)群馬大学アナログ集積回路研究会 第80回講演会(2008年3月24日開催)資料から抜粋

参考文献 B. Jayant Baliga, “Fundamentals of Power Semiconductor Devices,”
Springer Science + Business Media, 2008.

IGBTとは

●パワー・バイポーラ・トランジスタ

■低電流利得(高電圧仕様)

- ワイドベース(リーチスループロテクション:ブロッキング状態)
- ベースとコレクタドリフト領域への高レベル注入(オン状態)

■複雑なゲート駆動回路(回路面積大⇒高価)

●パワーMOSFET

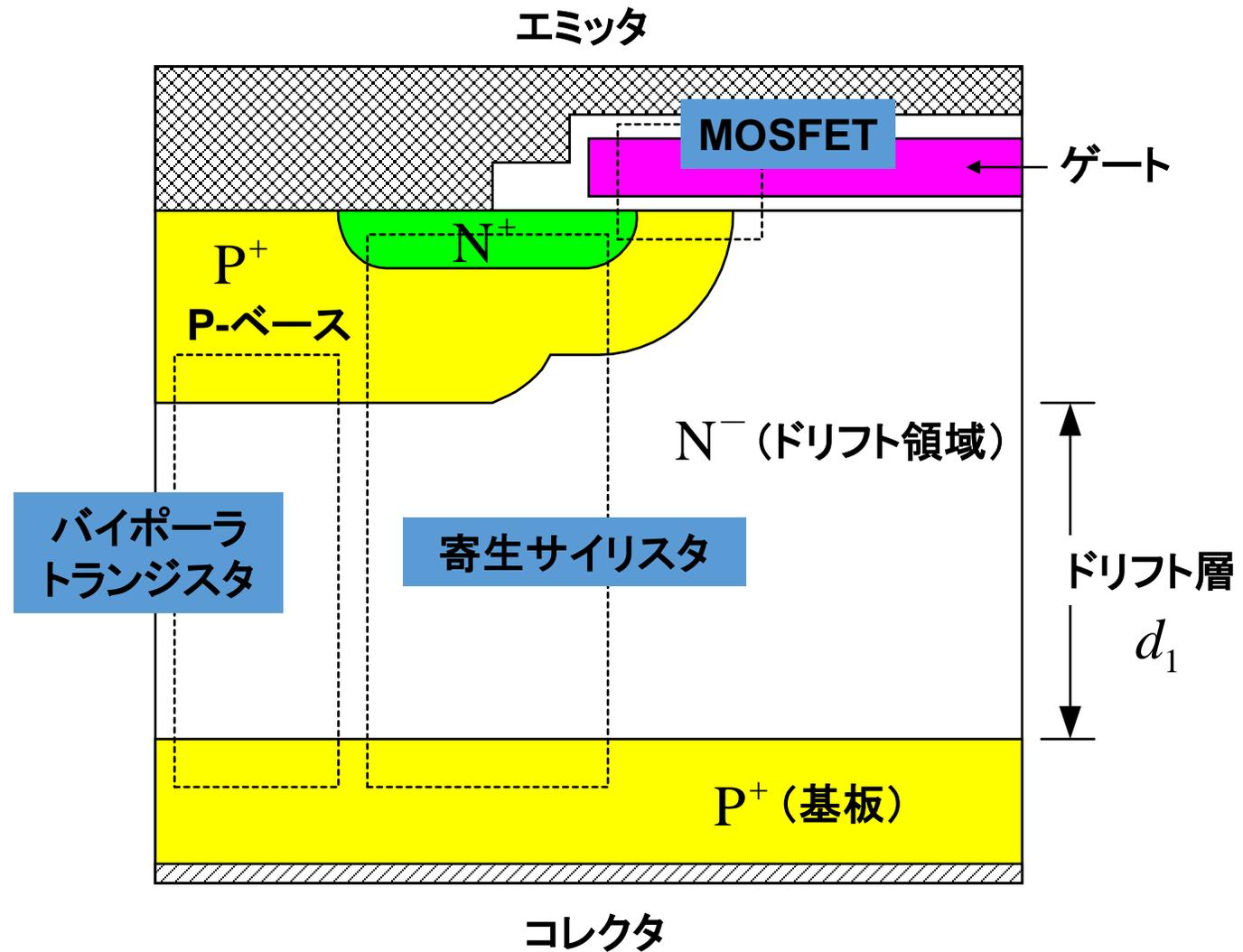
■簡単なゲート駆動回路(回路面積小⇒安価)

■高電圧(200V以上)ではオン抵抗は急に増大

●IGBT

■パワー・バイポーラ・トランジスタ+パワーMOSFET

IGBTの断面構造

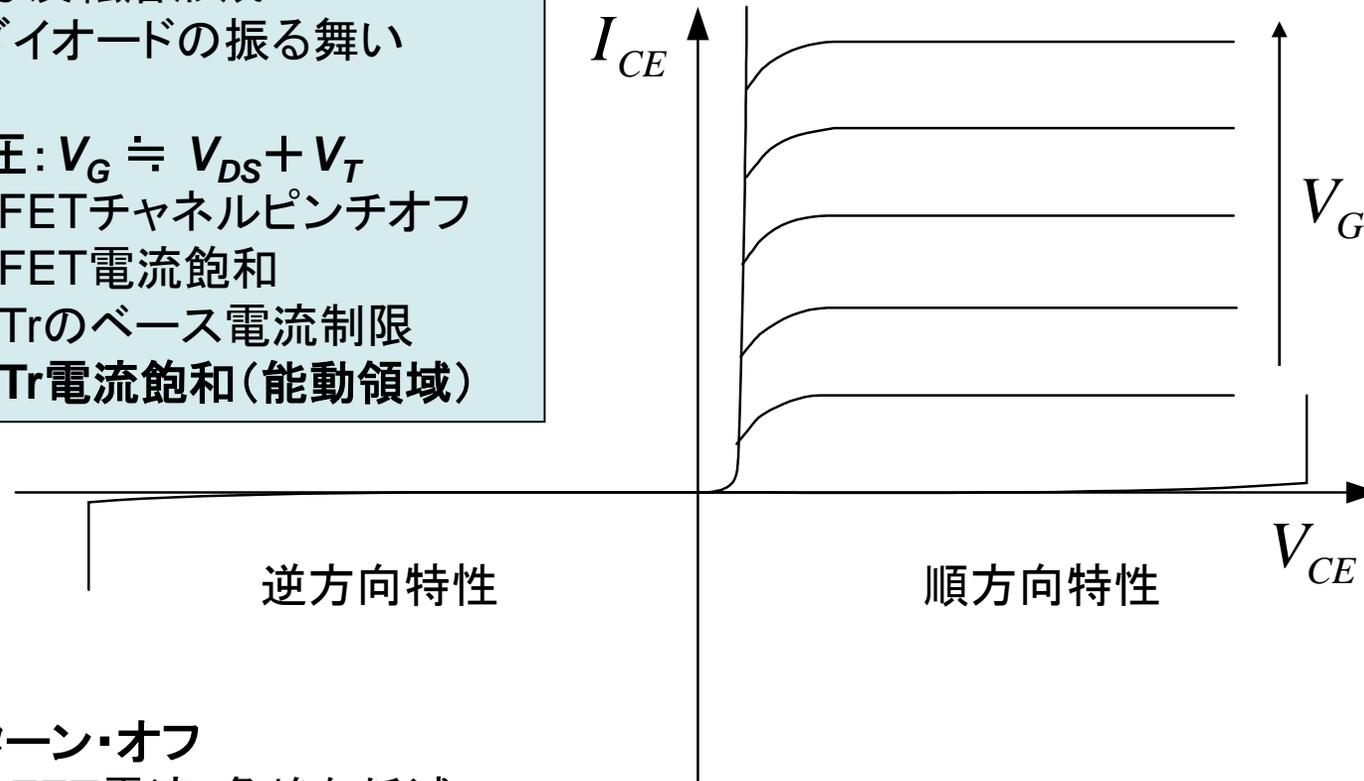


IGBT動作の特長

- 高い順方向電流密度
- 低駆動パワー(MOSゲート構造)
- ゲート制御ターンオフ
- 広いSOA(完全ゲート制御出力特性)
- 高い順/逆方向ブロッキング特性
- 300V以上のブロッキング耐性に有効
(低ブロッキング耐性では、MOSFETが有効)

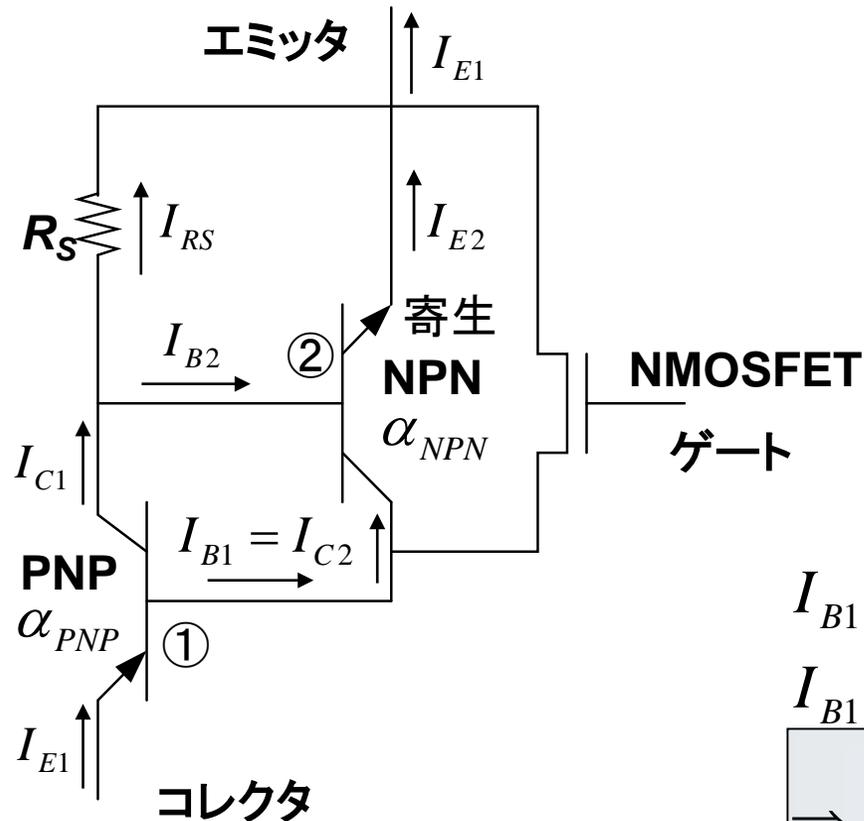
IGBT動作

- ゲート電圧: 大
 - ⇒ 十分な反転層形成
 - ⇒ PiNダイオードの振る舞い
- ゲート電圧: $V_G \doteq V_{DS} + V_T$
 - ⇒ MOSFETチャネルピンチオフ
 - ⇒ MOSFET電流飽和
 - ⇒ PNP Trのベース電流制限
 - ⇒ PNP Tr電流飽和(能動領域)



- ゲート・ターン・オフ
 - ⇒ MOSFET電流: 急峻な低減
 - ⇒ コレクタ電流: 徐々に低減(少数キャリアライフタイムによる時定数)

IGBT等価回路



R_S : P-ベース領域内の抵抗
(エミッタへの正孔電流に影響)

↓
 R_S による電圧降下 $< 0.7V$
⇒ NPNは作動せず

↓
 R_S : 十分に小
⇒ 寄生サイリスタ動作不可
(∵ NPN Trゲイン: 小)

$$I_{B1} = (1 - \alpha_{PNP}) I_{E1}, \quad I_{C2} = \alpha_{NPN} I_{E2}$$

$$I_{B1} = I_{C2}, \quad I_{E1} = I_{E2} + I_{RS}$$

$$\Rightarrow I_{E1} = - \frac{\alpha_{NPN} I_{RS}}{1 - (\alpha_{PNP} + \alpha_{NPN})}$$

IGBT ⇒ PNP Tr + PNP Trのベースを駆動するMOSFET (ダーリントン構成)

逆方向スタティック・ブロッキング特性

- オープン・ベース・トランジスタの耐圧 ($=BV_{CEO}$)
(P⁺コレクター-N-ドリフト-P-ベース)
- N-ドリフト領域幅 (d_1) の設定
 - 最大動作電圧での空乏層幅 + 少数キャリア拡散長 (L_p)

$$d_1 = \sqrt{\frac{2\varepsilon V_m}{qN_D}} + L_p$$

・リーチスルー防止
・リーク電流低減

- チップ周辺での耐圧低減対策
 - 正のベベル角の形成 (表面電界低減)
(V形状ブレードによるダイシング + ケミカルエッチ + 表面のパッシベーション)

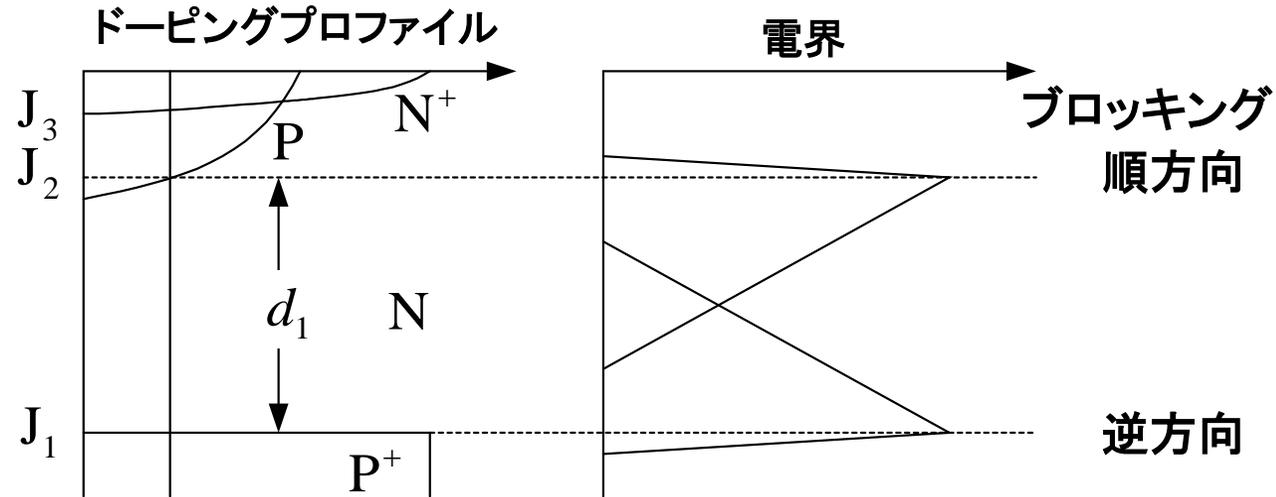
順方向スタティック・ブロッキング特性

- N-ドリフトーP-ベース間接合 (J_2) の逆方向耐圧
 - P-ベース・ドーピング・プロファイルの決定
 - MOSFET 閾値電圧設定
 - P-ベース内空乏層の N^+ エミッタへのパンチスルー防止
- DMOSセル間のスペース
 - DMOSセルスペースの増大 \Rightarrow 耐圧の低下
- P^+ コレクターーN-ドリフト間接合 (J_1)
 - J_2 接合による空乏層の J_1 接合へのパンチスルー回避
 - 対称デバイス: 順逆で同じブロッキング耐性確保 \Rightarrow AC用途
 - 非対称デバイス: 順方向ブロッキング耐性のみ保持 \Rightarrow DC用途
 - \Rightarrow **Nバッファ層の挿入** (1.5~2倍のブロッキング耐性の向上)

Ex. Nバッファ層のドーピング密度 (D_B): $10^{16} \sim 10^{17} \text{cm}^{-3}$ 、厚み (d_2): $10 \sim 15 \mu\text{m}$

ドーピングプロファイルと電界分布

対称IGBT

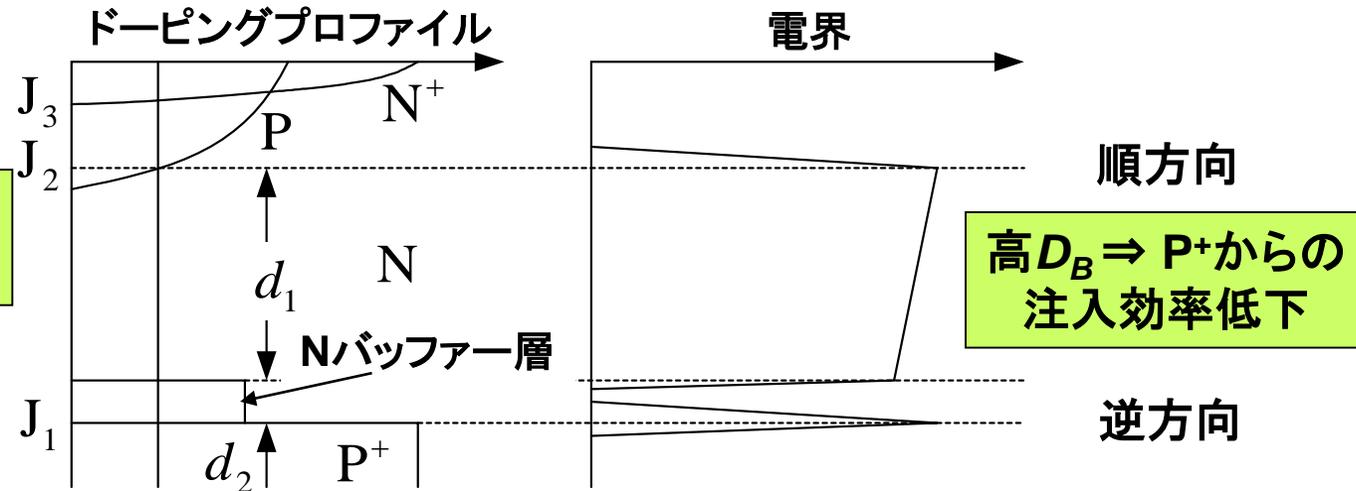


非対称IGBT

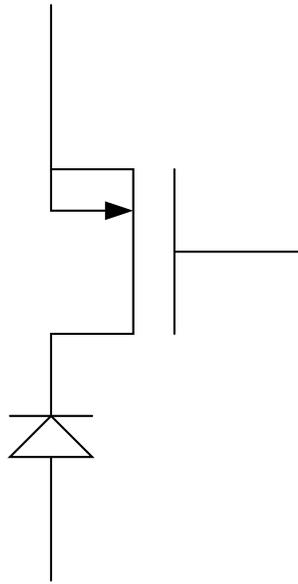
低 $D_B \Rightarrow$ バッファ
層内で電界ゼロ条件

$$D_B = d_2 N_B \geq \frac{\epsilon_s E_C}{q}$$

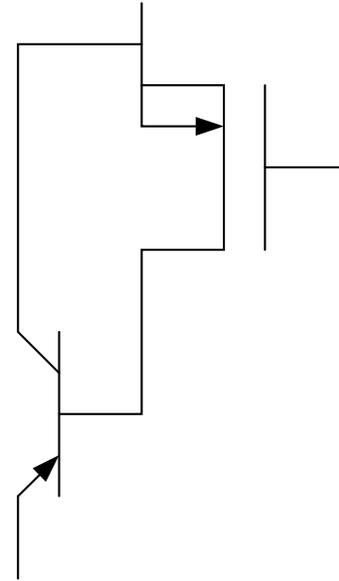
$$= 1.3 \times 10^{12} (\text{cm}^{-2})$$



順方向伝導の等価回路



PiNダイオード+MOSFET

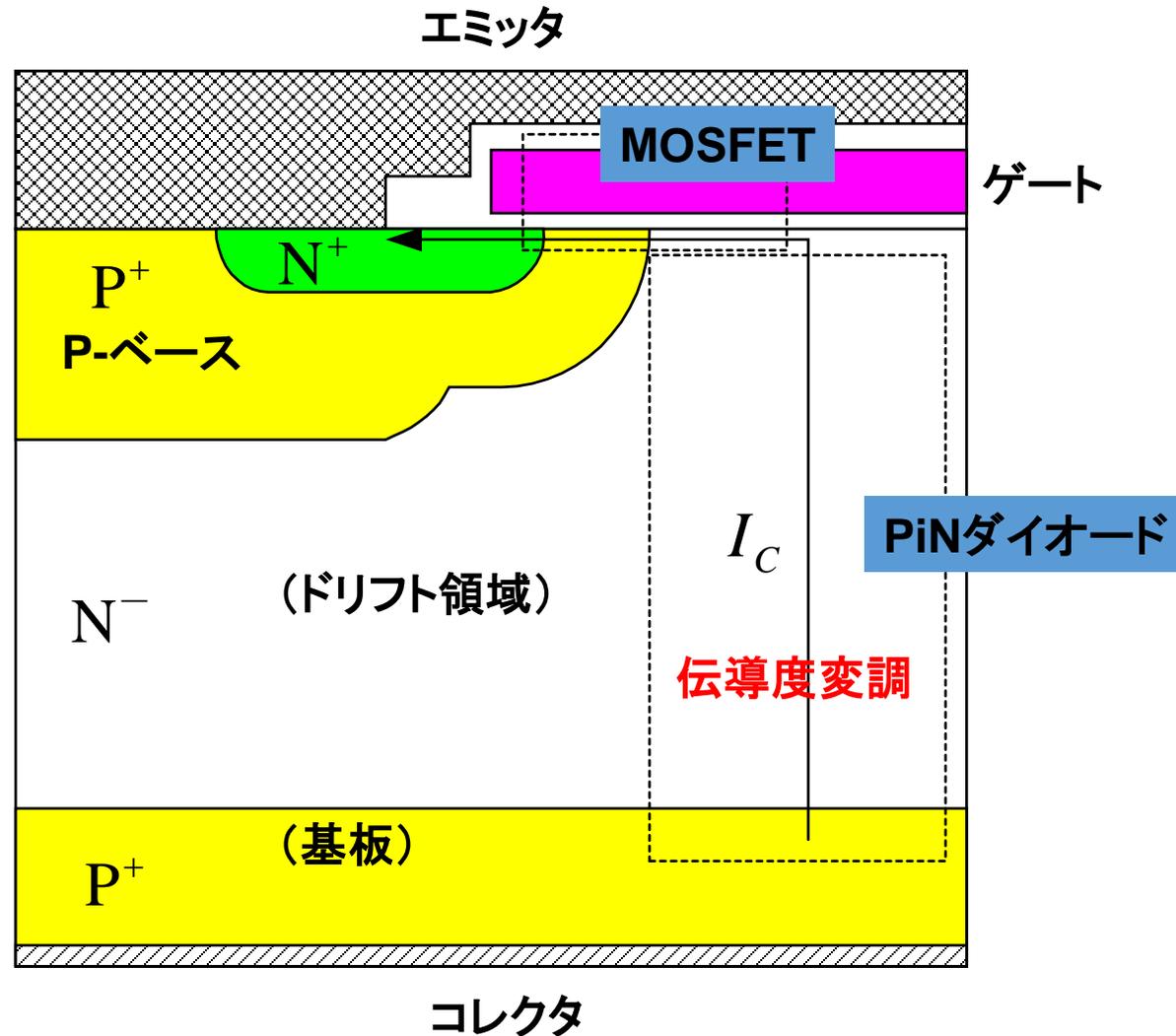


PNPトランジスタ+MOSFET
(ダーリントン構成)

ドリフト領域の伝導度変調による低抵抗化
⇒ドリフト領域への注入キャリア密度
($\cong 10^2 \sim 10^3 \times$ ドリフト領域のドーピング密度)

IGBTの順方向伝導(1)

— PiNダイオード+MOSFETモデル—



PiNダイオード + MOSFETモデル

$$V_F = \underbrace{\frac{2kT}{q} \ln \left[\frac{I_C d}{2qWZD_a n_i F(d/L_a)} \right]}_{\text{PiNダイオードの電圧降下分}} + \underbrace{\frac{I_C L_{CH}}{\mu_{ns} C_{OX} Z (V_G - V_T)}}_{\text{MOSFETの電圧降下分}}$$

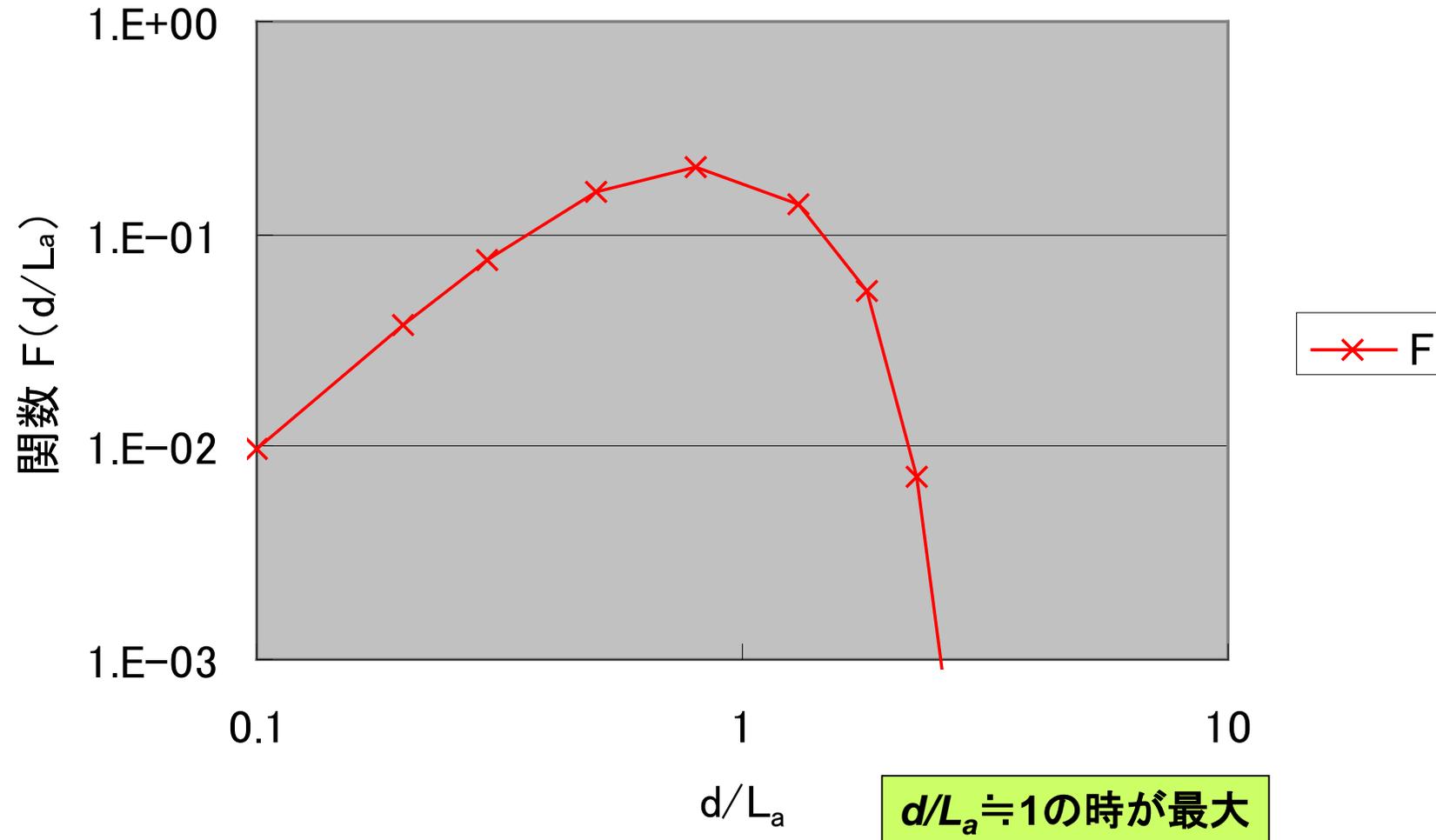
$$F\left(\frac{d}{L_a}\right) = \frac{(d/L_a) \tanh(d/L_a)}{\sqrt{1 - 0.25 \tanh^4(d/L_a)}} e^{(-qV_M/2kT)}$$

$$V_M \begin{cases} = \frac{3kT}{q} \left(\frac{d}{L_a}\right)^2 & \text{for } d \leq L_a \\ = \frac{3\pi kT}{8q} e^{d/L_a} & \text{for } d \geq L_a \end{cases}$$

d: ドリフト層厚みの半分 ($d_1/2$)
W: IGBTチャネル方向ピッチ
Z: MOSFETゲート幅

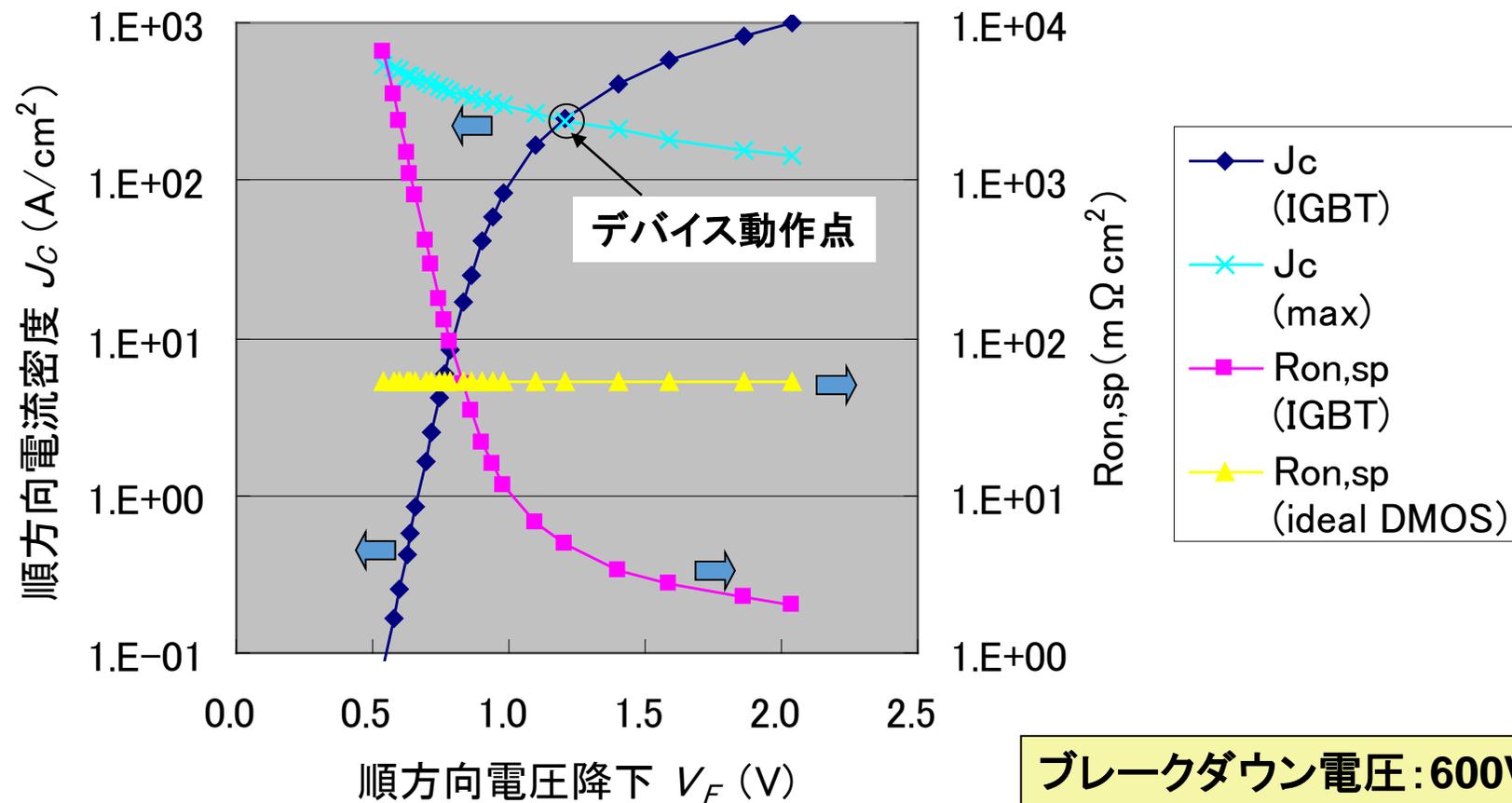
関数 F の d/L_a 依存性

— イント領域での再結合がない場合 (PiN) —



IGBTのI-V特性

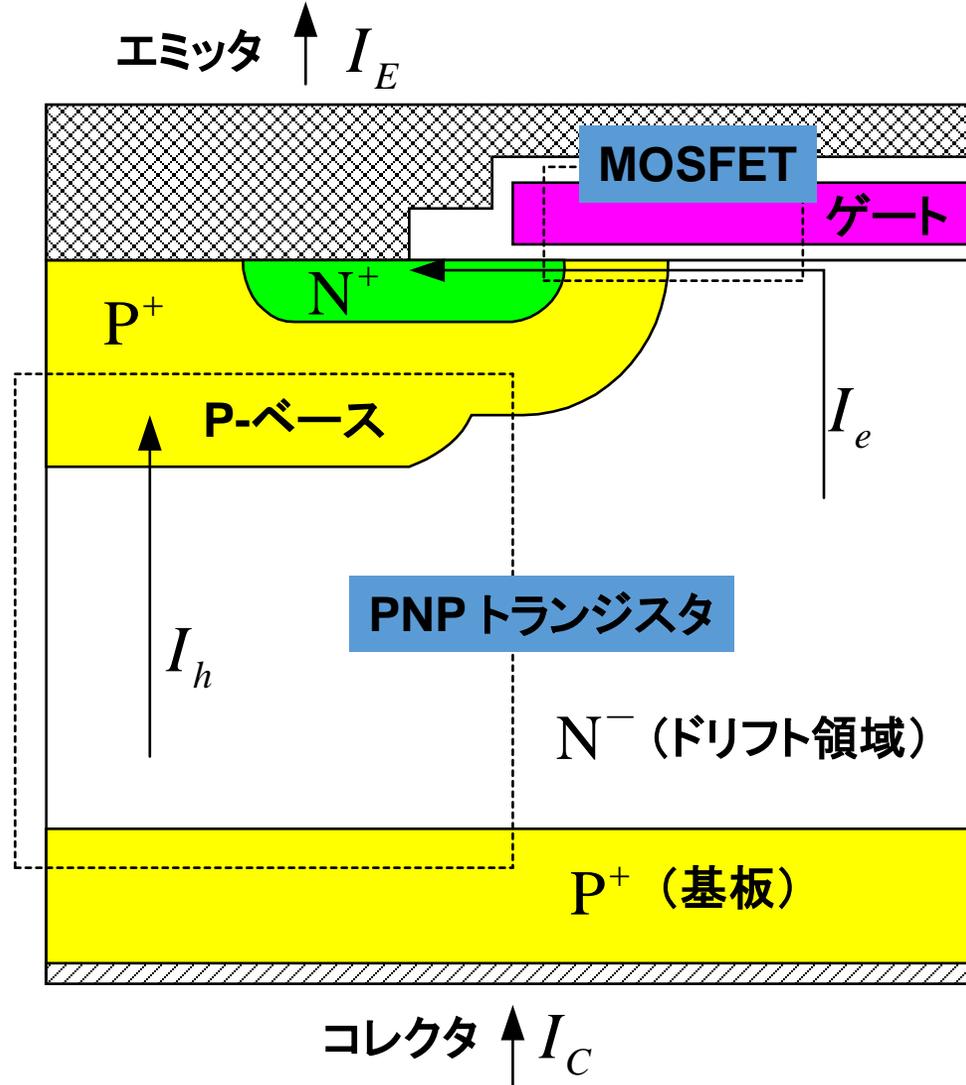
— PiNダイオード + MOSFETモデル —



IGBTデバイス動作点 ($T_j=200^\circ C$)での $R_{on,sp}$: MOSFET \gg IGBT

IGBTの順方向伝導(2)

—バイポーラトランジスタ+ MOSFETモデル—



$$I_h = \left(\frac{\alpha_{PNP}}{1 - \alpha_{PNP}} \right) I_e$$

$$\begin{aligned} I_E &= I_h + I_e \\ &= \left(\frac{1}{1 - \alpha_{PNP}} \right) I_e \end{aligned}$$

$$\begin{aligned} \alpha_{PNP} &\cong \alpha_T \\ &= \frac{1}{\cosh(l/L_a)} \end{aligned}$$

l : ベース幅 (空乏層除く)

L_a : 両極性拡散長

バイポーラトランジスタ+ MOSFETモデル(1)

●オン状態電圧降下

$$V_F = \underbrace{\frac{2kT}{q} \ln \left[\frac{I_C d}{2qWZD_a n_i F(d/L_a)} \right]}_{\text{PiNダイオードの電圧降下分}} + \underbrace{\frac{(1 - \alpha_{PNP}) I_C L_{CH}}{\mu_{ns} C_{OX} Z (V_G - V_T)}}_{\text{MOSFETの電圧降下分}}$$

・NDリフト領域の電圧降下: PiNダイオード近似

・MOSFETを流れる電流: $(1 - \alpha_{PNP}) I_C$

$V_F(\text{バイポーラ} + \text{MOSFETモデル}) < V_F(\text{PiNダイオード} + \text{MOSFETモデル})$

理由: バイポーラ+MOSFETモデル \Rightarrow 全 I_C MOSFETを流れない
PiNダイオード+MOSFETモデル \Rightarrow 全 I_C MOSFETを流れる

バイポーラトランジスタ+ MOSFETモデル(2)

- MOSFETを流れる電流： I_e (MOSFET:飽和状態)

$$I_e = \frac{\mu_{ns} C_{ox} Z}{2L_{CH}} (V_G - V_T)^2$$

- コレクタ飽和電流

$$I_{C,sat} = \frac{1}{1 - \alpha_{PNP}} \frac{\mu_{ns} C_{ox} Z}{2L_{CH}} (V_G - V_T)^2$$

- トランスコンダクタンス

$$g_{ms} = \frac{1}{1 - \alpha_{PNP}} \frac{\mu_{ns} C_{ox} Z}{L_{CH}} (V_G - V_T)$$

$g_{ms}(\text{IGBT}) > g_{ms}(\text{パワー-MOSFET})$: 典型的な $\alpha_{PNP} \doteq 0.5$

出力抵抗の低下

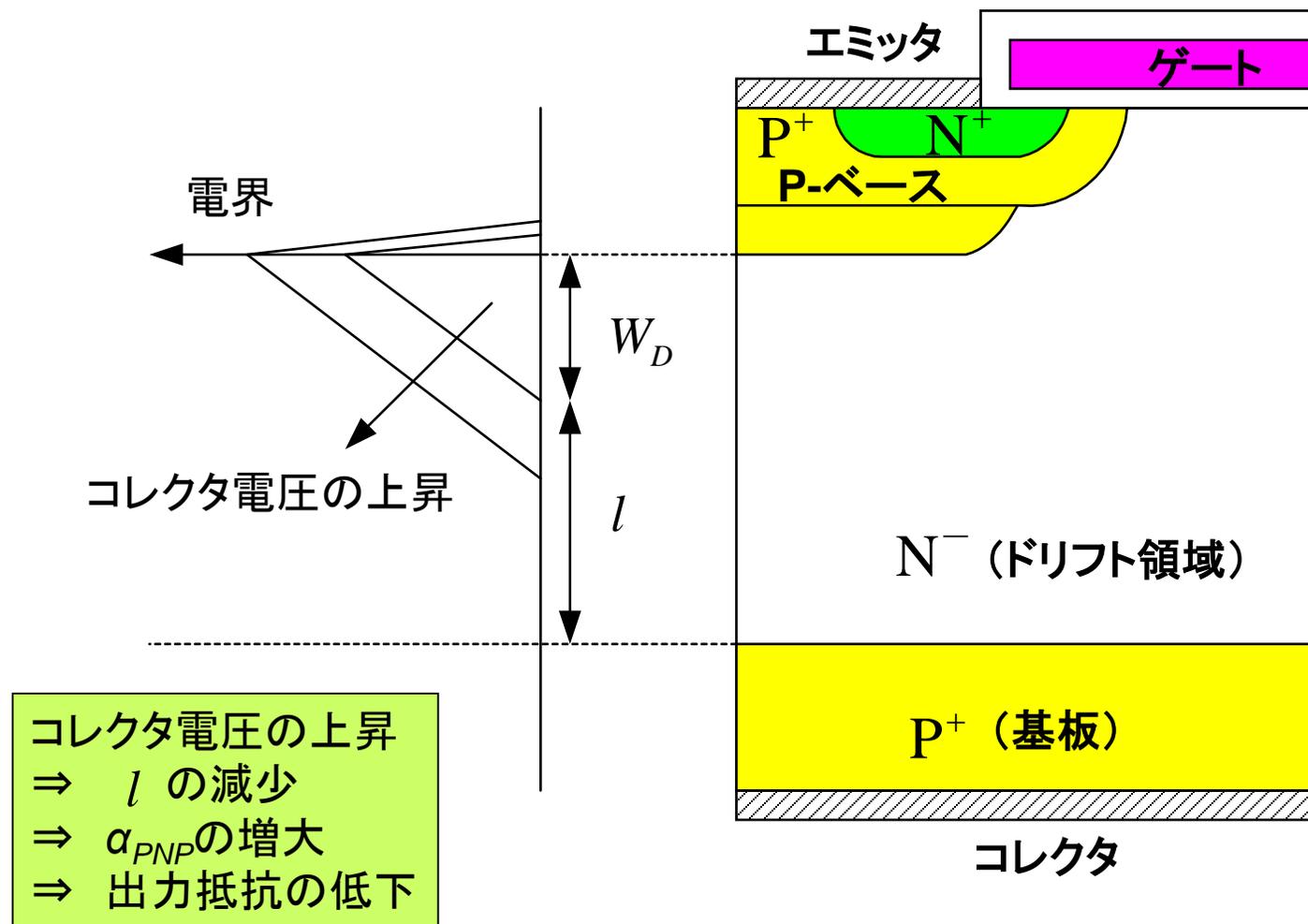
- コレクタ電圧増加に伴う出力抵抗の低下
 - MOSFETの実効チャネル長の減少
 - PNPトランジスタの α_{PNP} の増大
(空乏化されないベース(N-ドリフト)領域 の減少) l
- 出力抵抗

$$\frac{1}{r_C} = \frac{dI_C}{dV_C} = \frac{d}{dV_C} \left(\frac{I_e}{1 - \alpha_{PNP}} \right) = \frac{\sinh(l/L_a)}{[\cosh(l/L_a) - 1]^2} \sqrt{\frac{\epsilon_s}{2qN_D L_a^2 V_C}} I_e$$

$$\alpha_{PNP} \cong \alpha_T = \frac{1}{\cosh(l/L_a)}, \quad l = d_1 - W_D = d_1 - \sqrt{\frac{2\epsilon_s V_C}{qN_D}}$$

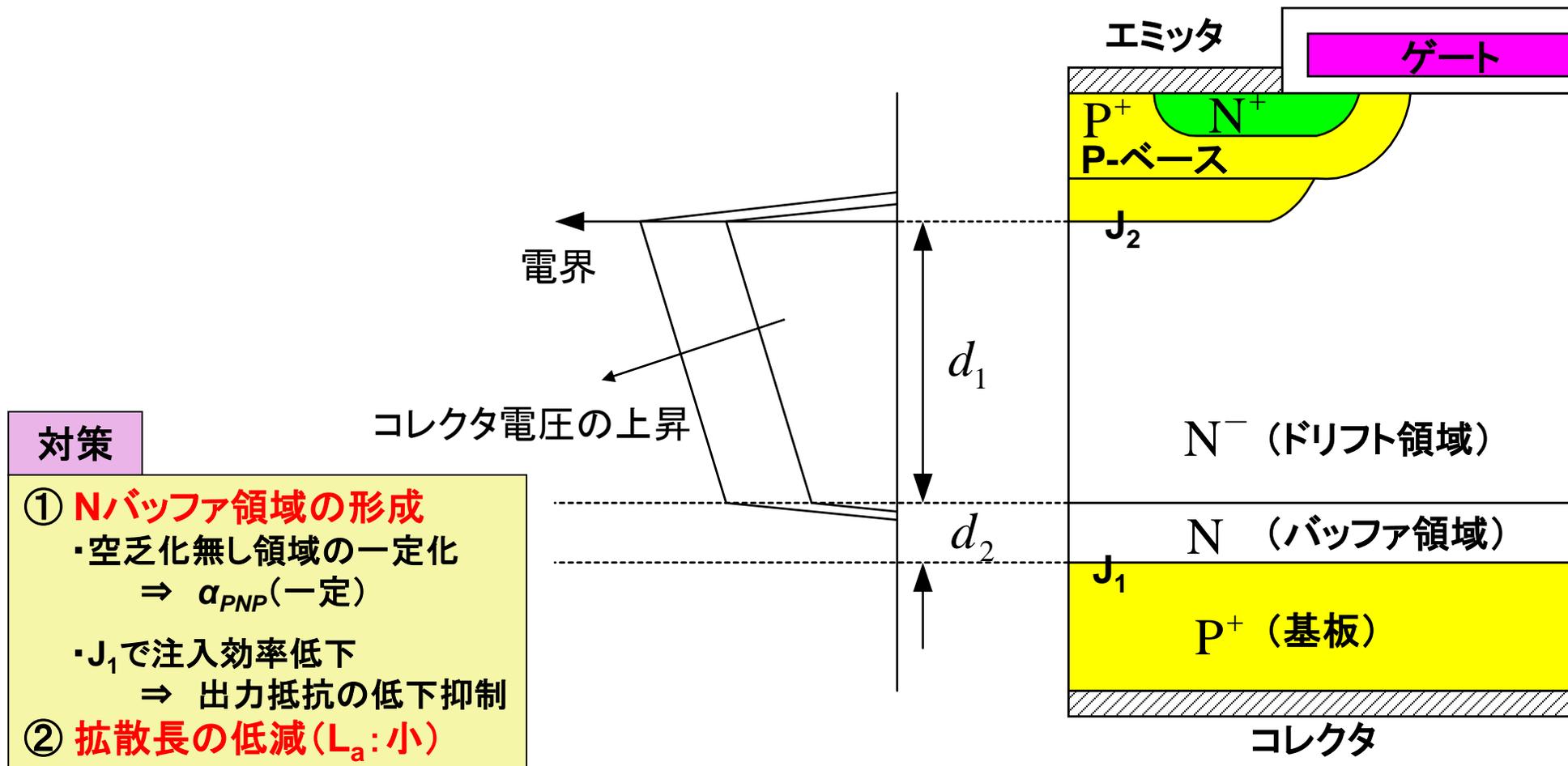
対称IGBTの空乏層の拡張

—コレクタ電圧の上昇に伴う出力抵抗の低下—



非対称IGBTの空乏層の拡張

—コレクタ電圧の上昇に伴う出力抵抗低下の対策—



オン状態のキャリア分布導出

●電流連続の式

$$\frac{d^2 p}{dx^2} - \frac{p}{L_{HL}^2} = 0, \quad L_{HL} = L_a = \sqrt{D_a \tau_{HL}}$$

両極性拡散

●境界条件

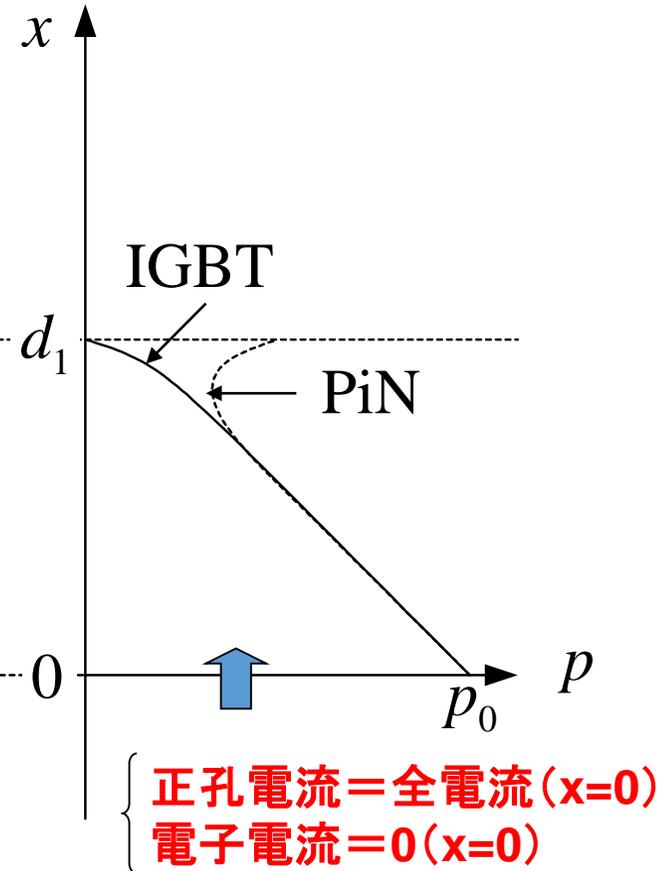
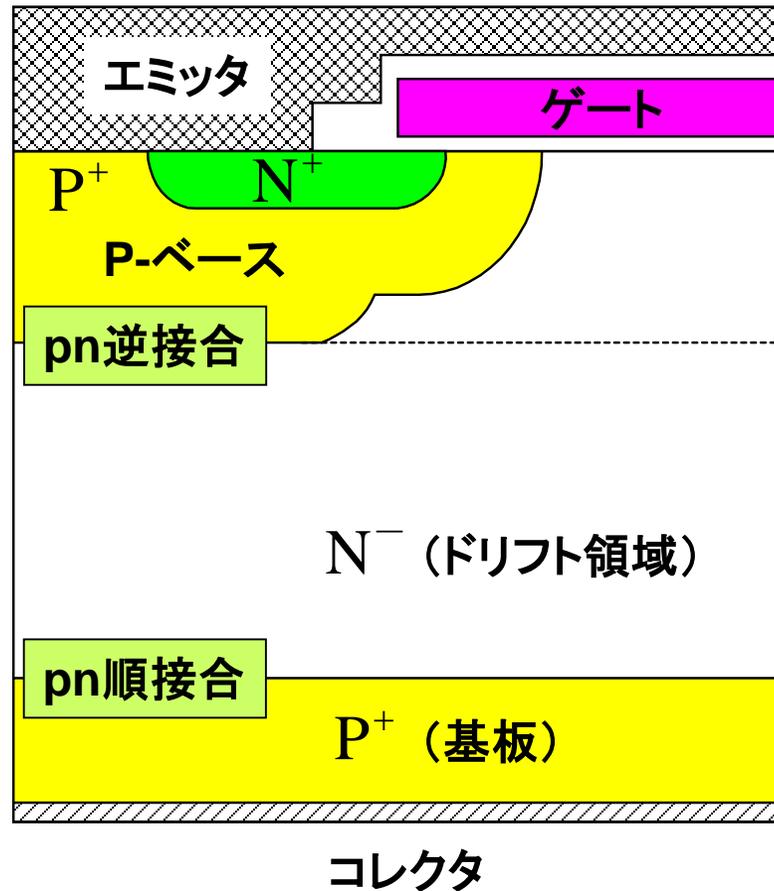
(1) 正孔密度 : $p(d_1) = 0, p(0) = p_0 \Rightarrow p(x)$

(2) 電流密度 : $J_p(0) = J, J_n(0) = 0 \Rightarrow p_0$

●キャリア分布

$$p(x) = \frac{JL_a}{2qD_p} \frac{\sinh[(d_1 - x)/L_a]}{\cosh(d_1/L_a)} \quad J = -2qD_p \left. \frac{dp}{dx} \right|_{x=0}$$
$$\Rightarrow p_0 = \frac{JL_a}{2qD_p} \tanh(d_1/L_a)$$

オン状態のキャリア分布



蓄積電荷 $Q_s = q \int_0^{d_1} p dx = \frac{JL_a^2}{2D_p} \left[\frac{1}{\cosh(d_1/L_a)} - 1 \right]$

オン状態電圧降下

— 全電圧降下とpn順接合の電圧降下 —

● 全電圧降下

$$V_{IGBT} = V_{P^+N} + V_M + V_{MOSFET},$$

$$\text{但し、 } V_{MOSFET} = V_{CH} + V_{JFET} + V_{ACC}$$

● pn順接合の電圧降下

$$V_{P^+N} = \frac{kT}{q} \ln \left(\frac{p_0}{p_{0N^-}} \right), \quad p_{0N^-} = \frac{n_i^2}{N_D}$$

$$V_{P^+N} \approx 0.8 \text{ V : 室温}$$

$$\Rightarrow V_{P^+N} = \frac{kT}{q} \ln \left[\frac{JL_a}{2qD_p} \frac{N_D}{n_i^2} \tanh \left(\frac{d_1}{L_a} \right) \right]$$

オン状態電圧降下

— N-ドリフト領域の電圧降下 —

●正孔電流と電子電流(ドリフト+拡散) ①

●高レベル注入条件 $\Rightarrow n(x) = p(x)$ ②

●全電流密度 $\Rightarrow J = J_p + J_n$ ③

●電界(①、②、③から電界導出)

$$E(x) = \frac{J}{qp(\mu_n + \mu_p)} - \frac{kT(\mu_n - \mu_p)}{q(\mu_n + \mu_p)} \frac{1}{p} \frac{dp}{dx}$$

●電圧降下(電界を0~ d_1 まで積分)

$V_M \approx 0.1 \text{ V}$: 伝導度変調

$$V_M = \frac{kT}{q} \left\{ \frac{2\mu_p}{(\mu_n + \mu_p)} \cosh\left(\frac{d_1}{L_a}\right) \ln \left[\tanh\left(\frac{d_1}{2L_a}\right) \right] + \frac{(\mu_n - \mu_p)}{(\mu_n + \mu_p)} \ln \left[\sinh\left(\frac{d_1}{L_a}\right) \right] \right\}$$

オン状態電圧降下

－ MOSFETの電圧降下－

●MOSFETチャネル領域の電圧降下

$$V_{CH} = \frac{(1 - \alpha_{PNP}) J L_{CH} W_{Cell}}{\mu_{ns} C_{ox} (V_G - V_T)}$$

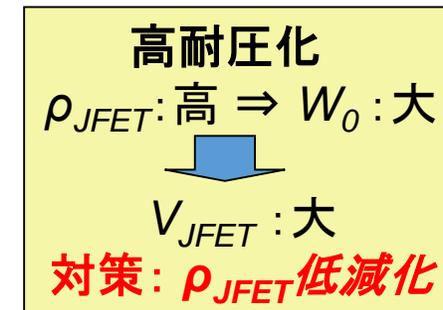
X_P : Pベース接合深さ
 W_0 : 空乏層幅
 W_{Cell} : IGBTセル幅

●JFET領域の電圧降下

$$V_{JFET} = \frac{\rho_{JFET} (1 - \alpha_{PNP}) J (X_P + W_0) W_{Cell}}{(L_G - 2X_P - 2W_0)}$$

●蓄積領域の電圧降下

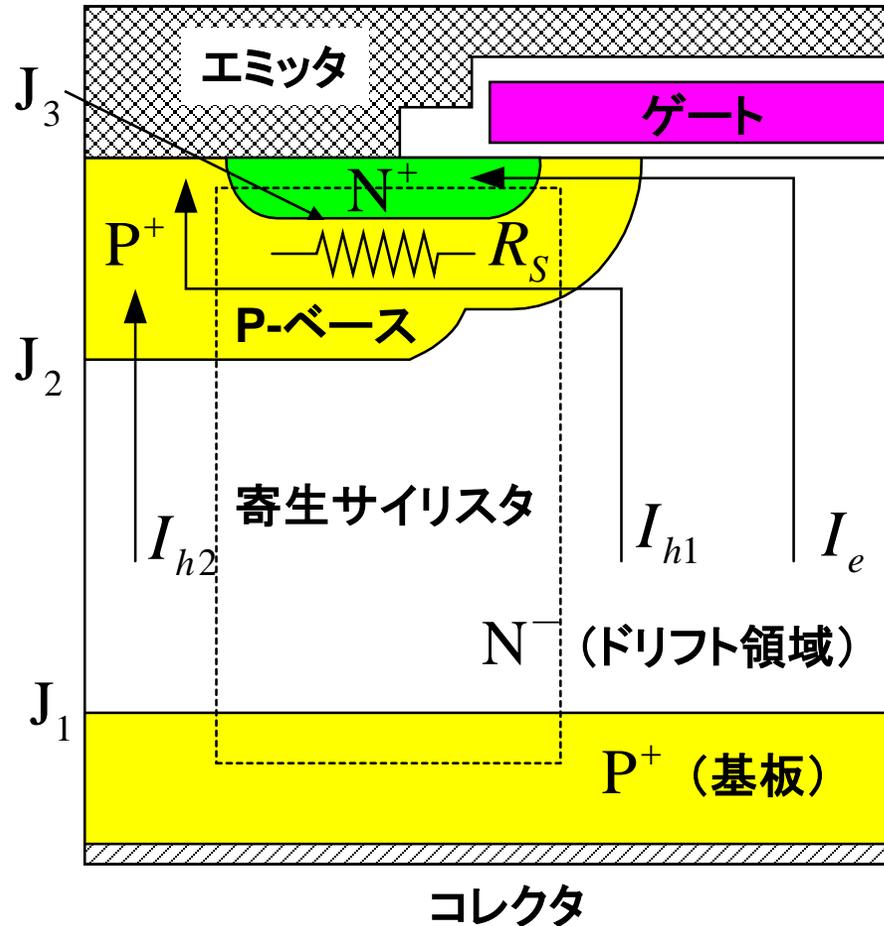
$$V_{ACC} = \frac{K (1 - \alpha_{PNP}) J (L_G - 2X_P) W_{Cell}}{\mu_{nA} C_{ox} (V_G - V_{TACC})}$$



ドリフト領域のキャリアライフタイム: 小 \Rightarrow JFET近傍の伝導度変調: 悪化 \Rightarrow V_{JFET} : 大

寄生サイリスタ・ラッチアップ

—発生—



電子電流: I_e (MOSFET)
 正孔電流: I_{h1}
 (コレクタ→ J_1 → J_2 →エミッタ)

R_s による電圧降下
 J_3 を順方向バイアス

電流密度増大
 R_s による電圧降下 $> V_{bi}$

電流利得 (α_{NPN}) の増大

ラッチアップ発生
 ($\alpha_{PNP} + \alpha_{NPN} = 1$)

寄生サイリスタ・ラッチアップ対策

—PNPトランジスタを介しての抑制—

●PNP Trの電流利得低減 (I_{h1} 低減 $\Rightarrow R_s$ による電圧降下低減)

■ベース輸送ファクター α_T の低減

- 少数キャリアライフタイム(拡散長)低減 \Rightarrow 電子照射
(N-ドリフト領域: PNP Trベース領域)

$$\alpha_T = \frac{1}{\cosh(l/L_a)}$$

拡散長の低減

\Rightarrow ターンオフタイム: 低下

\Rightarrow オン状態の電圧降下: 増大

■注入効率の低減(接合: J_1)

- N-ドリフト領域ドーピング密度 N_{DB} 増加

- 順/逆方向ブロッキング耐圧の低下

\Rightarrow Nバッファ層の導入(順方向: 向上、逆方向: 低下)

$$\beta_E = \left(\frac{D_{pB}}{D_{nE}} \right) \left(\frac{L_{nE}}{W_{N^-}} \right) \left(\frac{N_{AE}}{N_{DB}} \right)$$

Nバッファ層の導入

\Rightarrow ターンオフタイム: 低下

\Rightarrow オン状態の電圧降下: 増大

(注) Nバッファ層の導入 \Rightarrow 全ドリフト領域幅の低減 \Rightarrow オン状態の電圧降下増大抑制

寄生サイリスタ・ラッチアップ対策

－NPNトランジスタを介しての抑制－

●NPN Trの電流利得低減

■ベース輸送ファクターの低減

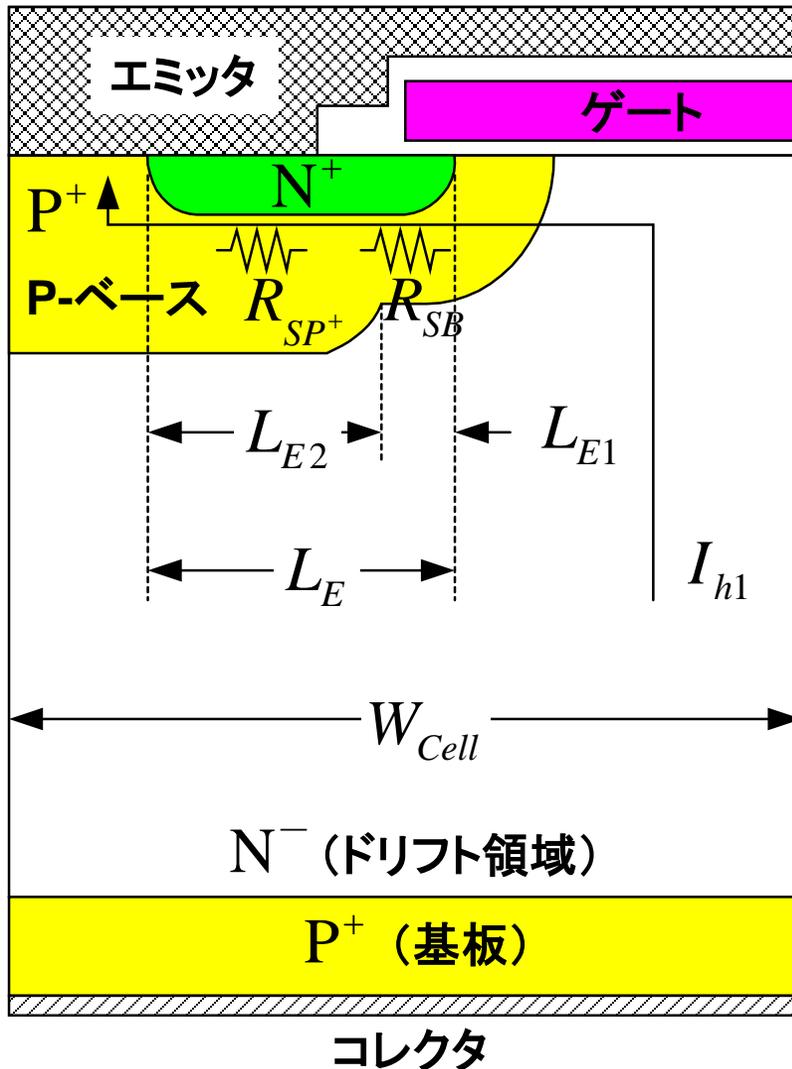
- 深いP⁺拡散の導入 (P-ベース幅の拡張)

■注入効率の低減 (接合: J3)

- 深いP⁺拡散の導入 (P-ベース抵抗低減)
- 浅いP⁺拡散の導入 (N⁺エミッタ下全体のP-ベース抵抗低減)
- N⁺エミッタドーピングの低減 (通常不使用)
 - N⁺接合深さ (MOSFETチャネル長) 制御困難
 - N⁺エミッタのシート抵抗の増大 (オン状態の電圧降下増大)
- 少数キャリアバイパス
- MOSFETチャネル下領域へのP⁺拡散の導入
 - カウンター・ドープド・チャネル
 - ゲート酸化膜の薄膜化
- IGBTセルトポロジー

寄生サイリスタ・ラッチアップ対策

—深いP⁺拡散—



ラッチアップ発生電流

$$J_{CL} = \frac{V_{bi}}{W_{Cell} \alpha_{PNP} (R_{SB} L_{E1} + R_{SP^+} L_{E2})}$$

$$\therefore R_S = (R_{SB} L_{E1} + R_{SP^+} L_{E2}) / Z$$

$$I_{h1} R_S = V_{bi} : \text{ラッチアップ発生条件}$$

$$I_C = I_{h1} / \alpha_{PNP} : I_{h2} \text{無視}$$

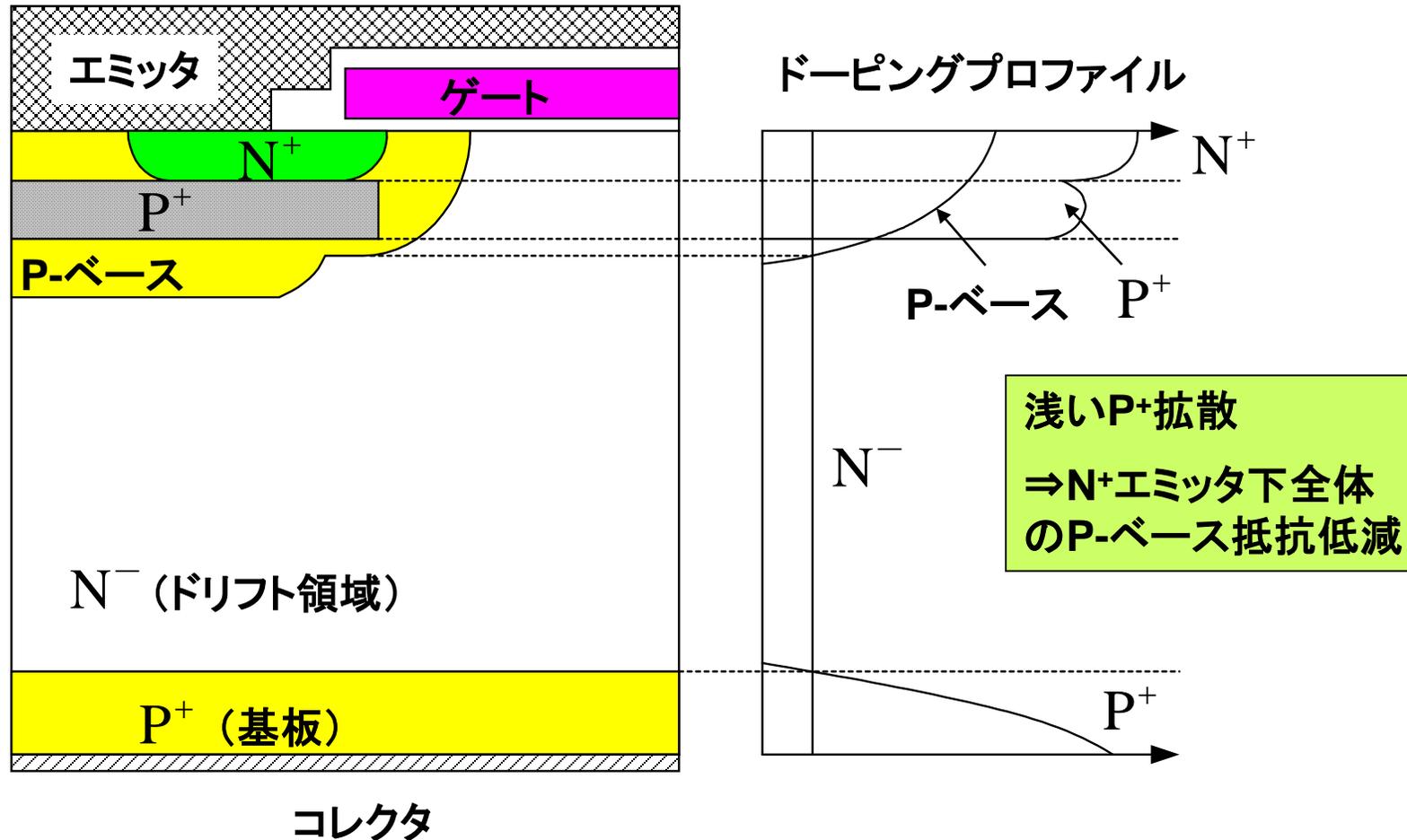
$$I_{CL} = \frac{V_{bi}}{\alpha_{PNP} R_S} = \frac{V_{bi} Z}{\alpha_{PNP} (R_{SB} L_{E1} + R_{SP^+} L_{E2})}$$

$$J_{CL} = \frac{I_{CL}}{Z W_{Cell}}$$

ラッチアップ発生
 $\Rightarrow R_{SB} L_{E1}$ による電圧降下が支配的

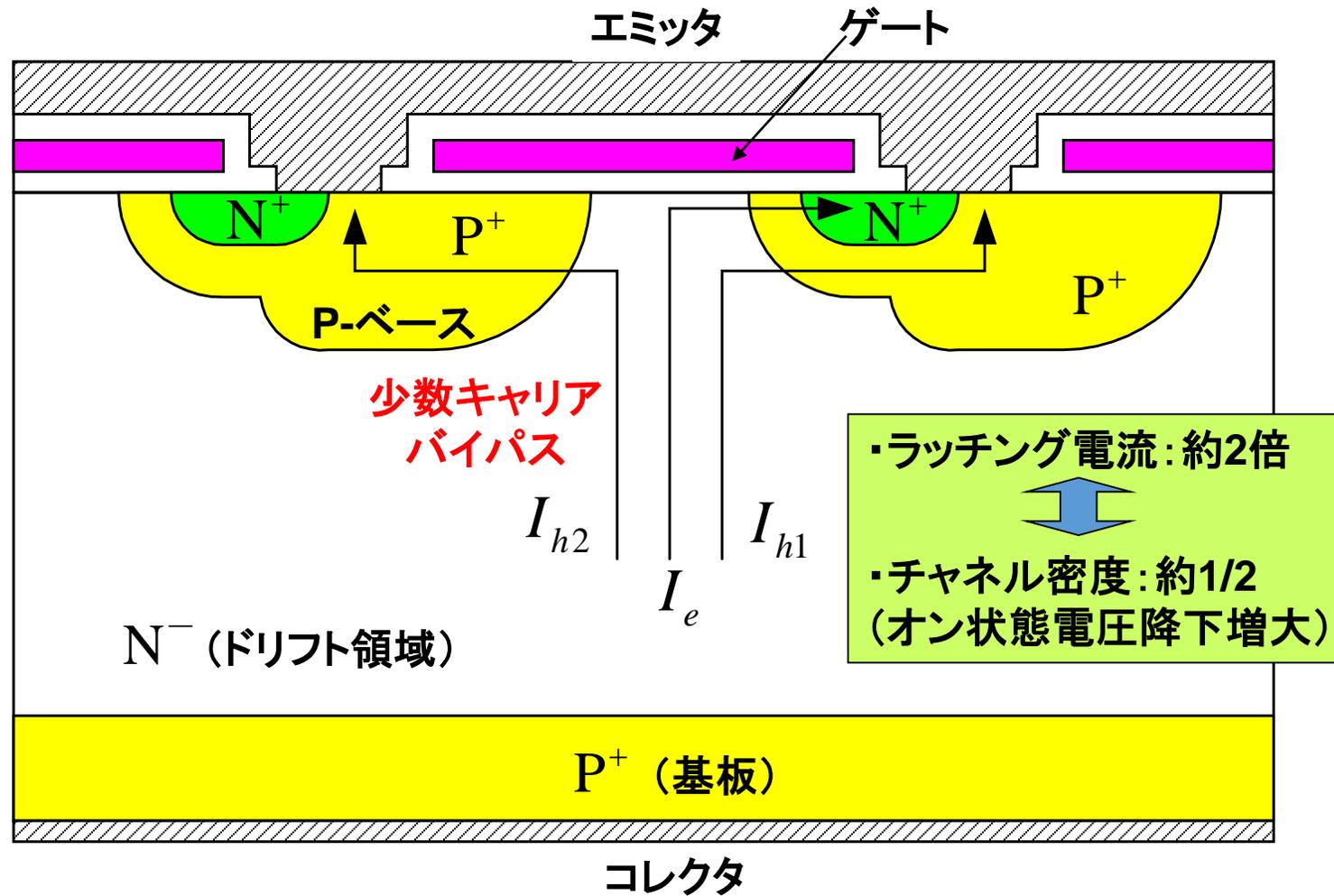
寄生サイリスタ・ラッチアップ対策

— 浅いP⁺拡散 —



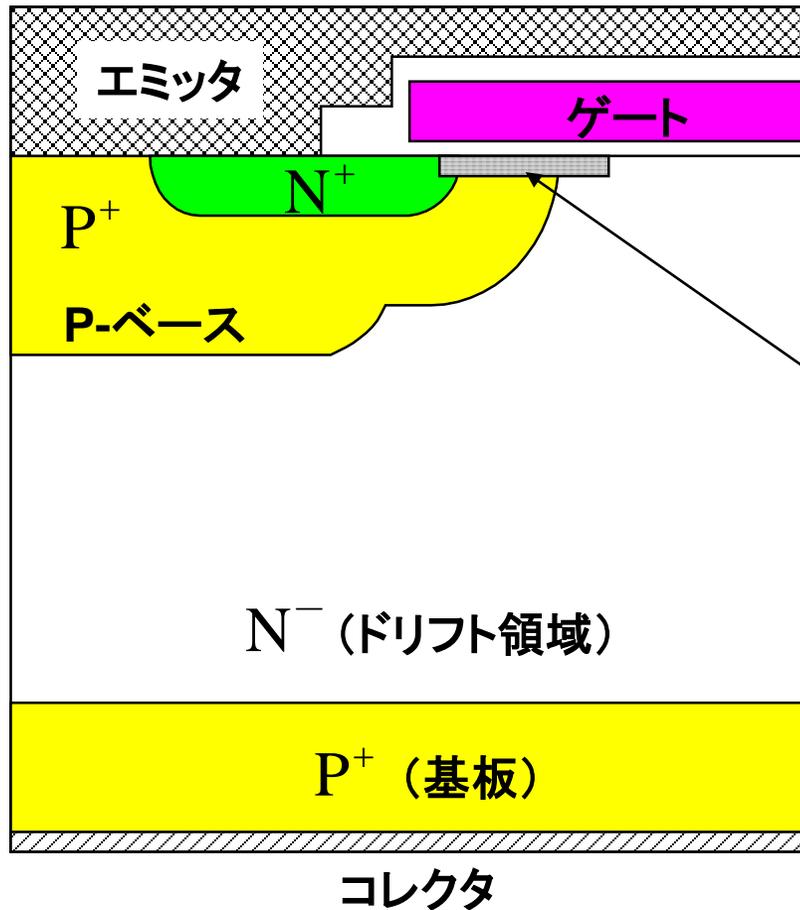
寄生サイリスタ・ラッチアップ対策

— 少数キャリアバイパス —

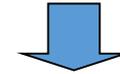


寄生サイリスタ・ラッチアップ対策

—カウンター・ドーピング・チャンネル—



ラッチアップ対策
⇒ P-ベースドーピング密度増加
⇒ V_T 上昇



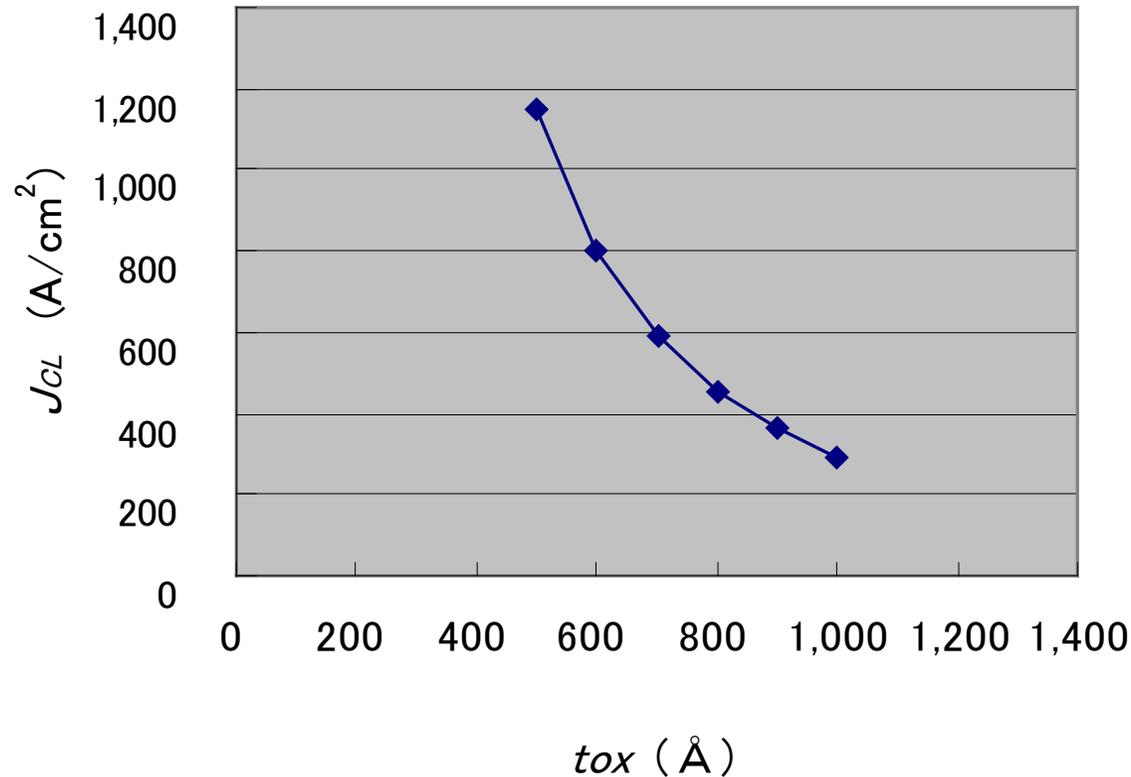
N型のカウンタードーピング導入
⇒ V_T 低下



反転層内の移動度低下
⇒ オン状態電圧降下増大

寄生サイリスタ・ラッチアップ対策

—ゲート酸化膜の薄膜化—



$$V_T \propto t_{ox} \sqrt{N_{AP}}$$

$$R_{CH} = \frac{L_{CH} t_{ox}}{Z \mu_{ns} \epsilon_{ox} (V_G - V_T)}$$

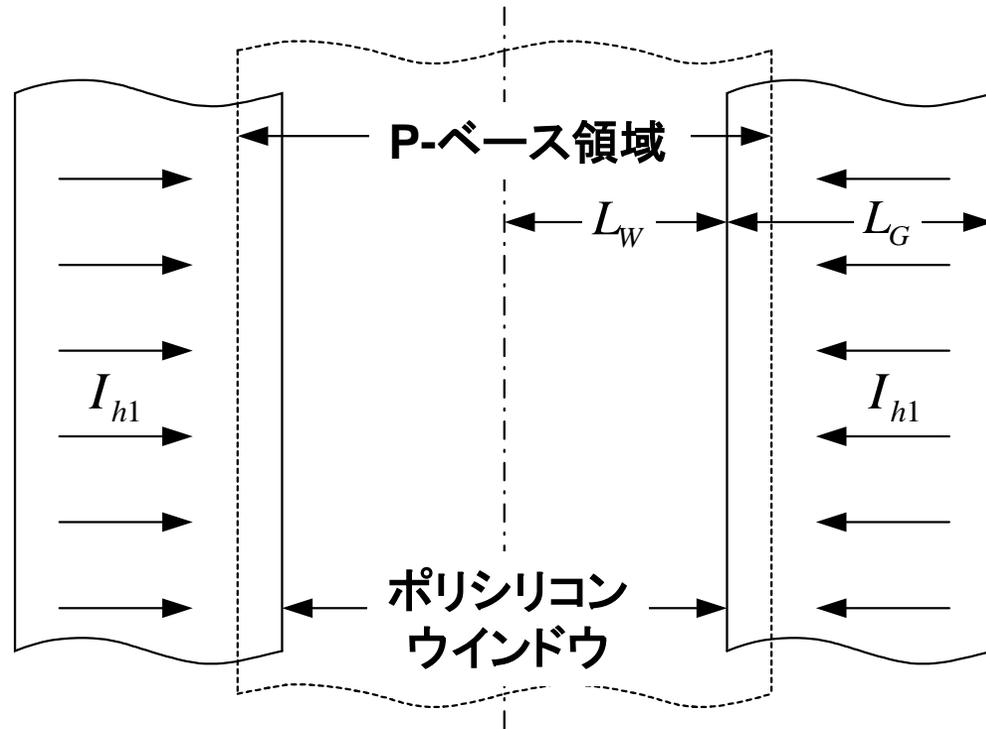
酸化膜厚: **半分**

⇒ チャンネル下のドーピング密度: **約4倍** (同じ閾値電圧)

⇒ ゲート駆動電圧の低減 (同じオン状態の電圧降下)

寄生サイリスタ・ラッチアップ対策

— IGBTセルトポロジー：線型 —



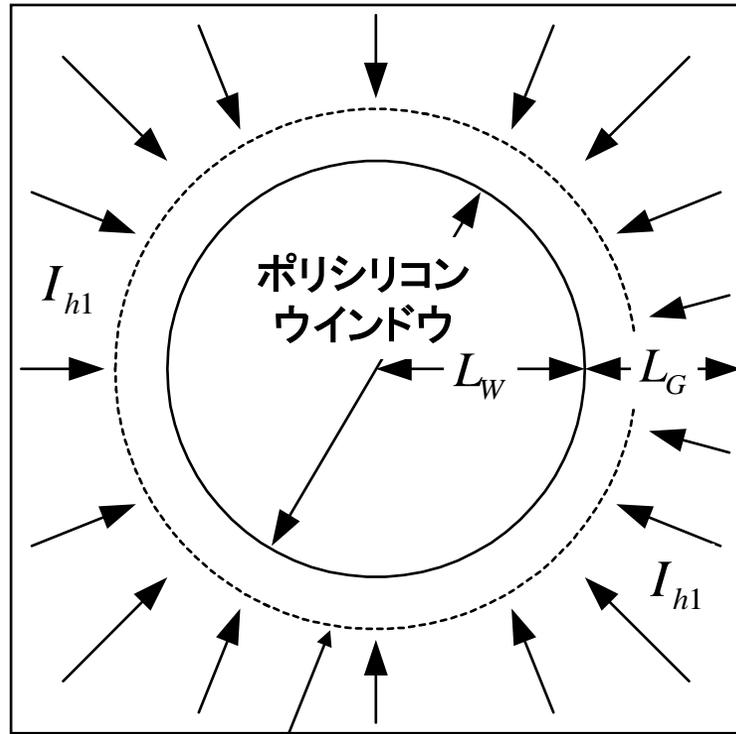
$$\begin{cases} I_{h1} = I_C \alpha_{PNP} \left(\frac{L_G}{L_G + L_W} \right) \\ R_S = R_{SB} L_{E1} / Z \end{cases}$$

$$I_{CL,LIN} = \frac{V_{bi} Z}{\alpha_{PNP} R_{SB} L_{E1}} \left(\frac{L_G + L_W}{L_G} \right)$$

$$J_{CL,LIN} = \frac{I_{CL,LIN}}{Z(L_G + L_W)} = \frac{V_{bi}}{\alpha_{PNP} R_{SB} L_{E1} L_G}$$

寄生サイリスタ・ラッチアップ対策

— IGBTセルトポロジー: 円形 —



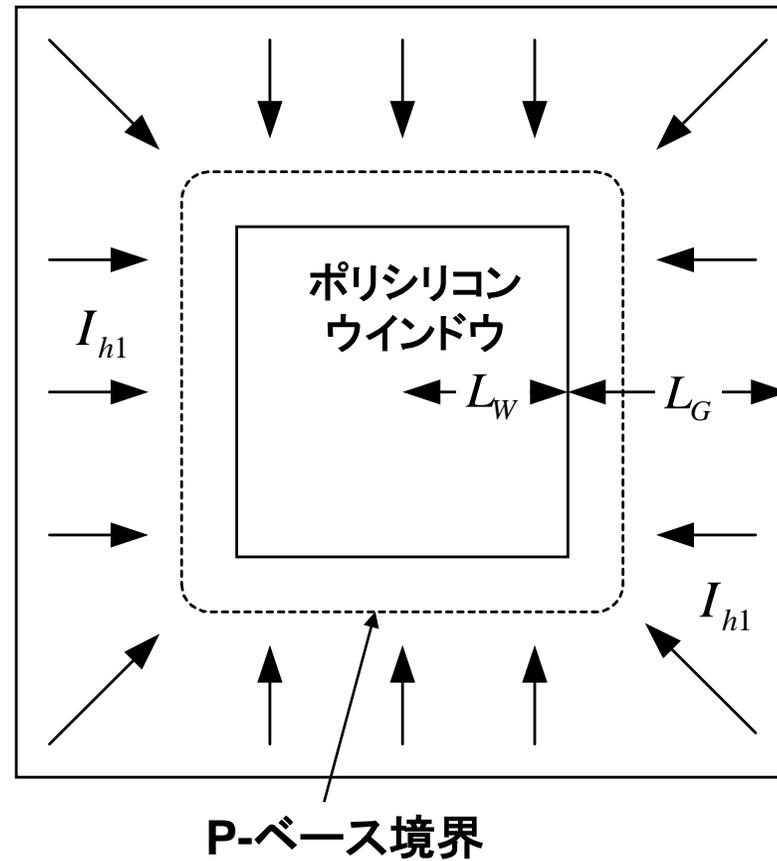
P-ベース境界

$$\left\{ \begin{aligned} J_{h1} &= I_C \alpha_{PNP} \frac{4(L_G + L_W)^2 - \pi L_W^2}{4(L_G + L_W)^2} \\ R_S &= \int_{L_W - L_{E1}}^{L_W} \frac{R_{SB}}{2\pi r} dr = \frac{R_{SB}}{2\pi} \ln \left[\frac{L_W}{L_W - L_{E1}} \right] \\ I_{CL,CIR} &= \frac{V_{bi}}{\alpha_{PNP} R_{SB}} \cdot \frac{8\pi(L_G + L_W)^2}{[4(L_G + L_W)^2 - \pi L_W^2] \ln[L_W / (L_W - L_{E1})]} \end{aligned} \right.$$

$$J_{CL,CIR} = \frac{V_{bi}}{\alpha_{PNP} R_{SB}} \frac{2\pi}{[4(L_G + L_W)^2 - \pi L_W^2] \ln[L_W / (L_W - L_{E1})]}$$

寄生サイリスタ・ラッチアップ対策

— IGBTセルトポロジー: 正方形 —



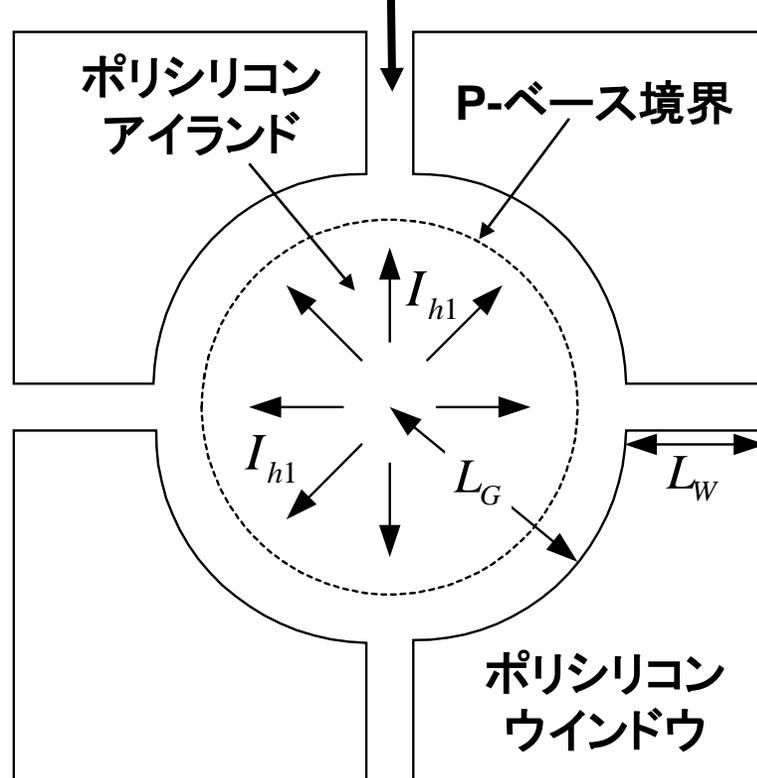
$$J_{CL,SQ} < J_{CL,CIR}$$

∵ 正方形コーナー部分
(P-ベース領域)が長い

寄生サイリスタ・ラッチアップ対策

— IGBTセルトポロジー: 原子格子 (ALL) —

ホールバイパス領域 (ラッチアップ耐性電流の増大)



$$\begin{cases} I_{h1} = I_C \alpha_{PNP} \frac{\pi L_G^2}{4(L_G + L_W)^2} \\ R_S = \int_{L_G}^{L_G + L_{E1}} \frac{R_{SB}}{2\pi r} dr = \frac{R_{SB}}{2\pi} \ln \left[\frac{L_G + L_{E1}}{L_G} \right] \end{cases}$$

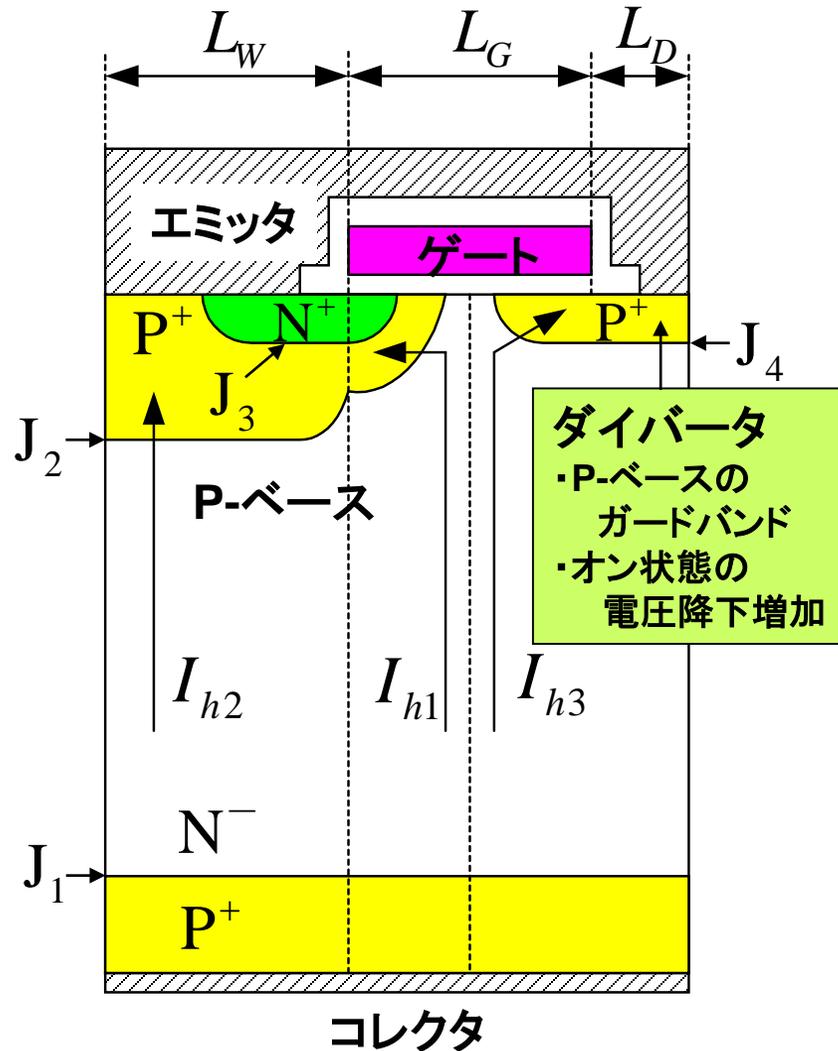
$$I_{CL,ALL} = \frac{V_{bi}}{\alpha_{PNP} R_{SB}} \frac{8(L_G + L_W)^2}{L_G^2 \ln[(L_G + L_{E1})/L_G]}$$

$$I_{CL,ALL} = \frac{V_{bi}}{\alpha_{PNP} R_{SB}} \frac{2}{L_G^2 \ln[(L_G + L_{E1})/L_G]}$$

$L_G = 8\mu\text{m}$, $L_W = 8\mu\text{m}$, $L_{E1} = 1\mu\text{m}$ の場合 (α_{PNP} , R_{SB} : 同一)
 $\Rightarrow J_{CL,CIR} / J_{CL,LIN} \approx 0.5$, $J_{CL,ALL} / J_{CL,LIN} \approx 2.1$

寄生サイリスタ・ラッチアップ対策

—ダイバータ付IGBT—



$$I_{h1} = I_C \alpha_{PNP} \frac{L_G}{2(L_G + L_W + L_D)}$$

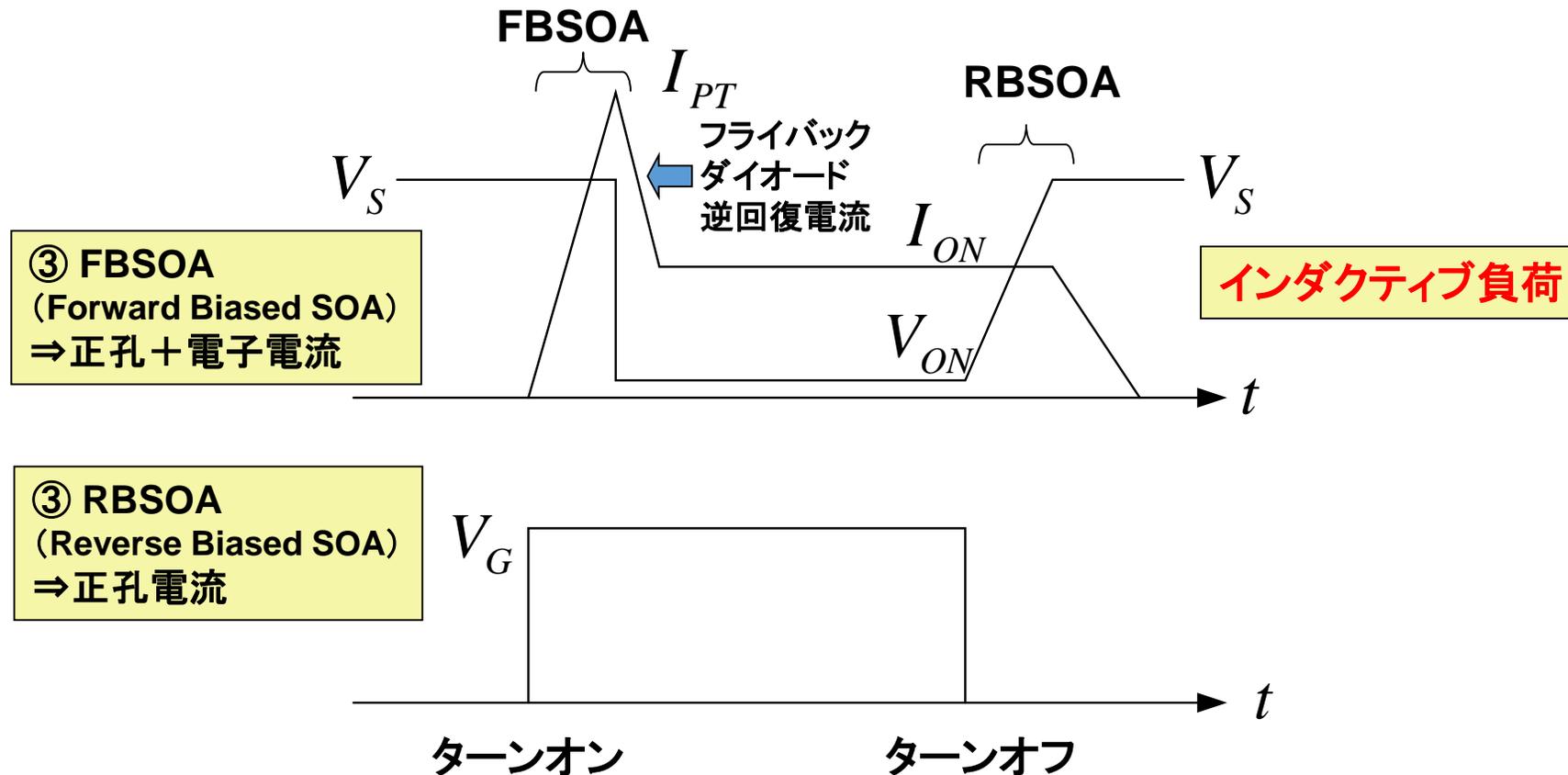
$$R_S = R_{SB} L_{E1} / Z$$

$$I_{CL,D} = \frac{V_{bi} Z}{\alpha_{PNP} R_{SB}} \left[\frac{2(L_G + L_W + L_D)}{L_G L_{E1}} \right]$$

$$J_{CL,D} = \frac{I_{CL,D}}{Z(L_G + L_W + L_D)}$$

$$= \frac{2V_{bi}}{\alpha_{PNP} R_{SB} L_{E1} L_G}$$

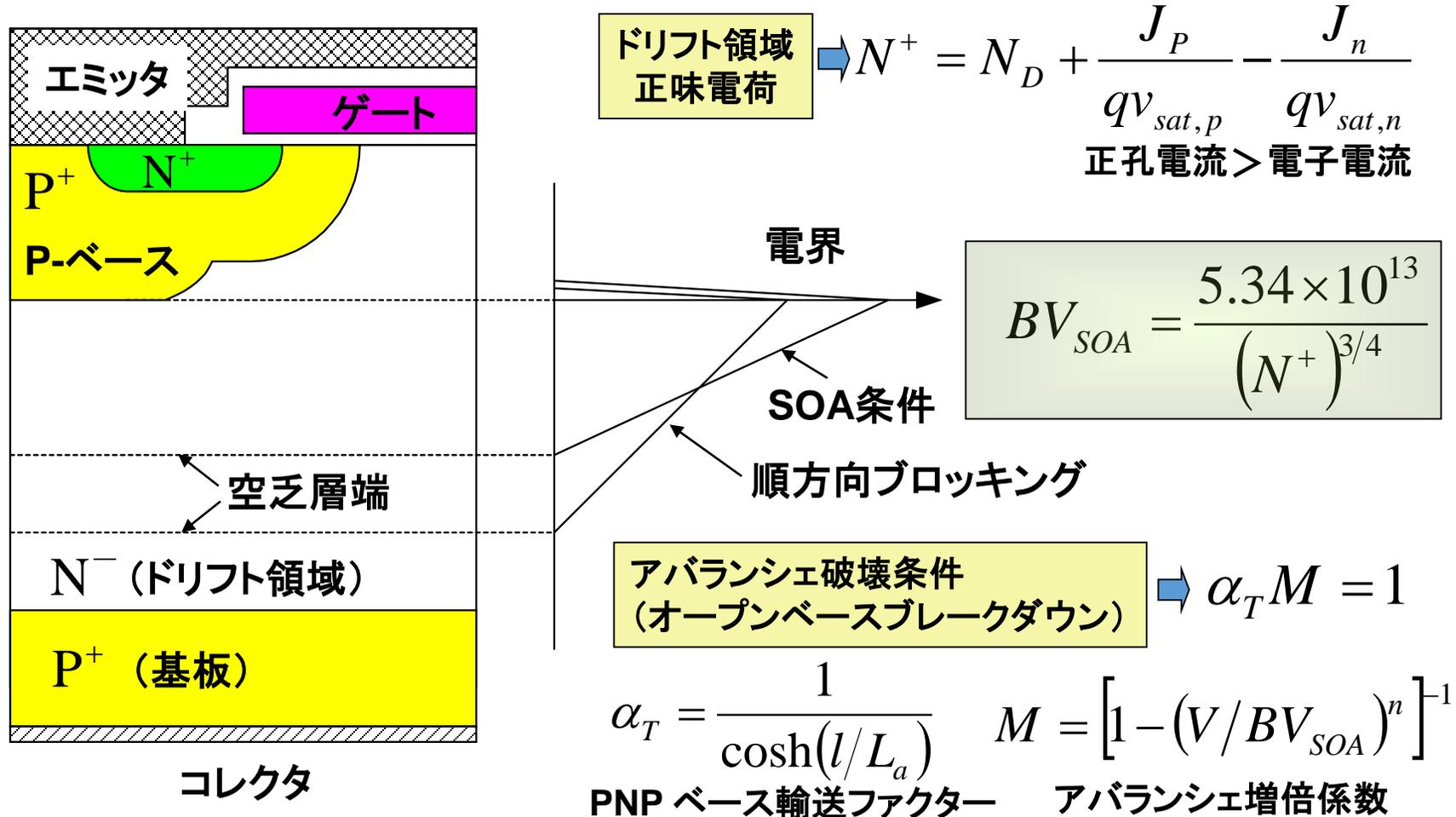
SOA (Safe Operating Area)



- ① オープンベースブレークダウン (高電圧、低電流)
- ② 寄生サイリスタのラッチアップ (低電圧、高電流: 高ゲートバイアス、高温動作)
- ③ パワー消失とアバランシェセカンドブレークダウン (高電圧、高電流: **スイッチング時**)

順方向バイアス (FB) SOA

— コレクタ電流：飽和時 —



高 $BV_{SOA} \Rightarrow$ ドリフト領域の N_D 低減 (対称IGBT: リーチスルーの問題)

逆方向バイアス (RB) SOA

—ターンオフ過渡時—

- 正味電荷 (空間電荷領域内)

$$N^+ = N_D + \frac{J_C}{qv_{sat,p}}, \quad J_C : \text{全コレクタ電流 (正孔)}$$

- 非対称IGBTの場合の BV_{SOA}

$$N_D \ll \frac{J_C}{qv_{sat,p}} \quad BV_{SOA} = 5.34 \times 10^{13} \left(\frac{qv_{sat,p}}{J_C} \right)^{3/4}$$

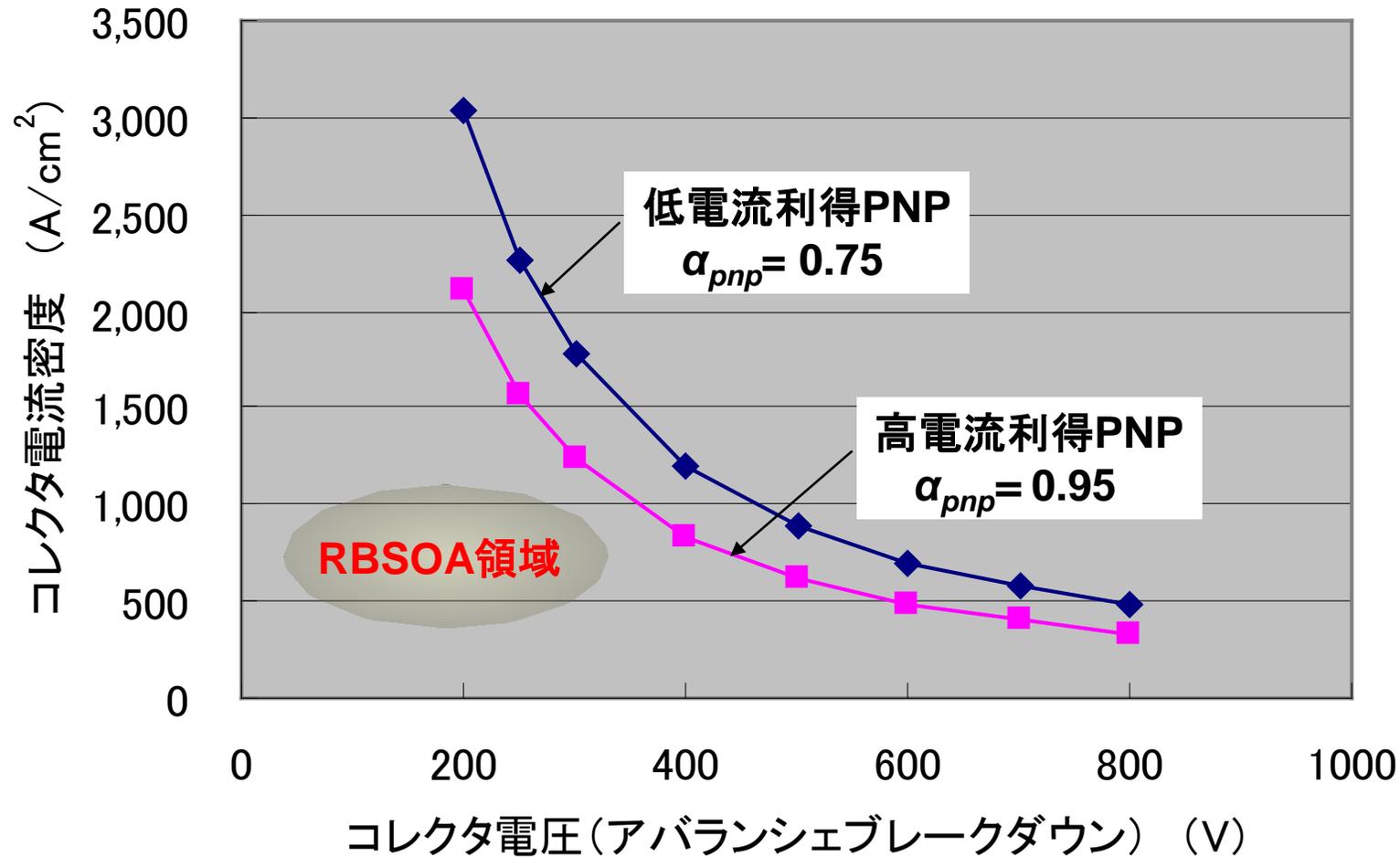
- アバランシェ破壊条件 (オープンベースブレークダウン)

$$\alpha_T M = 1$$

**P-ベース-N-ドリフト領域間の電界: RBSOA > FBSOA
⇒ BV_{SOA} : RBSOA < FBSOA**

逆方向バイアス (RB) SOA

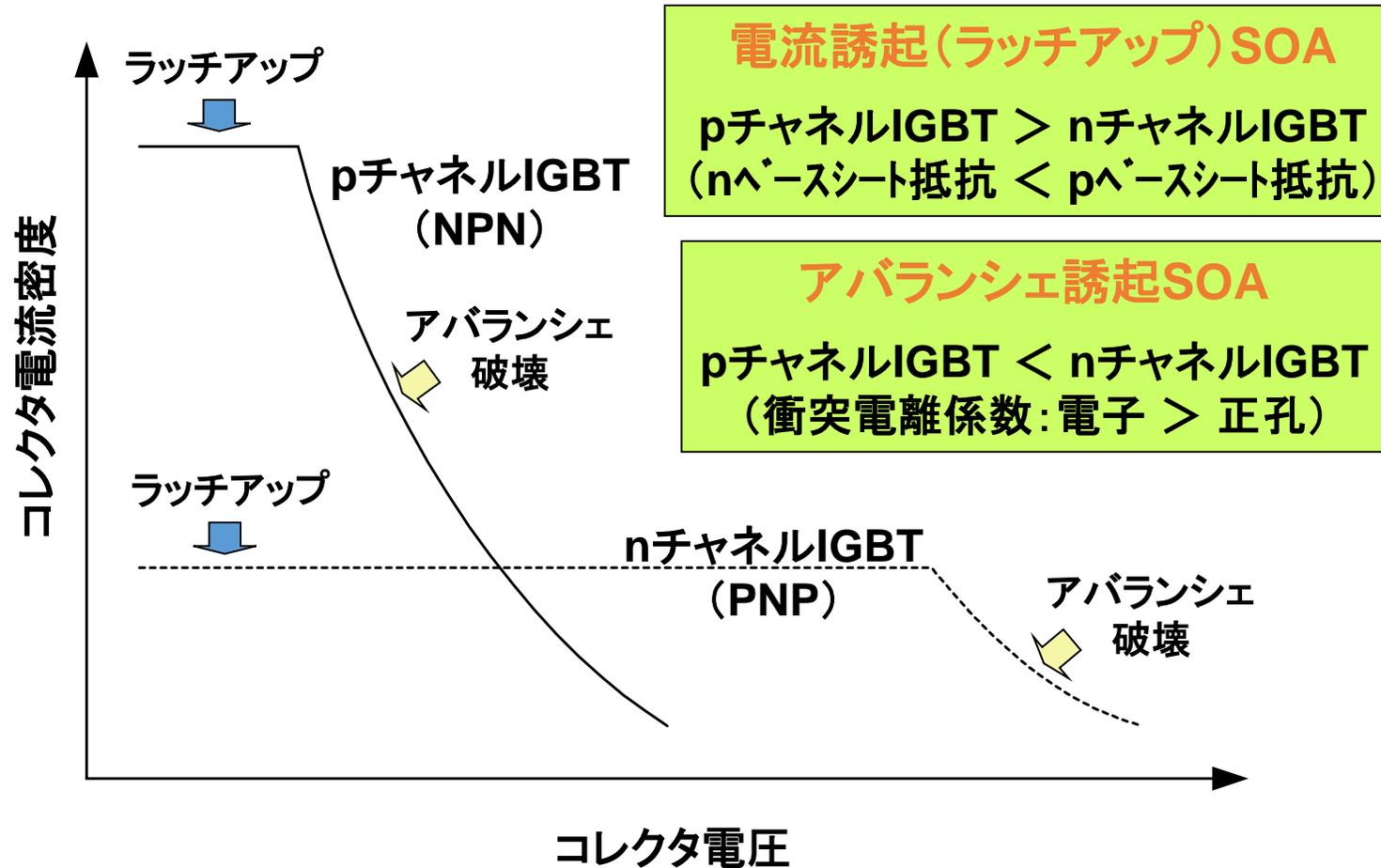
—ターンオフ過渡時：例—



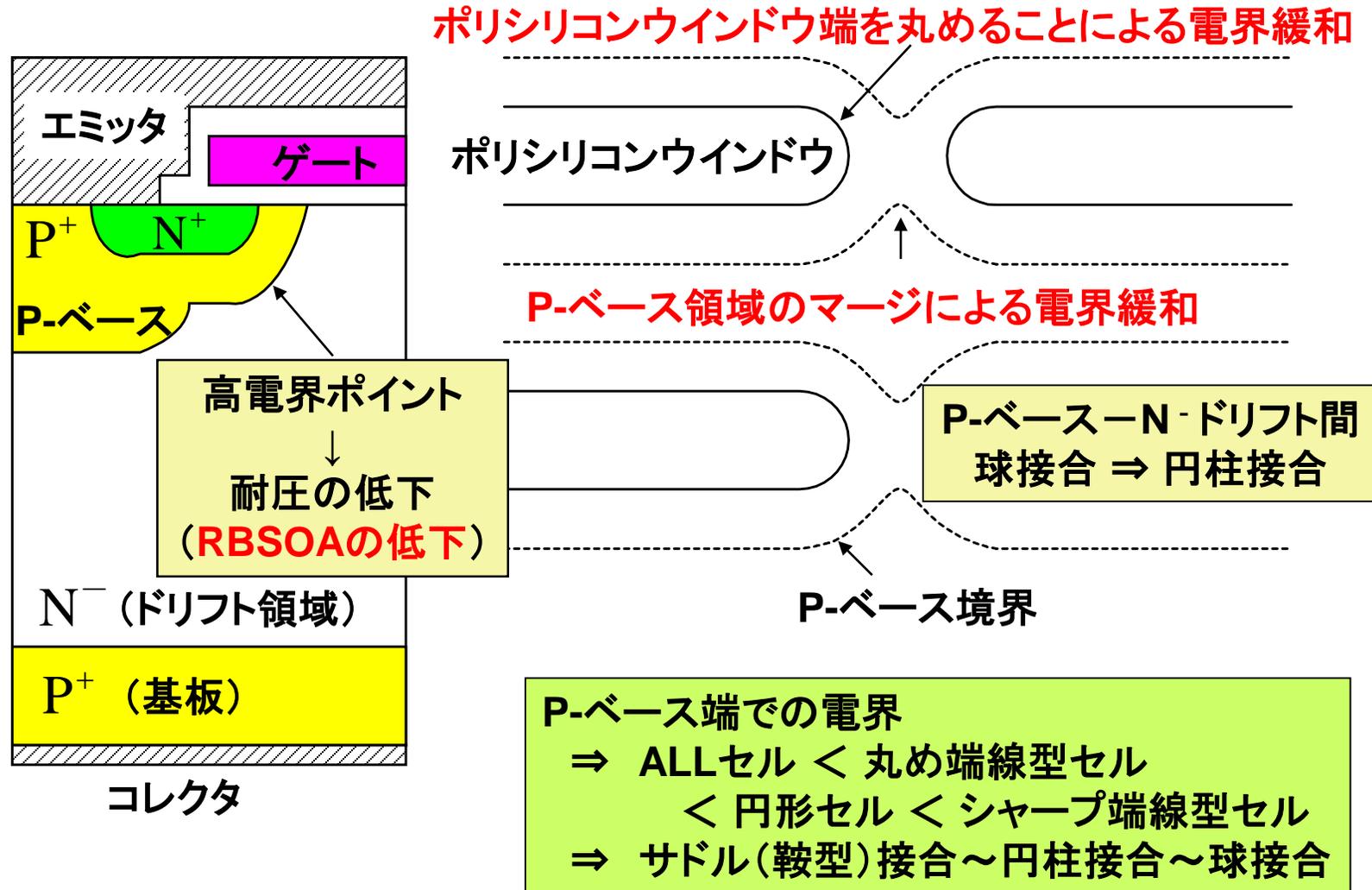
RBSOA領域： 低電流利得 > 高電流利得

逆方向バイアス (RB) SOA

— pとnチャネルIGBTとの比較 —

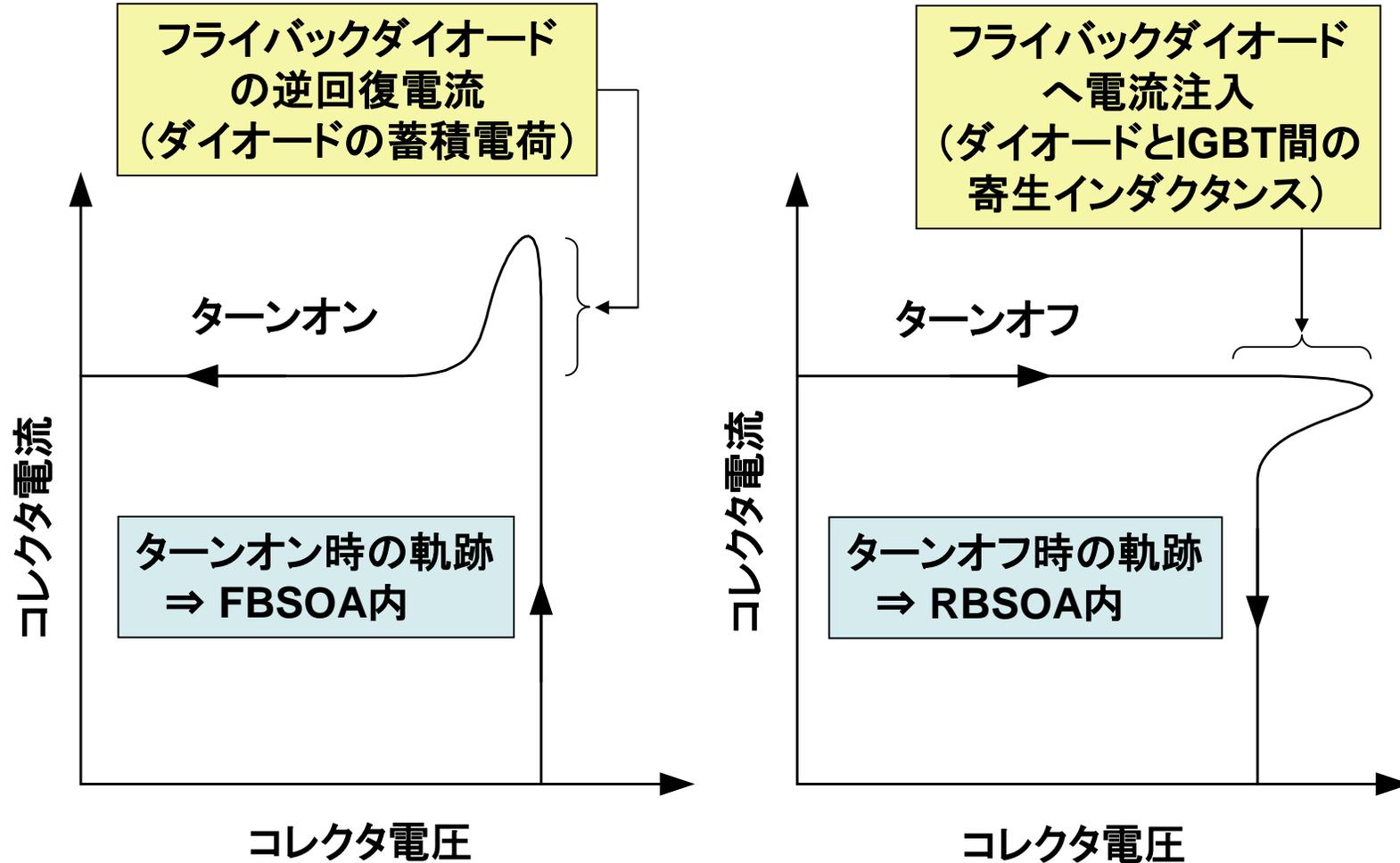


RBSOAを考慮したDMOSセル設計



スイッチングのSOA(電流電圧の軌跡)

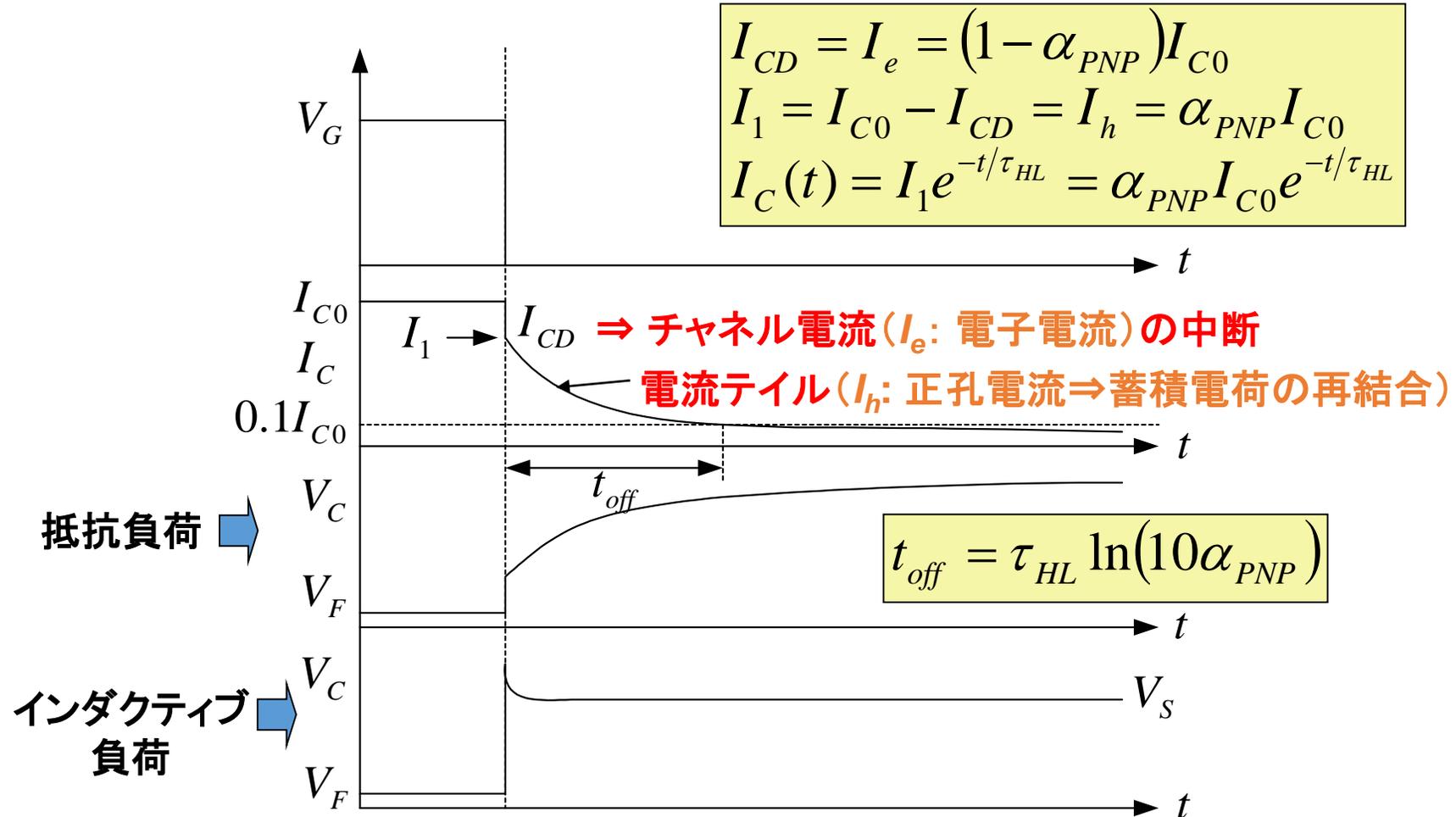
—インダクティブ負荷—



SOA確保 ⇒ ダイオードの蓄積電荷と寄生インダクタンスを抑えることが必要

スイッチング特性

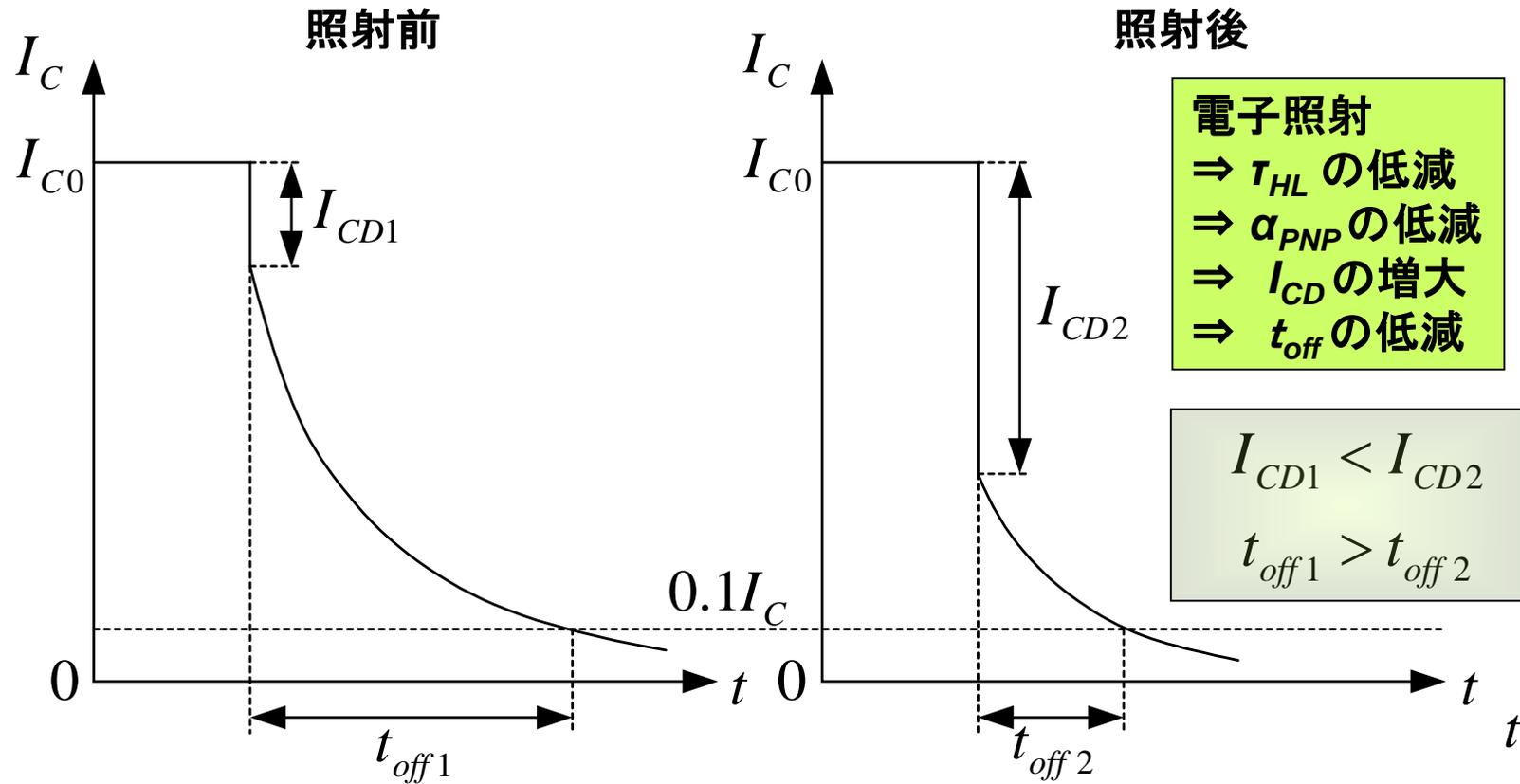
—ゲート制御ターンオフ波形—



スイッチング時にパワー損失発生 ⇒ 電流テイルの期間短縮必要

スイッチング特性

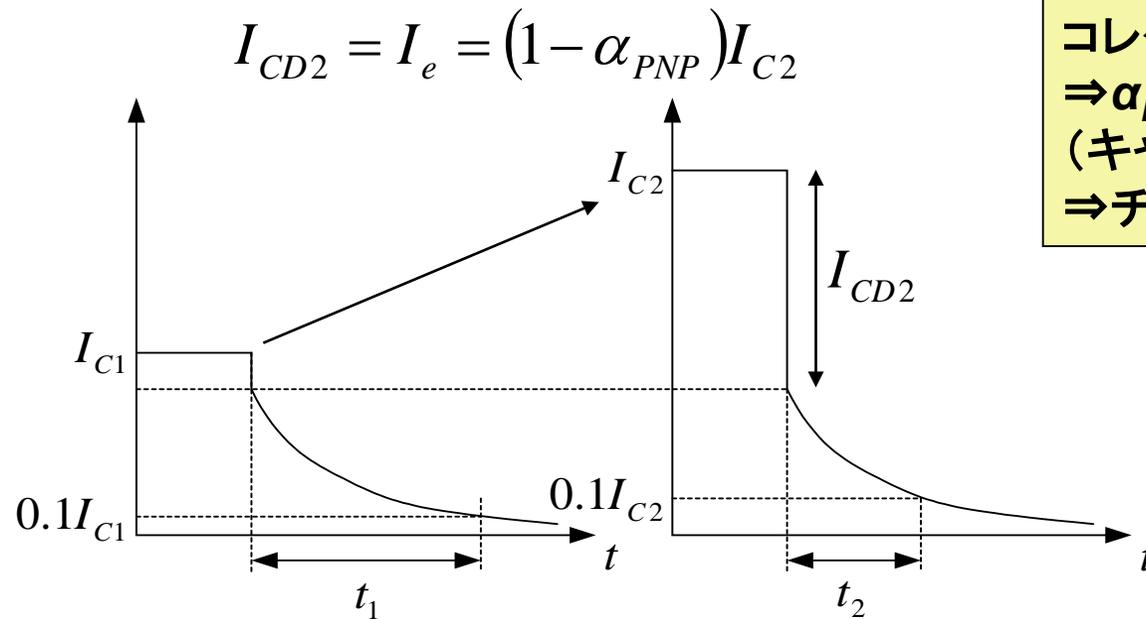
—ドリフト領域への電子照射：ターンオフ時間の短縮—



$$I_{CD} = I_e = (1 - \alpha_{PNP}) I_{C0} \Rightarrow \text{チャンネル(電子)電流: PNPベース電流}$$

スイッチング特性

—ターンオフ時間のコレクタ電流/電圧依存性—



コレクタ電流の増大
⇒ α_{PNP} 低減
(キャリア散乱による拡散長低減)
⇒ チャンネル電流成分の増大

仮定: 電流テイル不変
⇒ $0.1I_{C1} < 0.1I_{C2}$

$I_{C1} < I_{C2} \Rightarrow t_1 > t_2$

注意: 電流テイルでの
スイッチング損失
⇒ コレクタ電流依存無し

ターンオフ時間
⇒ ターンオフエネルギー

コレクタ電圧増大 ⇒ より広い空乏層幅の形成

$V_{C1} < V_{C2} \Rightarrow t_1 < t_2$

スイッチングスピードとオン状態電圧降下 —トレードオフの関係—

●スイッチングスピードとオン状態電圧降下の関係

■電子照射によるスイッチングスピード制御

➢スイッチングスピード↑ ⇒ オン状態電圧降下↑

⇒ **スイッチング損失↓ ⇒ 伝導損失↑**

トレードオフ

●トレードオフのアプリケーションへの適用

■低周波 & デューティ比大 (スイッチング損失 ≪ 伝導損失)

➢ターンオフ時間: 5~20ms 商用周波位相制御回路

■中間周波 & デューティ比小 (スイッチング損失 ≈ 伝導損失)

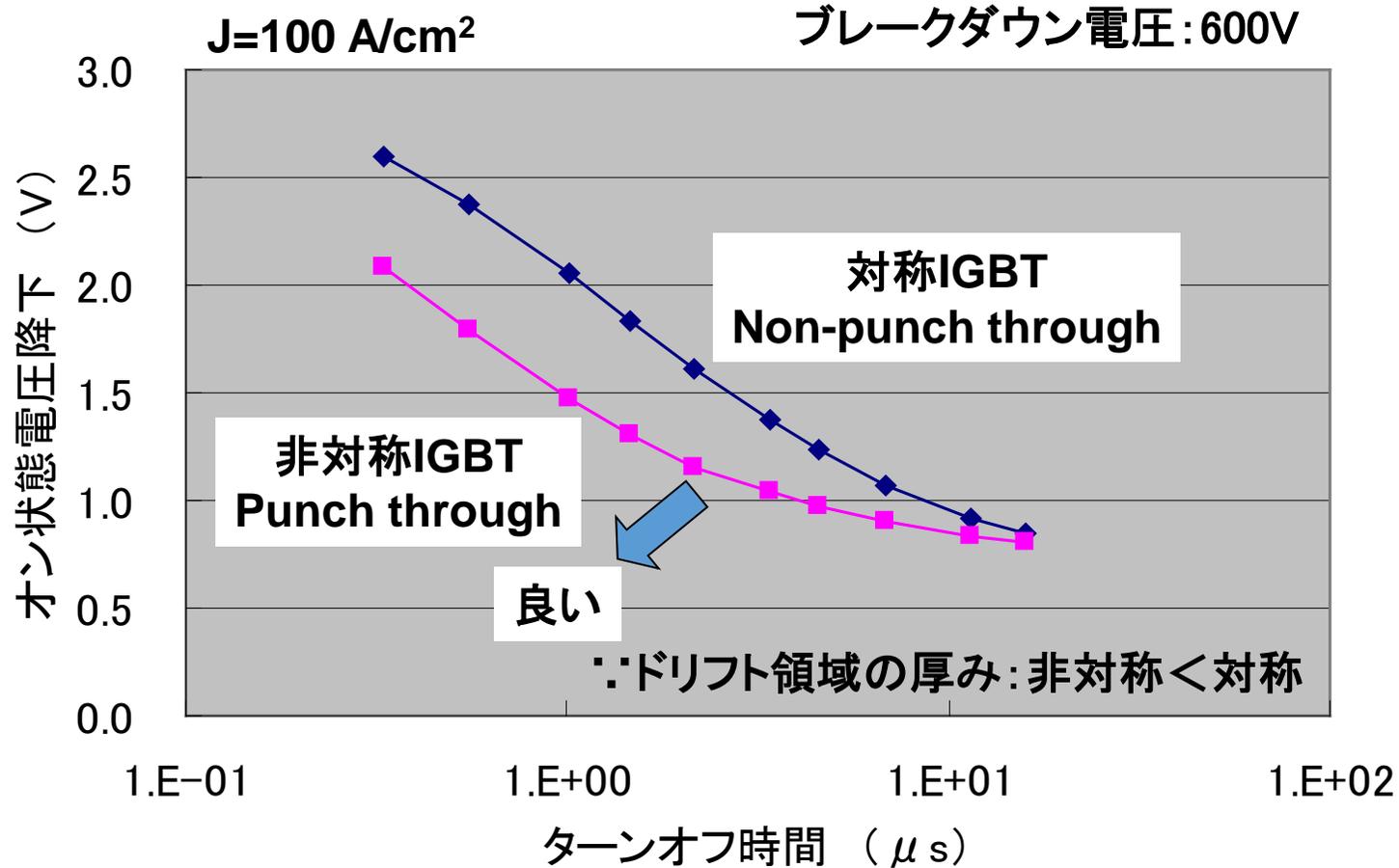
➢ターンオフ時間: 0.5~2.0ms ACモータドライブ (1kHz~10kHz)

■高周波 (スイッチング損失 ≫ 伝導損失)

➢ターンオフ時間: 100~500ns UPS (20kHz~100kHz)

トレードオフカーブの比較

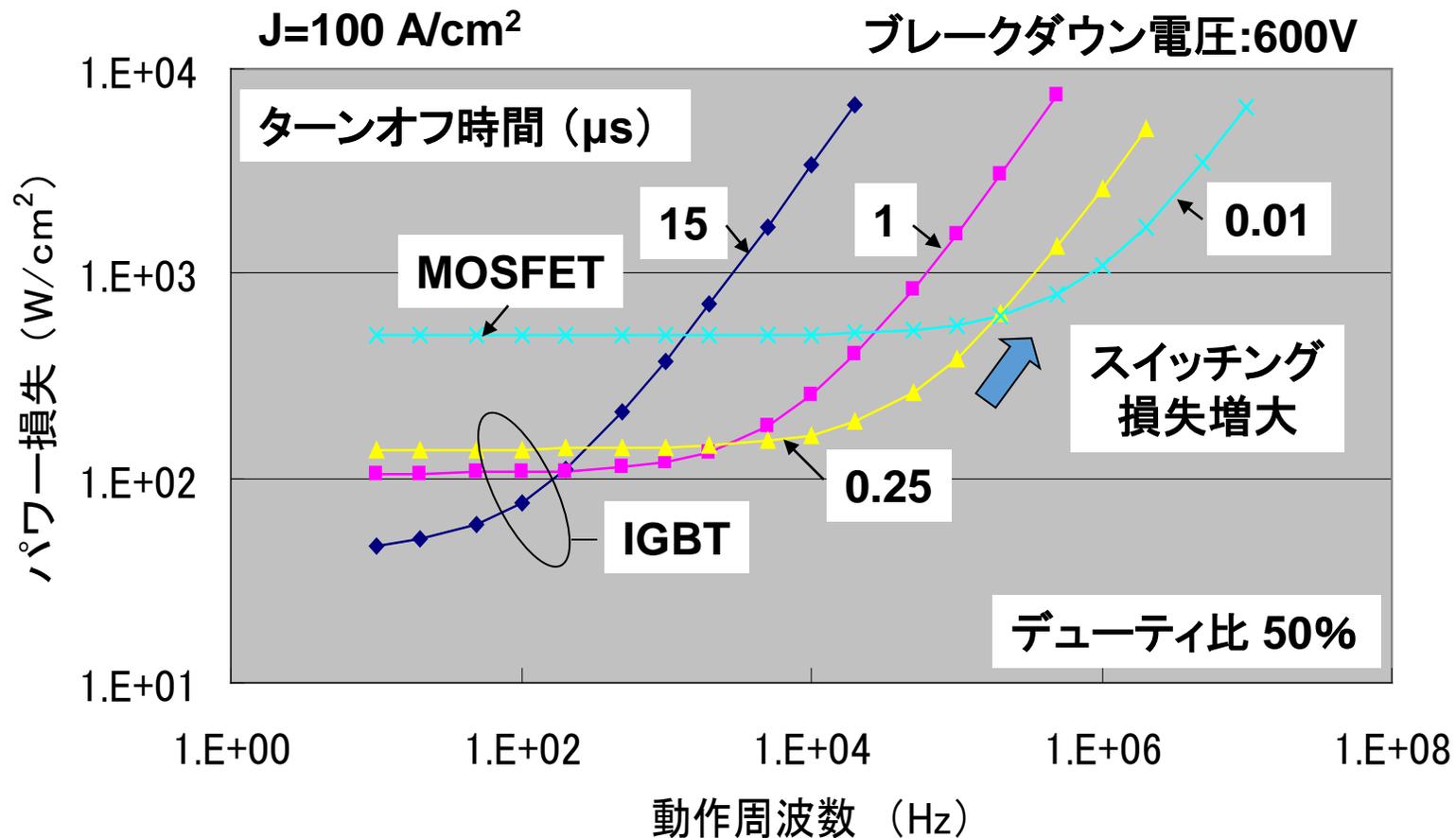
— 対称と非対称IGBT —



トレードオフカーブの改善 ⇒ バッファ層のドーピング密度増加
(コレクタからの注入効率低下 ⇒ PNP電流利得低下 ⇒ ターンオフ時間低下)

IGBTの最適化

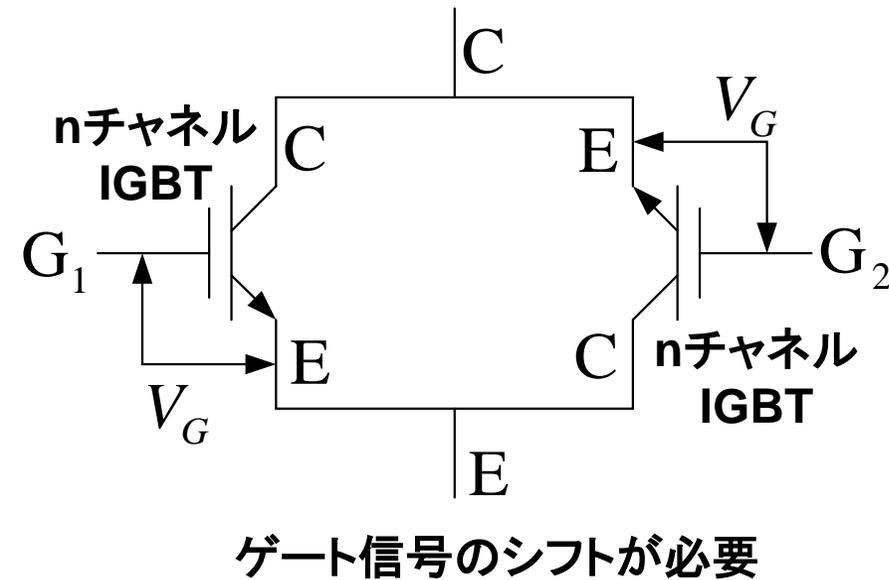
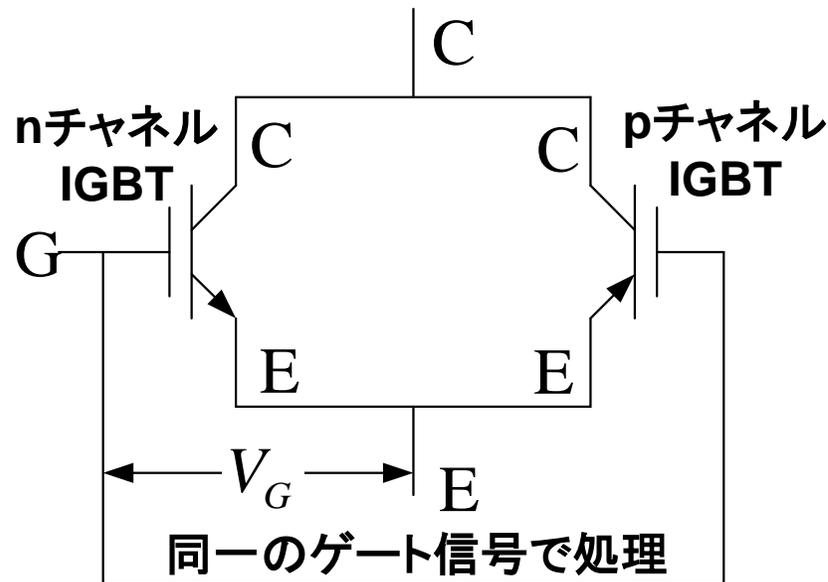
—動作周波数範囲—



パワー損失 (200kHz以下): IGBT < MOSFET

相補型デバイス

—ACスイッチ—

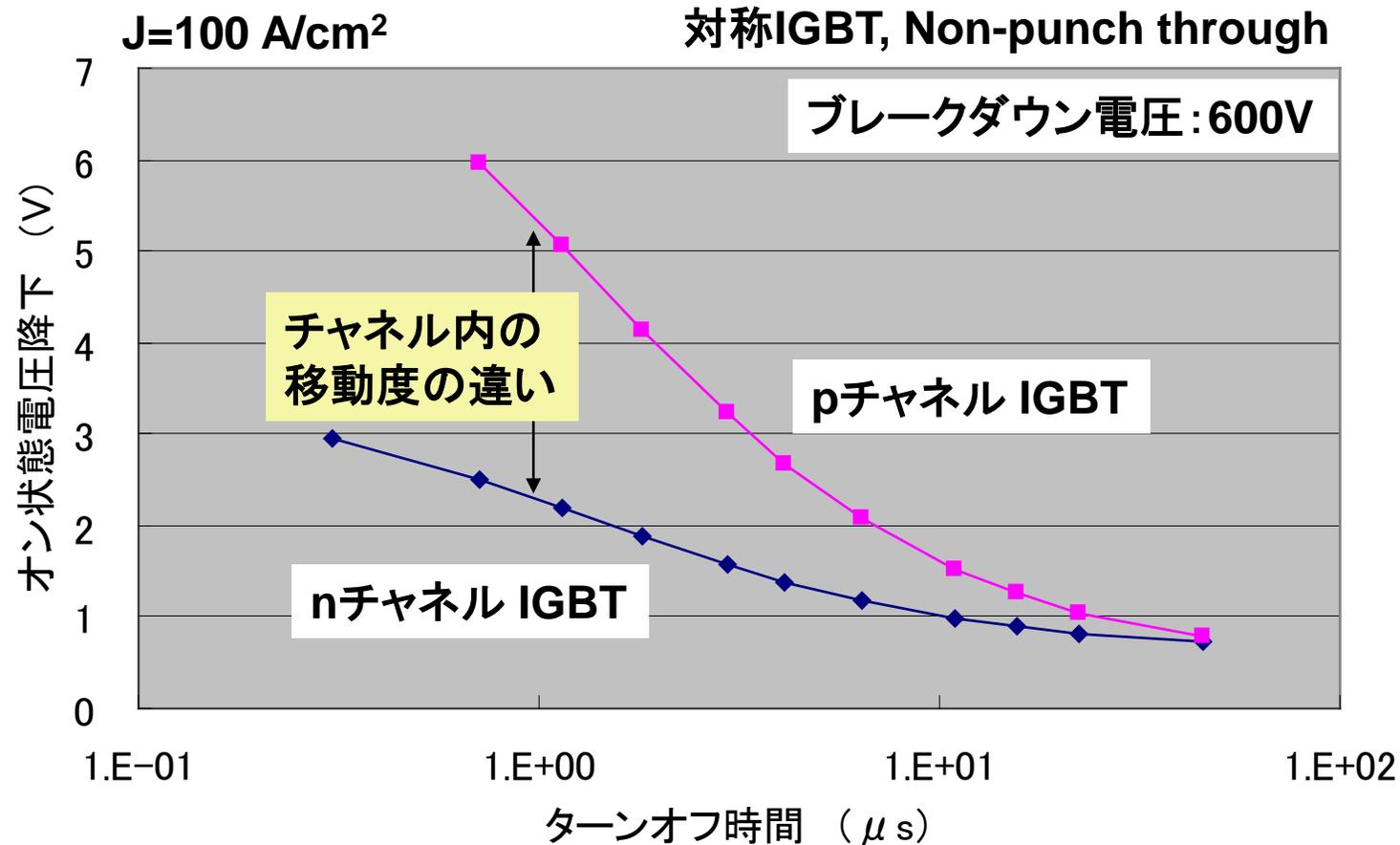


家電機器の制御

遅いスイッチングスピードの場合 ⇒ nとpチャンネルIGBTで同一の順方向伝導特性
(参考)MOSFET ⇒ PチャンネルはNチャンネルに対し3倍の面積必要(同一パワー規格)

トレードオフカーブ

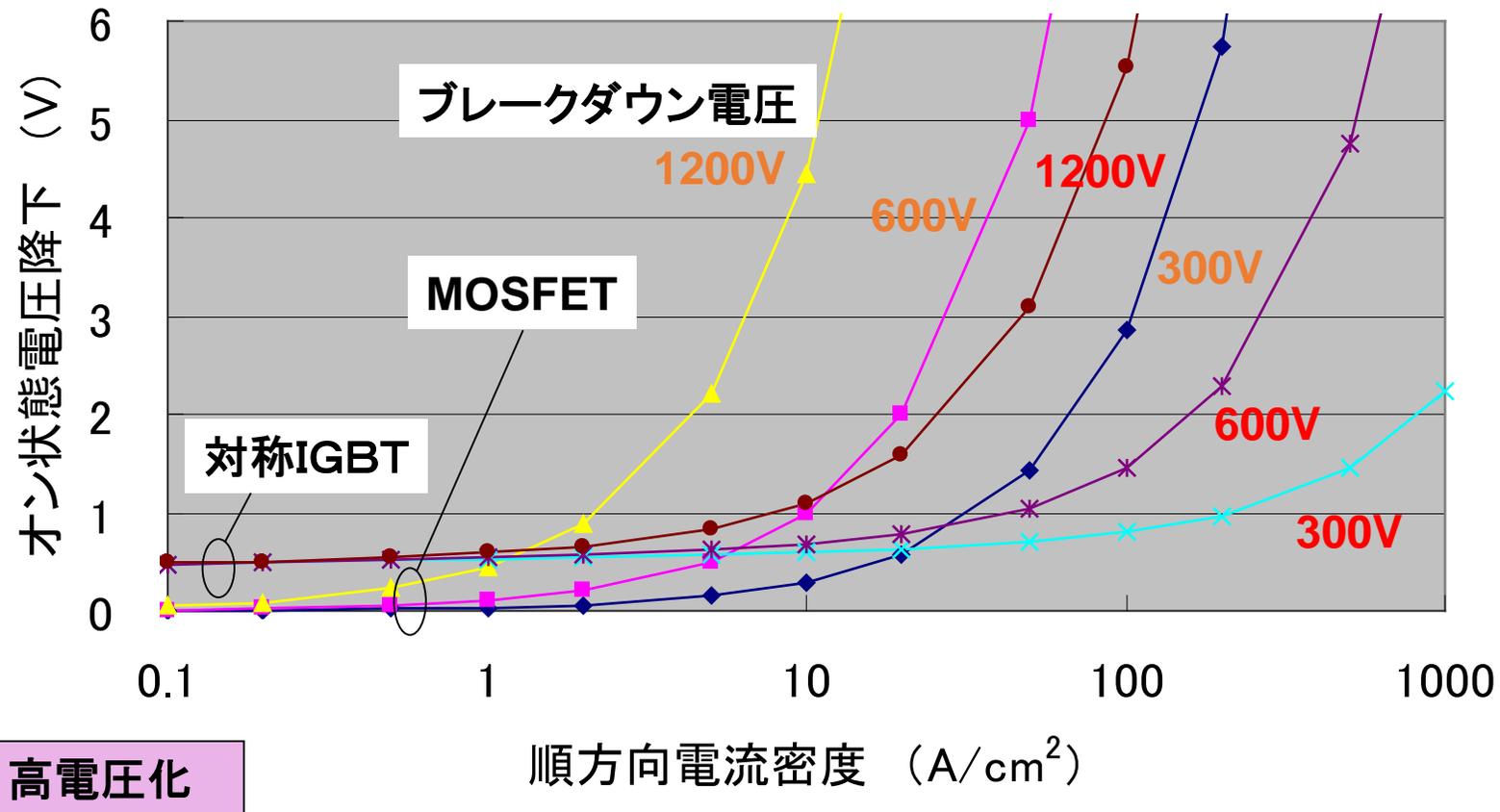
— pチャンネルとnチャンネルIGBTの比較 —



スイッチングスピード上昇(ライフタイム減少:ターンオフ時間減少)
⇒ ドリフト領域トランジスタの電流利得減少 ⇒ チャンネルからの電流寄与増大

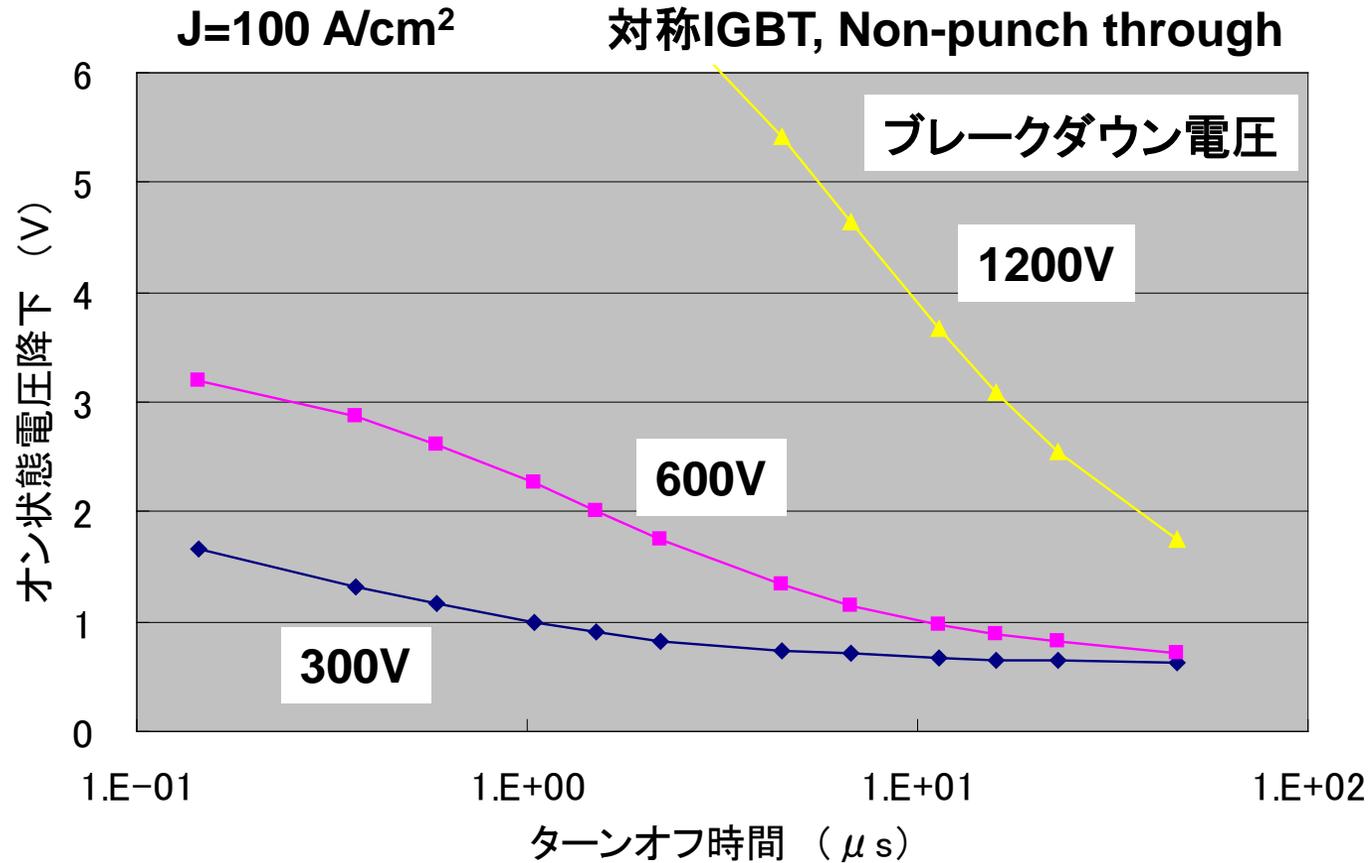
高電圧デバイス

－ オン状態特性比較：MOSFET vs. IGBT－



MOSFETの R_{ON} ⇒ ドリフト領域の抵抗率増大+ドリフト層厚化
IGBTの R_{ON} ⇒ ドリフト層内の伝導度変調+ドリフト層の厚み+チャネル抵抗

高電圧デバイスのトレードオフカーブ

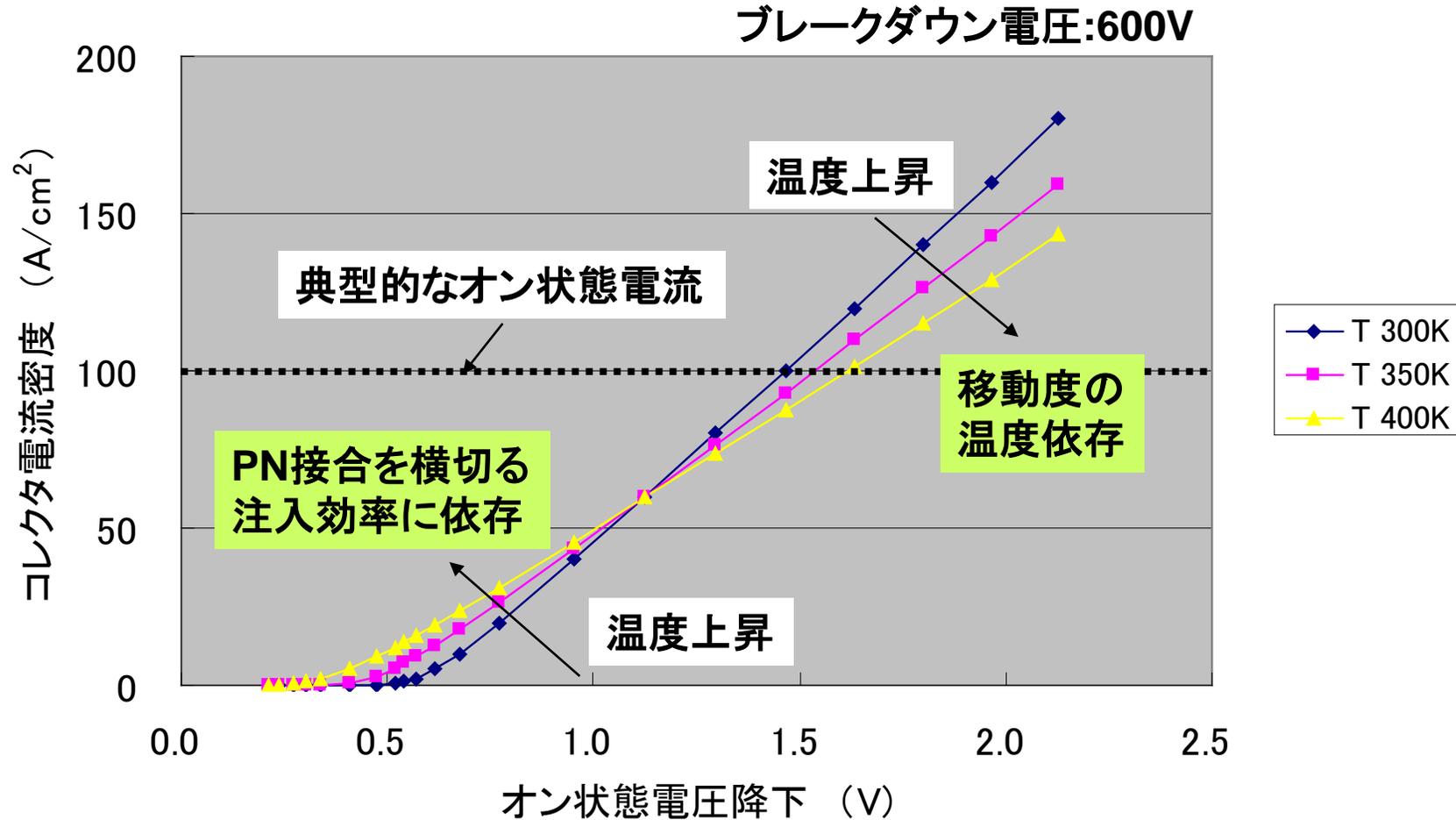


ブレークダウン電圧:大 & ターンオフ時間:小 ⇒ d_1/L_a :大 ⇒ オン状態電圧降下:大

d_1 :ドリフト層厚、 L_a :両極性拡散距離

高温特性

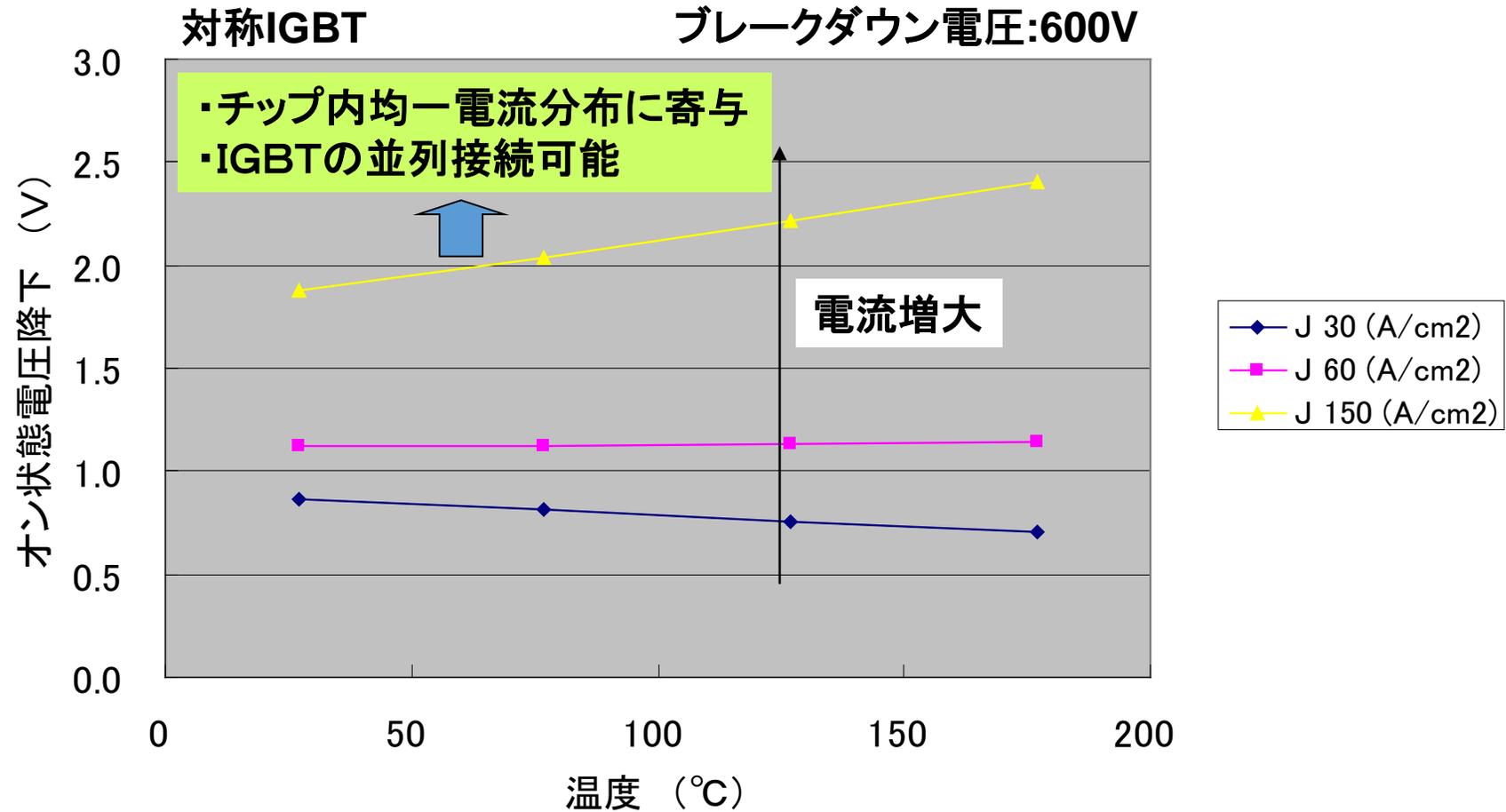
—オン状態特性の温度依存性—



(参考) 温度上昇に伴う R_{ON} の増大: MOSFET > IGBT

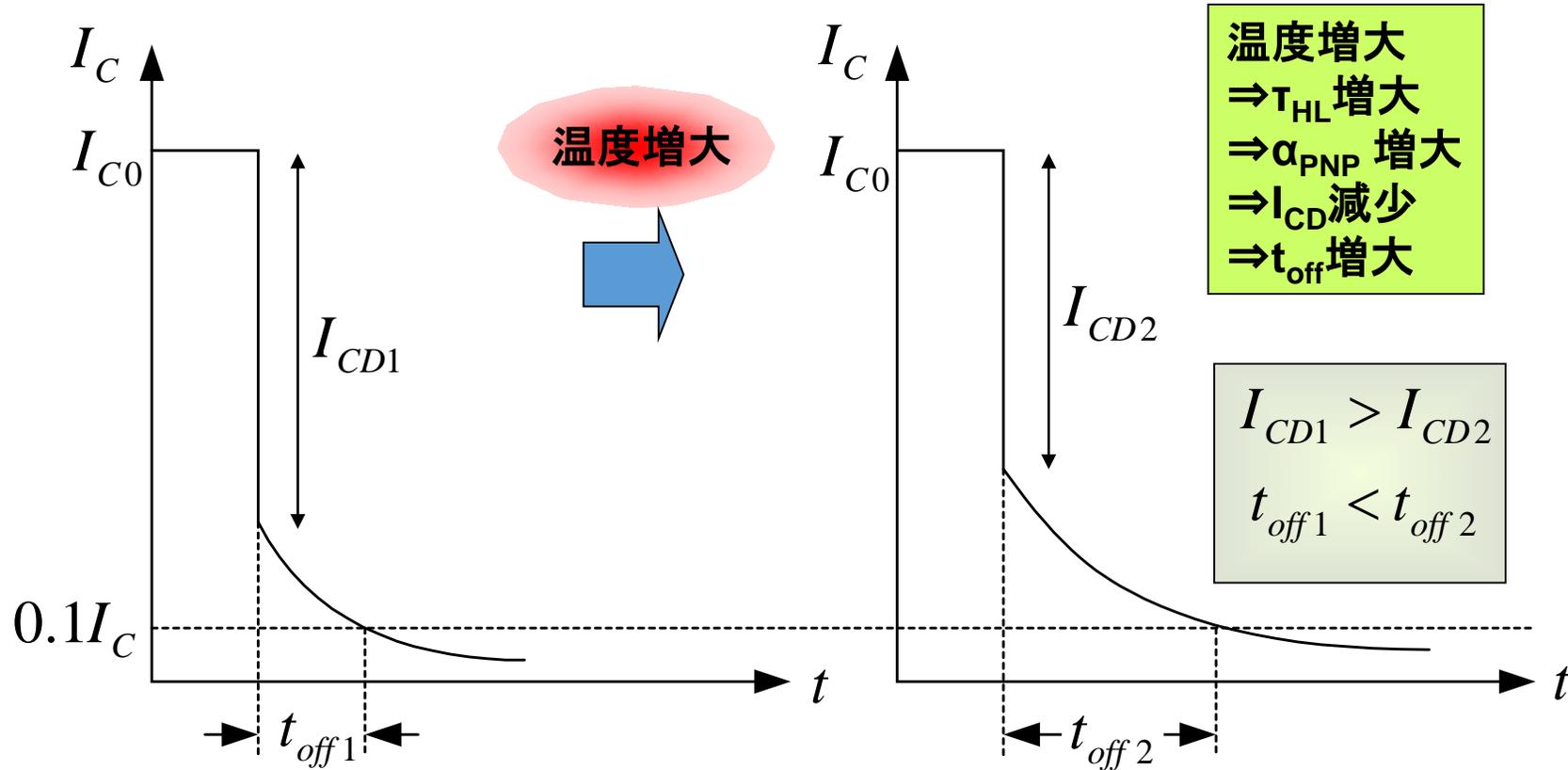
高温特性

—オン状態電圧降下の温度依存性—



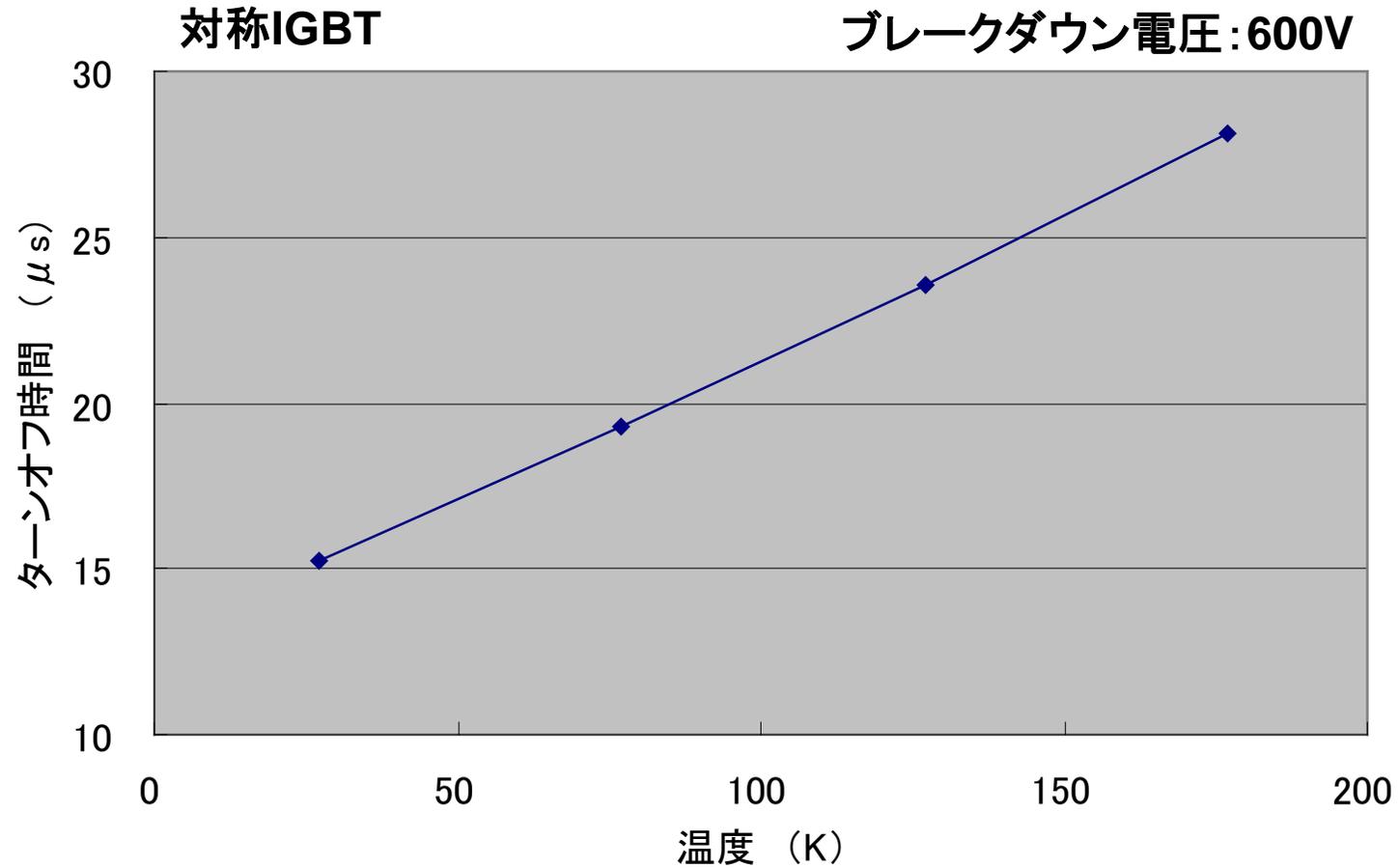
スイッチング特性の温度依存性

—コレクタ電流ターンオフ波形—

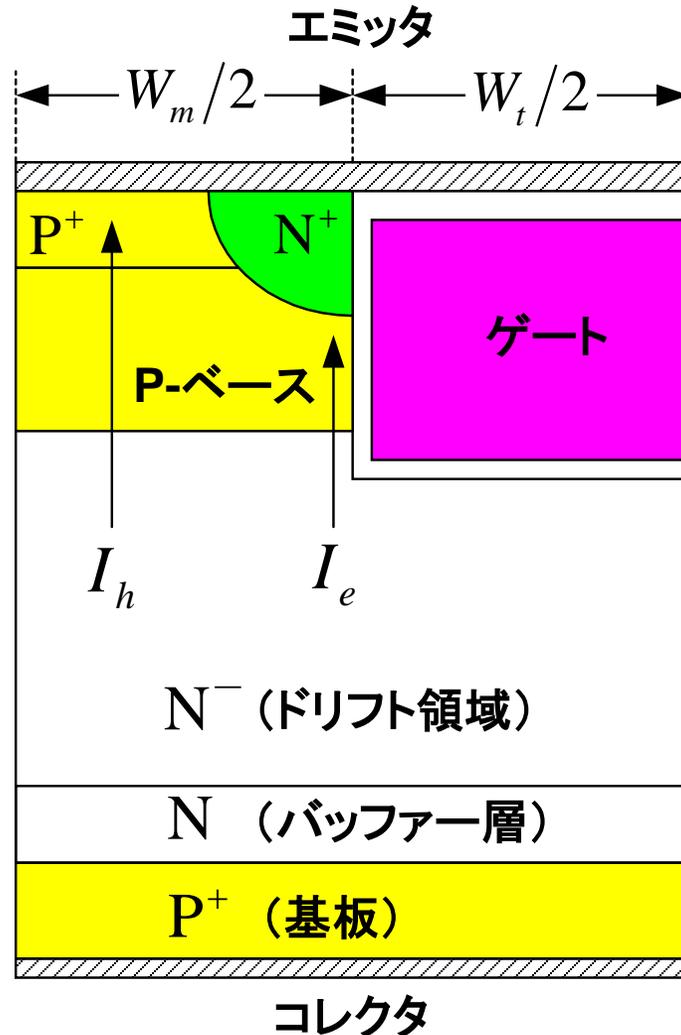


$$I_{CD} = I_e = (1 - \alpha_{PNP}) I_{C0} \Rightarrow \text{チャネル(電子)電流: PNPベース電流}$$

ターンオフ時間の温度依存性



UMOS IGBT断面構造



スイッチングスピードアップ
⇒ PNPの電流利得低減
⇒ MOSFETを流れる電流密度増大
⇒ MOSFETの電流パスの抵抗削減
DMOS ⇒ UMOS

UMOS構造
⇒ JFET無し
⇒ 蓄積層抵抗無し
⇒ チャンネル密度の向上
⇒ **MOSFETの電流パスの抵抗低減**

ラッチアップ発生電流密度
DMOS < UMOS
∵ P-ベース領域正孔電流パス
⇒ UMOS: P⁺縦方向 (電圧降下小)
⇒ DMOS: P⁺横方向 (電圧降下大)

UMOS IGBTにおけるラッチング電流

●ラッチアップの発生

$$I_h R_S = V_{bi}$$

$$R_S = \frac{\rho_{P^+}}{Z} \frac{2X_{N^+}}{(W_m - 2X_{N^+})}, \quad I_h = \alpha_{PNP} Z \frac{(W_m + W_t)}{2} J_C$$

●ラッチアップ発生電流密度

$$J_{CL,UMOS} = \frac{V_{bi}}{\alpha_{PNP} \rho_{P^+} X_{N^+}} \left(\frac{W_m - 2X_{N^+}}{W_m + W_t} \right)$$

$$\rho_{P^+} = 0.1 \Omega\text{cm}$$

$$W_{Cell,UMOS} = W_{Cell,DMOS}$$

$$J_{CL,UMOS} / J_{CL,DMOS} \approx 8$$

$$\frac{J_{CL,UMOS}}{J_{CL,DMOS}} = \frac{(R_{SB} L_{E1} + R_{SP^+} L_{E2})}{\rho_{P^+}} \left(\frac{W_m - 2X_{N^+}}{2X_{N^+}} \right) \frac{W_{Cell,DMOS}}{W_{Cell,UMOS}}$$

トレンド

- 1980年代中頃IGBT商品化
- 定格値(動作電流・ブロッキング電圧)の増大
- パワーMOSFET 20~100V
- パワーバイポーラトランジスタ 100~400V
- スーパージャンクションMOSFET 600V(900V)
- IGBT 400~600(1200V)
 - IGBTの基板 Si ⇒ SiC
 - 構造の改善: IEGT(Injection-Enhanced IGBT)
CSTBT(Carrier Stored Trench-Gate Bipolar Transistor)
 - パワーICの集積化: Lateral IGBT
- アプリケーション(低パワー損失)
 - 民生機器: エアコンの可変速モータ制御(インバータ制御)、洗濯機、冷蔵庫、電子レンジ、掃除機など
 - 車載: 電気自動車のインバータ