

第22回 回路とシステム  
(軽井沢)ワークショップ



# ナノCMOS時代の アナログ回路設計

---

デジタルアシストAD変換技術を中心として

群馬大学大学院 工学研究科 電気電子工学専攻  
小林春夫

# プロローグ 1

## 低電源電圧でのアナログCMOS

2000年8月

半導体メーカー 研究所訪問

0.35 $\mu$ m CMOS, 3V の時代

研究所長さん

「CMOS微細化が進み

電源電圧がやがて1V近辺になると

アナログ回路設計が

難しくなってくるのではないか。」



# プロローグ 2

## なぜ RF CMOSか

携帯電話の送受信回路が  
CMOS 1チップ化

### 日本セットメーカー関係者

RF CMOS の重要な点は、  
バイポーラRF 回路をCMOS で置き換える  
ことではない。

RF回路もCMOS化することで  
デジタル、ベースバンドアナログ(ADC等)と  
1チップ化できることが最大のメリット。

1990年代前半に米国Fabless メーカーから  
提案された。



# RF CMOS は高周波技術だけでは 産業化できなかった

1990年代前半

日本メーカー:

CMOSは特性ばらつきが大きく産業化難。

Abidi 先生(UCLA):

米国Fablessメーカー がRF CMOSを製品化。

CMOS特性のばらつき大を

**デジタル補正技術**を開発して

歩留まり90%以上に。

「従来のRF研究者は何もわかっていない。」



# 発表内容

---

## ナノCMOSと新アナログ 新アナログの展開

領域1： 振幅連続、時間連続

領域2： 振幅連続、時間離散

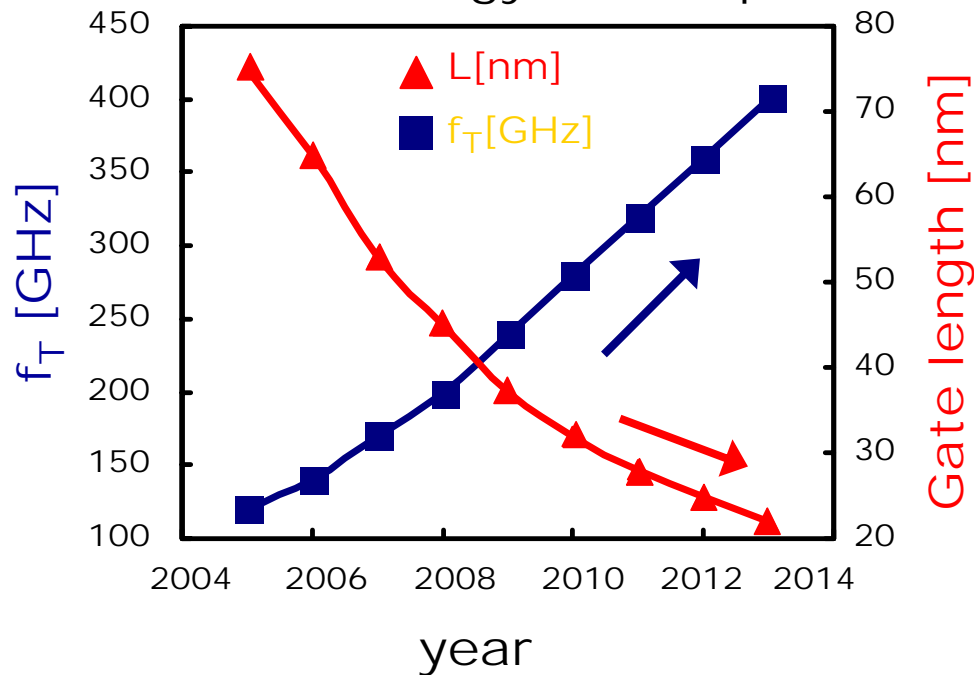
領域3： 振幅離散、時間連続

領域4： 振幅離散、時間離散

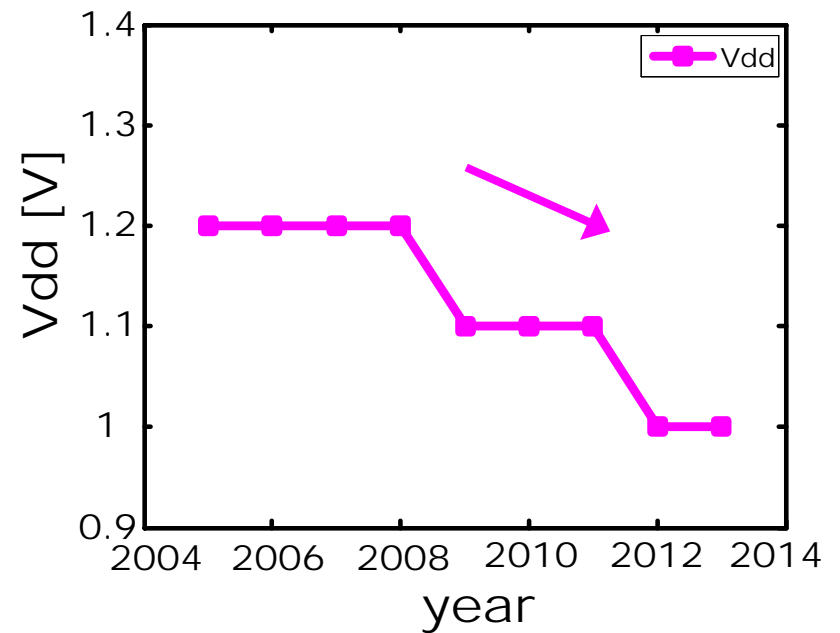
## 新アナログのテストの問題 まとめ

# 半導体はナノの時代へ

Technology loadmap



Technology loadmap



CMOSプロセス微細化

高速動作 (時間領域: 分解能向上)

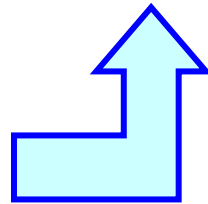
耐圧低下 ( $V_{dd}$  小), ドレイン抵抗 小

# ナノCMOSでのアナログの パラダイムシフトの必要性

## ■ 近年、LSIの超大規模化・超微細化

### ■ デジタル回路

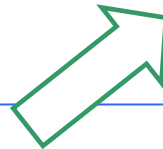
- ・チップ面積縮小
- ・高速動作
- ・低消費電力



必ずしも微細化の恩恵  
を受けるわけではない

### ■ 従来アナログ回路

- ・素子ばらつきが増大
- ・低電圧化によるSNR劣化



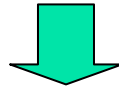
- ・短チャネル効果
- ・狭チャネル効果
- ・スレッシュホールド電圧ミスマッチ

⋮

# 半導体プロセスと回路

## － 目的と手段 －

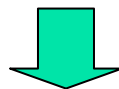
「デジタルは半導体プロセス微細化のトレンドに適合。  
アナログは適しているとは限らない。」



半導体ロードマップの呪縛にかかった発想・表現

半導体プロセスの微細化はデジタルの低消費電力・  
高速・高集積化・低コスト化のために行う。

デジタルでメリットなければ半導体微細化をする理由なし。



微細化プロセスでもデジタルは必ず動く、高性能・低コスト。





# デジタル・アシスト・アナログ技術

CMOS微細化にともない

→ デジタルは大きな恩恵

高集積化、低消費電力化、高速化、低コスト化

→ アナログは必ずしも恩恵を受けない

電源電圧低下、出力抵抗小、ノイズ増大

「デジタル技術を用いて

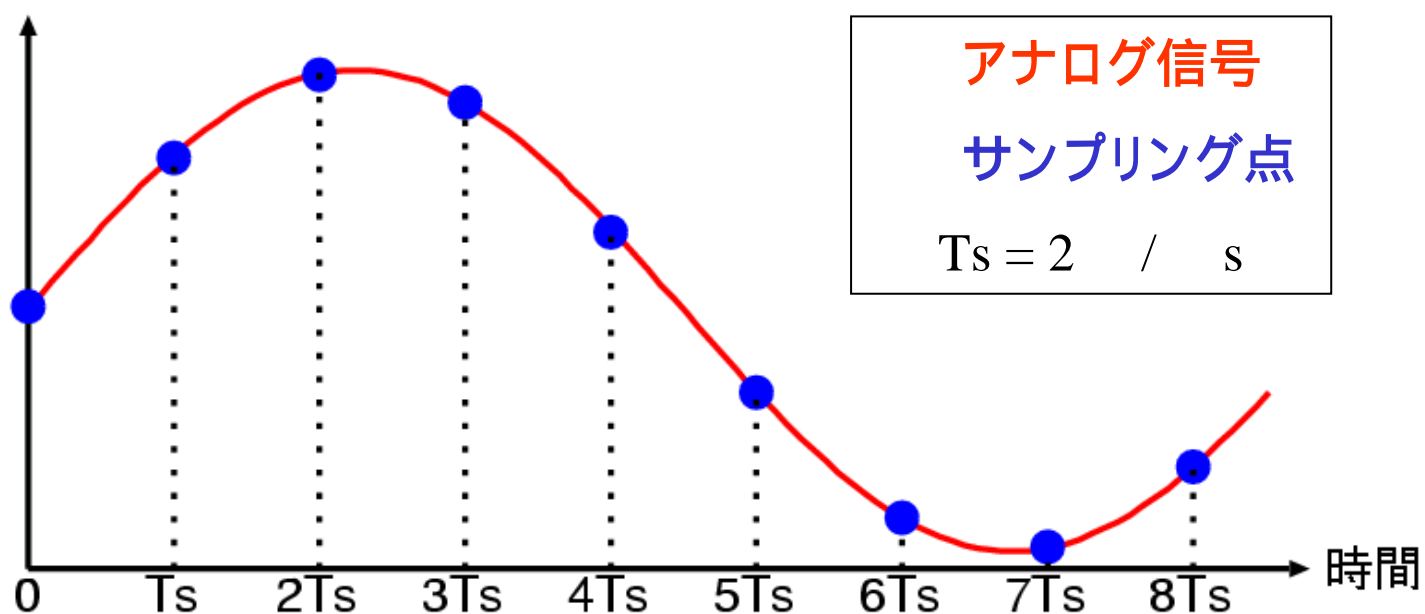
アナログ性能向上する技術」が重要

「デジタルリッチ・アナログミニマムな構成」が重要

SOC内  $\mu$  Controller はPAD程度のチップ面積

# デジタル信号の特徴(1)

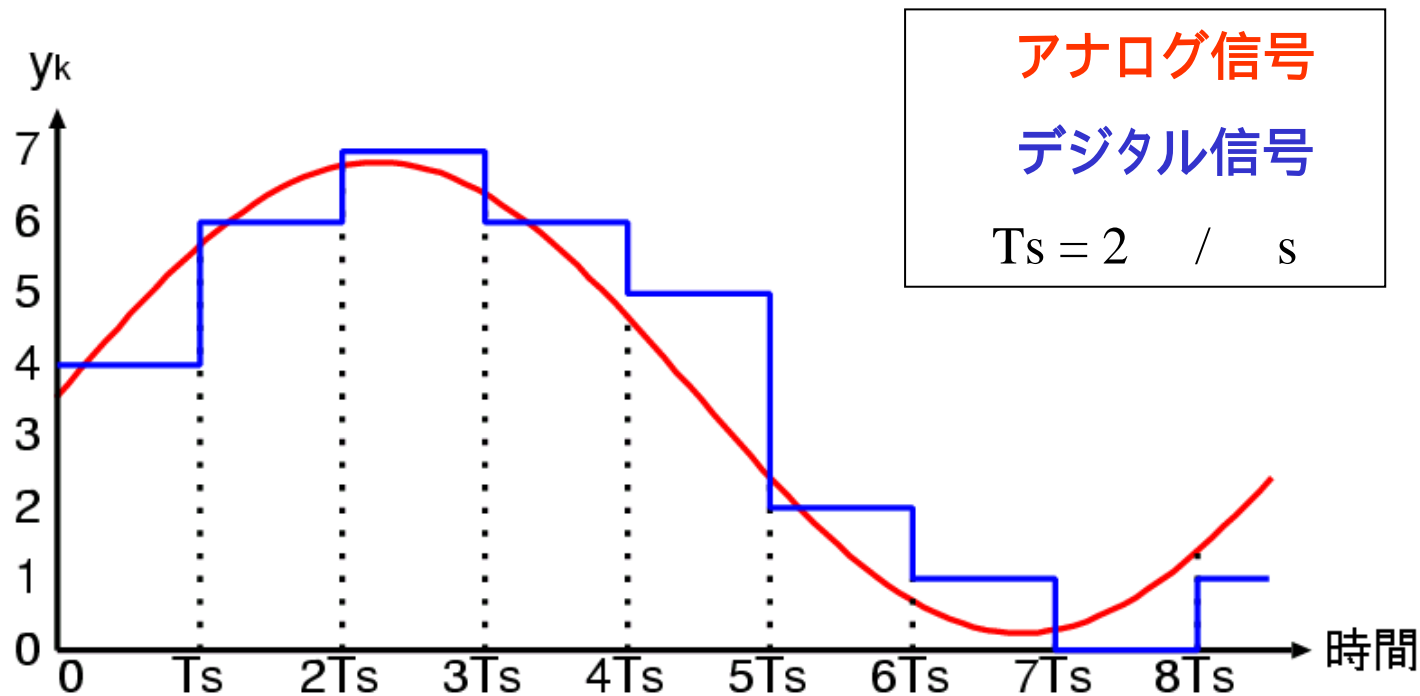
## 時間の離散化 (サンプリング)



一定時間間隔のデータを取り、間のデータは捨ててしまう。

# デジタル信号の特徴(2)

## 振幅の離散化 (信号レベルの数値化)



デジタル信号はアナログ信号レベルを  
四捨五入(または切り捨て)

# 回路技術の4つの領域

- 小室貴紀氏との議論 -

	振幅 連続	振幅 離散
時間 連続	領域1 アナログ	領域3 TDC、PWM
時間 離散	領域2 スイッチドキャパシタ サンプリング回路	領域4 デジタル

領域1: バイポーラ、化合物が得意

領域2, 3, 4: CMOSが得意

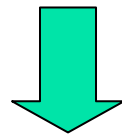
4つの領域 全てを用いるのが ナノCMOSアナログ回路技術



# ナノCMOS 時代の新アナログ

## 微細CMOSでアナログ高性能化

微細デジタルCMOS  
4つの回路領域を全て用いる  
デジタルリッチ、高速サンプリング、時間領域  
回路、設計手法、検証手法、テストを  
デジタル的に行う



小チップ面積、低消費電力、高性能化  
設計容易化  
プロセス・ポータビリティ、スケーラビリティ  
初回の試作で動作



# 発表内容

---

ナノCMOSと新アナログ

## 新アナログの展開

領域1： 振幅連続、時間連続

領域2： 振幅連続、時間離散

領域3： 振幅離散、時間連続

領域4： 振幅離散、時間離散

新アナログのテストの問題

まとめ



# 発表内容

---

ナノCMOSと新アナログ

新アナログの展開

領域1： 振幅連続、時間連続

領域2： 振幅連続、時間離散

領域3： 振幅離散、時間連続

領域4： 振幅離散、時間離散

新アナログのテストの問題

まとめ

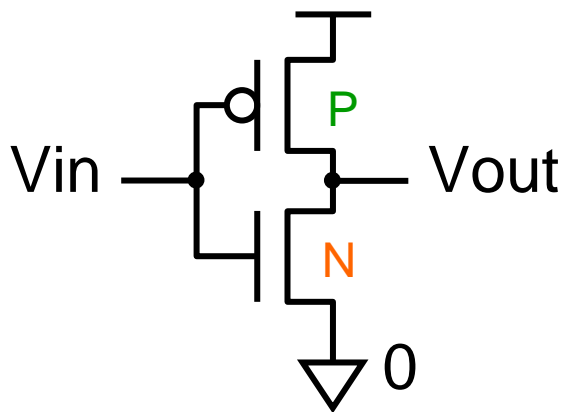
# 純粋なアナログ回路

(領域1: 振幅連続、時間連続)

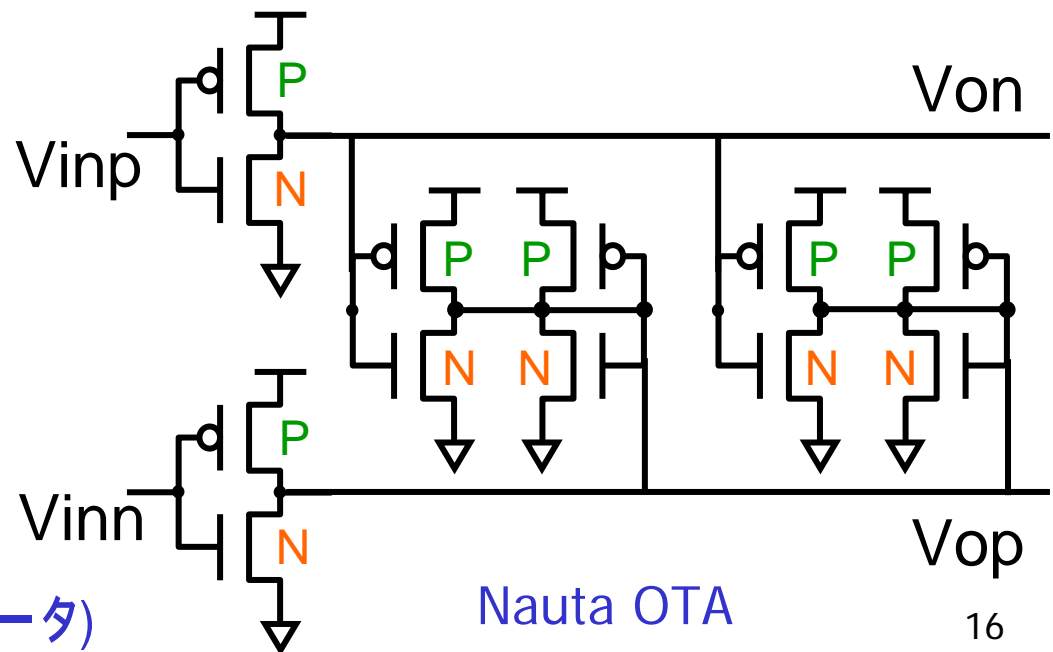
RFアナログ回路でもトランジスタレベルでは  
標準CMOSロジック回路に収束していく

— インバータ型演算トランスコンダクタンス増幅回路  
(Nauta OTA)

— 様々なRF 回路



CMOS標準ロジック(インバータ)



Nauta OTA





# MOSの全ての動作領域を使用

---

飽和領域 (2乗特性領域)

速度飽和領域

線形領域

サブスレシヨルド領域



# 微細CMOSは素子特性マッチングに 有利に働く -ある半導体メーカー技術者-

同じチップ面積なら微細CMOSのほうが  
高度な製造装置使用のため  
マッチングが良くなる  
ミスマッチを補正するための  
余分な回路が不要  
実測でも検証



# 発表内容

---

ナノCMOSと新アナログ

## 新アナログの展開

領域1： 振幅連続、時間連続

領域2： 振幅連続、時間離散

領域3： 振幅離散、時間連続

領域4： 振幅離散、時間離散

新アナログのテストの問題

まとめ

# ナノCMOSでのサンプリング技術

## (領域2： 振幅連続、時間離散)

ナノCMOS FETの余裕ある高速特性、高周波特性を生かす設計が重要。

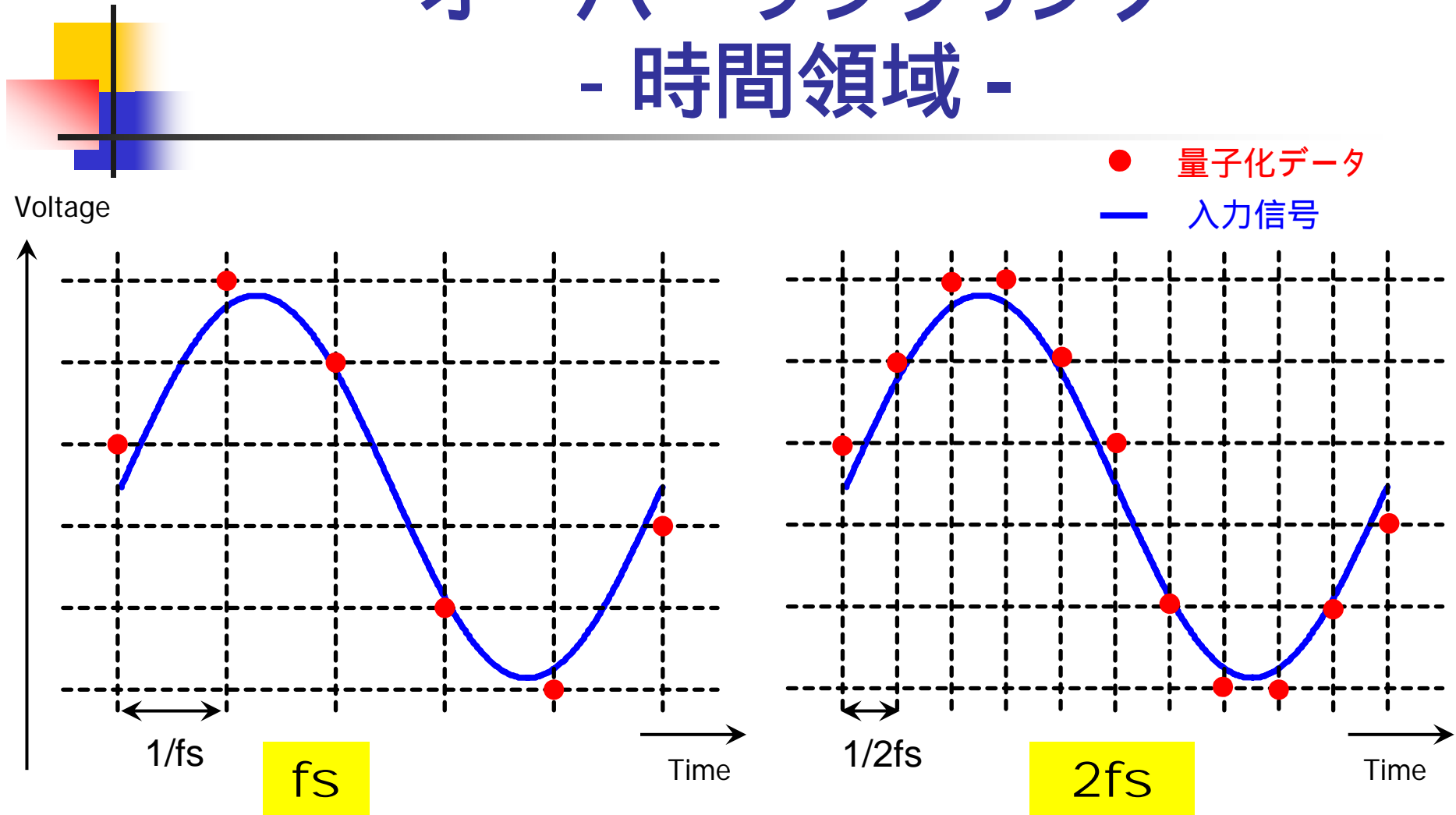
### 高周波回路

「ナノCMOSを用いたRF回路ではシステム仕様に比べてトランジスタ高周波特性 ( $f_T$ ) に余裕がある」  
(東京工業大学 石原昇先生)

### 高速サンプリングにより

電源ノイズ、基板ノイズ、量子化ノイズ、ジッタ等の  
折り返しノイズ低減  
アナログフィルタの単純化

# オーバーサンプリング - 時間領域 -



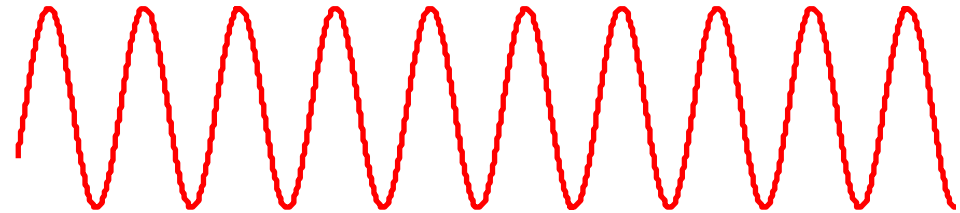
オーバーサンプリングにより入力信号  
の再現性が高まる

# サンプリング・ミキサ

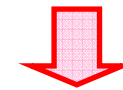
## ダウンサンプリング - 時間領域 -

Down-sampling

$V_{in}$

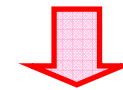
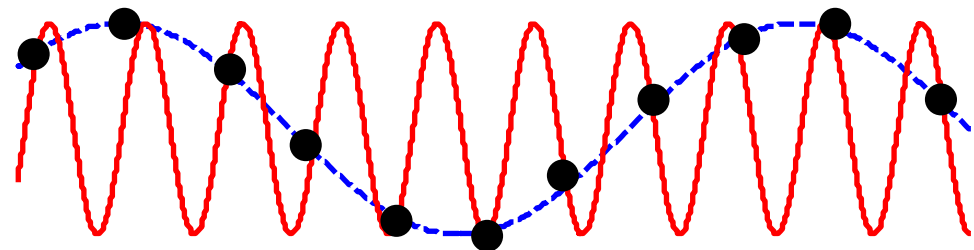


RF signal    Baseband signal



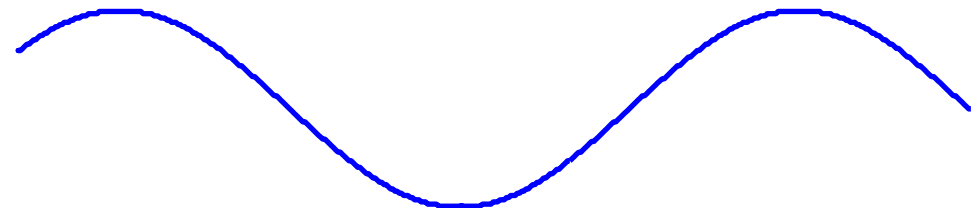
Sampling

LPFで高周波成分をカット



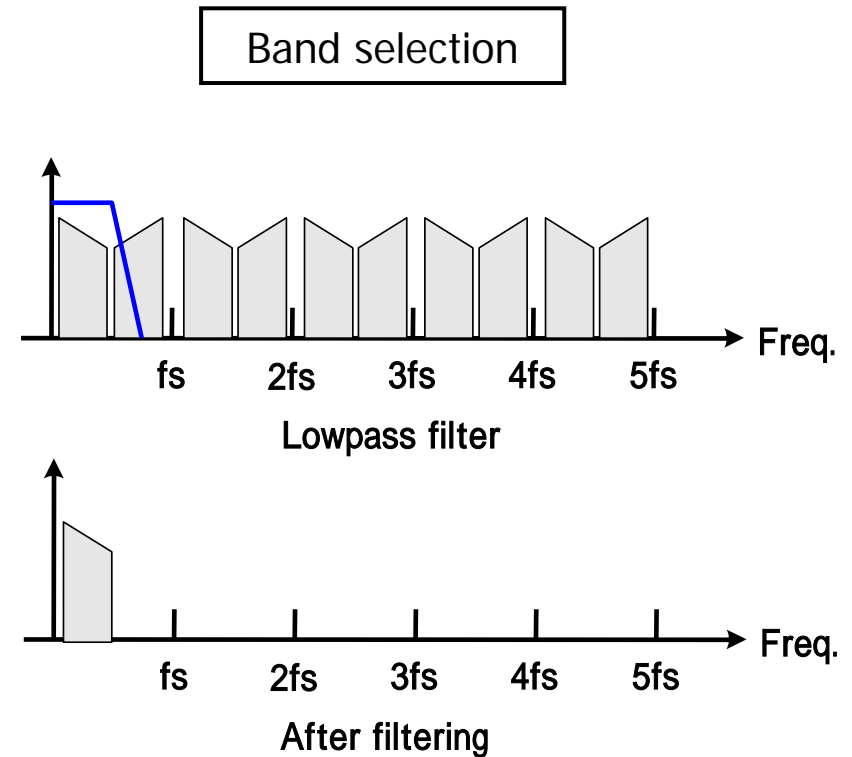
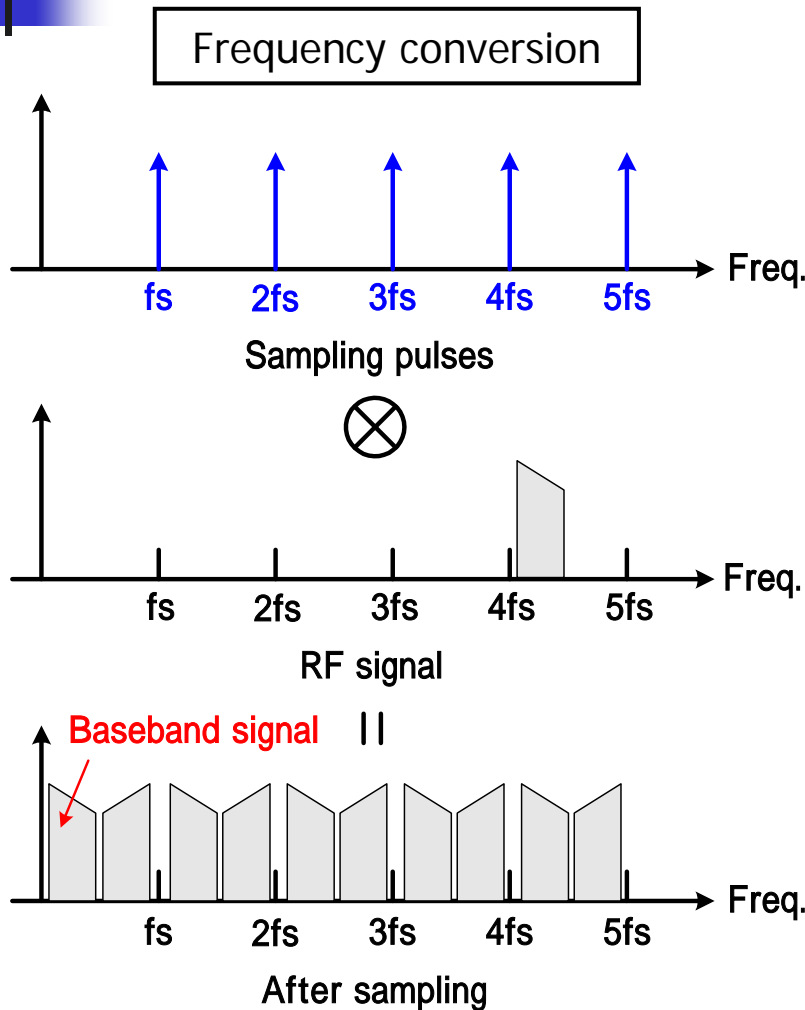
LPF

$V_{out}$

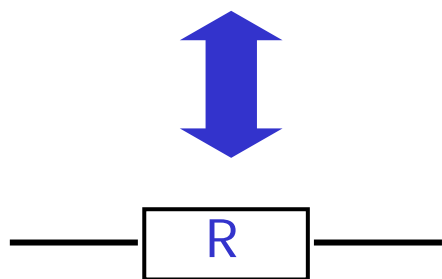
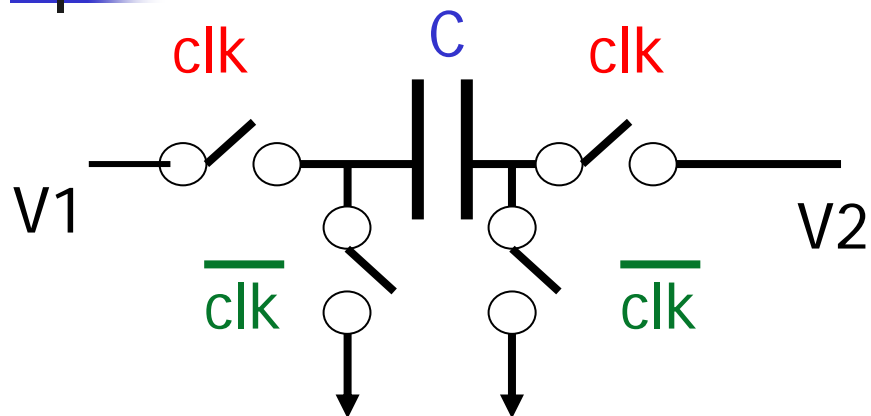


# サンプリング・ミキサ

## ダウンサンプリング - 周波数領域 -

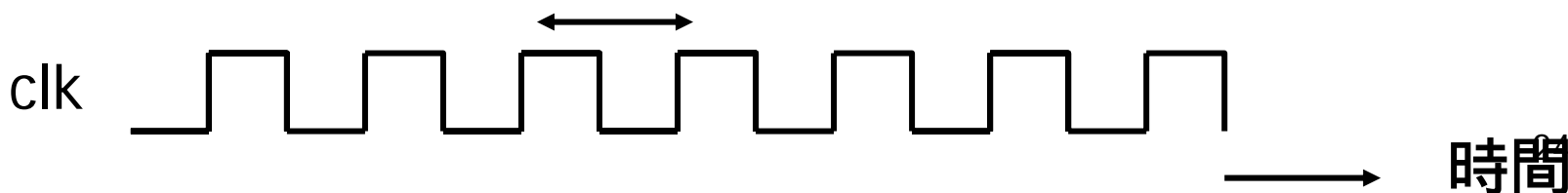


# スイッチド・キャパシタ回路



$$R = T / C$$

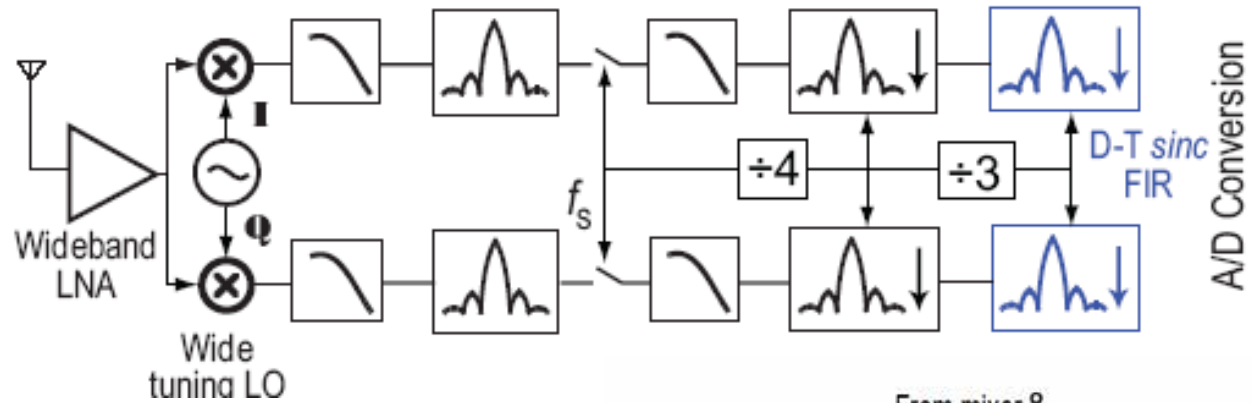
T: clk 周期



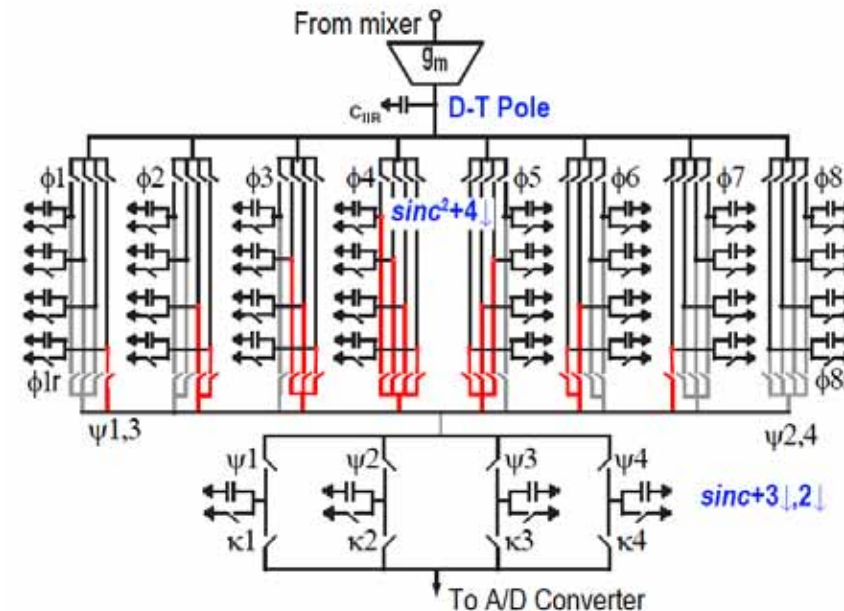
容量 C とスイッチで  
等価的に抵抗 R を実現  
MOSスイッチ使用  
バイポーラでは実現困難  
米国カルフォルニア大学  
の大学院生が考案  
多くの製品に使用。



# ソフトウェア無線用受信機 (TI社、UCLA)



初段でキャリア周波数程度の  
高速サンプリング  
プログラマブル・  
アナログ・サンプリング・フィルタ  
マルチレート信号処理  
周波数領域(伝達関数)と  
時間領域(畳み込み積分)

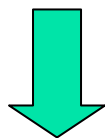




# デルタ・シグマAD/DA変調技術

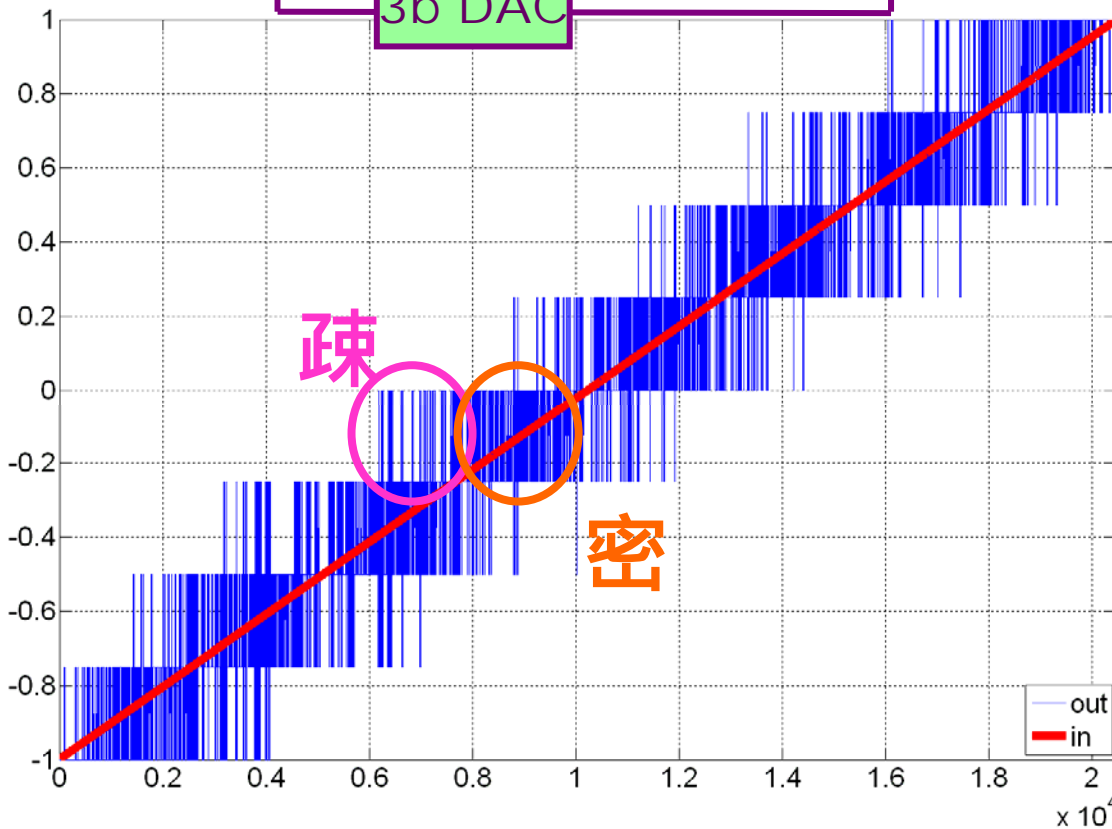
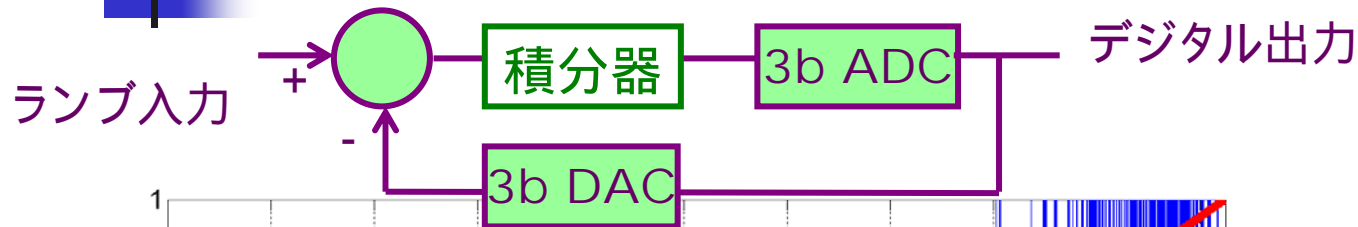
---

アナログ最小、デジタルリッチな構成  
スピードを精度に変換  
高精度なデバイス、回路不要



ナノCMOSで高精度なADC/DACを  
実現するのに適した構成

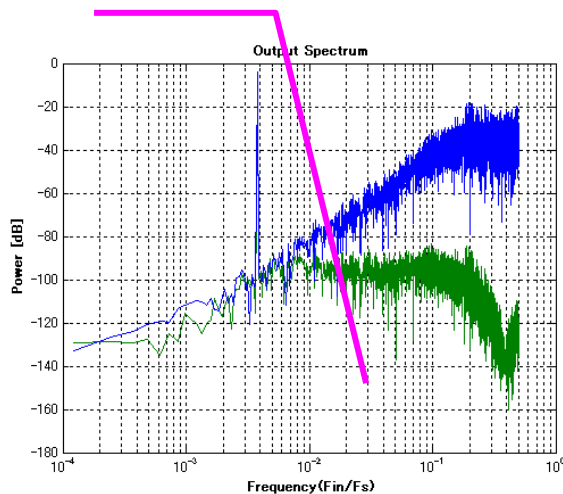
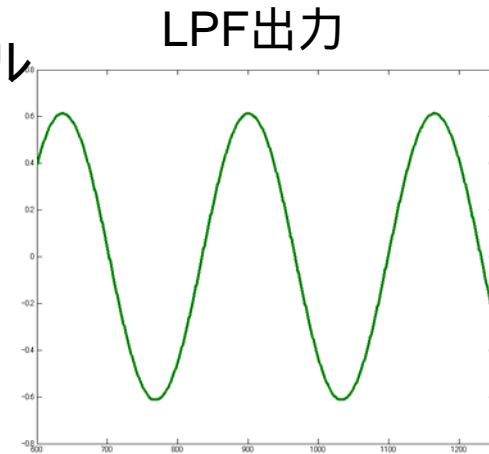
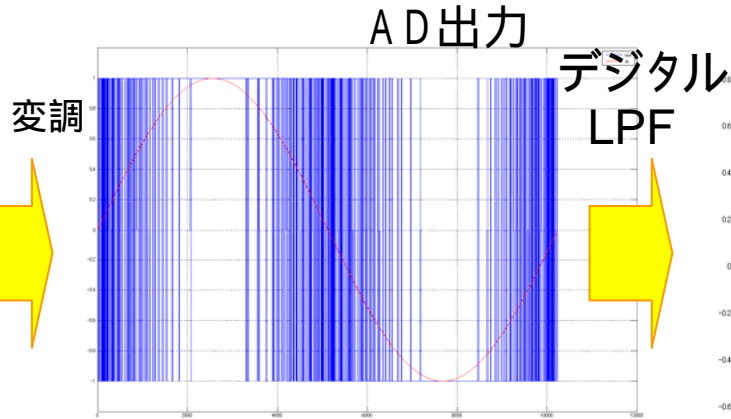
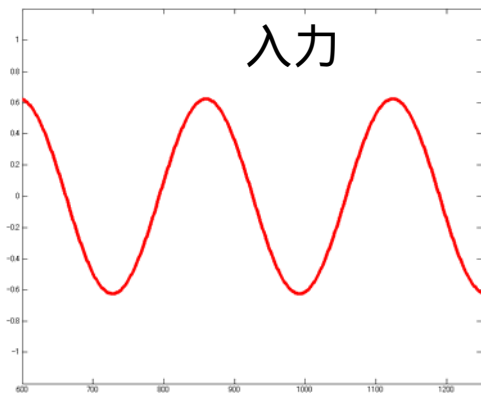
# デルタシグマ変調による高精度化



内部のADC  
は低分解能

疎密により  
より細かい  
デジタル値を  
表現できる

# デルタシグマAD変調器の入出力波形



PDM(パルス密度変調)

フーリエ級数展開

高周波成分 大

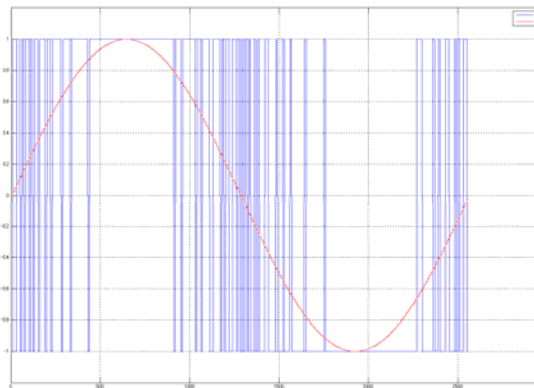


ローパスフィルタ

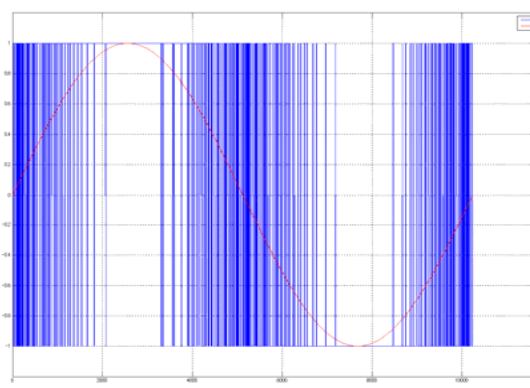
高周波成分(ノイズ)除去

元信号 復元

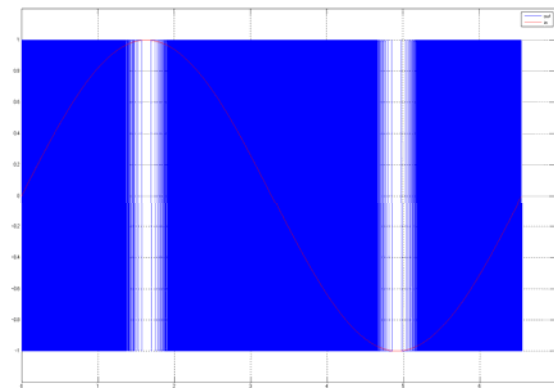
# 高速サンプリングによる高精度化



OSR=2<sup>8</sup>



OSR=2<sup>10</sup>



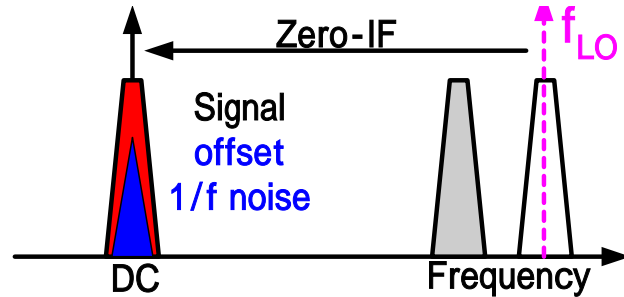
OSR=2<sup>16</sup>

OSRが大きいほどON,OFFの回数が増える  
細かい値が表現可能。

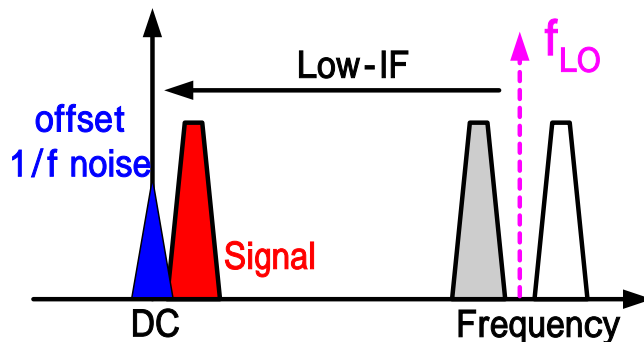
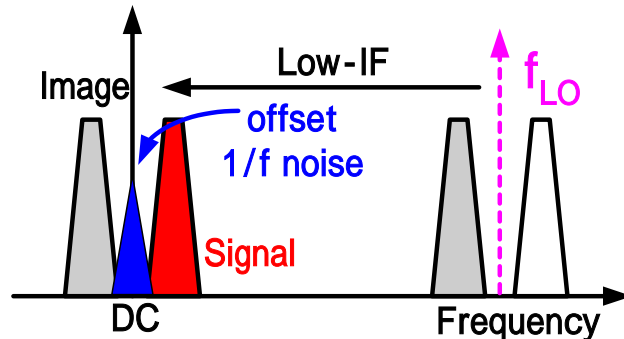
OSR: OverSampling Ratio (オーバーサンプリング比)

# 受信機方式の比較

## ダイレクト・コンバージョン受信機



## Low-IF受信機



- RF ベースバンド
- Zero-IF  
イメージ成分は生じない
- DCオフセット、1/fノイズ 影響大

- RF Low-IF
- イメージ成分もAD変換



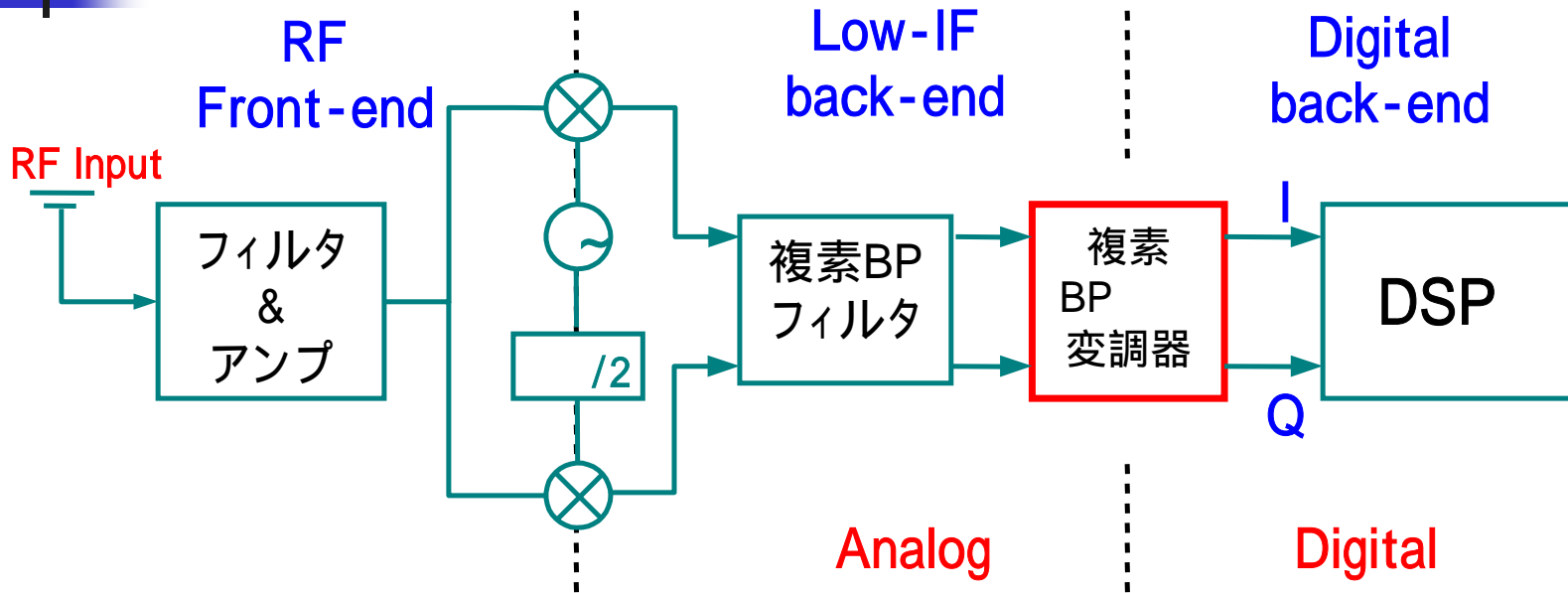
- 消費電力の無駄



- 複素バンドパス AD変調器  
その問題を解決

# 複素バンドパス AD変調器を用いた 低IF受信機

携帯電、無線LAN、ブルートゥース用

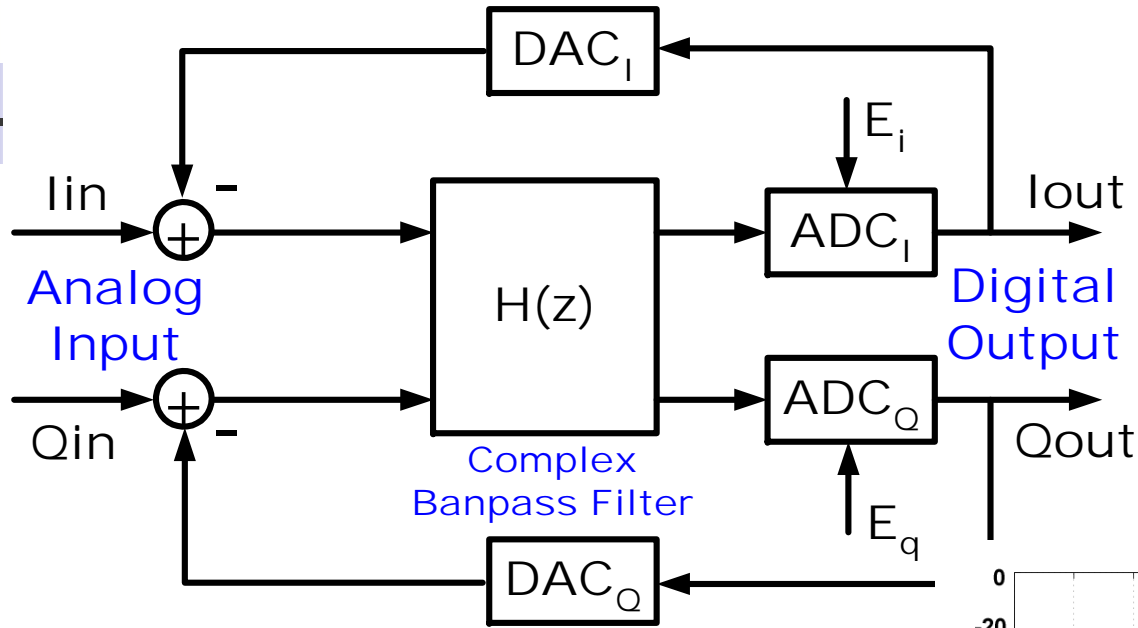
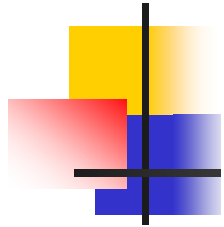


- イメージ成分をAD変換しない
- 低消費電力

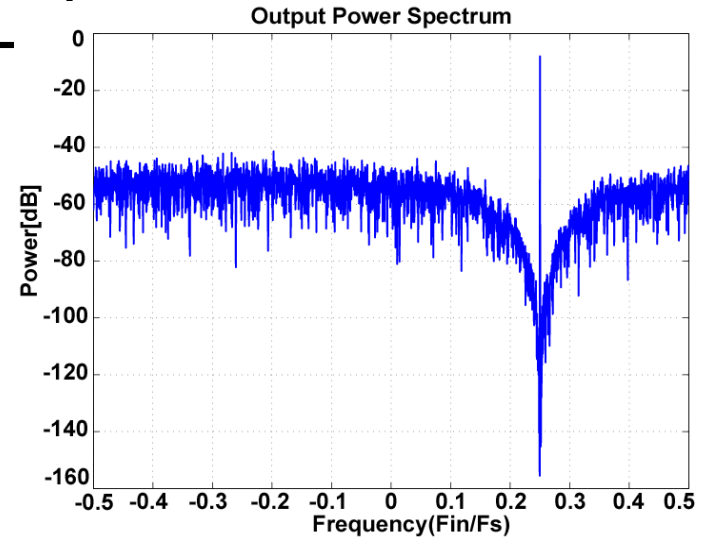
➡ 複素信号処理、ダイナミック・マッチングにより実現

# 複素バンドパス

# AD変調器のブロック



$$I_{out} + jQ_{out} = \frac{H}{1+H} (I_{in} + jQ_{in}) + \frac{1}{1+H} (E_i + jE_q)$$

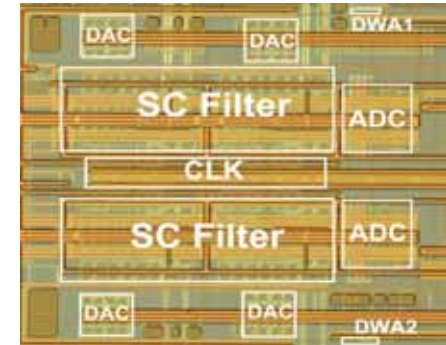


## 複素バンドパス・ノイズ・シェープ

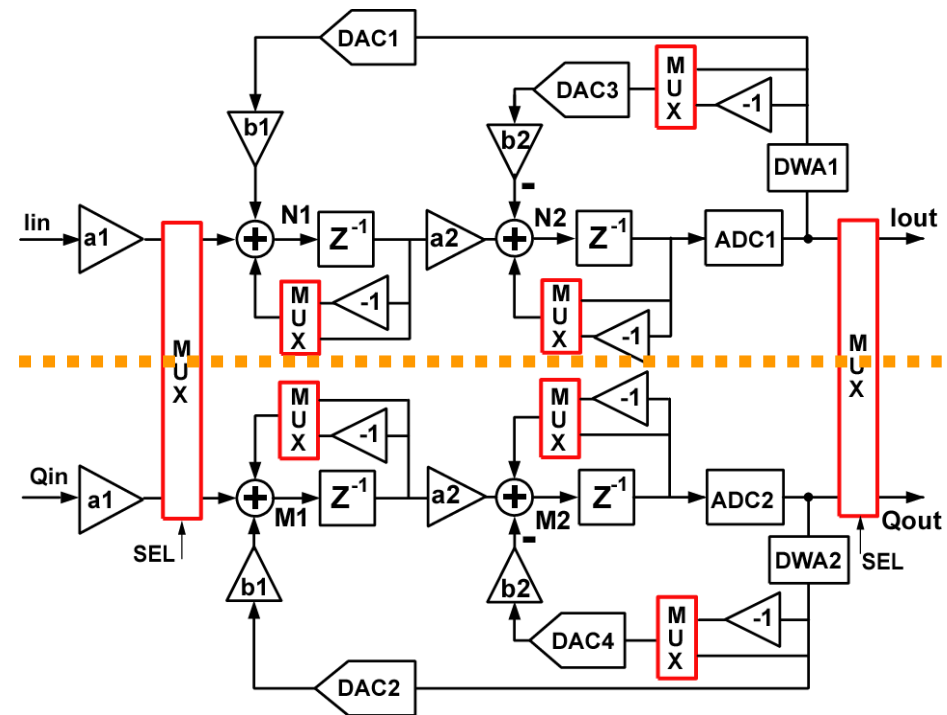
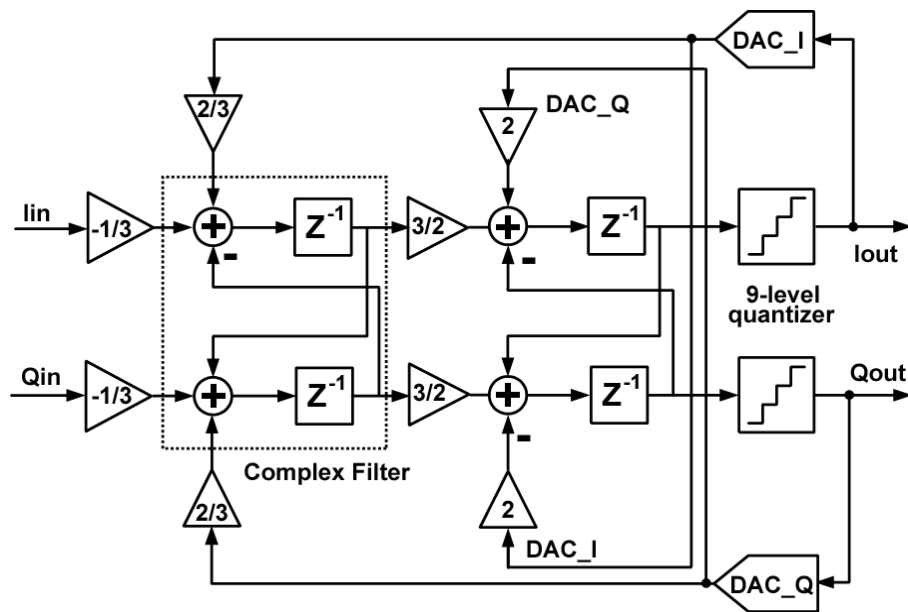


# 複素バンドパス の内部構成

# A/D変調器



チップ写真



- I、Q信号は上下の経路を交互的に使用
- I、Q経路間ミスマッチの影響を軽減
- マルチビットDACのダイナミック・マッチングによる線形化



# 発表内容

---

ナノCMOSと新アナログ

## 新アナログの展開

領域1： 振幅連続、時間連続

領域2： 振幅連続、時間離散

領域3： 振幅離散、時間連続

領域4： 振幅離散、時間離散

新アナログのテストの問題

まとめ

# 時間領域アナログ回路

## (領域3: 振幅離散、時間連続)

CMOSの微細化、電源電圧の低下

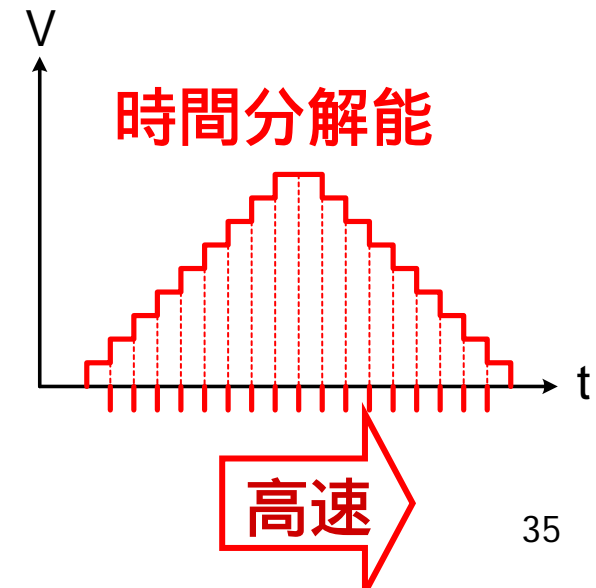
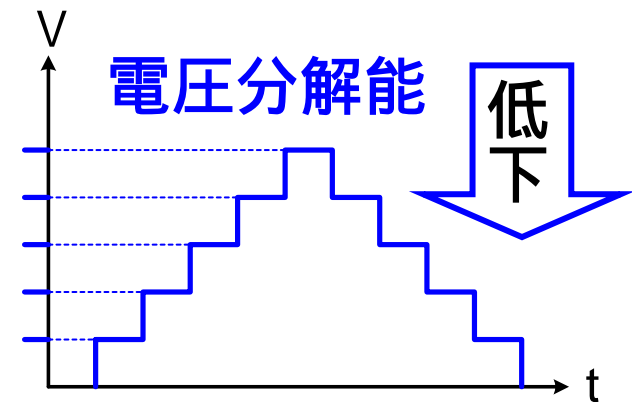
$V_{dd}$  小 (1V以下)  
スイッチング時間 高速  
(数十ピコ秒)

微細CMOS高性能化のためには

アナログ信号での**電圧分解能**



デジタル信号端遷移の**時間分解能**





## 2名のパイオニア、中心人物

---

CMOS TDC 回路の考案者

日本人の高エネルギー加速器実験の研究者

新井康夫 氏

1988年 VLSI Circuit Symp にて発表

All Digital PLL の考案者

Bogdan Staszewski 氏 (元 TI社)

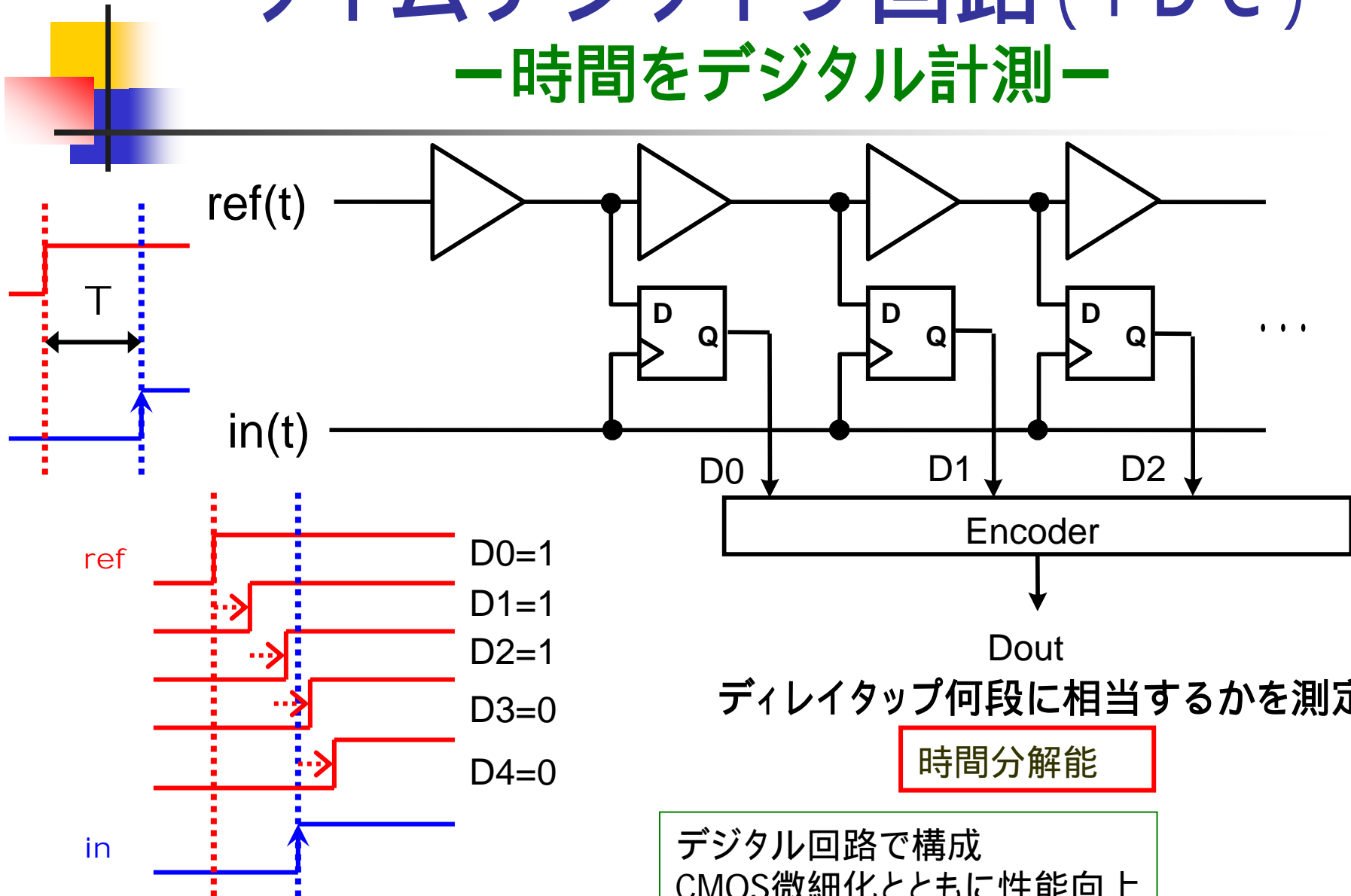
同社にてDigital Radio Processor のプロジェクト推進

「微細MOSにては、

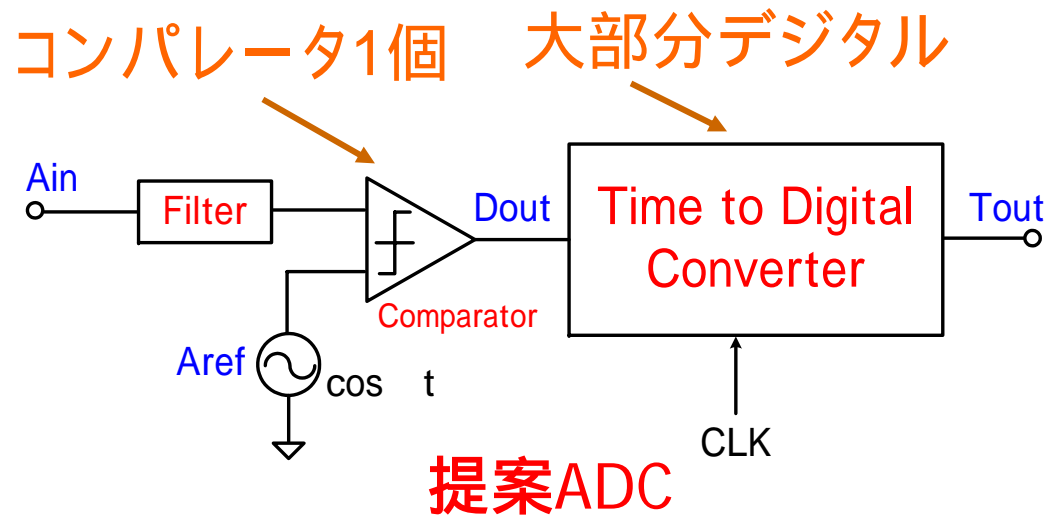
時間分解能は電圧分解能より優れている。」

# タイムデジタイザ回路 (TDC)

## — 時間をデジタル計測 —



# 時間領域ADC



群馬大学  
社会人博士修了  
小室貴紀氏  
考案

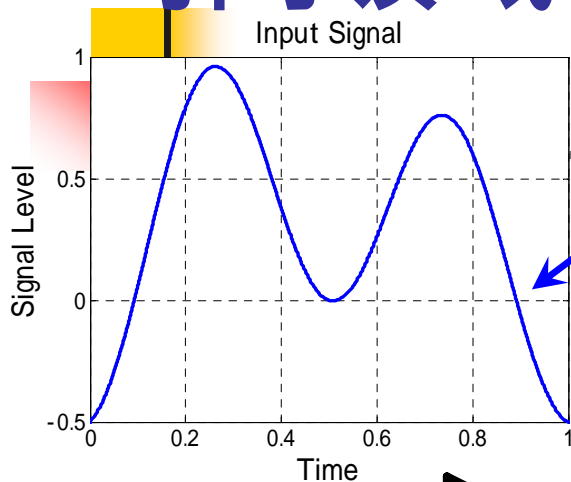
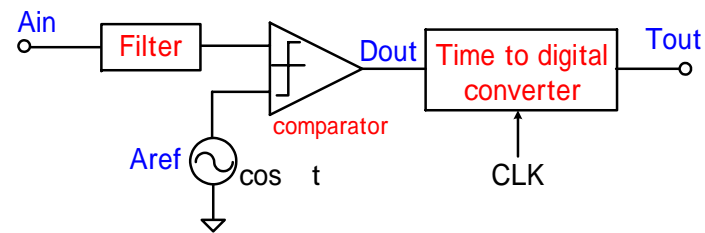
- 高速、高精度なサンプルホールド回路不要
- 非同期サンプリング
- デジタル信号処理が複雑

アナログの問題

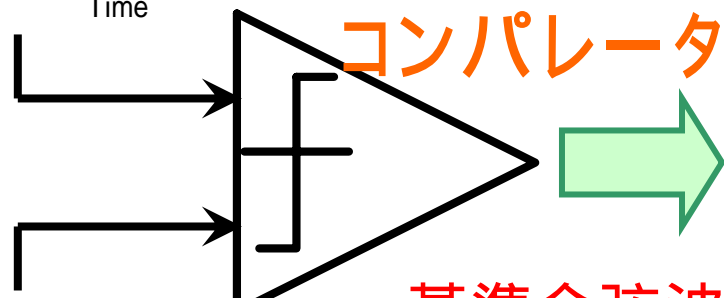


デジタルの問題

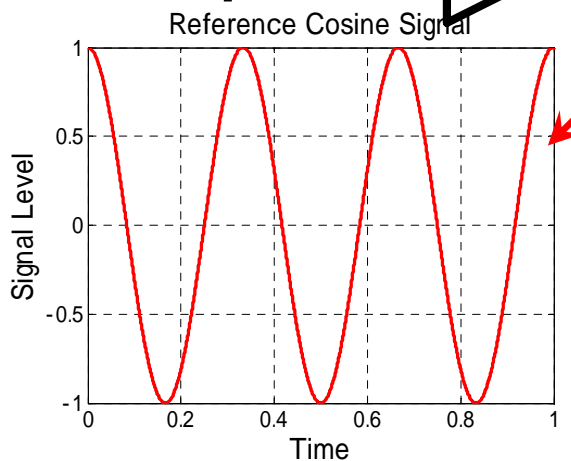
# 時間領域ADCの動作



入力信号

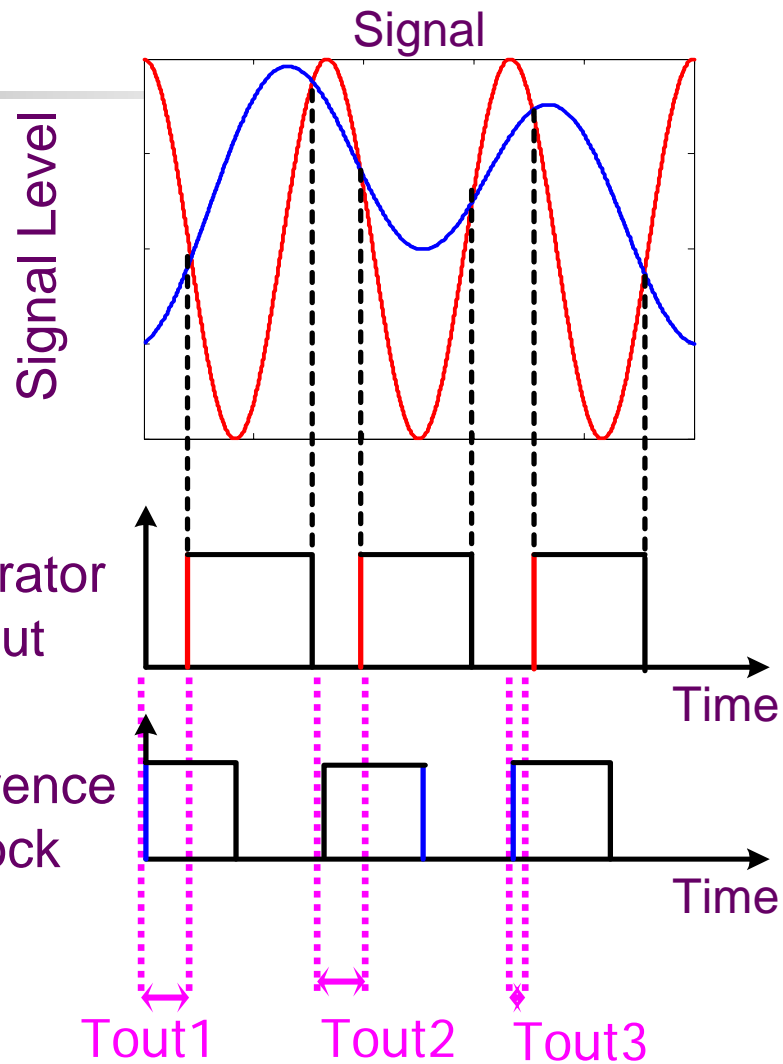


Comparator Output

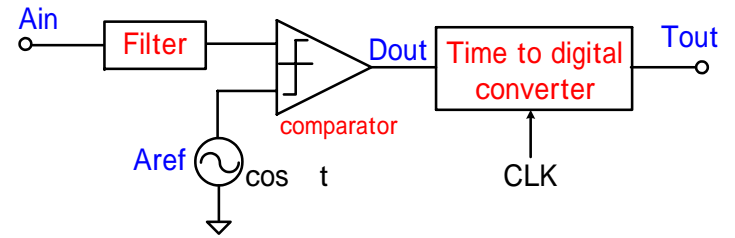


基準余弦波

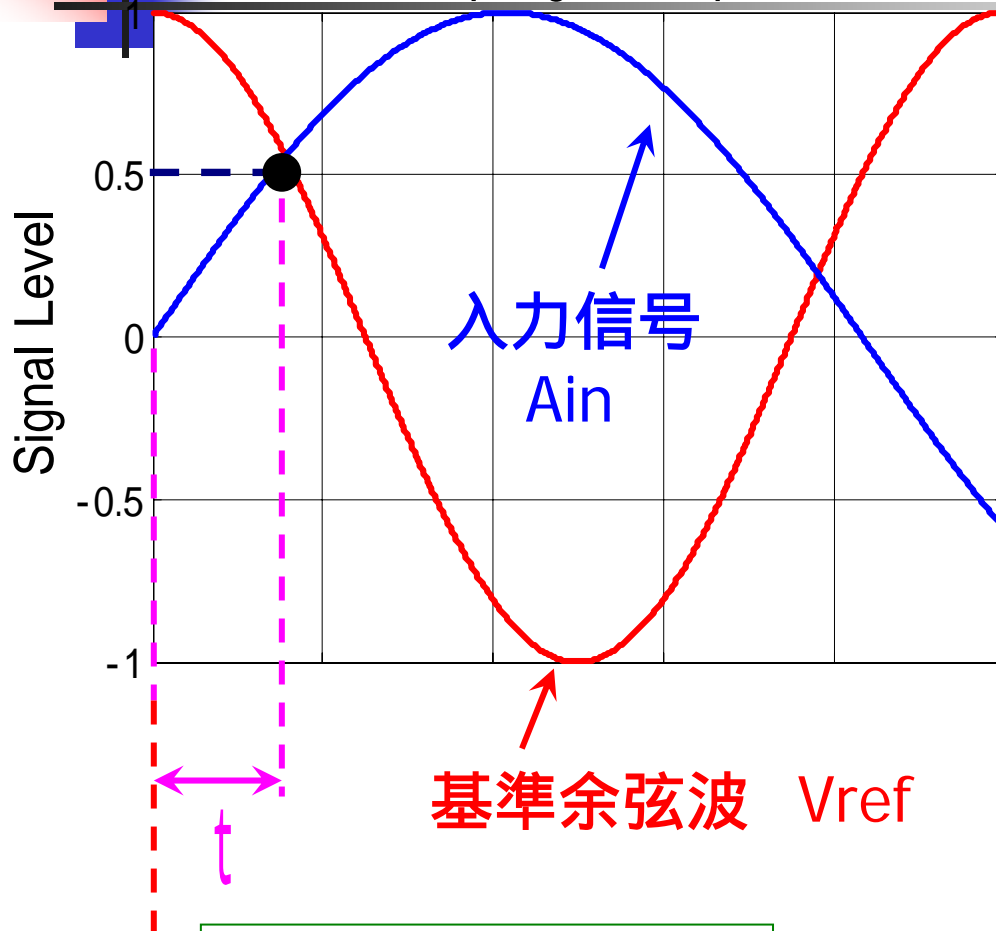
クロック周期 =  
基準余弦波周期



# 時間領域ADCの原理

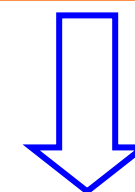


Sampling Principle



非同期サンプリング

時間tを測定



基準余弦波から振幅

基準余弦波:  $V_{ref}(t) = A \cos\left(2\pi \frac{t}{T}\right)$

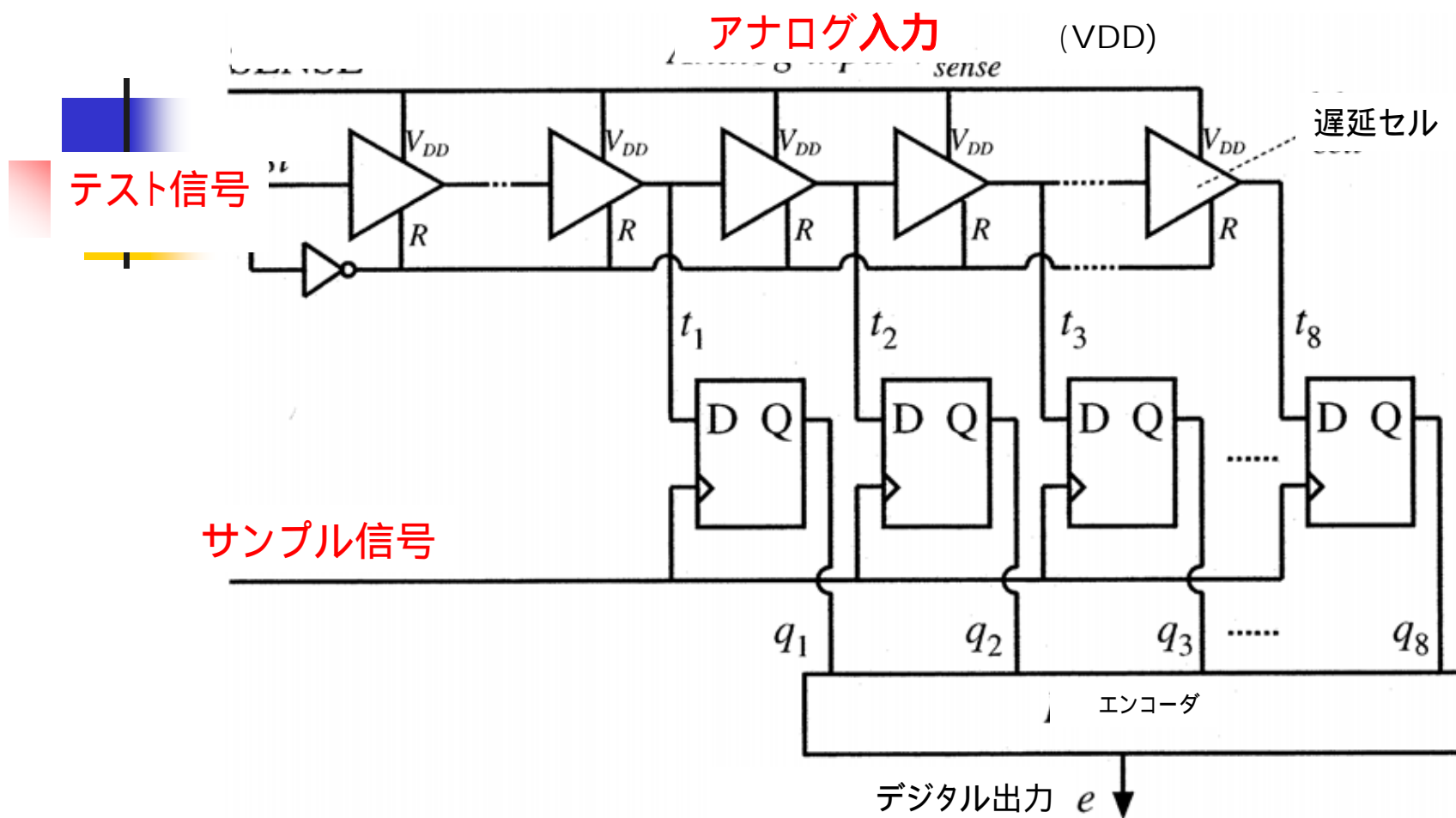
$$A \cos\left(2\pi \frac{t}{T}\right) = A_{in}(t)$$

$$\therefore t_n = T \arccos\left(\frac{A_{in}(t)}{A}\right)$$



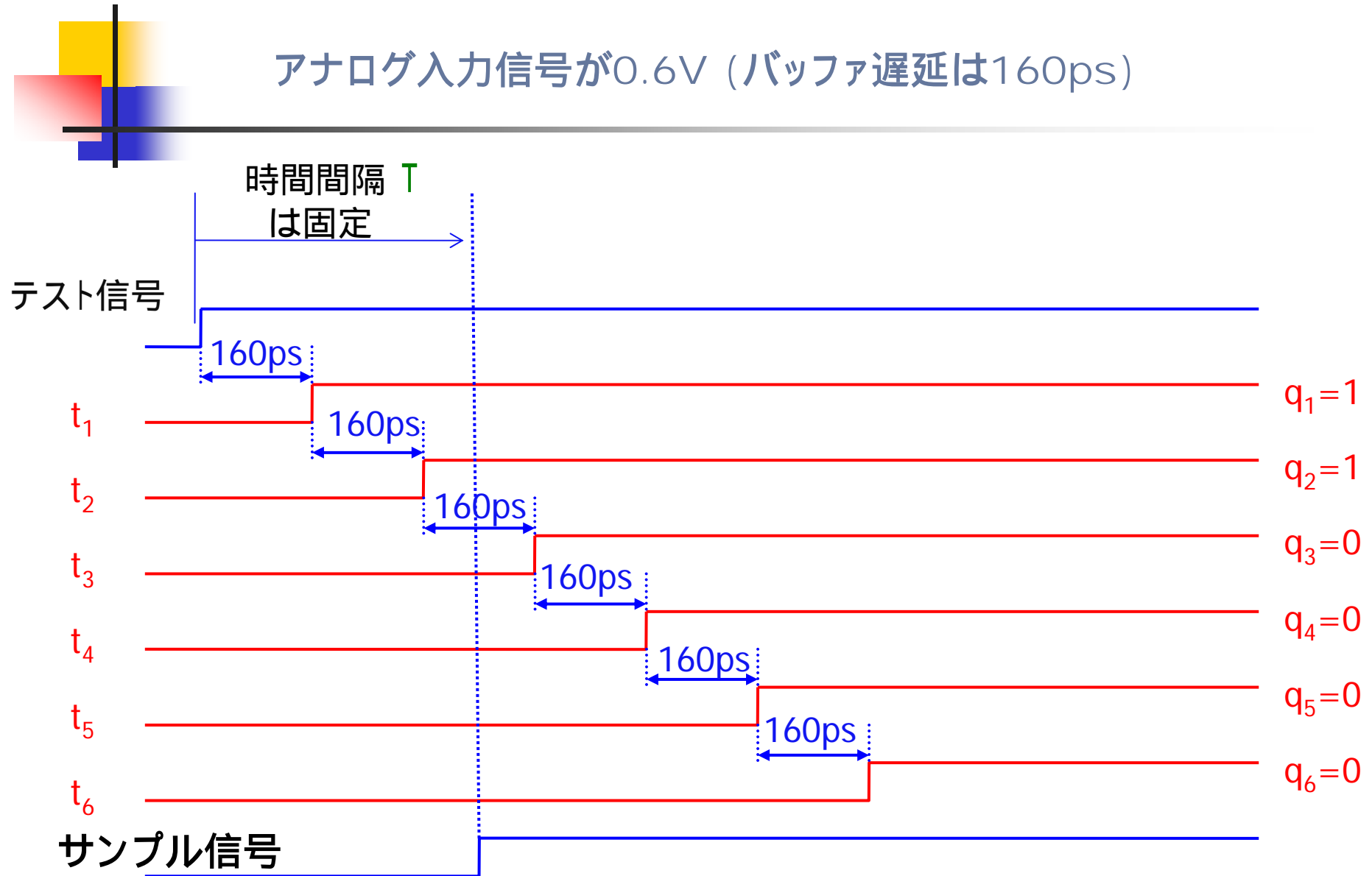
# TDCを用いたデジタル制御電源用AD変換器

## コロラド大学(米)

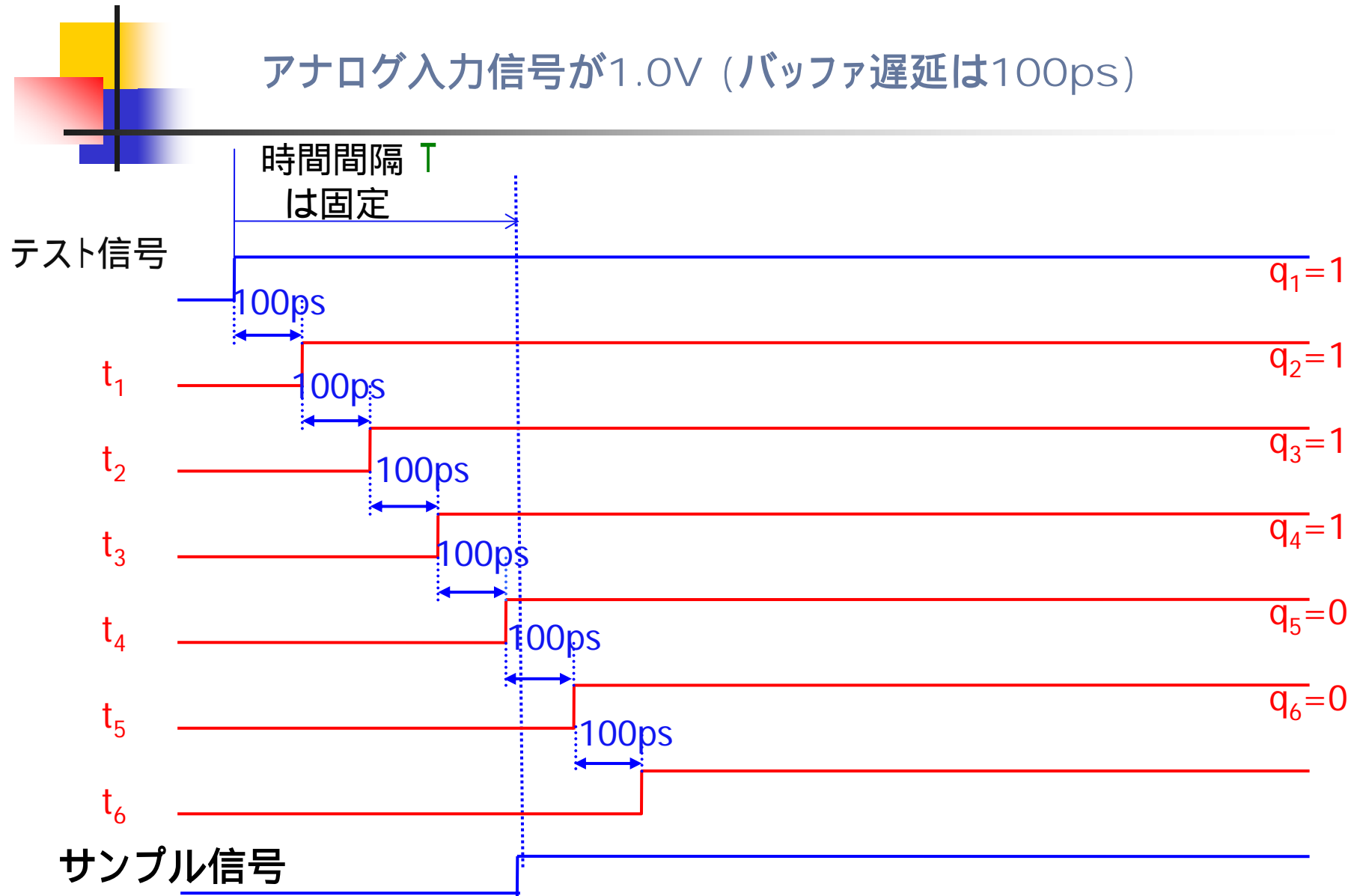


# TDCを用いたデジタル制御電源用AD変換器の動作

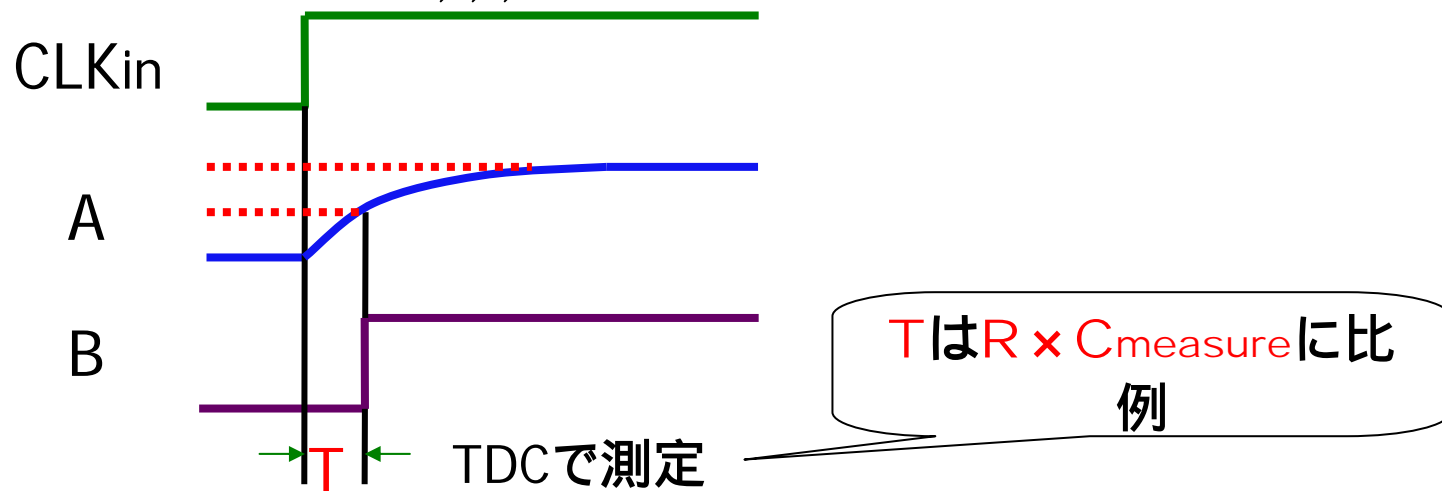
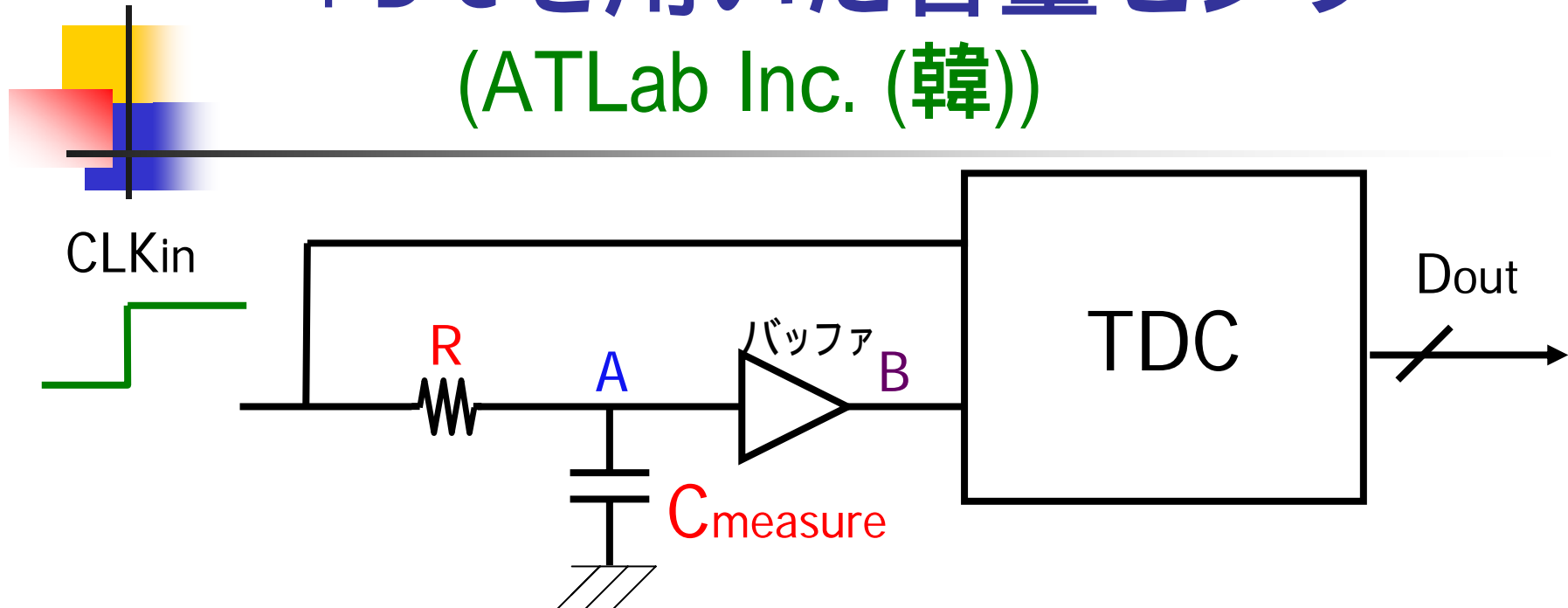
アナログ入力信号が0.6V (バッファ遅延は160ps)



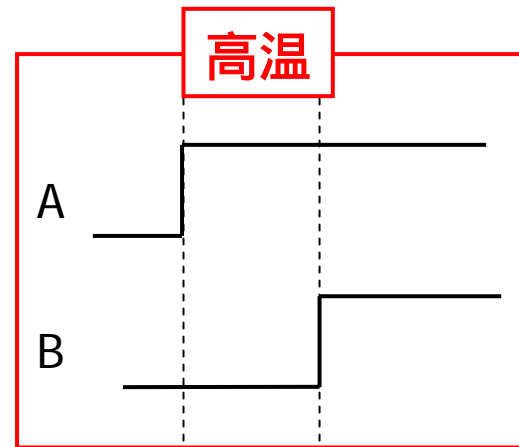
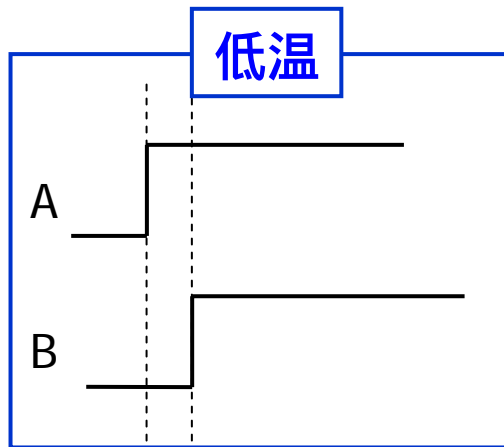
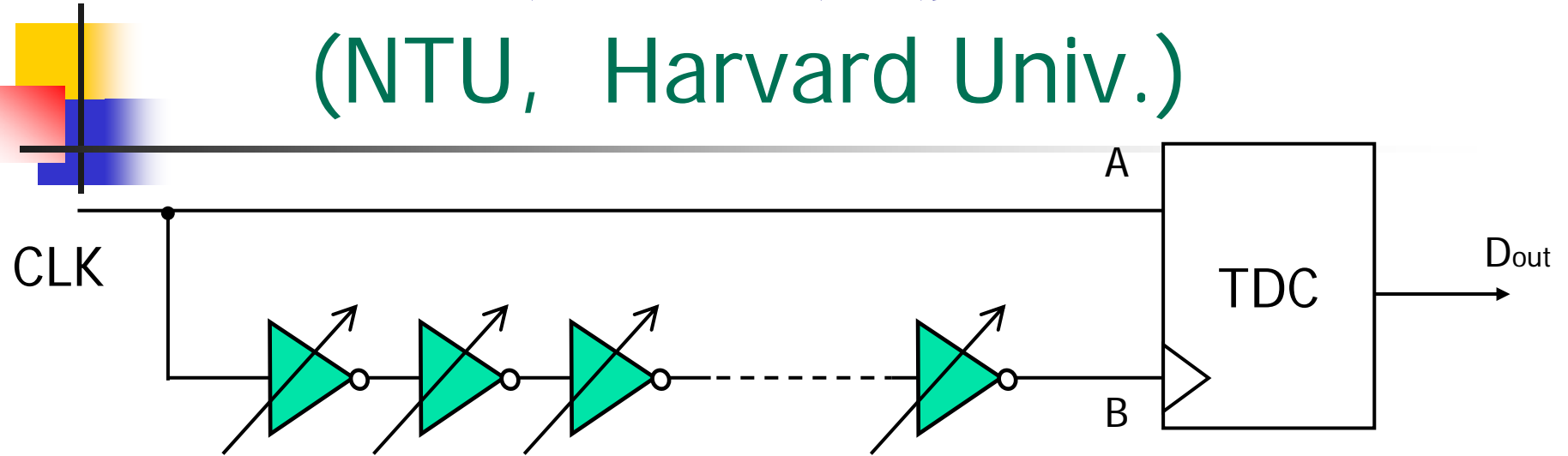
# TDCを用いたデジタル制御電源用AD変換器の動作



# TDCを用いた容量センサ (ATLab Inc. (韓))

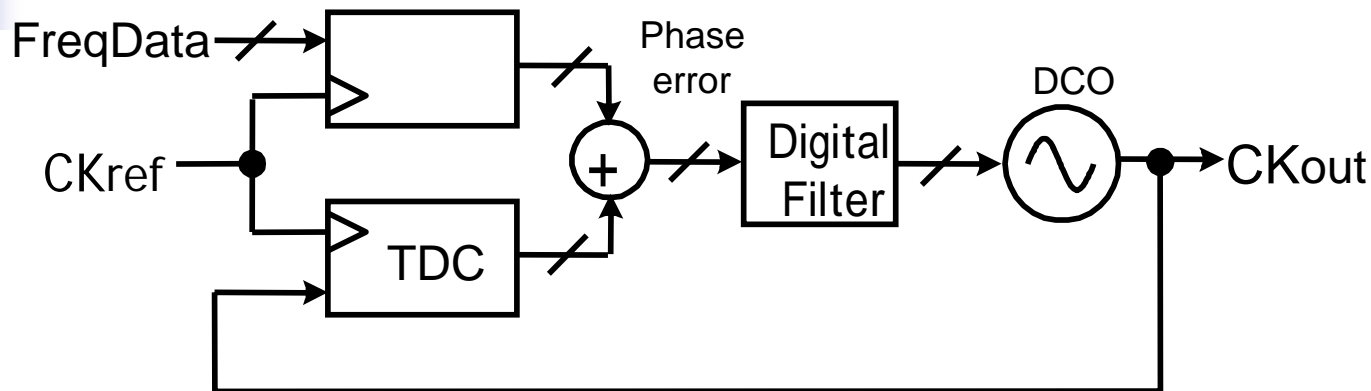


# TDCを用いた温度センサ (NTU, Harvard Univ.)



温度 遅延 TDCで測定

# All Digital PLL



回路がデジタル

デジタル手法で設計・検証・テスト可能

プロセス・ポートビリティ

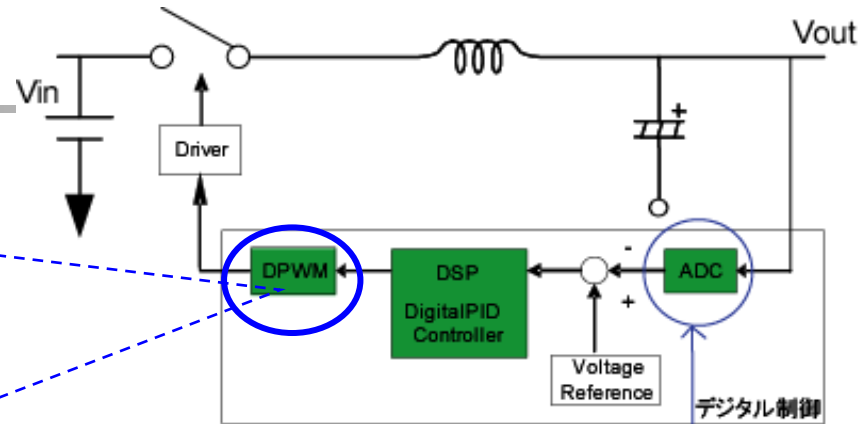
小チップ面積化 (デジタルフィルタ)

ループ伝達関数をPVTによらず一定に自己校正

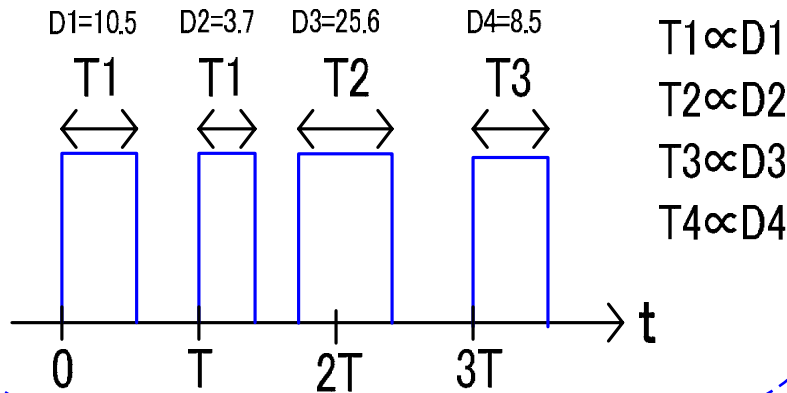
高性能化 (フィルタ特性可変、低位相雑音)

プログラマビリティ

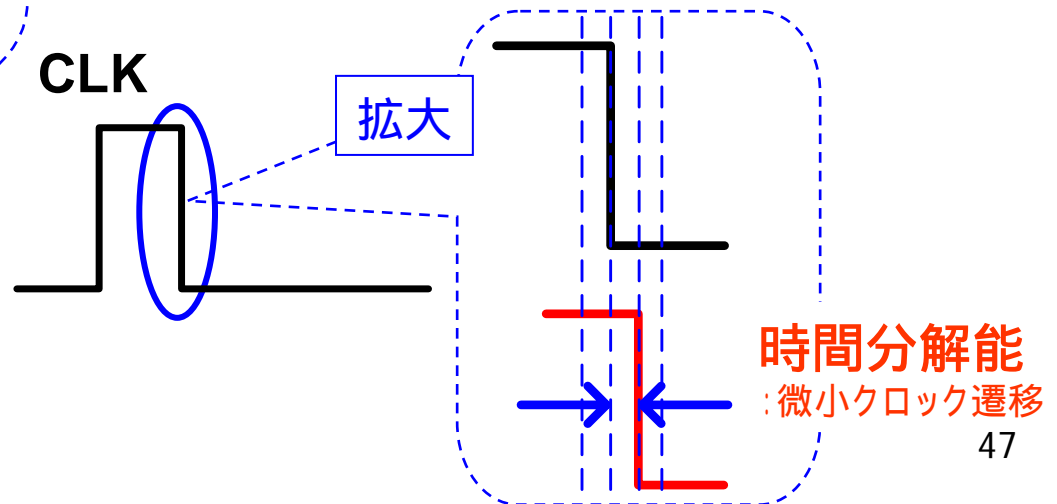
# デジタルPWM発生回路



デジタル入力 時間出力:変換回路



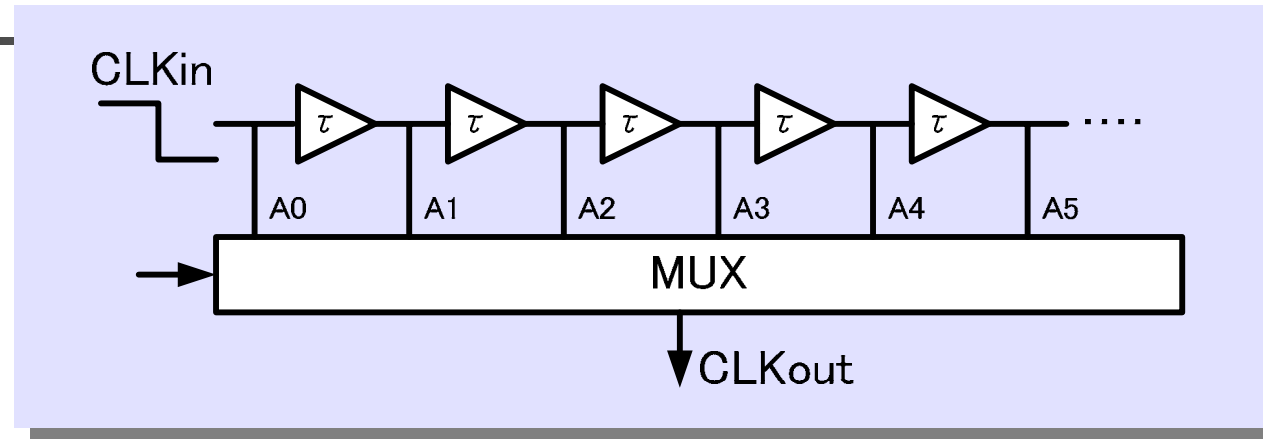
■PWM・・・パルス幅変調  
 (振幅からスイッチのON時間の長さで波形を生成)



デジタル入力と  
PWMデューティ比は比例関係.

# 高時間分解能DPWM回路

## - 従来の構成と問題点 -



### ■問題点

■バッファ数: 大 (10bit設計 1023個)

■最小時間分解能

・バッファのゲート遅延:

・半導体のプロセス性能に依存 (ゲート遅延によって高時間分解能を得る)

消費電力 × ゲート遅延 = 一定

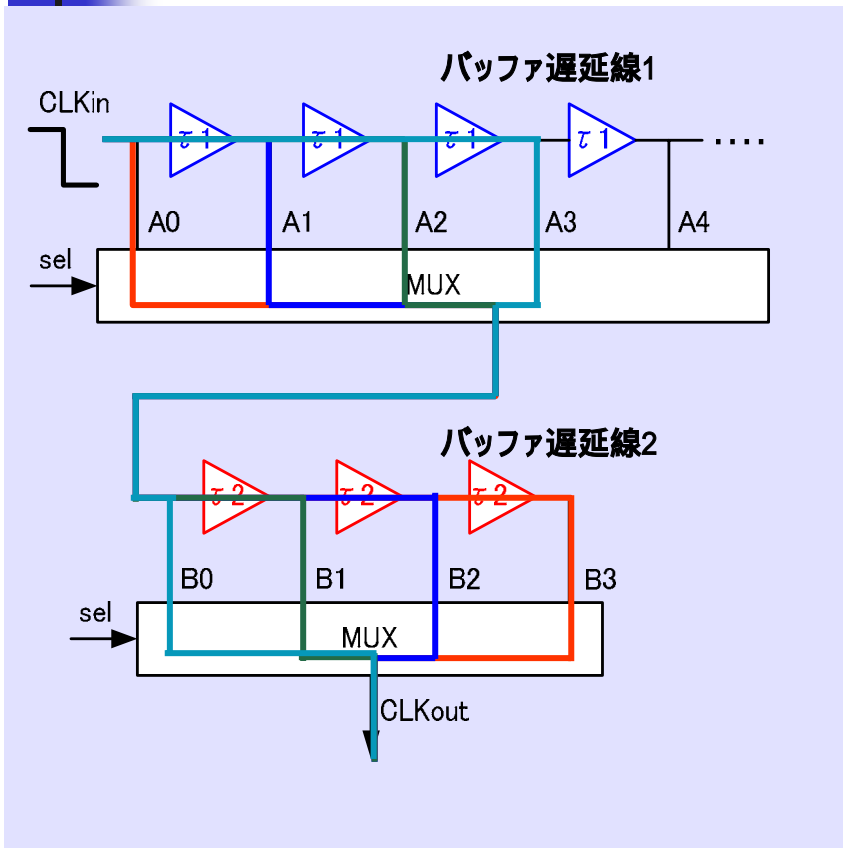
回路規模: 大、一つあたりの遅延量: 小

↳ 消費電力: とても大きい



# 提案デジタルPWM回路

2つのゲート遅延  $\tau_1, \tau_2$  ノギスの原理で動作



(A0, B3) ... 基準

(A1, B2) ... 1- 2 =

(A2, B1) ... 2 1-2 2 = 2

(A3, B0) 3 1-3 2 = 3

(A1, B3) 1 = 4

(A2, B2) 2 1- 2 = 1+

(A3, B1) 3 1-2 2 = 1+2

(A4, B0) 4 1-3 2 = 1+3

(A2, B3) 2 1 ( 1 = 4 )

(A3, B2) 3 1- 2 = 2 1+

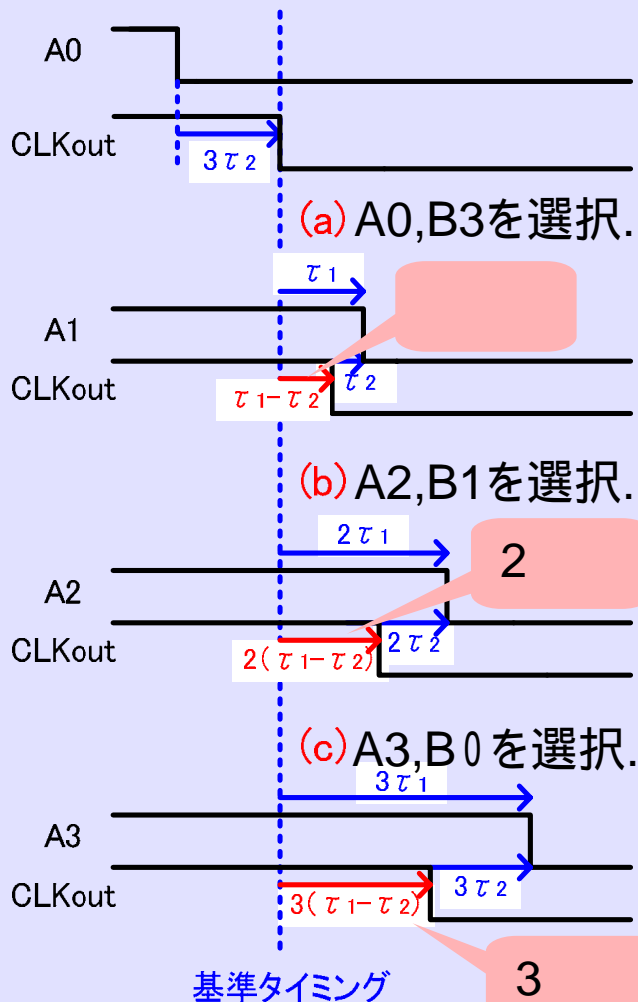
(A4, B1) 4 1-2 2 = 2 1+2

(A5, B0) 5 1-3 2 = 2 1+3

⋮

# 提案デジタルPWM回路

## タイミングチャート



### 特徴

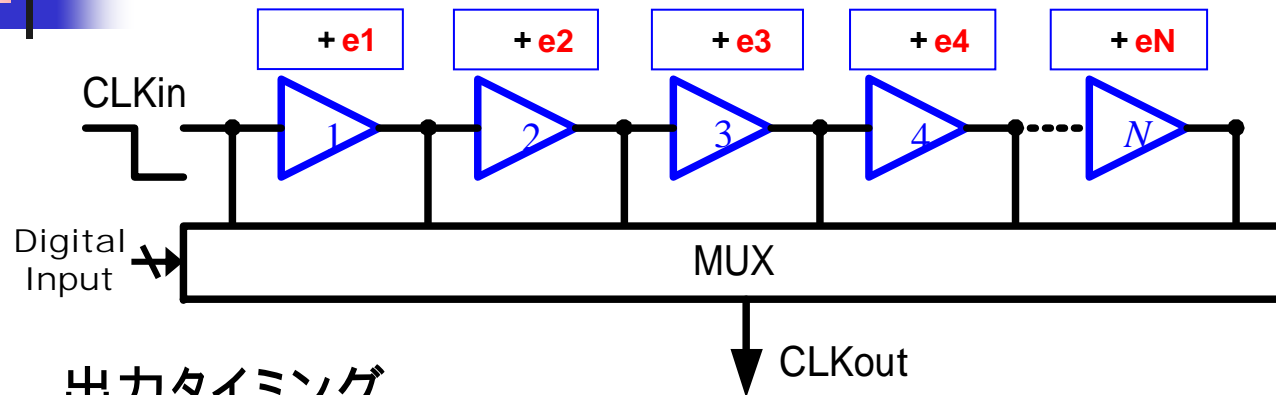
時間分解能:

$$= \frac{1}{2}$$

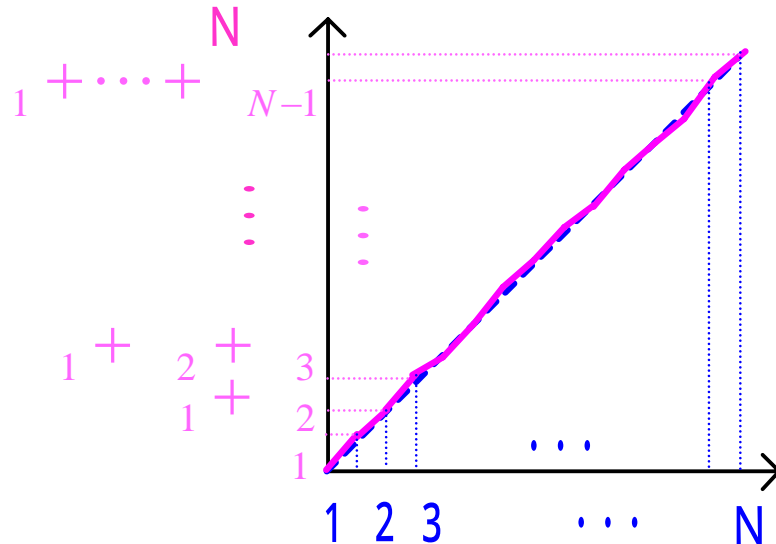
一つのバッファの  
ゲート遅延量より小

バッファ総数も激減

# バッファ遅延ばらつきによる非線形性



出力タイミング



デジタル入力

$0 \cdots 001 (1) \rightarrow$   
 $0 \cdots 010 (2) \rightarrow$   
 $0 \cdots 011 (3) \rightarrow$   
 $\vdots$   
 $* \cdots * * (N) \rightarrow$

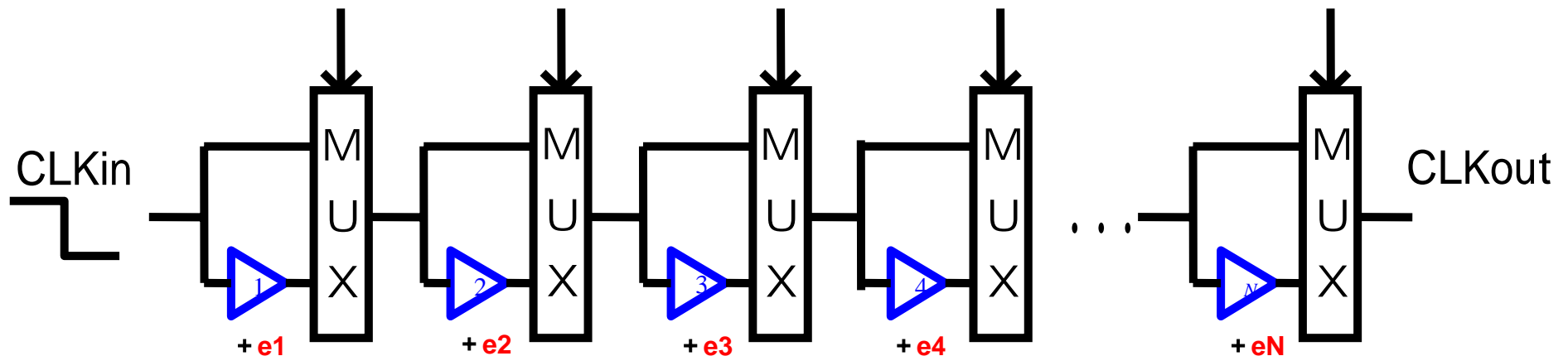
出力タイミング

$+ e_1$   
 $2 + e_1 + e_2$   
 $3 + e_1 + e_2 + e_3$   
 $\vdots$   
 $N + e_1 + \cdots + e_N$

# ダイナミック・マッチングによる 時間平均線形化



デジタル入力が0...010(2)の場合



$$2_{12} = 2 + e_1 + e_2$$

$$12 = 2 + \frac{e_1 + e_2}{2}$$

$$2_{24} = 2 + e_2 + e_4$$

$$24 = 2 + \frac{e_2 + e_4}{2}$$

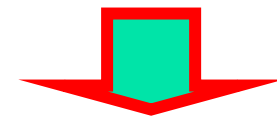
$$2_{1N} = 2 + e_1 + e_N$$

$$1N = 2 + \frac{e_1 + e_N}{2}$$

⋮

⋮

ランダムな経路選択



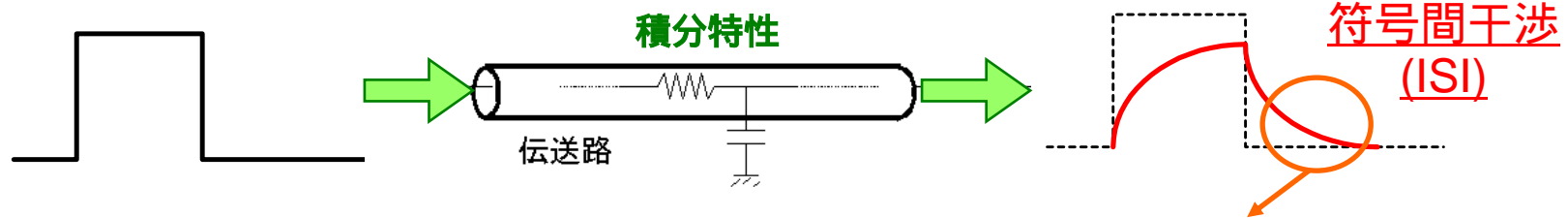
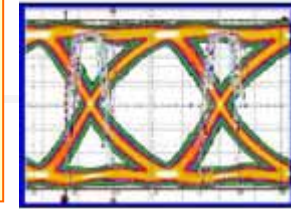
バッファ遅延の時間平均

— =

# 高速デジタル伝送

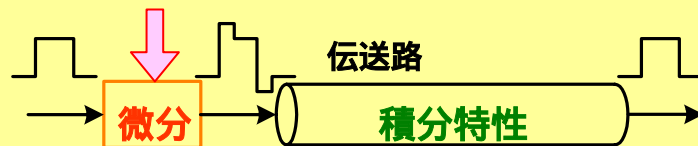


信号伝送速度の高速化  
伝送路の寄生素子(RC成分)により、  
高周波成分が失われ信号が劣化



波形整形技術が必要

送信系 ・ プリエンファシス技術



受信系 ・ イコライズ技術



隣りのビットへ干渉してしまう

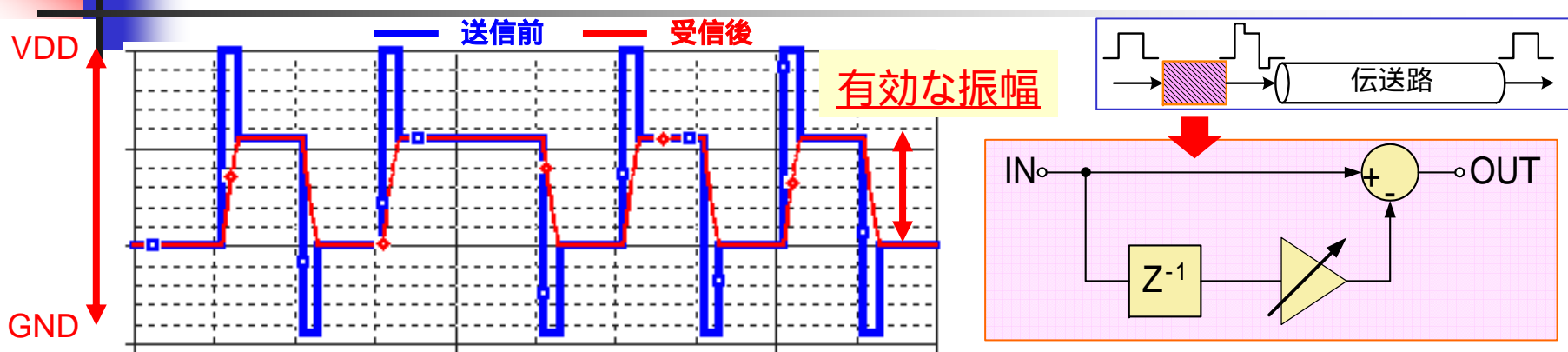
群馬大学  
弓仲康史 准教授  
作成資料

# PWMプリエンファシス

オランダ  
Twente 大学  
Nauta 先生

## 従来のプリエンファシス

変化点(振幅)をあらかじめ強調し信号を送信



## 問題点

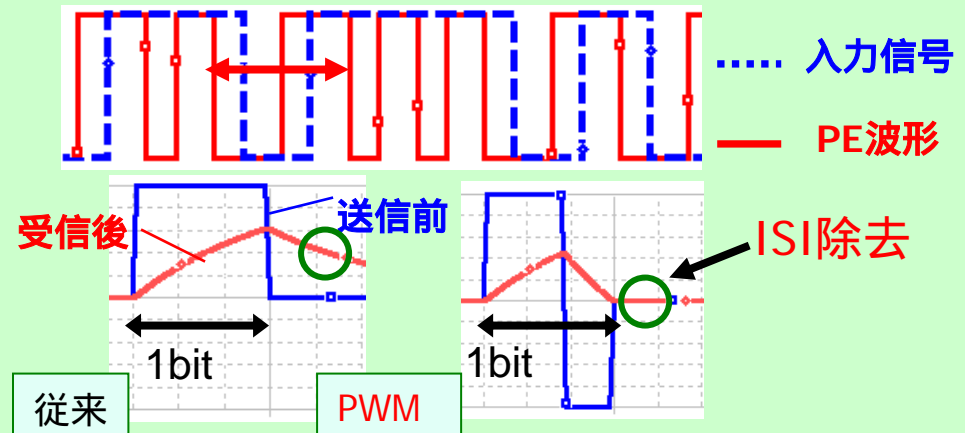
- ・電源による振幅の制約
- ・振幅方向の電圧制御精度

## 今後の傾向

- ・電源の低電圧化
- ・高速化によるタイミング分解能の向上

## パルス幅変調プリエンファシス

振幅方向ではなく、時間軸方向に着目





# 発表内容

---

ナノCMOSと新アナログ

## 新アナログの展開

領域1： 振幅連続、時間連続

領域2： 振幅連続、時間離散

領域3： 振幅離散、時間連続

領域4： 振幅離散、時間離散

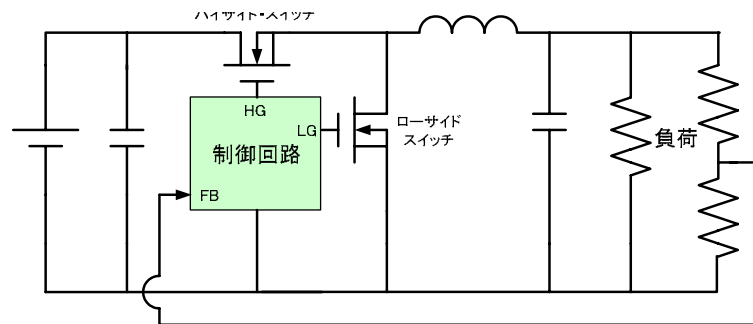
新アナログのテストの問題

まとめ

# デジタル制御電源

コスト・電力の課題はあるがデジタル化の流れ  
(領域4： 振幅離散、時間連離散)

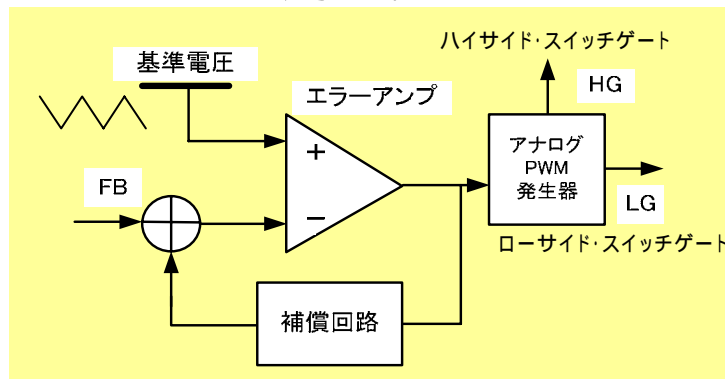
## ■ スイッチング電源回路



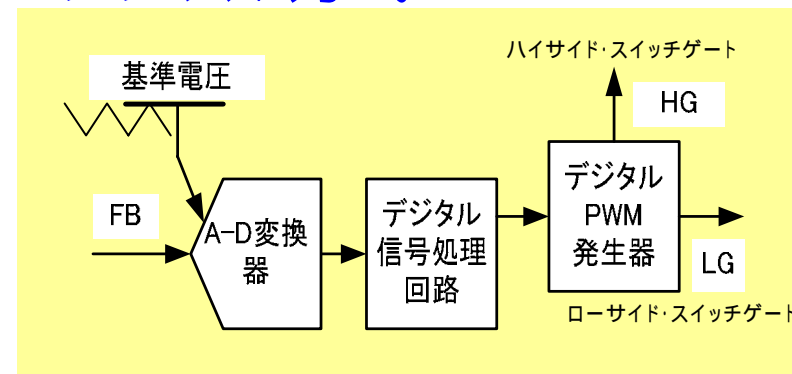
外資系半導体メーカー  
パワーマネジメント製品に注力  
微細CMOSでデジタル制御  
デジタルの新アイデアで高性能化  
通信機能の取り込み

## ■ 制御回路部

### ■ アナログ方式



### ■ デジタル方式



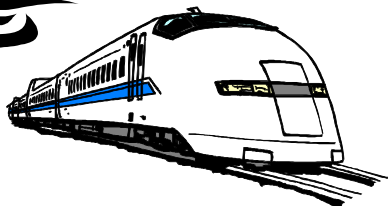


# デジタル制御電源でのEMI低減化

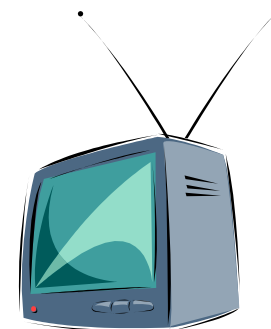
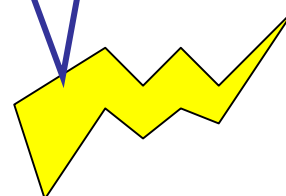
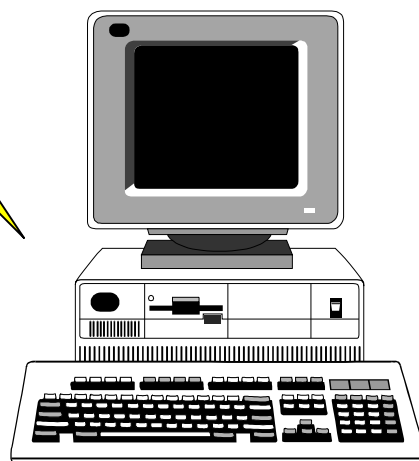
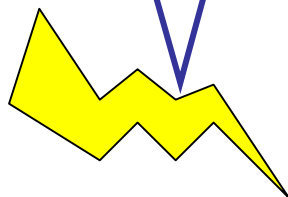
EMI (ElectroMagnetic Interference) とは

どれくらいノイズ  
に耐えられるか

どれくらいノイズ  
を出さないか



電磁波感受性  
EMS



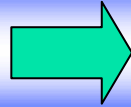
電磁波障害  
EMI

$$\text{EMC} = \text{EMS} + \text{EMI}$$

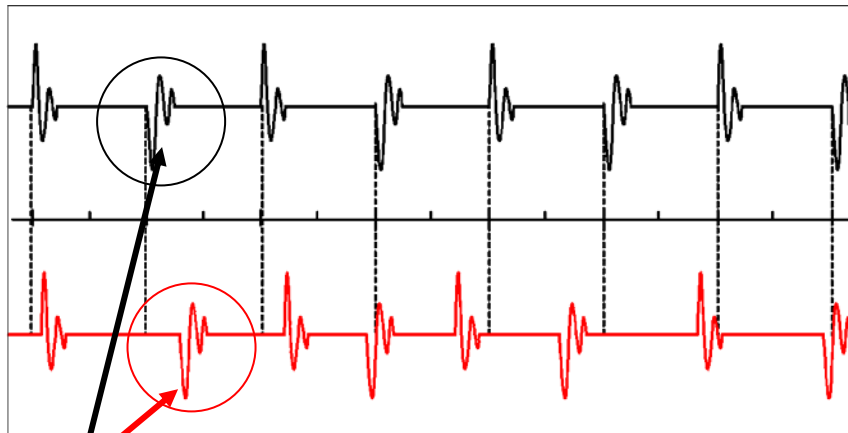
Electro Magnetic Compatibility: 電磁環境両立性

# スペクトル拡散クロックによる 電源回路のEMI低減

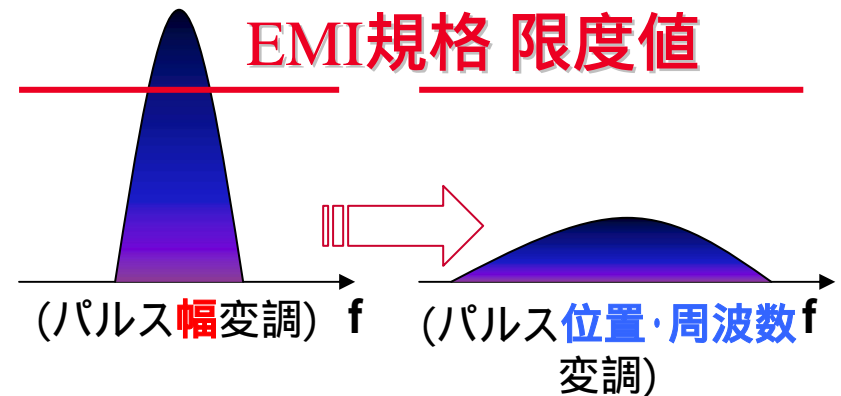
スイッチングノイズパワー



特定周波数成分に集中して発生



スイッチングノイズ



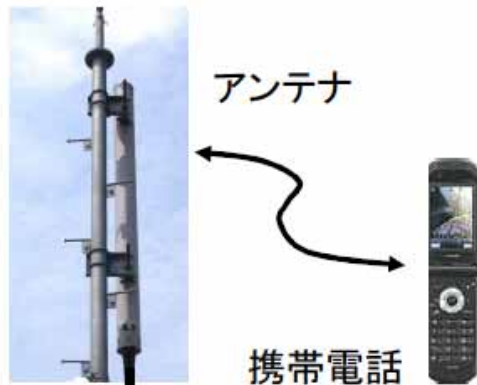
スイッチングノイズパワーの周波数成分を拡散

デジタル電源で複雑な周波数拡散アルゴリズムを実現し、

更なるEMI低減化。

群馬大・東光(株)との共同研究

# 基地局パワーアンプの効率

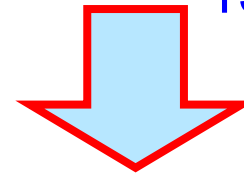


現在の製品レベル

入力電力 約200W

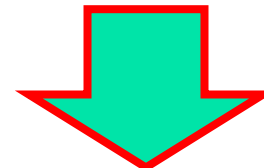
出力電力 30W

効率 15%



170W程度の損失

大きなバックアップシステムが必要



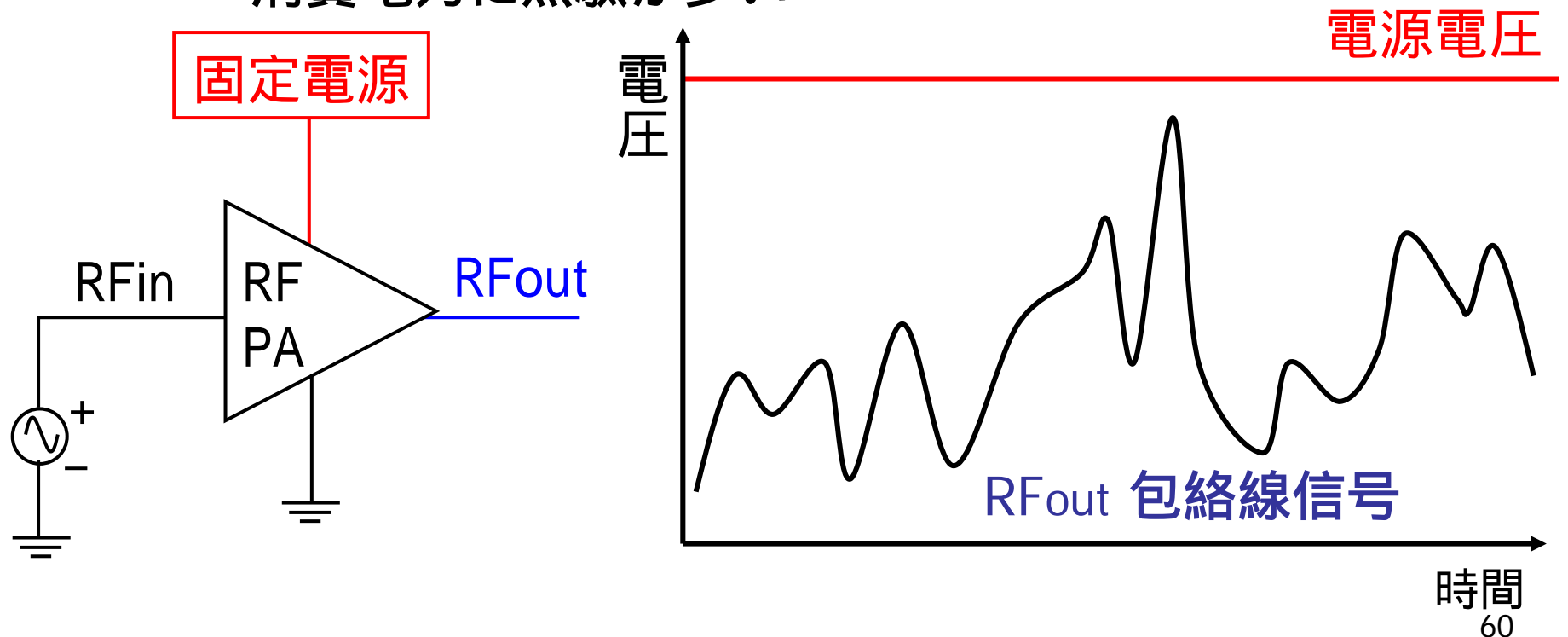
高効率化の  
要求が非常に強い



# 基地局パワーアンプと電源

従来のパワーアンプ電源

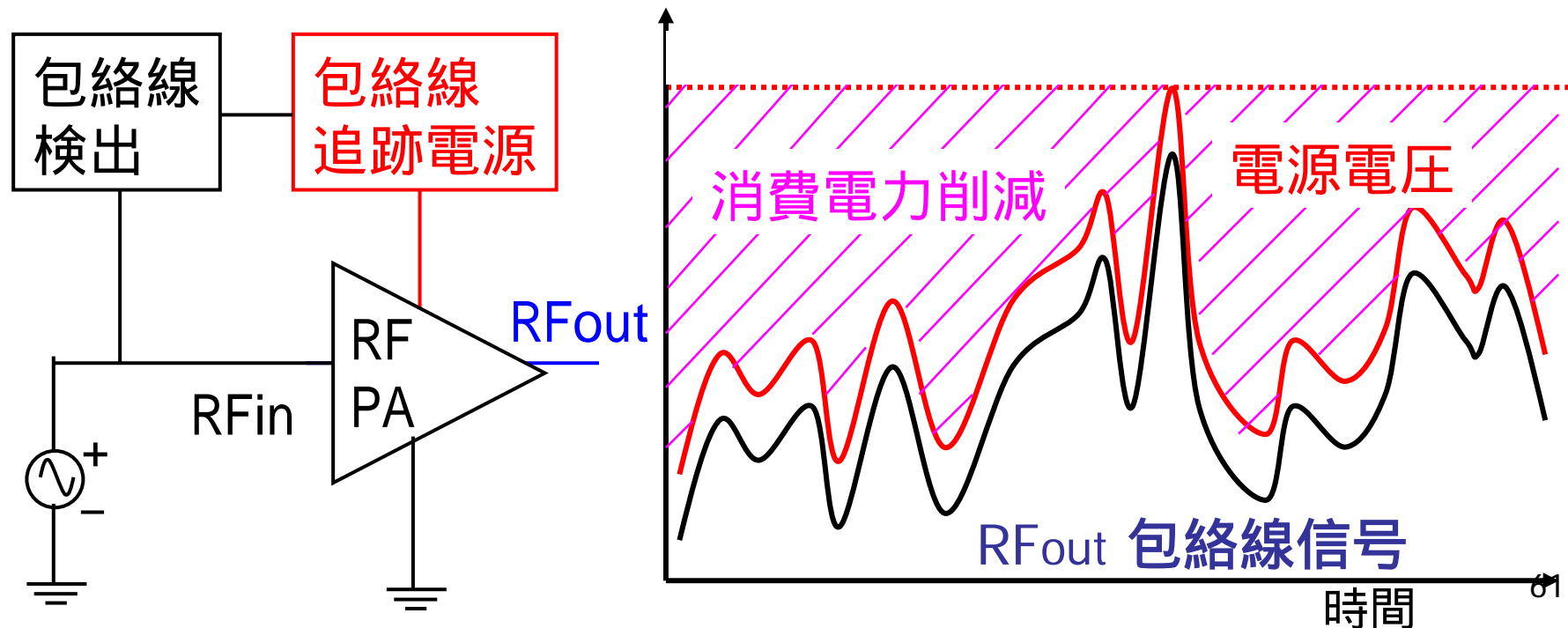
- ・電源電圧一定
- ・消費電力に無駄が多い



# 包絡線追跡電源による高効率化

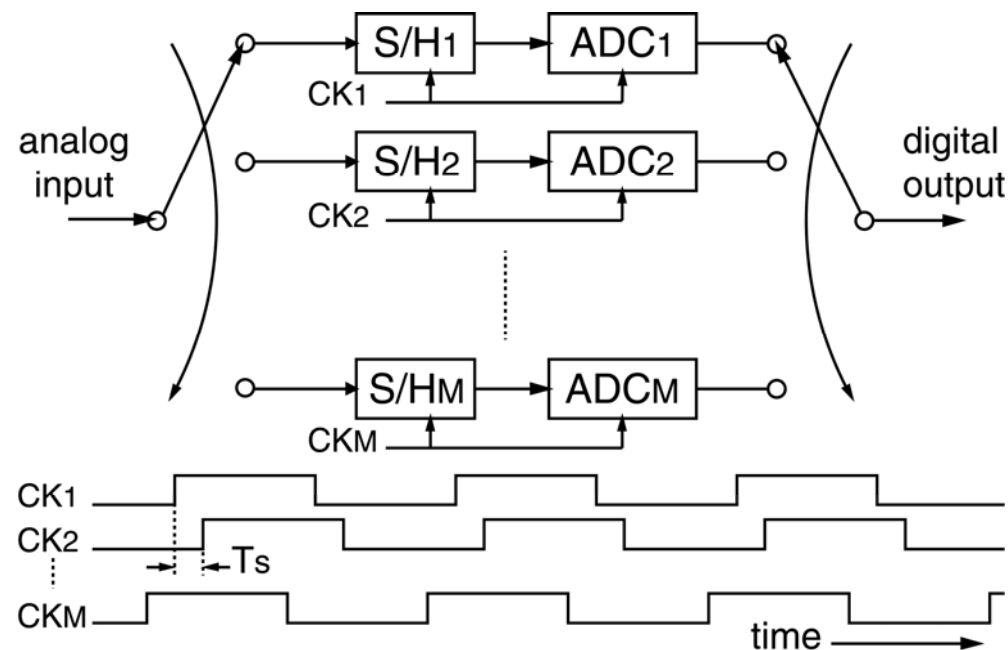
- ・ RF 入力信号の包絡線を検出
- ・ パワーアンプに可変電源電圧を供給
- ・ W-CDMA, OFDM に対して効果的

RF PA の  
デジタル歪補正

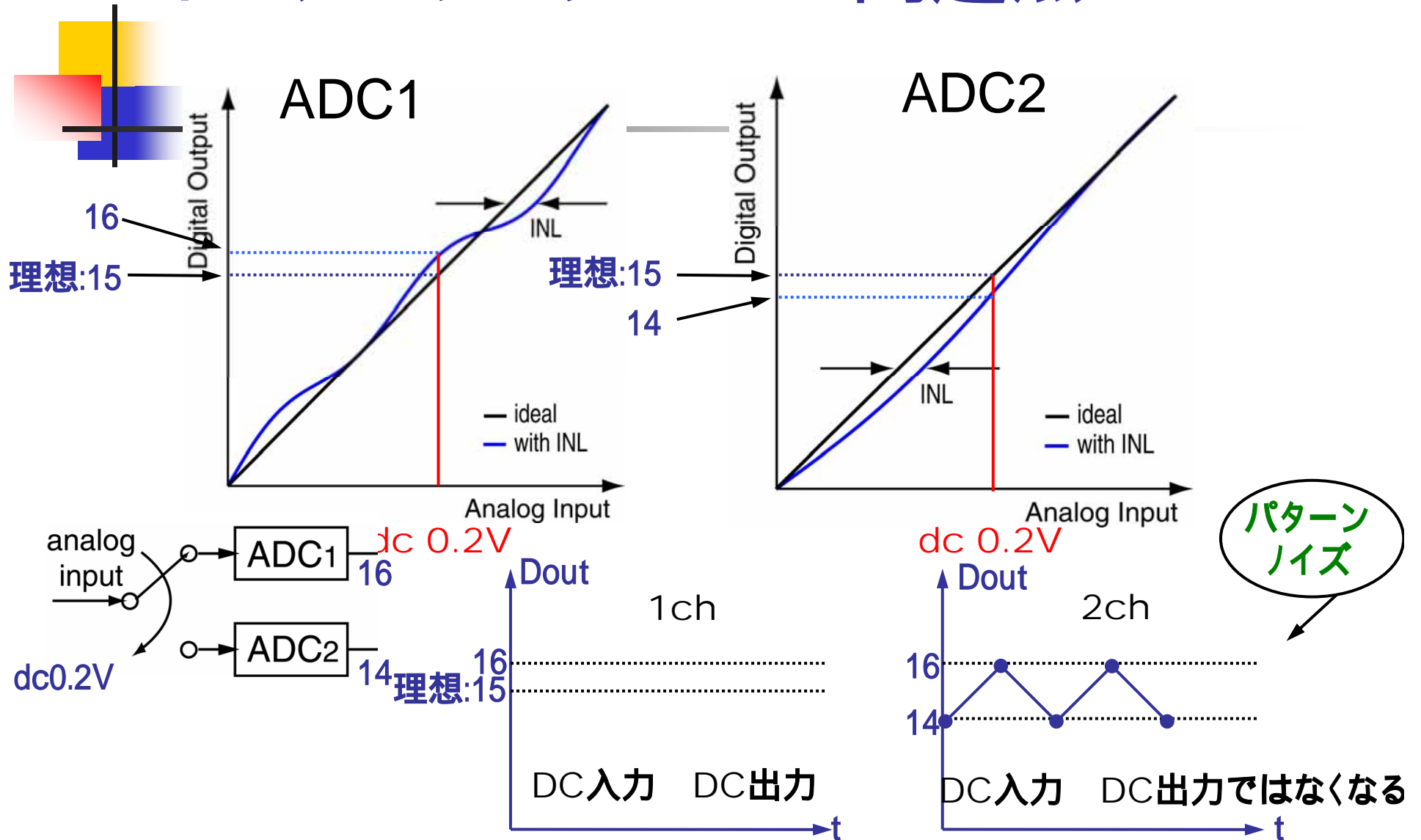


# インターリーブADC

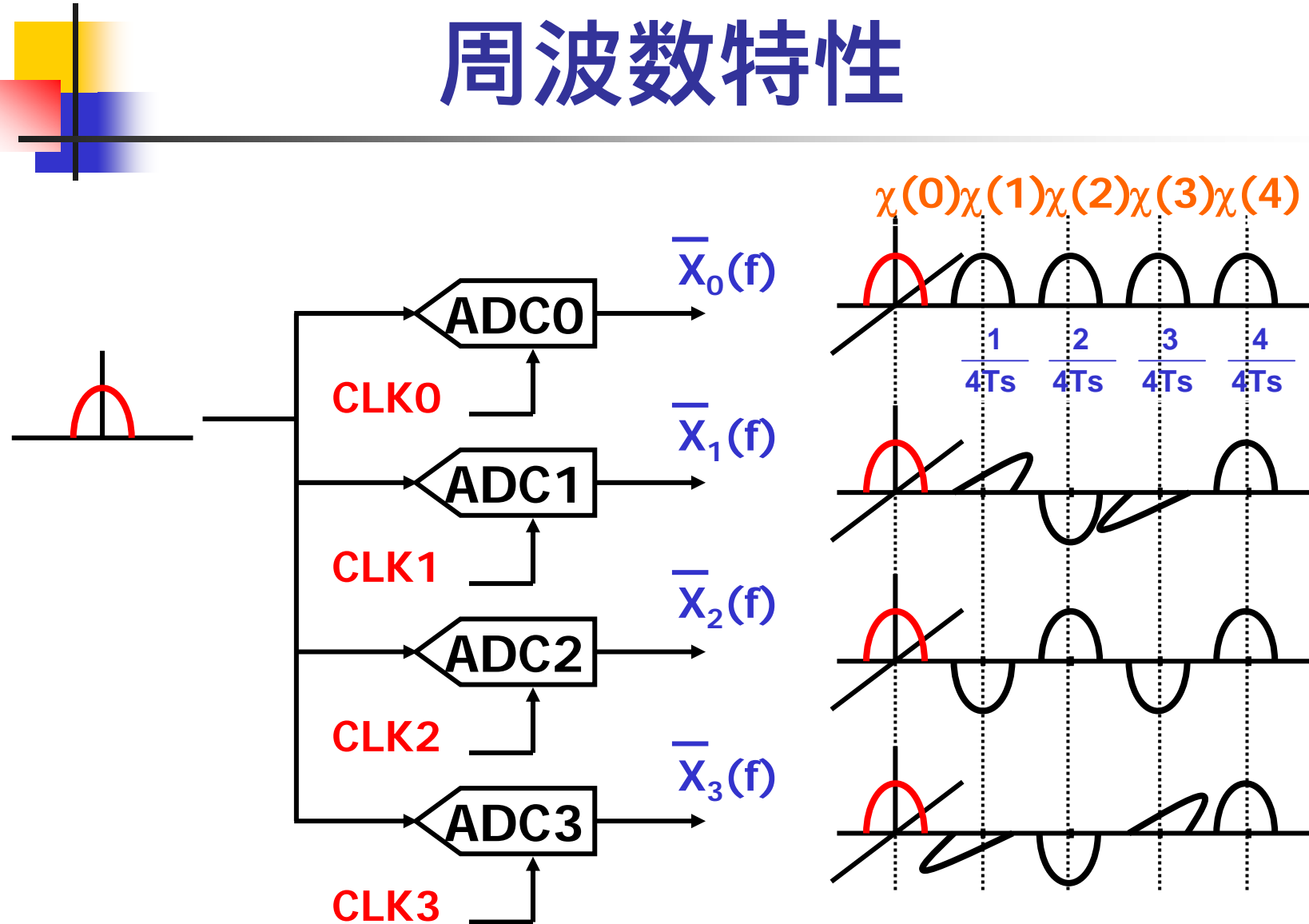
- M個のADCのインターリーブでM倍のサンプリングレートを実現
  - サンプリングレートの高いADC実現
  - 最近ではADCの低消費電力の観点で注目



# インターリーブADCの問題点

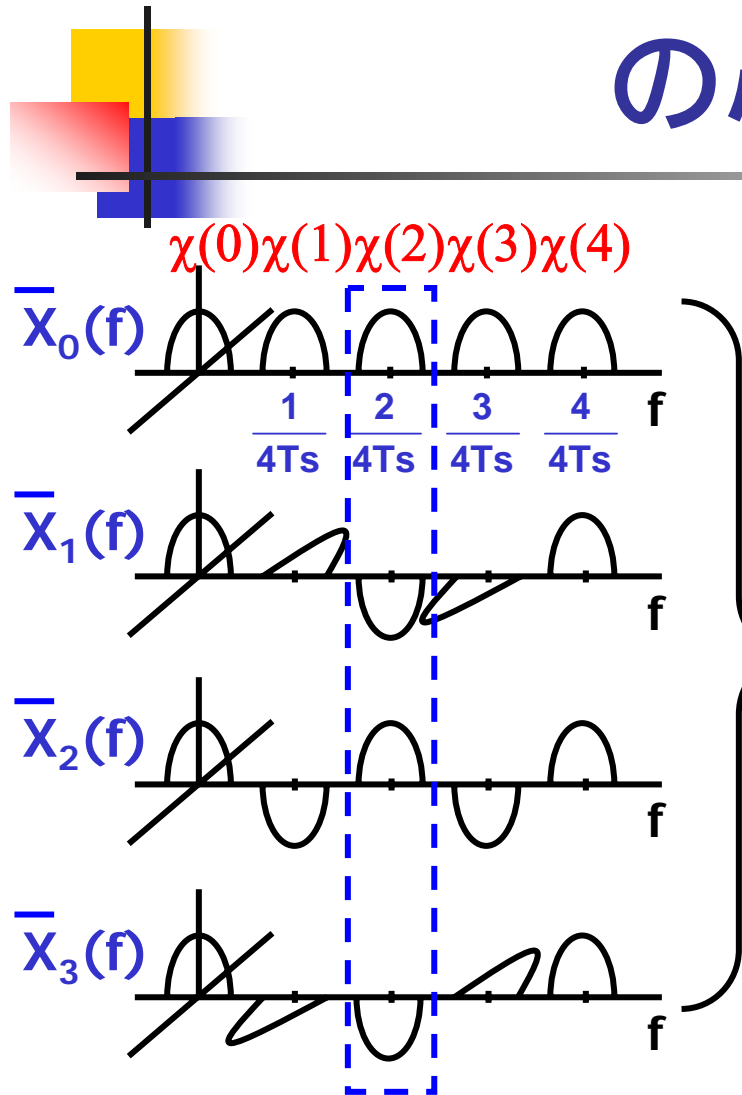


# 各チャネルADCデータの 周波数特性



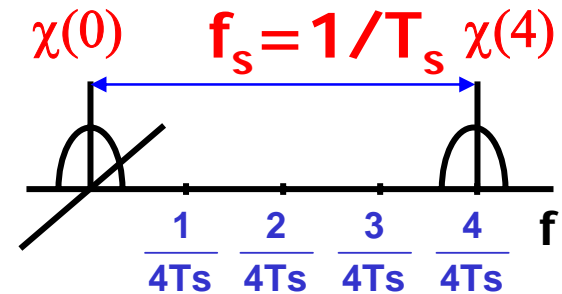


# インターリーブADC全体の のふるまい



アドバンテスト社  
群馬大学社会人博士課程  
浅見幸司氏

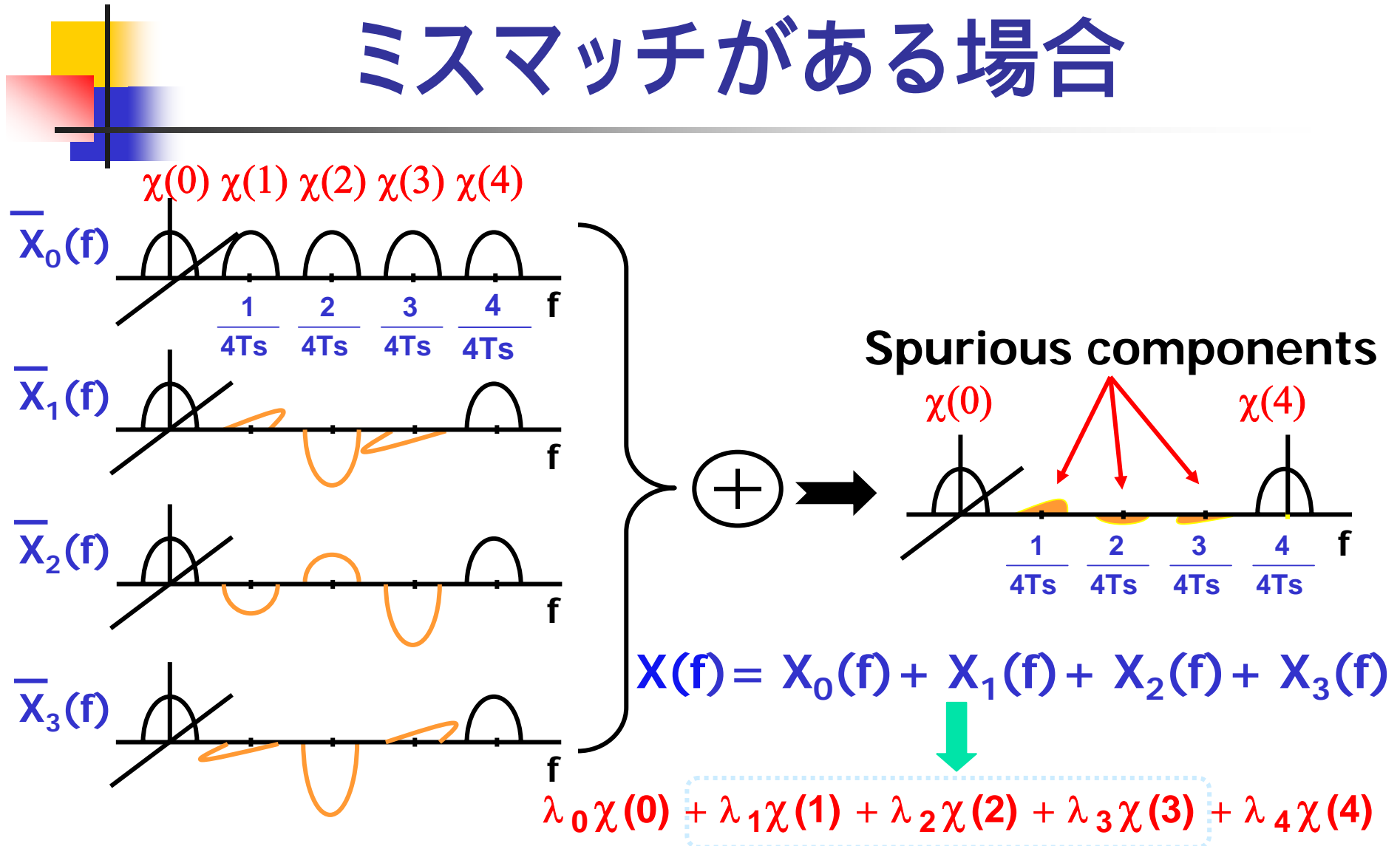
$\oplus$



$$X(f) = X_0(f) + X_1(f) + X_2(f) + X_3(f)$$

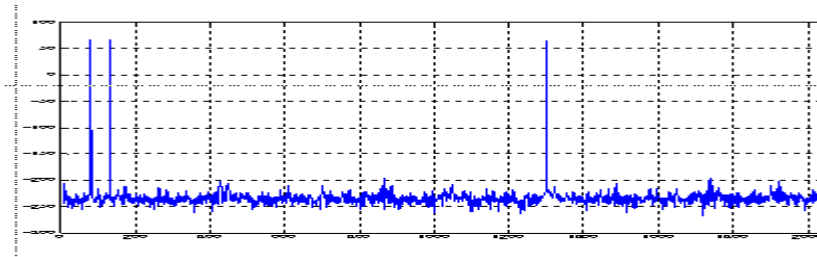
$$= \chi(0) + \chi(4)$$

# 各チャネルADCの周波数特性に ミスマッチがある場合

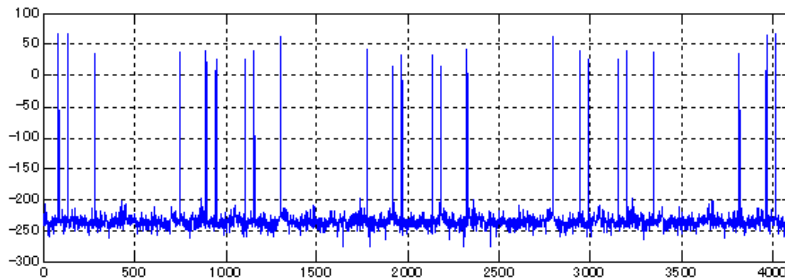


# インターリーブADCチャンネル間ミスマッチの デジタル自己校正

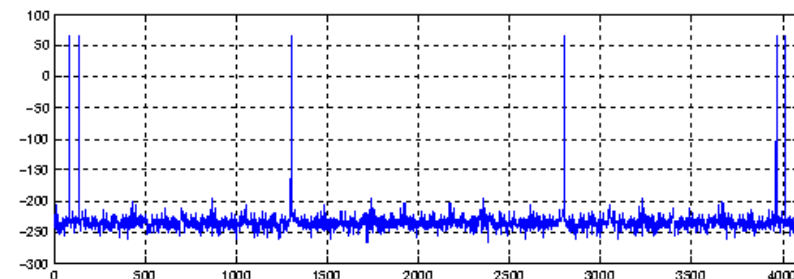
- ミスマッチの自動測定・補正 -



入力周波数特性



周波数特性  
補正前



周波数特性  
補正後

アナログの高速化の問題をデジタル信号処理で解く

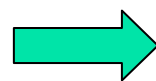
# 逐次比較近似AD変換器の特徴

- 高分解能
- 中速
- 低消費電力
- 小型・小チップ面積
- オペアンプなしで  
構成可能

産業界で広く使用

車載用マイコンに混載  
ペンデジタイザ  
工業用制御機器

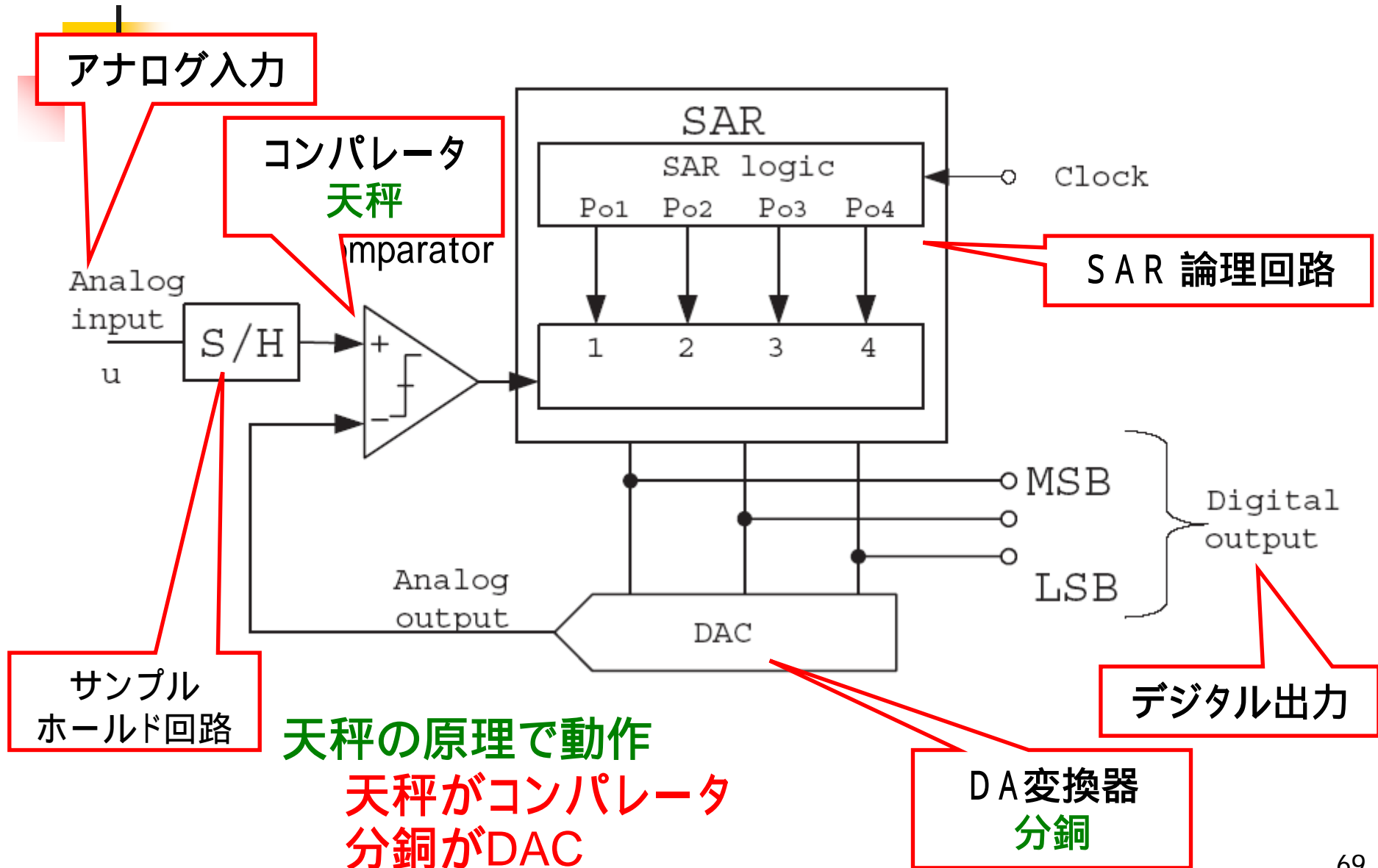
ナノCMOSでの実現に適す



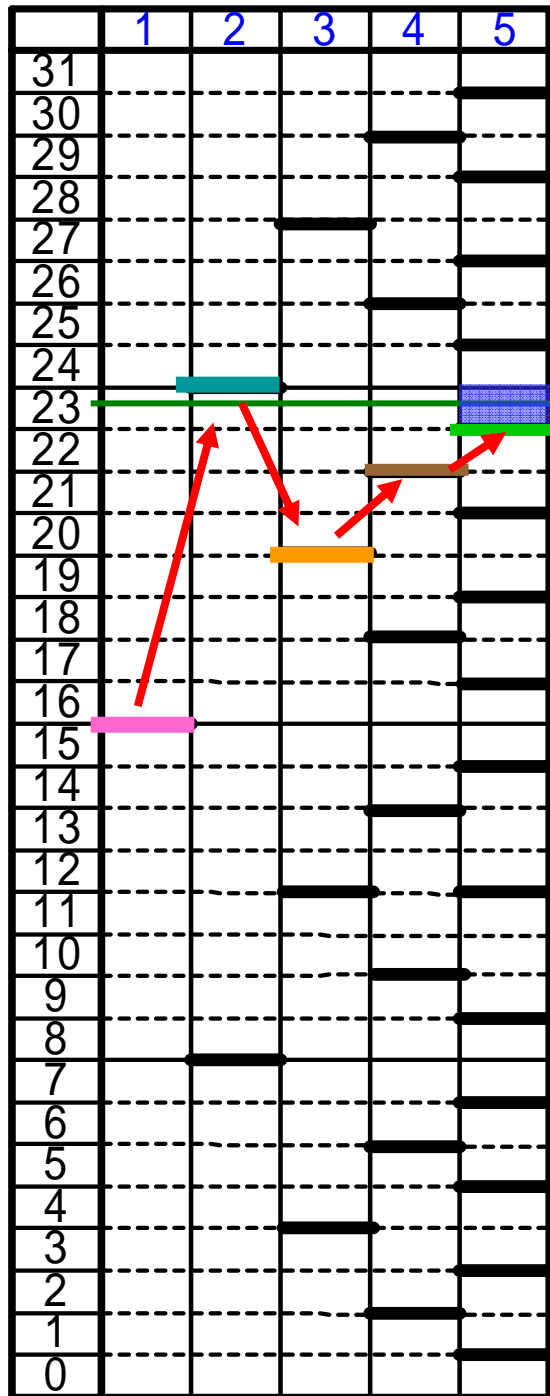
ここ2 - 3年

学会での研究発表が増加

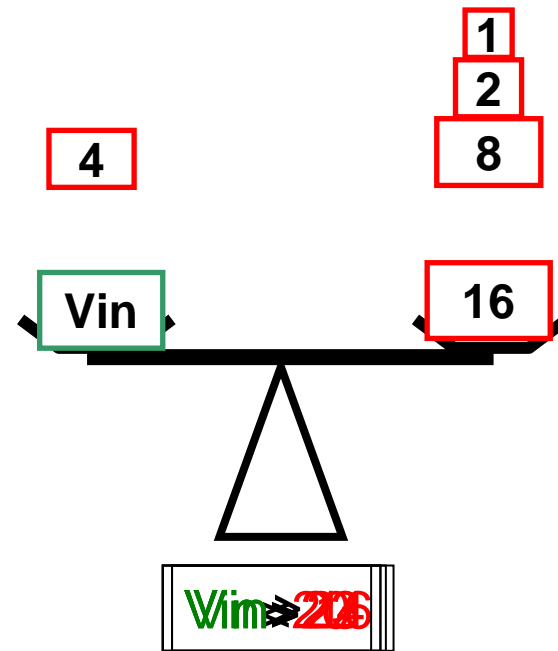
# 逐次比較近似ADCの構成と動作



# 5ビット 逐次比較近似ADCの 2進探索アルゴリズム動作



23.5 動作例: アナログ入力 23.5のとき



$$\boxed{\text{Vin}} = \begin{matrix} \boxed{1} \\ \boxed{2} \\ \boxed{8} \\ \boxed{16} \end{matrix} - \boxed{4} = \boxed{23}$$



# 非2進探索 冗長アルゴリズム

kステップ目の判定  $d(k) : +1 \text{ or } -1$

## 2進探索アルゴリズム

$$D_{out} = 2^4 + d(1)2^3 + d(2)2^2 + d(3)2^1 + d(4) + d(5)0.5 - 0.5$$

非2進アルゴリズム: 5ビット分解能を6ステップで実現。

## 非2進探索アルゴリズム

$$D_{out} = 2^4 + d(1) \quad 4 + d(2) \quad 3 + d(3) \quad 2 + d(4) \quad 1 + d(5) + d(6)0.5 - 0.5$$

$1 < \quad < 2$

$\gamma = 2^{\frac{5}{6}}$

デジタル回路部だけの設計変更で

高信頼性化・高速化が可能

# 非2進探索アルゴリズムの デジタル誤差補正原理

入力5のとき

2進探索

判定出力 : 101

$$D_{out} = 4 + 2 - 1 + 0.5 - 0.5 = 5$$

非2進探索

2通り

判定出力 ~~1~~101

$$D_{out} = 4 + 1 + 1 - 1 + 0.5 - 0.5 = 5$$

判定出力 ~~0~~111

$$D_{out} = 4 - 1 + 1 + 1 + 0.5 - 0.5 = 5$$

1ステップ目で判定誤りをしてでも補正できる





# デジタル誤差補正とキャリブレーション

---

## デジタル誤差補正

冗長回路をもち、回路の非理想要因を許容して正解を出力  
非理想要因は計測しない。

## デジタルキャリブレーション

回路の非理想要因をデジタル値として測定  
メモリに記憶、  
その値をもとに通常動作のときに補正



# 発表内容

---

ナノCMOSと新アナログ

新アナログの展開

領域1： 振幅連続、時間連続

領域2： 振幅連続、時間離散

領域3： 振幅離散、時間連続

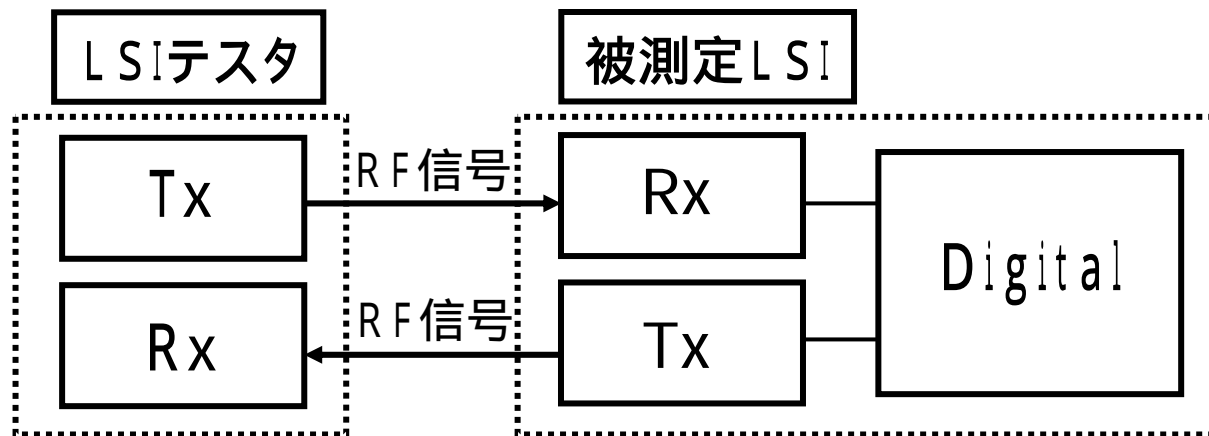
領域4： 振幅離散、時間離散

新アナログのテストの問題

まとめ

## 新アナログのテストの問題

# トランシーバICの出荷時テスト

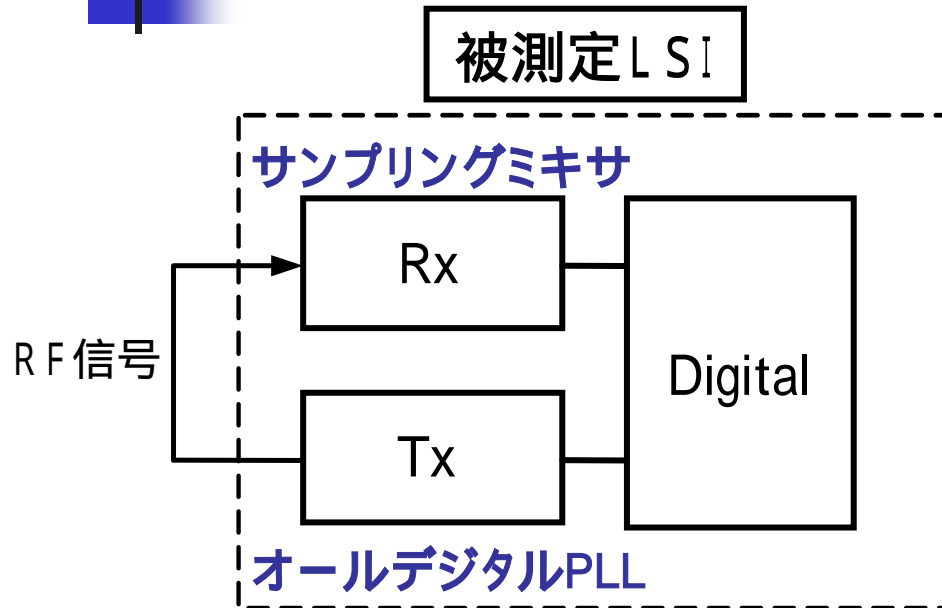


トランシーバICをテストする際の標準的な構成

高価なLSIテスタが必要

# 携帯電話送受信機ICの テスト容易化

LSIテスタ・メーカーA社から指摘



ループバックテスト構成

サンプリングミキサ受信機  
ADPLL 送信機で  
携帯電話送受信ICの  
ループバックを可能に

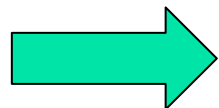
携帯電話ではRx, Tx のキャリア周波数が異なる。

➡ 直接にはループバックが使用不可  
テスト時にRx, Tx のキャリア周波数を合わせ得る。

# デジタルアシスト技術と

## LSIテストの問題 LSIテスタ・メーカーB社から指摘

「デジタル・アシスト・アナログ技術」



設計パラメータ空間が広がる

内部に不良箇所があっても 補正され  
LSIテスト(出荷検査)の際に「良品」と判定。

その欠陥が補正できるぎりぎりのとき、  
市場で補正範囲を超え  
動作不良となることあり。

# デジタル・アシスト・アナログ テスト容易化技術

UC Santa Barbara (米) Prof. Chen

デジタル自己校正用メモリ値の  
値を観測してテストに利用  
値を書き換えてテストに利用

## 自己校正、誤差補正:

自己校正用メモリデータは  
チップ使用時ユーザからは見えない。  
テストの際には積極的に  
内部状態を「観測」「制御」する。



# 発表内容

---

ナノCMOSと新アナログ

新アナログの展開

領域1： 振幅連続、時間連続

領域2： 振幅連続、時間離散

領域3： 振幅離散、時間連続

領域4： 振幅離散、時間離散

新アナログのテストの問題

まとめ



## まとめ

---

ナノCMOSでのアナログ性能向上、設計容易性、プロセスポータビリティ、スケーラビリティのため

- 4つの回路領域を全て使用
- デジタル化を進める、アナログは最小
- 誤差補正・自己校正技術

アナログ技術、RF技術に加えて  
信号処理、計測・制御技術の知識・センスが必要