2020年7月27日(月)

計測制御工学　第14回講義

デジタルアシストアナログ技術 入門

Digitally-Assisted Analog Technology

小林春夫

群馬大学大学院理工学府　電子情報部門

koba@gunma-u.ac.jp

下記から講義使用　pdfファイルをダウンロードしてください。

出席・講義感想もここから入力してください。

https://kobaweb.ei.st.gunma-u.ac.jp/lecture/lecture.html

2016 年 5 月 3 日

台湾で VLSI 関係の国際会議出張報告

-ファウンダリ産業の都　新竹市にて開催-

群馬大学大学院　理工学府
電子情報部門　小林春夫

- 出張期間　2016 年 4 月 24 日（日）羽田発　-28 日（木）羽田戻り
- 場所：　台湾　新竹市　Ambassador Hotel
- 参加者：　東野　将史（Ｍ２）
  栗原圭汰　（Ｍ１）
  小林春夫　（群馬大学教員）
- 目的：　下記国際会議での２名の学生の発表、技術情報収集
  International Symposium on VLSI Design, Automation and Test

次の学会と一緒に開催された。

International Symposium on VLSI Technology, Systems and Applications

学会から正式アナウンスはなかったが、両方合計で４００－６００人程度か。
大学に加えて、産業界からの参加者・発表者（招待講演者）が多い。
プロの技術者・研究者の勉強、情報交換、人脈形成の場という印象であった。

● 学会会場の様子

学会の Website

http://expo.itri.org.tw/2016VLSIDAT

http://expo.itri.org.tw/2016vlsitsa

東野将司（修士２年）の発表

[1] Masashi Higashino, Shaiful Nizam Bin Mohyar, Haruo Kobasashi “DAC Linearity Improvement Algorithm With Unit Cell Sorting Based on Magic Square”,

半導体理工学研究センターとの共同研究成果である。

栗原圭汰（修士１年）の発表

[2] Keita Kurihara, Kensuke Kobayashi, Masafumi Uemori, Miho Arai, Haruo Kobayashi,
“Fundamental Design Consideration of Sampling Circuit”

サンプリングオシロスコープに長年かかわってこられた技術者の小林謙介氏の技術をベースにした内容である。

ADC チップを設計・試作・評価するのは技術的にも費用的にも大変である。
台湾の大学はそれを難なくやっているように思える。そのような環境がすでに整っている。台湾の大学の電気電子工学科の大学院生は２回程度　集積回路を試作できる権利があるとのことである。

学生は、海外国際学会参加発表は　Pleasure & Pressure というところか。

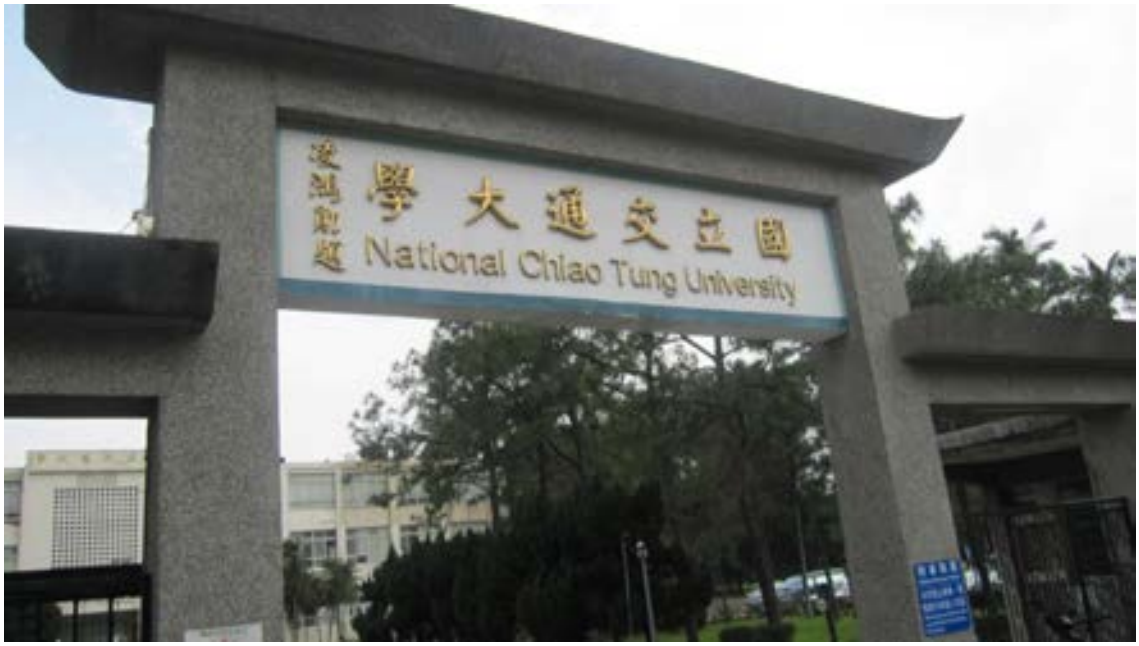
● 新竹市内

● 工業技術研究院　（国立研究所）

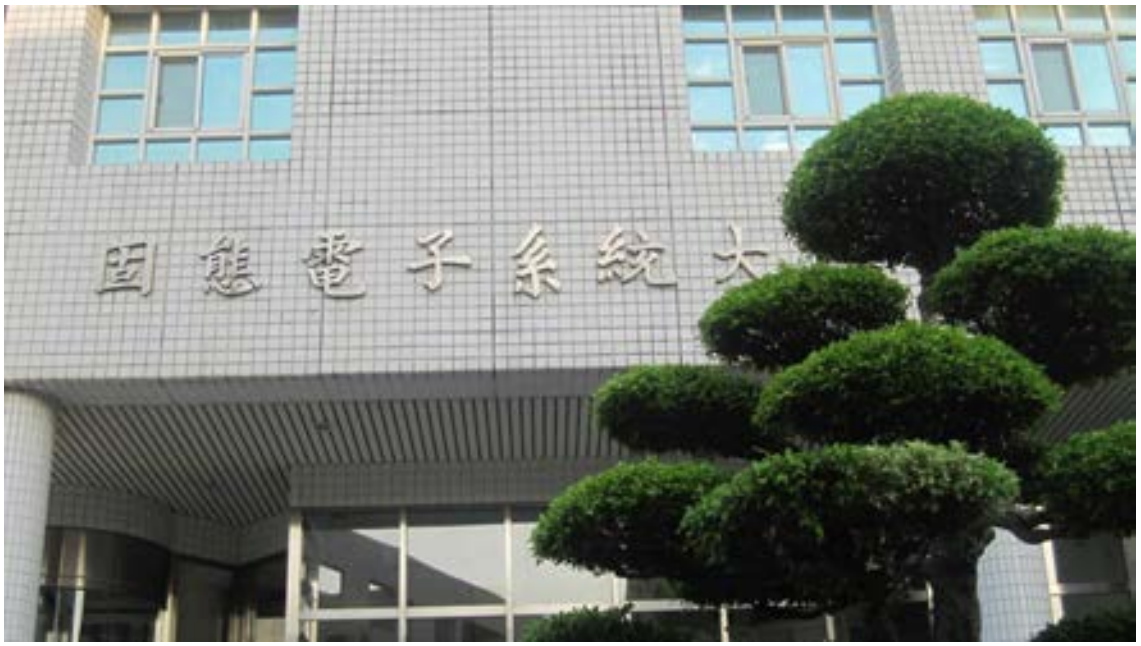
Industrial Technology Research Institute　: ITRI
https://www.itri.org.tw/
今回は外部からのみであったが、予約制見学もできるようである。

● 国立交通大学

中国本土にも　上海交通大学、西安交通大学がある（その関係の歷史は割愛）



7F
6F
5F
4F
3F
2F
1F
寬頻行動通訊實驗室、物聯網智慧系統研究中心、國際會議廳、第一會議室、
第四會議室、貴賓室、管理員室
Broadband Mobile Lab, IoT & Intelligent Systems Research Center, Int'l Conference Hall, Conference Room 1 & 4,
VIP Lounge, Custodian's Office

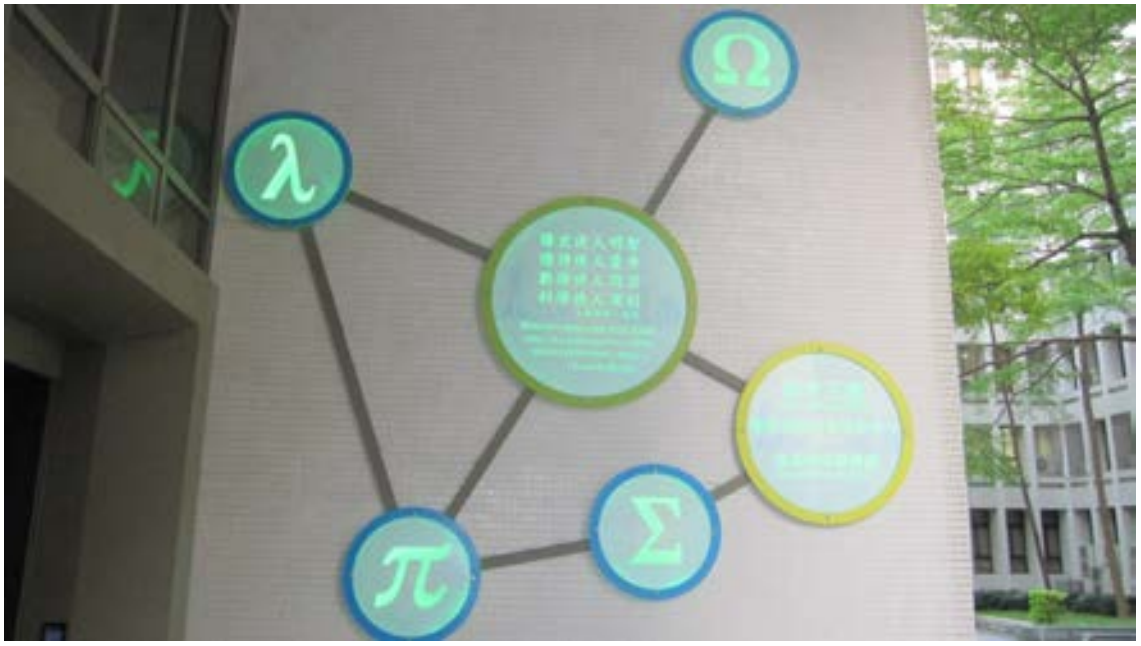

固態電子系統大

NARLabs 國家實驗研究院
國家奈米元件實驗室
National Nano Device Laboratories
國家晶片系統設計中心
National Chip Implementation Center

● 国立精華大学

中国本土の北京にも精華大学がある。（関係の歴史は割愛。）

Life is like riding a bicycle.
To keep your balance you must keep moving. --Einstein
人生就像騎單車
想保持平衡就得往前走
普通物理實驗室
General Physics Labs


λ
Ω
π
Σ

國立清華大學

● 台湾新竹市新竹科学工業園区

学会最終日の午後に、学生二人と同地区を歩いてみる。
同地区内の Science Park Administration で説明をしてもらった。

米国シリコンバレー地区のスタンフォード大学、カルフォルニア大学バークレー校の重要性にも着目し、国立交通大学、国立精華大学
（両大学とも電気電子工学分野が圧倒的に手厚い）がある新竹市を選択。
国際空港にも近い（桃園空港、松山空港）
海外企業の誘致　　米国企業が最も多い。次は日本企業。
米国で活躍している台湾出身の技術者・研究者（とその家族）が戻りやすくするため、帰国子女受け入れの学校を充実させている。

国営の台科学工業園区は新竹に加えて台中、台南にもある。

桃園地区にも工業団地がある。

輸送車等の交通量、外からの建物、米国系 EDA ベンダーが大きなビルを構えており多くのユーザーがいるのだろうと推察できる。銀行は台湾の銀行のみ

日本時代に水力発電のためのダム、全国での鉄道等のインフラが整ったとの説明を受ける。

TSMC 社　(Taiwan Semiconductor Manufacturing Company)

新竹市の法人税納税額が全体の 70%を占め、圧倒的な存在であるようだ。
技術者　他社の 2.5 倍の給与、仕事（生産性）は 3 倍求められる（？）。
優秀な社員が他社から引き抜きをされないためが理由の一つのようだ。

すぐ隣りに　UMC 社　(United Microelectronics Corporation)がある。

GATE 1
WNC
啓碁科技股份有限公司
Wistron NeWeb Corporation

Si-Soft

SYNOPSYS
台灣新思科技股份有限公司

● 台湾 畏るべし

台湾出身の技術者・研究者の能力の高さは知っている。が、今回の出張で一つの企業、一人の研究者・技術者の枠を超えて、台湾の半導体・電気電子工学分野での産官学連携の強い意志を感じた。政策を立案・推進している人たちは（そのブレーンも含めて）よほど事情に通じており　先の見通しを持っていると推察する。あらためて「台湾 畏るべし」との印象を深めた。

2016 年 5 月 9 日

台湾の電子産業隆盛に思う

予測できる未来：上流でダムを開けると数時間後に下流が増水する。（ドラッカー）

群馬大学　小林春夫

台湾には４回訪れ、そこでの国際学会に下記４回参加して大学院生に論文発表させている。

[1] International Symposium on VLSI Design, Automation and Test, Hsinchu, Taiwan (April 25-27, 2016).

[2] IEEE 22nd Asian Test Symposium, Yilan, Taiwan (Nov. 18-21, 2013).

[3] IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, Taipei, Taiwan (May 2012).

[4] IEEE Asia-Pacific Conference on ASICs, pp.137-140, Taipei, Taiwan (Aug. 2002).

産業に強く関係した国際学会に参加し発表を聴き参加者（所属機関）をみると、その地での産業の方向性や数年後の産業の様子がある程度推測できる。

筆者は 1987 年-1989 年の間　米国大学院（電気工学科）に留学していた。そのとき工学部は台湾の学生で溢れていた。なぜこんなに多いのか、非常に驚いた。彼ら/彼女らは台湾の一流大学で学部４年を卒業した後に、クラスの大半で米国大学院に留学しているとことであった。電気電子工学分野だけでなく他の工学分野でも、全米の大学に台湾の留学生が多いということを知った。

今日のようなインターネット等はない時代であったが、あることがあると翌日にはほとんどの台湾からの留学生間に伝わっている。この情報共有の迅速さは彼らの危機管理なのかと思った。

熱心に勉強していて成績が非常に良いのにも驚いた。当時の日本の最も優秀な学生のレベルを知っていたつもりであるが、量的にも質的にも凌駕しているような印象をもっていた。米国大学での指導教授に聞くと、彼ら/彼女らは物理や数学等の基礎的な学力が高い、ＩＣ設計について１年間教えると残りの１年間で非常によい研究成果をだしてくれる　（ので修士課程大学院生として受け入れる）とのことであった。

修士課程修了後は、博士課程に進む、米国で就職する等米国でキャリアを積む人が多かったような印象である。当時は自国にあまりこの分野の産業がなかったようだ。

これらの台湾出身の学生・卒業生が将来自国にもどって産業（製造業）を興すと台湾はすごいことになると日本人留学生間で話をしていた。（当時　日本は製造業で世界を席巻しており日本に戻ってその話をしてもほとんど相手にされなかったが。）

あれから２５年以上経つが、今回の台湾訪問で現在実際そのようになったという印象をもった。

2017 年 10 月 4 日

第１回　International Test Conference in Asia (ITC Asia)　観戦記

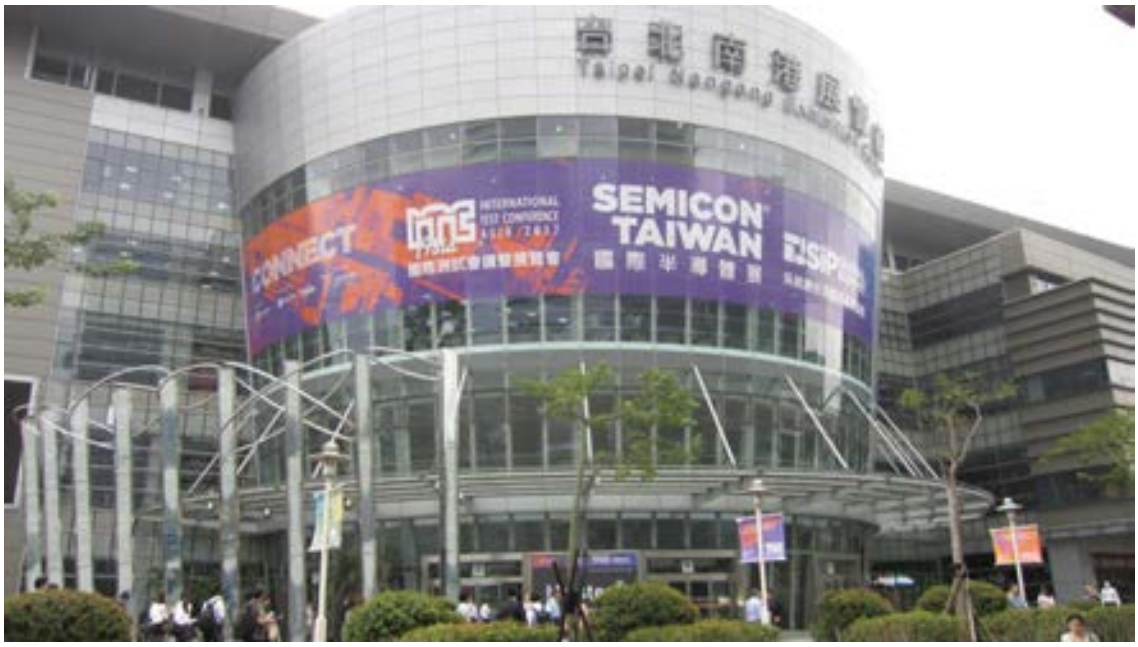
明鏡止水：　現在の半導体産業界・技術を観る

群馬大学　小林春夫

2017 年９月 13 日（水）－15 日（金）に台湾　台北市（台北南港展覧館）で開催された
ITC Asia 2017 に研究室大学院生の柳田朋則君と参加した.
ITC Asia 2017 は初回の開催であり、LSI テスト技術分野の研究者・技術者なら関心は高い,
また同じ場所・日にセミコン台湾と共催なのでその見学もしたい
という2つが動機である.

http://windy.ee.nthu.edu.tw/ITC-Asia-2017/HOME.html
http://www.semicontaiwan.org/en/
http://www.semicontaiwan.org/en/itc-asia

ITC Asia には3件論文を投稿して１件採択された.
アドバンテスト社の主体の論文で柳田君が発表した.
筆者は「観戦武官」(坂の上の雲)くらいのつもりで参加した



セミコン台湾は　台湾で最大の半導体関係の展示会で毎年 4 万人程度の参加者があるが,
ITC Asia は 200 人程度の参加者である,
ITC Asia は参加者がセミコン台湾の 200 分の1に過ぎないが, セミコン台湾と同じように
（併記されて）案内されており, ITC Asia が大事に扱われていることが感じられる.

● International Test Conference in Asia 2017

General Chair ： Prof. Li. – C. Wang （カルフォルニア大学サンタバーバラ校）

3 件のチュートリアル

4 件の基調講演講演

1 件の基調パネル討論

20 件の招待論文（併設展示の出展企業からのプレゼンテーションを含む）

50 件のレギュラー論文投稿，その内 27 件の論文採択

事前登録者 193 名

チュートリアルのみの参加者 107 名

台湾から 121 名，日本 15 名, USA 15 名，韓国 4 名

台湾からの論文発表が圧倒的に多いが、日本, USA，オランダ，ドイツ，フランス，韓国，インド等からも発表もされていた.

● チュートリアル、基調講演、パネル

チュートリアル 1: Y. Zorian 氏 (Synopsys 社)

Automotive Test Strategies

チュートイアル 2: E. J. Marinissen 氏 (IMEC)

Testing of 2.5D and 3D Stacked Integrated Circuits

チュートリアル 3: Y. Huang 氏, W. Yang 氏, W.-T. Cheng 氏(Mentor, Siemens 社）

Industrial Advancements in Diagnosis Driven Yield Analysis

基調講演 1： Tim Cheng 先生 (香港科学技術大学)

Hardware Security – Verification, Test and Defense Mechanisms

基調講演 2： Ishi Tseng 氏 (Chroma ATE Inc.)

Convergence of Electronic and Semiconductor Systems, and its Impact on Testing Technology

基調講演 3： Phil Nigh 氏 (GlobalFoundries 社)

Seven Major Trends are Changing how we Test ICs

基調講演 4： R. Aitken 氏 (ARM 社) Test Emerging Memories

基調パネル討論： 異種デバイス集積化 (Heterogeneous Integration)の 設計とテストの挑戦

● セキュリテイ関係の基調講演 （香港科学技術大学 Tim Cheng 先生）

安全，安心，高信頼性の IC は日本メーカーの特徴になるのではないか.モラルの高さだけでだけでなく技術・経営でもそれを示す.外部からチップ内のフラッシュメモリ等のデータをリークさせない，メモリに書き込ませない，ハードウェア・ウィルス（トロイの木馬）を入れない等はますます重要になってくる． トロイの木馬については下記の駄文を書いた.

http://techon.nikkeibp.co.jp/article/EVENT/20141022/384262/?rt=nocnt

トロイの木馬の検出の研究は，日本では早稲田大学 戸川望先生がとりくまれている.
ソフトウェア・ウィルスは愉快犯の場合もあるが，トロイの木馬は悪意をもって意図的に
IC チップ内に入れていると思う.

かつて生物は均一であるためウィルスでその種が絶滅した.生物に「オス」と「メス」 があるのは異なる個体を作り 種を残すためとのことだ.この話から，コンピュータでもウィルスが問題なのはソフトウェア，ハードウェアがすべてのコンピュータで「同質」であるためかと思う.

● Tim Cheng 先生の影響力

台湾での LSI テスト関係の大学・産業界に Tim Cheng 先生の影響力は大きいように感じる.同先生はカルフォルニア大学サンタバーバラ校の教授として長年 LSI テスト関係の研究教育をされてきたが，現在台湾の大学でこの分野で活躍されている研究者には Tim Cheng 先生の卒業生が多い．現在は同先生は中国での香港科学技術大学の工学部長をされている.

http://www.ece.ust.hk/ece.php/profile/facultydetail/timcheng

Tim Cheng 先生は東京大学 VDEC でのアドバンテスト社の寄附講座（D2T: Design To Test）の招聘教授もされたことがある．このとき下記の私の講演をきいていただいた.

[1] (Invited) H. Kobayashi, "Issues and Challenges of Analog Circuit Testing in Mixed-Signal SOC,"
東京大学 VDEC「アドバンテスト D2T 寄附研究部門」D2T シンポジウム(2009 年 12 月)

また，同先生が主催された関係ワークショップにも声をかけていただき，下記を発表した.

[2] Kazuyuki Wakabayashi, Haruo Kobayashi, 他 "Low-Distortion Single-Tone and Two-Tone Sinewave Generation Algorithms Using an Arbitrary Waveform Generator",IEEE International Mixed-Signals, Sensors, and Systems Test Workshop,Santa Barbara, CA (May 2011)IEEE Xplore
新概念 「Distortion-Shaping」 の提案

[3] Koji Asami, Haruo Kobayashi 他 "Digitally-Assisted Compensation Technique for Timing Skew in ATE Systems",
IEEE International Mixed-Signals, Sensors, and Systems Test Workshop,Santa Barbara, CA (May 2011)IEEE Xplore

今回の ITC Asia でもそうであるが，Tim Cheng 先生とは関係学会で良くお会いする.

カルフォルニア大学サンタバーバラ校は，あの中村修二先生がおられるところで，スペイン風の街並みが続き，ビーチが美しいところである.米国西海岸地区で近くには電子技術関係の多くのハイテク企業があるようだ.

● テスト技術の7つの挑戦 （Seven Major Trends that are Changing how we Test ICs）

Global Foundries 社　Phil Nigh 氏

① 車載用 IC

② マルチチップシステム（2.5 次元, MCMs 等)

③ 適応テスト等のためのデータ解析技術

④ 5G/mmWave/RF/シリコンフォトニクス

⑤ 微細 VLSI のテスト

⑥ 短時間での量産化

⑦ システムレベルテスト

チュートリアル、他の基調講演、基調パネル討論もこの範疇に入ると思う.

Phil Nigh 氏は　長年の適応テスト（Adaptive Test）技術関係の学会活動で著名である.

● 車載用 IC のテスト技術のいくつかの発表

次のようなキーワードがでてきた.

車載用 IC は設計から異なる:

ECC (Error Correction Code), 冗長性, 故障耐性, 余分な動作マージン, オンチップセンサ

ESD: Electrostatic Discharge　静電気放電

EMI：Electromagnetic Interference　電波障害

EMC：Electromagnetic Compatibility 電磁両立性

品質（Quality）, コスト（Cost）に加えて　信頼性（Reliability）が重要

車載用 IC テストの挑戦:

SCAN IDDQ テスト

2セルアウェアテスト（Dual Cell Aware Test）,

アナログ故障テストが重要

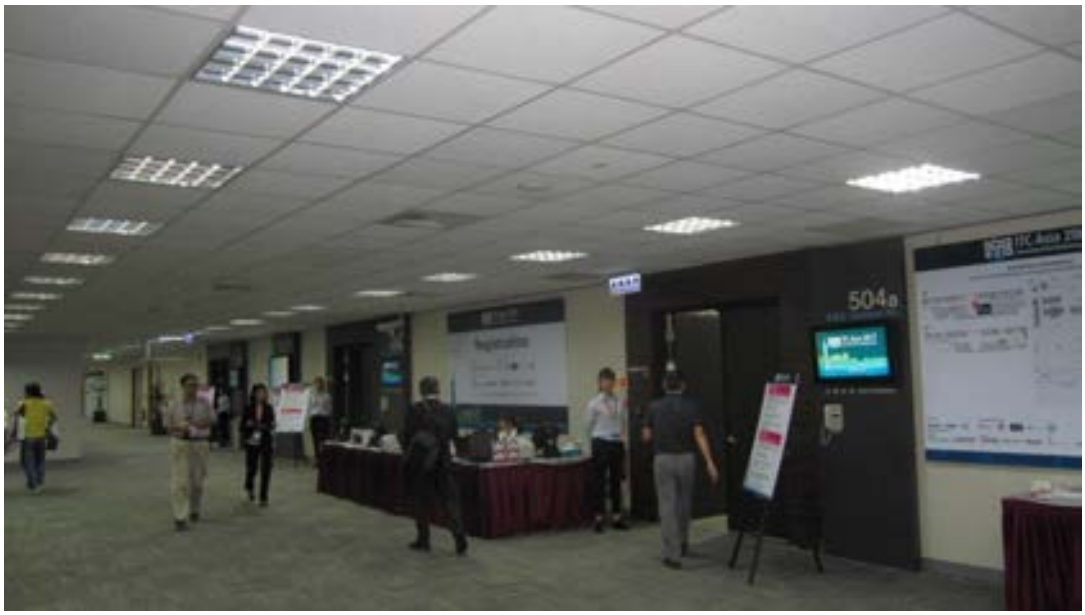
車載用 IC への要求：

フィールドテスト, 診断試験, 広い動作温度範囲, 広い湿度範囲

長い使用年数（15年）, 低い不良率(10ppm), 砂・塵の環境, 振動の環境

Quality IATF16949, Qualification AECQ1100

「マーケティングの目的とは，顧客を理解し，製品とサービスを顧客に合わせ，
おのずから 売れるようにすることである．」　（ドラッカー）



● アナログ/ミクストシグナル IC テスト容易化技術

アナログ/ミクストシグナル IC テスト容易化技術のセッションで、国立成功大学（台南市）の張順志先生から高速入出力インターフェース回路のジッタ耐性テスト容易化技術の発表があった．同先生は逐次比較近似 ADC 研究でも著名で、ISSCC 等にも論文発表している．

http://www.ee.ncku.edu.tw/subpage_div/teacher_new_2/index2.php?teacher_id=71

台湾でアナログ IC のテスト容易化技術を研究しているのは同先生と国立交通大学 洪浩喬先生である（台湾でも研究者が非常に限られてきている）．また，今回の ITC Asia では RF 回路のテスト容易化、アナログ故障テストの発表は見られなかった．

● 研究室大学院生（柳田朋則君）の発表

柳田君は昨年の中国での国際会議で2件発表，今回は海外での国際会議は2回で，
合計3件目の国際学会発表である．座長は　前述の国立成功大学　張順志先生である．

論文内容は，アドバンテスト社の川端雅之氏（群馬大学　OB）のアイデアを同社の浅見幸司先生が群馬大学連携大学院客員教授の立場から私の研究室に紹介していただき，お二人の研究室学生へのご指導で得られた研究成果である．
これまでその都度新しい内容を付け加えて何回か発表してきている．

今回は大学院博士前期課程（修士課程）2年の柳田朋則君が発表した．発表後・セッション後の質問等では非常に好意的なものが多く，内容・プレゼンテーションとも「好評」であった．

Overall Agenda

Day 1 September 13 (Wednesday)

Venue	Room 504a	Room 504b	Room 504c
13:00-16:50	Tutorial I Automotive Test	Tutorial II 3D-IC Test	Tutorial III Yield Learning
	Coffee Break		
	Tutorial I Automotive Test	Tutorial II 3D-IC Test	Tutorial III Yield Learning

Day 2 September 14 (Thursday)

Venue	Room 504abc		
	Opening Remarks		
09:00-10:50	Keynote Session I K1: Hardware Security - Verification, Trst, and Defense Mechanisms - Tim Cheng K2: Convergence of Electronic and Semiconductor Systems, and its Impact on Testing Technology - I-Shih Tseng		
10:50-11:10	Coffee Break		
Venue	Room 504abc		
11:10-12:00	Plenary Panel Heterogeneous Integration – Design and Test Challenges		
12:00-13:00	Lunch Break		
Venue	Room 504a	Room 504b	Room 504c
13:50-15:05	Session A1: Corporate Session I (invited)	Session B1: Analog / Mixed-Signal Test	Session C1: Cell-Aware Testing
14:45-15:05	Coffee Break		
Venue	Room 504a	Room 504b	Room 504c
15:20-17:00	Session A2: Corporate Session II (invited)	Session B2: Detection, Diagnosis, and Debug	Session C2: Test for IoTs and Automotives
Venue	Superious Ballroom, Courtyard Taipei		
18:00-21:00	Banquet		

Day 3 September 15 (Friday)

Venue	Room 504abc		
09:00-10:50	Keynote Session II K3: Seven Major Trends that are Changing how we Test ics - Phil Nigh K4: Test Emerging Memories - Rob Aitken		
10:50-10:50	Coffee Break		
Venue	Room 504a	Room 504b	Room 504c
11:00-12:15	Session A3: EDA Session (invited)	Session B3: Test for InFO and SoC	Session C3: Memory Testing
12:15-13:50	Lunch Break		
Venue	Room 504a	Room 504b	Room 504c
13:50-15:05	Session A4: Fabless and IDM Session (invited)	Session B4: On-Chip Test Infrastructure	Session C4: Advanced Test Practices
15:05-15:20	Coffee Break		
Venue	Room 504a	Room 504b	Room 504c
15:20-17:00	Session A5: OSAT Session (invited)	Session B5: Verification and Fault Tolerant	Session C5 Embedded Tutorials (invited)

Overall Agenda

- Half-Day Tutorials
- Embedded Tutorial
- Keynote Session
- Plenary Panel
- Corporate Session
- Technical Session
- Industrial Session
- Event

SESSION B1

Date: September 14
Time: 13:50-15:05
Session B1: Analog and Mixed-Signal Test

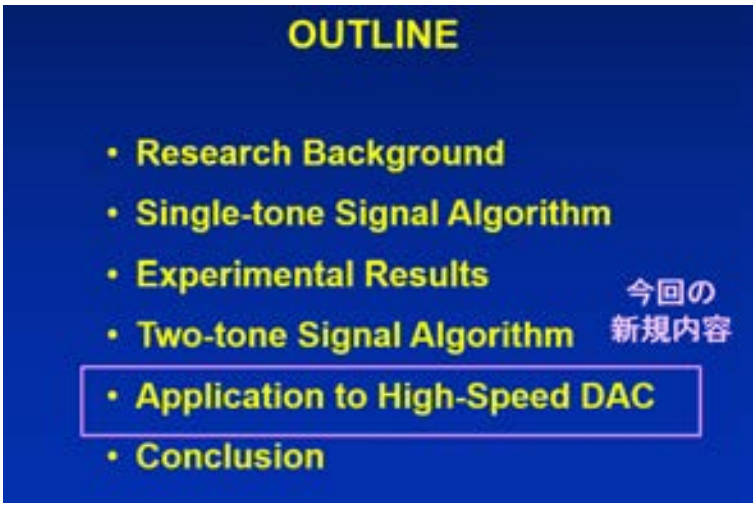
Location: Room 504b
Session Chair: Soon-Jyh Chang

(B1-1)
Low-Distortion Signal Generation for Analog/Mixed-Signal Circuit Testing with Digital ATE
*Masayuki Kawabata, Koji Asami, Shohei Shibuya, *Tomonori Yanagida, and Haruo Kobayashi*
Advantest Corporation and Gunma University

(B1-2)
A Quick Jitter Tolerance Estimation Technique for Bang-bang CDRs
**Yen-Long Lee and Soon-Jyh Chang*
National Cheng Kung University

(B1-3)
Evaluation of Loop Transfer Function Based Dynamic Testing of LDO
Mehmet Ince, Sule Ozev, Ender Yilmaz, Jae Woong Jeong, and Leroy Winemberg
Arizona State University and NXP

September 14, Day 2



Low-Distortion Signal Generation for Analog/Mixed-Signal Circuit Testing with Digital ATE

Masayuki Kawabata, Koji Asami
Advantest Corporation
Gunma R&D Center 370-0718
Japan

Shohei Shibuya, Tomonori Yanagida,
Haruo Kobayashi*
Gunma University
1-5-1 Tenjin-cho Kiryu, 376-8515
Japan
*email: koba@gunma-u.ac.jp

Abstract— This paper proposes low-distortion sinusoidal/two-tone signal generation techniques for analog/mixed-signal IC testing with a digital Automatic Test Equipment (ATE) using only single digital output pin. They provide a rectangular waveform approximated to a single-tone or two-tone with specified harmonics suppression; we can specify multiple harmonics to suppress using digital control, and it is followed by an analog LPF for smoothing. The proposed method is simple for implementation with modest performance, compared to a wide dynamic range delta-sigma DAC. Its configuration, principle, simulation as well as experimental results at the laboratory level are presented. Also its application, combined with a high-speed DAC for analog circuit testing is described.

Keywords- Low-distortion signal generation, Harmonics suppression, Analog/mixed-signal IC testing, ATE

$$f(t) = \frac{1}{2} + \sum_{k=1}^{\infty} \frac{2}{k\pi} \sin\left[\frac{2\pi}{N} kt\right] \quad (1)$$

Where k = 2m − 1 , m = 1, 2, ...

We also have the followings:

$$f(t - \tau_1) = \frac{1}{2} + \sum_{k=1}^{\infty} \frac{2}{k\pi} \sin\left\{\frac{2k\pi}{N}(t - \tau_1)\right\} \quad (2)$$

$$f(t + \tau_1) = \frac{1}{2} + \sum_{k=1}^{\infty} \frac{2}{k\pi} \sin\left\{\frac{2k\pi}{N}(t + \tau_1)\right\} \quad (3)$$

$$f(t) = \begin{cases} 1 \ldots 0 \le t \le N/2 \\ 0 \ldots N/2 < t \le N \end{cases}$$

Figure 2. Rectangular wave (duty 50%)

● 日本からは合計3件の論文発表

日本からは，他に次の2件発表があった.

九州工業大学から： リング発振回路を用いたデジタル温度，電圧センサ回路

広島市立大学から： エラー耐性がある確率的計算(Stochastic Computing)

● 学会発表でのユーモラス，格調高い言葉，気の利いた表現の引用

①Adaptive Test (適応テスト) カメレオンの写真でユーモラスに「適応」を表現している.

カメレオンが周囲の色に適応して自分の体の色を変化させるという写真で「適応」の概念を説明しようとしている.

適応テストとは，途中のテスト結果に応じ（適応し），テスト項目を変えていき，効率的にLSI テストを実現しようとする技術である.

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2011/ITC20111001HP(part1)..pdf

最近，日本語で適用 を適応と（誤って）書いているのが良く目につく.例えば下記.

（誤） ...の技術を適応する

（正） ...の技術を適用する

言葉では間違った使用法が正しい使い方として認められるようになることがあるようだが，やがてそれが正しくなるのかもしれない（そのくらい多い）.

学生諸君へ：「適用する」は英語の **apply** に対応，「適応する」は **adapt** に対応します.
ダーウィンの進化論での，「生き残るのは適応する者である」で使われている言葉です.

② 格調高い英単語

Polymath：博学者，たくさん知っている人

Dilettante： 文学・芸術の愛好家，表面的な興味を持っている人

③ 欧米の作家の言葉の引用

From where we stand the rain seems random. If we could stand somewhere else, we could see the order in it. (Tony Hillerman)

● ギガスケール SOC での DFT (Design for Testability):

階層的 DFT/ATPG/診断，分割統治(Divide & Conquer)

タイミング例外処理（Timing exception handling）

● ITC Asia の併設企業展示

セミコン台湾と同じ会場の一角に, ITC Asia の企業展示（8 か国から22社）あり.

● 来年の ITCAsia は中国 パルピンで開催

学会主催のバンケットで，来年(2018 年) の ITC Asia は 中国 哈爾浜（ハルピン）市開催で中国科学院（Chinese Academy of Sciences） がホスト役ということがアナウンスされる.

http://windy.ee.nthu.edu.tw/ITC-Asia-2017/file/ITC-Asia.2018.Call.for.Papers.pdf

● なぜ ITC Asia が創設されたか

ITC (International Test Conference)は毎年米国で開催される, LSI テスト技術分野で最大の国際会議である.この会議とともに，アジア地区で開催される ITC Asia ととくにインド地区で開催される ITC India が創設された.

http://www.itctestweek.org/

とくに ITC Asia が創設された理由は，学会関係者からの話では次のようである.

ITC（米国）の参加者数が頭打ち・減少の傾向にある.一方 半導体の設計・製造・試験の産業がアジア地区へシフトしている.しかしながらアジア地区から技術者・研究者・経営者が ITC(米国)に出かけていくには費用・時間の関係から大変である.そこで ITC をアジア地区でも開催して比較的容易に参加できるようにして，ITC 関係学会のトータルとして参加者を増やし学会を拡大していきたい.

また，今回はセミコン台湾と共催であるが，セミコン台湾側から見れば利点は次になろう.
技術展示会（セミコン台湾）では出展者は技術の結果（こんなにすごいことができるということを）アピールしたいが，それをどうやって実現したかという技術の中身の詳細は（ライバルには）隠したい.一方，学会（ITC Asia） は技術の中身・アイデアを競うので技術的に深みのある内容を提供できる.したがって，学会は展示会を補完することができる.
また国際学会では，大学関係者・公的研究所のネットワークがありそれも活用でき，様々な分野から展示会に人を集められる.筆者もセミコン台湾だけだったら参加は難しかった.

● IEEE Asian Test Symposium との棲み分け

一方，アジア地区のテストの学会には IEEE Asian Test Symposium がすでにあり， アジア地区で順番に開催されてきている.今年は台北で１１月下旬に開催される.

http://www.ieee-ats.org/

http://ares.ee.ncu.edu.tw/ats17/index.php

この学会はアカデミック寄りなのに対し, ITC は産業界寄りで，棲み分けるのかもしれない.
しかし, ATS と ITC Asia の委員，プログラム内容がかなり重複しているのも事実である.

なお，この学会（ATS207）にも研究室から論文が採択され，研究室の大学院博士前期課程（修士課程）１年の小澤祐喜君が参加・発表予定である.

Yuki Ozawa（小澤祐喜） Takashi Ida, Richen Jiang, Shotaro Sakurai, Seiya Takigami, Nobukazu Tsukiji, Ryoji Shiota, Haruo Kobayashi, “SAR TDC architecture with self-calibration employing trigger circuit,” The 26th IEEE Asian Test Symposium, Taipei, Taiwan (Nov. 28, 2017)

● なぜ LSI テスト関係の学会か

問題意識は次のようなところにある.

- 産業界の友人から，欧米の大学の回路設計の大先生でも 信頼性，歩留まりについて議論できないのは問題であろうとの指摘.
- 自動販売機を作っているメーカー技術者から，自動販売機に要求される動作温度範囲は非常に広いが，回路の学術論文では温度特性について述べているのはほとんどない（のであまり信用できない）の指摘.
- 車載用 IC では品質は極めて重要との指摘

回路設計者は回路の Figure of Merit (FOM: 数値性能)だけでなくこれらを考慮することが重要とおもっている.

日本の大学の電気電子工学分野の著名な先生が
「低コスト化技術は産業界が研究し，大学は高性能化技術を研究する」
と言われていたが, LSI テスト技術では低コスト化は重要なファクターである.

気が付いてみると，自分の研究室ではずいぶん産業寄りの研究をしている.

● 音楽・楽器好きの研究者多し

「礼楽を節することを楽しみ，人の善を道うことを楽しみ，　賢友多きを楽しむは，益なり．」　（論語）

礼儀にかなった行動をし，音楽を適度に楽しみ，…

● 「海賊になれるのに，なぜ海軍になど入るのかい？　」（Steve Jobs）

国立交通大学（新竹市）の洪浩喬先生によれば，

http://www.eed.nctu.edu.tw/people/bio.php?PID=33

「自分の大学やすぐ隣の国立精華大学にはには LSI 関係（半導体デバイス，プロセス，デジタル，メモリ，アナログ，ミクストシグナル，RF，EDA，LSI 試験技術，センサ，MEMS 等）のたくさんの教授がいる．台湾は電子産業に選択と集中している．ギャンブルのようであるが…」と話している．

電源関係の日本の技術者・経営者の集まりでも「日本の電源関係の産業の多くは台湾に移ってしまった」との話をきいている．電源関係の国際会議でも台湾の大学からは多くの発表がある．

台湾の大学の研究者達が組織化・訓練された正規軍であるなら，日本の地方大学のこちらは一介の賊に過ぎないくらいの差がある．が，短期的にはやり方によっては競争できると思う．「孫子」と並ぶ兵法書「呉子」に次のような記述がある．

「今　一死賊　を広野に伏せしめて，千人之を追うも，梟視狼顧ならざるはなし．
何れの者も，其の暴起ちて己を害するを恐ればなり．」（呉子・励士第六）

必死の者が広野に一人潜んでいれば，千人でこれを追っても皆が恐れおののく．
「死中に活を求める」くらいか．

なぜ，台湾，韓国，中国で電子産業・半導体産業に選択と集中しているのか，調査し考えてみる必要がある.米国はある産業が新興国から追い上げられると比較的簡単に手放し次の新しい分野に移っていく傾向があるが，半導体分野では巻き返した．
この分野が長期的に重要と見ているからであろう．

● 台湾の電子技術分野での産官学連携

台湾では産官学一体になって電子産業に取り組んでいるようにも見える．
例えば　新竹市ではサイエンスパークにハイテク企業が集まり，近くの国立精華大学，国立交通大学には電気電子関係の研究者・研究室が非常に多くある．また充実した国立の研究所（工業技術研究院 Industrial Technology Research Institute : ITRI）も有している．
官が主導してこのような施策をとっていると思われる．

しかしながら，話を聞いてみるとかならずしも産業界と大学とは連携は密ではないようだ．

産学連携はむしろ例外的であるようだ．　やや意外な印象をもっている．

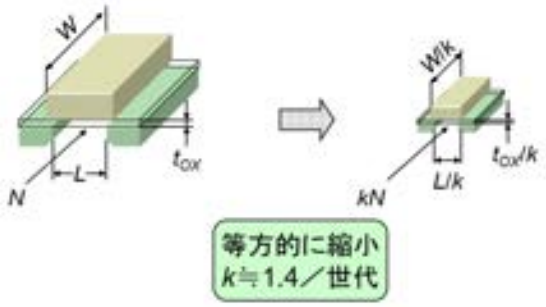
台湾の大学から，国際会議に積極的に多くの質のよい論文が発表されているが，これが産業界にどれほどフィードバックされているかはわからない.もちろんその分野の人材（卒業生）を出して産業界に貢献していることは間違いないであろうが．　また TSMC 社が台湾の大学のチップ試作を支援していることは良く知られている（台湾の大学は同社でのチップ試作に手慣れている）が．

● 半導体の微細化

「ムーアの法則」が終焉か，まだまだ続くかの記事がエレクトロニクス誌でよく見る.
微細化はもう少し続くかもしれないが，すでに「微細化による恩恵」は終焉していると思う.
微細化により　漏れ電流，耐圧，信頼性，経年変化，ソフトエラー等の問題が顕在化し，
そして何よりもプロセス開発・マスク等のコストが極端に増大するという問題が生じている.

群馬大学客員教授　堀口真志先生の Dennard スケーリング則（MOS トランジスタ微細化による恩恵）に関する群馬大学での 2011 年の講義資料を下記に示す.Dennard のスケーリング則による MOS トランジスタの微細化による恩恵はもう終焉しているのではないか.

MOSトランジスタの比例縮小（スケーリング）



MOSトランジスタの比例縮小（スケーリング）則

			電界一定	
寸法	L, W, t_{ox}		1/k	
不純物濃度	N		k	
電圧	V		1/k	
電界	E	$\propto V/L, V/t_{ox}$	1	
電流	I	$\propto (WV^2)/(Lt_{ox})$	1/k	Mooreの法則の原動力
オン抵抗	R_{ON}	$\propto V/I$	1	
ゲート容量	C_G	$\propto LW/t_{ox}$	1/k	
遅延時間	t_D	$\propto R_{ON}C_G$	1/k	⇨ 高速
消費電力	P	$\propto IV$	$1/k^2$	⇨ 低電力
面積	A	$\propto LW$	$1/k^2$	⇨ 低コスト・高機能

R. H. Dennard, IEEE J. SSC, p.256, Oct. 1974

しかしムーアの法則の終焉は，半導体の技術・産業の終焉なのであろうか.筆者は
「ムーアの法則が終焉したら，アナログ回路設計にとって良い方向になるのではないか」
と妙なことを考えている.

以前アルプス電気の関連会社の Cirque 社に，研究室の大学院生２名に対して米国ユタ州ソルトレークシテイでインターンシップをしてもらった.

https://kobaweb.ei.st.gunma-u.ac.jp/warehouse/internship.pdf

当時のその日本人の社長さんが次のことを言われたのが記憶に残っている.
「センサインターフェース用アナログICを開発してもプロセスの世代が進むとそのICをもう提供してもらえない，次のICを開発すると１－２年はかかってしまう，電源電圧が下がるのでかなり回路も変更しなければならない.アナログIC開発は妙な世界だ.どういう分野かよく知りたいのでこの分野の研究室の学生をインターンで受け入れて，この分野をよく知りたい」

ムーアの法則が終焉したらプロセスがほぼ固定して　このようなことはなくなるかもしれない.回路設計者にとって，ムーアの法則終焉で強制的に（？）プロセス微細化はなくなるのは良い方向に働くのではないだろうか.

囲碁で「岡目八目」の言葉があるが，分野が近いがそこにはどっぷりとは浸かっていない方の見方は参考になることがしばしばある

イノベーションとは単なる方法ではなく，新しい世の中の認識が
「コップに水が半分入っている」から「半分空である」に変わるとき，
イノベーションの機会が生まれる.　　（ドラッカー）

● アナログ分野でのプロセス・デバイスと回路の組み合わせは無限

枯れたプロセスをアナログ向けに工夫する，そこでデバイス構造を工夫（低ノイズデバイスを実現する，温度特性のよいデバイスを実現する，EMS に強い回路を実現する等）して低コストでアナログ特性を良くするようにプロセス・デバイスでも差別化するのがアナログICメーカーのプロセスかと思う．プロセス・デバイスは自社なので回路をコピーされないこともメリットであろう.

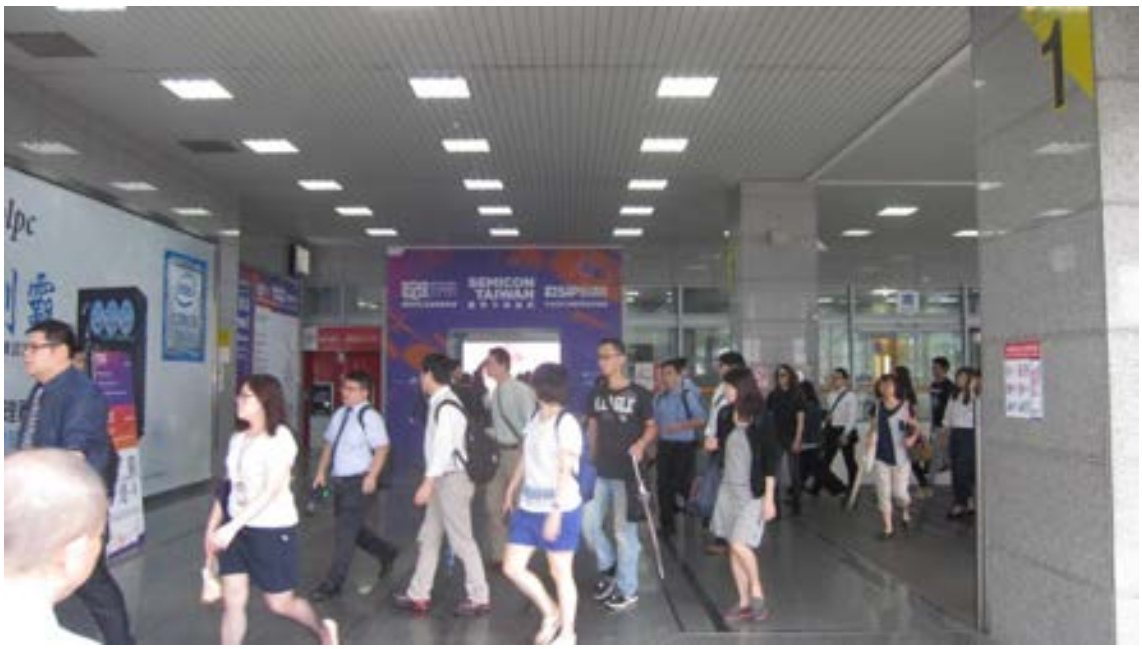
先端微細プロセスで高性能アナログ回路をという考え方もある.

アナログ・ファブレスもありえるし，アナログ IDM (Integrated Device Manufacturing)もありえる.製造で低コスト化して利益を生み出している会社もある.
プロセス・デバイスと回路のやり方の組み合わせはいろいろとある.
「設計と製造の分離」のやり方だけではない.

孫子の「正と奇の組み合わせは無限」の言葉を思い出す．「プロセス」と「回路システム設計」等の組み合わせは無限にあると思う。

● セミコン台湾　展示会

セミコン台湾は台湾で半導体関係の最大の展示会で，参加者は毎年4万人程度とのこと.
半導体産業は短期間での浮き沈みが激しい.「山高ければ谷深し」の表現がある.
現在は好調で半導体製造装置メーカーは作るのが間に合わないほど忙しい.
しかし，半年後はどうなるかがわからないので短納期を要求されるとのこと.
メモリも非常に好調のようである.



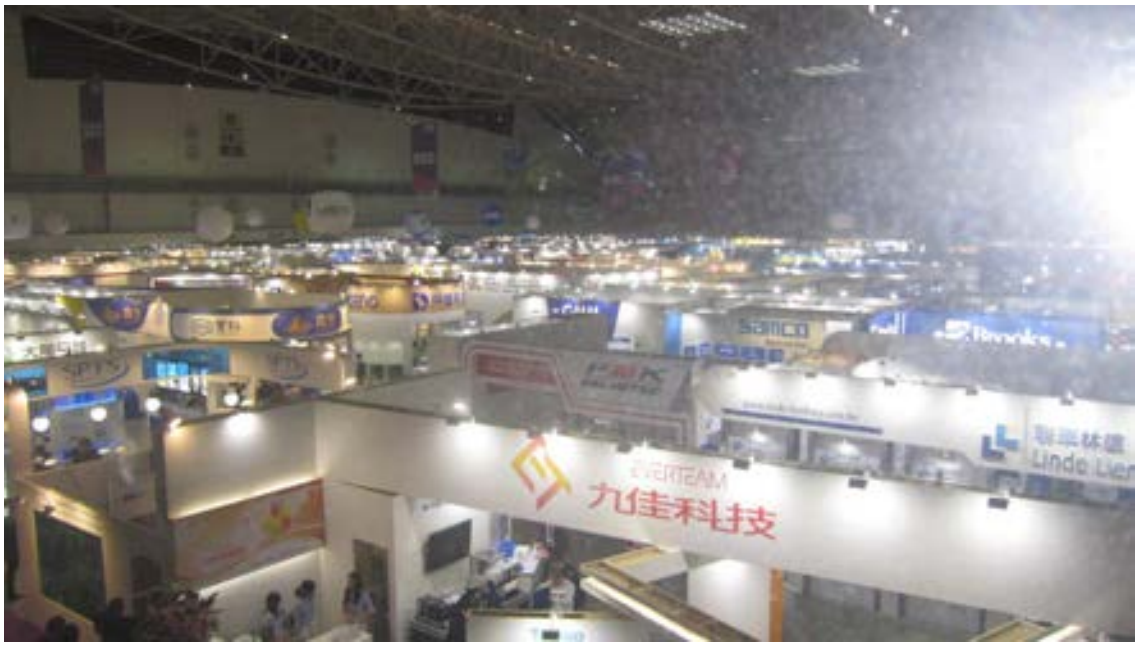
非常に難しい産業・技術と思うが，世界的・長期的に見れば半導体産業・技術は
ますます重要になっていくと思う.

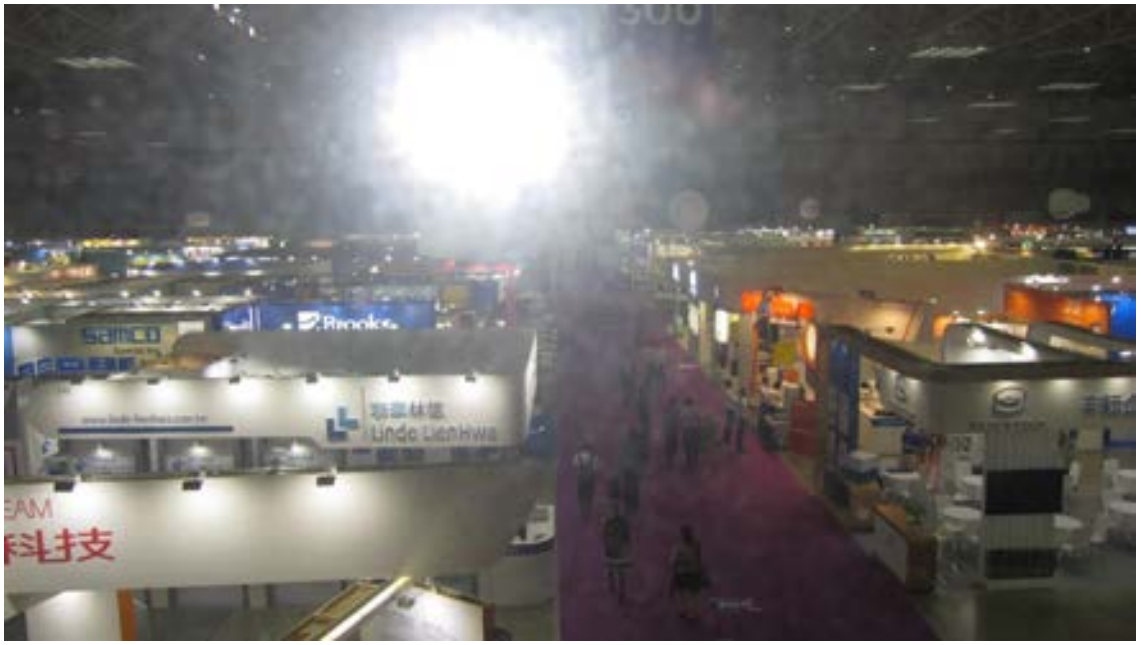
また、日本はパワー半導体系で非常に競争力があるとの声をきく.

日本語もあちこちで聞きこえ，日系メーカーからの展示も目についた.
日本の半導体製造装置メーカーに就職した，群馬大学卒業生とも出会った.

掲示で「日本的品質」の文字が見られ，やはり日本の品質は世界的に信用があるのか
と思った.

沖 繩 縣 Okinawa


九佳科技


Linde LienHwa

Linde LienHwa
VERSUM
MATERIALS

工業技術研究院
Industrial Technology
Research Institute

國家中山科學研究院
National Chung-Shan Institute of Science & Technology
D-TEK

欧米の方もよく見かけた.

● 新しい技術と新しい時代をどう生きるかを考える

ロボット, AI, IoT 等の新しい技術は　我々の生活を豊かにし利便性が向上する.
一方，個人的として今の自分の職業・仕事がどのようになるのか，
社会的にはどのような産業構造が変化をもたらすのかという不安感を生じさせる.

「今の日本には何でもある．ないのは希望だけだ．」（村上龍）

これからの生き方を考えるのにドラッカーの言葉は示唆に富んでいる.

将来に対する認識

「将来についてわかっている唯一のことは，今とは違うということだ．」
「変化はコントロールできない．できることはその先頭にたつことだけである.」

大学教育で何を教えるかを考える

「21 世紀に重要視される唯一のスキルは，新しいものを学ぶスキルである.
それ以外はすべて時間と共にすたれてゆく.」

人間の IT 機器に対する能力の優位性

「企業は何よりも「アイデア」であり，それを生むことができるのは個々の人間だけである.」

新しいツールが次々に現れてくることに対して

「正しい結果を与えてくれる最も簡単な分析は何か．最も簡単な道具は何か」
を問わなければならない．アインシュタインは，黒板よりも複雑なものは何も使わなかった.」

ビックデータに対して

「知識は本の中にはない.本の中にあるのは情報のみである.知識とはそれらの情報を仕事や成果に結びつける能力である.知識は，人間すなわちその頭脳と技能のうちのみに存在する」
「本」を「インターネット，ビッグデータ」に置き換えるとビックデータがわかる

ドラッカーの言葉を参考にする等をしても，重要なことは自分の頭で考えることであろう.

「耳学問」も重要ではあるが、それで終わってはならない.

● 台北は先進都市・国際都市

展示会に参加して，台湾で英語は良い職を得るために必須であるように思った.

台北市内のビルの名前，駅名に英語が併記されていることが多い.

タクシー料金は安く，メトロが便利で，慣れるとバスも非常に便利とのこと.

新竹市の技術者の人件費は日本と変わらない（もしくはそれ以上）.

日本と同じように，高付加価値のものを台湾に残し，コスト競争のものは海外に出すことをやっている.

● 台湾は親日

親〇〇，反△△という言葉は注意が必要であろう.「平均として」,「その国での教育が」,「その国でのそのときのオピニオンが」,くらいであり個人差があろう.同じ国・民族間でも人の好き嫌いはあり，人の心はそんなに簡単なものではない（一枚板にはならない）と思う.

本を読んでいて　次の言葉に出会う.

「１０人の人がいれば，１人はどんなことがあってもあなたを批判する.
　あなたを嫌ってくるし，こちらもその人を好きになれない.
　２人は互いにすべてを受け入れ合える親友になれる.
　残りの７人はどちらでもない人々だ.」

「いい人をやめよう」「嫌われる勇気」等の題名の本も目にする.人間関係においても,「100%を求めない」という工学的な発想をすると　ずいぶん精神的に楽になる.

「全ての人に好かれる」ことはないし,「全ての人に嫌われる」ことはない.

● 陣地を増やしていく「囲碁の経営」

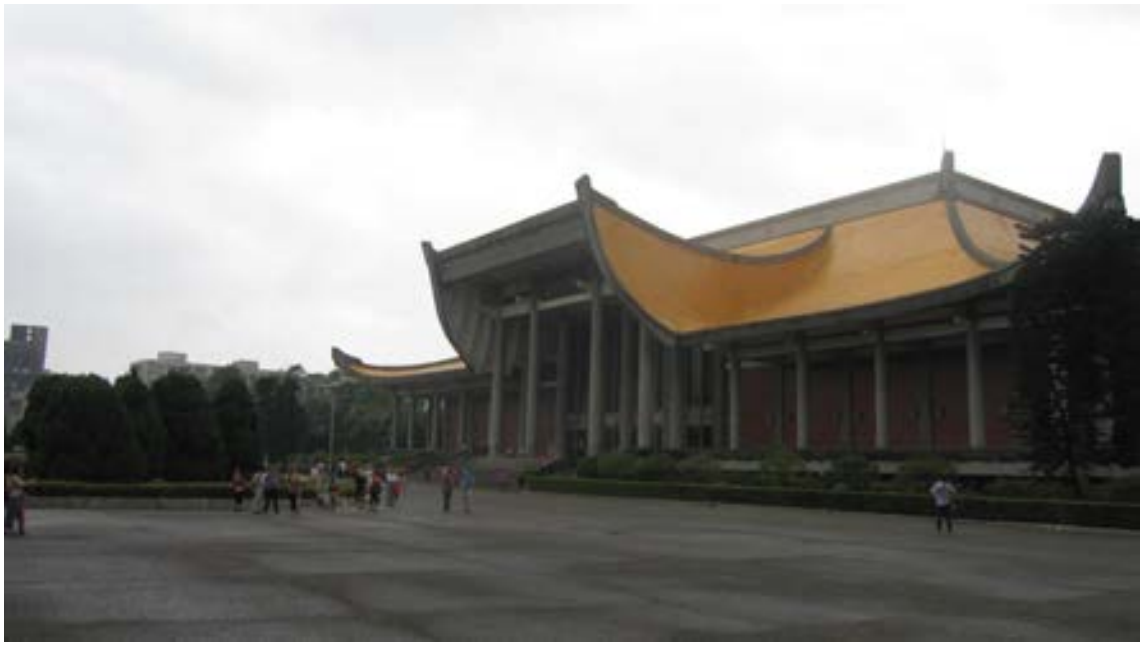
台湾の日本統治時代を調べてみると，後藤新平，児玉源太郎，新渡戸稲造，八田与一，杉浦茂峰，森川清治郎等，台湾に貢献し感謝されている人たちが多いことに気が付く．
これは陣地をどんどん増やしていく「囲碁の経営」をしたからではないかという印象をもった．

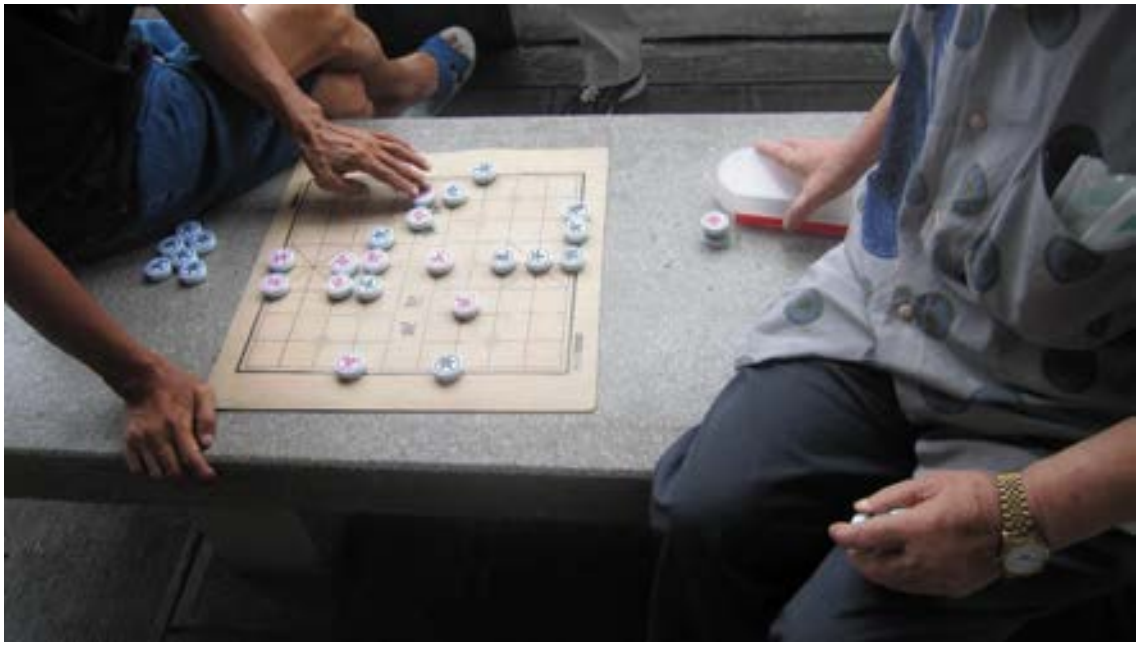
台湾ではオフィシャルに「日本植民地時代」ではなく「日本統治時代」とよぼうとしているとの説明を（台湾で）受けたことがある．

最近偶然，群馬県前橋市　赤城青少年交流の家を訪問する機会があったが，
ここで群馬県前橋市出身の羽鳥重郎（台湾総督府の医務官），羽鳥又男（台南市市長）のことが展示されていた．昨年，研究室の築地伸和君が台湾に出張したが，その報告書にあるように台湾に貢献し，感謝されているようだ．
https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2016/TJCAS2016report-tsukiji.pdf
https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2016/20160805tsukiji-taiwan.pdf

国立台湾大学の LSI テスト技術分野の黄俊郎先生からも，台湾は親日であることの話を聞いたことがある．国立台湾大学の前身の台北帝国大学は日本統治時代の「帝大」の一つであるようだ．

また，東日本大震災の際も台湾から日本への多くの義援金が集まったことはよく知られている．





台北車站
TAIPEI MAIN STATION

PHS
51

TAIPEI INTERNATIONAL

● 半導体技術・産業は新しい時代へ

時代の偉大な先駆者や功労者は，しばしば次なる世代の進歩や発展の阻害者なる
（ように見える）ことがよくある．世代交代はそれほど簡単ではない．

論語には
「後生畏るべし，焉んぞ来者の今に如かざるを知らんや」
とあるが，そのあとに実に厳しい言葉が続いている．
「四十五十にして聞こゆることなきは，これ亦畏るるに足らざるのみ」

かつてバイポーラアナログ回路の権威のため，CMOS 化が進まなかった．

アルバート・アインシュタインは，光電効果・光量子説でノーベル賞を得たにもかかわらず，
ニールス・ボーアの量子力学を「神はサイコロ遊びをされない」と厳しく批判した．

「紙上に兵を談ず」 中国戦国時代の趙の名将 趙奢は，息子の趙括を決して認めなかった．
「あれの兵法は口先だけだ．戦争とは生死のかかったものであるのに無造作に論じている．
任用されずに済めばよいが．もし趙括を将軍にすれば必ず負ける．」
敵の秦はそれを見抜き，間者を用いて「秦が恐れているのは趙括」の噂を流布．
趙括は将軍に任用され秦の名将 白起にあえなく敗れ戦死．趙は大敗し国力を失う．

が，半導体技術・産業は間違いなく新しい時代を迎えている．

「新しき葡萄酒は新しき皮袋に入れよ」（新約聖書）

● 謝　辞

学生の論文・発表のご指導をいただきました，アドバンテスト社　川端雅之様，浅見幸司様に感謝いたします.今回の柳田朋則君の旅費の一部は群馬大学大学院生海外派遣助成を受けています.

● 関係リンク

学会 HP

http://windy.ee.nthu.edu.tw/ITC-Asia-2017/HOME.html

http://www.semicontaiwan.org/en/

http://www.semicontaiwan.org/en/itc-asia

http://www.itctestweek.org/

http://www.ieee-ats.org/

http://ares.ee.ncu.edu.tw/ats17/index.php

http://www.itctestweek.org/itc-asia-coming-sept-13-15/

LSI テスト技術関係学会の出張レポート

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2017/VTSReport20170427am8.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2016/ATS2016report-shibuya.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2016/Report20161128pm4.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2016/20160722am9IMSTW.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2016/FTC75th2016-7-14rev2.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/warehouse/IMSTW20150703.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/warehouse/2011-09-UCLAkatho.pdf

台湾での学会の出張レポート

https://kobaweb.ei.st.gunma-u.ac.jp/warehouse/ATS2013report5.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/warehouse/ATS13-Wu_Minghui.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/warehouse/ATS13-Li_ensi.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/warehouse/2012-12-1taiwan-jin.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/warehouse/2012-12-1arakawa.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2016/TJCAS2016report-tsukiji.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2016/20160805tsukiji-taiwan.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2016/20160503am8.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2016/20160509am10.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2016/taiwan-report-higashino1.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/warehouse/APCCAS2012rev.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/warehouse/2012-05taiwan.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/warehouse/IMS3TW2012.pdf

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2017/ITC-Asia_rev2-1.pdf

数学者　ガロアは、一人の女性をめぐり決闘で 20 歳前に命を落とす。
が、決闘の前に自分の理論をノートに書き残し、後にその偉大な業績が認められる。
マルコポーロの東方見聞録は後世に大きな影響を与える。
書き残すことは重要であると思う。

大阪大学
先端アナログ技術セミナー

2012年1月23日
2012年9月16日rev
p.64 追加

デジタルアシスト アナログ技術

微細CMOSの強みを生かす回路技術

小林春夫

群馬大学大学院　工学研究科　電気電子工学専攻
〒376-8515　群馬県桐生市天神町1丁目5番1号
電話 0277 (30) 1788　FAX: 0277 (30)1707
e-mail: k_haruo@el.gunma-u.ac.jp

発表内容

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域１：　振幅連続、時間連続
  - 領域２：　振幅連続、時間離散
  - 領域３：　振幅離散、時間連続
  - 領域４：　振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

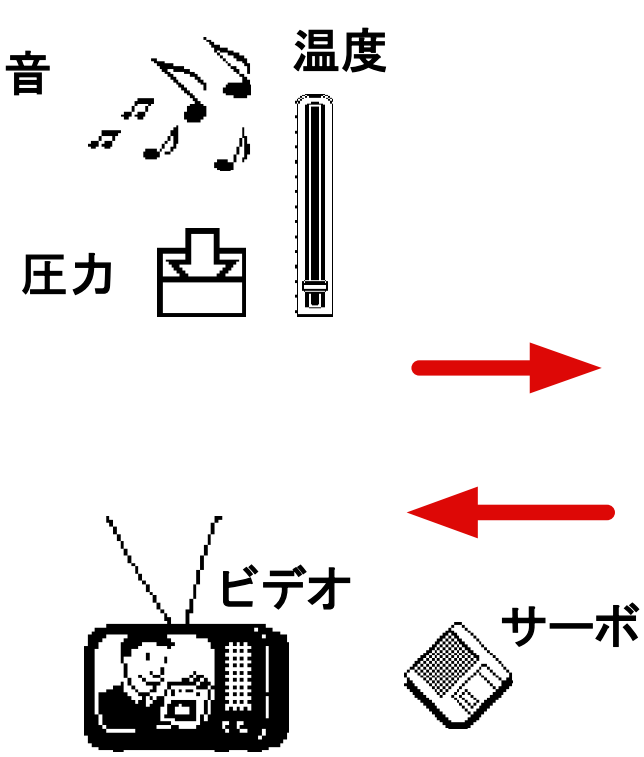
発表内容

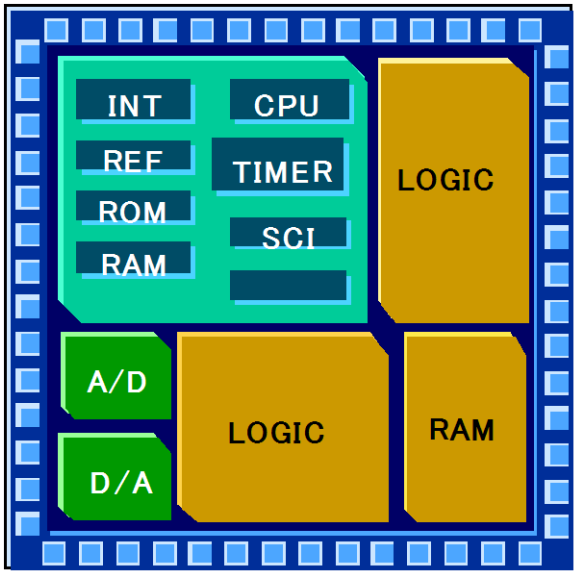
- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域１：　振幅連続、時間連続
  - 領域２：　振幅連続、時間離散
  - 領域３：　振幅離散、時間連続
  - 領域４：　振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

デジタル技術をささえる AD/DA変換器

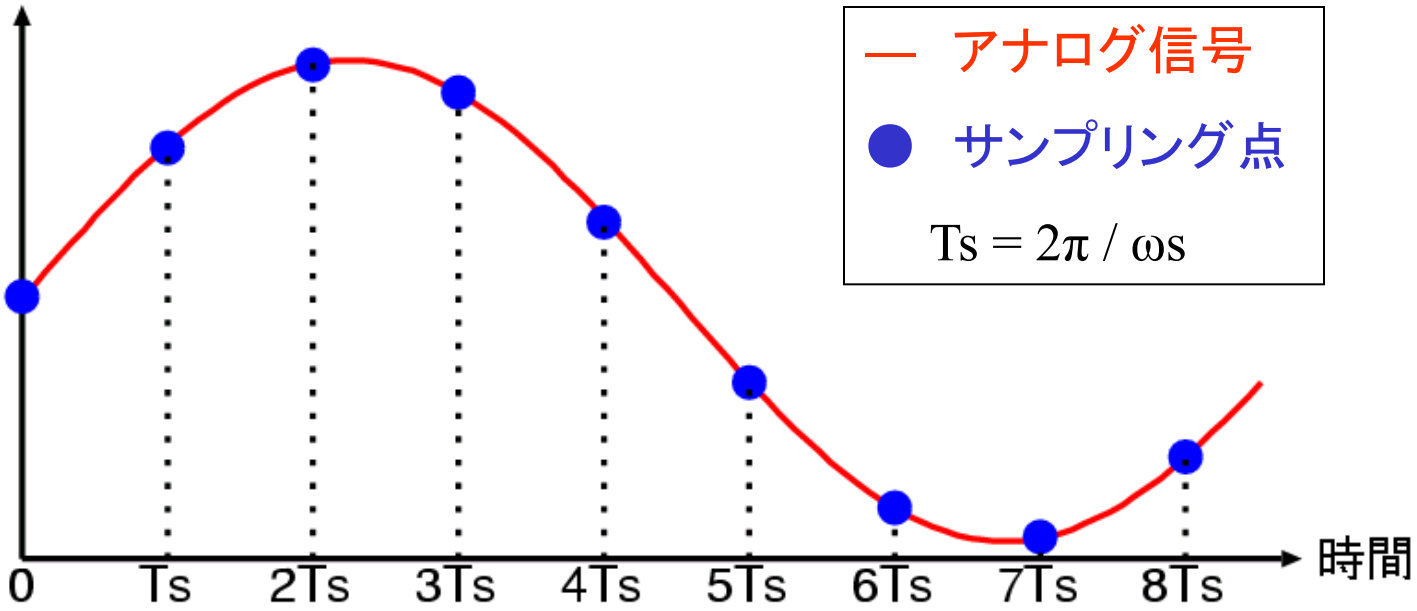
自然界の信号は
アナログ

LSIでの信号処理は
デジタル



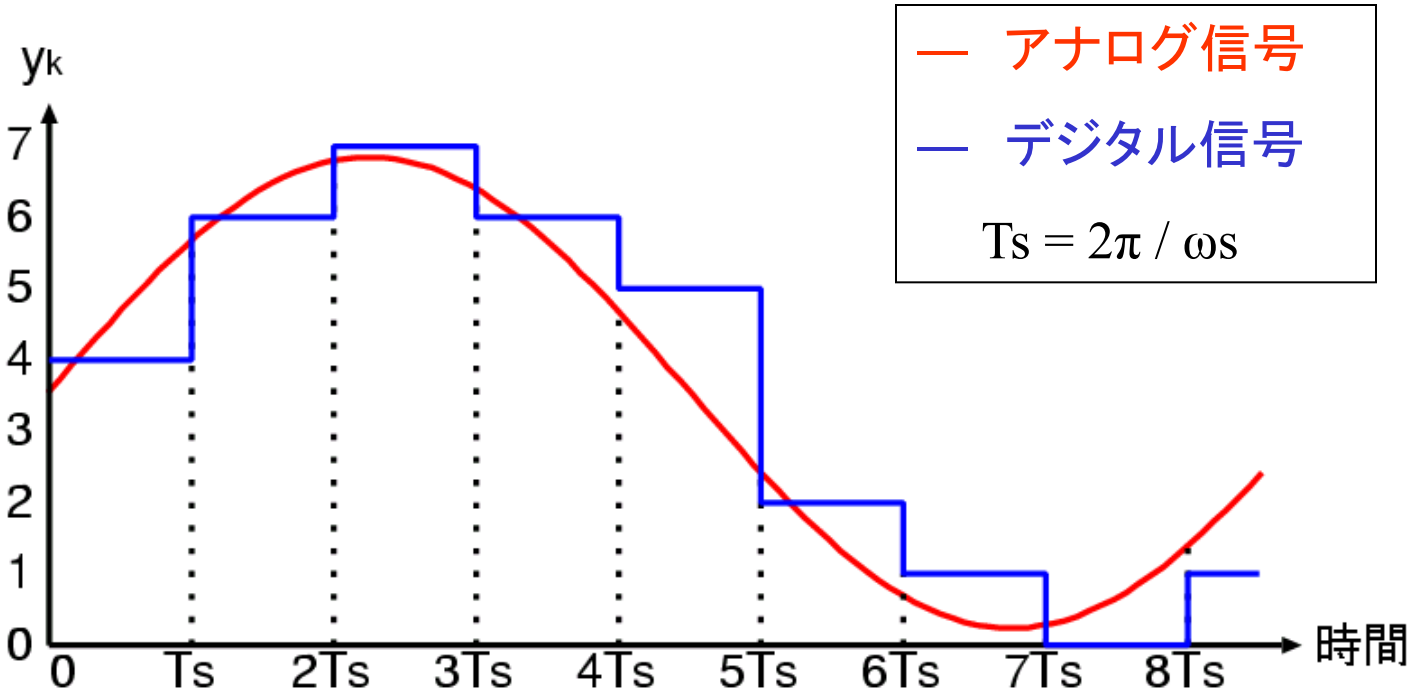


デジタル信号の特徴(1)
時間の離散化（サンプリング）



一定時間間隔のデータを取り、間のデータは捨ててしまう。

デジタル信号の特徴(2)
振幅の離散化（信号レベルの数値化）



デジタル信号はアナログ信号レベルを
四捨五入(または切り捨て)

究極は自然界はデジタル

「量子論を工学的に解釈すれば
自然界はデジタルである。」
（稲村實　群馬大学名誉教授）

半導体デバイスの微細化が進むにつれ
「自然界はデジタル」が
集積回路設計分野で見えてきつつある。

見方を変える必要がでてくる

よく言われている

「自然界はアナログ。
　デジタルはアナログの近似。」

は誤り。

Max Planck の量子論を工学的に解釈すると

「自然界はデジタル。
　アナログはデジタルの近似。」

（稲村實先生）

数学も見直す必要あり　？

微積分等の解析学(アナログの数学)は
物理学と密接に結びついている。

離散数学(デジタルの数学)を中心とし、
それと連続性をもった近似が
解析学であるべき。（？）

半導体デバイスのノイズ

電流：　電子群の平均的な移動

ノイズ：　電子が有限個、それぞれ独立した動き

半導体デバイスのノイズは
電荷の運び手がデジタルであるがゆえに生じる。

ノイズの解析式は、デジタルをアナログで
近似したもの

CMOS微細化で「自然界はデジタル」が見えてきている

MOS チャネル内の電子の有限個数が見えてきている。

MOSチャネル長が近未来に原子レベルに近づくことが外挿できる。

世界観を変えた研究

Max Planck：

アナログとデジタルの世界観を変える

「自然界はデジタルである」

Albert Einstein：

時間と空間の世界観を変える

「時間、空間は相対的である」

特定の学問･技術、それを用いた産業が発展する

アナログ回路の特殊なものがデジタル回路

↓

デジタルが急速に発展

デジタルの特殊なものがメモリ

↓

半導体メモリが急速に発展

（（元）アジレント　山田庸一郎氏）

さらに考察すれば

究極のデバイスはCMOS。
全てのデバイスはCMOSに収束する。

（東工大　松澤昭先生）

物理学の一分野にすぎなかった
エレクトロニクスは学問的･産業的に急速に発展

さらに考察すれば（続き）

デジタル回路での同期設計

数学、物理学の分野で線形を扱うもの
線形代数
ニュートン運動方程式
マクスウェル電磁気学方程式

物理学は線形なものを扱うので急速に発展した。

デジタル、CMOSはブラックホール

技術・産業の流れ:

- アナログをデジタルに置き換える。
- 化合物半導体、バイポーラトランジスタをCMOSで置き換える。

その逆は(ほとんど)ない。

計測制御機器とアナログ回路

計測器（電子計測器）

制御システム（ファクトリーオートメーション）：

⇒ アナログ回路は重要

例：

デジタルオシロスコープ内のAD変換器

アナログ電子回路に
計測制御技術が必要

微細半導体アナログIC, ミクスドシグナルIC

高性能化のために

計測技術、制御技術の考え方がより重要

チップ内計測制御技術

アナログ回路と計測工学

- ADC/DACのチップ内自己校正
  ⇒ 校正技術は以前から電子計測器で使用
- ADC/DACの非線形性、
  電源電圧、電流、温度、
  基板ノイズ、ジッタ・タイミングの
  “チップ内計測技術”がより重要。
- 計測した値に基づき、
  “チップ内制御・信号処理・校正”を行う。
- アナログ回路のテスト法・テスト容易化設計も
  重要。

アナログ回路と制御工学

- 微細CMOSではバイアス回路が重要

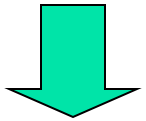
  バイアス電圧制御(regulation)
- 自動可変ゲインアンプ(AGC)
- アナログフィルタの自動調整
- 電源回路の制御
- 設計・解析手法：

  ラプラス変換、ステップ応答、ボード線図、
  ナイキスト安定判別等の線形システム理論

アナログ回路と計測・制御技術は密接な関係

現在のエレクトロニクスでのアナログ技術の位置づけ

- デジタルは偉大な技術。
- アナログ技術の理解はデジタル技術へのAppreciation（敬意）からはじまる。
- 現在要求されているアナログ技術はデジタル技術を生かすためのもの。



デジタル時代のアナログ技術

デジタル技術の発展は産業・社会を変えた

- アナログ: 連続信号 「坂道」
  デジタル: 0, 1 「階段」
- デジタルは 産業的に
  技術のコピーを容易化
  ⇒ キャッチアップ早い
  インターフェースを容易化
  ⇒ エレクトロニクス産業の
  水平分業化 （産業構造が変わる）
- デジタルにより 社会的に
  人は数値で管理されるようになった

発表内容

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域１：　振幅連続、時間連続
  - 領域２：　振幅連続、時間離散
  - 領域３：　振幅離散、時間連続
  - 領域４：　振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

低電源電圧でのアナログCMOS

２０００年８月

半導体メーカー　研究所訪問

0.35um CMOS, 3V の時代

研究所長さん

「CMOS微細化が進み
電源電圧がやがて1V近辺になると
アナログ回路設計が
難しくなってくるのではないか。」

なぜ RF CMOSか

携帯電話の送受信回路が
CMOS1チップ化

日本セットメーカー関係者

- RF CMOS の重要な点は、
  バイポーラRF 回路をCMOS で置き換える
  ことではない。
- RF回路もCMOS化することで
  デジタル、ベースバンドアナログ(ADC等)と
  1チップ化できることが最大のメリット。
- 1990年代前半に米国Fabless メーカーから
  提案された。

RF CMOS は高周波技術だけでは産業化できなかった

1990年代前半

日本メーカー:

CMOSは特性ばらつきが大きく産業化難。

Abidi 先生(UCLA):

米国Fablessメーカー　がRF CMOSを製品化。
CMOS特性のばらつき大を
デジタル補正技術を開発して
歩留まり90%以上に。
「従来のRF研究者は何もわかっていない。」

デジタルアシスト技術のテストの問題

ATEメーカー技術者

- 自己校正、冗長性による
  デジタルアシストアナログ回路の
  設計の立場からの議論はあるが、
  そのテストの問題をいう人はいない。
- LSIテスト現場では
  自己校正回路のテストの問題が顕在化してきている。

TI社のDigital Radio Processor
テスト容易化技術が多々使用されていることが
推測できる　(E. Obaldia, IEEE VLSI Test Symp. 2010)

Digitizing the Radio to the Antenna ? Will Radios Still Need Analog in 2010 ?
Organizer: A. Matsuzawa, M. Huang,
Moderator: P. Kignet
Panelists: T. Arnaud, Q. Huang, C.-M. Hung, H. Kobayashi, I. Mehr, S. Tanaka
Analog Rump Session, Symposium on VLSI Circuits, Kyoto (June 2005).

Digital-assisted analog technology

(Analog performance improvement
supported by digital technology)

- Just "RF circuit technology" is not enough.
- In SOC, powerful CPUs are available.
- The first chip should work.
- CMOS scaling generation independent system is desirable.

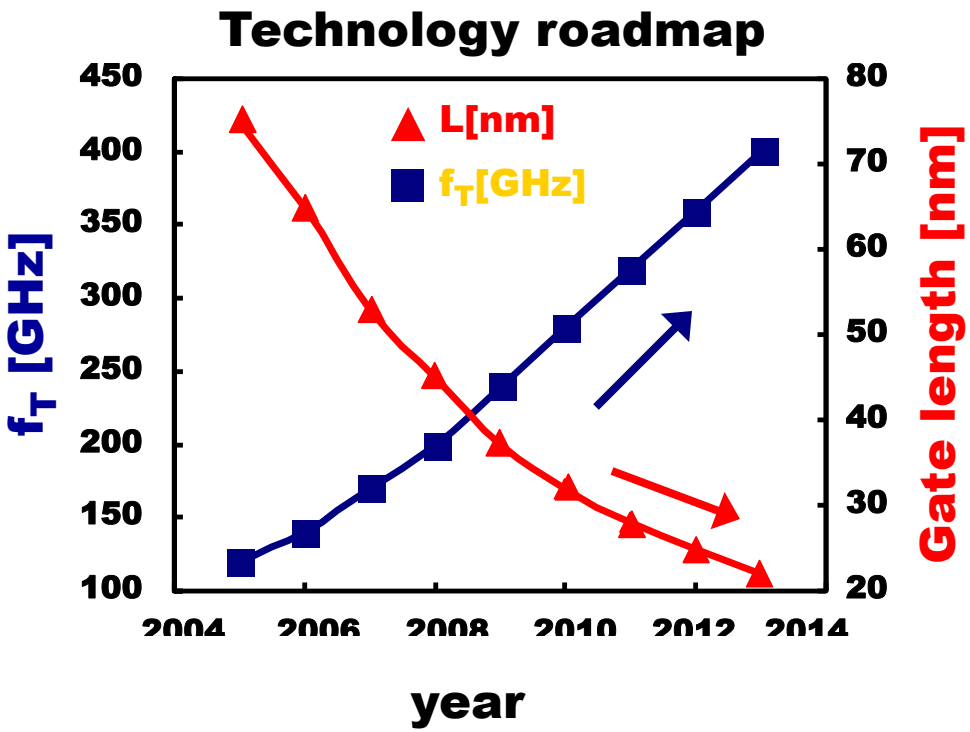
Digital calibration and
dynamic element matching techniques
will realize digital-rich analog-minimum radio system.

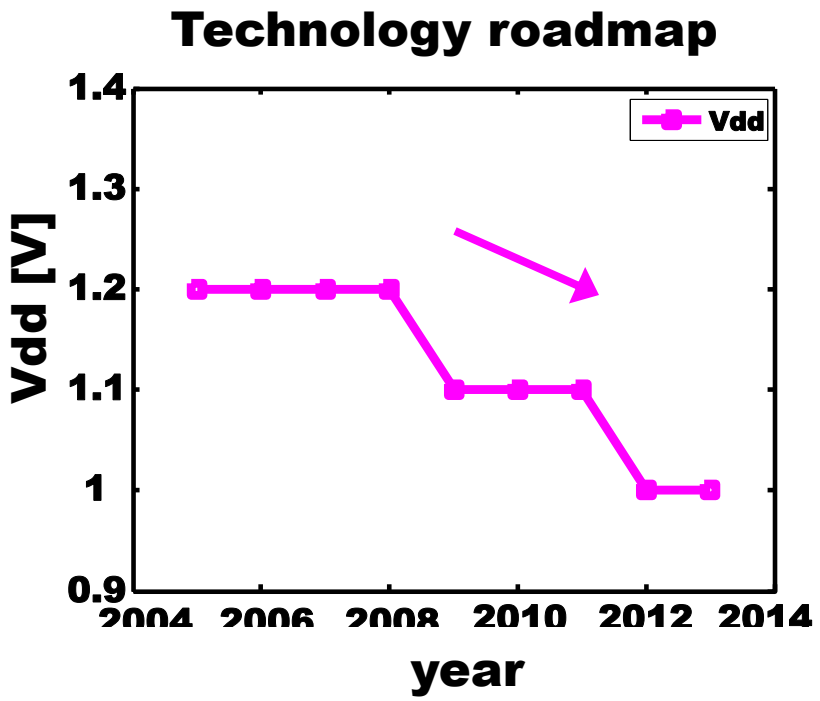
Signal processing and control theory people are from Jupiter.

発表内容

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術　(私論)
  - 領域１:　振幅連続、時間連続
  - 領域２:　振幅連続、時間離散
  - 領域３:　振幅離散、時間連続
  - 領域４:　振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

半導体はナノの時代へ





- **CMOS**プロセス微細化 ⇒ 高速動作 （時間領域：分解能向上）

耐圧低下 **(Vdd**→小**)** , ドレイン抵抗→ 小

ナノCMOSでのアナログのパラダイムシフトの必要性

- 近年、LSIの超大規模化・超微細化

- デジタル回路
  - ・チップ面積縮小
  - ・高速動作
  - ・低消費電力

必ずしも微細化の恩恵を受けるわけでない

- 従来アナログ回路
  - ・素子ばらつきの増大
  - ・低電圧化によるSNR劣化

- ・短チャネル効果
- ・狭チャネル効果
- ・スレッショルド電圧ミスマッチ
- ⋮

半導体プロセスと回路
― 目的と手段 ―

「デジタルは半導体プロセス微細化のトレンドに適合。
アナログは適しているとは限らない。」

↓

半導体ロードマップの呪縛にかかった発想・表現

半導体プロセスの微細化はデジタルの低消費電力・
高速・高集積化・低コスト化のために行う。
デジタルでメリットなければ半導体微細化をする理由なし。

↓

微細化プロセスでもデジタルは必ず動く、高性能・低コスト

デジタル･アシスト･アナログ技術

CMOS微細化にともない

⇒ デジタルは大きな恩恵

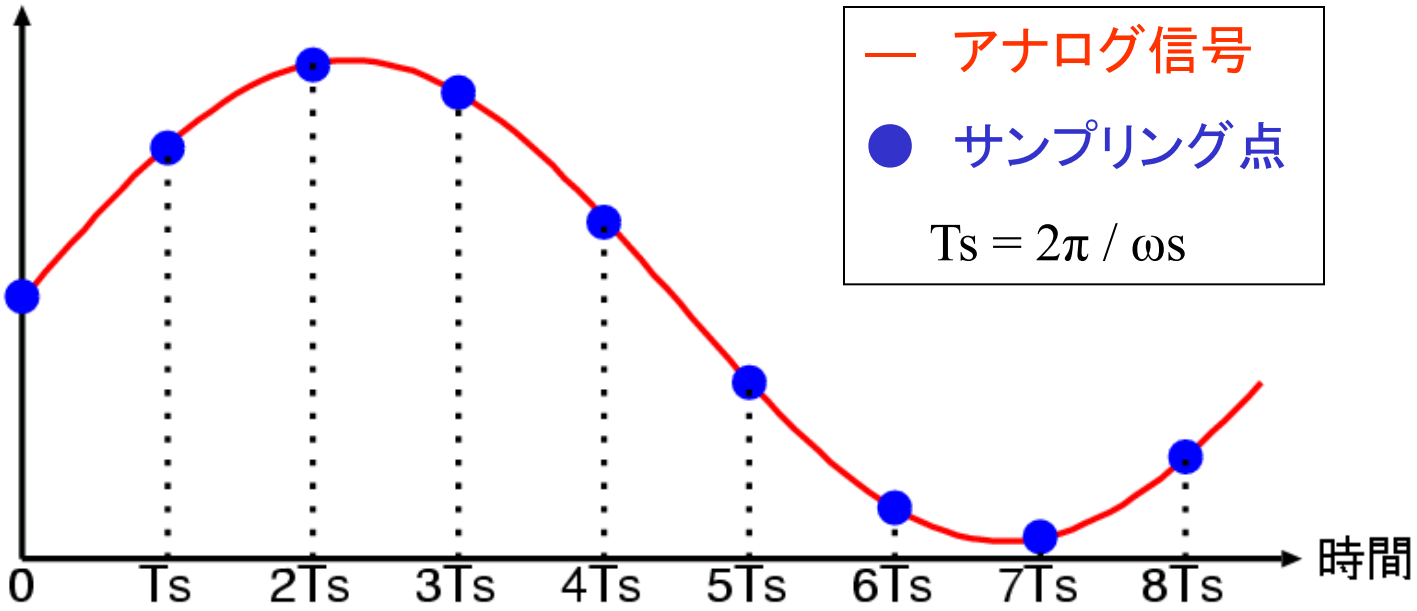
高集積化、低消費電力化、高速化、低コスト化

⇒ アナログは必ずしも恩恵を受けない

電源電圧低下、出力抵抗小、ノイズ増大

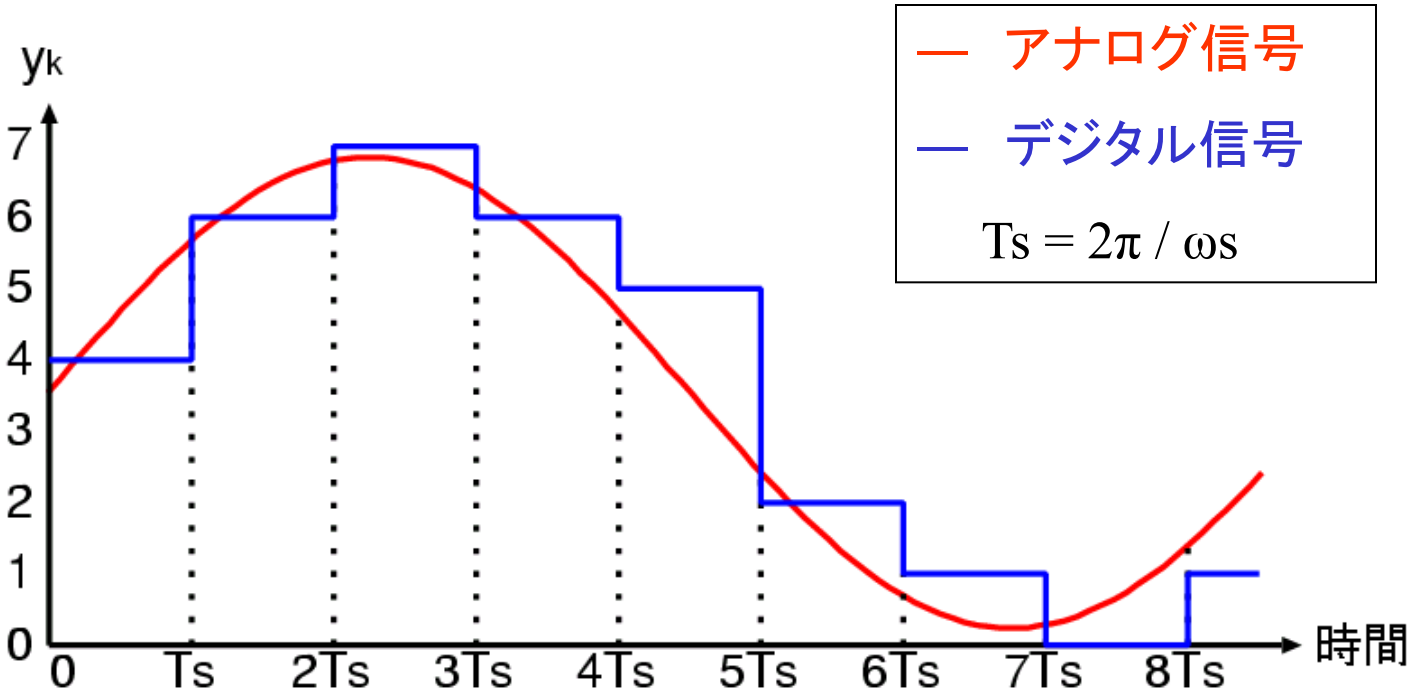
- 「デジタル技術を用いて
  アナログ性能向上する技術」が重要
- 「デジタルリッチ･アナログミニマムな構成」が重要
- SOC内μController はPAD程度のチップ面積

デジタル信号の特徴(1)
時間の離散化（サンプリング）



一定時間間隔のデータを取り、間のデータは捨ててしまう。

デジタル信号の特徴(2)
振幅の離散化（信号レベルの数値化）



デジタル信号はアナログ信号レベルを
四捨五入(または切り捨て)

More Moore の
アナログ

回路技術の4つの領域

	時間　連続	時間　離散
振幅 連続	領域1 アナログ	領域2 スイッチドキャパシタ サンプリング回路
振幅 離散	領域3 TDC、PWM	領域4 デジタル

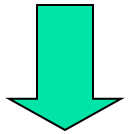
領域1：　　バイポーラ、化合物が得意
領域2，3，4：　CMOSが得意

4つの領域　全てを用いるのが　ナノCMOSアナログ回路技術

ナノCMOS 時代の新アナログ

微細CMOSでアナログ高性能化

- 微細デジタルCMOS
- 4つの回路領域を全て用いる
- デジタルリッチ、高速サンプリング、時間領域
- 回路、設計手法、検証手法、テストを
  デジタル的に行う



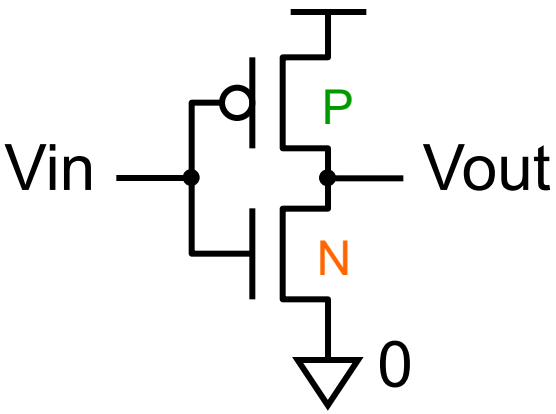
- 小チップ面積、低消費電力、高性能化
- 設計容易化
- プロセス・ポータビリテイ、スケーラビリテイ
- 初回の試作で動作

発表内容

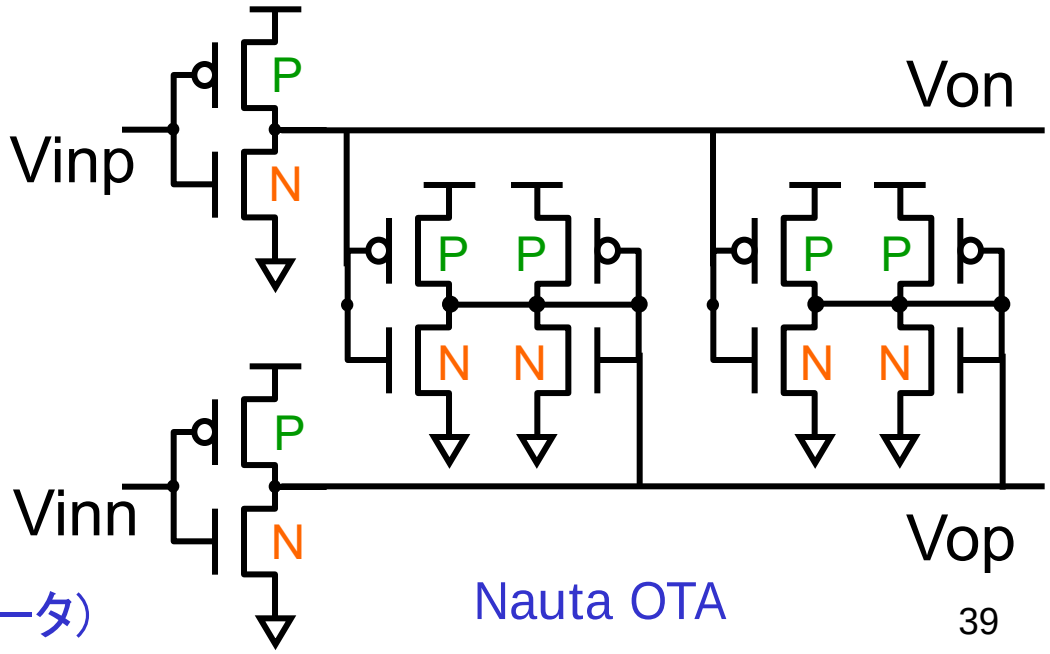
- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域１：　振幅連続、時間連続 (純粋アナログ回路)
  - 領域２：　振幅連続、時間離散
  - 領域３：　振幅離散、時間連続
  - 領域４：　振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

純粋なアナログ回路
（領域1： 振幅連続、時間連続）

- RFアナログ回路でもトランジスタレベルでは
  標準CMOSロジック回路に収束していく
  - インバータ型演算トランスコンダクタンス増幅回路（Nauta OTA)
  - 様々なRF 回路



CMOS標準ロジック(インバータ)



Nauta OTA

MOSの全ての動作領域を使用

飽和領域（２乗特性領域）

速度飽和領域

線形領域

サブスレショルド領域

微細CMOSは素子特性マッチングに有利に働く -ある半導体メーカー技術者 -

- 同じチップ面積なら微細CMOSのほうが高度な製造装置使用のためマッチングが良くなる
- ミスマッチを補正するための余分な回路が不要
- 実測でも検証

アンチスケーリングアナログ技術

デジタルアシストと別のアプローチ

「智者の慮は必ず利害に雑(まじ)う」 孫子

- 単に容量、トランジスタのサイズを大きくする。
- R，C等のばらつきの小さいプロセスを使用する。
- 微細CMOSでは良い製造装置を使用するので
  ミスマッチは小さくなる。

従来手法の延長であるが

- Time-to-Market が短くなる。
- 思いもしないトラブル発生の確率が小さい。

Best ではないかもしれないが現実的選択の一つか。

発表内容

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域１：　振幅連続、時間連続
  - 領域２：　振幅連続、時間離散
  - 領域３：　振幅離散、時間連続
  - 領域４：　振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

ナノCMOSでのサンプリング技術

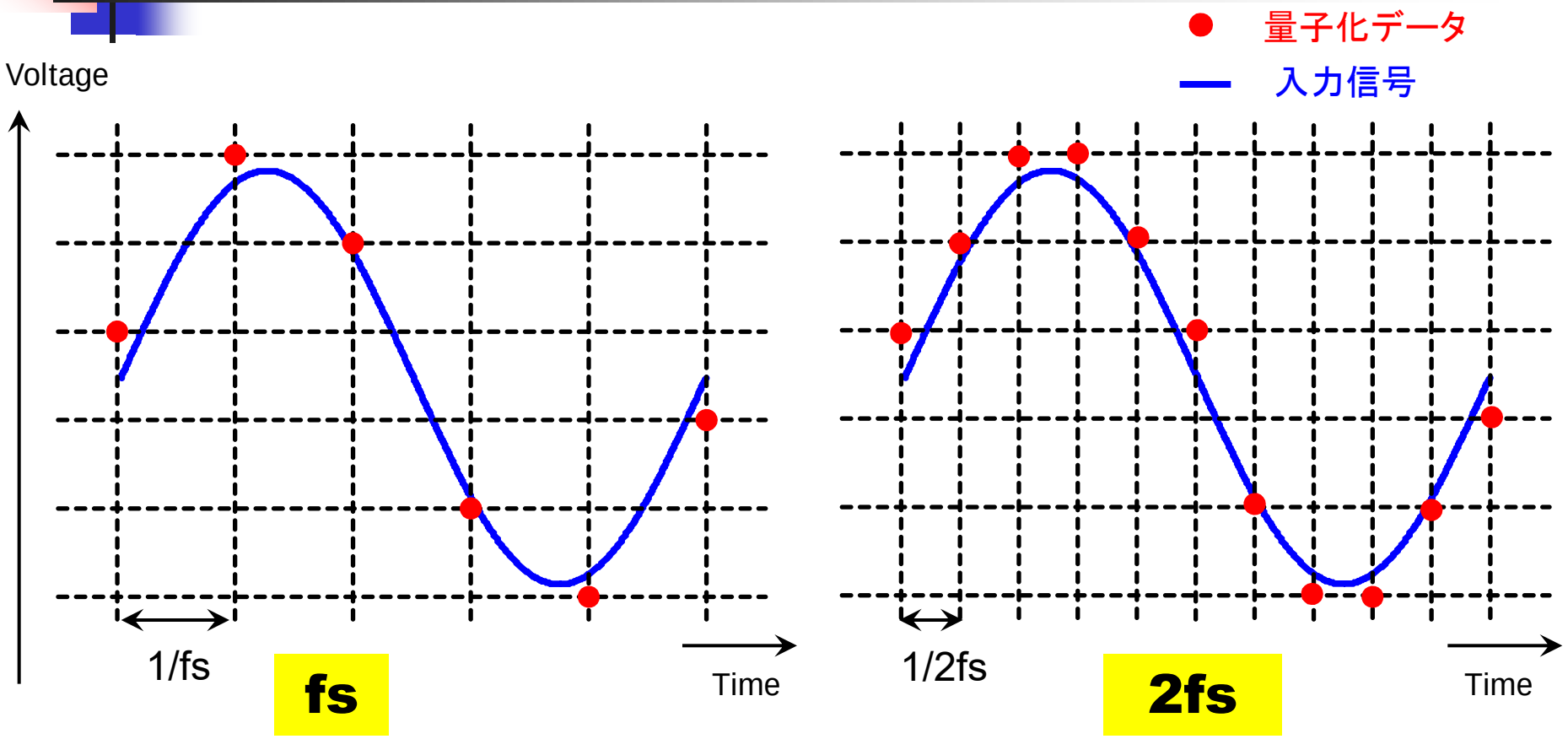
（領域２：　振幅連続、時間離散）

ナノCMOS FETの余裕ある高速特性、高周波特性を
生かす設計が重要。

高周波回路
「ナノCMOSを用いたRF回路ではシステム仕様に
比べてトランジスタ高周波特性（fT）に余裕がある」
（東京工業大学　石原昇先生）

高速サンプリングにより
　電源ノイズ、基板ノイズ、量子化ノイズ、ジッタ等の
　折り返しノイズ低減
　アナログフィルタの簡単化

オーバーサンプリング
- 時間領域 -



オーバーサンプリングにより入力信号
の再現性が高まる

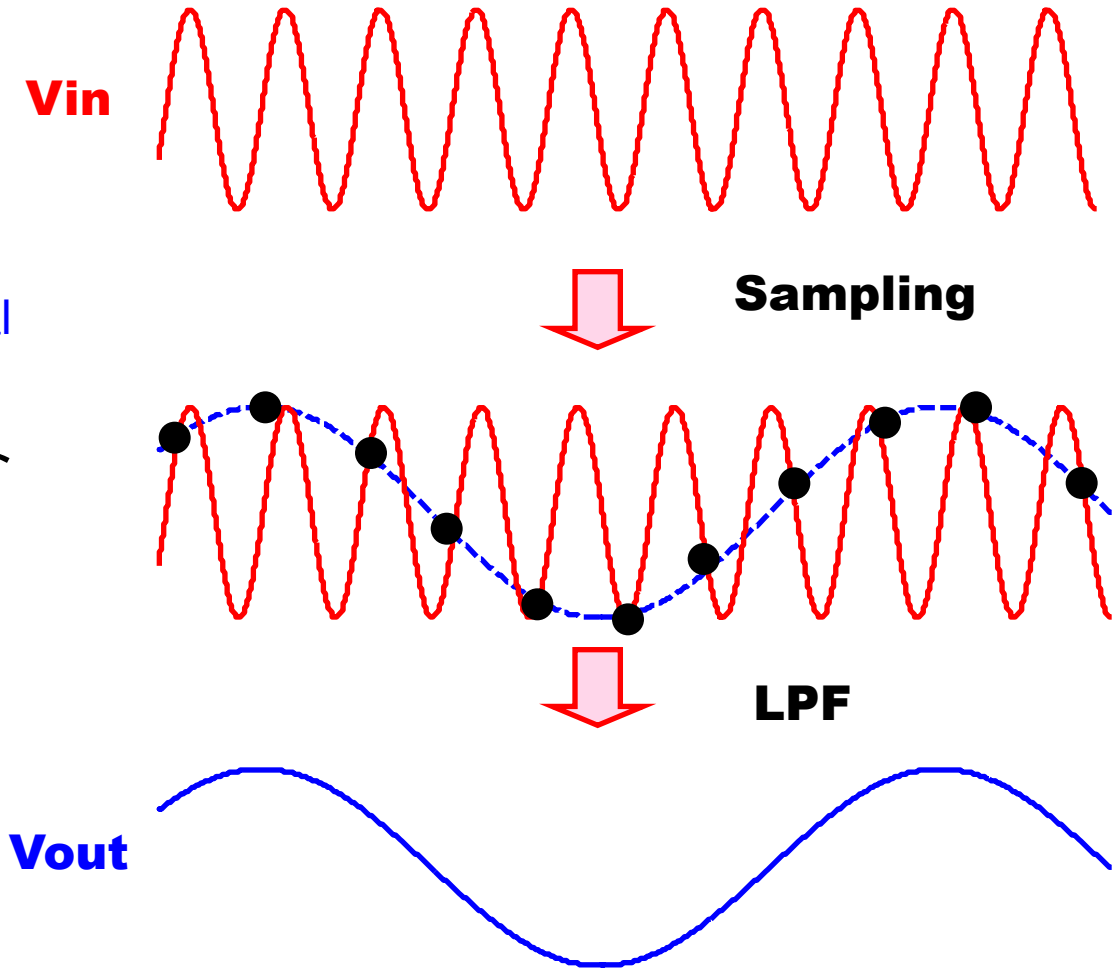
サンプリング・ミキサ

ダウンサンプリング　- 時間領域 -

Down-sampling

RF signal ⇒ Baseband signal

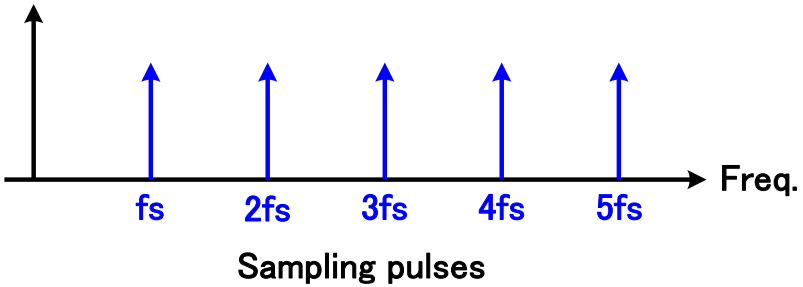
LPFで高周波成分をカット



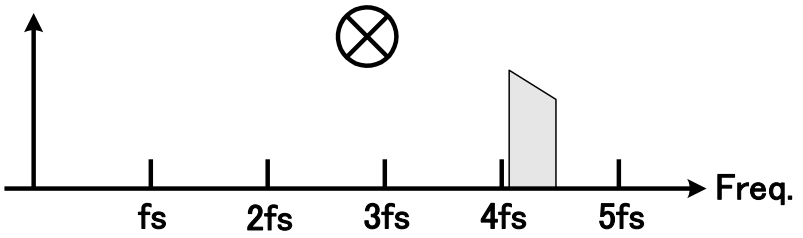
サンプリング・ミキサ

ダウンサンプリング　- 周波数領域 -

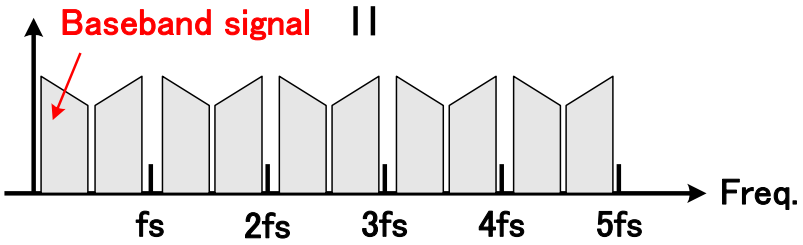
Frequency conversion



Sampling pulses

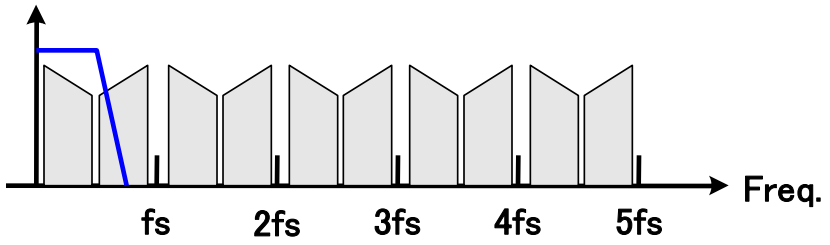


RF signal

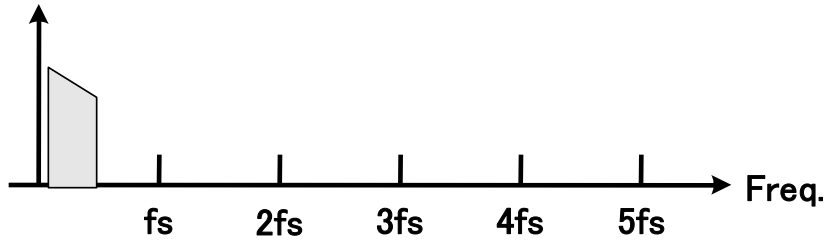


After sampling

Band selection

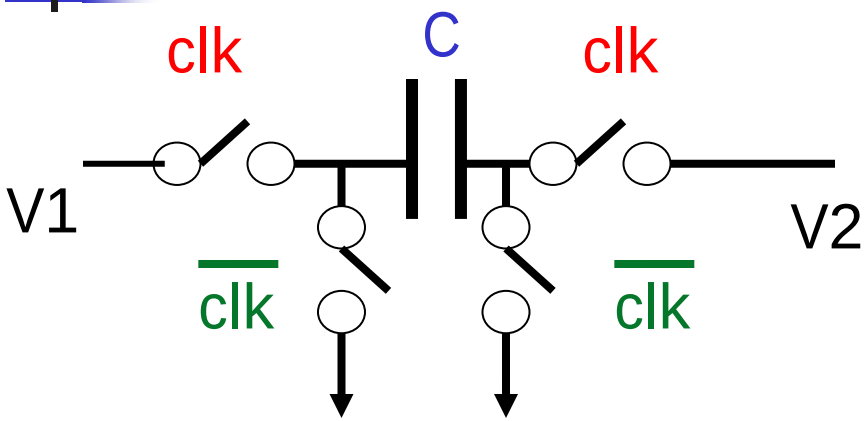


Lowpass filter



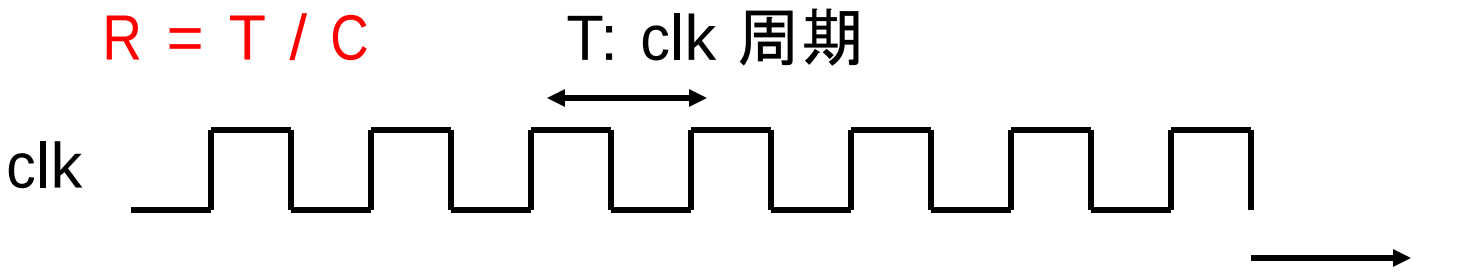
After filtering

スイッチド・キャパシタ回路

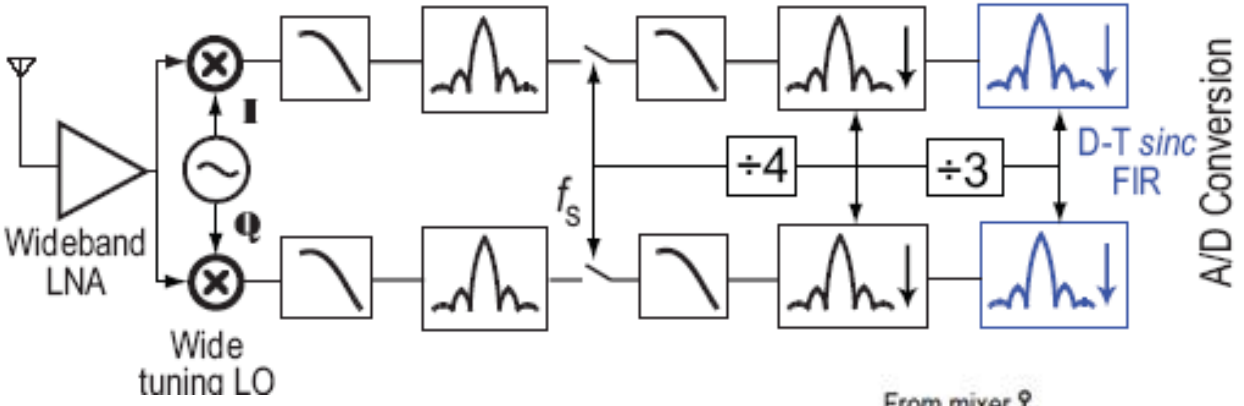


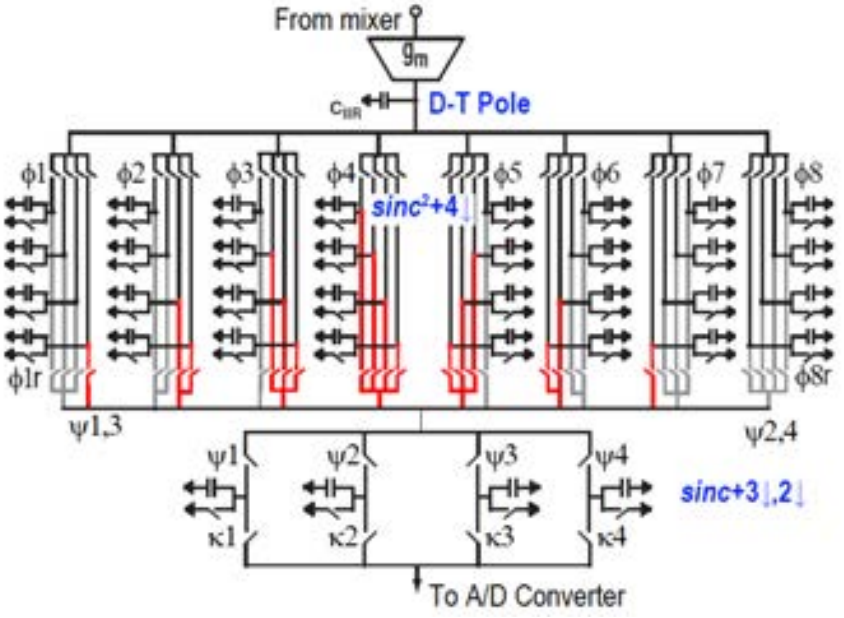
R = T / C

- 容量 C と スイッチで等価的に抵抗 R を実現
- MOSスイッチ使用
- バイポーラでは実現困難
- 米国カルフォルニア大学の大学院生が考案
- 多くの製品に使用。



ソフトウェア無線用受信機（TI社、UCLA）





- 初段でキャリア周波数程度の高速サンプリング
- プログラマブル・アナログ・サンプリング・フィルタ
- マルチレート信号処理
- 周波数領域（伝達関数）と時間領域（畳み込み積分）

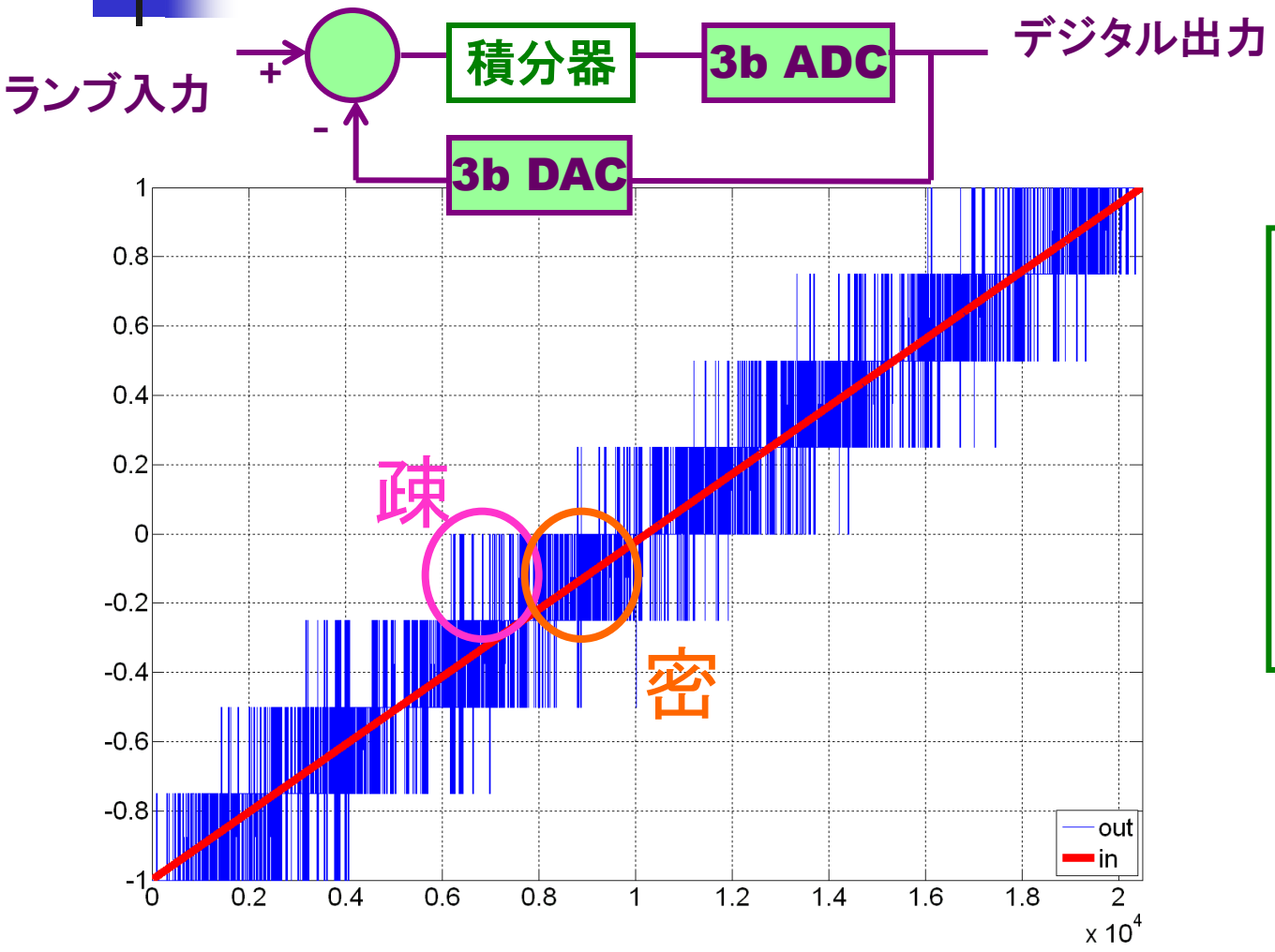
デルタ-シグマAD/DA変調技術

- アナログ最小、デジタルリッチな構成
- スピードを精度に変換
- 高精度なデバイス、回路不要

ナノCMOSで高精度なADC/DACを
実現するのに適した構成

経験則：デルタシグマ変調技術を使うとうまくいく
- DC-DC変換器制御
- 完全デジタルPLL
- デルタシグマTDC

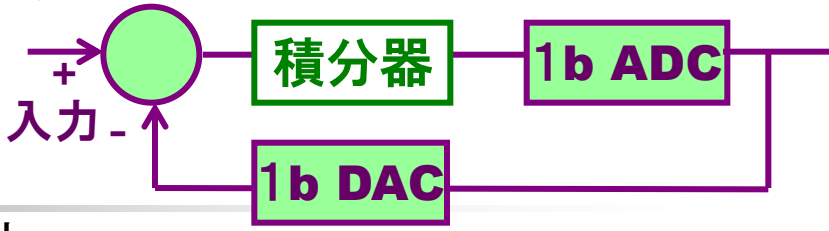
デルタシグマ変調による高精度化

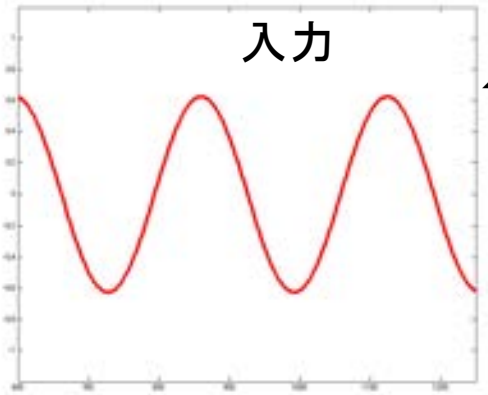


内部のADCは低分解能

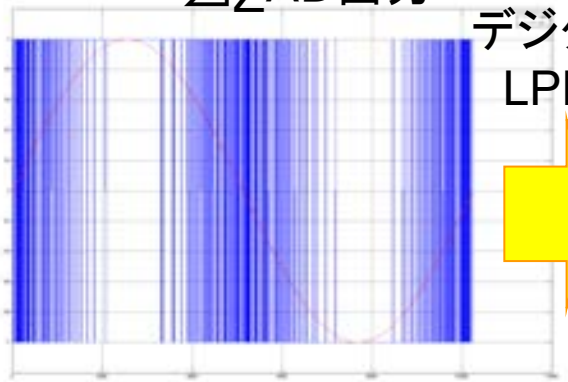
疎密により
より細かい
デジタル値を
表現できる

デルタシグマAD変調器の入出力波形

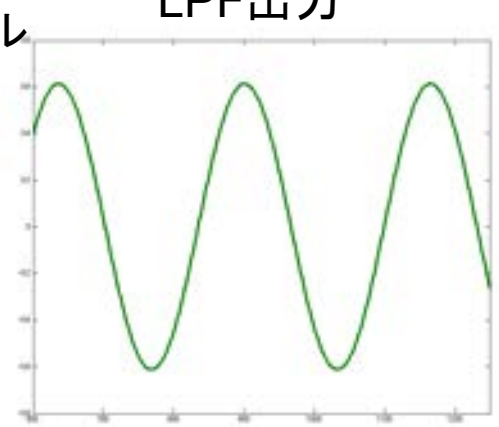


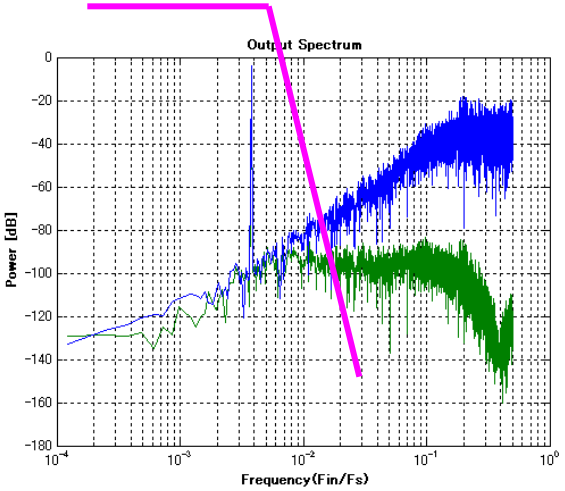


⊿∑変調



デジタル
LPF

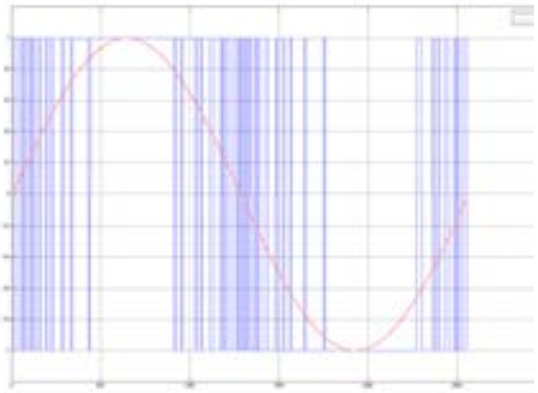




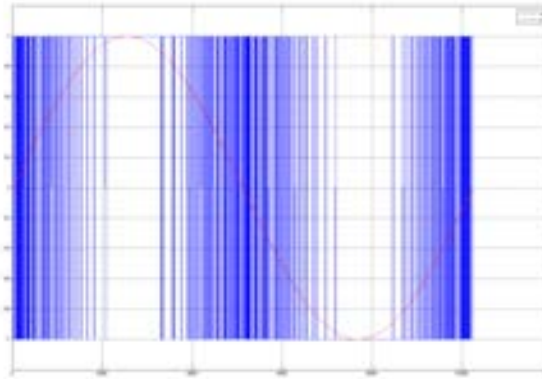
PDM（パルス密度変調）
↓
フーリエ級数展開
↓
高周波成分　大

ローパスフィルタ
↓
高周波成分(ノイズ)除去
↓
元信号　復元

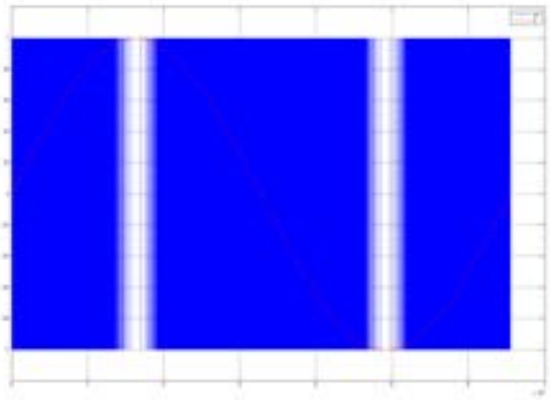
高速サンプリングによる高精度化



OSR=2^8



OSR=2^10



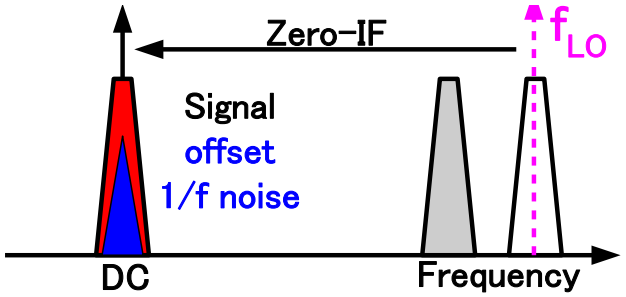
OSR=2^16

OSRが大きいほどON,OFFの回数が増える
⇒細かい値が表現可能。

OSR: OverSampling Ratio （オーバーサンプリング比）

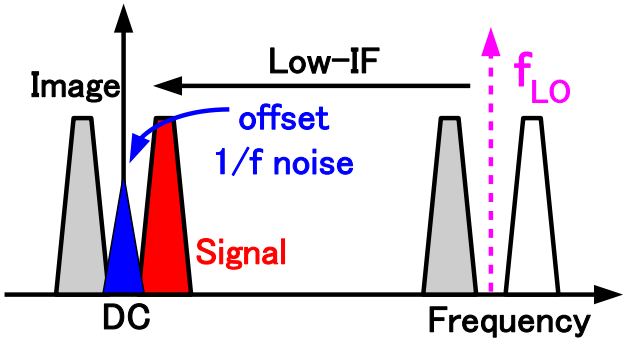
受信機方式の比較

ダイレクト・コンバージョン受信機



- RF → ベースバンド
- Zero-IF
  ⇒ イメージ成分は生じない
- DCオフセット、1/fノイズ 影響大

Low-IF受信機



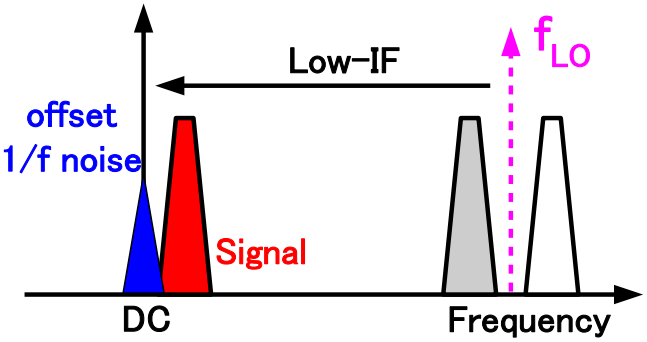
- RF → Low-IF
- イメージ成分もAD変換

⇩

- 消費電力の無駄

⇩

- 複素バンドパスΔ∑AD変調器
  その問題を解決



複素信号処理
Complex signal is NOT complex

物理的に「複素信号」は存在しない。

I, Q の2つの信号を

V = I + j Q

と数学的に表現

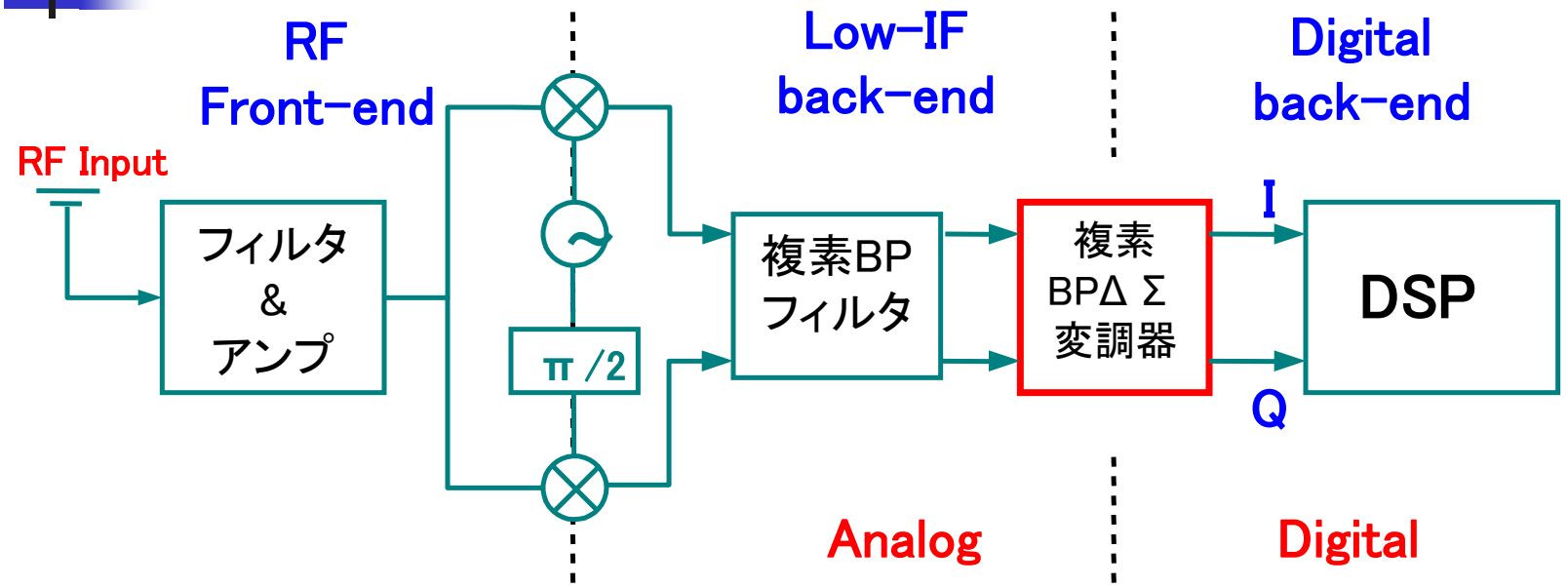
⇒ 理論的に見通しがよくなる。

I: In-phase (同相信号)

Q: Quadrature phase (直交位相信号)

複素バンドパスΔΣAD変調器を用いた低IF受信機

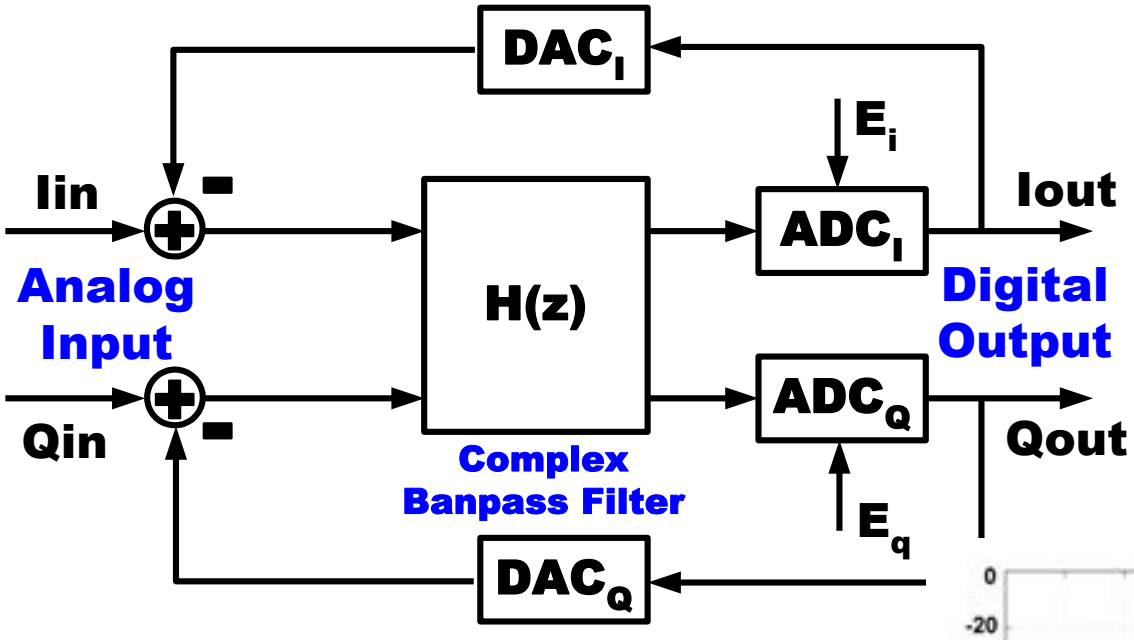
携帯電、無線LAN、ブルートゥース用



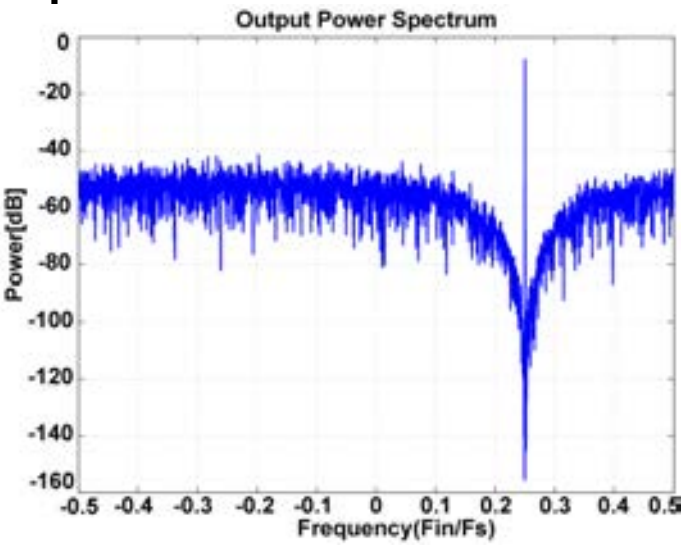
- イメージ成分をAD変換しない
- 低消費電力

⇒ 複素信号処理、ダイナミック・マッチングにより実現

複素バンドパスΔΣAD変調器のブロック

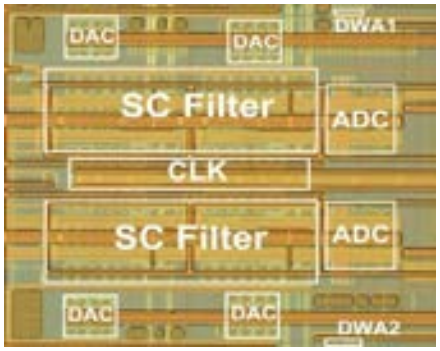


$$I_{out} + jQ_{out} = \frac{H}{1+H}(I_{in} + jQ_{in}) + \frac{1}{1+H}(E_i + jE_q)$$

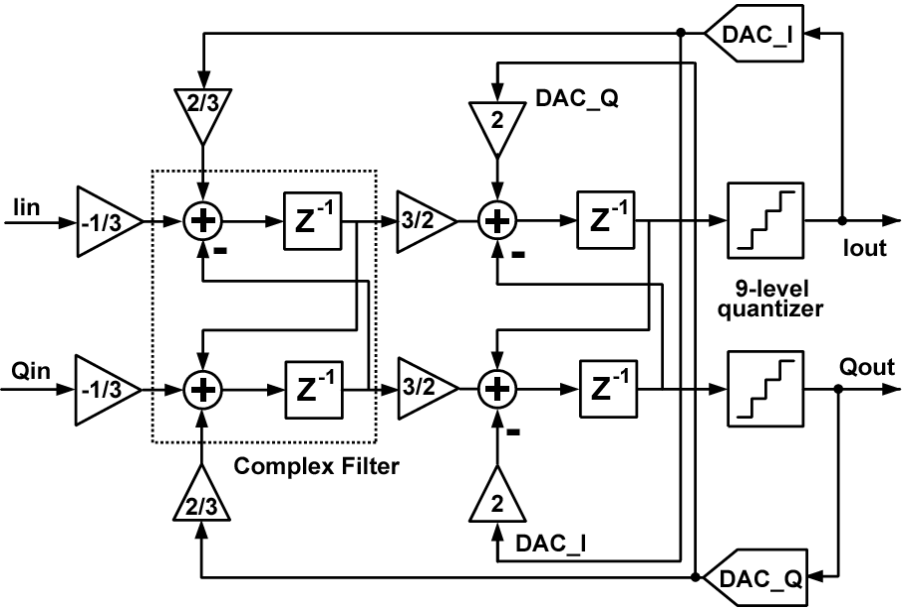


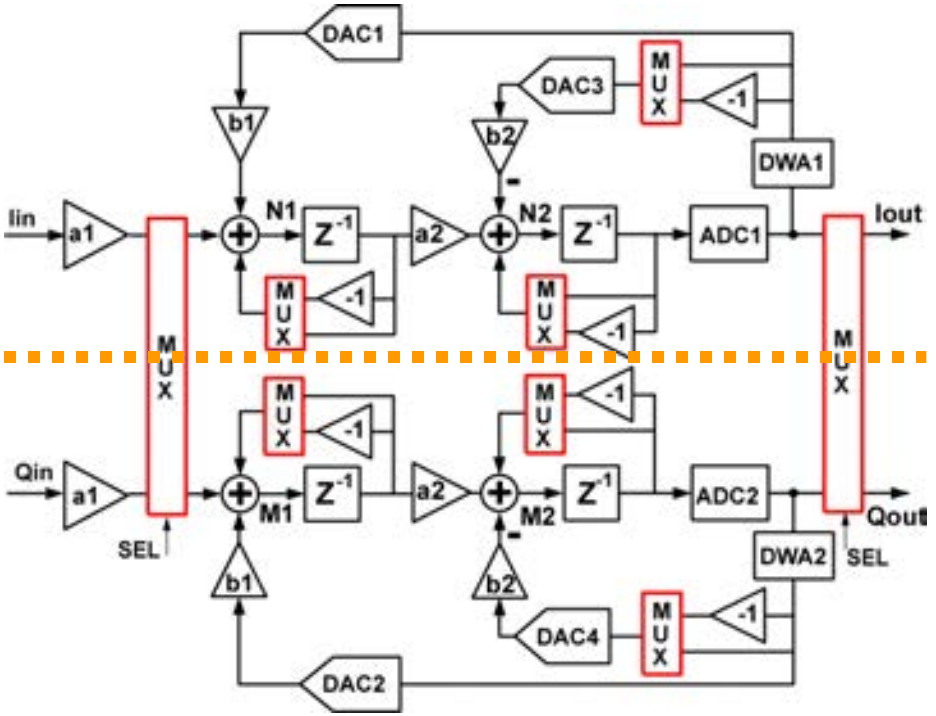
複素バンドパス・ノイズ・シェープ

複素バンドパスΔ∑AD変調器の内部構成



チップ写真





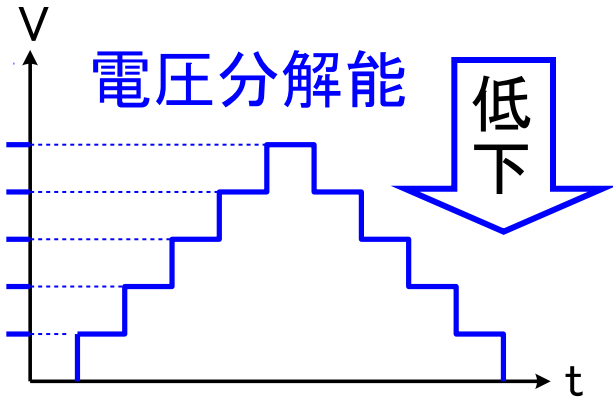
- I、Q信号は上下の経路を交互的に使用
  I、Q経路間ミスマッチの影響を軽減
- マルチビットDACのダイナミック・マッチングによる線形化

発表内容

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域１：　振幅連続、時間連続
  - 領域２：　振幅連続、時間離散
  - 領域３：　振幅離散、時間連続
  - 領域４：　振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

時間領域アナログ回路
（領域３： 振幅離散、時間連続）

- CMOSの微細化、電源電圧の低下
  - Vdd→小 （1V以下）
  - スイッチング時間→高速
    （数十ピコ秒）

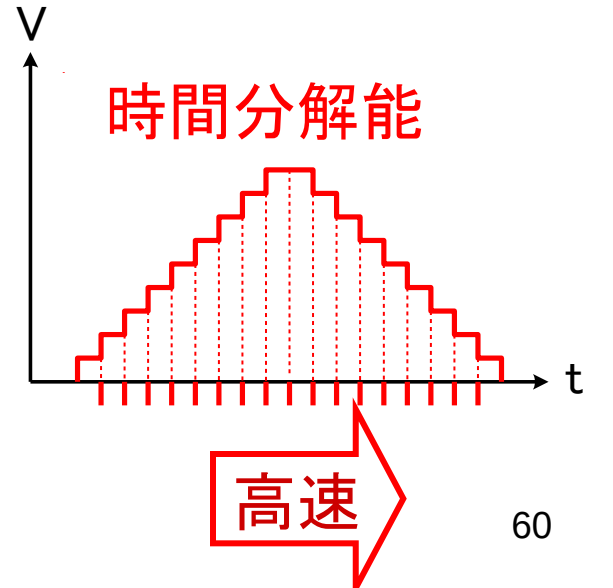


- 微細CMOS高性能化のためには

アナログ信号での電圧分解能

⇩

デジタル信号端遷移の時間分解能



2名のパイオニア、中心人物

- CMOS TDC 回路の考案者

  日本人の高エネルギー加速器実験の研究者

  新井康夫　氏

  1988年　VLSI Circuit Symp にて発表

- All Digital PLL の考案者

  Bogdan Staszewski 氏　(元　TI社）

  同社にてDigital Radio Processor のプロジェクト推進

「微細MOSにては、
時間分解能は電圧分解能より優れている。」

「時間」を信号として積極利用は常識をはずれることに注意

Lateral Thinking：水平思考

- デジタル回路でトラブルのは
  メモリインターフェース回路
  タイミング関係
- アナログ回路で難しいのは
  信号の時間遷移
  高周波特性

「回路で時間軸の設計は難しい」のが常識

時間領域回路の特徴
ー　電圧、電流とは異なる　ー

- リング発振回路を利用可
- 基準信号 fref から正確に
  fref/2, fref/4, ...の信号を生成可能
  （電圧Vref から正確に Vref/2, Vref/4, ..
  は生成は難しい。ADC/DAC設計では重要。）
- クロック同期 ⇒ キリヒホッフの法則に対応
- 時間差は増幅できる（時間差増幅回路:付録参照）
- 時間は保持（hold)が困難
- ジッタ、位相ノイズ：　難しい課題

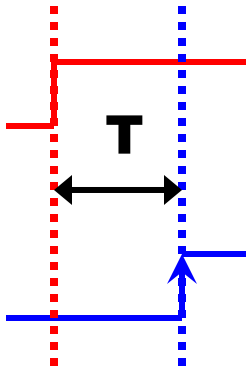
時間領域回路の特徴 (2)
ー　電圧、電流とは異なる　ー

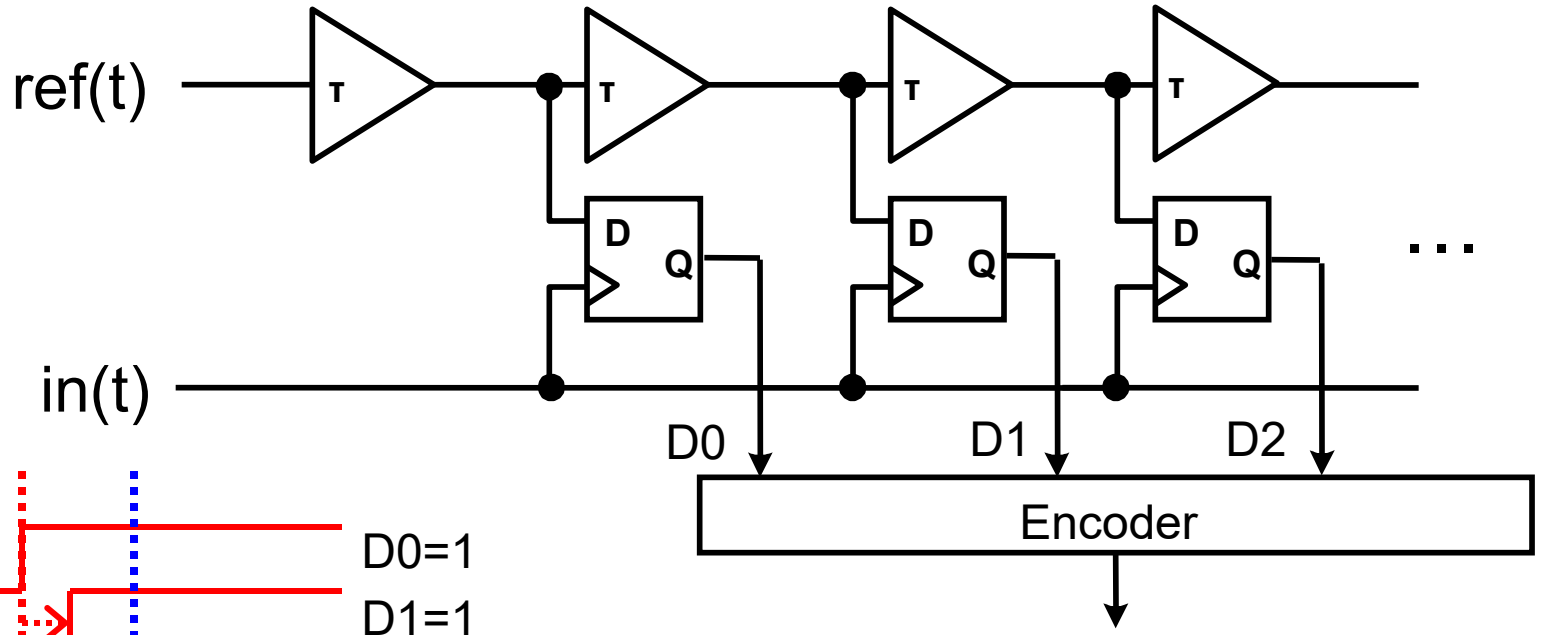
- 電圧領域: 使用できる電圧は電源電圧まで。
  時間領域:　時間は無限に続く
  ⇒　ダイナミックレンジを無限大にできる
  積分型ADC，ΔΣADCが高分解能化できる理由

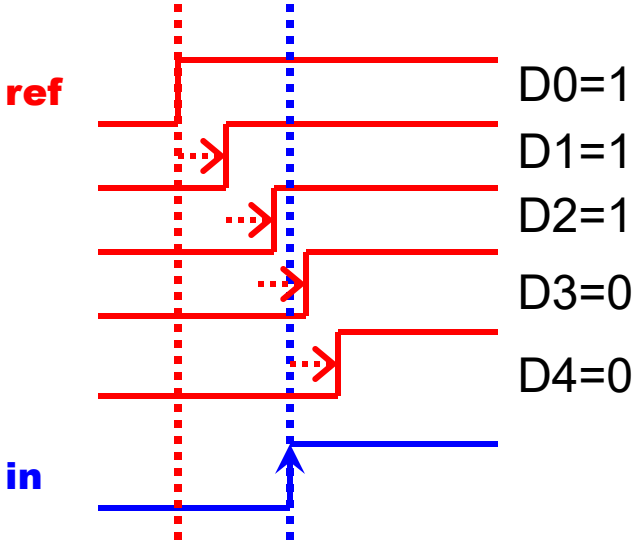
- 時間領域アナログ回路:　時間方向に情報をもつ
  しかし振幅は2値（Vss, Vdd)
  ⇒　デジタル回路で構成できる。
  ただし遅延の制御・調整・補正が必要。

タイムデジタイザ回路（TDC）

―時間をデジタル計測―





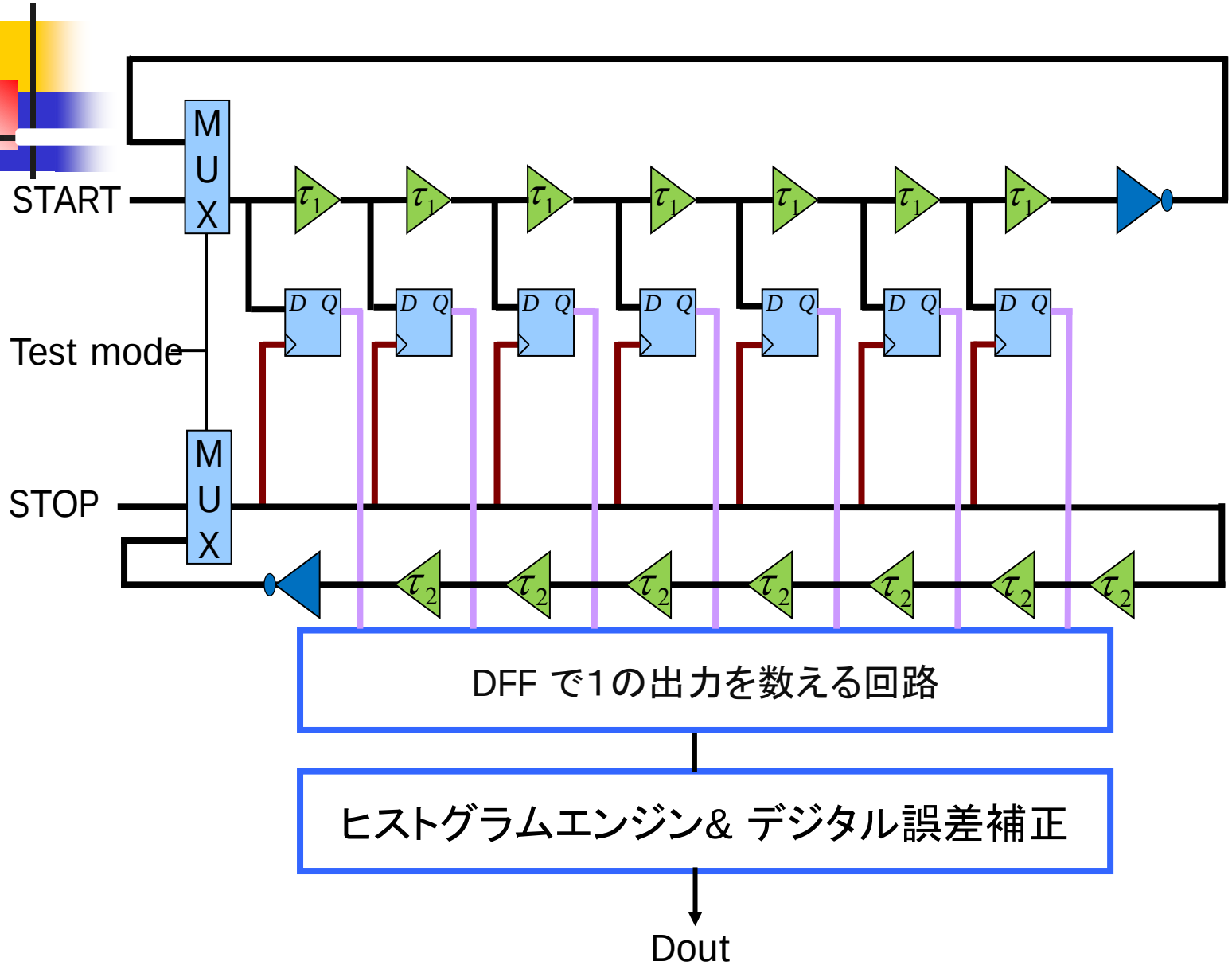


→ ディレイタップ何段に相当するかを測定

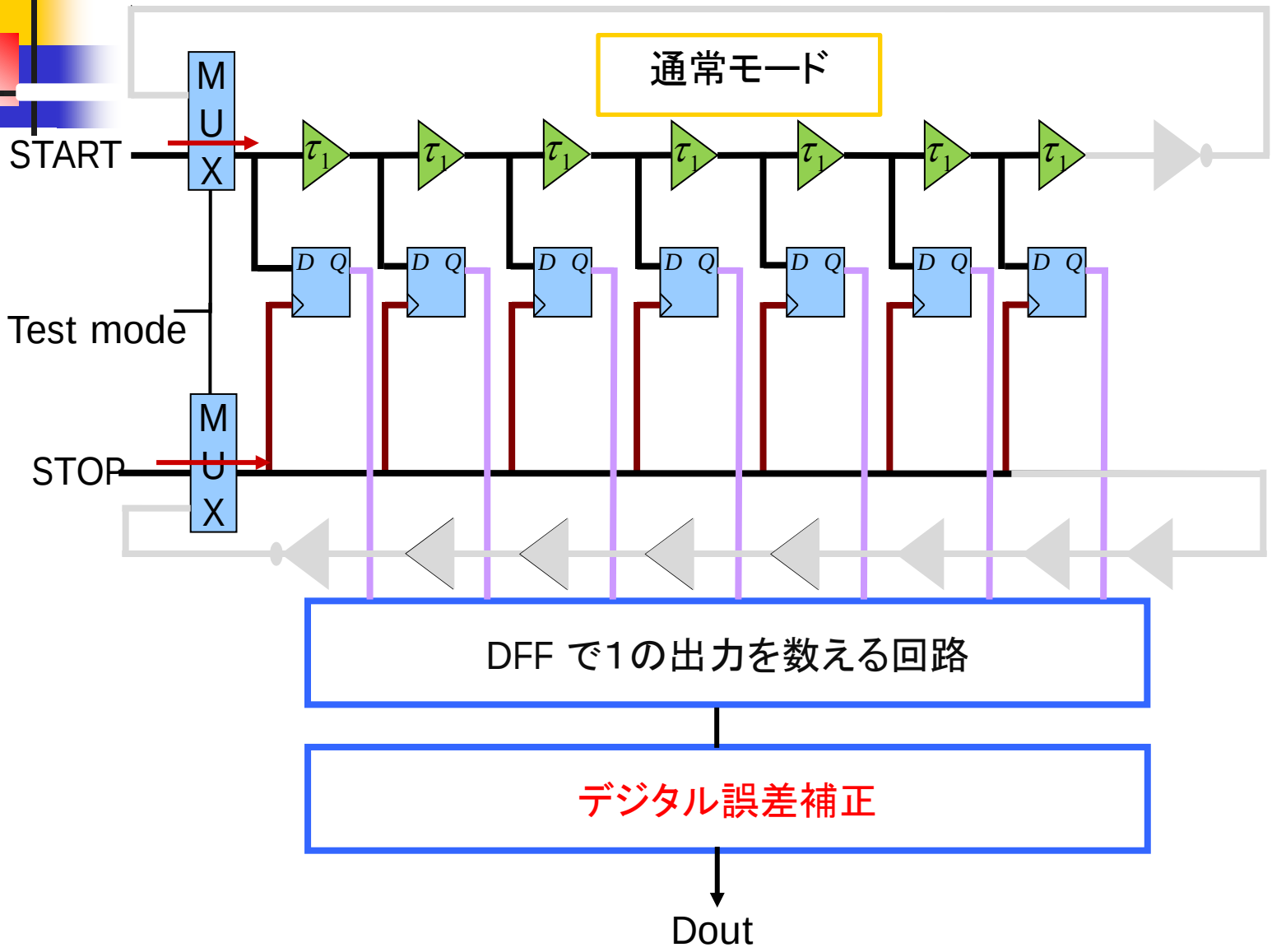
時間分解能T

デジタル回路で構成
CMOS微細化とともに性能向上

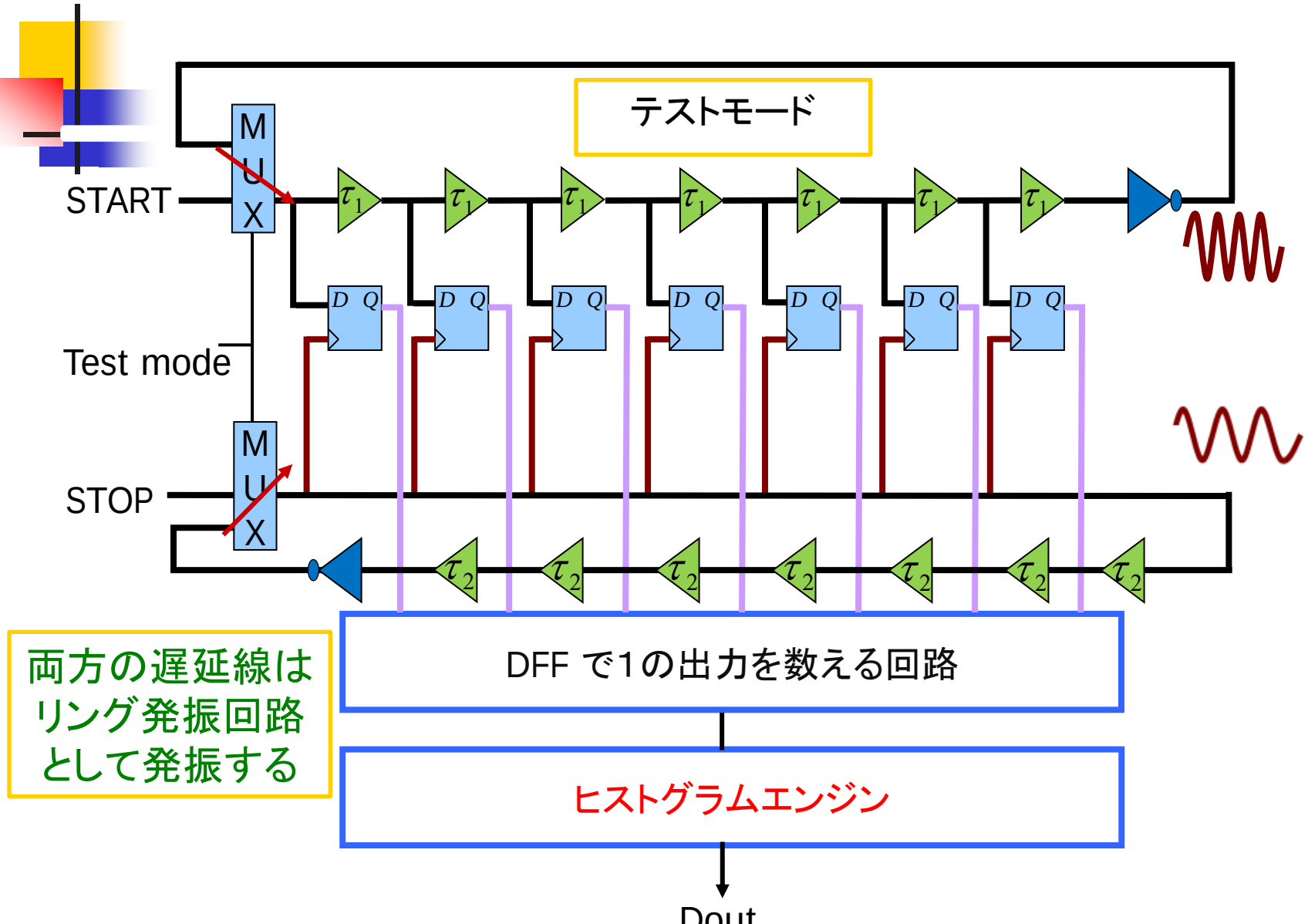
自己校正機能を備えたTDC回路の構成



自己校正機能を備えたTDC回路の構成



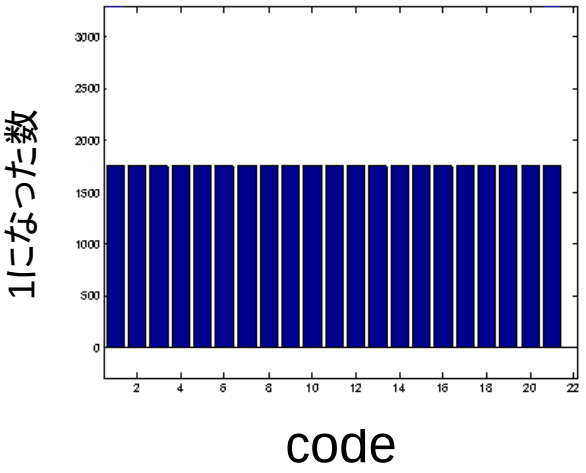
自己校正機能を備えたTDC回路の構成



TDC自己校正の原理 (ヒストグラム法)

テストモード

両方のリング発振器は同期していない（無相関）



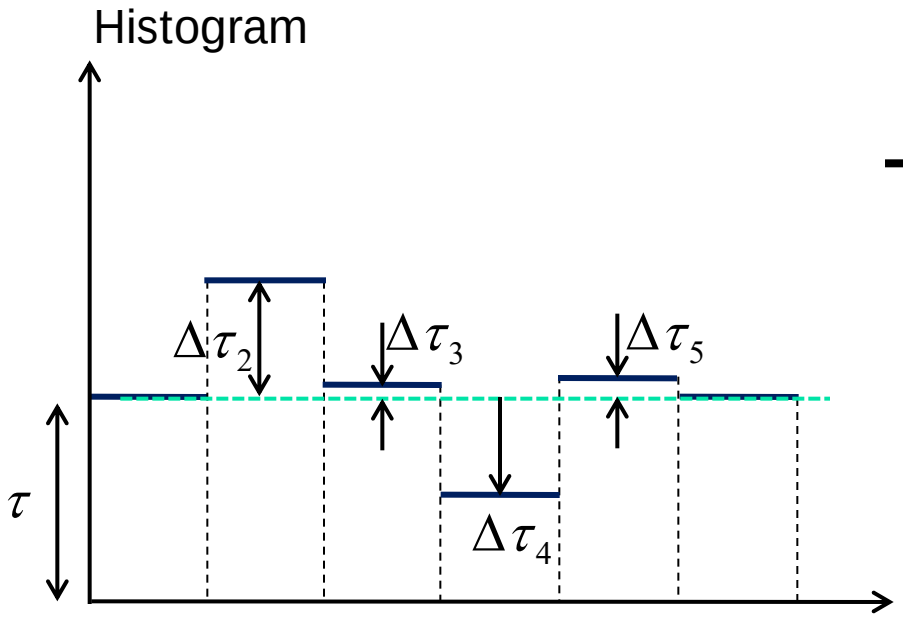
TDCが完全に線形

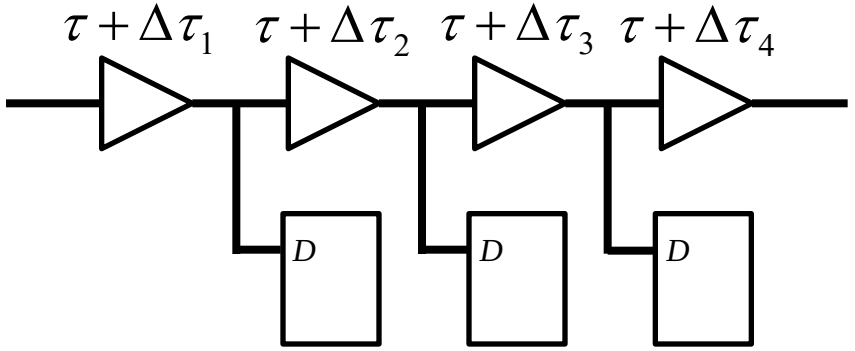
各出現コードの確率が等しい

・充分多くの点数をとれば各デジタルコードの
ヒスト グラムは同一になる
・逆に、TDCのヒストグラムデータから
DNL, INL を計算

TDC自己校正の原理 (非線形性の同定)

TDCが非線形の場合：
遅延ばらつきによって生じるINLをヒストグラムより求め
逆関数を計算



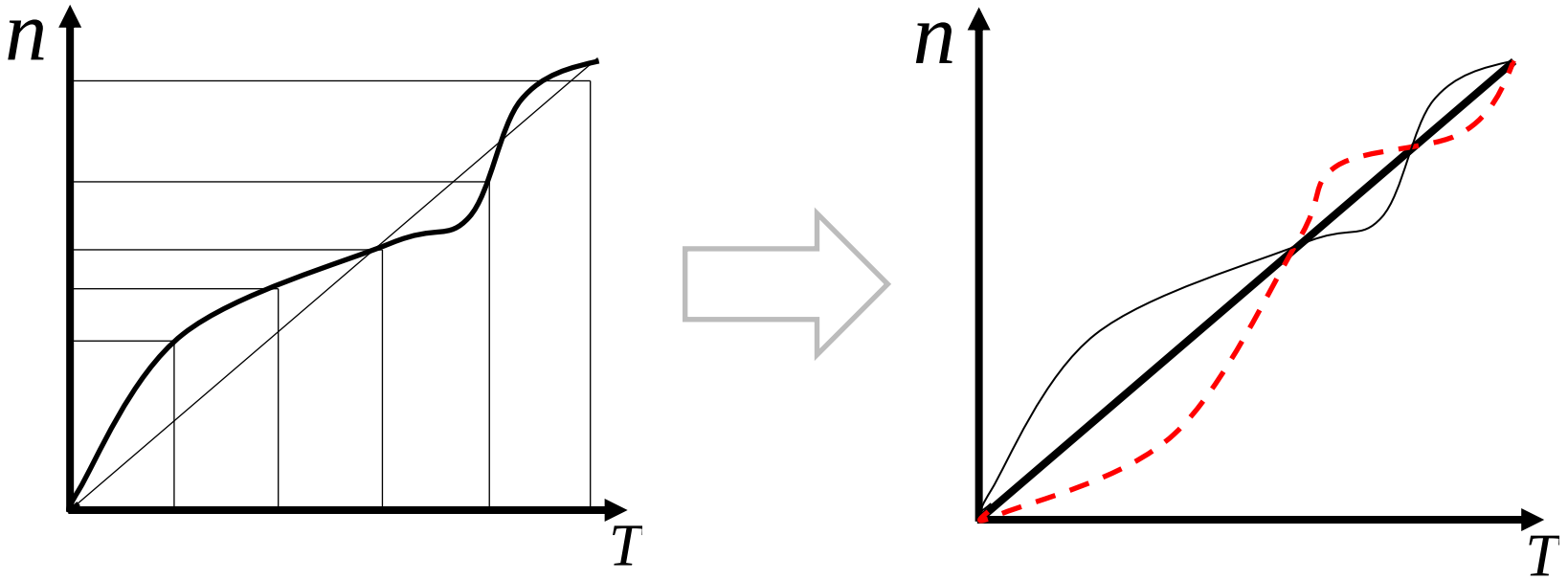


TDC自己校正の原理 (非線形性の補正)

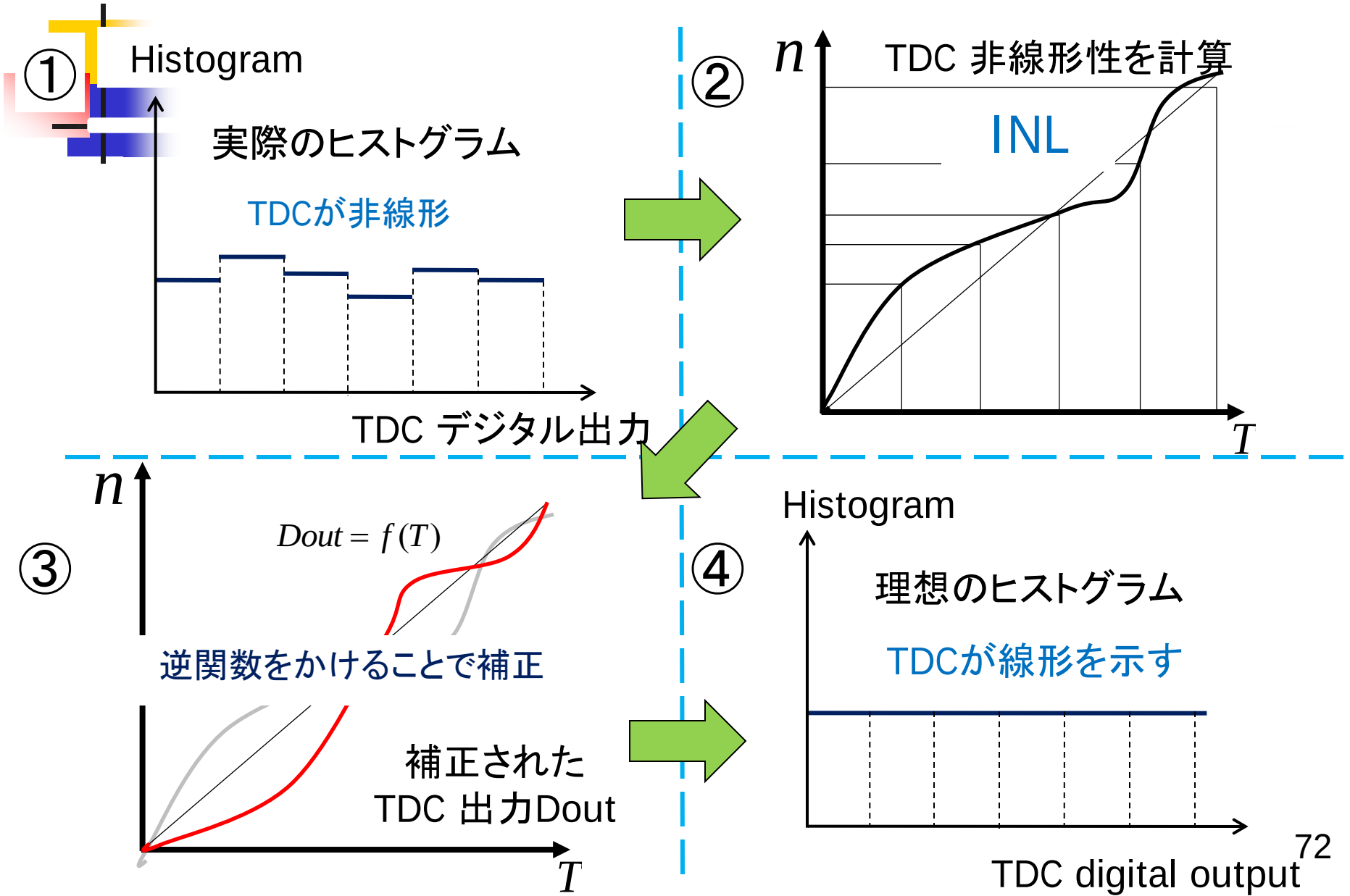
通常モード

非線形性の逆関数をデジタル的にかける

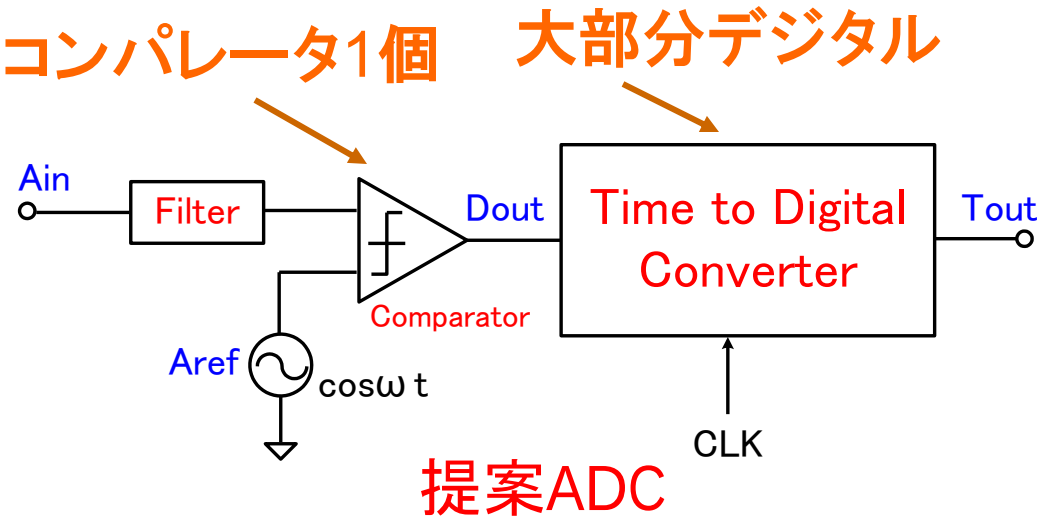
線形性が得られる



非線形性の自己校正


①
Histogram
実際のヒストグラム
TDCが非線形
TDC デジタル出力
②
n
TDC 非線形性を計算
INL
T
③
n
Dout = f(T)
逆関数をかけることで補正
補正された
TDC 出力Dout
T
④
Histogram
理想のヒストグラム
TDCが線形を示す
TDC digital output

時間領域ADC

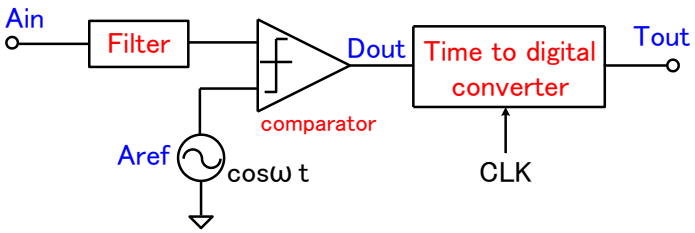


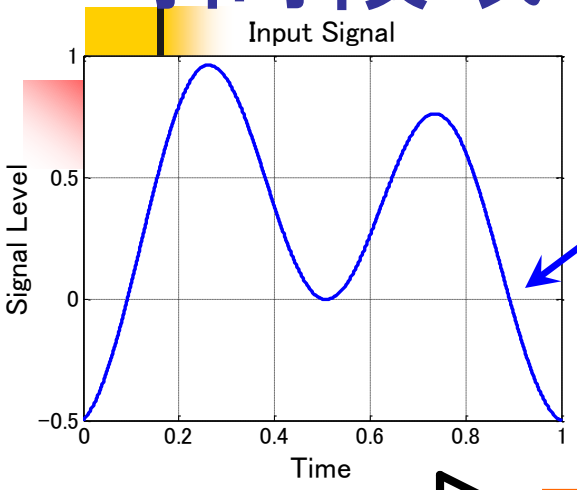
群馬大学
社会人博士修了
小室貴紀氏
考案

- 高速、高精度なサンプルホールド回路不要
- 非同期サンプリング
- デジタル信号処理が複雑

アナログの問題 → デジタルの問題

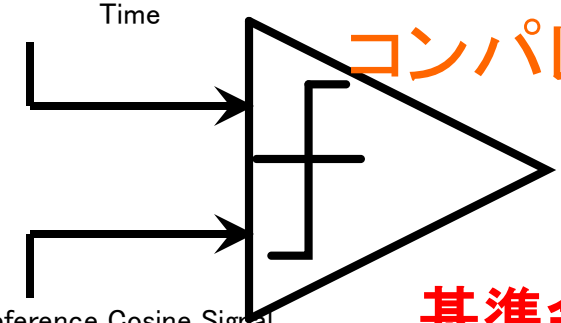
時間領域ADCの動作





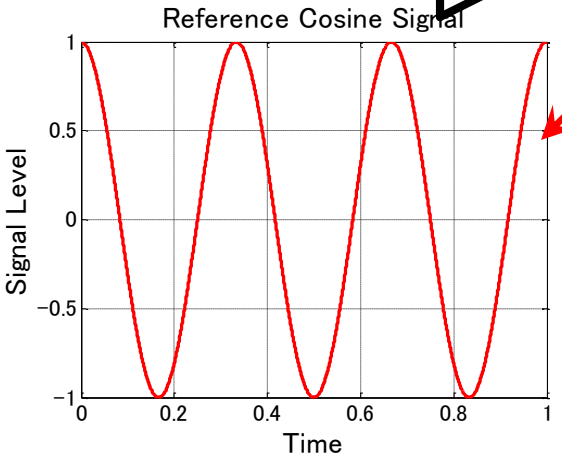
入力信号

コンパレータ

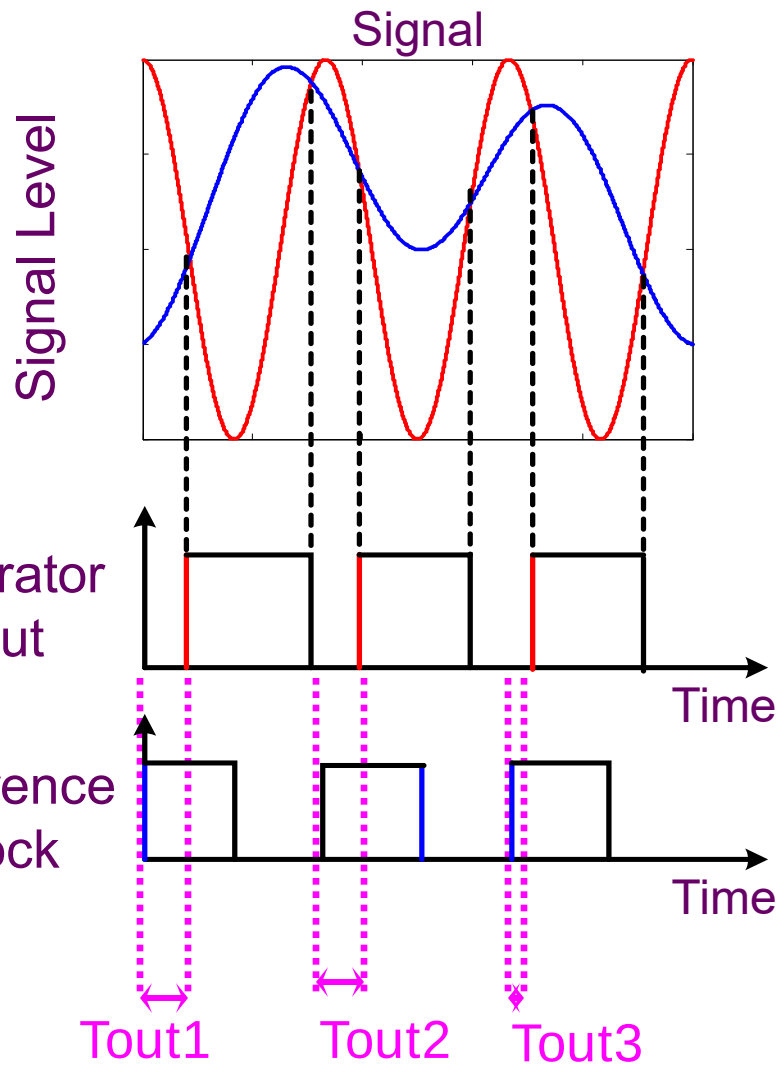


Comparator Output

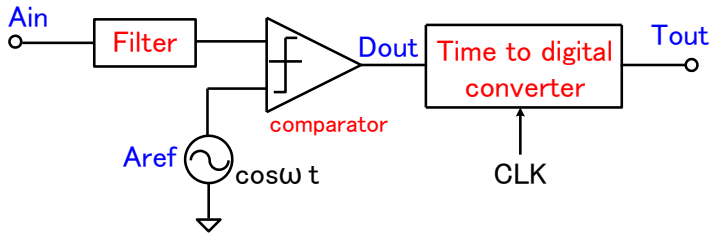
基準余弦波

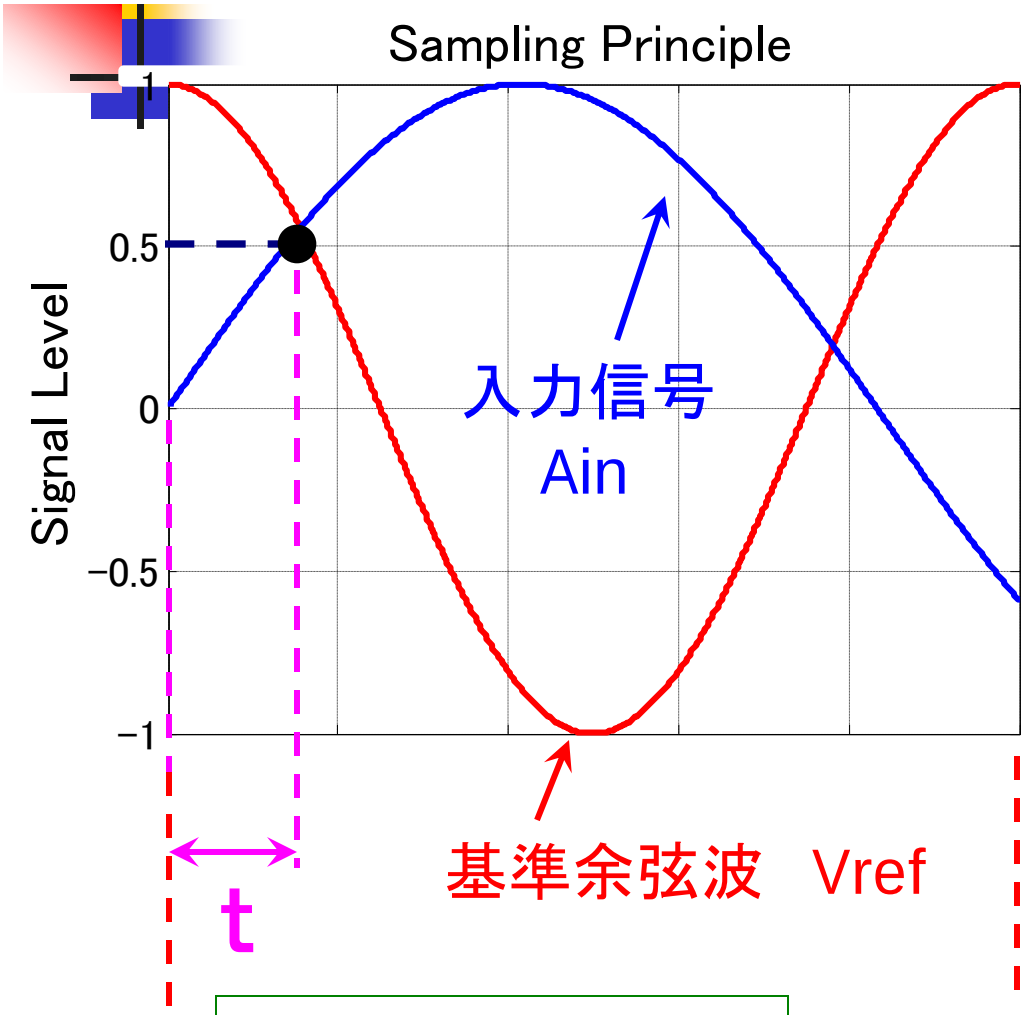


クロック周期＝
基準余弦波周期



時間領域ADCの原理





非同期サンプリング

時間tを測定

基準余弦波から振幅

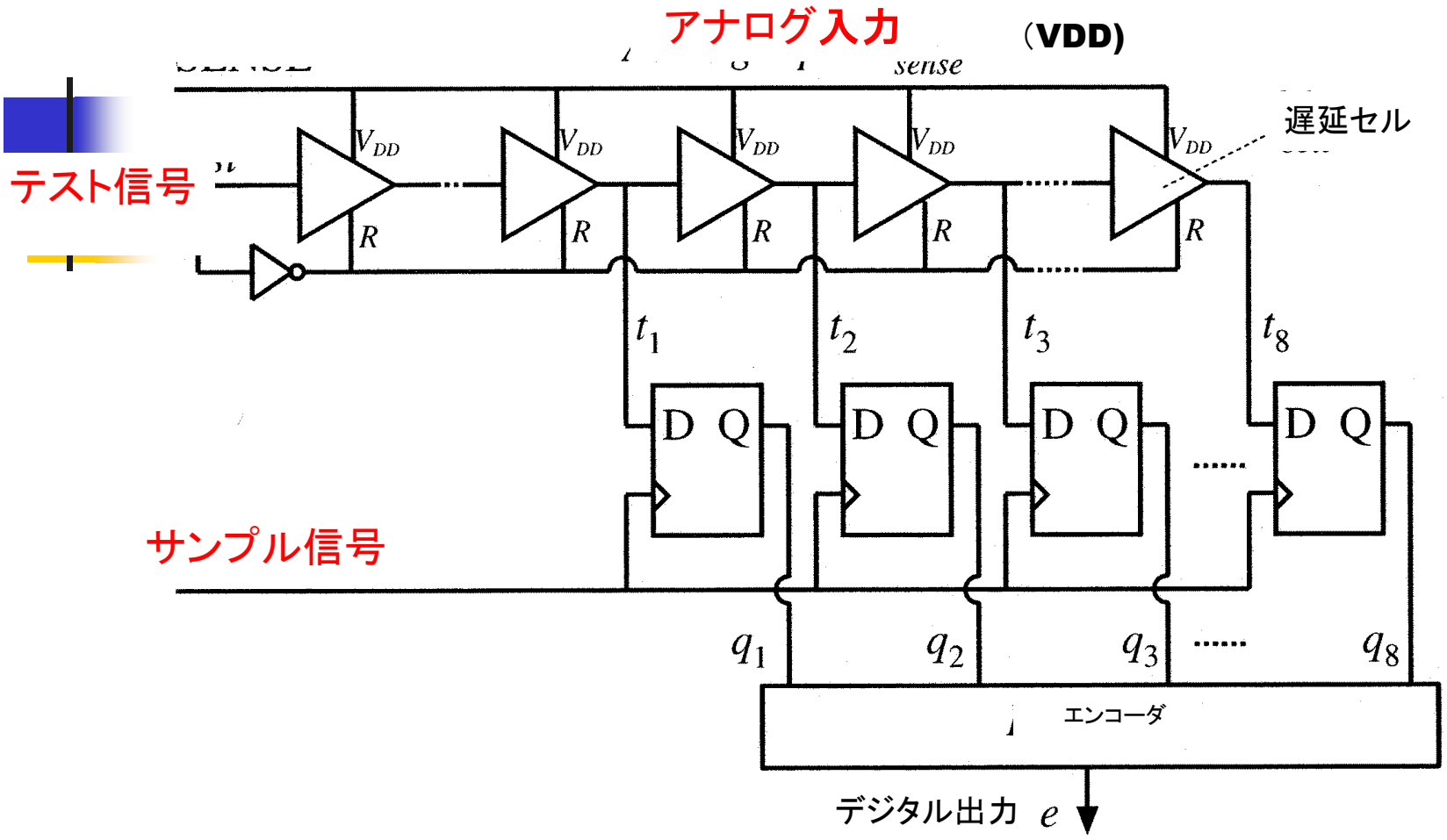
基準余弦波：$V_{ref}(t) = A\cos\left(2\pi\frac{t}{T}\right)$

$$A\cos\left(2\pi\frac{t}{T}\right) = A_{in}(t)$$

$$\therefore t_n = T\arccos\left(\frac{A_{in}(t)}{A}\right)$$

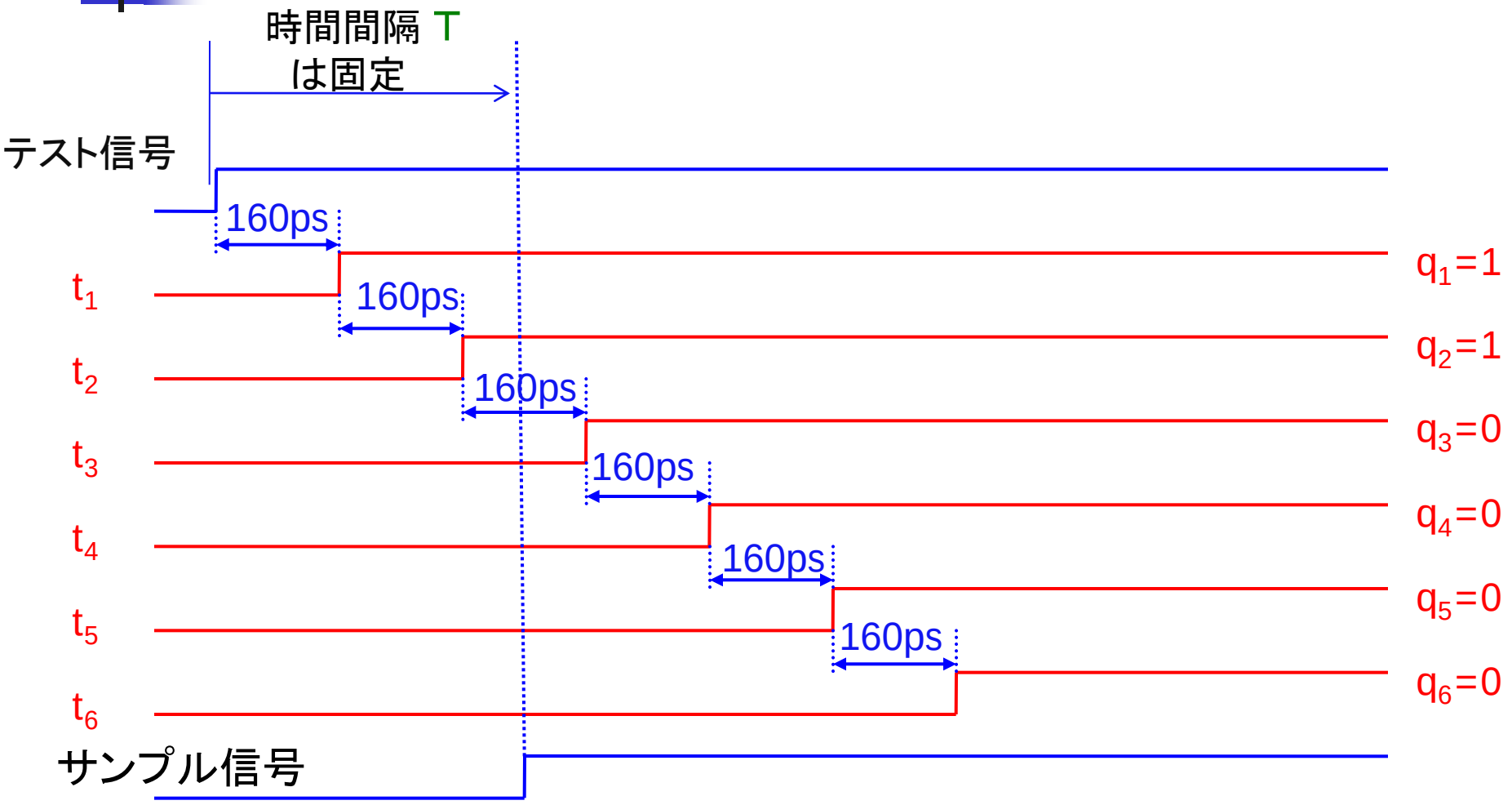
TDCを用いたデジタル制御電源用AD変換器

コロラド大学（米）



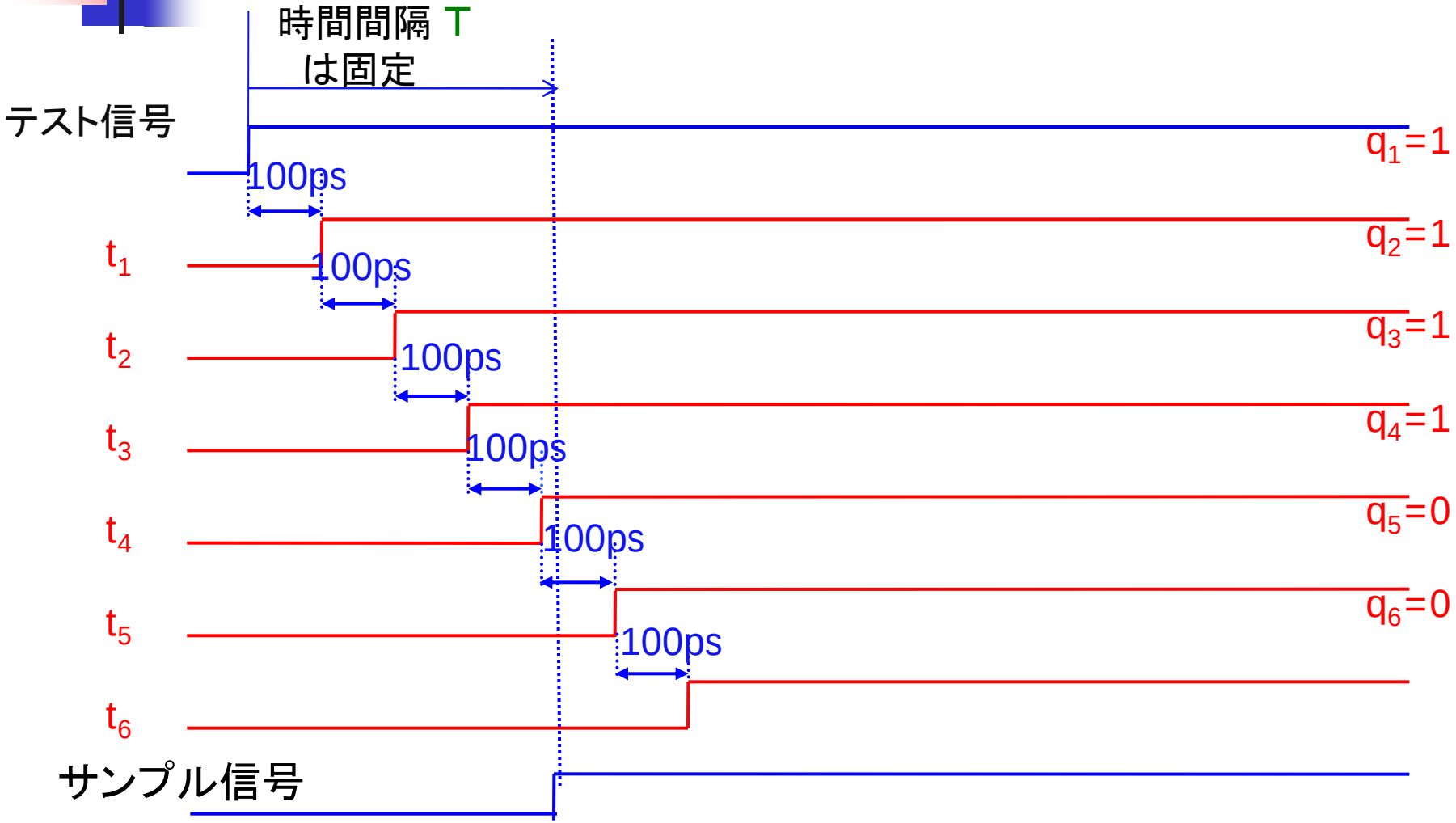
TDCを用いたデジタル制御電源用AD変換器の動作

アナログ入力信号が**0.6V**（バッファ遅延は**160ps**）



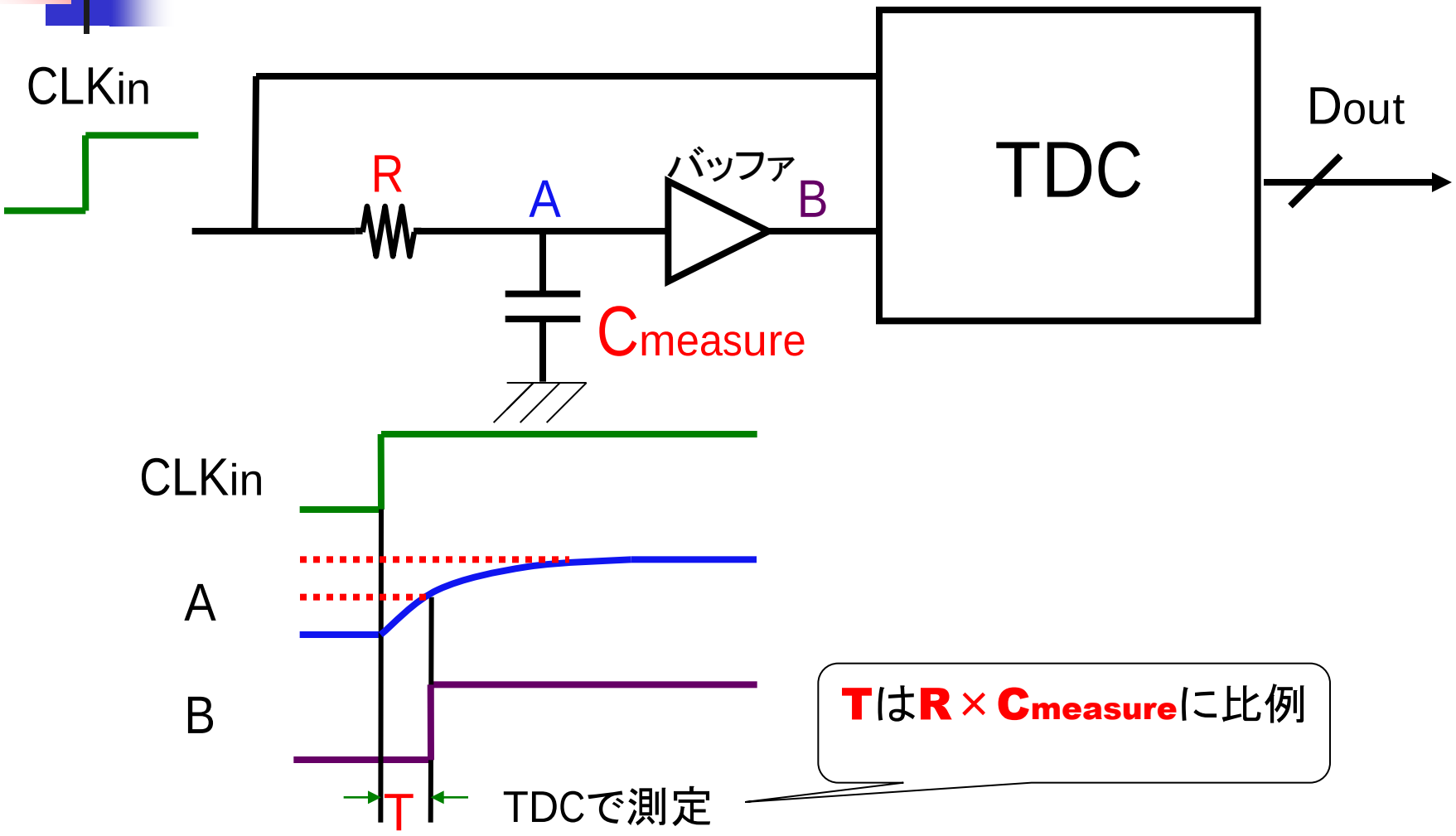
TDCを用いたデジタル制御電源用AD変換器の動作

アナログ入力信号が**1.0V**（バッファ遅延は**100ps**）

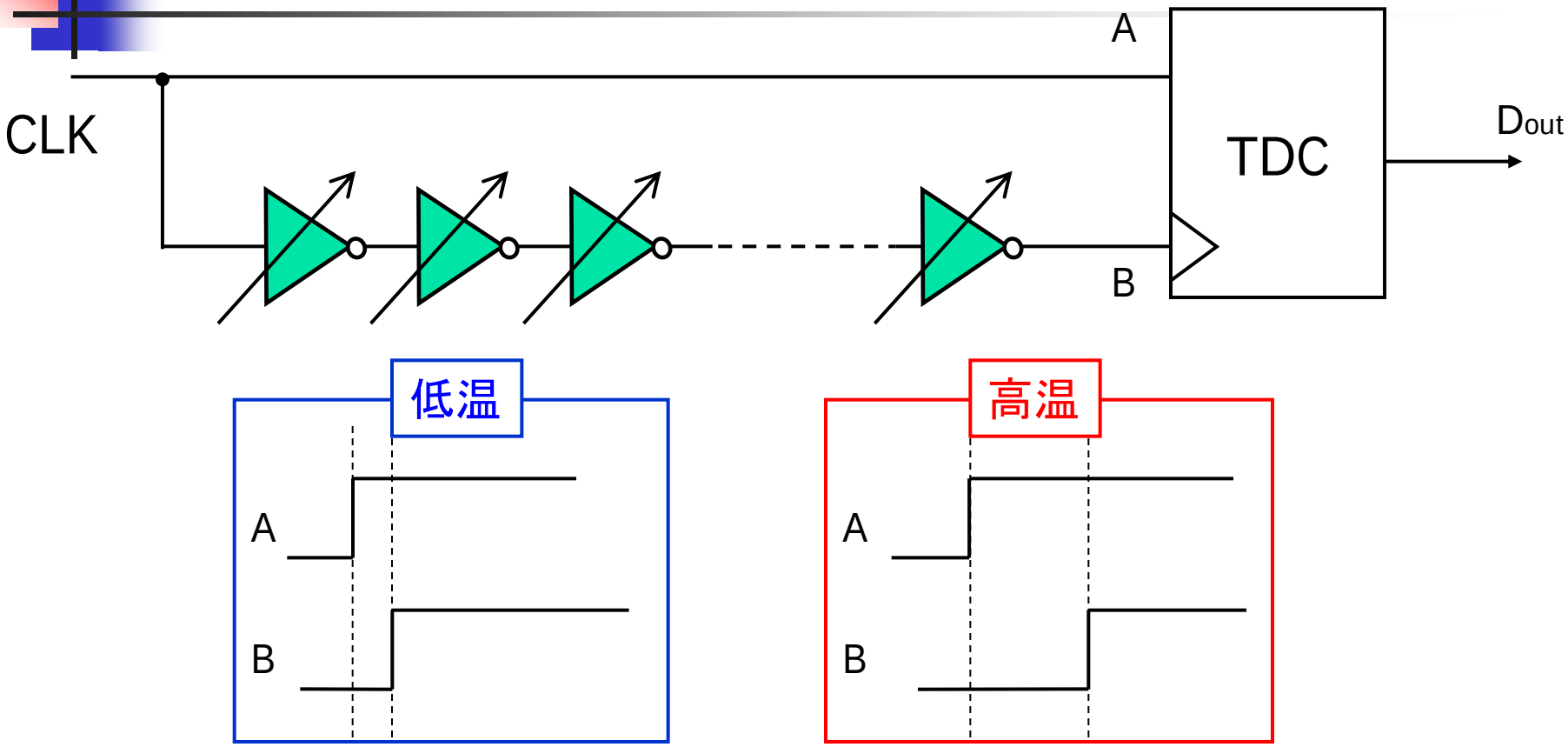


TDCを用いた容量センサ

(ATLab Inc. (韓))

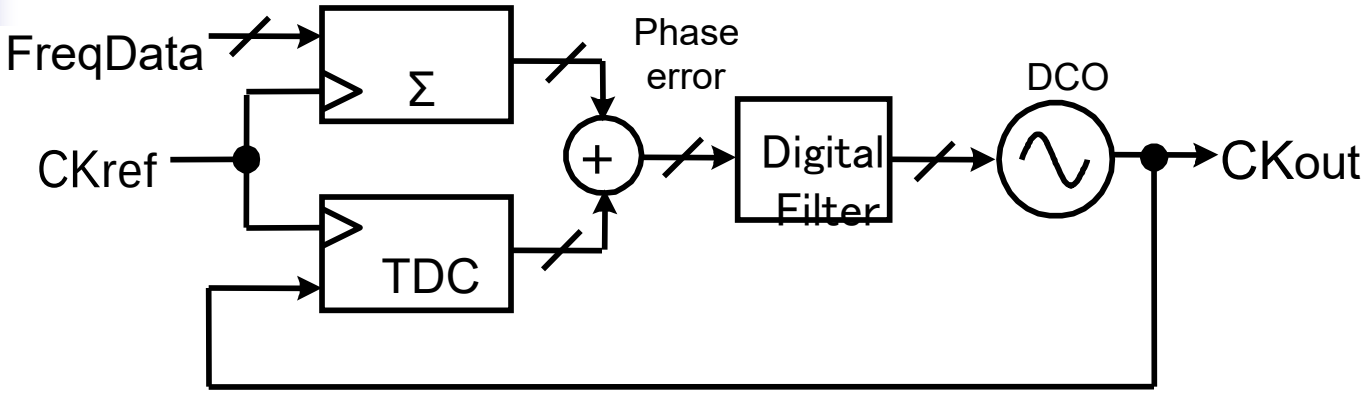


TDCを用いた温度センサ (NTU，Harvard Univ.)



温度→遅延→TDCで測定

All Digital PLL

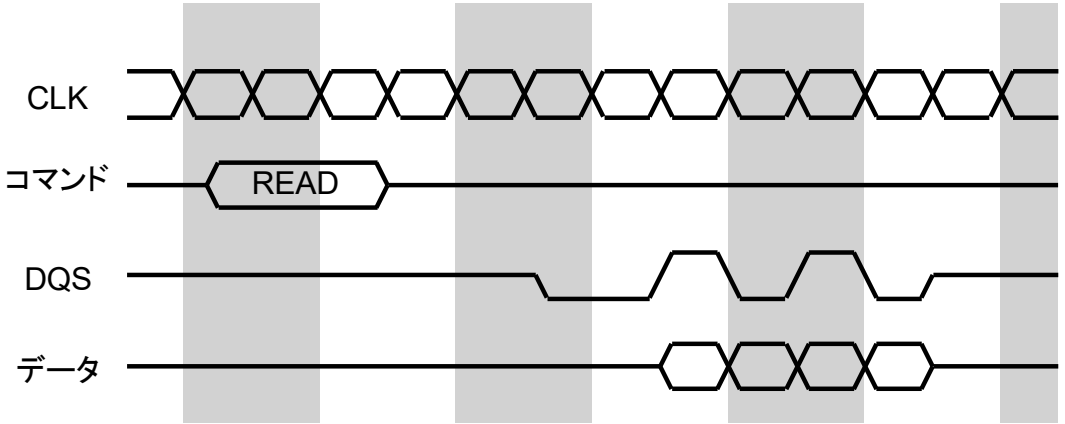


- 回路がデジタル
- デジタル手法で設計・検証・テスト可能
- プロセス・ポータビリテイ
- 小チップ面積化 （デジタルフィルタ）
- ループ伝達関数をPVTによらず一定に自己校正
- 高性能化 （フィルタ特性可変、低位相雑音）
- プログラマビリテイ

シグマデルタTDC回路

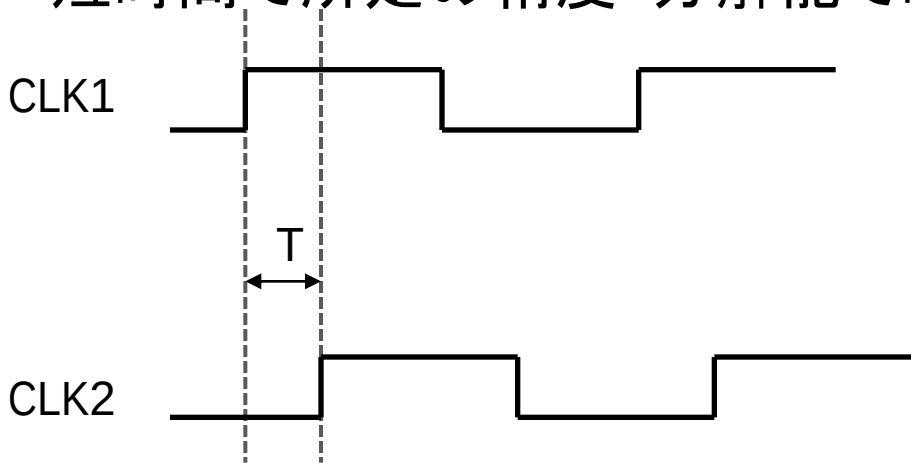
- デジタル信号間の時間差の測定
  - 短時間で求める精度で測定する必要あり
- 適用するアプリケーションの例
  - DDR(Double Data Rate)メモリのデータ，クロック間の時間差の計測等：

    内部処理回路とメモリアクセスのタイミング、制御信号・データ信号間のタイミング

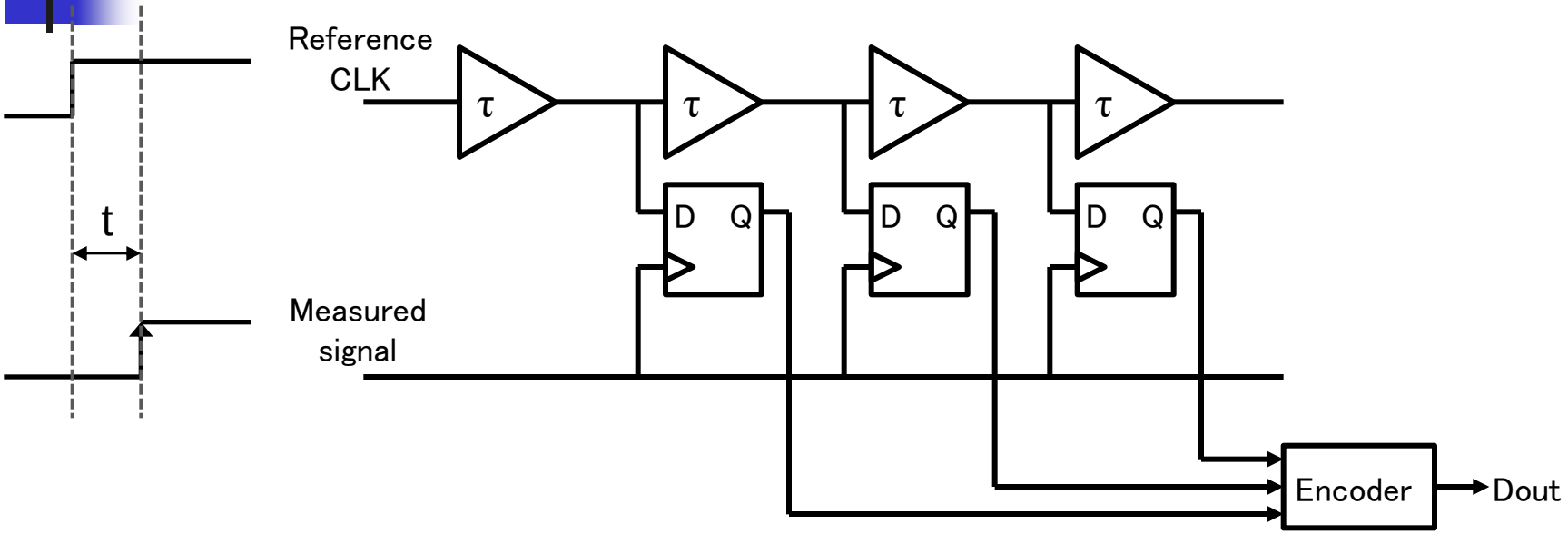


研究開発目的

- ２つの繰り返しクロック間の時間差を
  高時間分解能・簡単な回路で計測
  - シグマデルタ型タイムデジタイザを用いる
- マルチビットシグマデルタ型タイムデジタイザの提案
  - 短時間で所定の精度・分解能で時間差をテスト



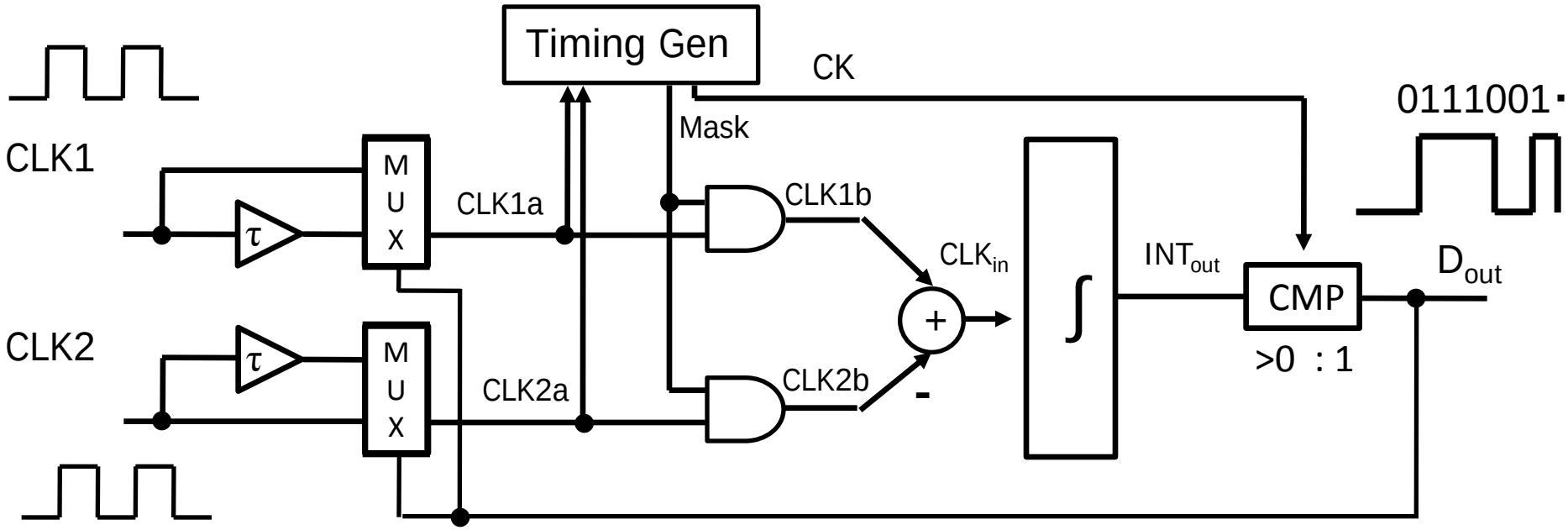
従来基本TDC構成
Flash-type TDC



- 任意の信号でも計測可
- 回路が大きくなってしまう
- 時間分解能はτで決まってしまう

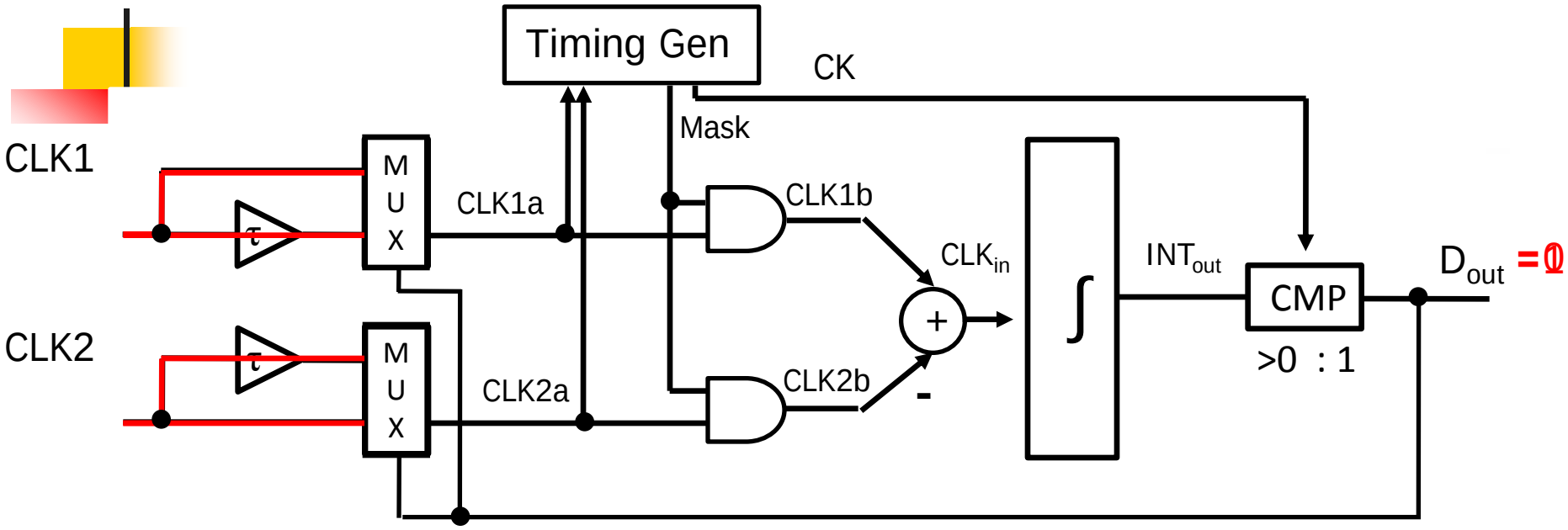
- 高精度で測定できるようにする
  - ➢繰返し信号を計測

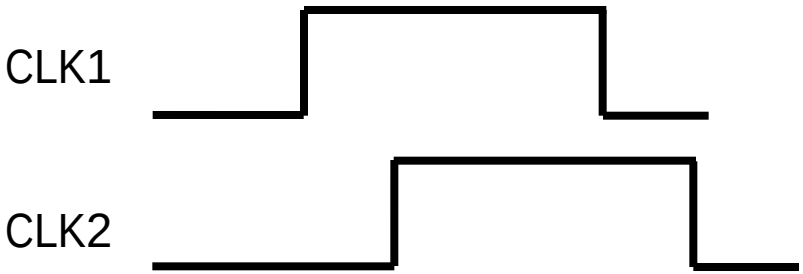
シグマデルタ型TDC回路の構成

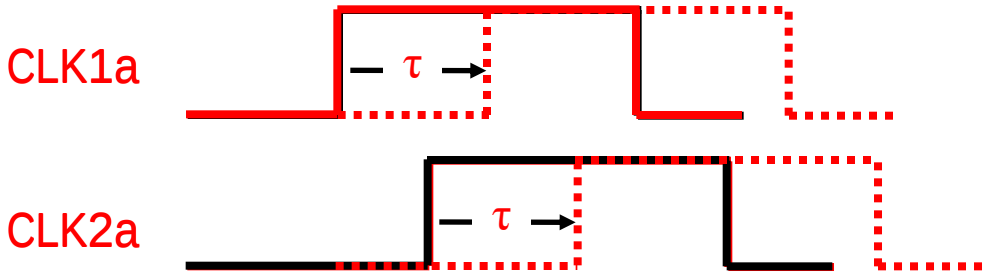


- 遅延セル, マルチプレクサ, AND回路, アナログ積分器, 比較器で構成
  - 簡単な回路で実現可能
- CLK1とCLK2間の時間差を計測

シグマデルタ型TDC回路の動作①

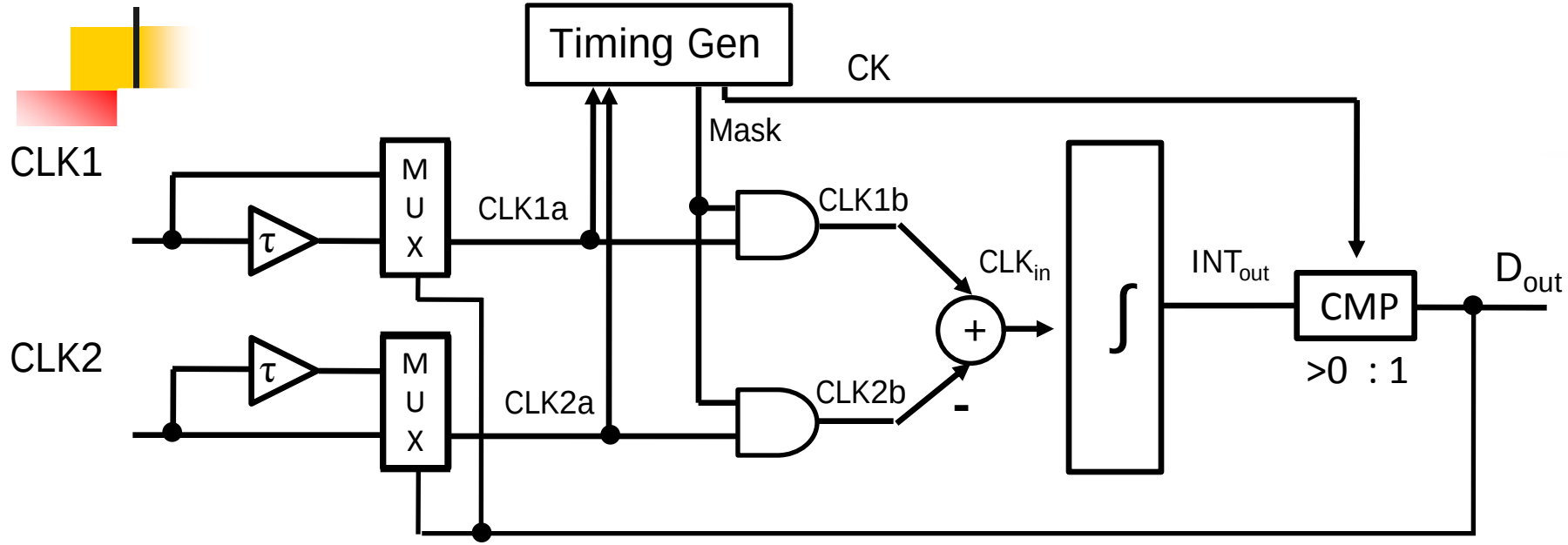


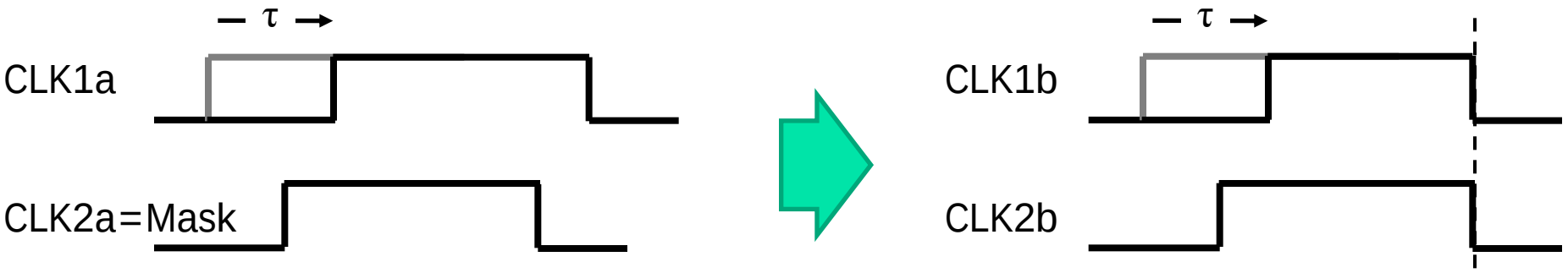




- CLK1とCLK2を入力
- 比較器出力により経路選択
  - CLK1a, CLK2aを得る

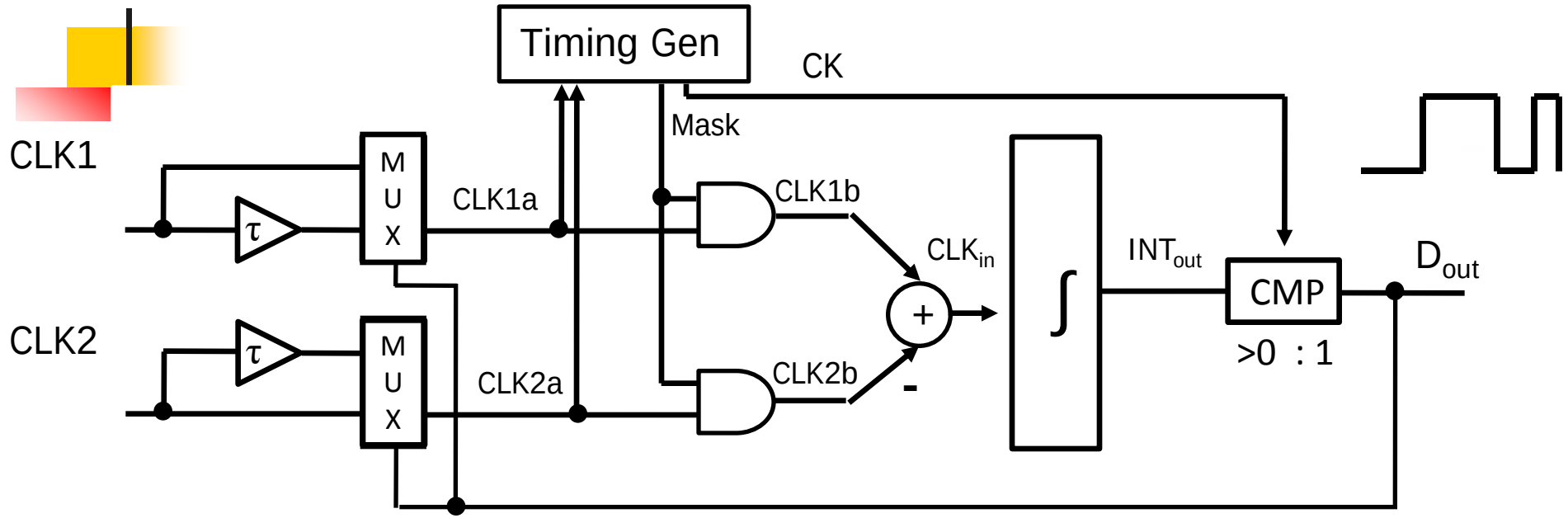
シグマデルタ型TDC回路の動作②

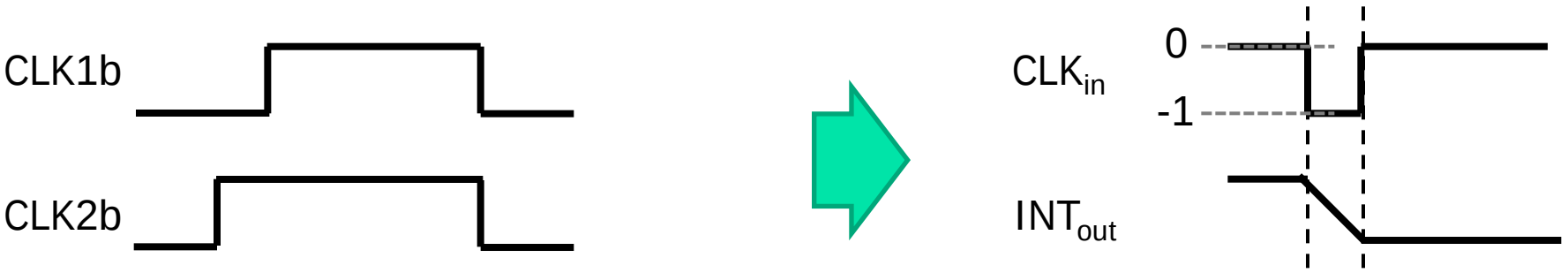




- タイミングジェネレータによりMask信号(=速い方の信号)を発生させる
  - Mask信号とCLK1a, CLK2aとの論理積をとり、立下りを合わせる
  - CLK1b, CLK2bを得る

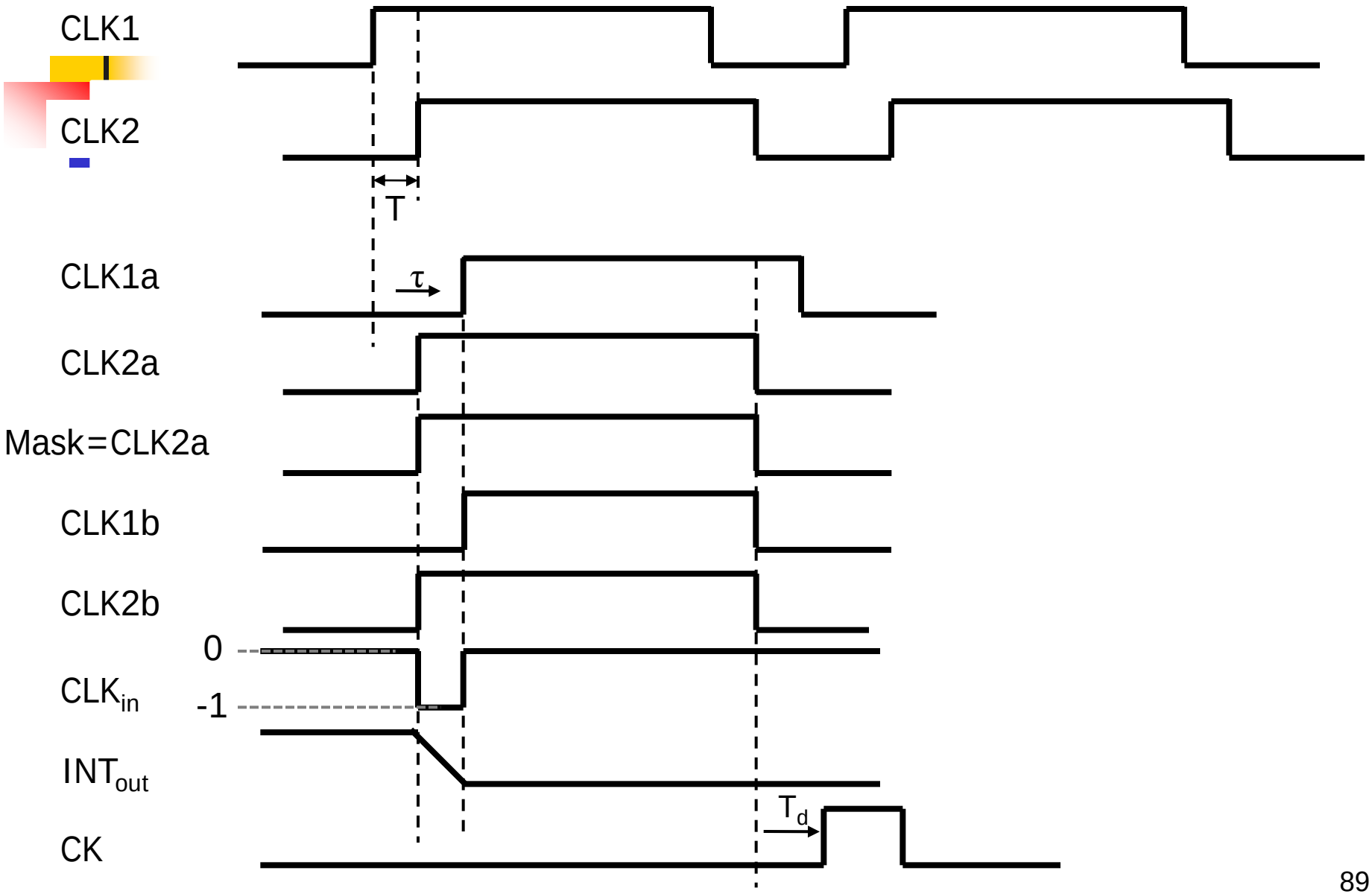
シグマデルタ型TDC回路の動作③



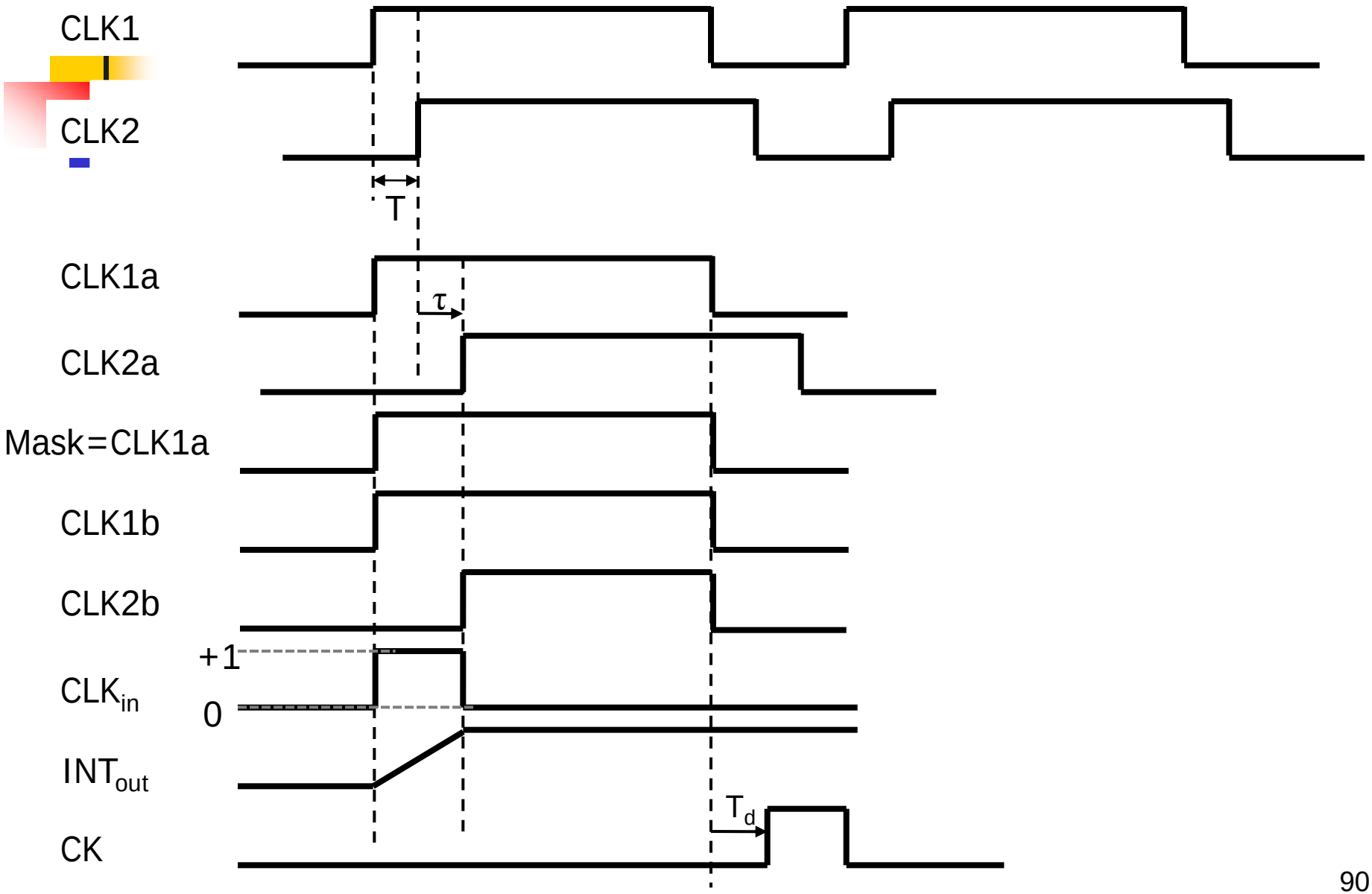


- CLK1bとCLK2bとの差をとり結果のCLK$_{in}$を積分
- 比較器でINT$_{out}$を0と比較し、出力D$_{out}$を得る
  - 次のクロックでの経路を制御

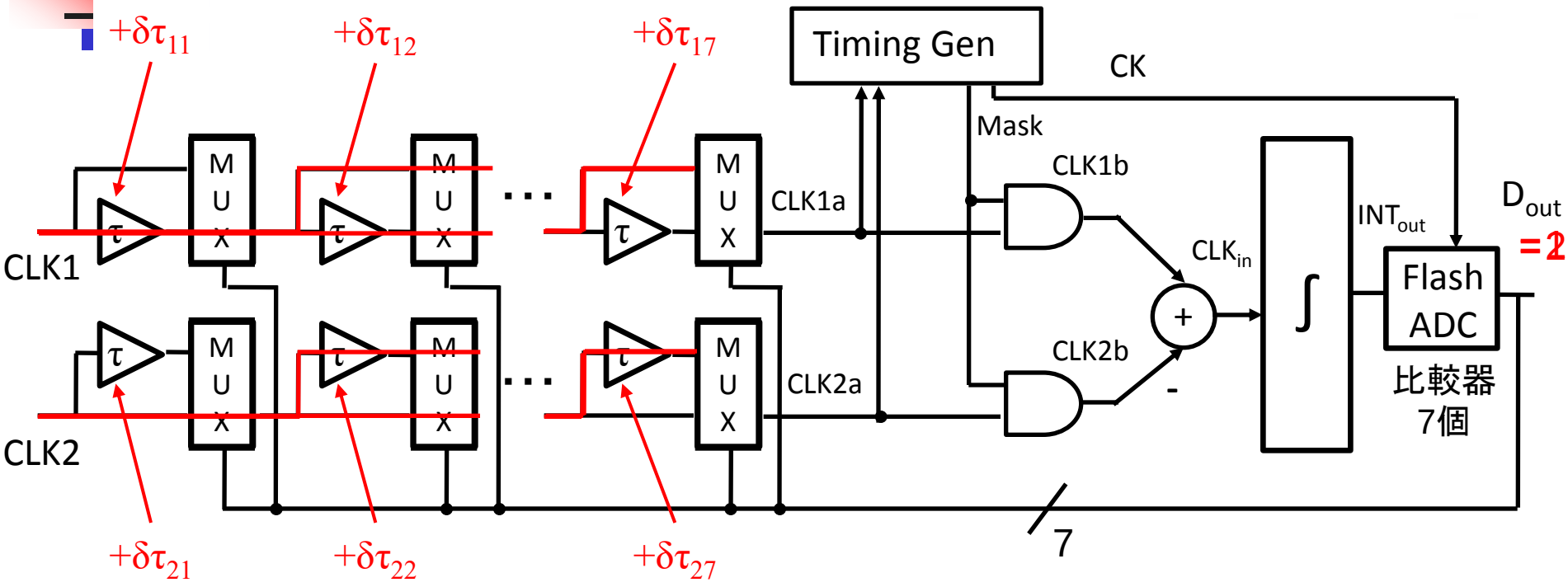
タイミングチャート(D_{out}=1のとき)



タイミングチャート(D_{out}=0のとき)

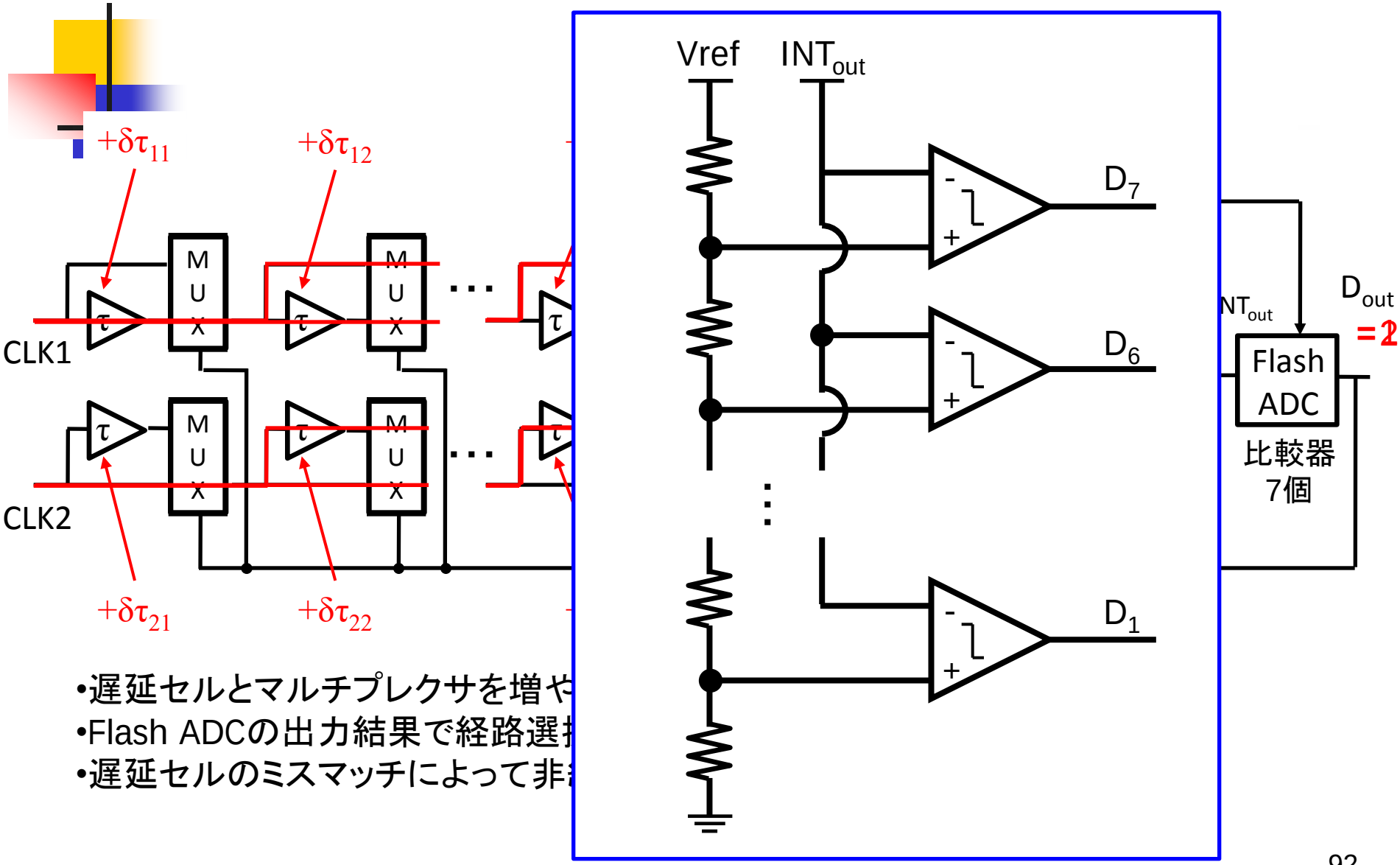


マルチビットΣΔTDC回路の構成



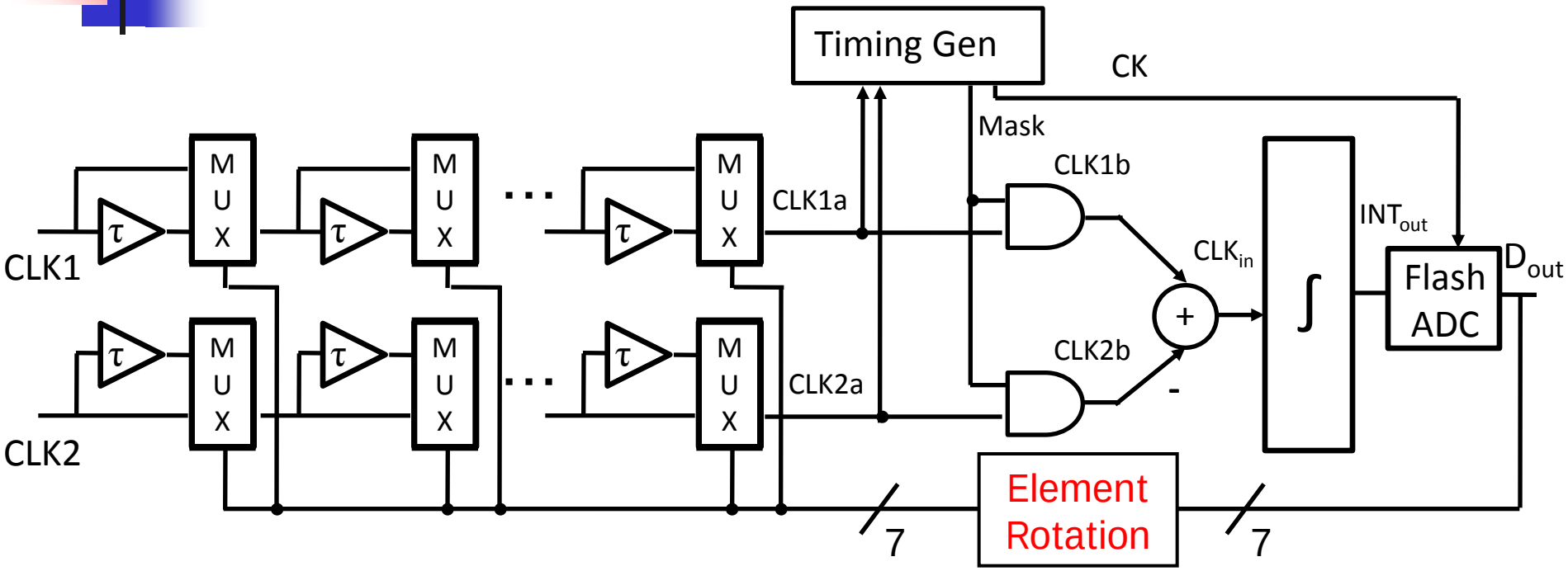
- 遅延セルとマルチプレクサを増やしマルチビット化
- Flash ADCの出力結果で経路選択
- 遅延セルのミスマッチによって非線形性が発生

マルチビットΣΔTDC回路の構成



- 遅延セルとマルチプレクサを増や
- Flash ADCの出力結果で経路選択
- 遅延セルのミスマッチによって非

Element Rotation回路の適用



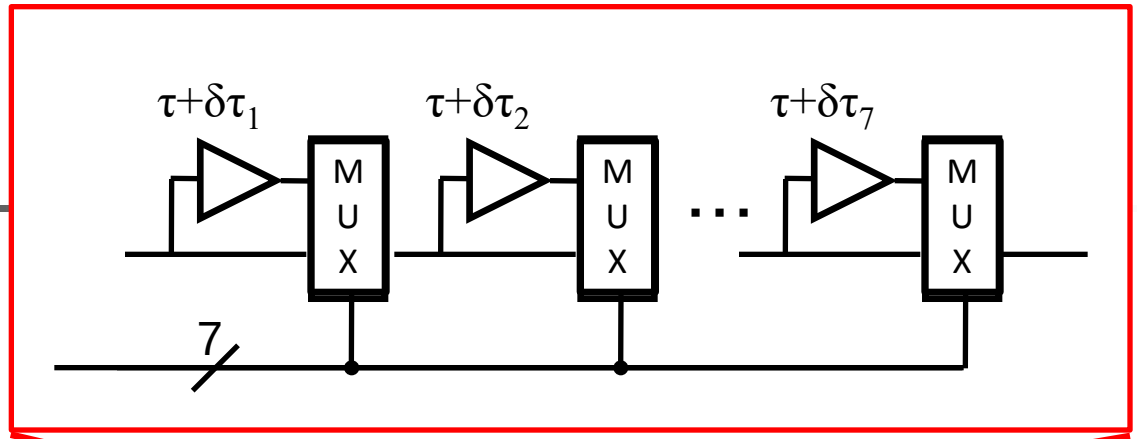
- Element Rotation回路でFlash ADCの温度計コード出力をシャッフルしてから各MUXに入力する
- 遅延ばらつきの影響を少なくする

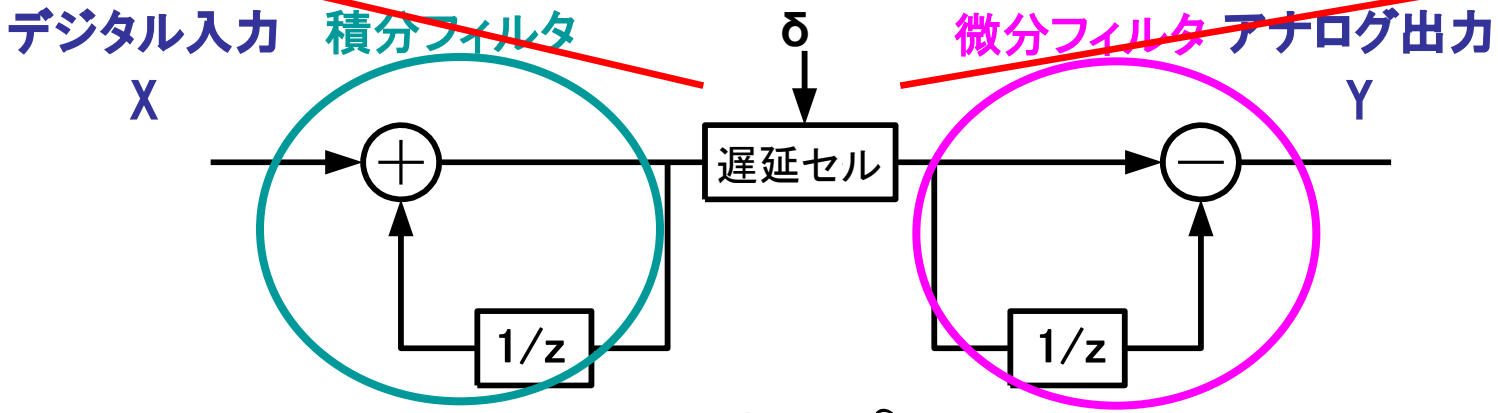
マルチビットにする利点

- シングルビットシグマデルタ型TDC
  - 遅延ミスマッチが影響しない
  - 精度は出せる

- テストの際には短時間で所定の精度で評価
  - マルチビットにすることで速く計測できる
  - Element Rotation回路を用いることである程度精度が出せる

1次ノイズシェープ



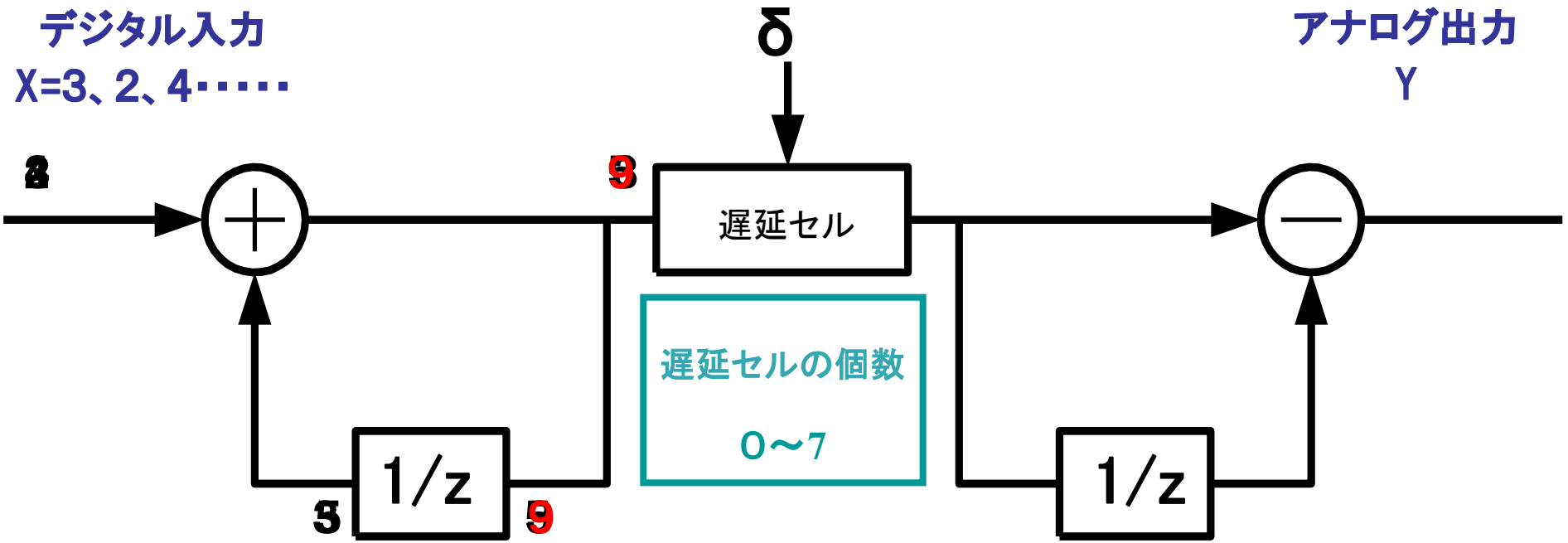


$$Y(z) = X(z) + (1 - 1/Z)\delta(z)$$

遅延セルミスマッチが1次ノイズシェープ
1/(1-1/Z)されている

1次ノイズシェープの動作

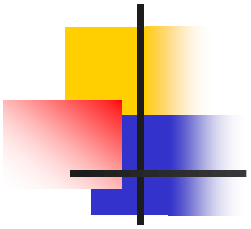
$$Y(z) = X(z) + (1 - 1/Z)\delta(z)$$

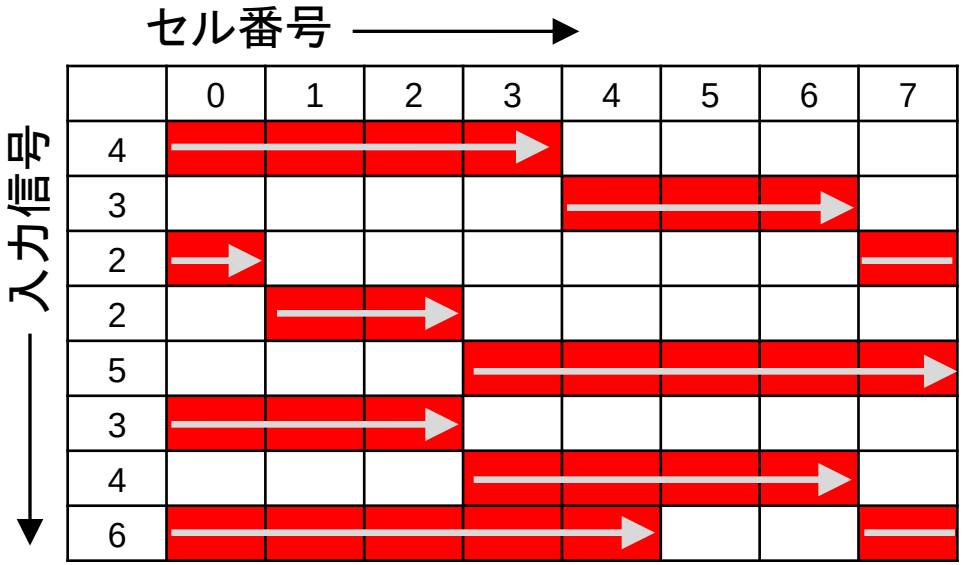


遅延セルの数	0～＋∞

直接実現不可能

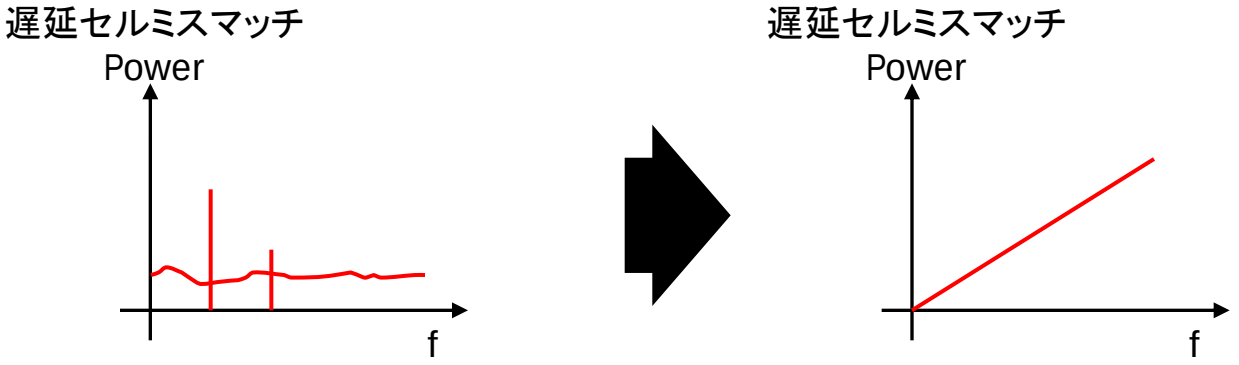
Element Rotation回路の効果



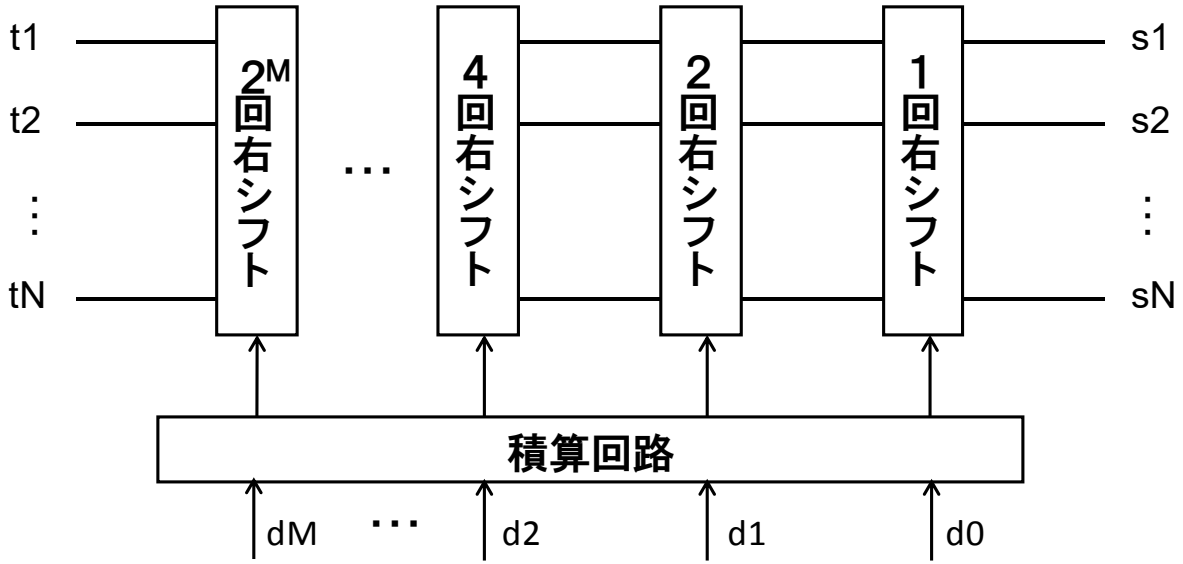


•積分して微分を等価的に実現

➢遅延セルミスマッチが1次ノイズシェープ



Element Rotation回路の動作



d	t_1	t_N	s_1	s_N	
1	1000000000･･･00		1000000000･･･00		0シフト
3	1110000000･･･00	➡	0111000000･･･00		0+1=1シフト
2	1100000000･･･00		0000110000･･･00		1+3=4シフト

•デジタル入力によりシフトする量を制御する

∑ΔTDCのシミュレーション結果

MATLABシミュレーション

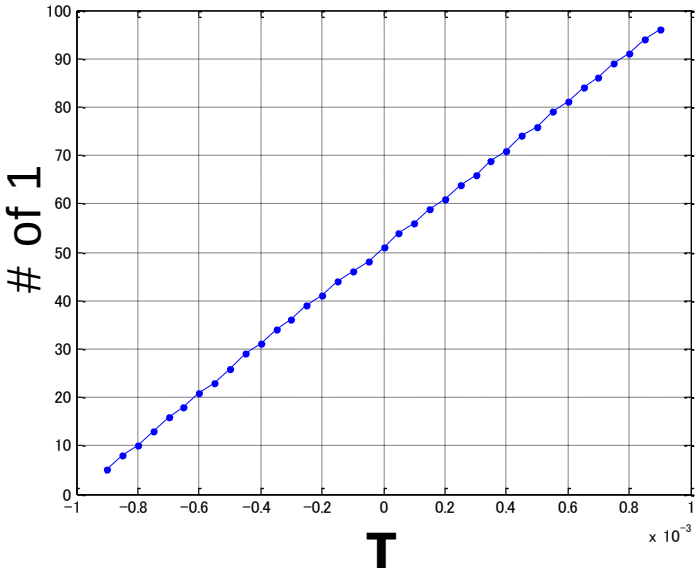
1bitの場合

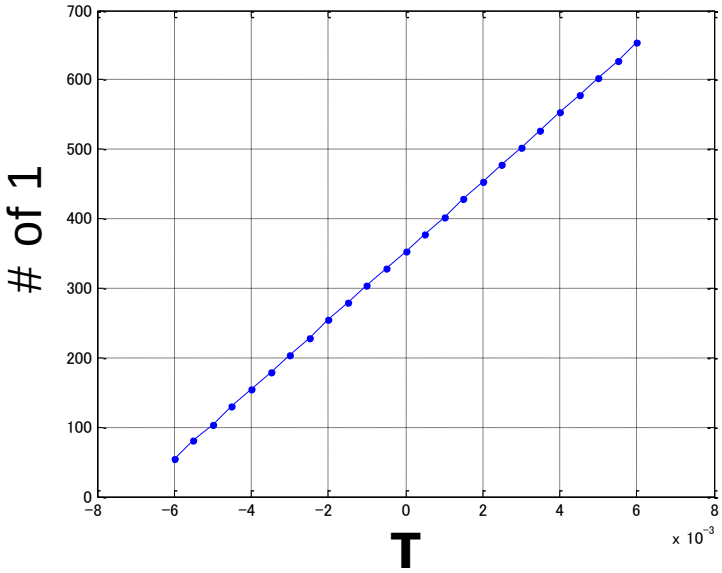
・立ち上がり間隔：T=0.05ns刻み
　　-0.9～0.9ns
・遅延時間：τ=1ns
・出力数(コンパレータで比較した回数):
　100点

3bitの場合

・立ち上がり間隔：T=0.5ns刻み
　　-6～6ns
・遅延時間：τ=1ns
・出力数(コンパレータで比較した回数):
　100点

●立ち上がり間隔Tに対する1の出力数



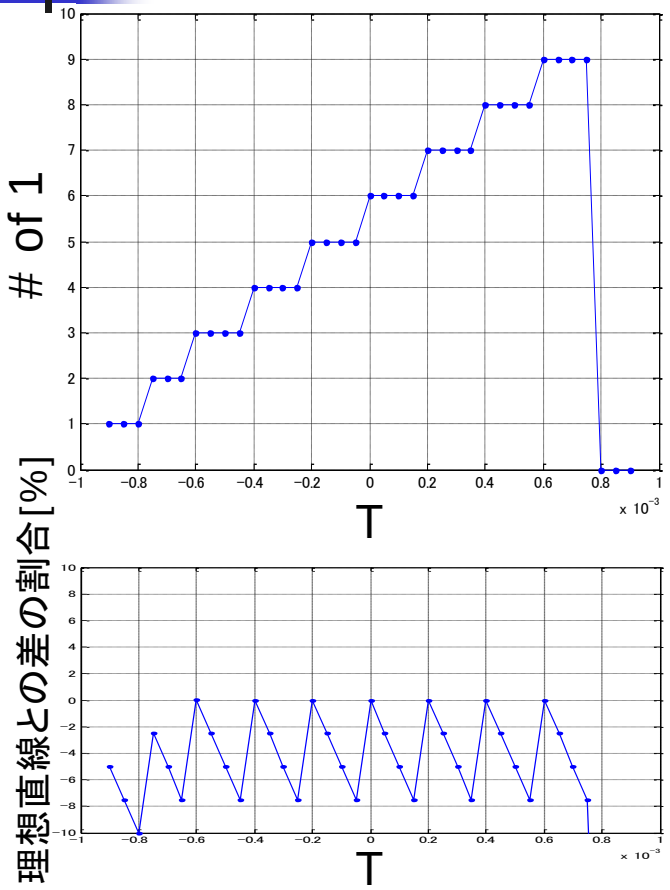


測定時間を短縮した場合の結果

1bit

・遅延時間：τ=1ns

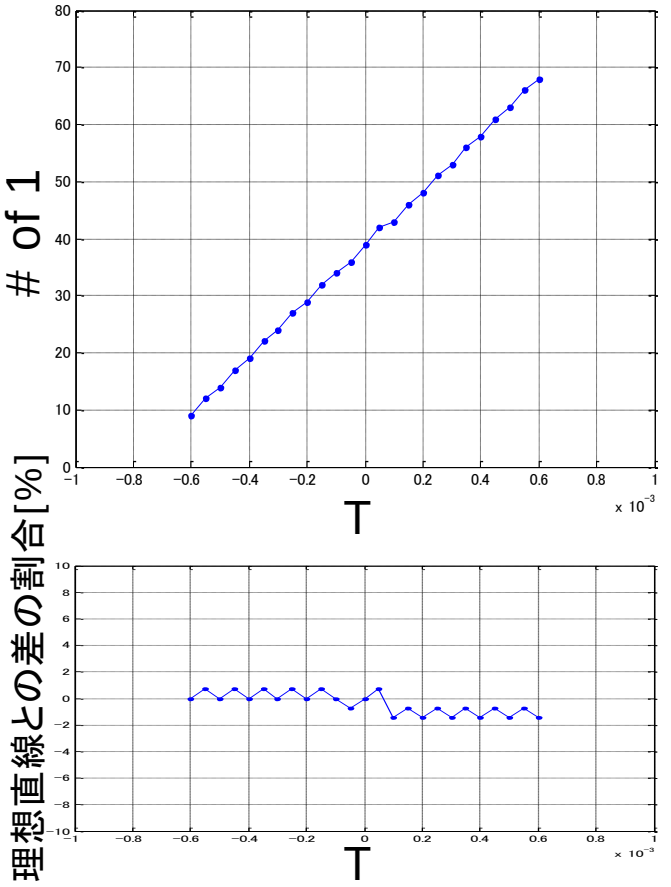
・出力数(コンパレータの比較回数)：10点



3bit

・遅延時間：τ=0.1ns

・出力数(コンパレータの比較回数)：10点



✓マルチビット化することで短時間で細かく測定可能

遅延ばらつきの影響の検証

•遅延ばらつき：ガウス分布でランダムに生成

最大でτ=1ns の±10%程度の誤差とした

•シミュレーション時に生成した遅延パラメータ

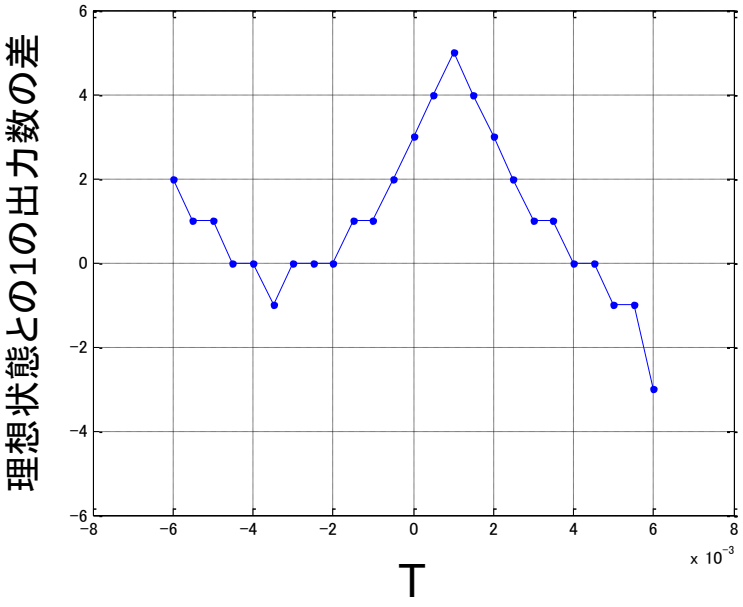
①	τ1	τ2	τ3	τ4	τ5	τ6	τ7[ns]	τ合計
CLK1経路	1.02	1.01	1.03	0.99	0.95	1.04	1.04	7.08
CLK2経路	1.04	1.04	1.04	0.92	1.03	0.98	1.03	7.08

②	T1	τ2	τ3	τ4	τ5	τ6	τ7[ns]	τ合計
CLK1経路	0.96	0.97	1.01	0.91	0.96	1.02	1.02	6.85
CLK2経路	1.06	1.02	0.96	1.00	1.02	1.07	0.97	7.10

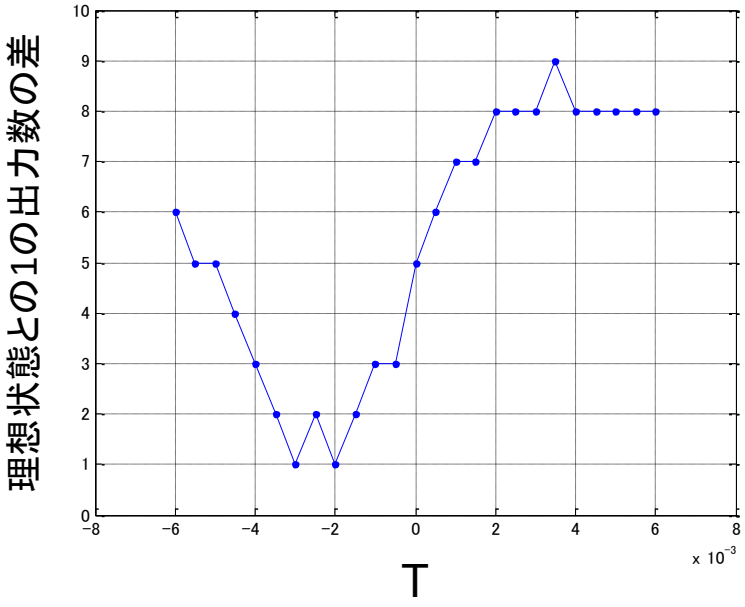
遅延ばらつきがある場合の結果

- 遅延ばらつきがある場合と無い場合との差

遅延素子パラメータ条件①



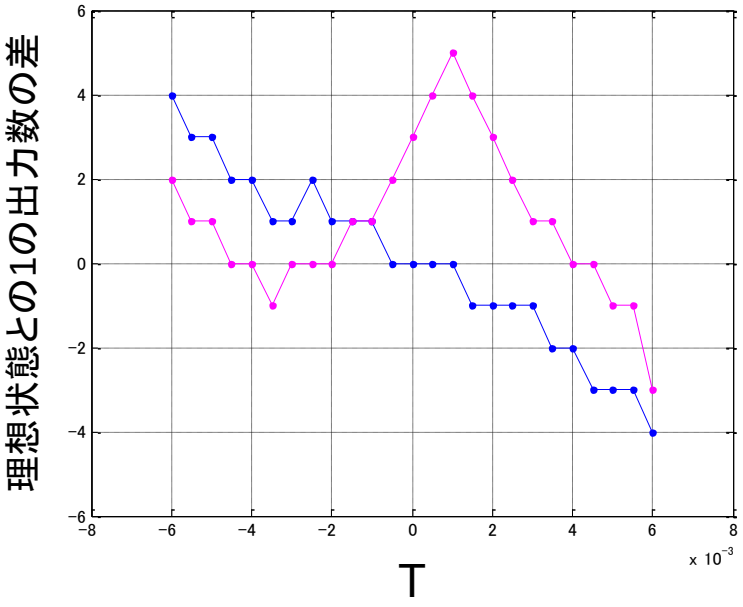
遅延素子パラメータ条件②



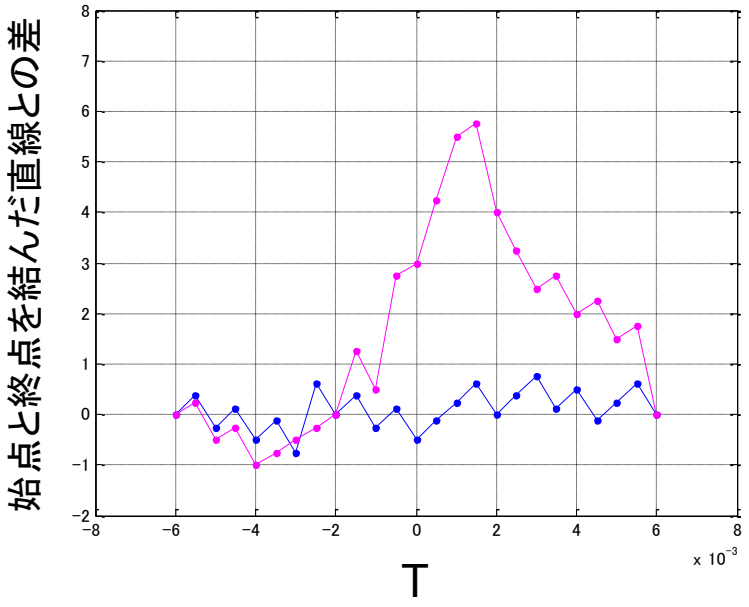
- クロック間立ち上がりタイミングTに対する出力に差が生じる
- 遅延ばらつきにより出力に非線形性を生じる

Element Rotationの効果検証（条件①）

•理想状態との差



•Element Rotationを適用しない場合と適用した場合のINL

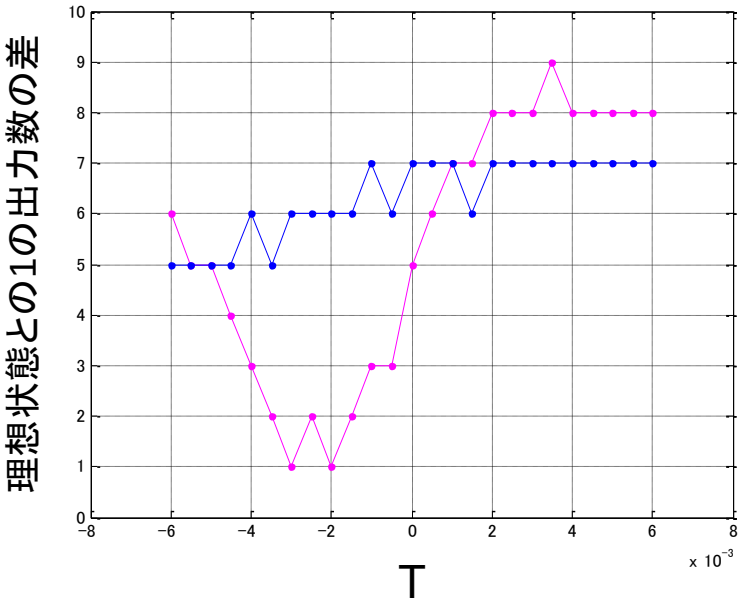


•条件①の場合は遅延ばらつきのないときと比べ傾きが変わるが線形化される

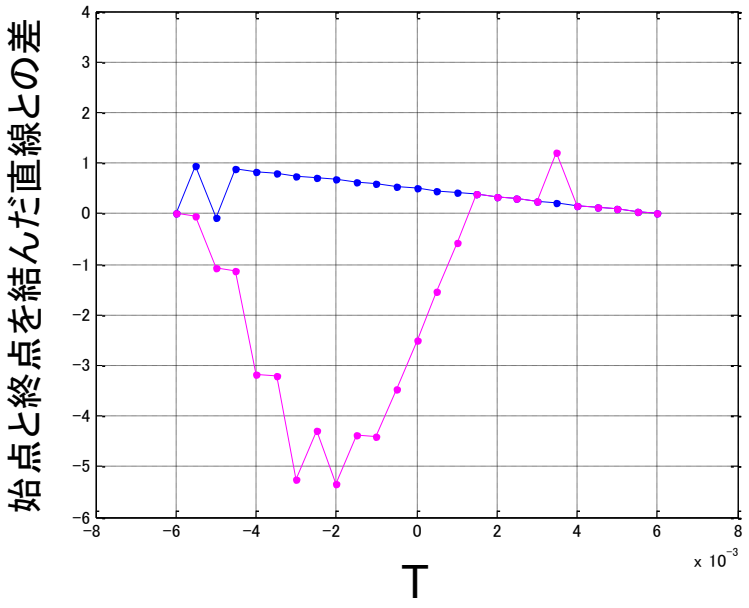
➢遅延ばらつきの影響を軽減できる

Element Rotationの効果検証（条件②）

•理想状態との差



•Element Rotationを適用しない場合と適用した場合のINL



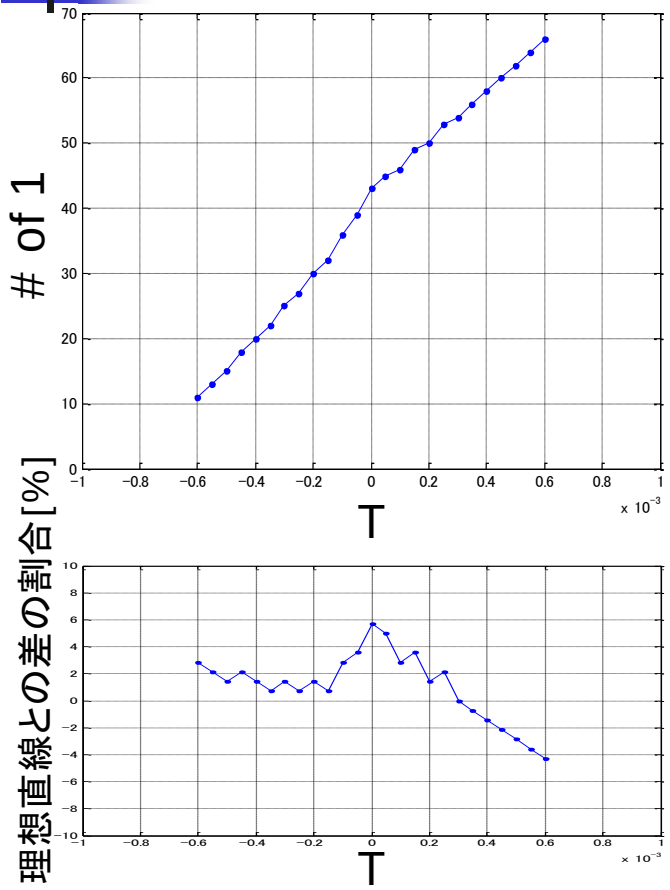
•条件②の場合は全体的に1の出る数が増えるが線形化される

➢遅延ばらつきの影響を軽減できる

測定時間を短縮した場合の結果

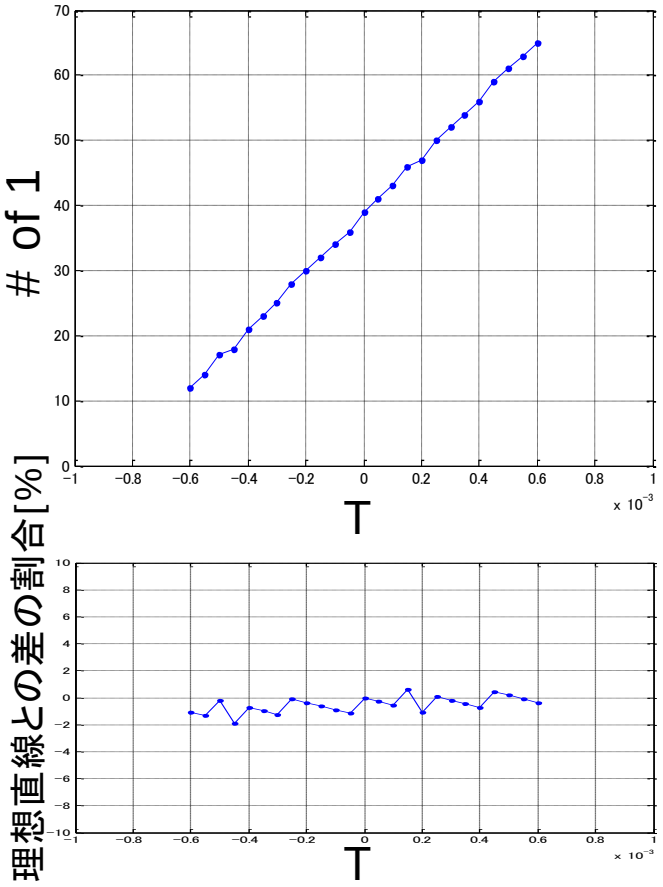
3bit, 遅延ばらつき有

- 遅延時間：τ=0.1ns
- 出力数(コンパレータの比較回数):10点



3bit, Element Rotation回路適用

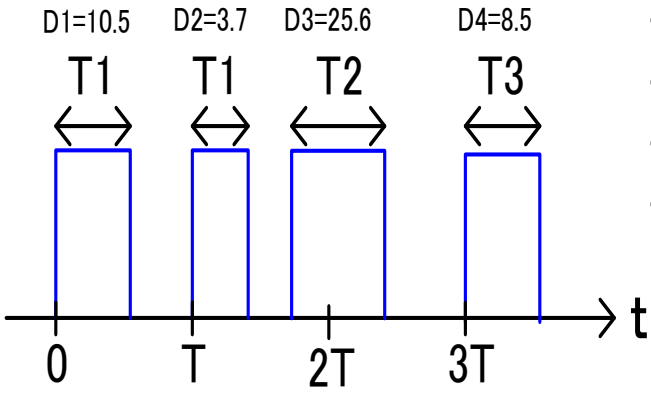
- 遅延時間：τ=0.1ns
- 出力数(コンパレータの比較回数):10点



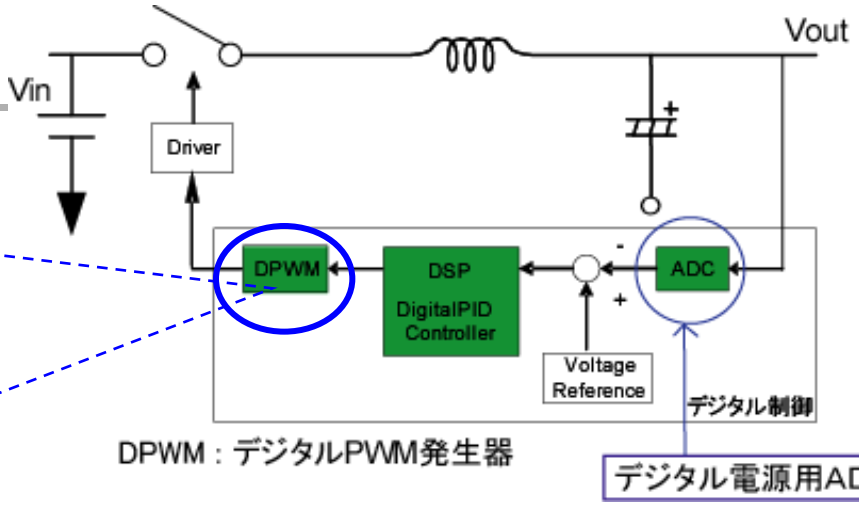
✓遅延ばらつきの影響を軽減できる

デジタルPWM発生回路

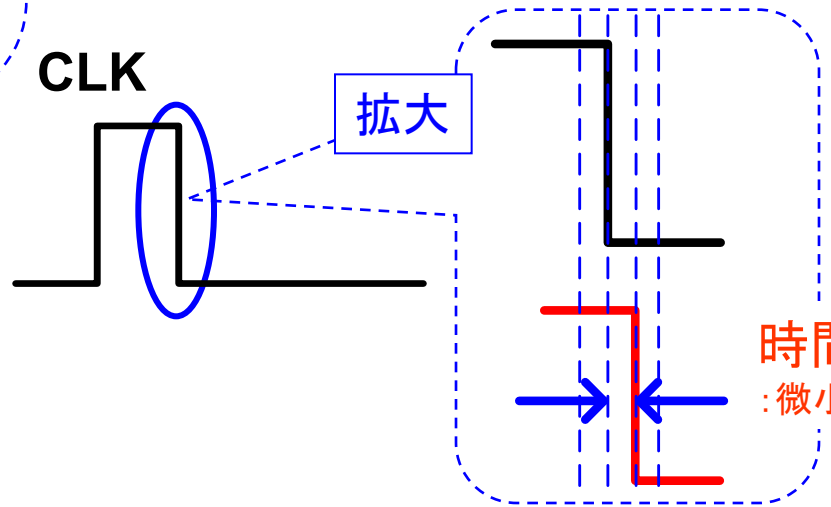
デジタル入力→時間出力：変換回路



T1∝D1
T2∝D2
T3∝D3
T4∝D4



■PWM・・・パルス幅変調
（振幅からスイッチのON時間の長さで波形を生成）

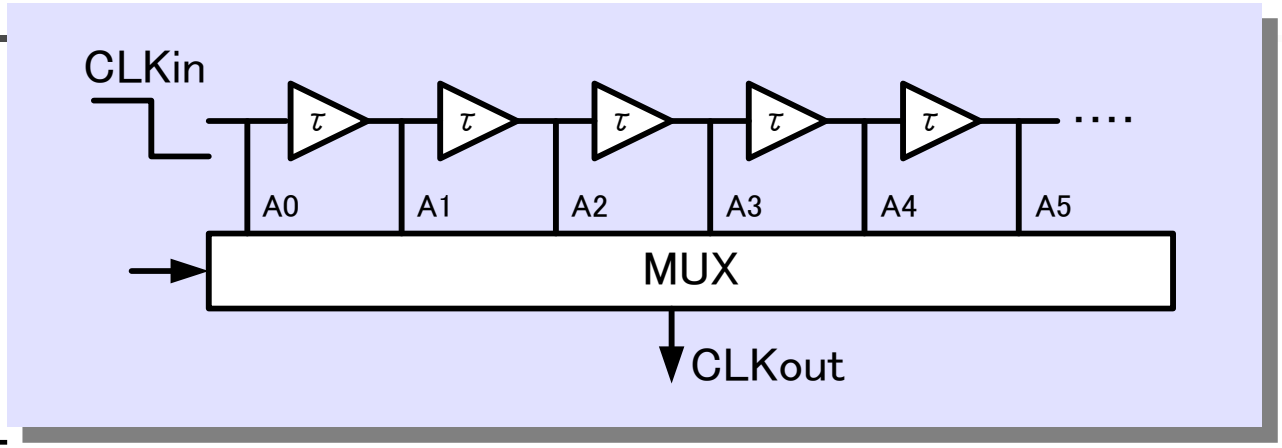


時間分解能
：微小クロック遷移

デジタル入力と
PWMデューティ比は比例関係.

高時間分解能DPWM回路

－ 従来の構成と問題点 －



- 問題点
  - ■バッファ数：大（10bit設計→1023個）
  - ■最小時間分解能
    - ・バッファのゲート遅延：τ
    - ・半導体のプロセス性能に依存（ゲート遅延によって高時間分解能を得る）

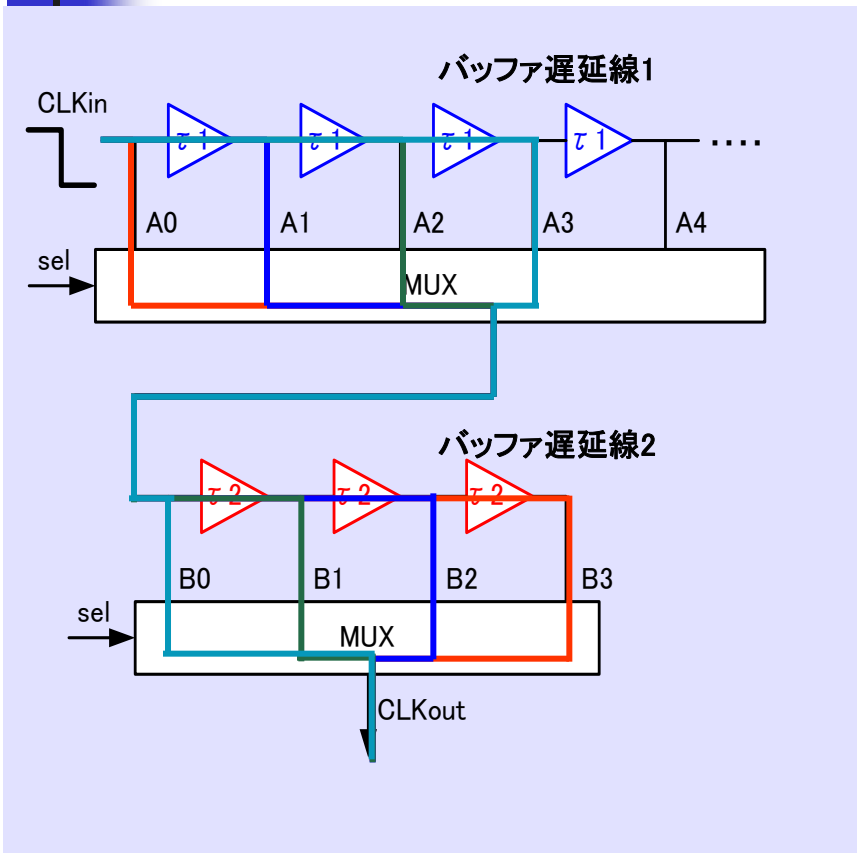
消費電力×ゲート遅延＝一定

回路規模：大、一つあたりの遅延量：小

↳消費電力：とても大きい

提案デジタルPWM回路

2つのゲート遅延τ1, τ2　ノギスの原理で動作



(A0, B3)・・・基準

(A1, B2)・・・τ1-τ2 = Δτ

(A2, B1)・・・ 2τ1-2τ2 = 2Δτ

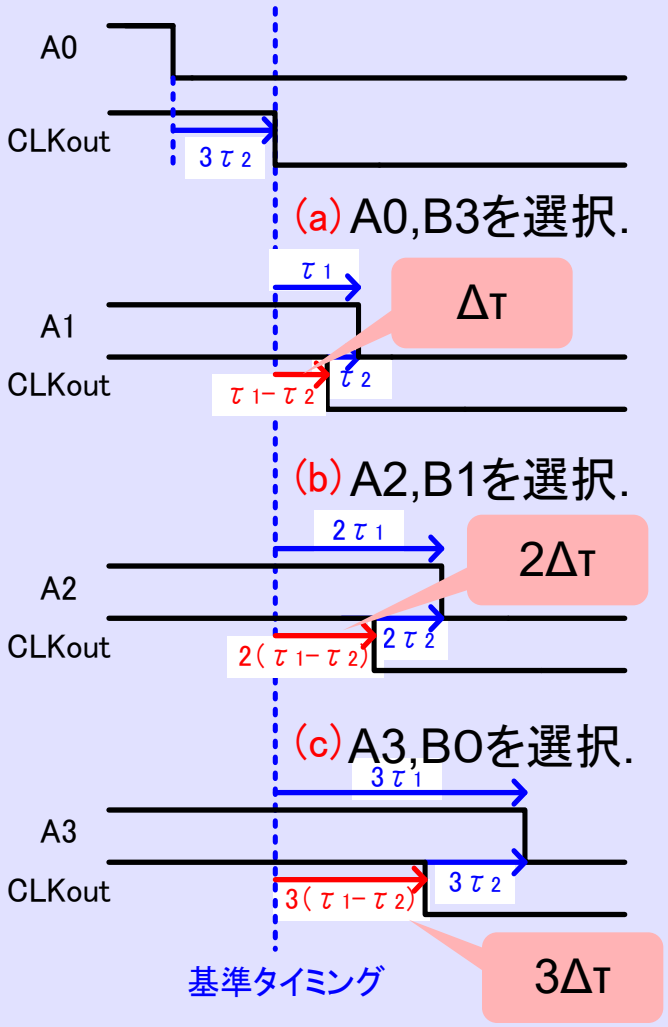
(A3, B0)　3τ1-3τ2 = 3Δτ

(A1, B3)　τ1 =4Δτ
(A2, B2)　2τ1-τ2 = τ1+Δτ
(A3, B1)　3τ1-2τ2 = τ1+2Δτ
(A4, B0)　4τ1-3τ2 = τ1+3Δτ

(A2, B3)　2τ1　(τ1=4Δτ)
(A3, B2)　3τ1-τ2 = 2τ1+Δτ
(A4, B1)　4τ1-2τ2 = 2τ1+2Δτ
(A5, B0)　5τ1-3τ2 = 2τ1+3Δτ

提案デジタルPWM回路

タイミングチャート



特徴

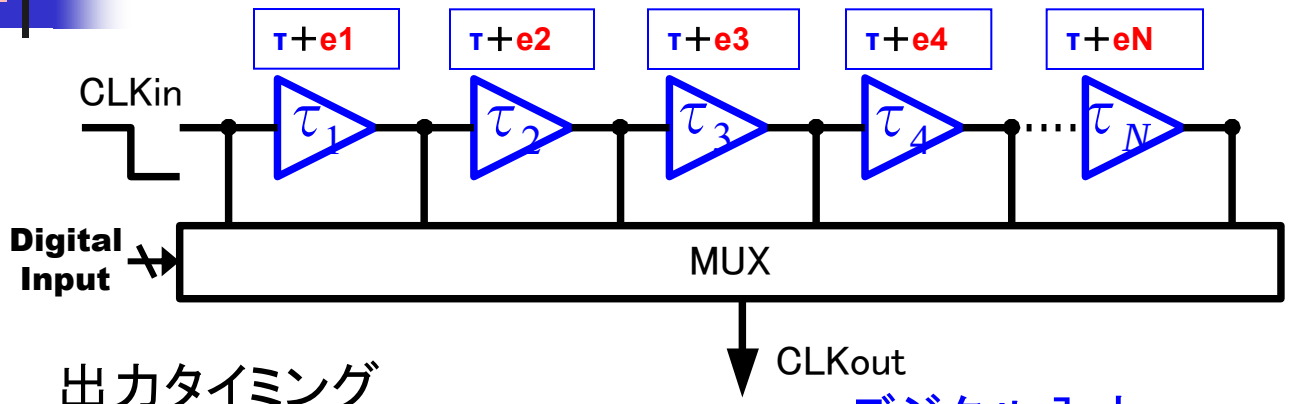
- 時間分解能：

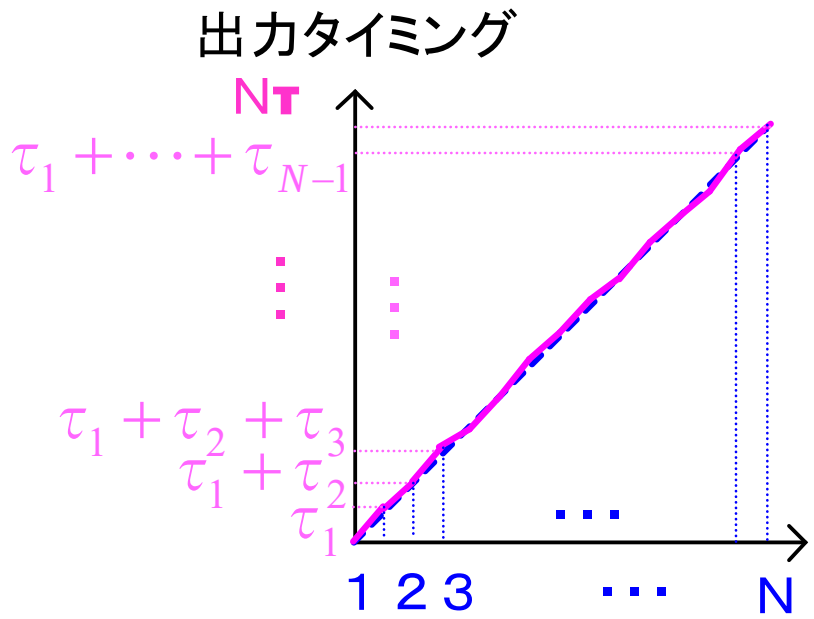
  $\Delta T = \tau_1 - \tau_2$

  一つのバッファの
  ゲート遅延量より小

- バッファ総数も激減

バッファ遅延ばらつきによる非線形性

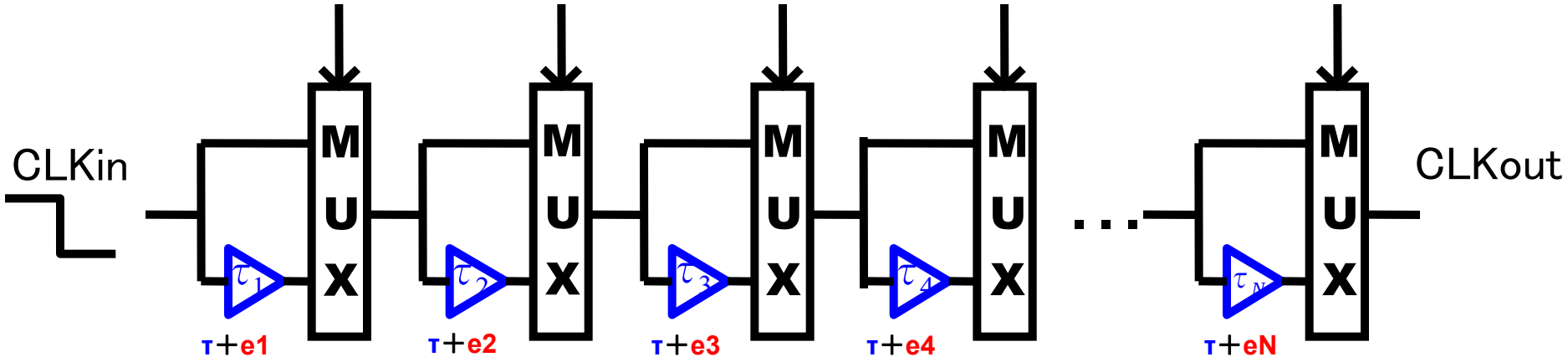




デジタル入力		出力タイミング
0･･･001（1）	⟶	τ＋e1
0･･･010（2）	⟶	2τ＋e1＋e2
0･･･011（3）	⟶	3τ＋e1＋e2＋e3
⋮		⋮
＊･･･＊＊（N）	⟶	Nτ＋e1＋･･･＋eN

ダイナミック・マッチングによる時間平均線形化

デジタル入力が0･･･010(2)の場合



$$2T_{12} = 2T + e1 + e2 \quad \Rightarrow \quad T_{12} = T + \frac{e1 + e2}{2}$$

$$2T_{24} = 2T + e2 + e4 \quad \Rightarrow \quad T_{24} = T + \frac{e2 + e4}{2}$$

$$2T_{1N} = 2T + e1 + eN \quad \Rightarrow \quad T_{1N} = T + \frac{e1 + eN}{2}$$

$$\vdots \qquad\qquad \vdots$$

ランダムな経路選択

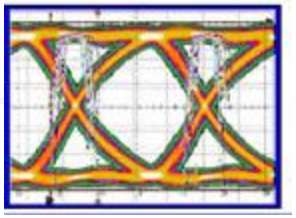
⇓

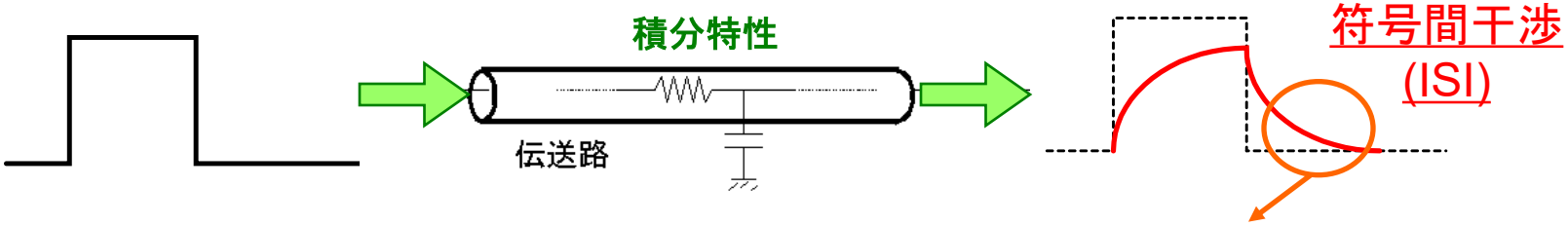
バッファ遅延の時間平均

$\overline{T} = T$

高速デジタル伝送

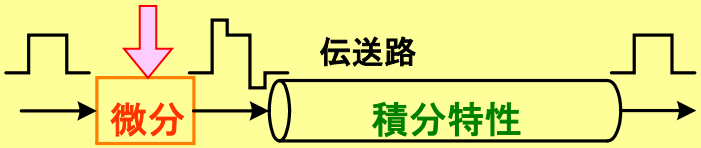
信号伝送速度の高速化
⇒伝送路の寄生素子(RC成分)により、
高周波成分が失われ信号が劣化



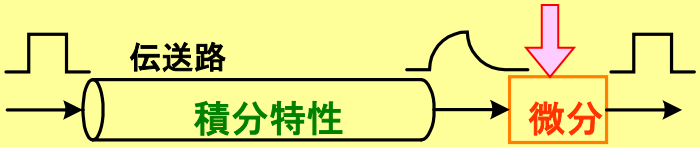


波形整形技術が必要

送信系 ・プリエンファシス技術



受信系 ・イコライズ技術



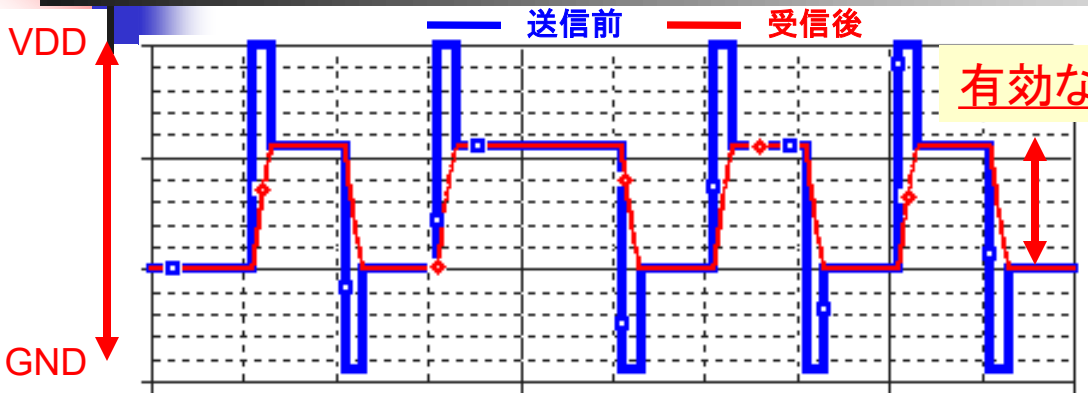
群馬大学
弓仲康史 准教授
作成資料

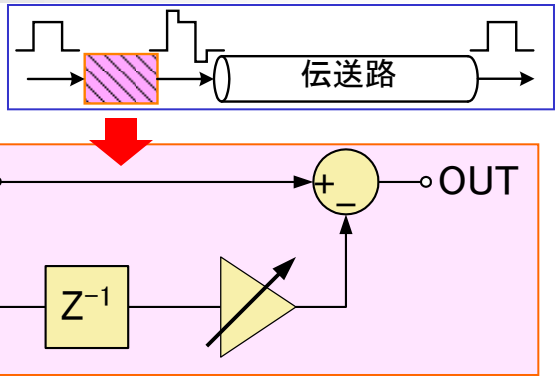
PWMプリエンファシス

オランダ
Twente 大学
Nauta 先生

従来のプリエンファシス

変化点（振幅）をあらかじめ強調し信号を伝送





問題点

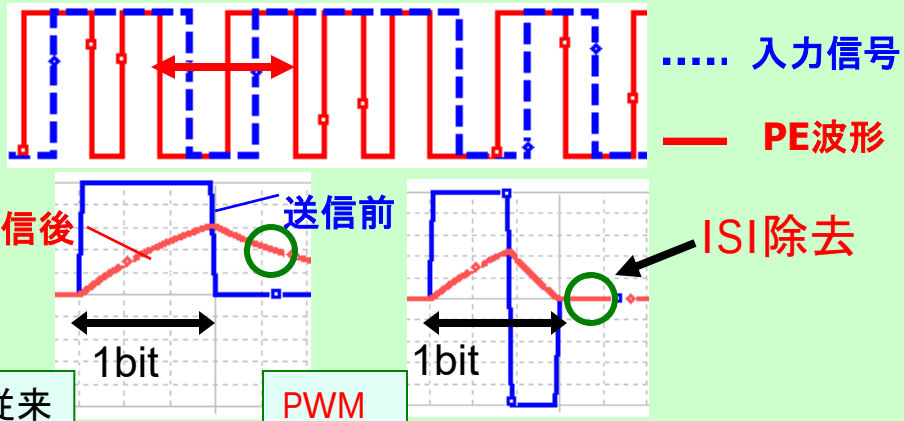
- 電源による振幅の制約
- 振幅方向の電圧制御精度

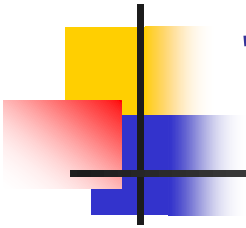
今後の傾向

- 電源の低電圧化
- 高速化によるタイミング分解能の向上

パルス幅変調プリエンファシス

振幅方向ではなく、時間軸方向に着目





アナログアシストデジタル技術

デジタルを生かすためのアナログ技術

高速デジタル信号伝送
イコライザ、プリエンファシス技術

発表内容

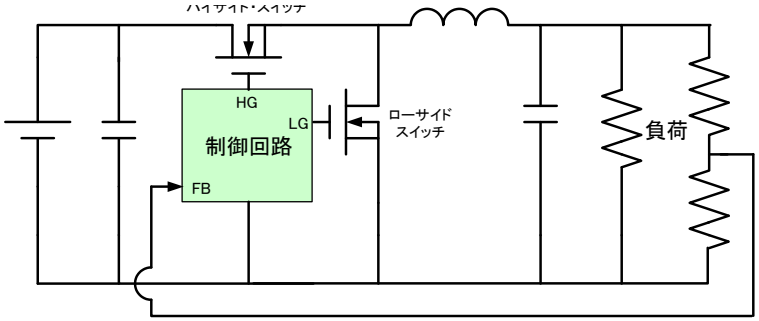
- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域１：　振幅連続、時間連続
  - 領域２：　振幅連続、時間離散
  - 領域３：　振幅離散、時間連続
  - 領域４：　振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

デジタル制御電源

コスト・電力の課題はあるがデジタル化の流れ

（領域４：　振幅離散、時間連離散）

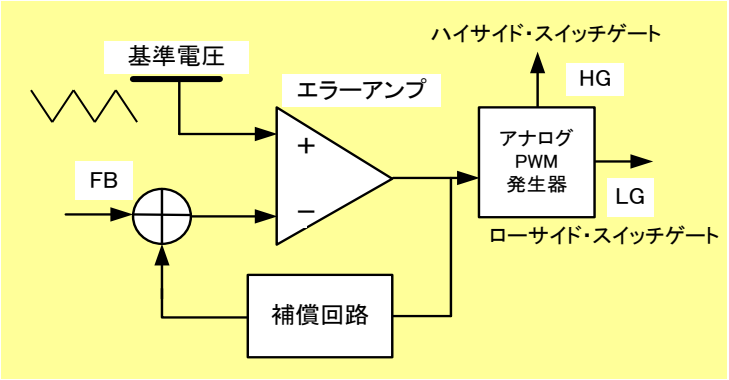
- スイッチング電源回路



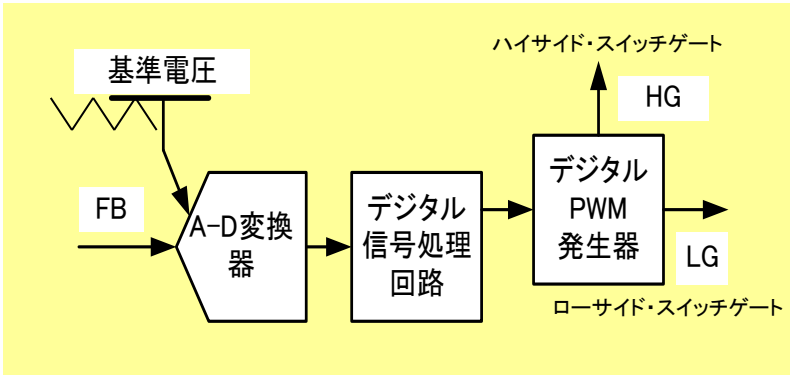
- 外資系半導体メーカー
  パワーマネージメント製品に注力
- 微細CMOSでデジタル制御
- デジタルの新アイデアで高性能化
- 通信機能の取り込み

- 制御回路部

アナログ方式

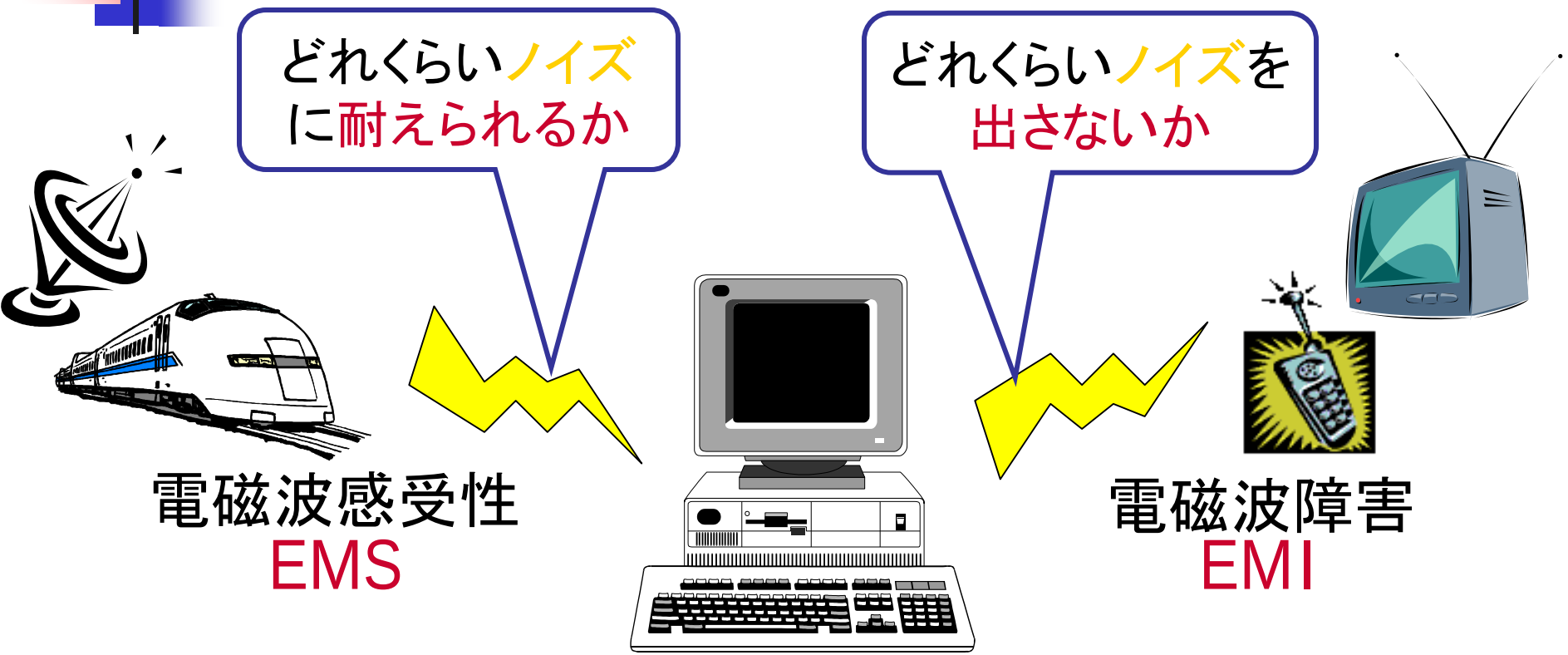


デジタル方式



デジタル制御電源でのEMI低減化

EMI（ElectroMagnetic Interference ）とは

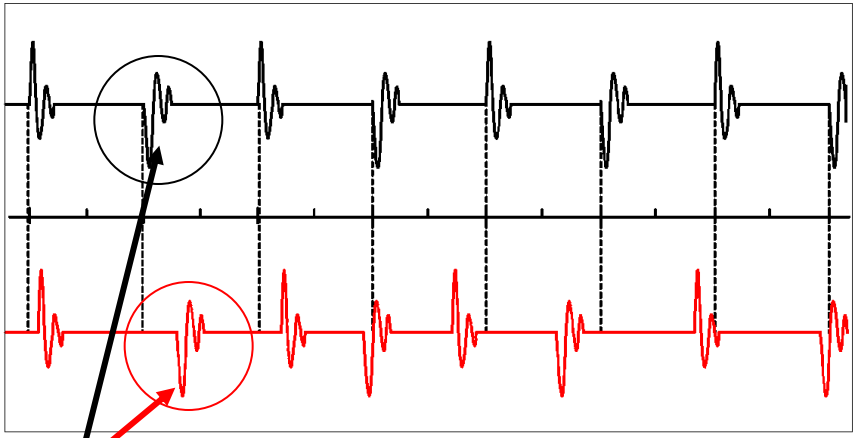


EMC ＝ EMS ＋ **EMI**

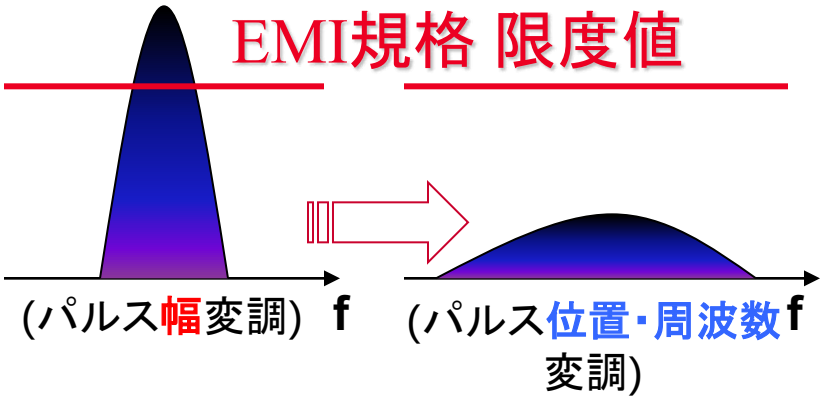
Electro Magnetic Compatibility：電磁環境両立性

スペクトル拡散クロックによる電源回路のEMI低減

スイッチングノイズパワー ⇒ 特定周波数成分に集中して発生



スイッチングノイズ



スイッチングノイズパワーの周波数成分を拡散

デジタル電源で複雑な周波数拡散アルゴリズムを実現し、更なるEMI低減化。　群馬大・東光(株)との共同研究

基地局パワーアンプの効率

現在の製品レベル

入力電力　約200W

出力電力　30W

効率　15%

170W程度の損失

大きなバックアップシステムが必要

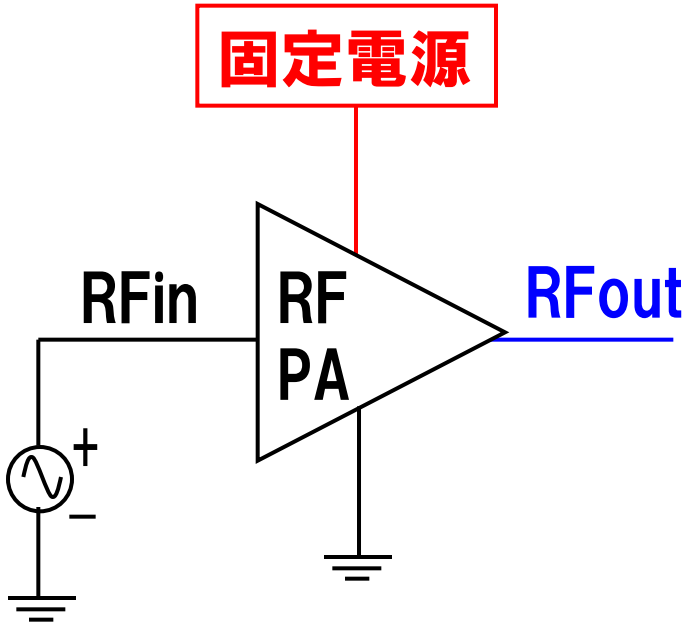
高効率化の
要求が非常に強い

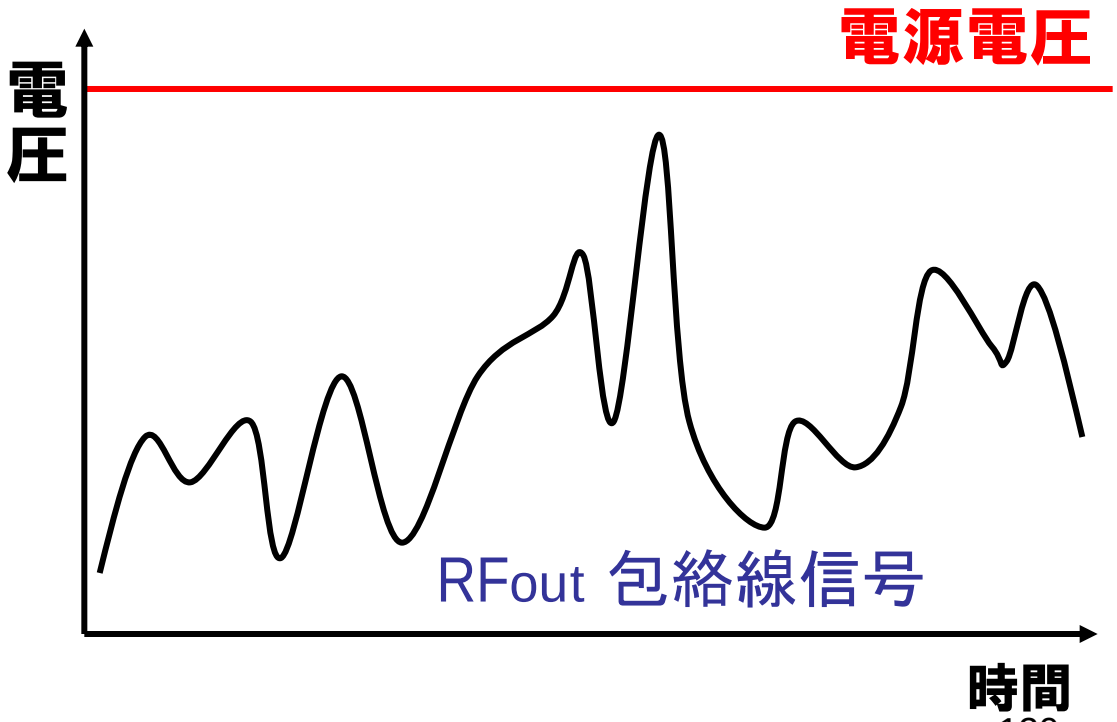
基地局パワーアンプと電源

従来のパワーアンプ電源

・電源電圧一定

・消費電力に無駄が多い



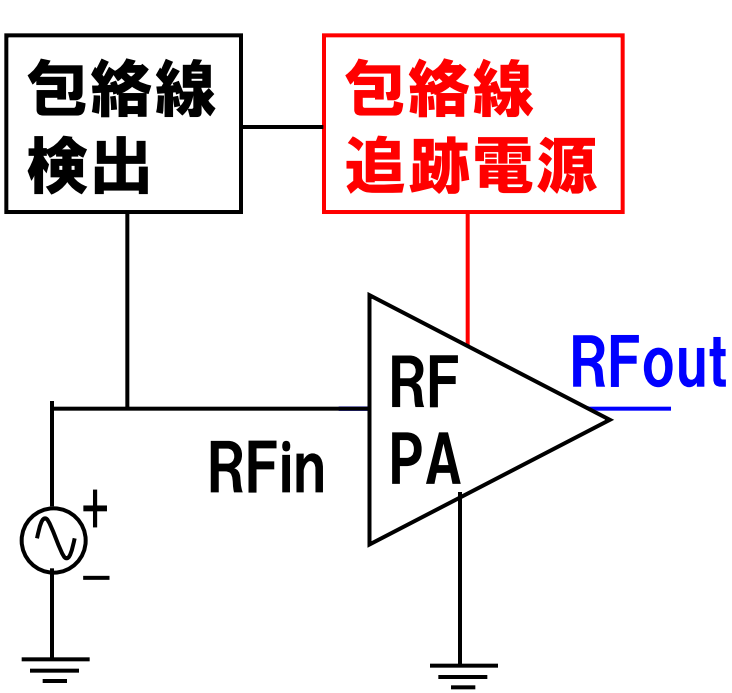


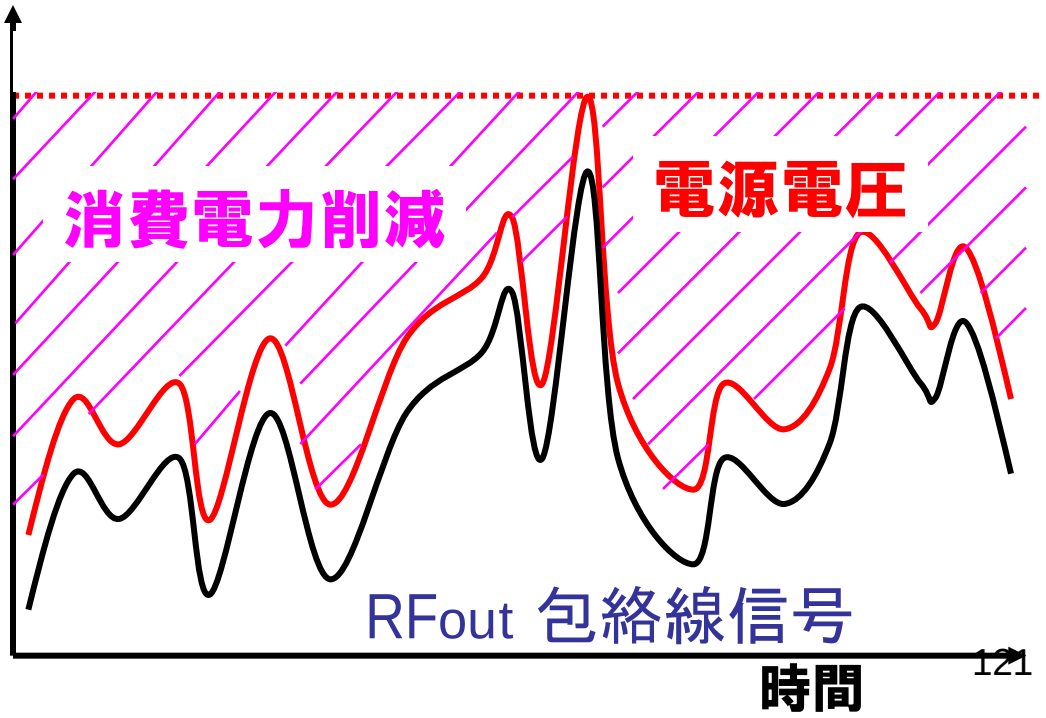
UCSD
Larson 先生

包絡線追跡電源による高効率化

- RF入力信号の包絡線を検出
- パワーアンプに可変電源電圧を供給
- W-CDMA, OFDMに対して効果的

RF PA の
デジタル歪補正

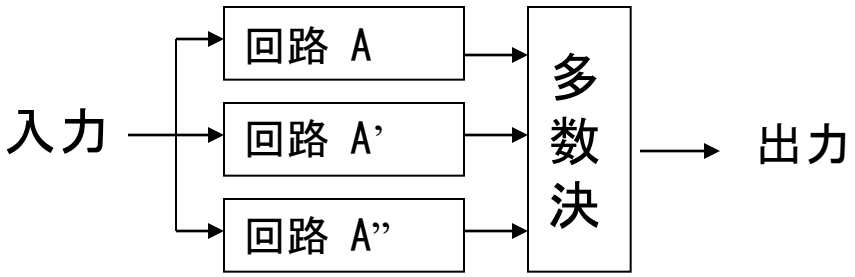




冗長性によるデジタル誤差補正

- 空間の冗長性と時間の冗長性
- 回路の非理想要因を許容して正解を出力。
- 非理想要因は計測しない。
- デジタル誤差補正技術により
  - 高信頼性化
  - 高速化
- ここで紹介するのは
  時間の冗長性を用いた
  逐次比較近似ADC

cf. 空間の冗長性の例



逐次比較近似AD変換器の背景

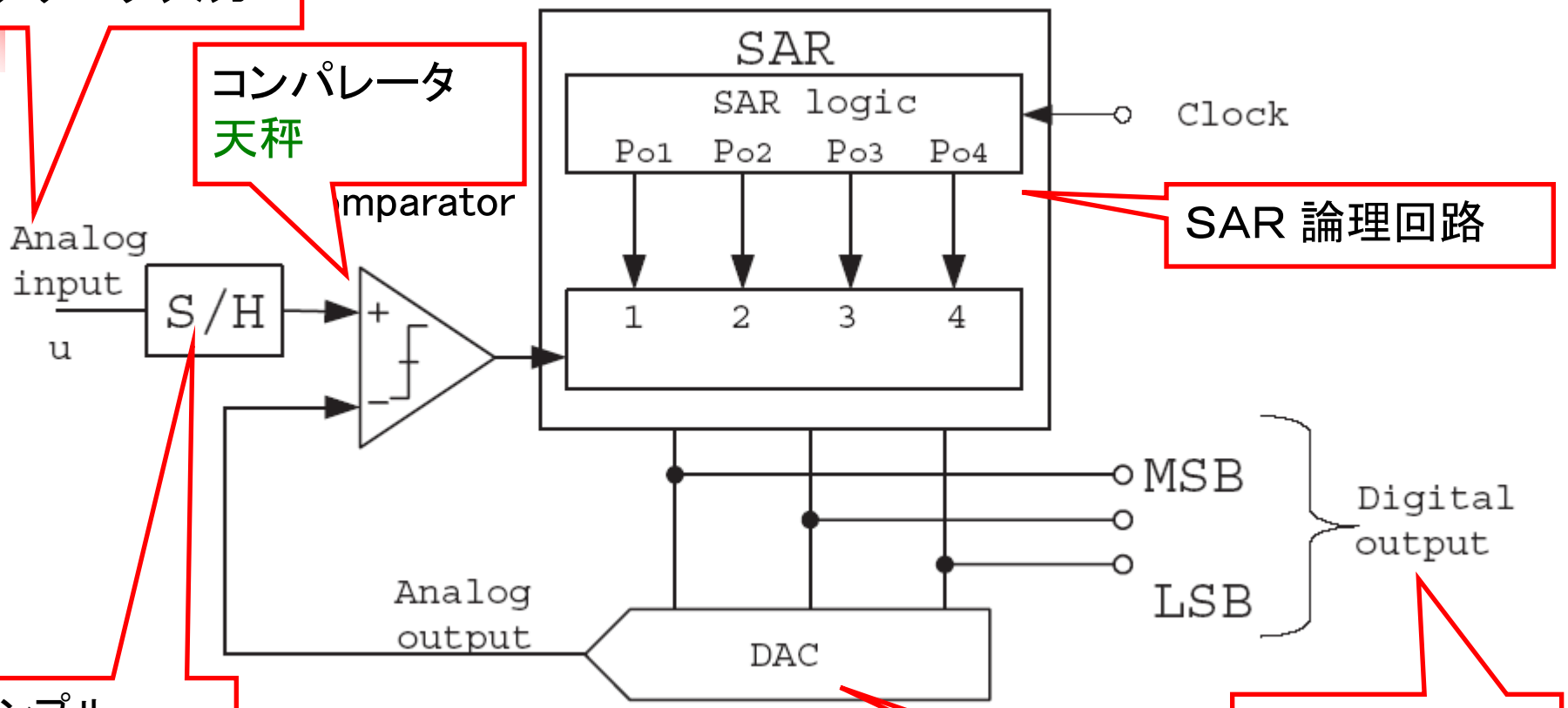
- 高分解能
- 中速
- 低消費電力
- 小型・小チップ面積

産業界で広く使用

- 車載用マイコンに混載
- ペンデジタイザ
- 工業用制御機器

- 大部分がデジタル回路で構成
  ナノＣＭＯＳでの実現に適す

逐次比較近似ADCの構成と動作



アナログ入力

コンパレータ
天秤

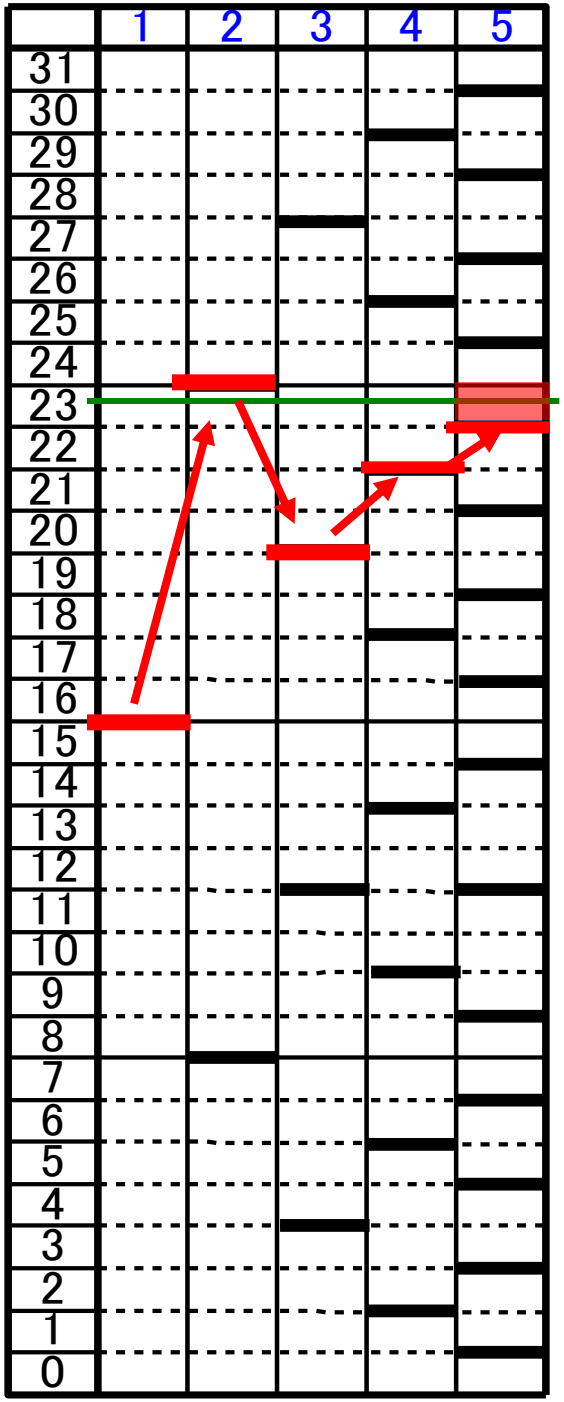
SAR 論理回路

サンプル
ホールド回路

天秤の原理で動作
天秤がコンパレータ
分銅がDAC

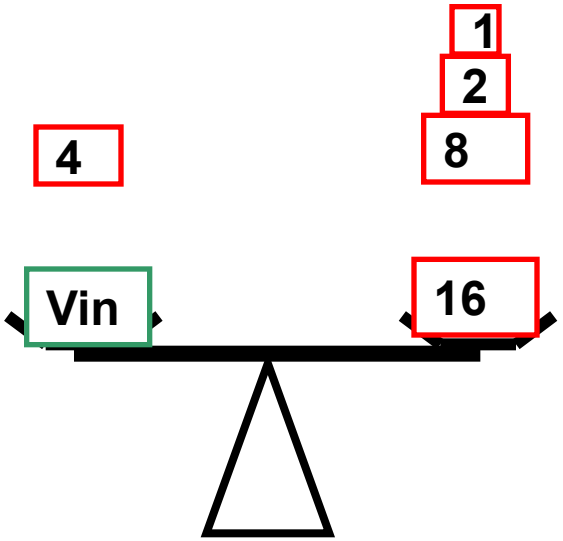
DA変換器
分銅

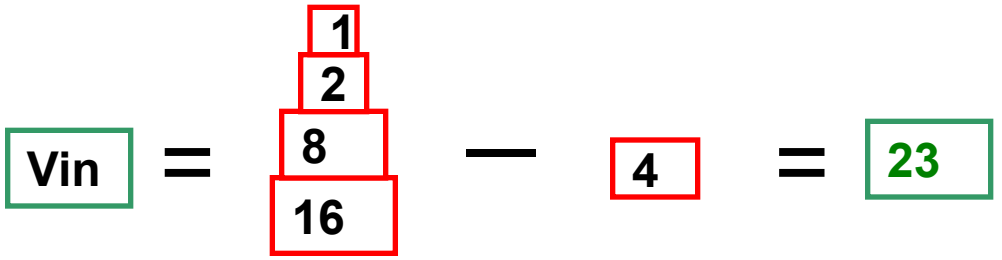
デジタル出力



5ビット　逐次比較近似ADC
2進探索アルゴリズム動作

動作例：アナログ入力　23.5のとき





2進探索アルゴリズム
コンパレータ誤判定時の動作

Vin=23.5　動作例：アナログ入力　23.5のとき

1ステップ目で誤判定したとき

誤差大

デジタル
出力15

Vref(1)=16

Vref(2)=8

Vref(3)=12

Vref(4)=14

Vref(5)=15

デジタル出力　15

非2進探索 冗長アルゴリズム

kステップ目の判定　d(k) : +1 or -1

2進探索アルゴリズム

$Dout=2^4+d(1)2^3+d(2)2^2+d(3)2^1+d(4)+d(5)0.5-0.5$

非2進アルゴリズム：5ビット分解能を6ステップで実現。

従来の非2進探索アルゴリズム

$Dout=2^4+d(1)\gamma^4+d(2)\gamma^3+d(3)\gamma^2+d(4)\gamma^1+d(5)+d(6)0.5-0.5$

$1<\gamma<2$

アルゴリズムが一意的に決まる。

$$\gamma = 2^{\frac{5}{6}}$$

非2進探索アルゴリズムの一般化

$Dout=2^4+d(1)p(2)+d(2)p(3)+d(3)p(4)+d(4)p(5)+d(5)p(6)+d(6)0.5-0.5$

p(k)を自由に決める。　　p(k):分銅の重さ

非2進探索アルゴリズムのデジタル誤差補正原理

入力5のとき

2進探索

判定出力 :101

$$Dout = 4 + 2 - 1 + 0.5 - 0.5 = 5$$

非2進探索

2通り

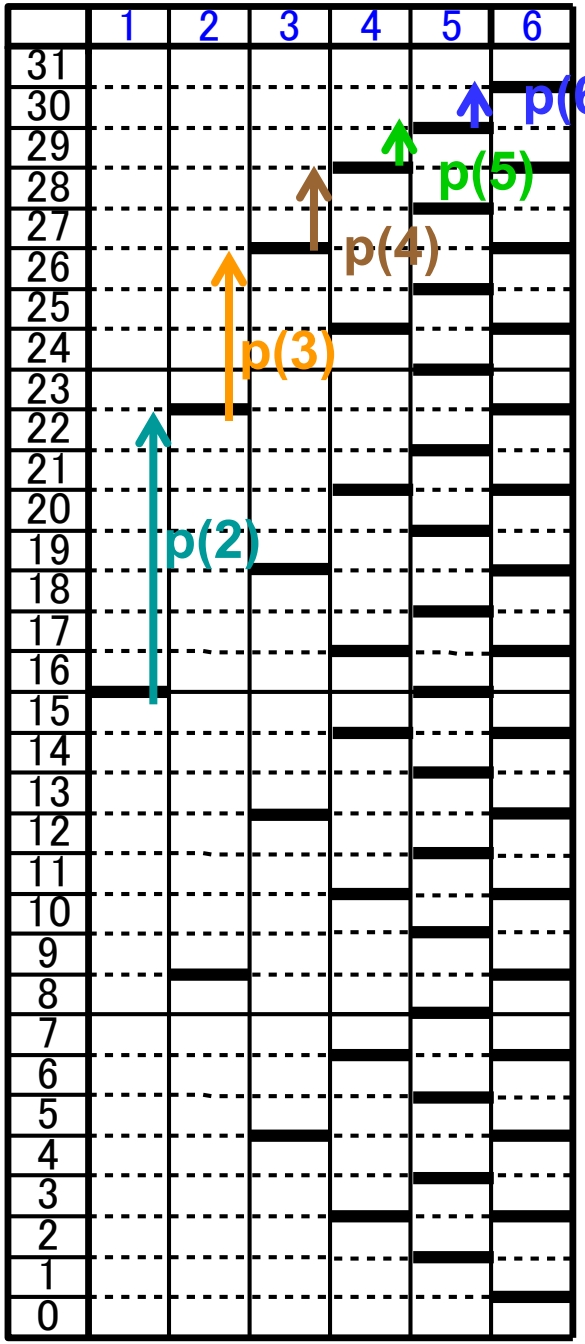
判定出力 :1101

$$Dout = 4 + 1 + 1 - 1 + 0.5 - 0.5 = 5$$

判定出力 :0111

$$Dout = 4 - 1 + 1 + 1 + 0.5 - 0.5 = 5$$

1ステップ目で判定誤りをしても補正できる



非2進探索アルゴリズム

5ビット分解能(32レベル)

6ステップ(k=1,…,6)の場合

p(2)=7

p(3)=4

p(4)=2

p(5)=1

p(6)=1

分銅の重さに対応

と設計する。

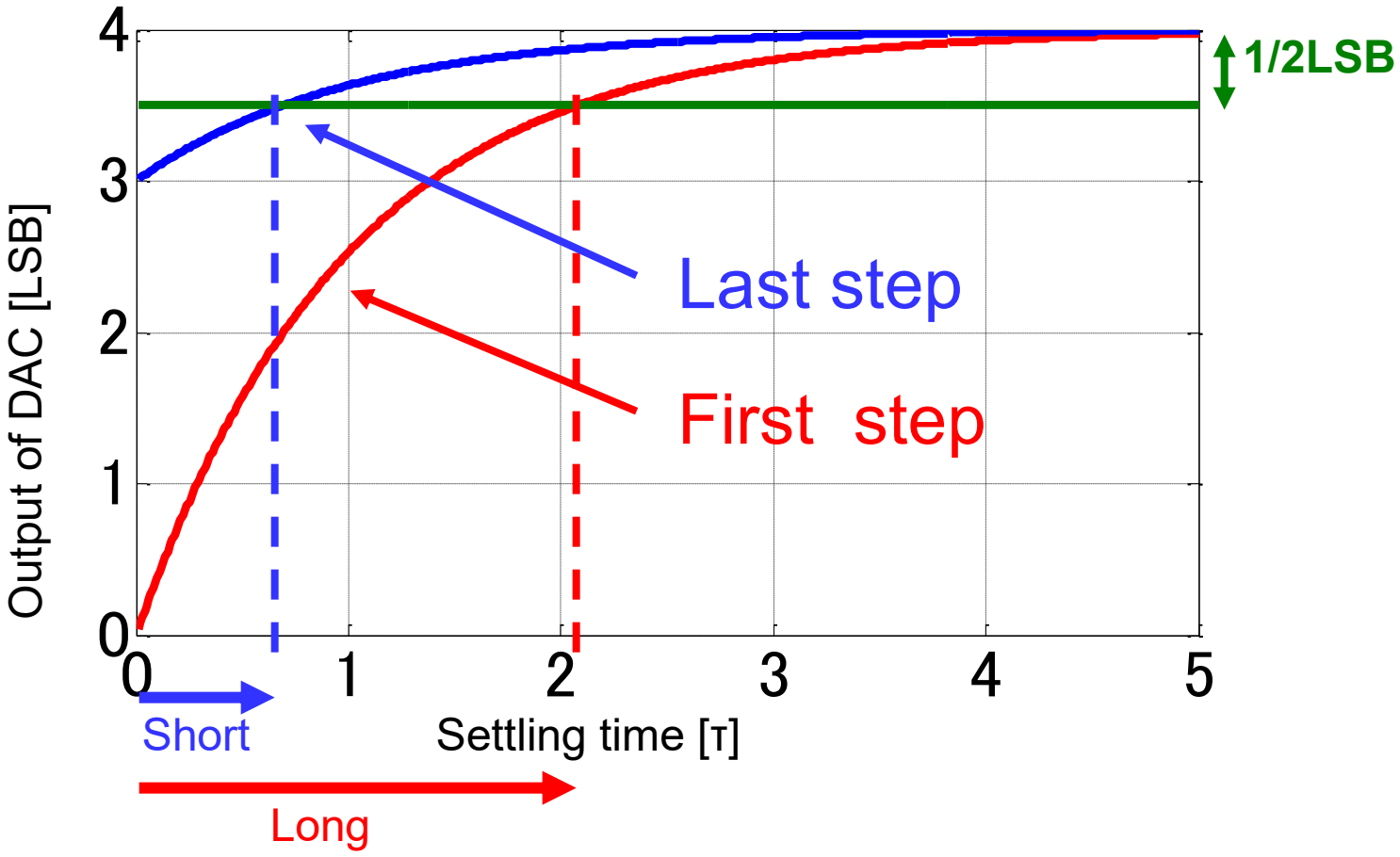
$2^{5-1}=1+p(2)+p(3)+p(4)+p(5)+p(6)$

$2^4=1+7+4+2+1+1=16$

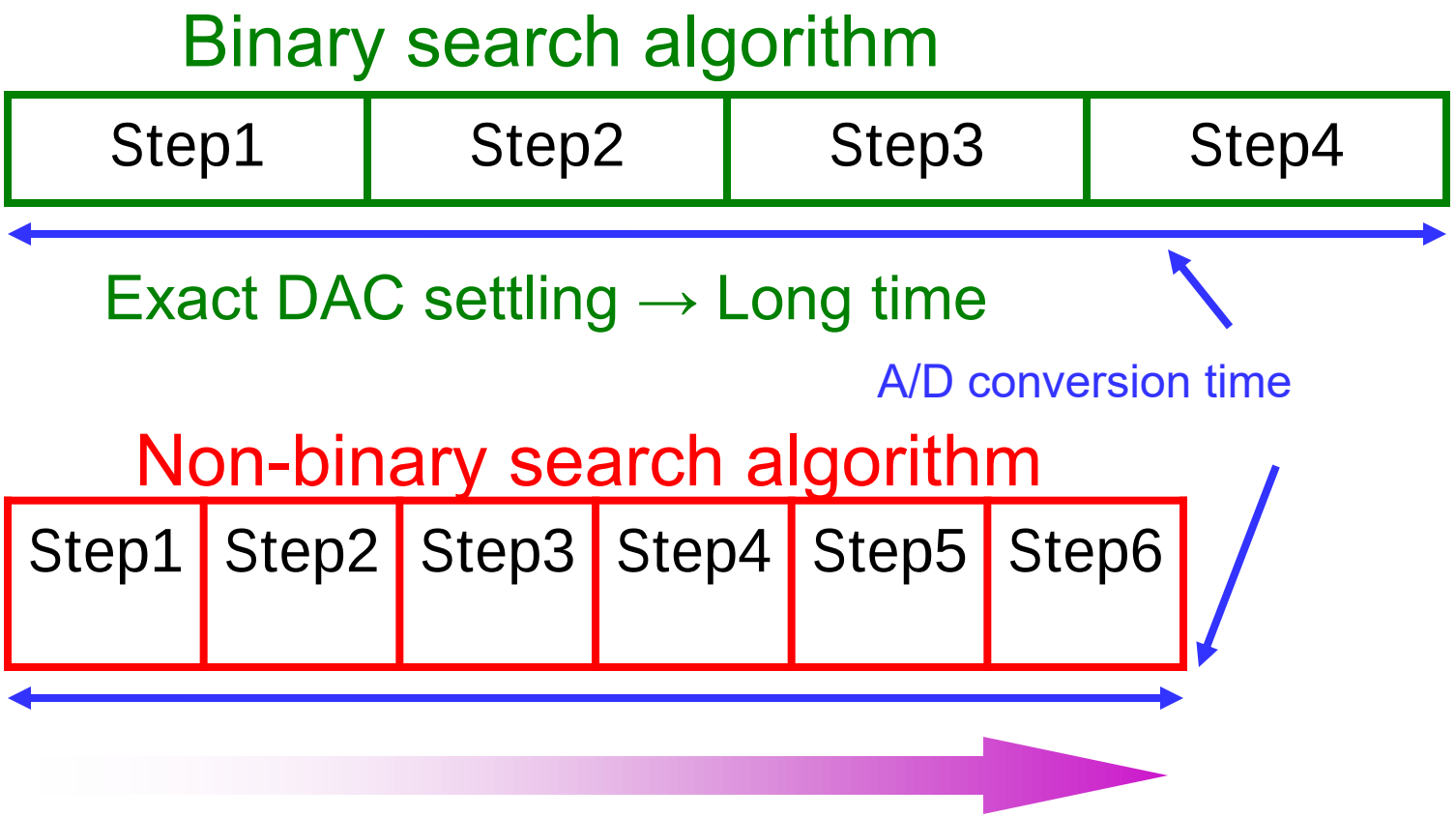
$$2^{N-1}=1+\sum_{i=2}^{M}p(i)$$

を満たしている

参照電圧発生用の内部DA変換器の整定時間



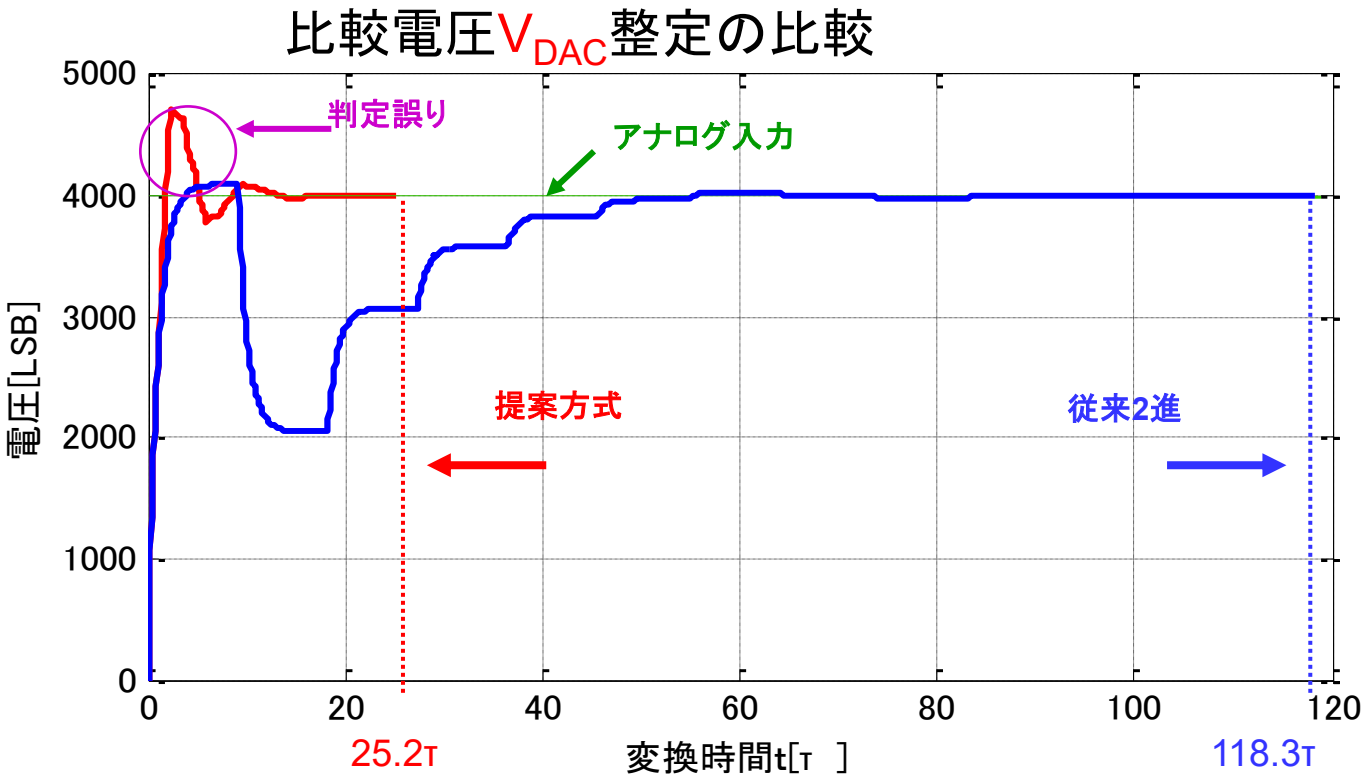
非2進探索アルゴリズムによる AD変換 高速化 （原理説明）



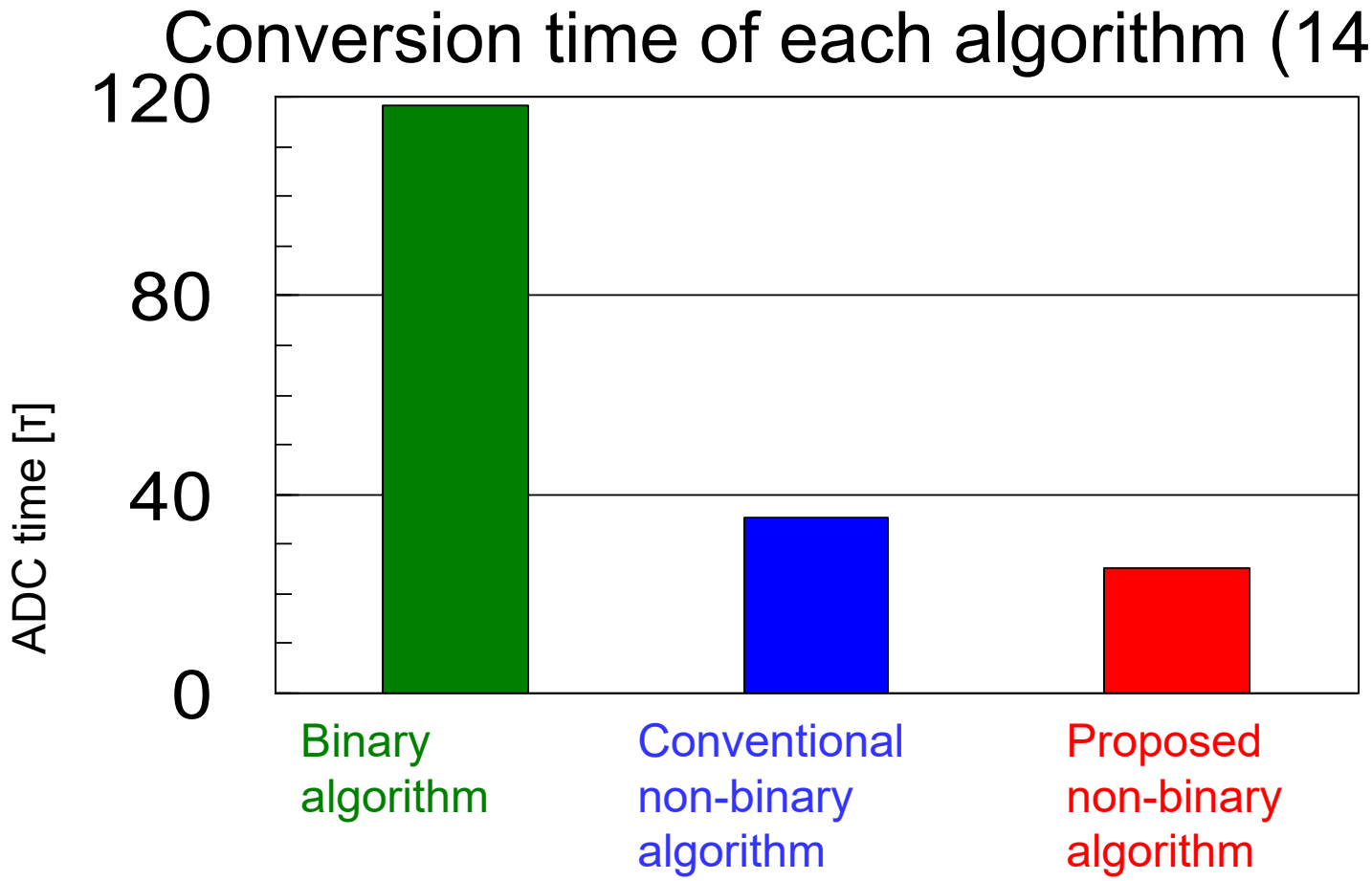
非2進探索アルゴリズムによる AD変換 高速化 (シミュレーション確認)

従来2進:　14ビット14ステップ　1サイクル9.1τ

提案非2進:　14ビット22ステップ　1サイクル1.2τ

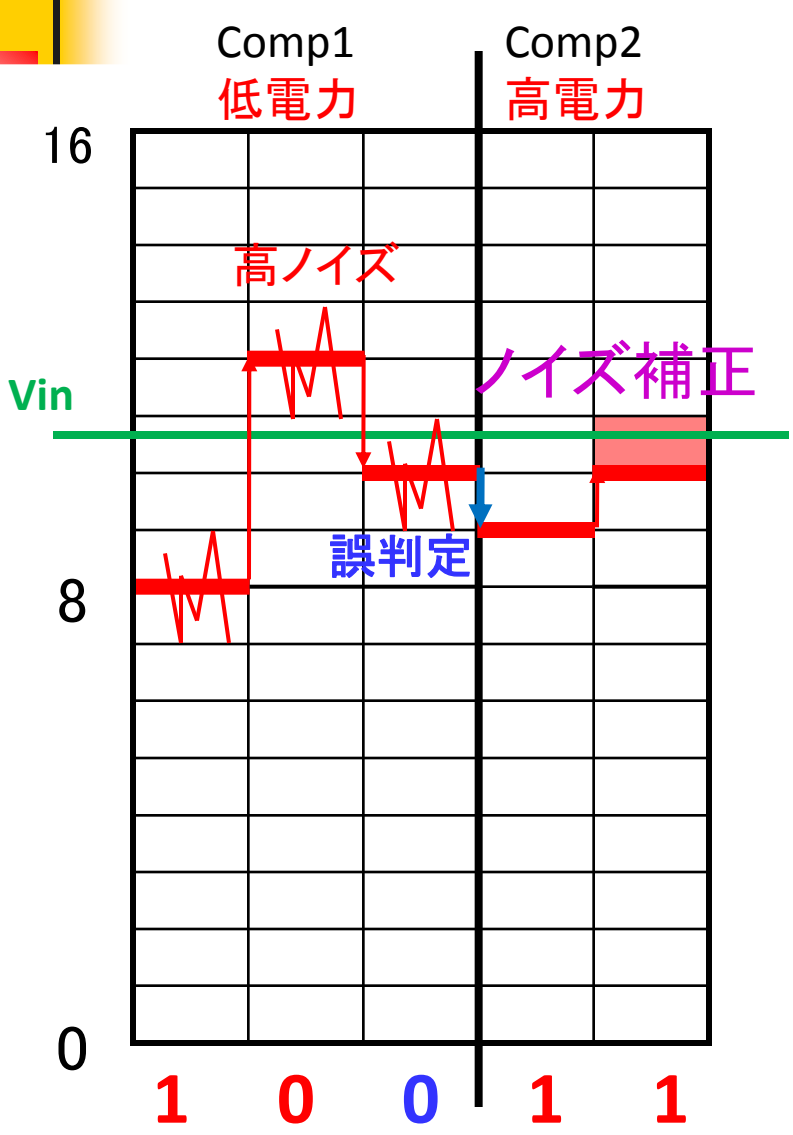


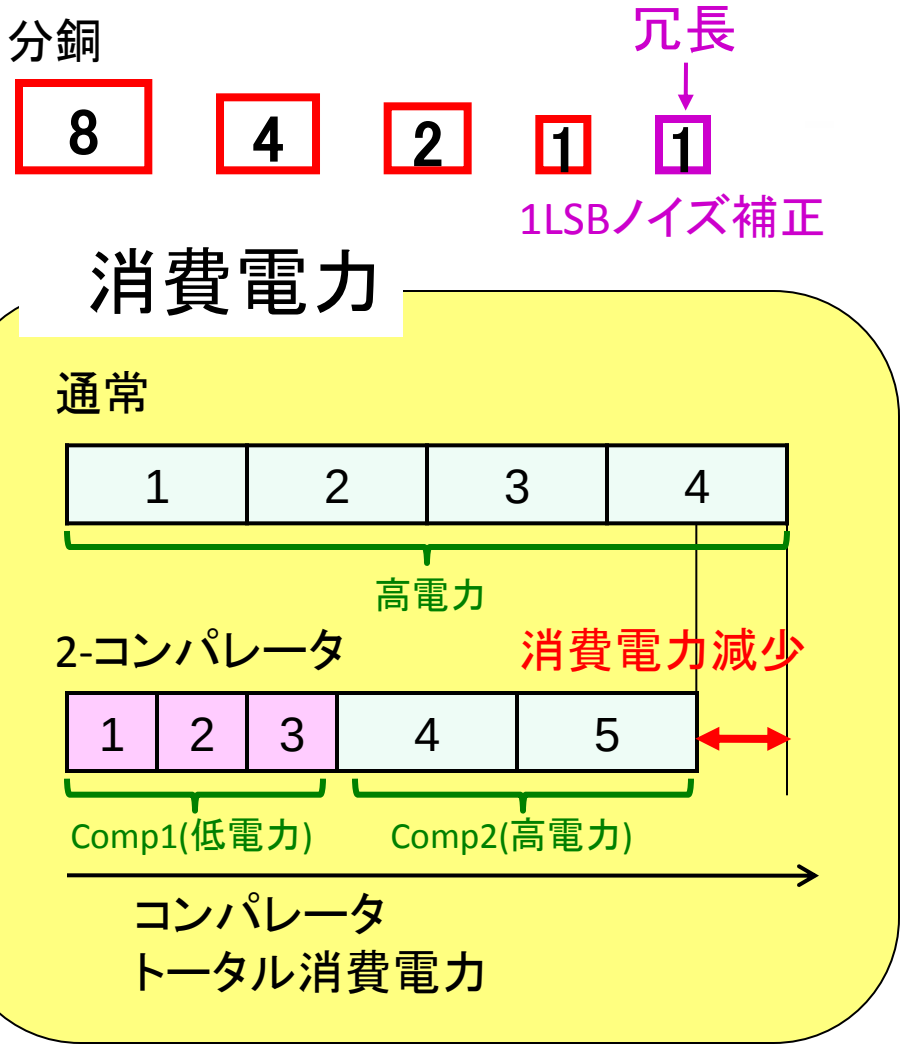
AD変換スピードの比較



2つのコンパレータ使用 SAR ADC（IMEC提案）

冗長による
低消費電力化

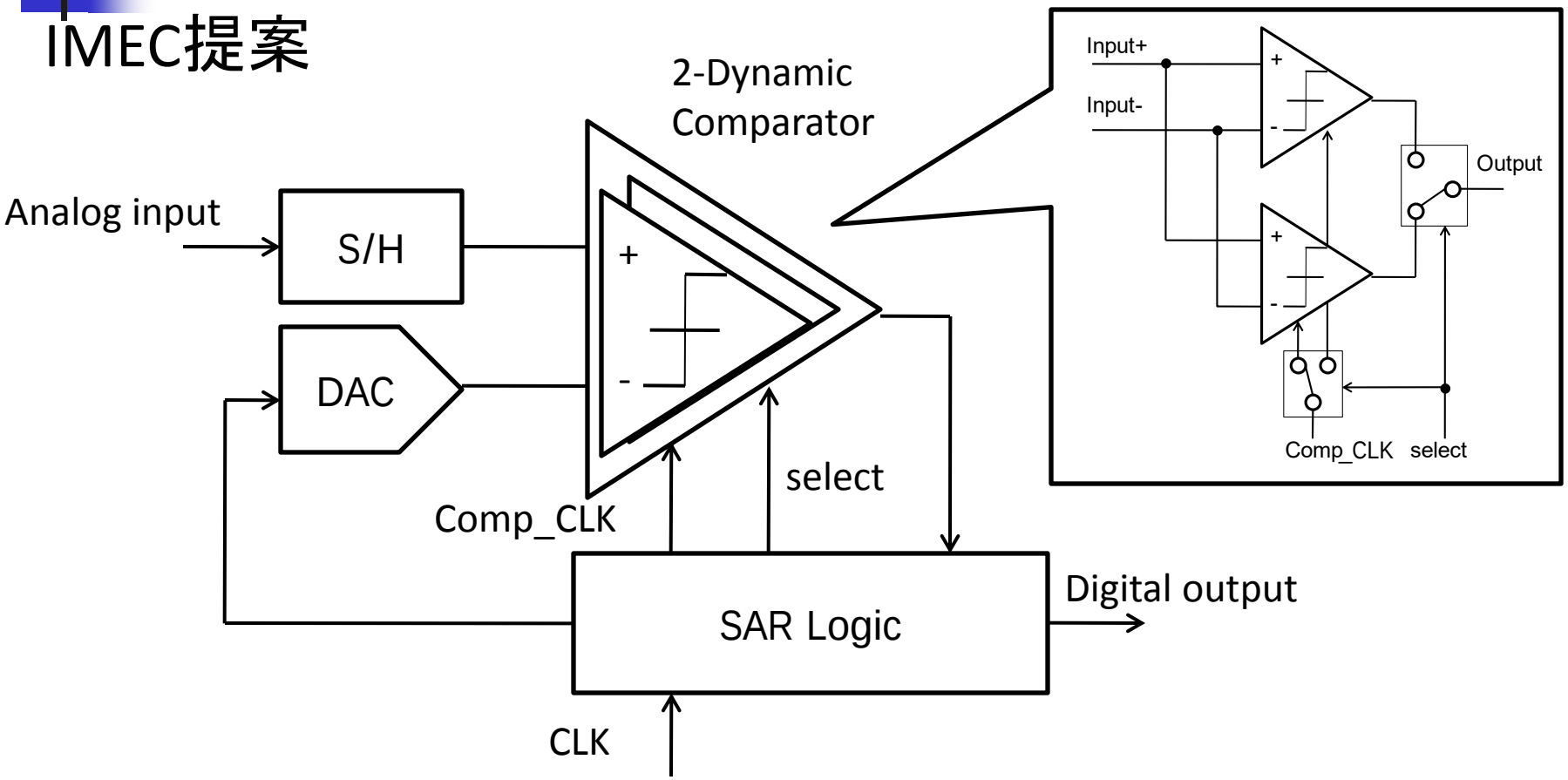




冗長による
低消費電力化

2-コンパレータ SAR ADC 構成

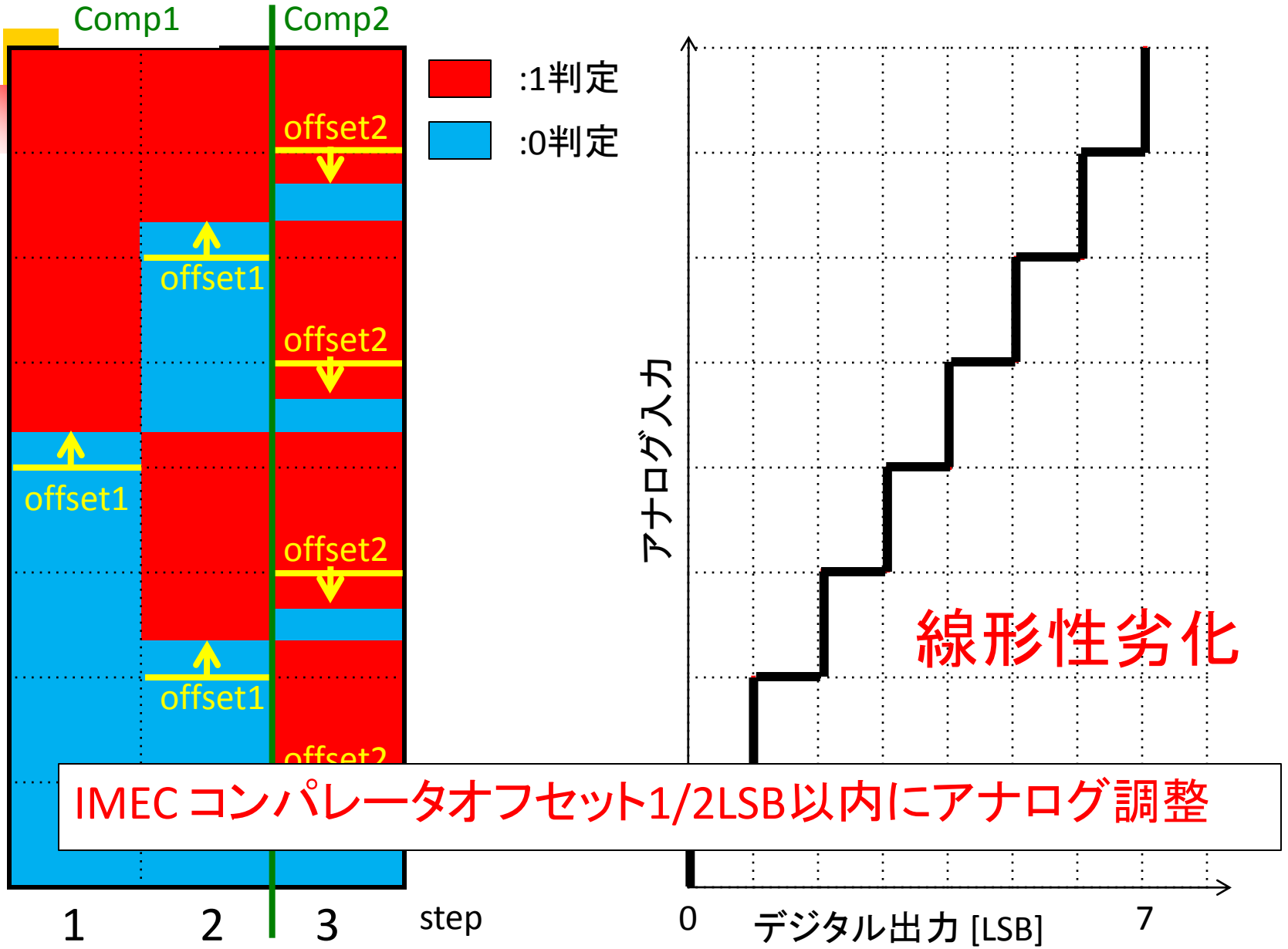
IMEC提案



V.Giannini, P.Nuzzo, V.Chironi,A.Baschirotto, G.V.Plas,J.Craninckx
“ An 820 μ W 9b 40MS/s Noise-Tolerant Dynamic-SARADC in 90nm Digital CMOS ” ISSCC (Feb.2008).

2つのコンパレータ SAR ADC
コンパレータオフセットミスマッチの影響

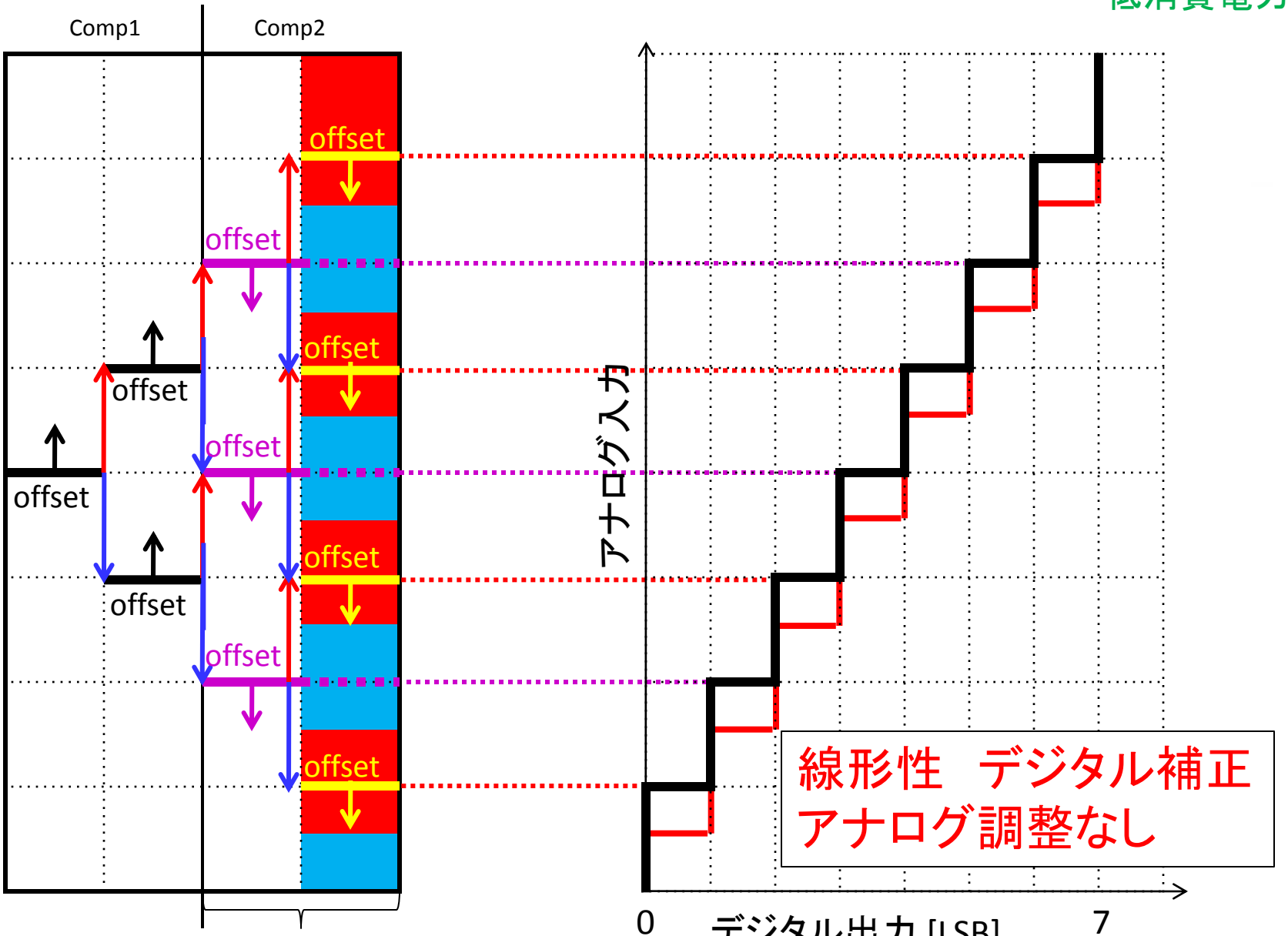
冗長による
低消費電力化



IMEC コンパレータオフセット1/2LSB以内にアナログ調整

提案　冗長アルゴリズムによるデジタル補正

冗長による
低消費電力化



例：10ビット11ステップSAR ADC

冗長による
低消費電力化

オフセットミスマッチ：6.0LSB以内
Comp1（低電力） ノイズ：1.0 LSB以内
Comp2（高電力） ノイズ：0.2 LSB以内
コンパレータのアナログ・キャリブレーションなしの場合の設計例

IMEC方式

	step:k	参照電圧	誤差 er(k)[LSB]		許容値 [LSB]
Comp1	1	512	7.0	>	1
	2	256	7.0	>	1
	3	128	7.0	>	1
	4	64	7.0	>	1
	5	32	7.0	>	1
	6	16	7.0	>	1
	7	8	7.0	>	1
	8	4	7.0	>	1
	9	2	7.0	>	1
Comp2	10	1	0.2		0
	11	1	0.2		0

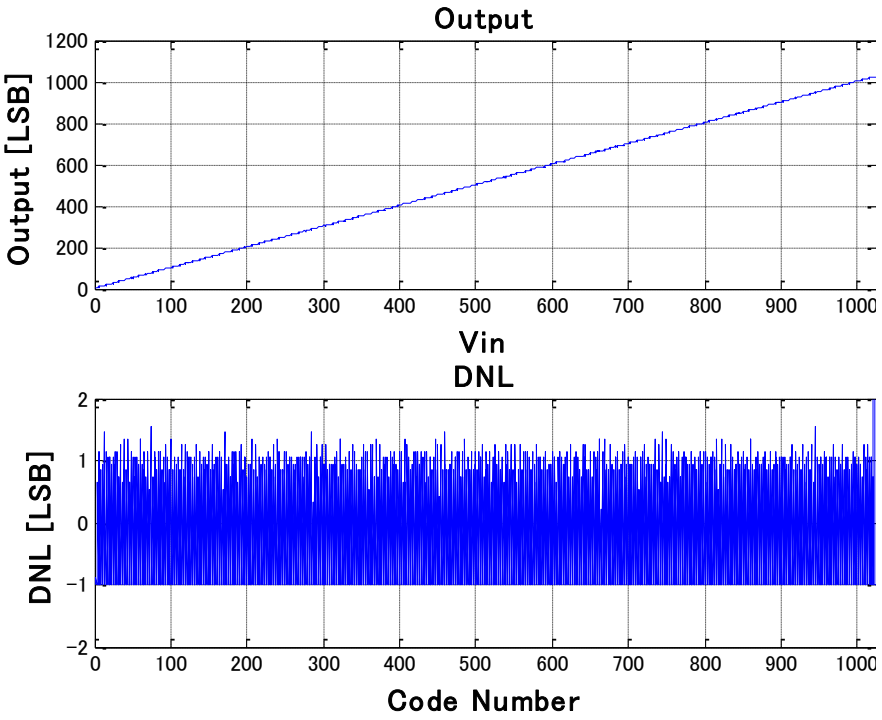
提案方式

step:k	参照電圧	誤差 er(k)[LSB]		許容値 [LSB]
1	512	7.0	<	8
2	256	7.0	<	8
3	128	7.0	<	8
4	64	7.0	<	8
5	32	7.0	<	8
6	16	7.0	<	8
7	8	0.2		0
8	8	0.2		0
9	4	0.2		0
10	2	0.2		0
11	1	0.2		0

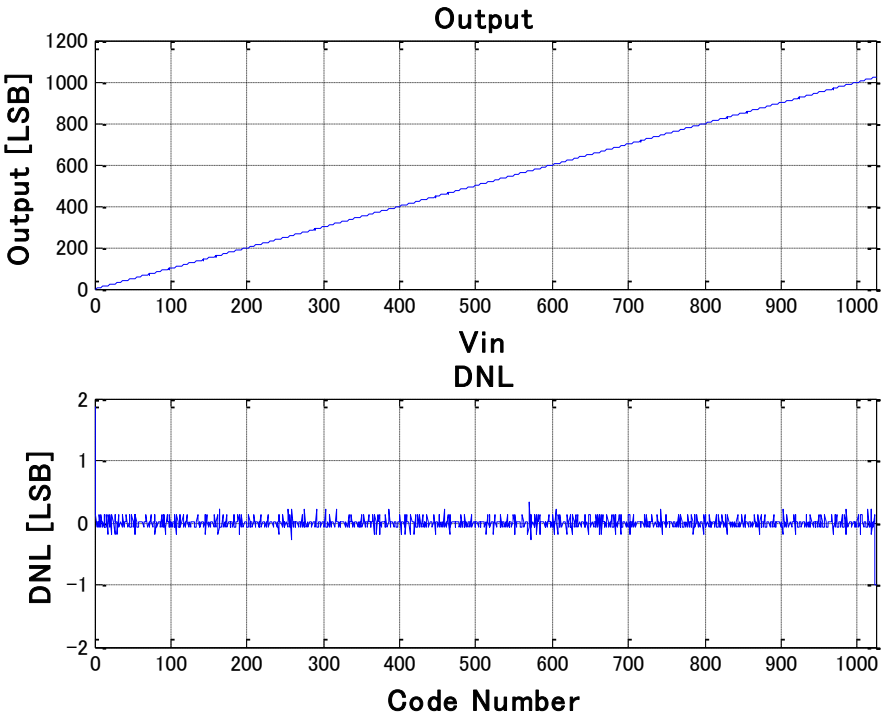
MATLABシミュレーション（ランプ波）

- Comp1（低電力） オフセット：＋4.0 LSB、 ノイズ：1.0 LSB
  Comp2（高電力） オフセット：－2.0 LSB、 ノイズ：0.2 LSB
  コンパレータのアナログ・キャリブレーションなしの場合

IMEC方式



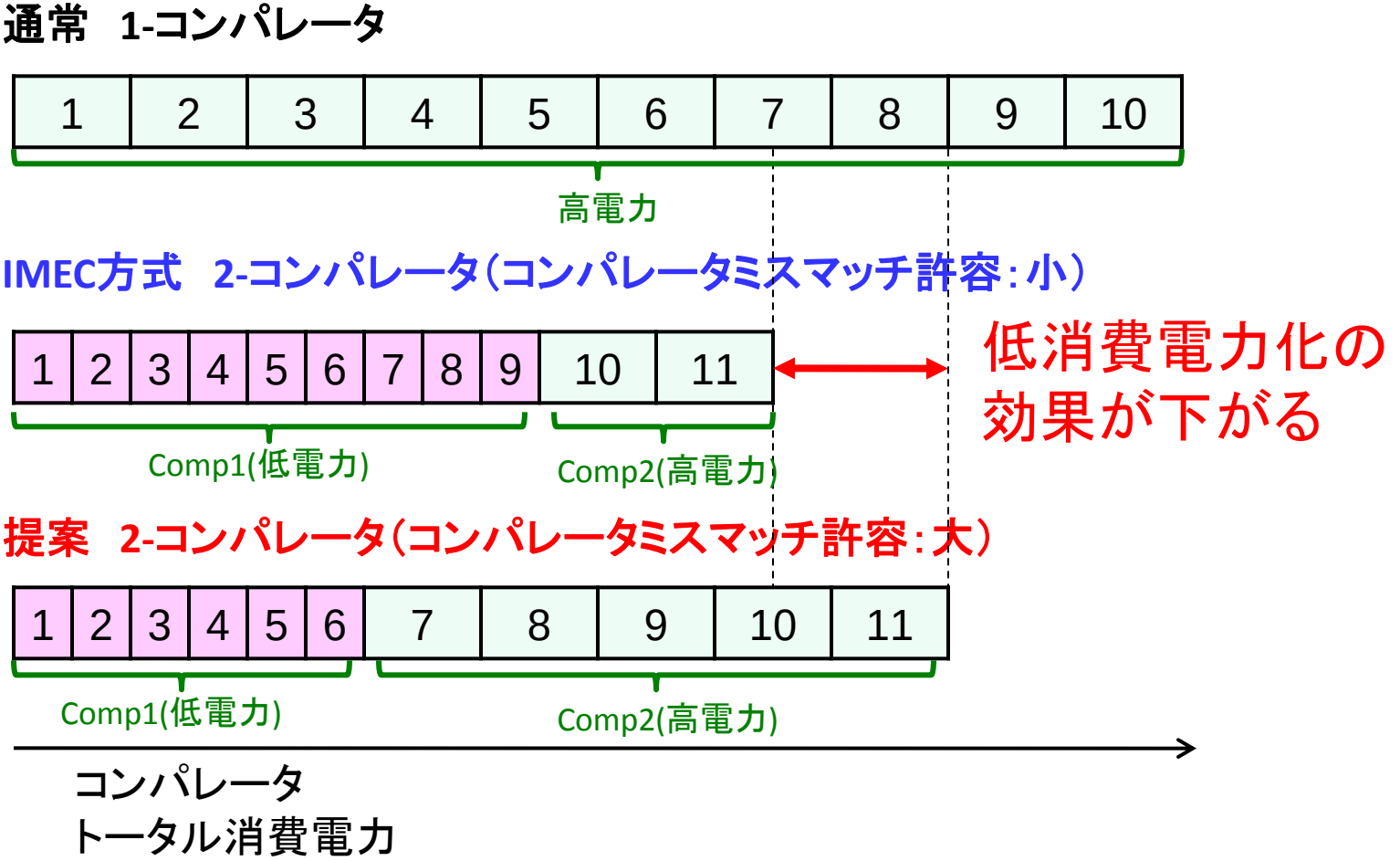
提案方式



消費電力と コンパレータミスマッチ許容の トレードオフ

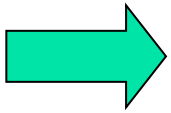
トレードオフ

低消費電力化 ⟺ コンパレータのミスマッチ許容



逐次比較ADCへの期待

- 昔からの方式
- 産業界で広く使用
- 微細CMOS実現での研究活発
- 冗長アルゴリズム（信号処理技術）



- 高速化
- 低消費電力化

が可能。

人生訓のような結果

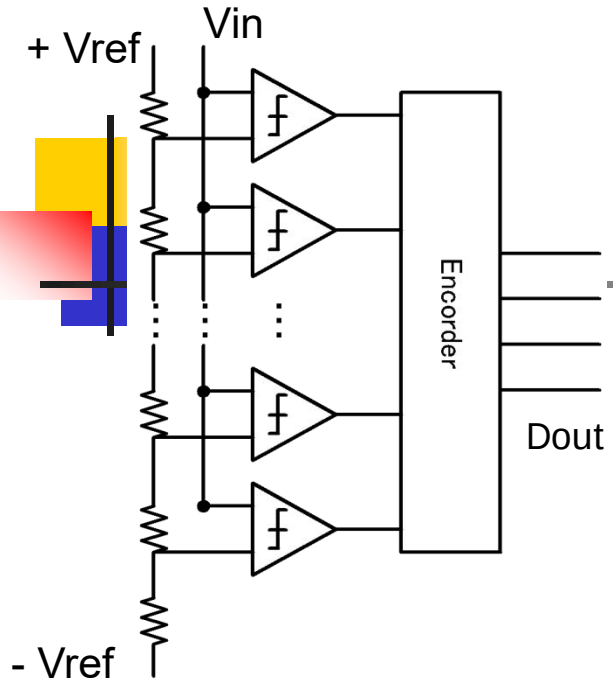
２進 SAR ADC はADC構成の中で
最も効率(Figure of Merit) がよいと
期待されて現在研究がホット。

冗長性を持たせることで、より効率が良い。

「無用の用」（老子、荘子）

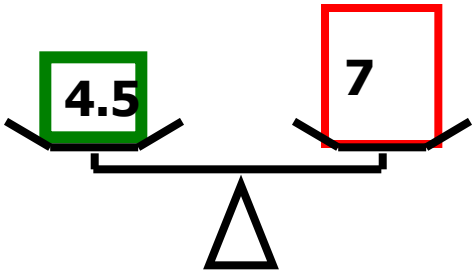
一見役に立たないものが、実は大きく役立つ

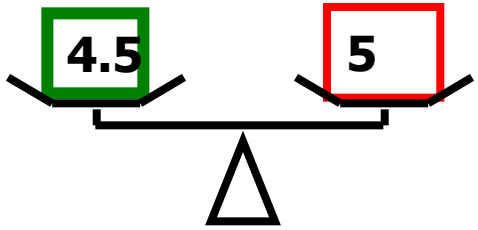
フラッシュ型ADC
- 大きな冗長性の回路 -

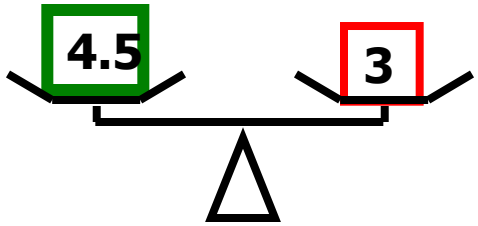


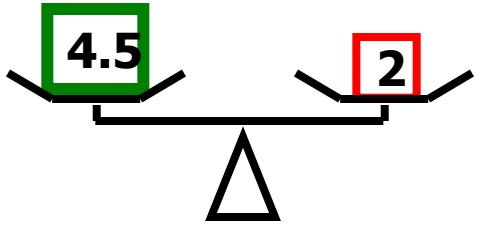
全ての重さの分銅と
それを載せる天秤を用意

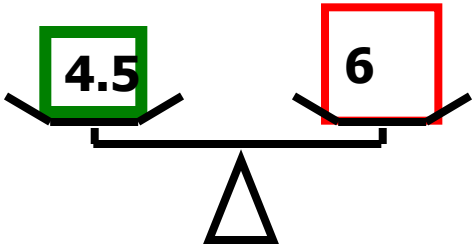
入力Vin 4.5

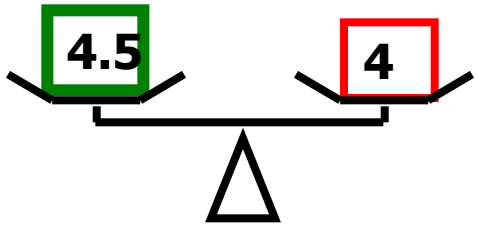


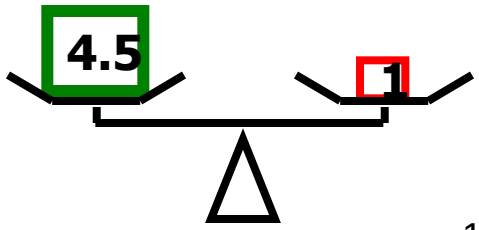






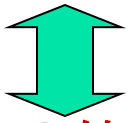






フラッシュ型ADCへの見方

「フラッシュ型ADCは無駄な回路が多く賢い構成ではない」
「6bit フラッシュADC など目をつぶっても実現できる」



「フラッシュ型ADCは偉大な構成」

- 低分解能・超高速ADCのアーキテクチャとして
  フラッシュ型を超えようとして、（公表されてないが、
  まわりで） いくつもの研究が失敗している
  (UCLA Abidi 先生）
- 産業界で フラッシュ型は生き残っている。

冗長性を用いたADC設計

ADC 内に 冗長性

↓

各回路構成要素への要求が緩和

↓

性能向上を達成

時間の冗長性（1）

１人の人が、間違いなく　休みもとらずにやれば

６時間で終わる仕事

➡ ７時間を割り当てる。

➡ 途中で間違えても修正・回復できる。

適度に休息をとり　余裕をもって確実に

仕事を完了させることができる。

長い間には効率的。短い時間で大プロジェクトが完了できる。

ADCアーキテクチャ例：　冗長アルゴリズムSAR ADC

[1] T. Ogawa　et. al., “SAR ADC Algorithm with Redundancy and Digital Error Correction”,　IEICE Trans. Fundamentals (Feb. 2010).

時間の冗長性 (2)

ある人が3時間、それを引き継いで
次の人が4時間かかる仕事を
7時間を割り当てる。

⇒ 引き継ぎの時間がない。

8時間を割り当てる。

⇒ 引き継ぎの時間が十分で、
仕事が確実に完了できる。

対応するADCアーキテクチャ

[2] 小川 智彦 他「逐次比較近似ADC コンパレータ・オフセット影響の冗長アルゴリズムによるディジタル補正技術,」
電子情報通信学会誌 和文誌C（2011年3月）

空間の冗長性

５人で7時間で終わる仕事に

６人を7時間で割り当てる。

➡ 休息をとれる。一人が風邪で休んでもOK。
一人が間違えても周りが助ける。

➡ 各自の負担が大幅に軽減でき、
長期的には効率がよい。

対応するADCアーキテクチャ例： 3つの比較器を使用するSAR ADC

[3] M.Hotta, “SAR ADC Architecture with Digital Error Correction”,
IEEJ Transactions on Electrical and Electronic Engineering (Nov. 2010).

冗長ADCのテストは難しくなる

冗長性

誤動作、故障が起こってもシステム全体は正常に動作する　(Fault Tolerant)

異なる思想

LSIテスト

故障がはいらないようにする検査

デジタル誤差補正とキャリブレーション

デジタル誤差補正

冗長回路をもち、回路の非理想要因を
許容して正解を出力
非理想要因は計測しない。

デジタルキャリブレーション

回路の非理想要因をデジタル値として測定
メモリに記憶、
その値をもとに通常動作のときに補正

パイプラインADCの背景

- パイプラインADCの位置づけ

CMOS ADCで高分解能、中高速で
有力なアーキテクチャ。
産業界で広く用いられている。

- ナノCMOSでの実現

ミスマッチによる精度劣化、
オペアンプのゲインを得るのが難しい
高精度化が難しい

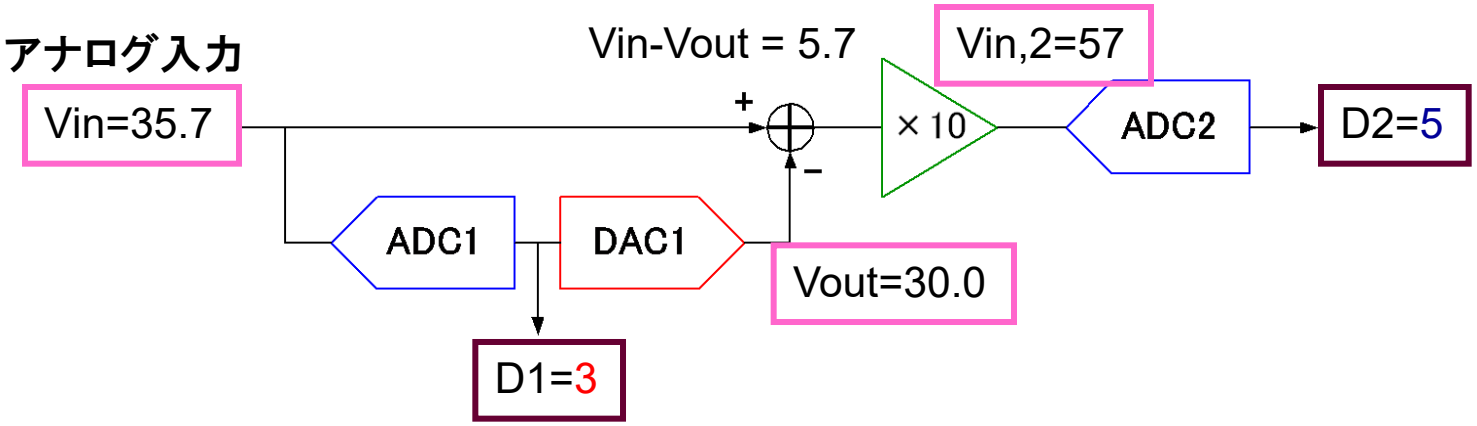
計測制御技術による
パイプラインADCの高性能化

自己校正技術

- 内部回路（DA変換器、利得アンプ）の不正確さを計測して、その値をテーブルに記憶。デジタル演算で補正。
- 誤差計測回路はパイプラインADC自体を用いる。

パイプラインADCの構成と動作

パイプライン　＝ バケツリレー



ADC1

入力Vin	出力D1
30.0≦ Vin ＜40.0	3

ADC2

入力Vin,2	出力D2
50.0≦ Vin,2 ＜60.0	5

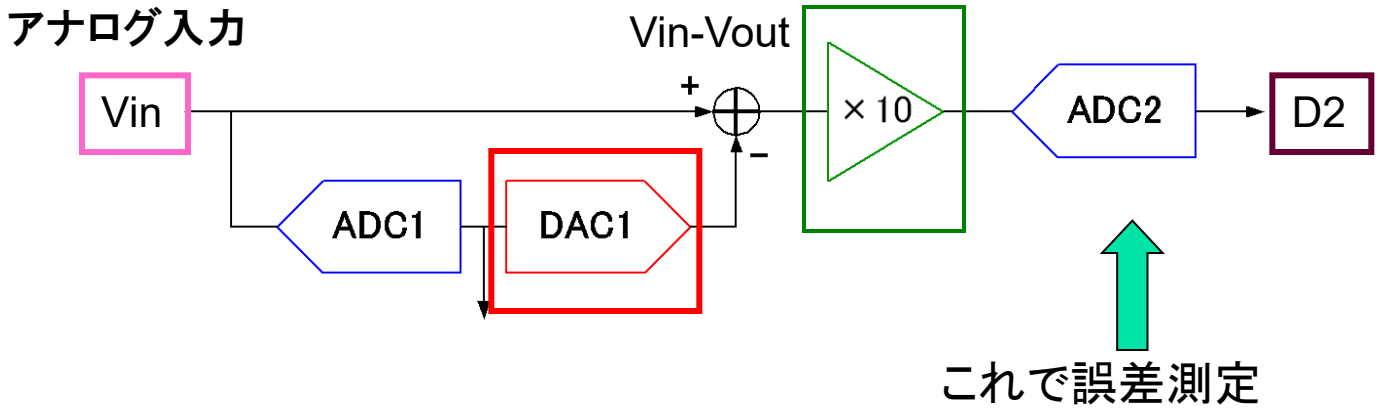
出力　Dout=3 × 10+5=35

パイプラインADC全体の精度劣化要因

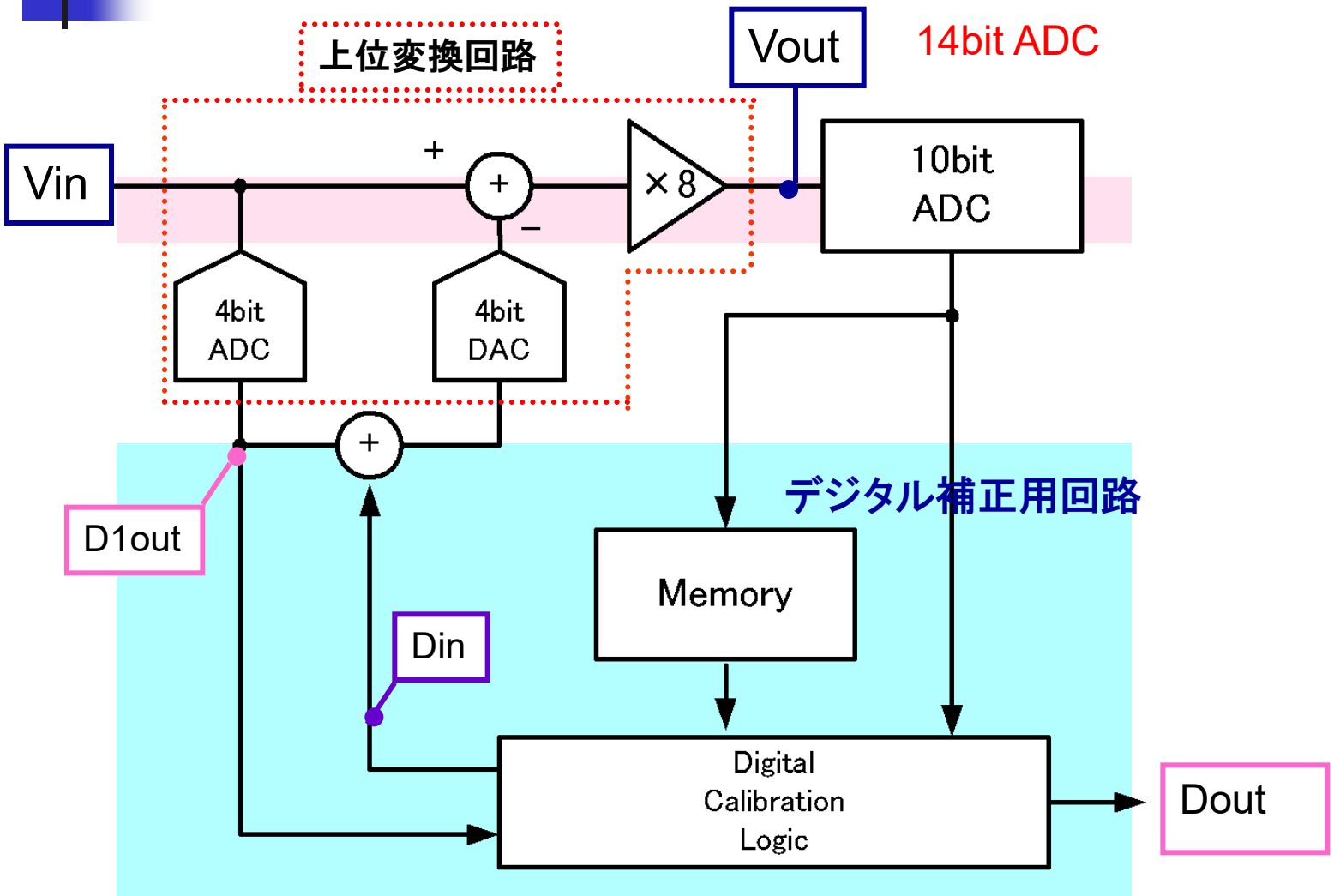
ADC1の非線形性の影響　　問題　小

DACの非線形性の影響　　問題　大

段間アンプのゲイン誤差の影響　　問題　大



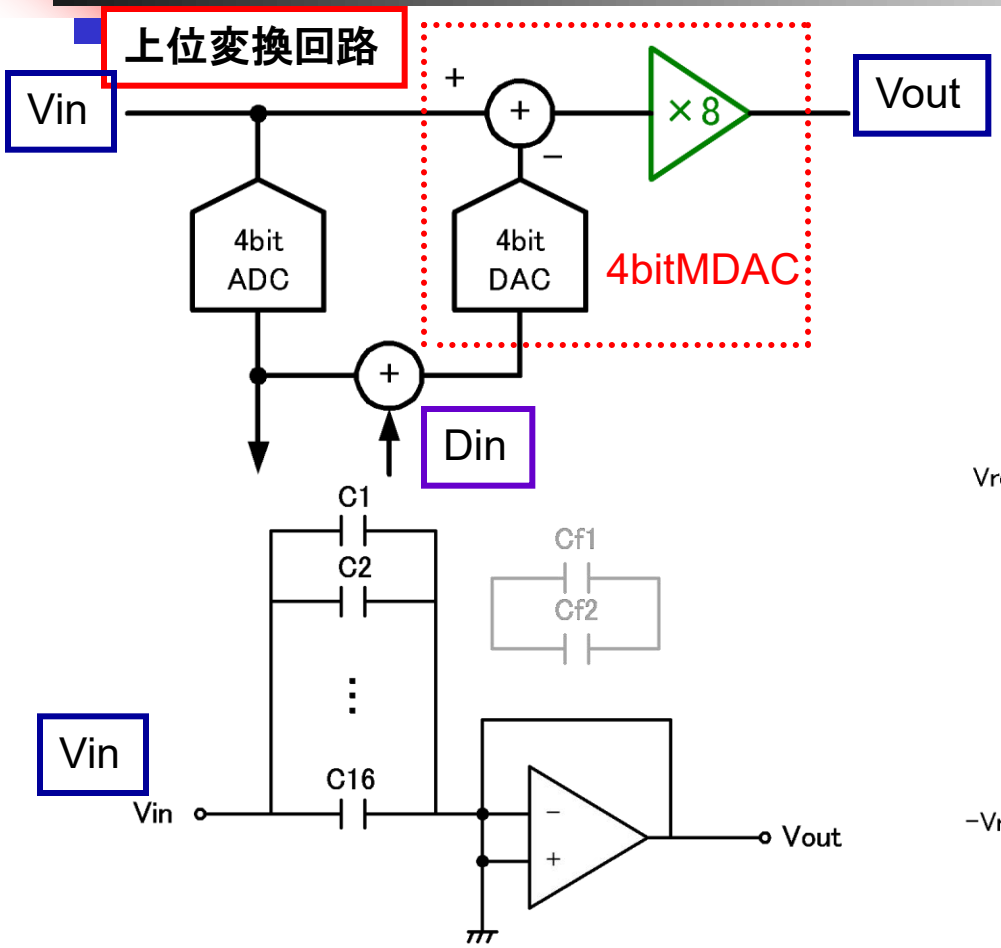
自己校正回路を含んだ パイプラインADC全体回路



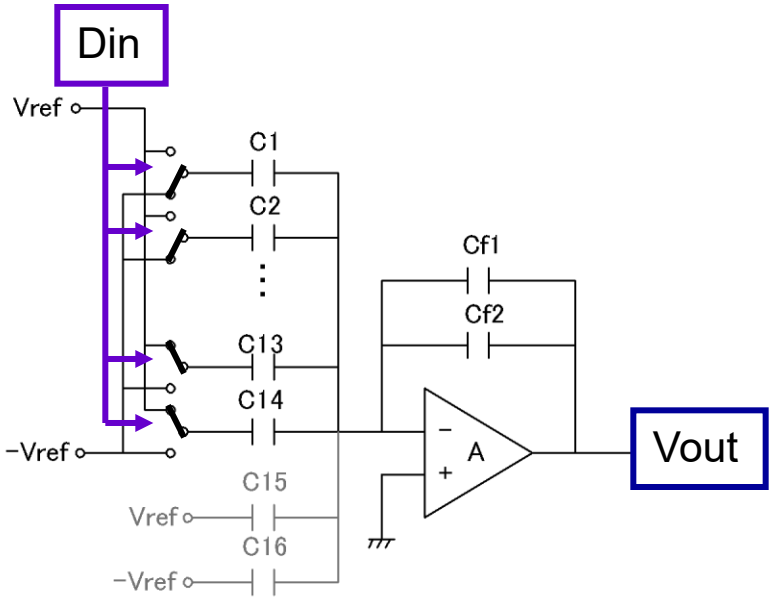
フォアグランド自己校正

マルチプライDACのゲイン・非線形性測定

- 内部の容量を後段ADCで測定 -



$$Vout = 8\left(Vin - [D1+D2+\cdots+D14]\frac{Vref}{16}\right)$$

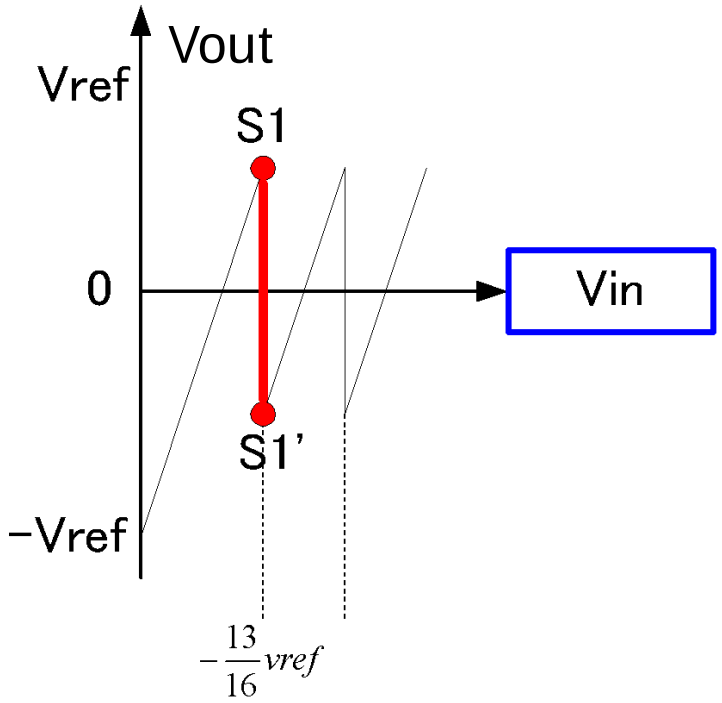


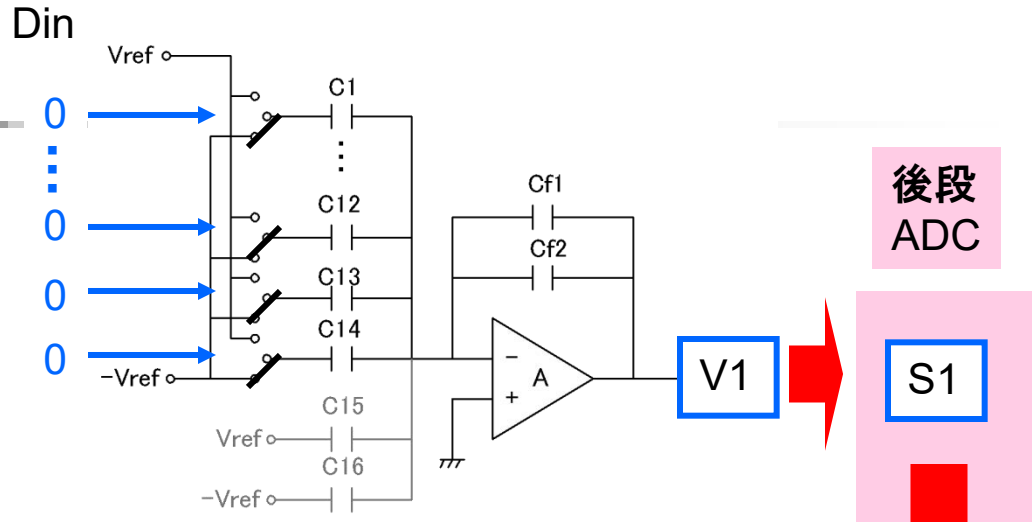
Sampling phase

Hold phase

フォアグランド自己校正

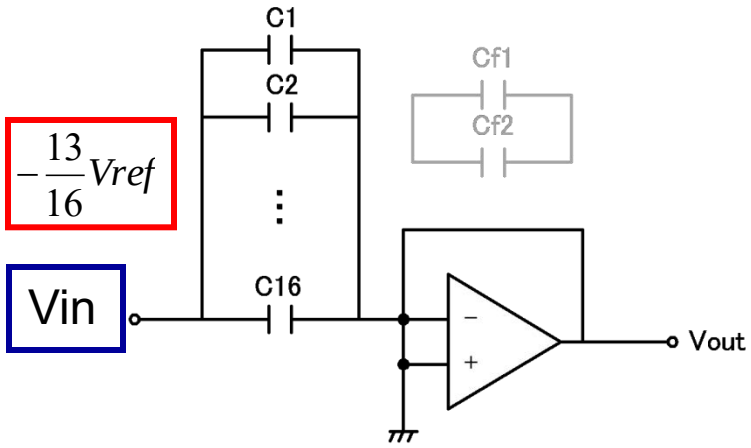
各容量の測定

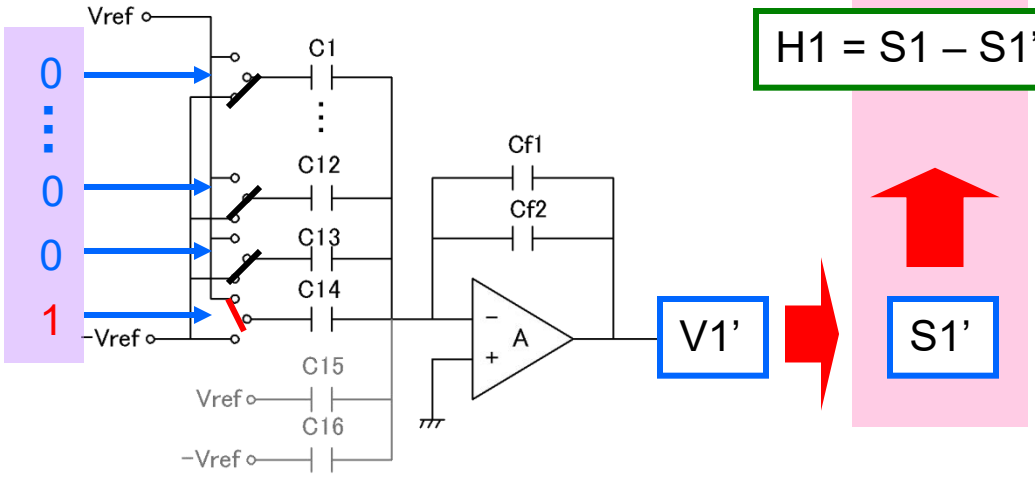




メモリ保持

H1 = S1 – S1'

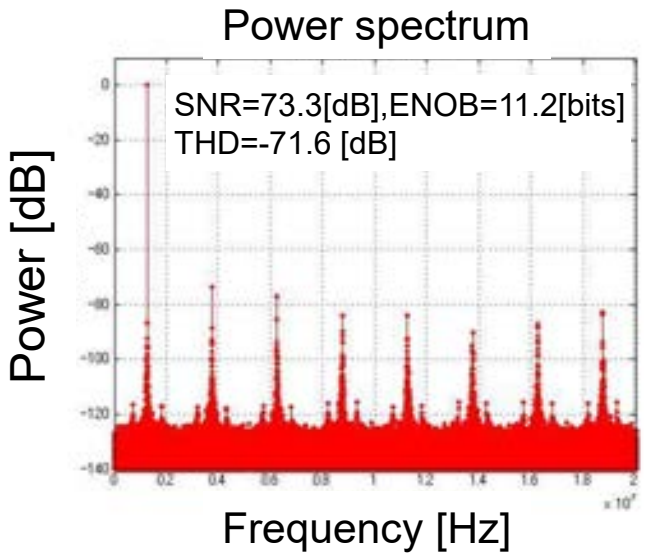




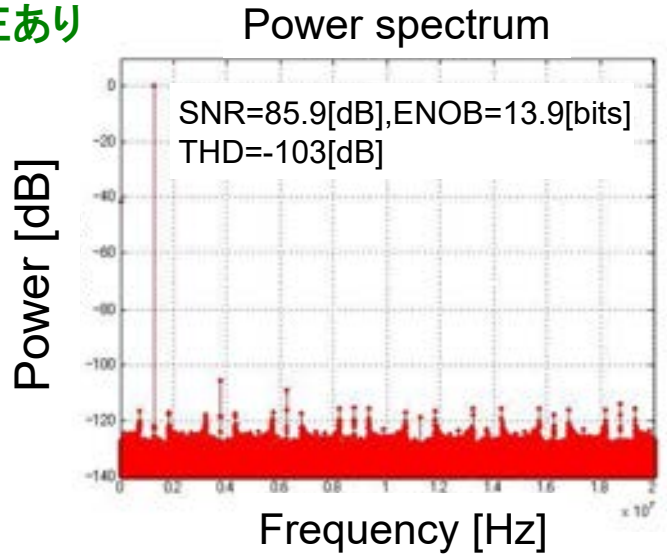
段間アンプのゲイン誤差の自己校正（シミュレーション）

単一正弦波入力の出力パワースペクトル

自己校正なし



自己校正あり



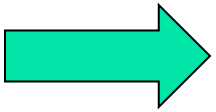
SNDR 12.7dB (有効ビット2.7bits) 向上

ADC自己校正と計測制御技術

- フォアグランド自己校正

通常動作をストップして

自己校正のための時間をもつ

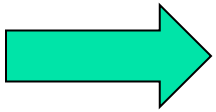


計測技術

- バックグランド自己校正

通常動作はストップしない。

自己校正はユーザからは全く見えない。



適応制御技術

フォアグランド、バックグランド自己校正の
両者のアルゴリズムは全く異なる

ADC自己校正技術の理論的基礎は未解決

計測制御研究者の問題

ADC内部回路の誤差

→ ADC内回路自体を用いて測定

→ 測定自体に誤差
測定内容も制限

どの条件で、なぜ自己校正で精度がでるのか？

結果としてADC精度確保。
個別技術では解決。
一般論では未解決。

Abidi 先生（UCLA）指摘

地球の大きさを測る
エラトステネス（紀元前275 - 194年）

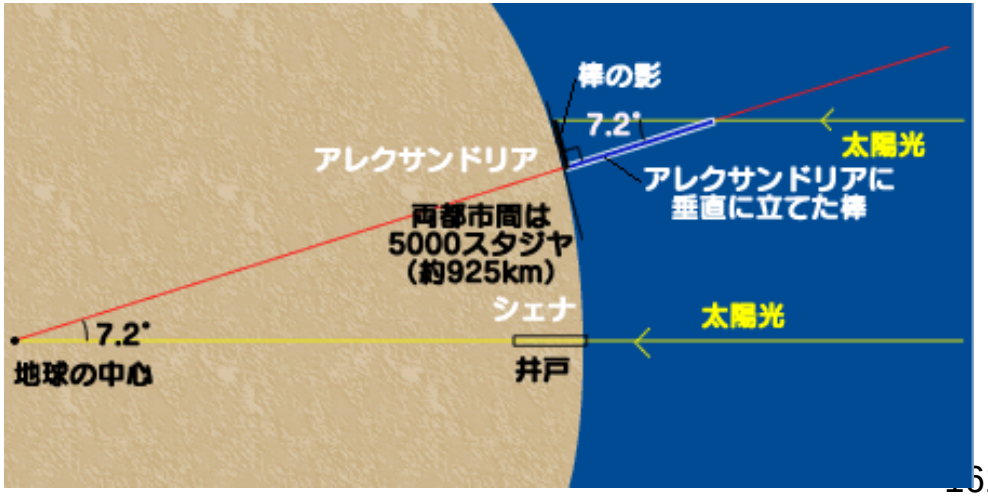
① シェナ（Syene：現在のアスワン）の町では
夏至の日の正午に深井戸に太陽の光がまっすぐ差し込み、
井戸の底に太陽が映る。

② アレクサンドリアでは夏至の日の正午、
太陽は真上（天頂）から7.2度傾いている。

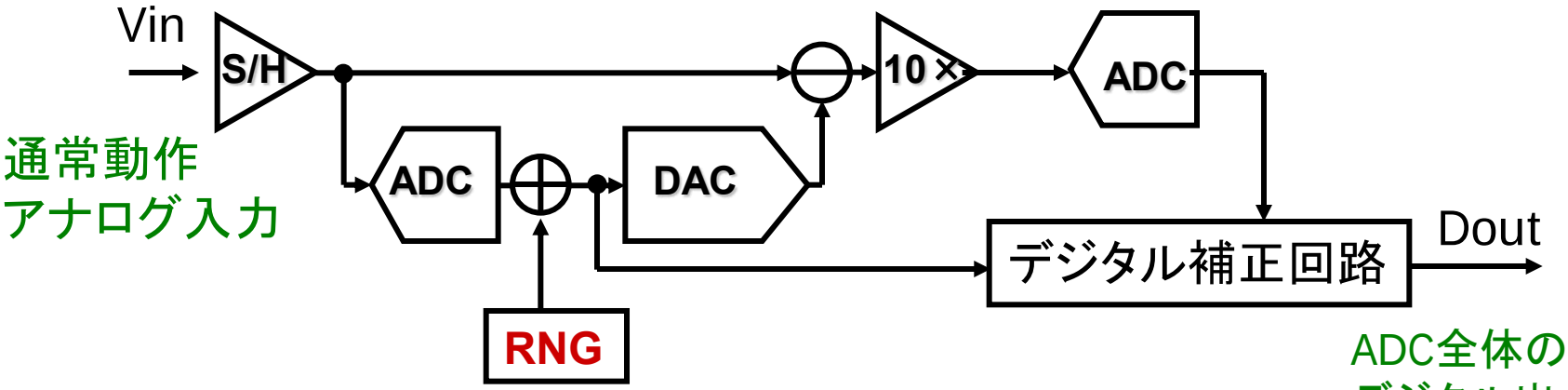
③ シェナとアレクサンドリアの距離は約925km。

①②③ より
地球の大きさが
計算できる。

高度な計測器がなくても
地球が丸いというモデルと
工夫で計測が可能



パイプラインADCの
バックグランド自己校正の構成例

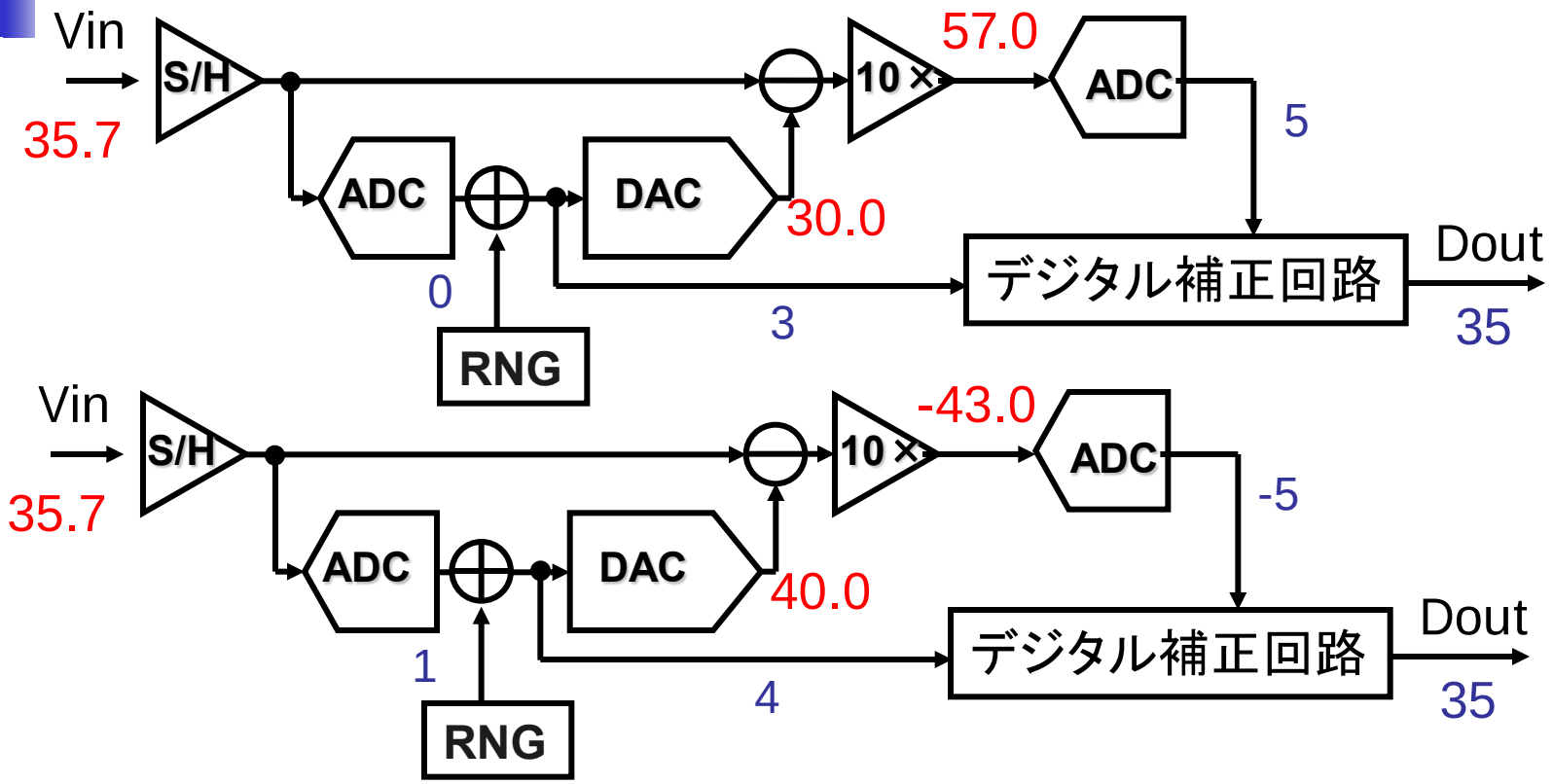


0 or 1 を各50% の確率で発生
入力Vin とは無相関
(Random Number Generator)

統計的考え方を使う

パイプラインADCの
バックグランド自己校正アルゴリズム

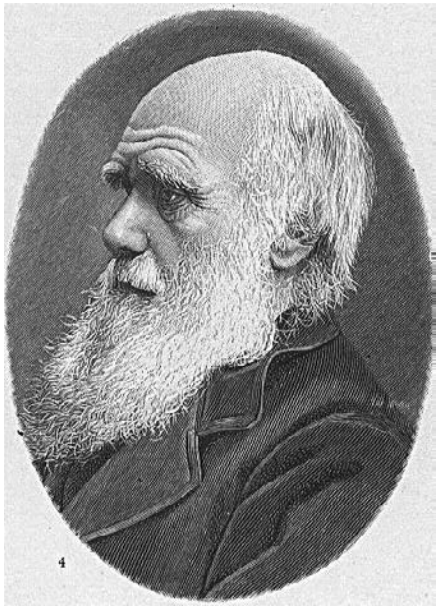
一例の概念的説明



RNG=0 のとき Dout=35 となる頻度と
RNG=1 のとき Dout=35 となる頻度が
等しくなるように適応的にデジタル演算係数を調整する。

適応信号処理・制御・同定の技術がより重要になる

It is not the strongest of
the species that survive,
nor the most intelligent
but the ones most responsive
to change.



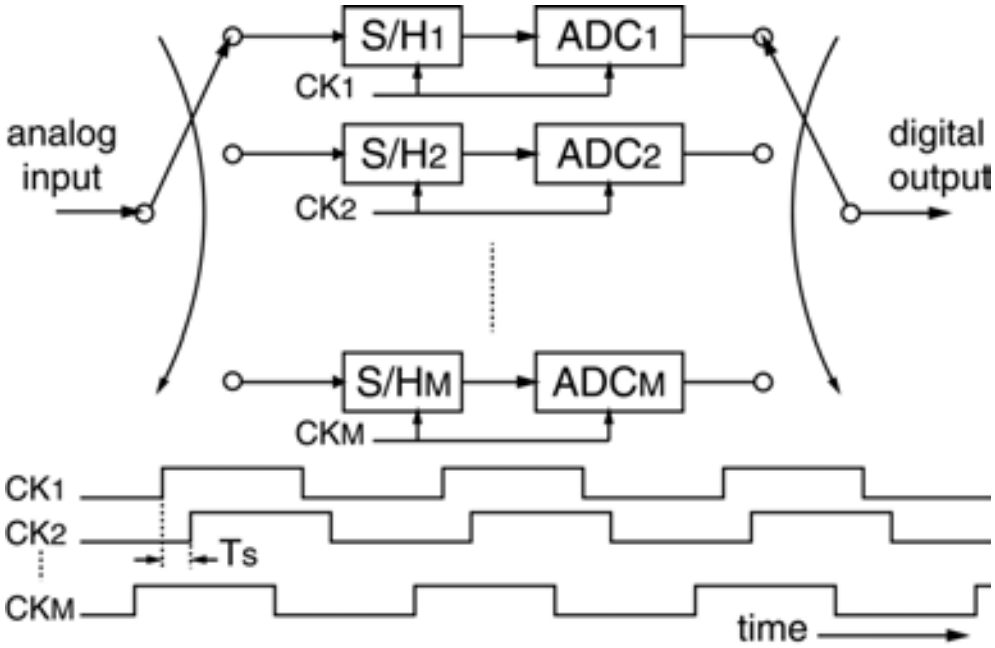
Charles Robert Darwin 卿

激変する環境下で生き残る生物。
強い者でもない、賢い者でもない。
変化に適応する者だけが生き残る。

インターリーブADCの構成と動作

M個のADCのインターリーブでM倍のサンプリングレートを実現

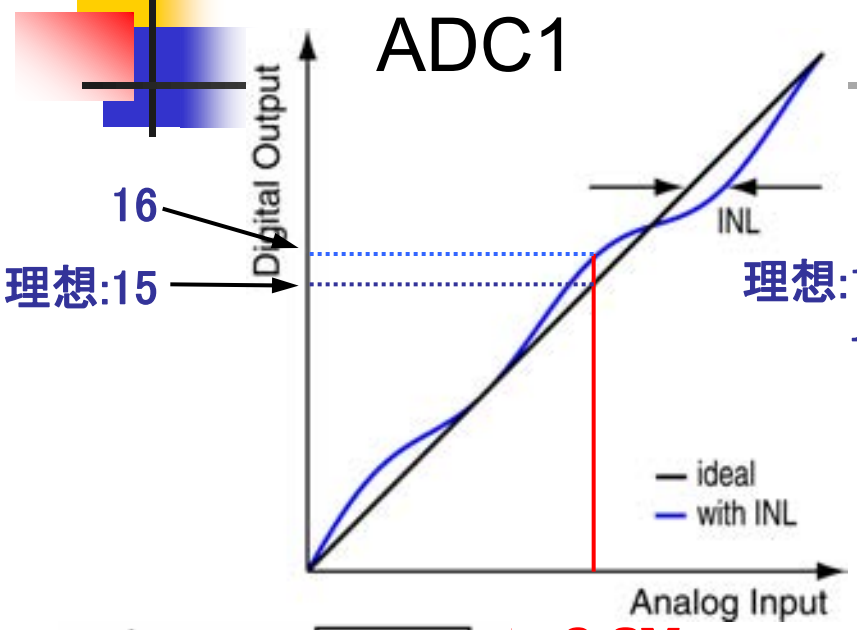
- サンプリングレートの高いADC実現 （電子計測器等に使用）
- 最近では低消費電力化の観点からも注目

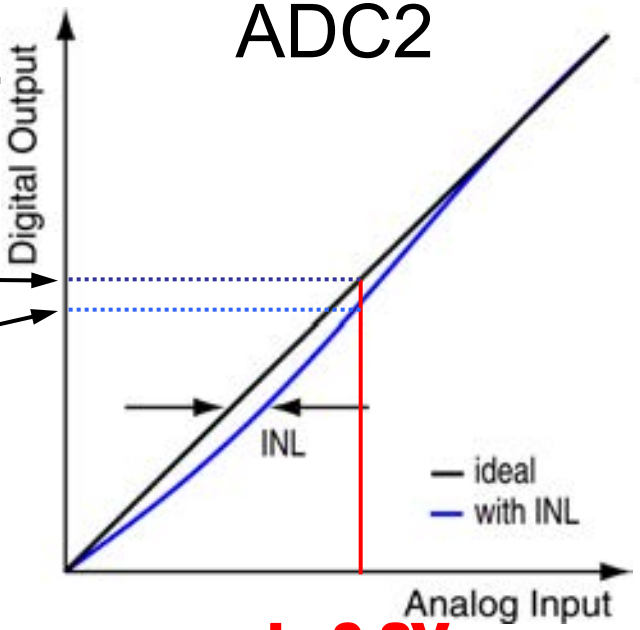


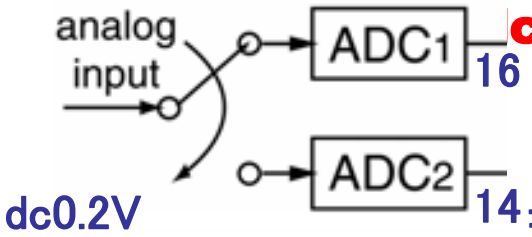
「一人のスーパーマン」より
「多数の普通の人が連携して」

インターリーブADCの問題点

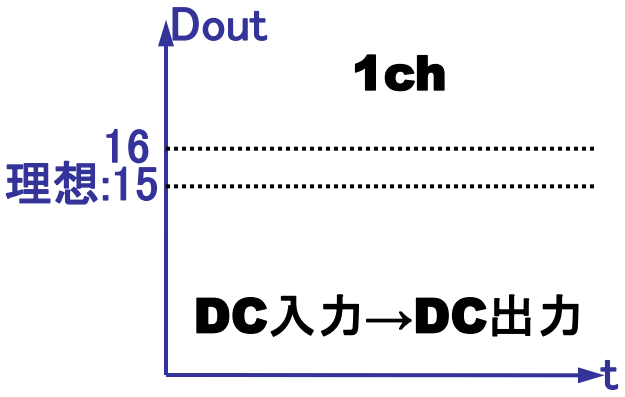
– チャネルADC間ミスマッチ –



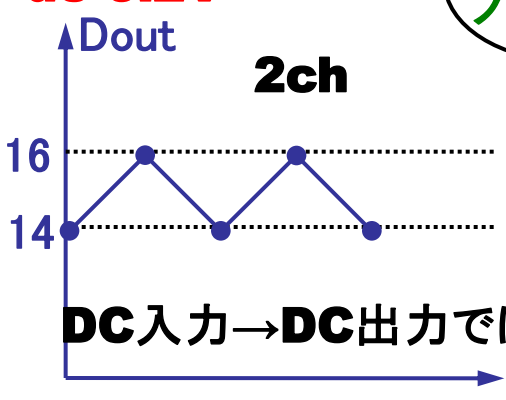




dc 0.2V



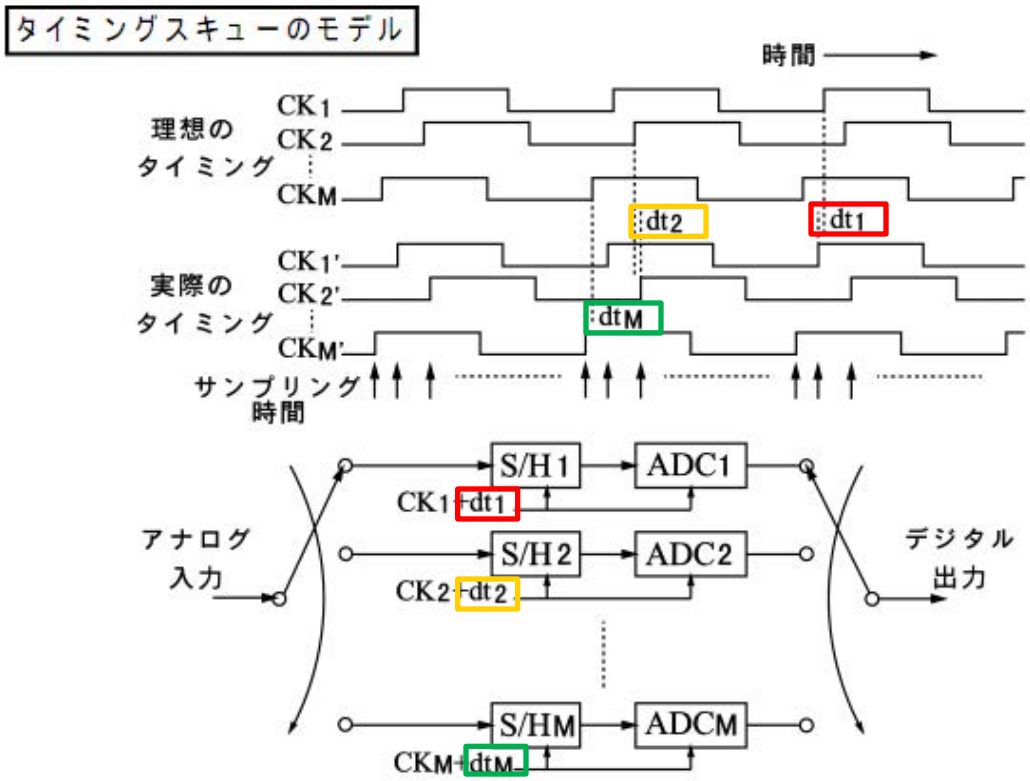
dc 0.2V



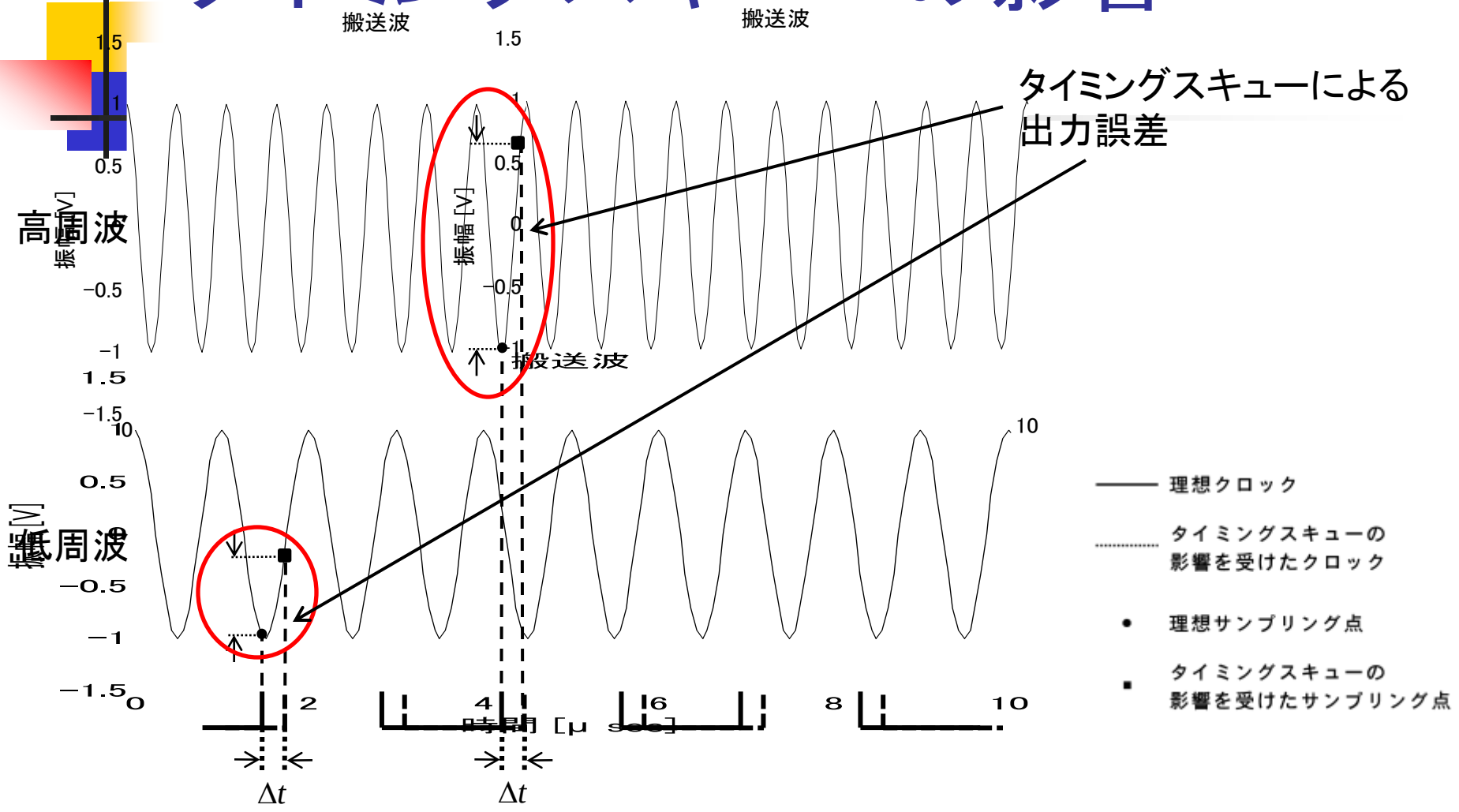
パターンノイズ

チャネルADCクロック間タイミング・スキュー

正確なM相クロックを生成することは難しい



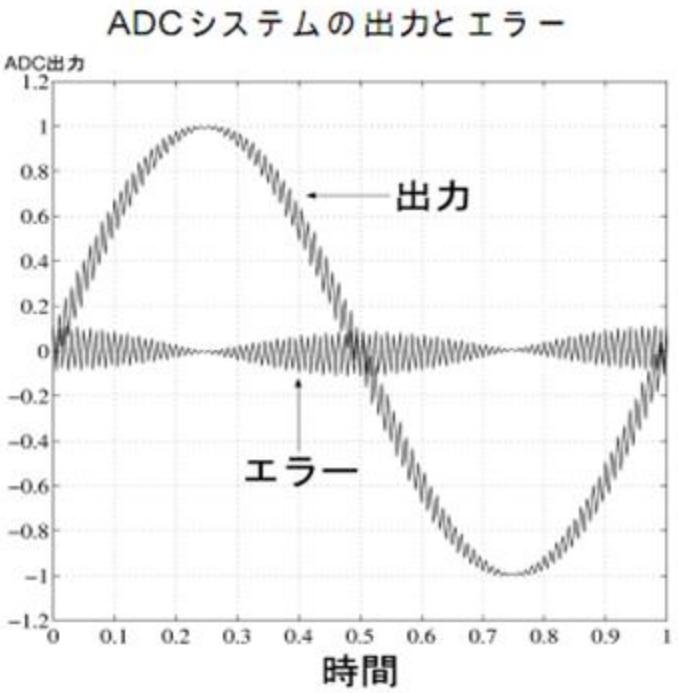
タイミングスキューの影響

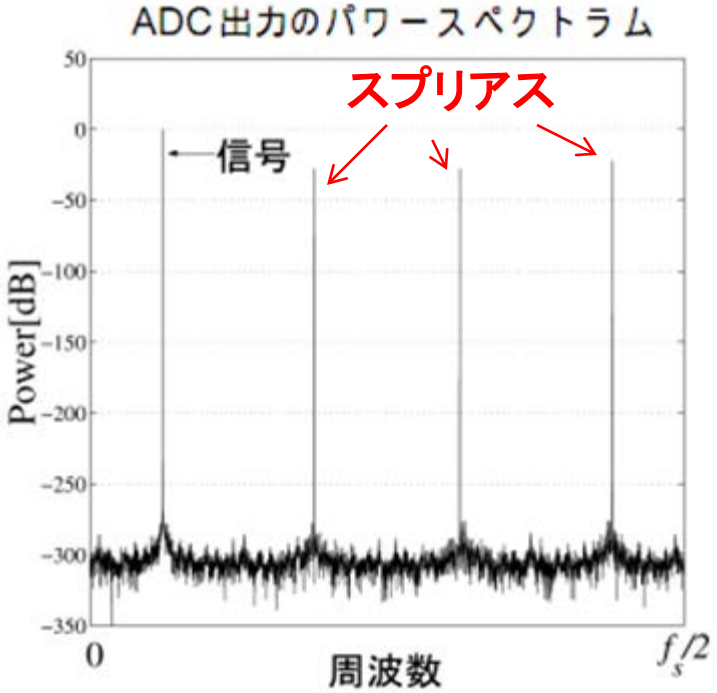


入力信号が高周波になるほど影響が大きくなる

タイミングスキューの時間・周波数領域での影響

4chインターリーブADC





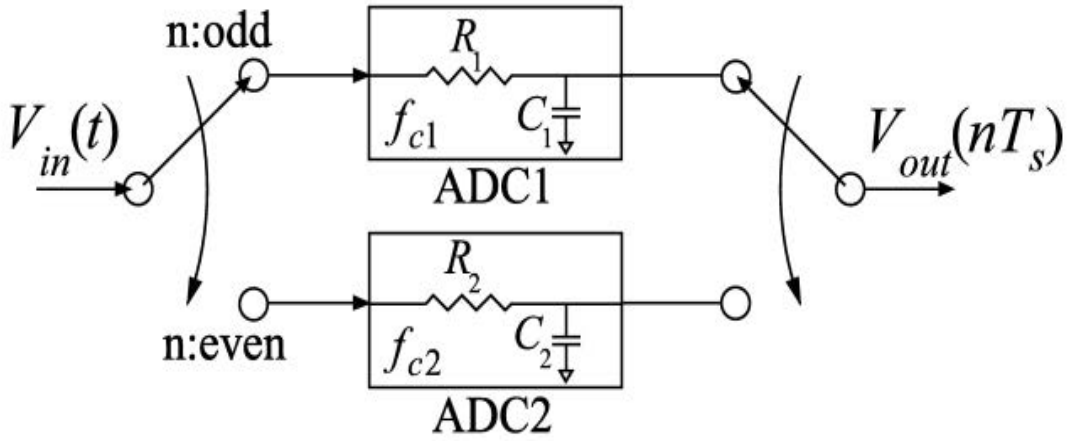
時間領域の影響

周波数領域の影響

- 入力信号の傾きが大きいほど影響が大。
- 位相変調(PM)的ノイズ

帯域ミスマッチのモデル

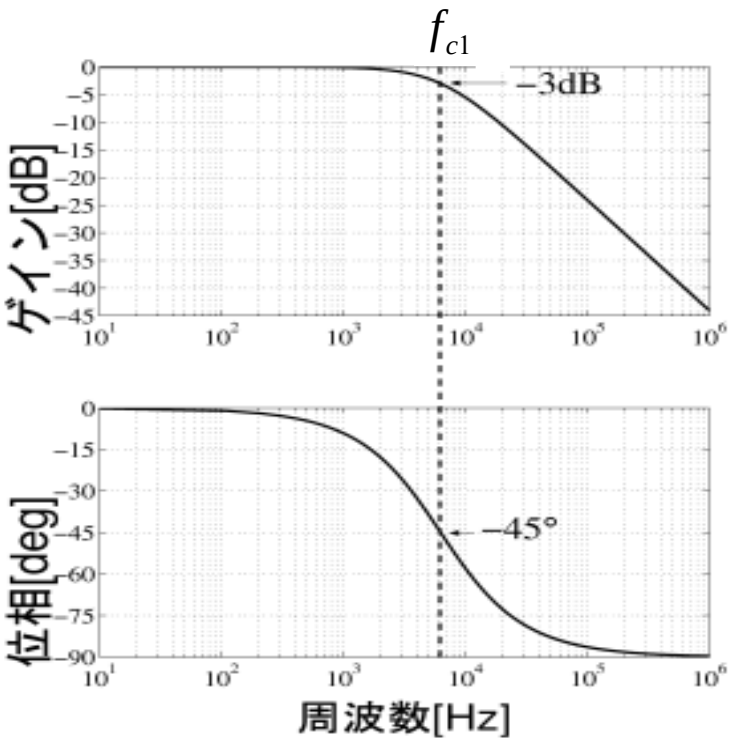
2ch ADCに帯域のミスマッチが存在する場合のモデル



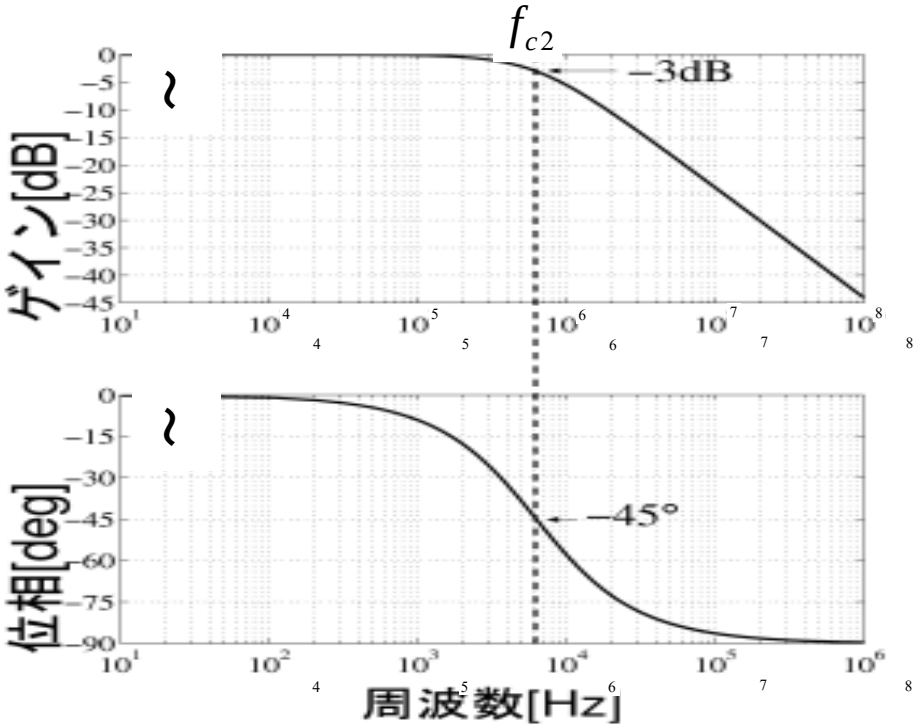
- アナログ素子から成る一次遅れ系近似ADC
- -3dB 周波数はランダムにばらつく

帯域ミスマッチの影響

ADC1の-3dB周波数

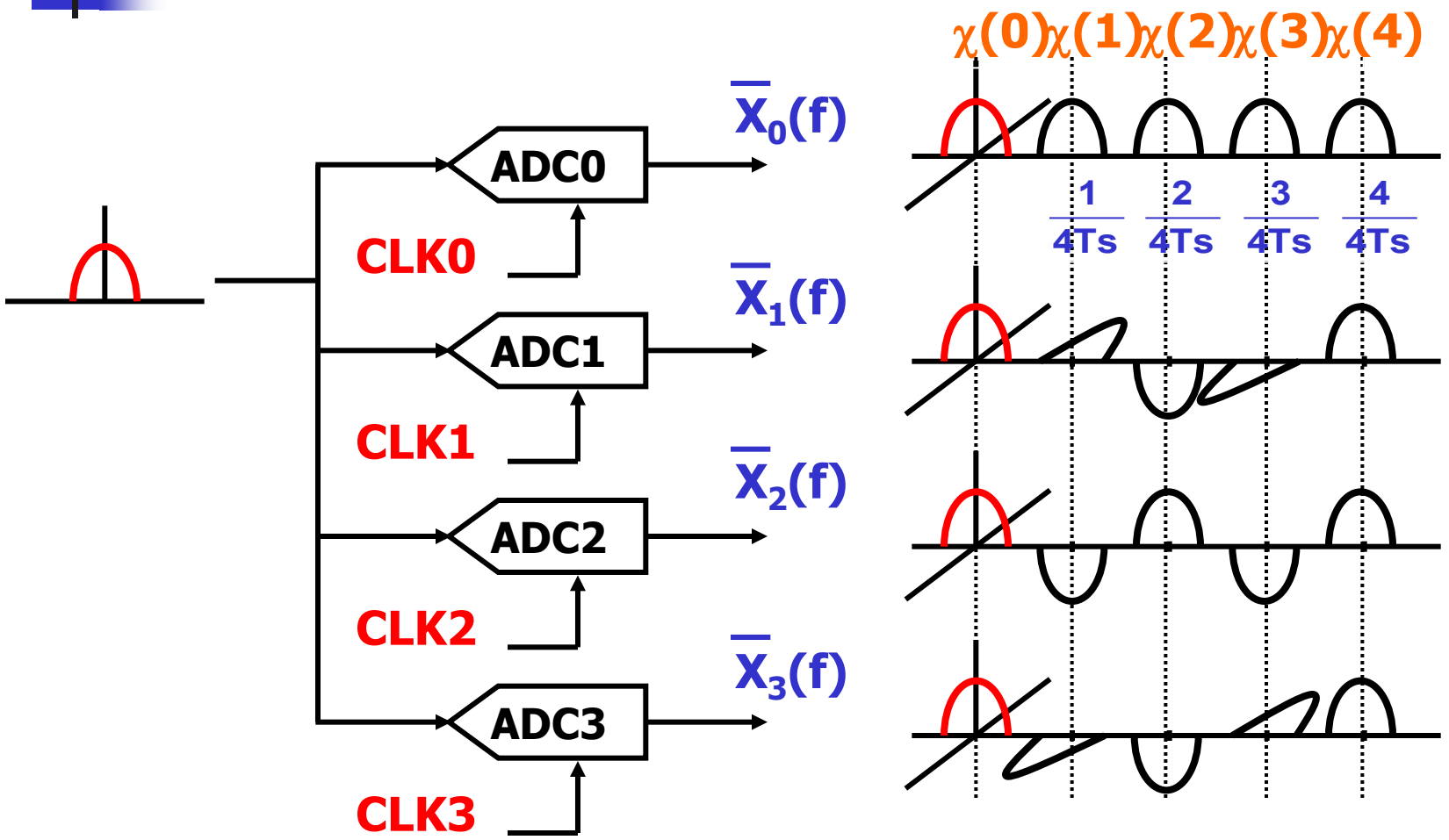


ADC2の-3dB周波数

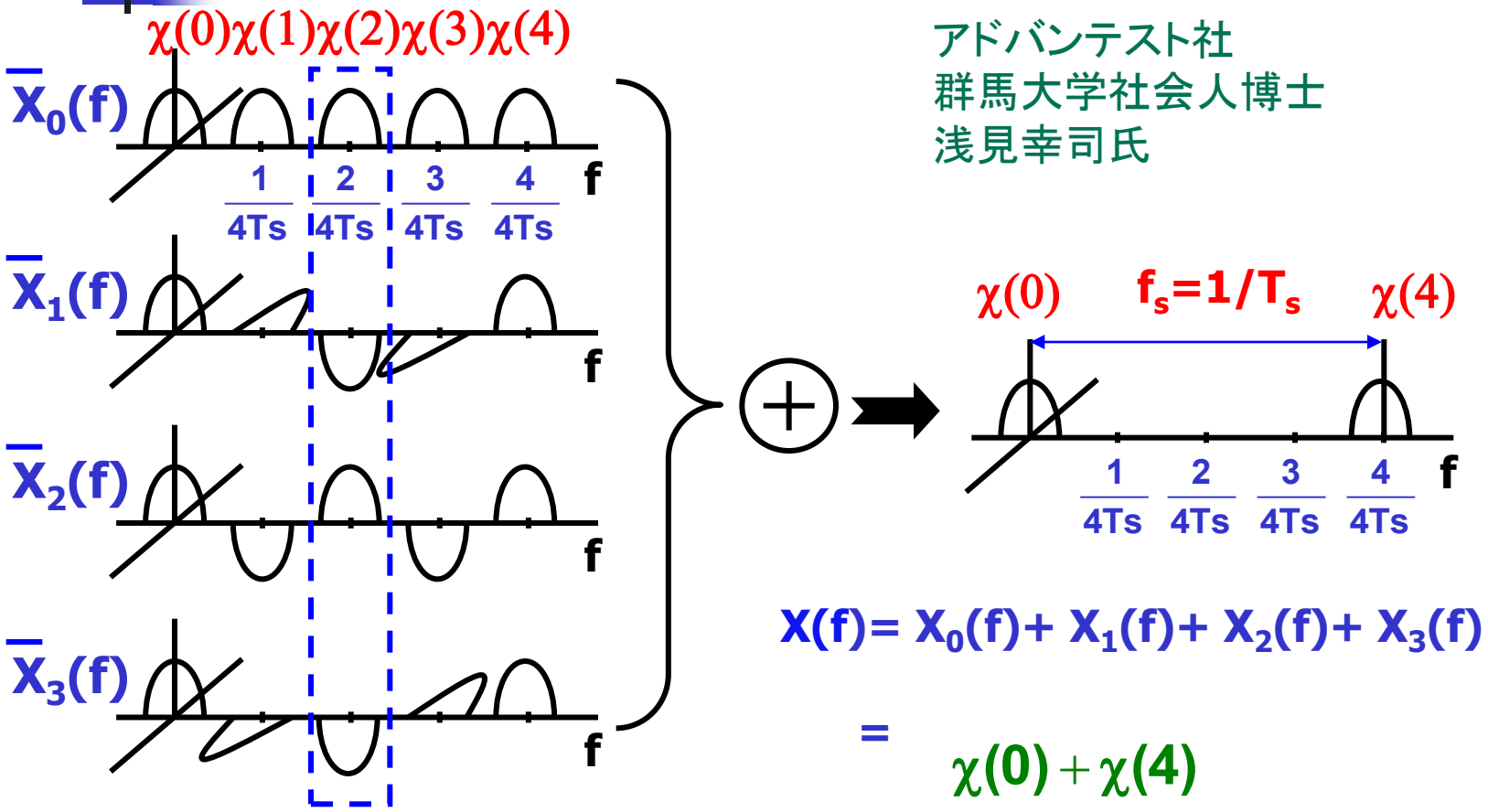


- 入力周波数に依存した ゲインのミスマッチ
- 入力周波数に依存した位相遅れ（時間遅れ）のミスマッチ

各チャネルADC出力の周波数特性



インターリーブADC全体のふるまい



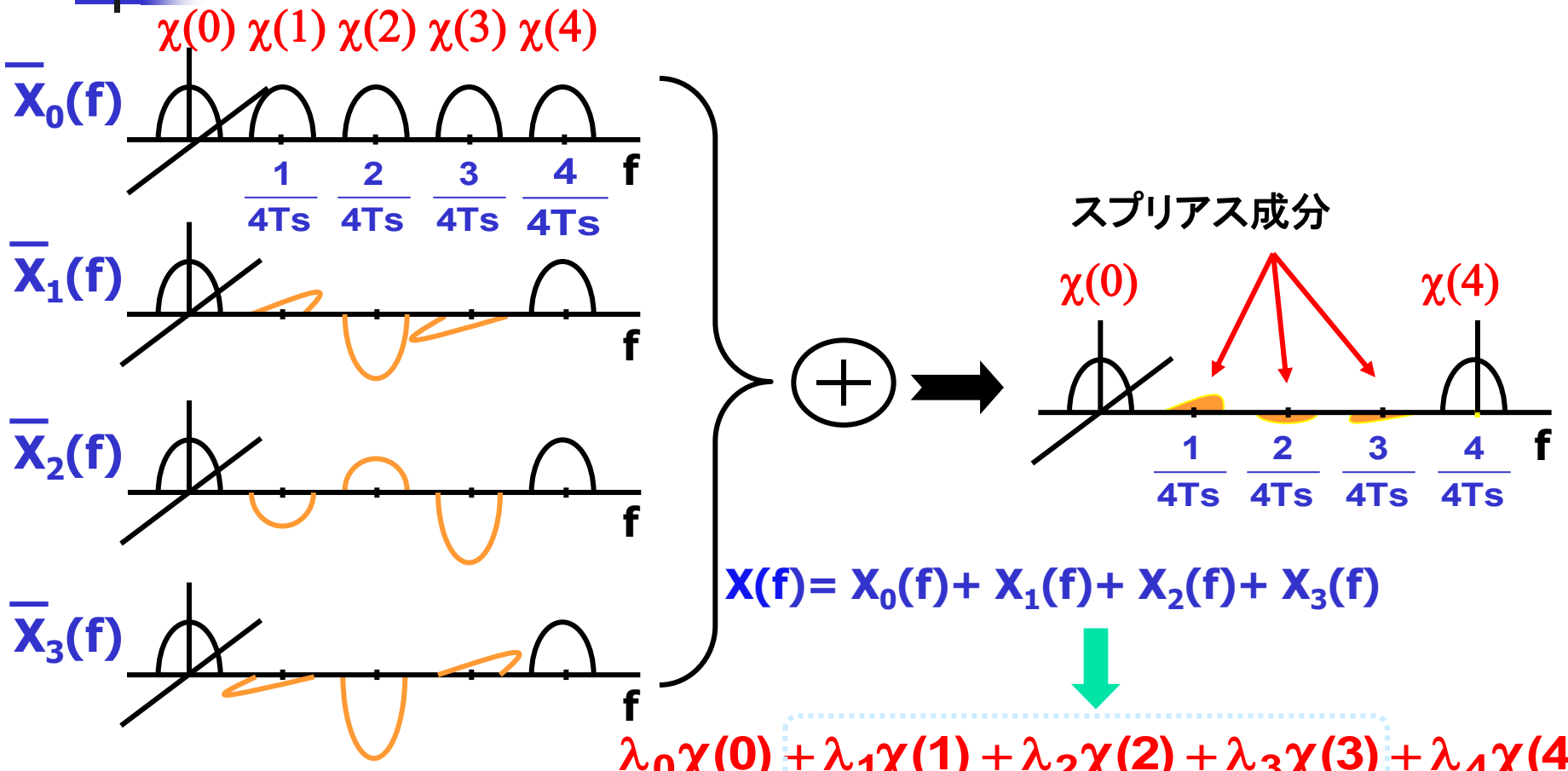
アドバンテスト社
群馬大学社会人博士
浅見幸司氏

$X(f)= X_0(f)+ X_1(f)+ X_2(f)+ X_3(f)$

$= \chi(0)+\chi(4)$

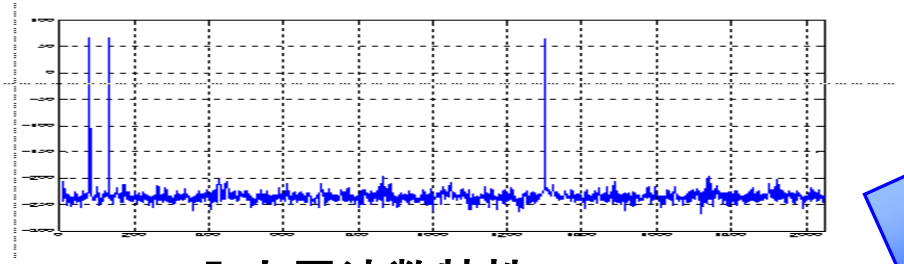
173

各チャネルADCの周波数特性にミスマッチがある場合

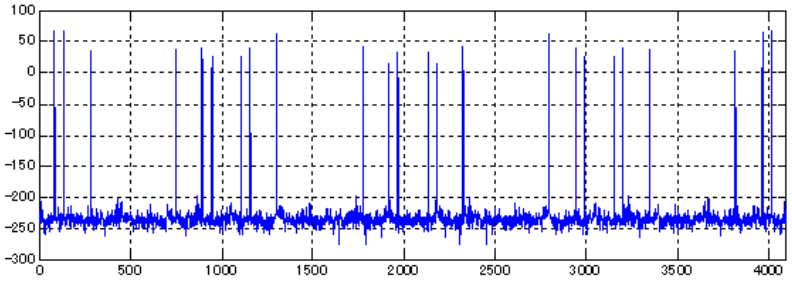


174

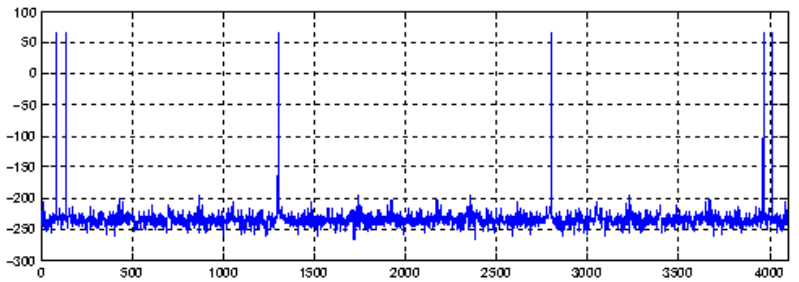
インターリーブADCチャネル間ミスマッチのデジタル自己校正
－ミスマッチの自動測定･補正－



入力周波数特性



周波数特性
補正前

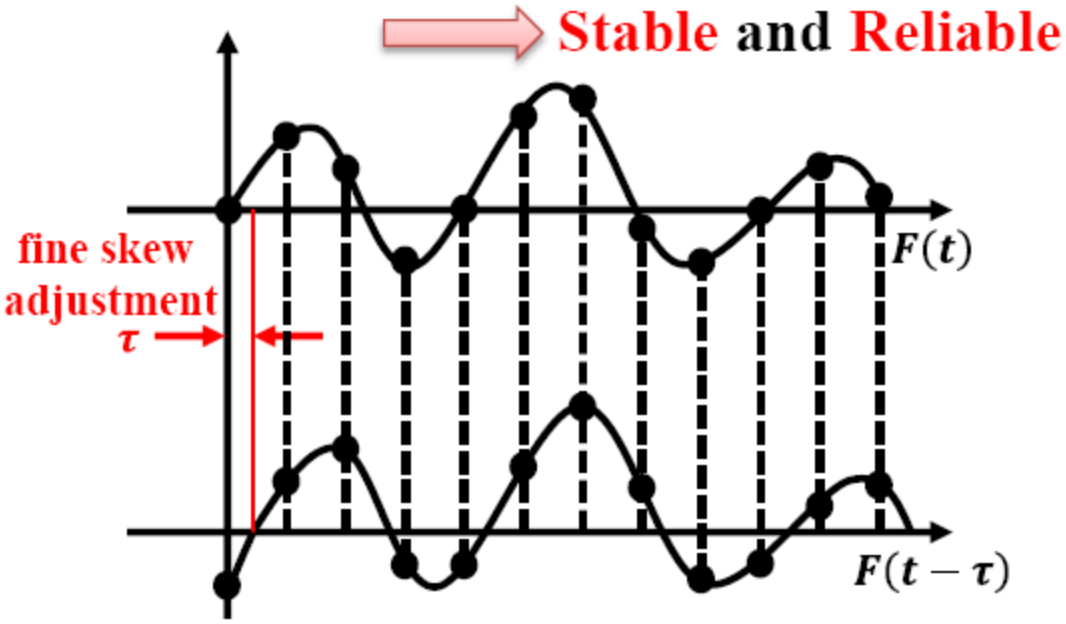


周波数特性
補正後

アナログの高速化の問題をデジタル信号処理で解く

新条件　線形位相デジタルフィルタ

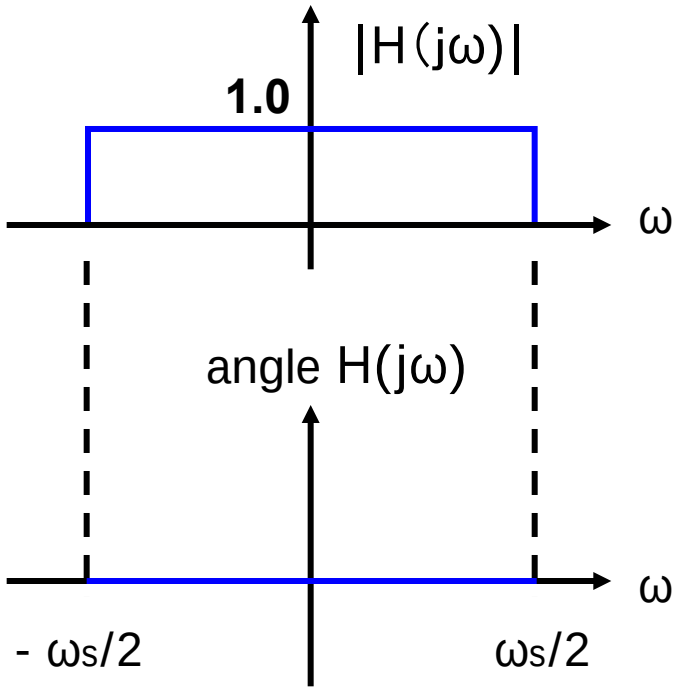
デジタル手法



- 時間波形を保持
- 細かい時間分解能 τ

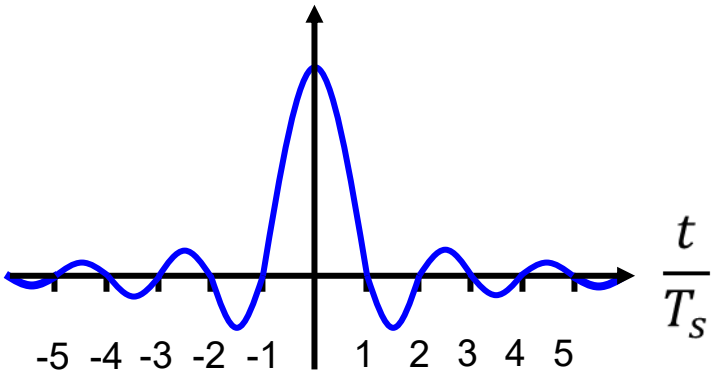
理想フィルタ

周波数応答



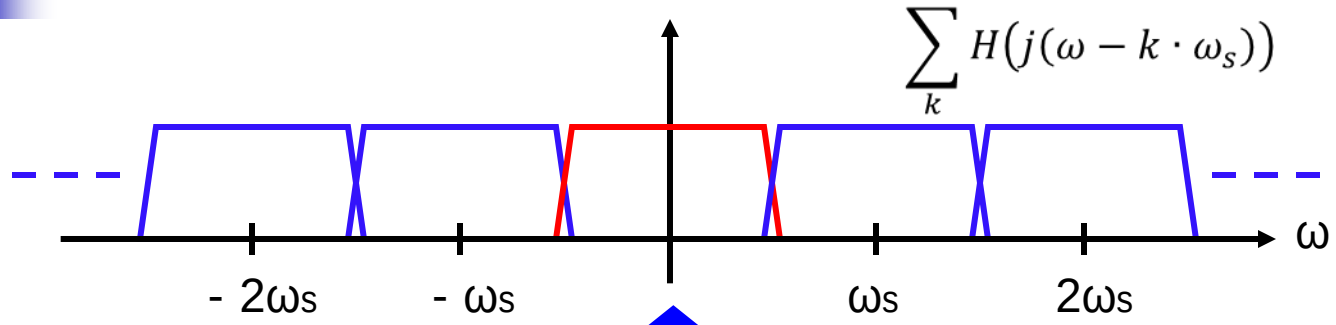
フーリエ変換

インパルス応答



$$h(t) = \frac{1}{T_s}\,\mathrm{sinc}\left(\pi\frac{t}{T_s}\right)$$

理想フィルタの離散時間表現

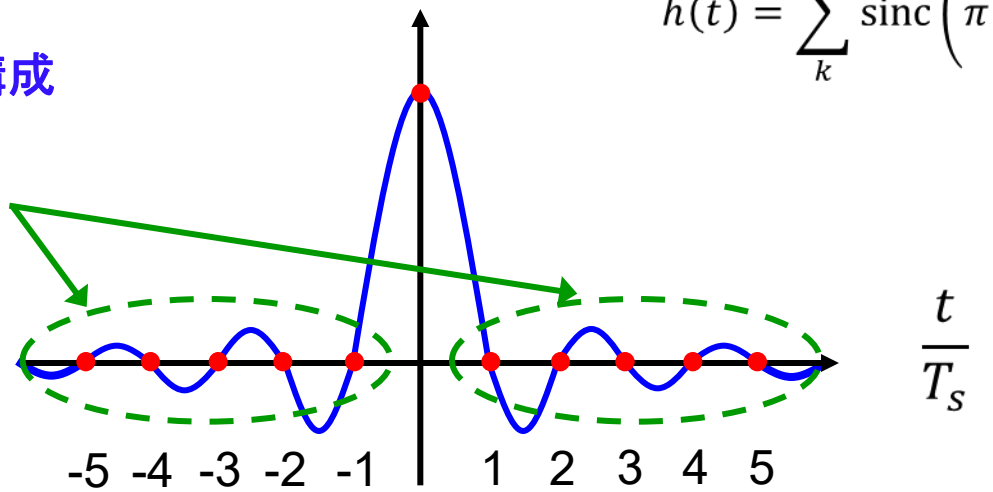


フーリエ変換

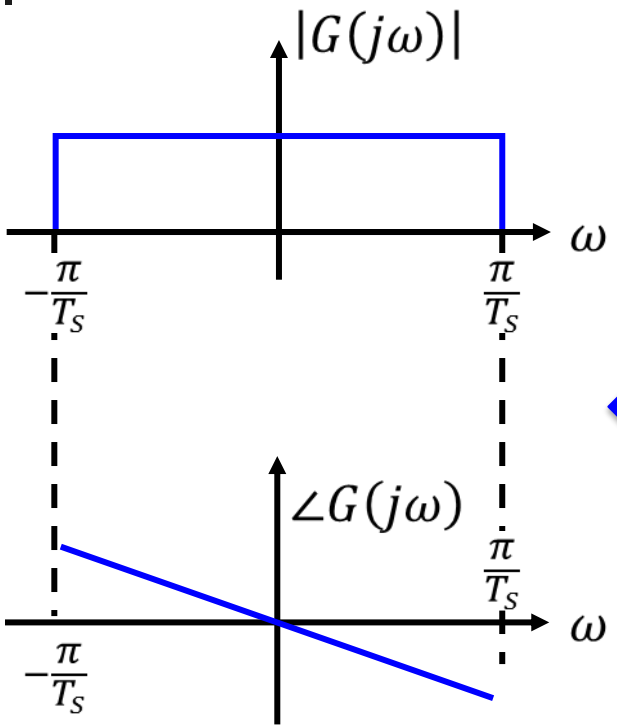
$$h(t) = \sum_k \mathrm{sinc}\left(\pi \frac{k \cdot T_s}{T_s}\right) \delta(t - k \cdot T_s)$$

FIRフィルタを構成

全てゼロ

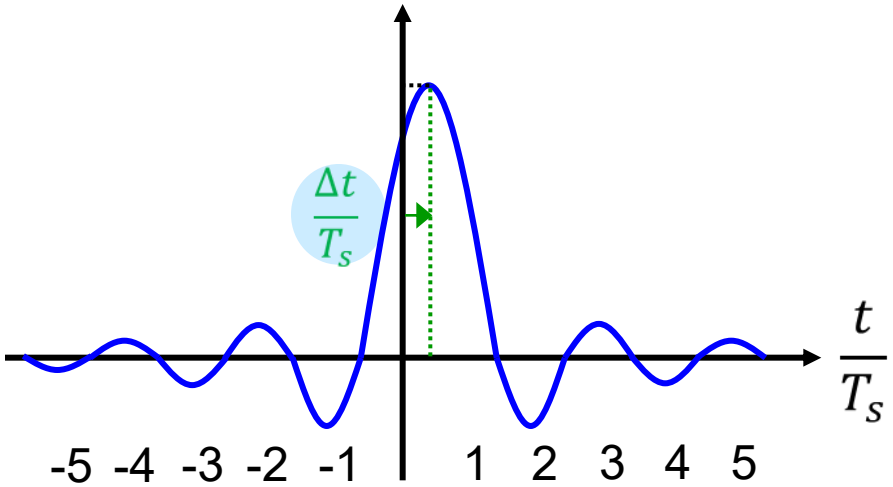


インパルス応答の時間シフト



$$\angle G(j\omega) = -\omega\Delta t$$

振幅特性は変化しない

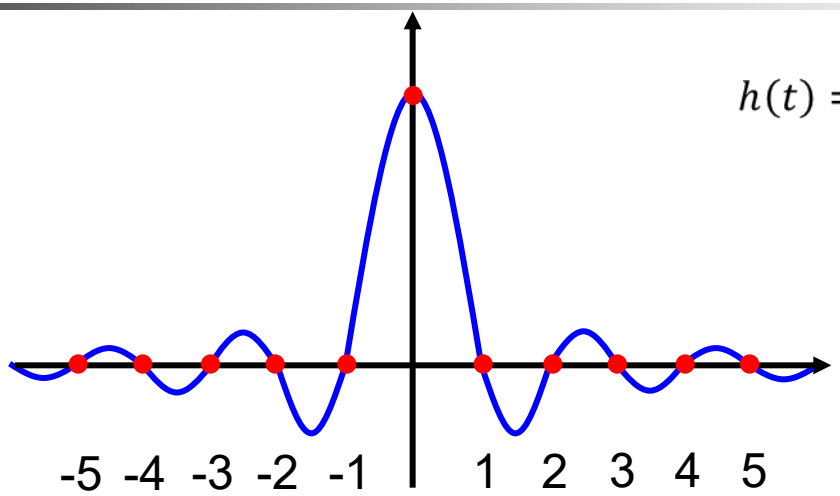


インパルス応答がΔtだけシフトする

時間シフトによる係数への影響

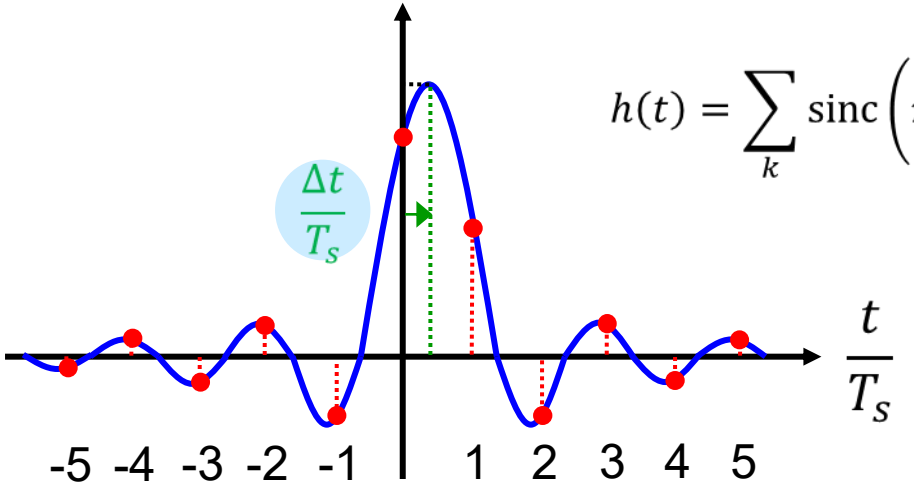
$$h(t) = \sum_k \mathrm{sinc}\left(\pi \frac{k \cdot T_s}{T_s}\right) \delta(t - k \cdot T_s)$$

FIRフィルタ



時間シフト

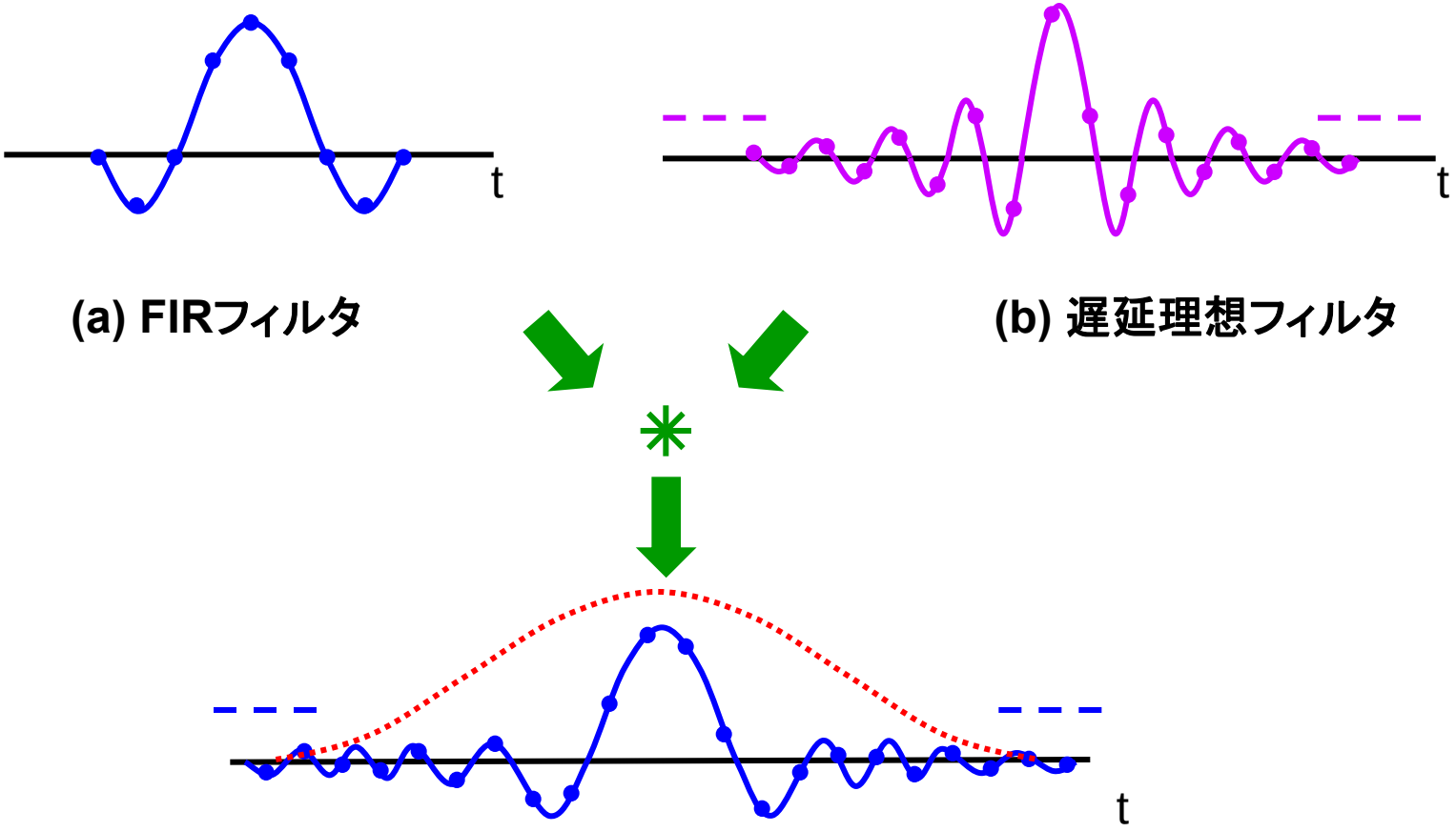
$$h(t) = \sum_k \mathrm{sinc}\left(\pi \frac{k \cdot T_s - \Delta t}{T_s}\right) \delta(t - k \cdot T_s)$$



IIRフィルタ

遅延理想フィルタ

提案の遅延デジタルフィルタ

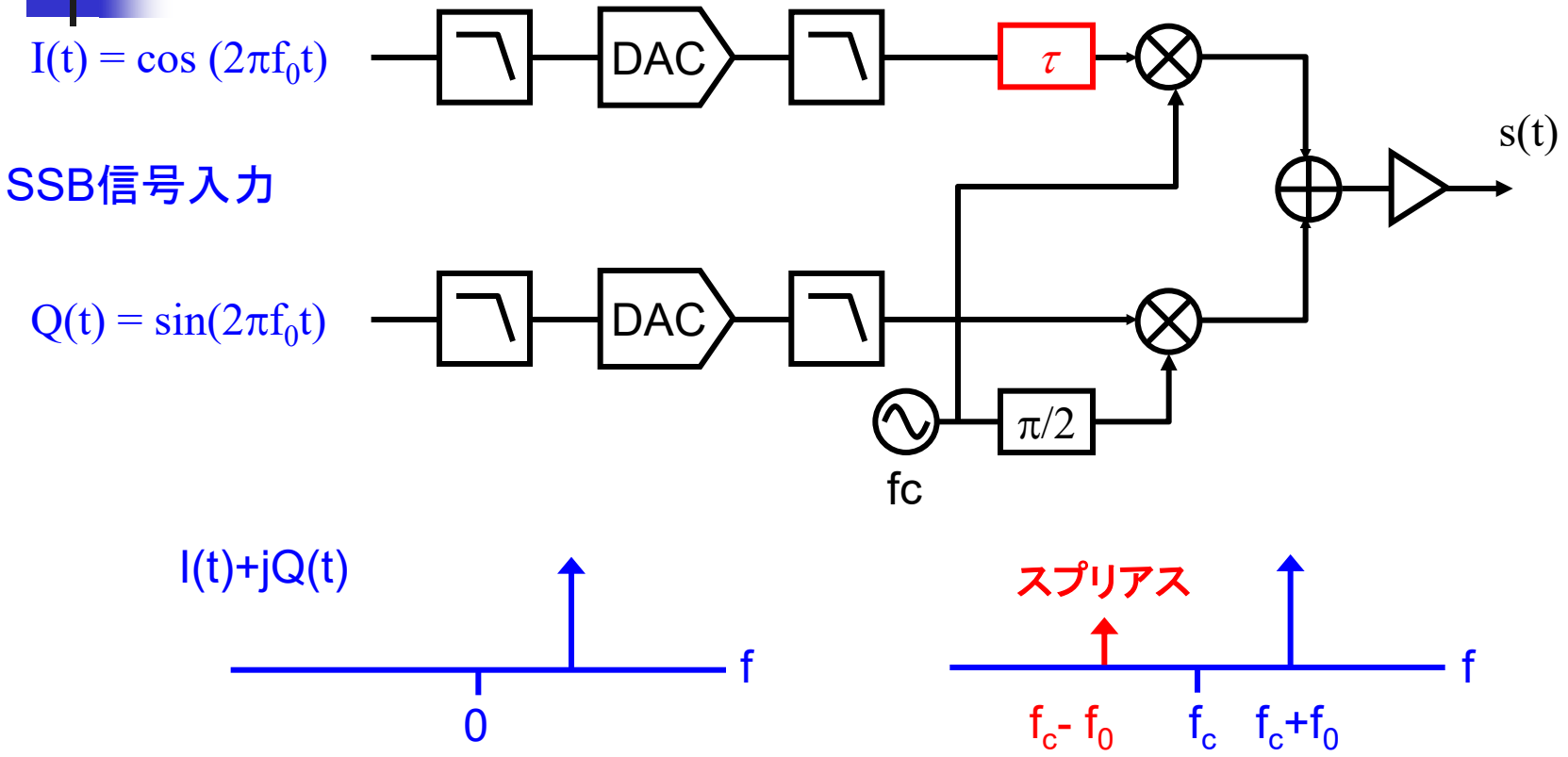


(a) FIRフィルタ

(b) 遅延理想フィルタ

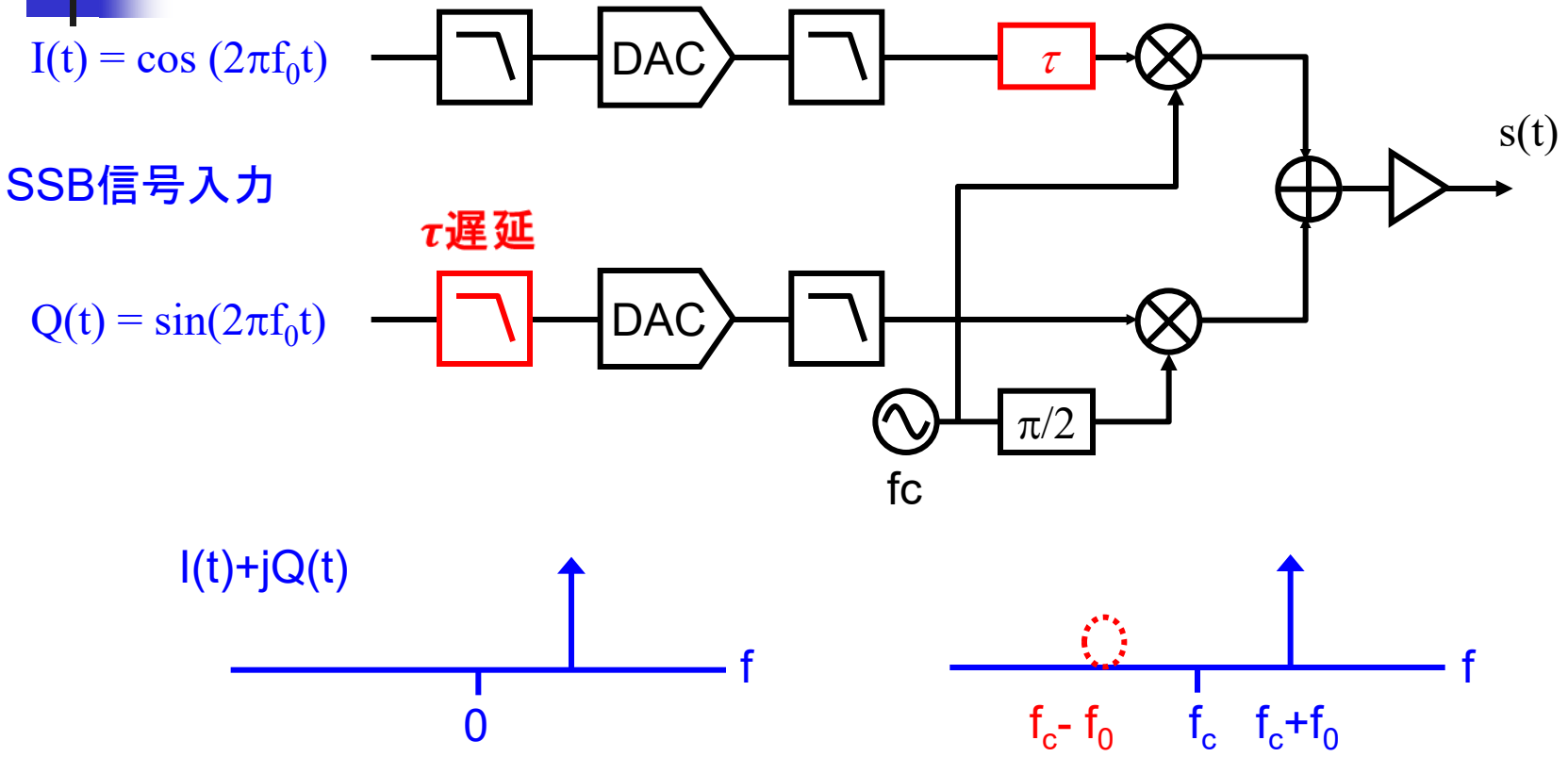
(c) 遅延デジタルフィルタ

直交変調器への応用



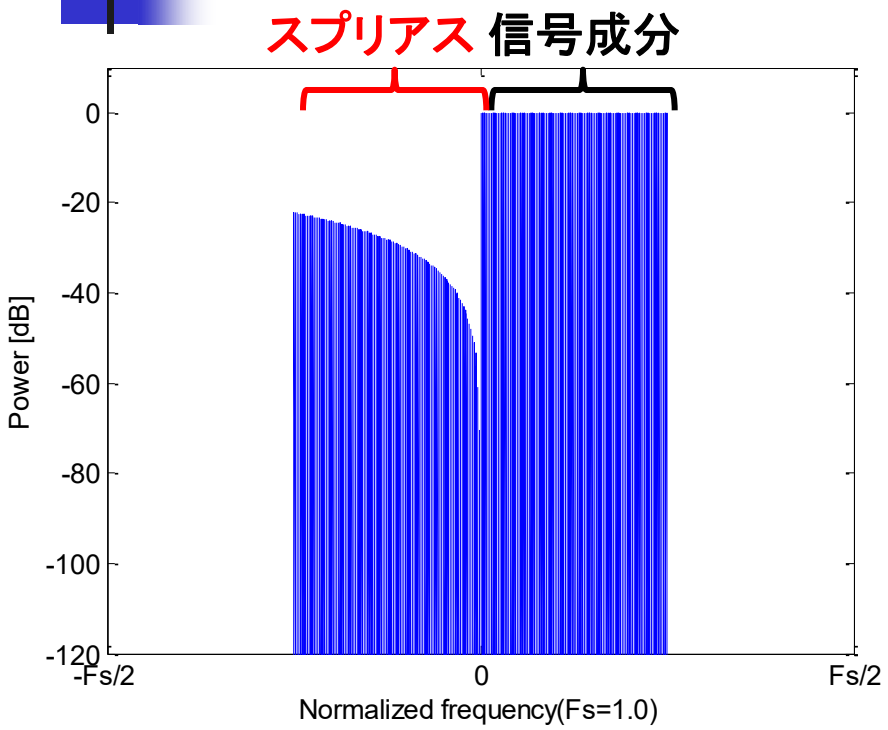
SSB：single side band（シングルサイドバンド）
DAC：digital-to-analog converter（デジタル-アナログ変換）

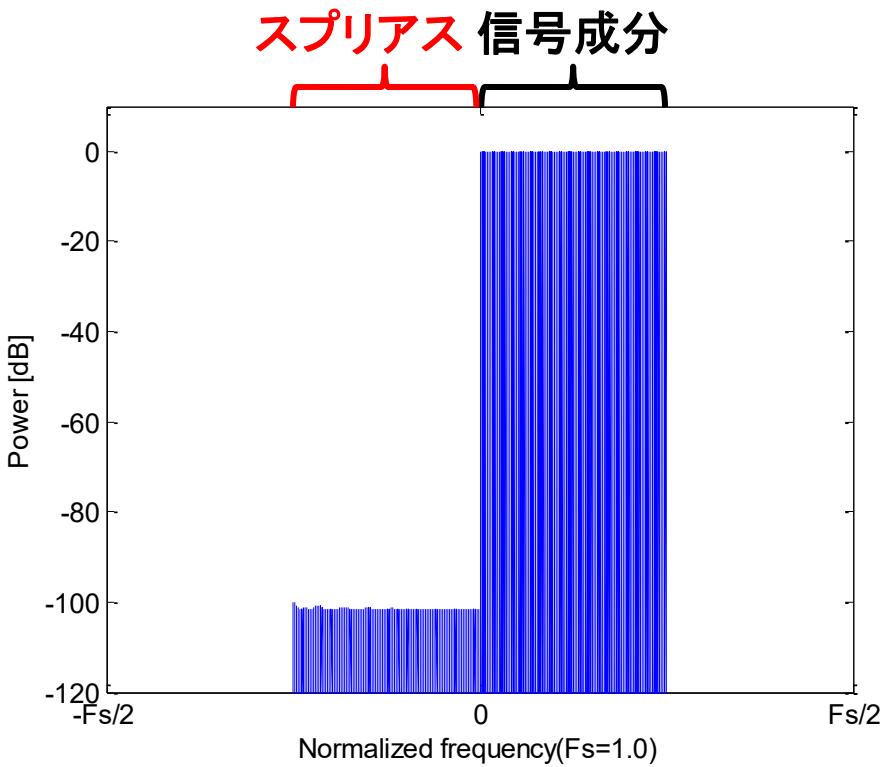
直交変調器のI/Qスキュー補正



SSB：single side band（シングルサイドバンド）
DAC：digital-to-analog converter（デジタル-アナログ変換）

SSB信号によるシミュレーション結果

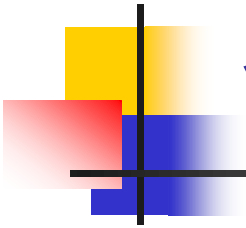




(a) 補正なし

加えた遅延量	0.1 samples
フィルタタップ数	61 taps
窓関数	Hann窓
FFTサイズ	1024 points

(b) 遅延フィルタにより補正



発表内容

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域１：　振幅連続、時間連続
  - 領域２：　振幅連続、時間離散
  - 領域３：　振幅離散、時間連続
  - 領域４：　振幅離散、時間離散
- **デジタルアシストのテストの問題**
- デジタルアシストを哲学する
- まとめ

デジタルRFによるテストコスト低減

TI社の(デジタルアシストを多用した)
Digital Radio Processor の動機

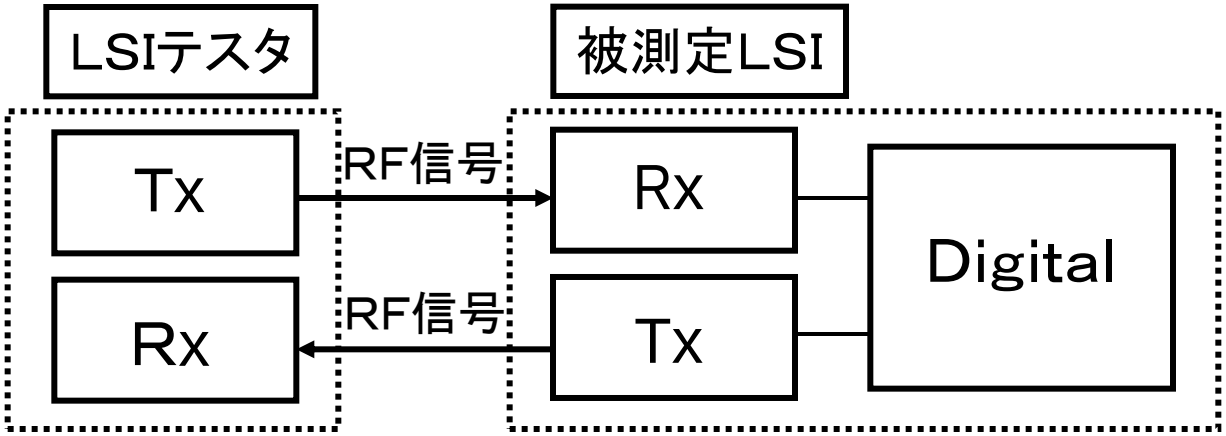
テストコストを下げるため。

デジタル化でBISTを入れやすくなり(RF BIST)
デジタルATEでテスト可能となる。

非常に数が出るチップでこの考え方は重要。

新アナログのテストの問題

トランシーバICの出荷時テスト

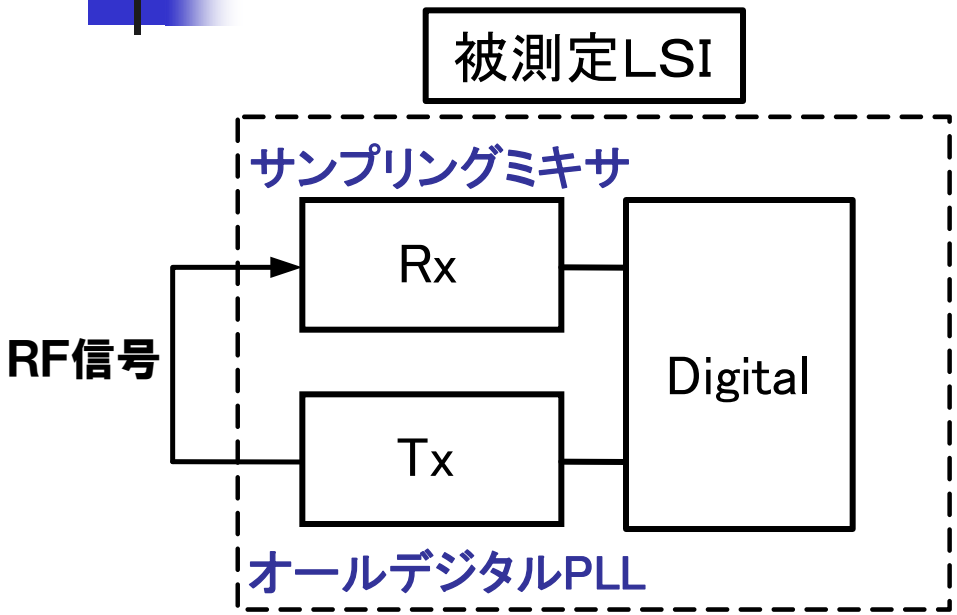


トランシーバICをテストする際の標準的な構成

高価なLSIテスタが必要

携帯電話送受信機ICの テスト容易化

LSIテスタ・メーカA社から指摘



ループバックテスト構成

サンプリングミキサ受信機
ADPLL 送信機で
携帯電話送受信ICの
ループバックを可能に

- 携帯電話ではRx, Tx のキャリア周波数が異なる。
  → 直接にはループバックが使用不可
- テスト時にRx, Tx のキャリア周波数を合わせ得る。

ADPLL を用いた送信機のテスト容易化

ADPLL を用いたRF 出力の変調の
位相軌道誤差(Phase Trajectory Error)

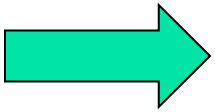
ADPLL内 位相比較デジタル値の統計処理から
正確に推定可能

量産時に高価なテスターでの長時間テストを
行わなくてテスト可能

[1] R. B. Staszewski, et. Al., “RF Built-in Self Test of a Wireless Transmitter,” IEEE Trans. CAS II (Feb. 2007).

デジタルアシスト技術と LSIテストの問題　LSIテスタ・メーカB社から指摘

「デジタル・アシスト・アナログ技術」



設計パラメータ空間が広くなる

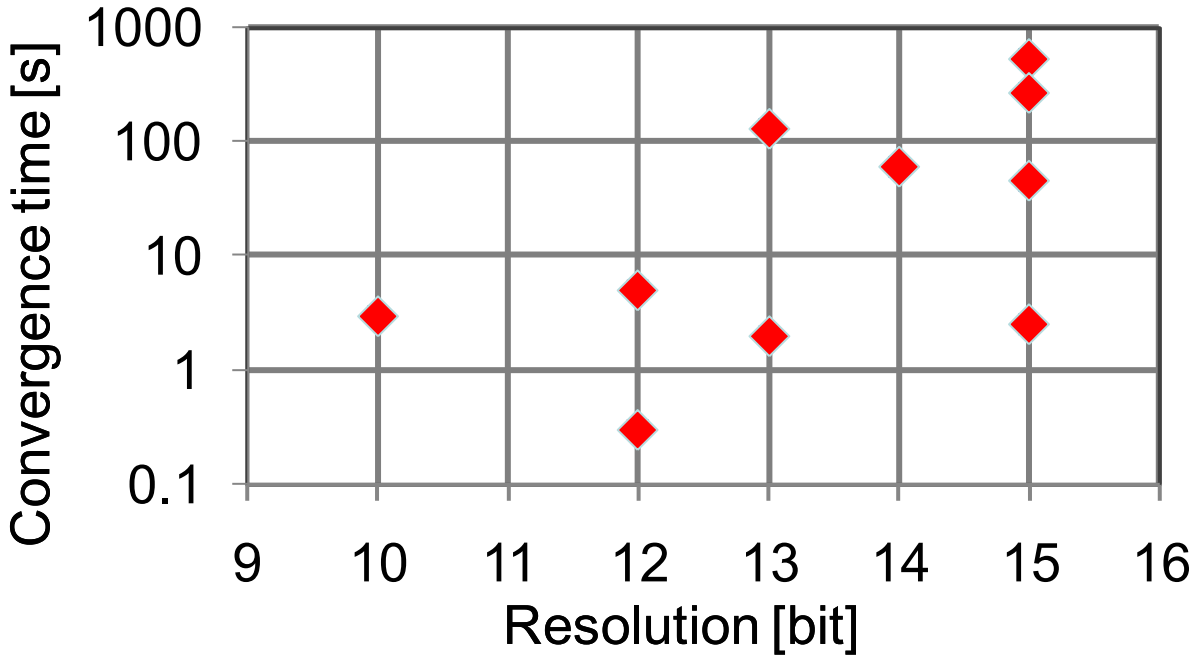
内部に不良箇所があっても　補正され
LSIテスト（出荷検査）の際に「良品」と判定。

その欠陥が補正できるぎりぎりのとき、
市場で補正範囲を超え
動作不良となることあり。

デジタルアシスト技術と LSIテストの問題　学会情報

- バックグランド自己校正時間 → 長い

[Pipelined ADC with calibration research paper in recent years]



- 全テスト時間 ＝バックグランド自己校正時間
  ＋　機能テスト時間

デジタル･アシスト･アナログ テスト容易化技術

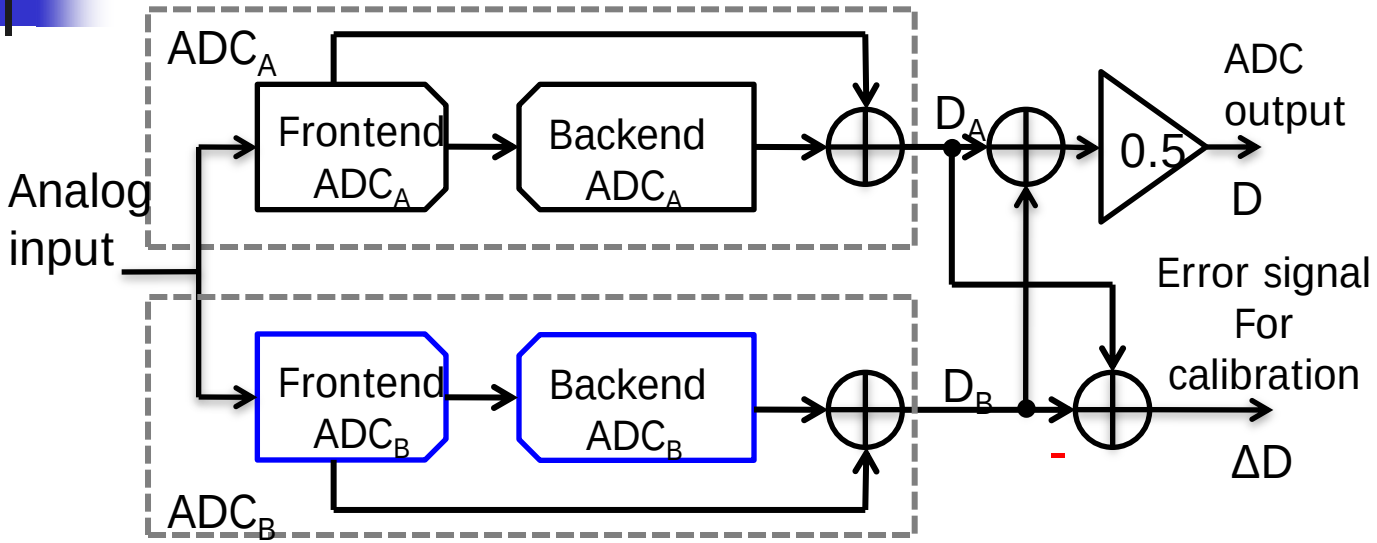
UC Santa Barbara（米）　Prof. Chen

- デジタル自己校正用メモリ値の
  値を観測してテストに利用
  値を書き換えてテストに利用

自己校正、誤差補正：
自己校正用メモリデータは
チップ使用時ユーザからは見えない。
テストの際には積極的に
内部状態を「観測」「制御」する。

Split ADC

収束時間短，　面積・電力オーバーヘッド小



- Gm/C を一定
- 2つの (Gm/2)/(C/2) のADC、異なる「論理」
- 2つの出力の平均でSNR確保
- 「異なる論理」の2つのADC出力が同じになるように
  自己校正

アナログの回路とテストの研究の接点

アナログの回路研究者とテスト研究者の学会は別。

⇒ 両者の交流は限定

「アナログ回路の自動調整、自己校正は回路技術とテスト技術の接点である」

（Prof. A. Chatterjee, ジョージア工科大学）

デジタル補正使用の計測器・センサの量産経験者に耳を傾ける

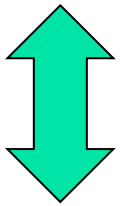
「高精度な湿度計測を実現するには、
温度係数の個体差のばらつきが小さく、
複雑な温度補正を必要とせず、
調整・校正誤差が小さい特性ばらつきしかない
湿度センサを選定することが重要。」
（田澤R&D技術士事務所　田澤勇夫氏）

工業製品の量産の思想

製品ばらつきを抑える。

「均一な部品・材料を用いて

　均一な品質なものを作ること」が重要



異なる思想か？

校正、調整（ディジタルアシスト）では

ばらつきを許容する。

最終製品は特性は均一になる。

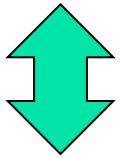
ディジタルは均一な品質のものを作れるという側面も強いが

工業製品の量産と調整･校正

調整(チューニング)

- コスト高
- トラブルのもと

量産では避けたい



ディジタルアシストでの

自己調整･自己校正でコストの問題は軽減

しかし「トラブルのもと」は依然残る

計測器での校正から学ぶ

性能（精度・確度）をだすために校正を行う。

校正なしでできるだけ性能をだす。

どうしてもという部分を「校正」する。

計測器は「低消費電力化」の要求は希薄

自己校正による低消費電力化技術
考え方を検証する

ディジタルアシストでの、弱いフィードバック、
閉ループアンプではなく開ループアンプの使用

↓

わざと特性を劣化させて低消費電力化を図る。
特性劣化分（非線形性）をデジタル補正。

↓

「従来の量産の思想」とは異なる。
(受け入れには「勇気」が必要)

ディジタルアシストによる設計パラメータ空間の増大

- アルゴリズムの収束性（収束時間、安定性）
- 安定平衡点は単一か
- 複数の平衡点の場合は望ましくないところに収束した場合から逃れられるか
- どの程度のパラメータ変動まで収束を保証できるか。

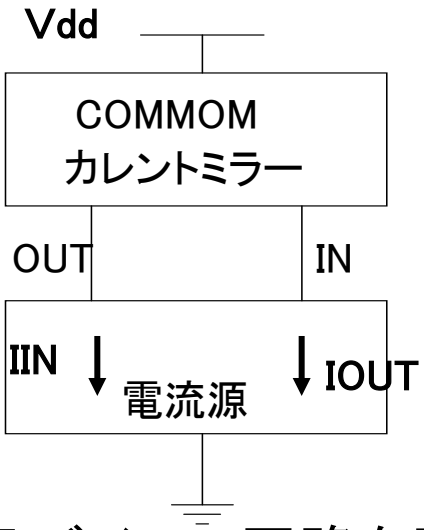
これらは十分調べられているか。

また、設計検証、テスト、

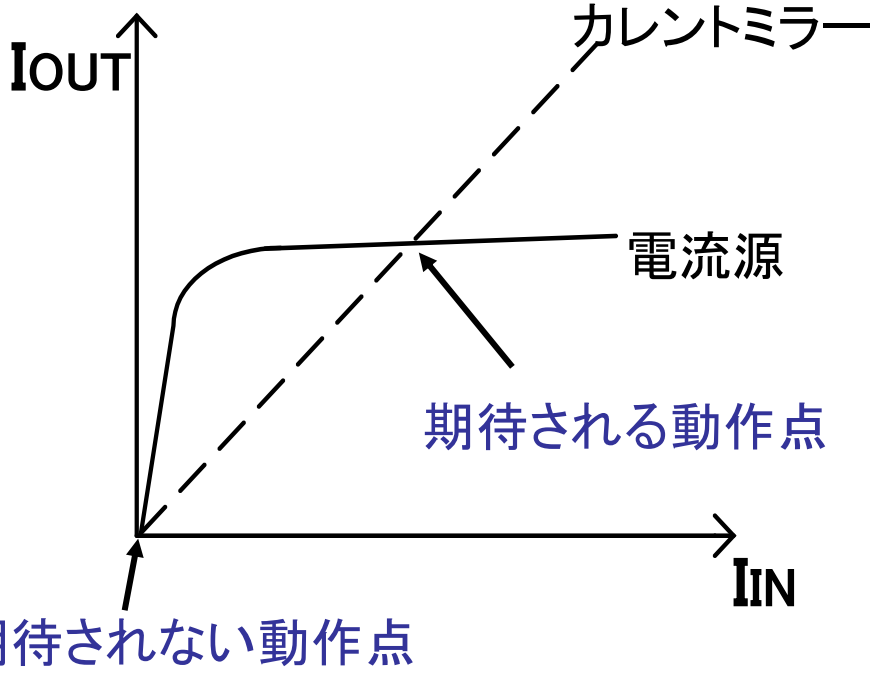
トラブルがあった際の診断・修復が大変になる。

基準電流発生回路から学ぶ

- ２つの動作点
- 望ましくない動作点からの抜け出しが必要



自己バイアス回路を用いる
基準電圧源のブロック図



動作点の決定

基準電流発生回路での起動回路

枯れた技術でその考え方は広く使用

トランジスタに電流が
常に流れる事を保障するため
起動回路を用いる

電流が流れる

↓

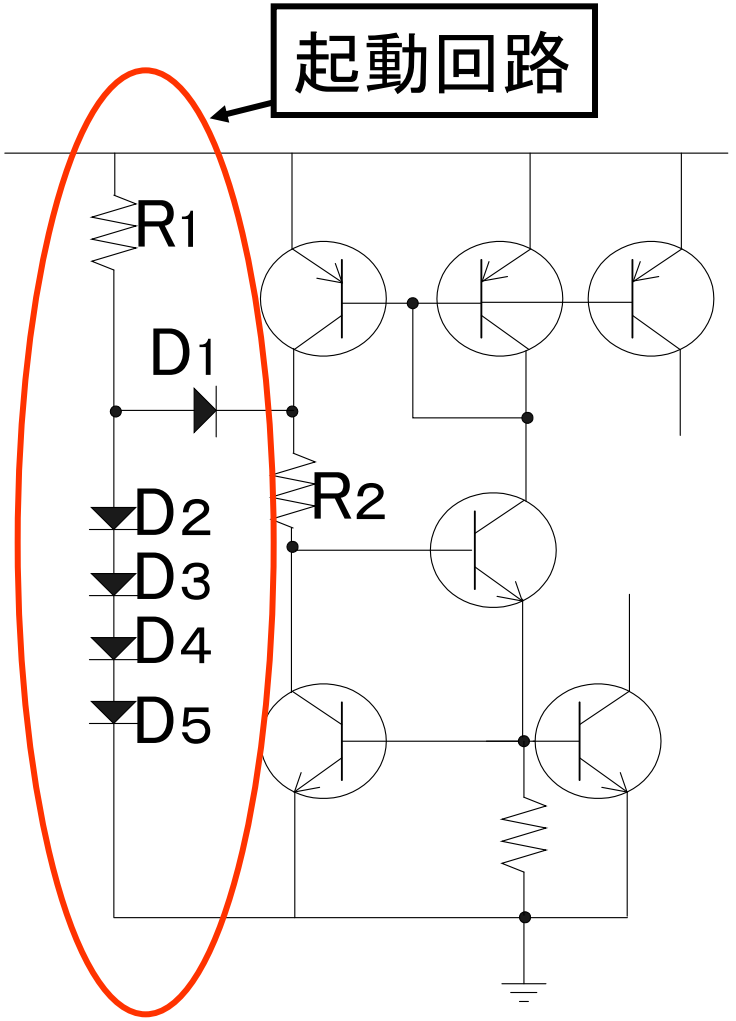
R2の電位が上がる

↓

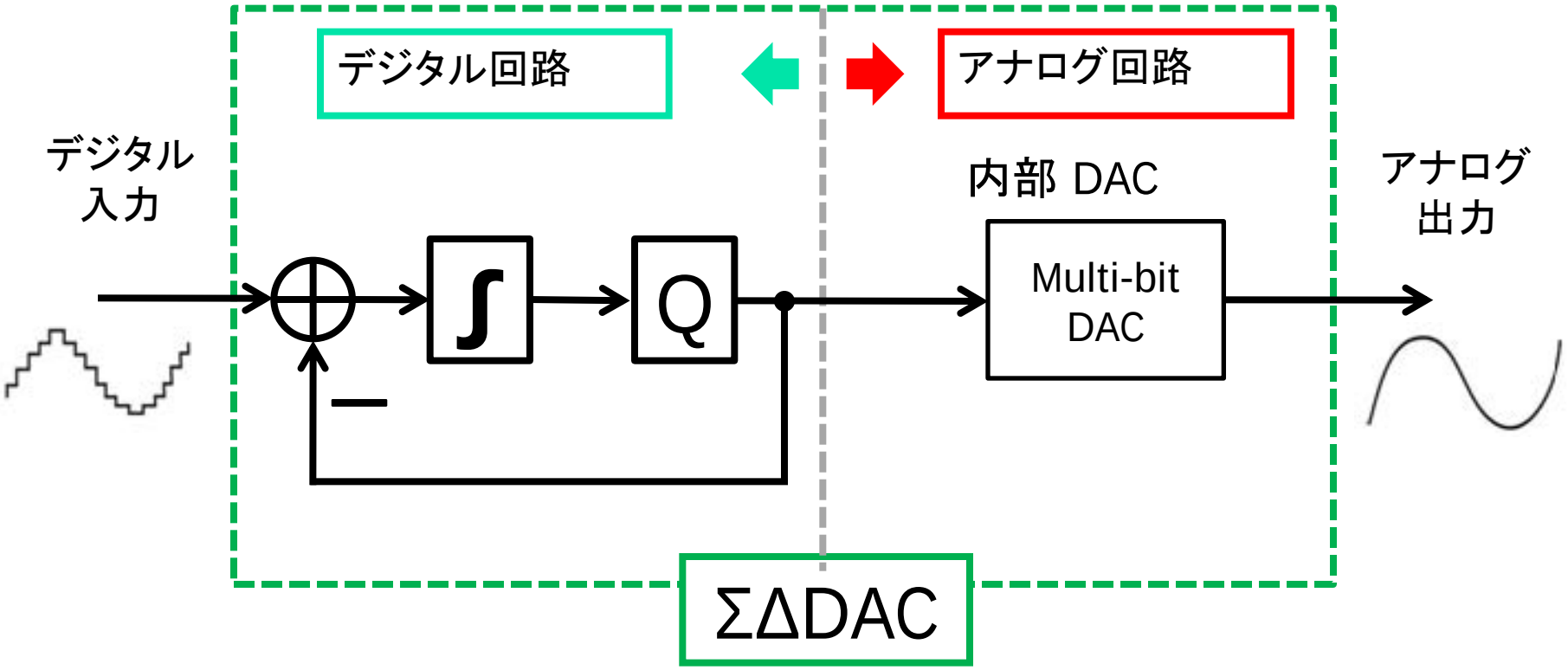
D1がOFF状態となる

↓

起動回路は関係なくなる

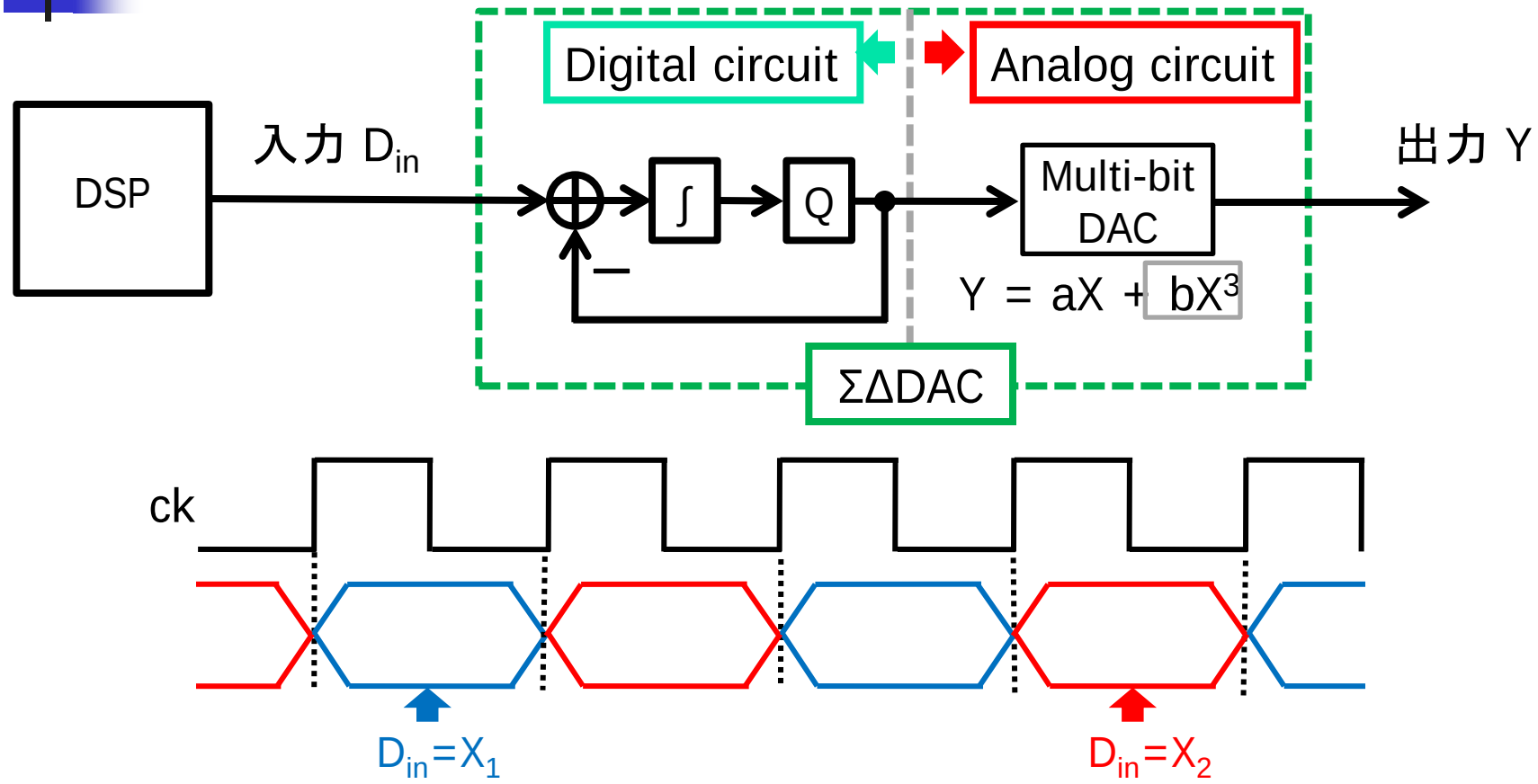


デジタルアシストテスト技術の開発事例
ADCテスト用低歪み正弦波発生



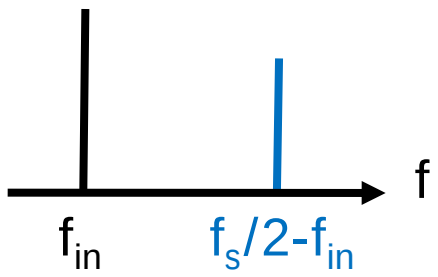
ΣΔDAC ⇒ テストモード時に
SoC内のDSP, DAC コアを用いて構成

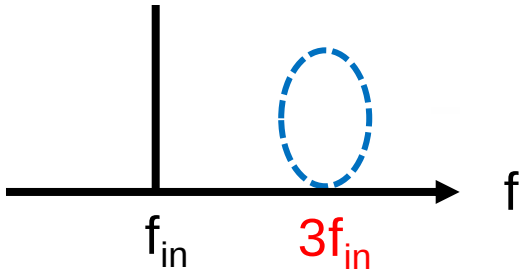
開発した手法

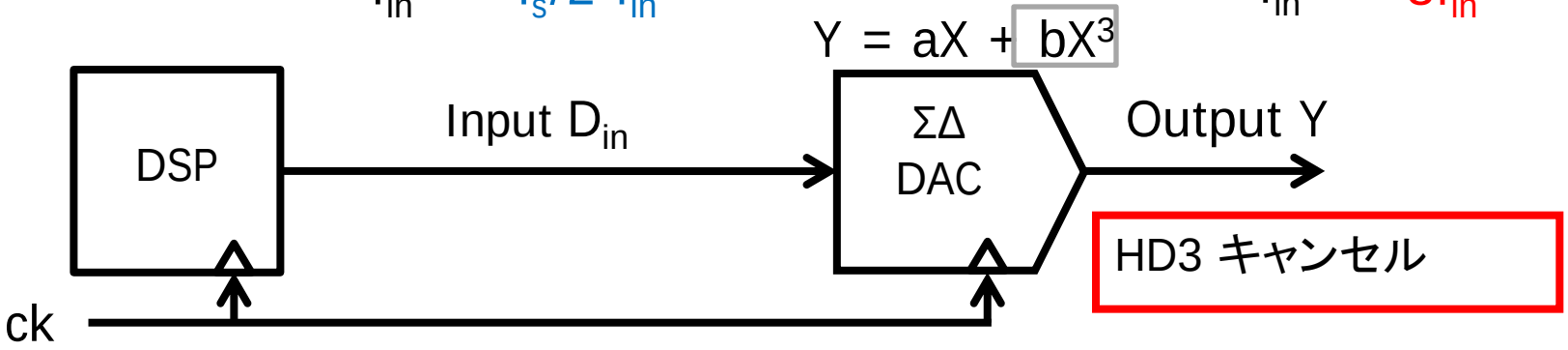


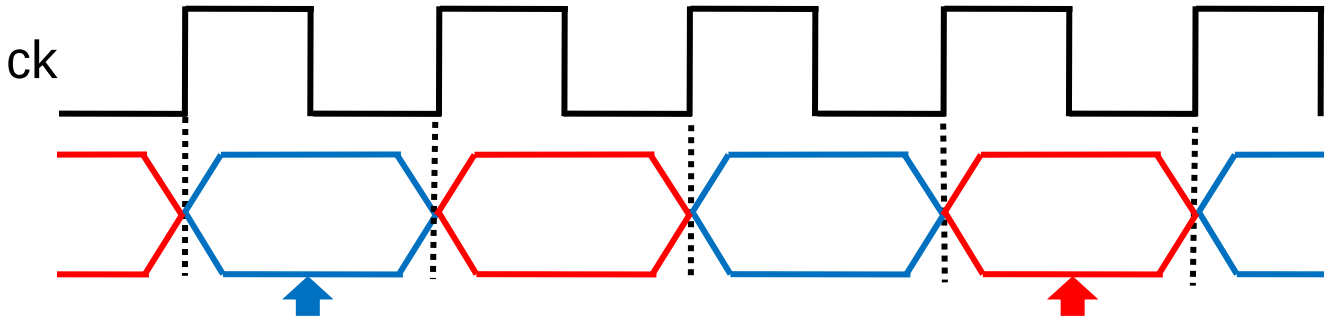
X_1，X_2 をインターリーブして D_{in} を生成

低歪み正弦波発生の原理





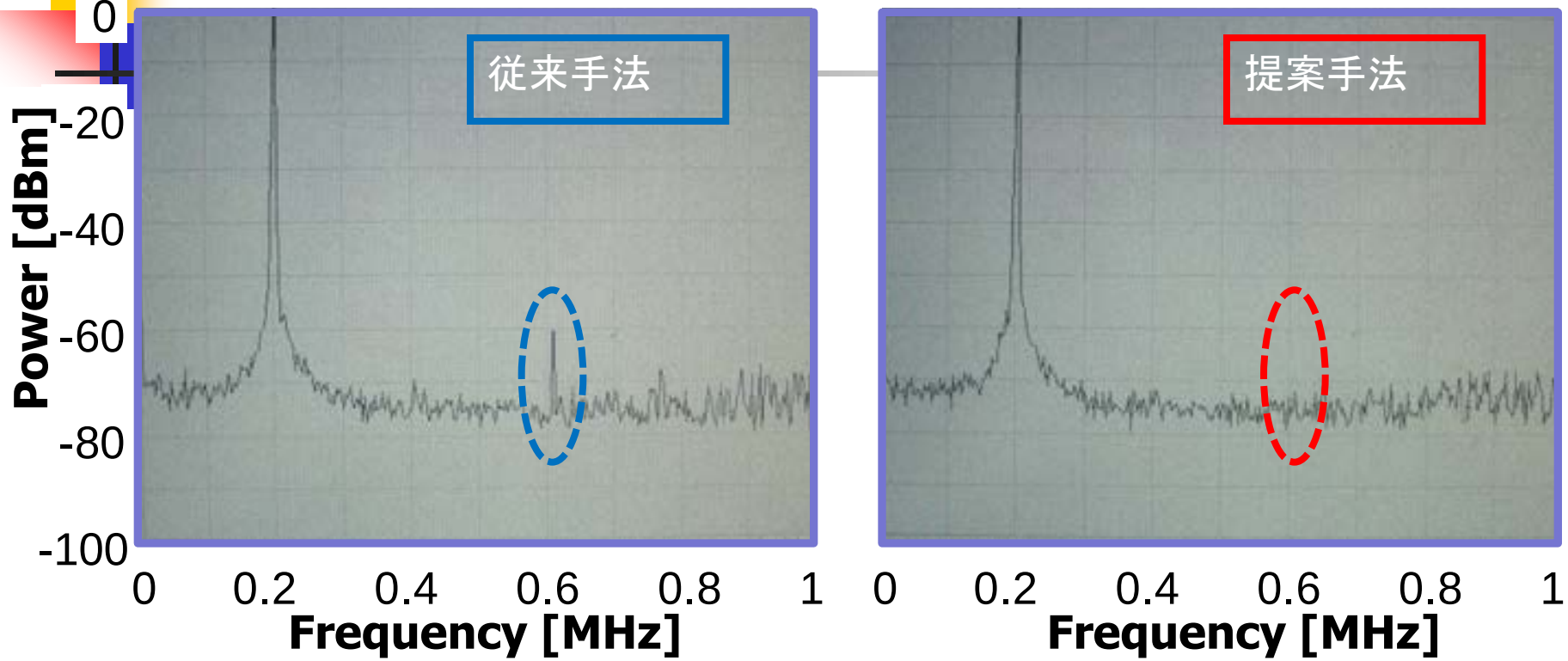




$D_{in}=A\sin(2\pi f_{in}t+\pi/6)$

$D_{in}=A\sin(2\pi f_{in}t-\pi/6)$

実験結果



Fundamental
(200kHz) : 3.8 dBm
-1.2 dB
2.6 dBm

HD3
(600kHz) : -60 dBm
-14 dB
-74 dBm

発表内容

- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域１：　振幅連続、時間連続
  - 領域２：　振幅連続、時間離散
  - 領域３：　振幅離散、時間連続
  - 領域４：　振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

教育論：アナログ回路を志す学生にとって

習得すべき知識領域が拡がる？
基本は変わらない？

- システム的な考え方、
  システム全体を理解・設計できる能力、
  信号処理技術の知識が必須になる.
- いわゆる「アナログ回路」しかわからないのは
  （現状でも）通用しない.
  しかし「アナログ回路」がわからないのも通用しない.

「木」も「森」も見ること、理解できることが必要

デジタルアシストの定義

- 「微細」と「CMOS」の2つの条件
- 4つの回路領域全てを使用
- 回路、設計手法、検証手法、テストをデジタル的に行う

More Moore
のアナログ

	時間　連続	時間　離散
振幅 連続	領域1 アナログ	領域2 スイッチドキャパシタ サンプリング回路
振幅 離散	領域3 TDC、PWM	領域4 デジタル

領域1：　バイポーラ、化合物が得意
領域2，3，4：　CMOSが得意

デジタルアシストの必然

微細CMOSでアナログ高性能化

- 微細CMOSでは、低電源電圧、
  トランジスタ利得小、特性バラツキ大　で
  従来のアナログ回路では動作が難しい

- 小チップ面積、低消費電力、高性能化
- 設計容易化
- プロセス・ポータビリテイ、
  スケーラビリテイ
- 初回の試作で動作
- 半導体プロセス開発と並行して回路設計可能
- 他のデジタル回路と集積化可能

デジタルアシストの体系化が必要

- ADC自己校正技術の理論的基礎は未解決

ADC内部回路の誤差

→ ADC内回路自体を用いて測定

測定自体に誤差

測定内容も制限

どの条件で、なぜ自己校正で精度がでるのか？

結果としてADC精度確保。

個別技術では解決、一般論では未解決。

- ADCでの冗長性を用いたデジタル誤差補正

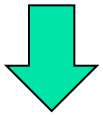
パイプラインADC，逐次比較近似ADC　等

→ 統一理論が必要

ディジタルアシストで用いられている

Z変換の問題点

離散時間信号・システム表現にZ変換が
多用されているが、サンプリング周期 T が
陽に表れていないので使いづらい面がある。



T をゼロに近づけた時、連続時間系の理論と
スムーズに一致する表現が望ましい。

（東大名誉教授　北森俊行先生）

$$z = e^{sT}$$

デジタルアシストの思想の発展形

- 生物に学ぶ

自己校正		生体システム
冗長性、故障耐性	⇒	適応、学習、診断
自己診断・テスト・修復		自然治癒、回復

- 将来の微細CMOS SOC アーキテクチャは
  生物のシステムにも学ぶ必要あり。

- 生物と工学システムは異なるが。。。
  鳥と飛行機、馬と自動車、脳とコンピュータ
  ニューラルネットワークは普及が限定

技術論：デジタルアシストはSOC向け？ それとも先端アナログ/RFとして必達？

- 微細CMOS SOC 向け
- アナログ、RF回路だけでなく

パワー系回路（デジタル電源等）でも
必要な考え方（必須ではないが）

外資系半導体メーカーの多くは
パワーマネージメントに注力。
高耐圧・パワーデバイスに加え
微細CMOSを集積化
デジタル制御（デジタルアシスト）が理由の一つ

デジタルアシストの普及・発展は 市場駆動か、技術駆動か？

- 答え： 両方． 微細CMOS SOCでは必須
- 市場駆動：

  発展途上国向け製品では

  低コスト化・大量生産が必須．

  その手段として微細化が重要．
- 技術駆動：

  微細化によるアナログRFを含むSOCの

  性能向上のストーリーを容易に描ける．

デジタルアシストはアナログ回路設計を容易化するのか、難易度を高めるか？

- 微細CMOS　SOCでは容易化する.
  枯れたプロセスで小規模アナログICを設計する場合は有効性小.
- 「アナログ回路設計」というより
  「システム全体の設計」という発想をし
  その設計を容易にする設計手法を確立すべき.
  （解は存在すると思う）
- アナログ自動合成を可能にする（？）
  アナログ部もデジタル手法でMatlab, Verilog 記述で回路設計、レイアウト設計、検証、テスト設計を行う.

デジタルアシストでは解決できない アナログ特性劣化要因とチャレンジ？

- ピュアなアナログ回路領域は必ず残る.

  基準電圧発生回路

  発振回路 （完全デジタルPLL 回路DCOの LC発振回路など）

  低雑音アンプ

  パワーアンプ 等（の回路の一部）

- これらは差別化部分になりえる
- 「全てをデジタルで置き換える」ことはできない

デジタルアシストは新しい技術なのか？
これまでもあったが
カテゴライズされて目立った？

- デジタルは偉大な技術

- アナログ回路の一部をデジタルで置き換えることができたら、アナログには戻らない.

- 電子計測器では「校正」の技術が以前からあり.
  それがチップ内に入ってきたとの見方もできる.

ジッタ、熱雑音に対して

●デジタルアシストではジッタ、熱雑音は対応できない。
ADCの性能限界はジッタできまる。
(不確定性原理から標準偏差0.025ps)
●多数個、多数回で統計的に平均化すれば精度を
向上させえるのではないか。
●そのようにするとパワー効率が下がる。

が、この先入観にとらわれず、原理的に対応できるので踏み込んでデジタルアシストでジッタ・熱雑音に対処する研究をすべき。

Analog RF Technologyの展開

Digitally-Assisted から

System-Assisted へ

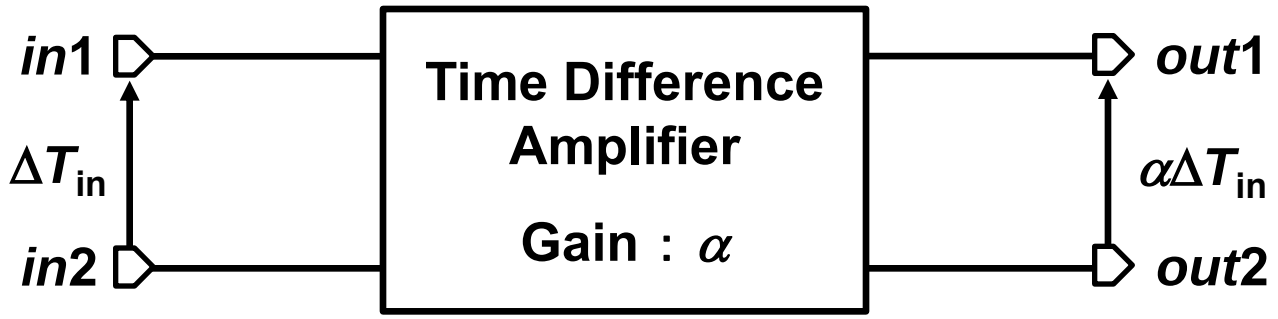
発表内容

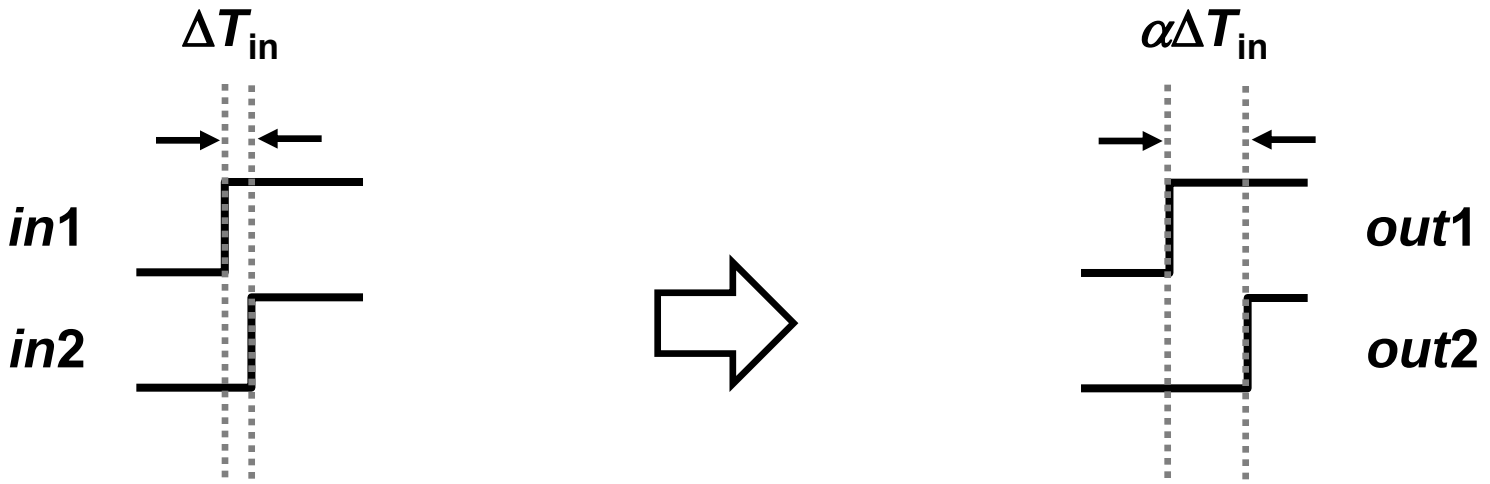
- アナログとデジタルを哲学する
- デジタルアシストの動機
- デジタルアシストアナログ技術
  - 領域１：　振幅連続、時間連続
  - 領域２：　振幅連続、時間離散
  - 領域３：　振幅離散、時間連続
  - 領域４：　振幅離散、時間離散
- デジタルアシストのテストの問題
- デジタルアシストを哲学する
- まとめ

まとめ

- ナノCMOSでのアナログ性能向上、設計容易性、プロセスポータビリテイ、スケーラビリテイのため
  - ４つの回路領域を全て使用
  - デジタル化を進める、アナログは最小
  - 誤差補正・自己校正技術
- アナログ技術、RF技術に加えて
  信号処理、計測・制御技術の知識・センスが必要
- デジタルアシストの個別技術の開発に加え、
  体系化・理論構築が必要

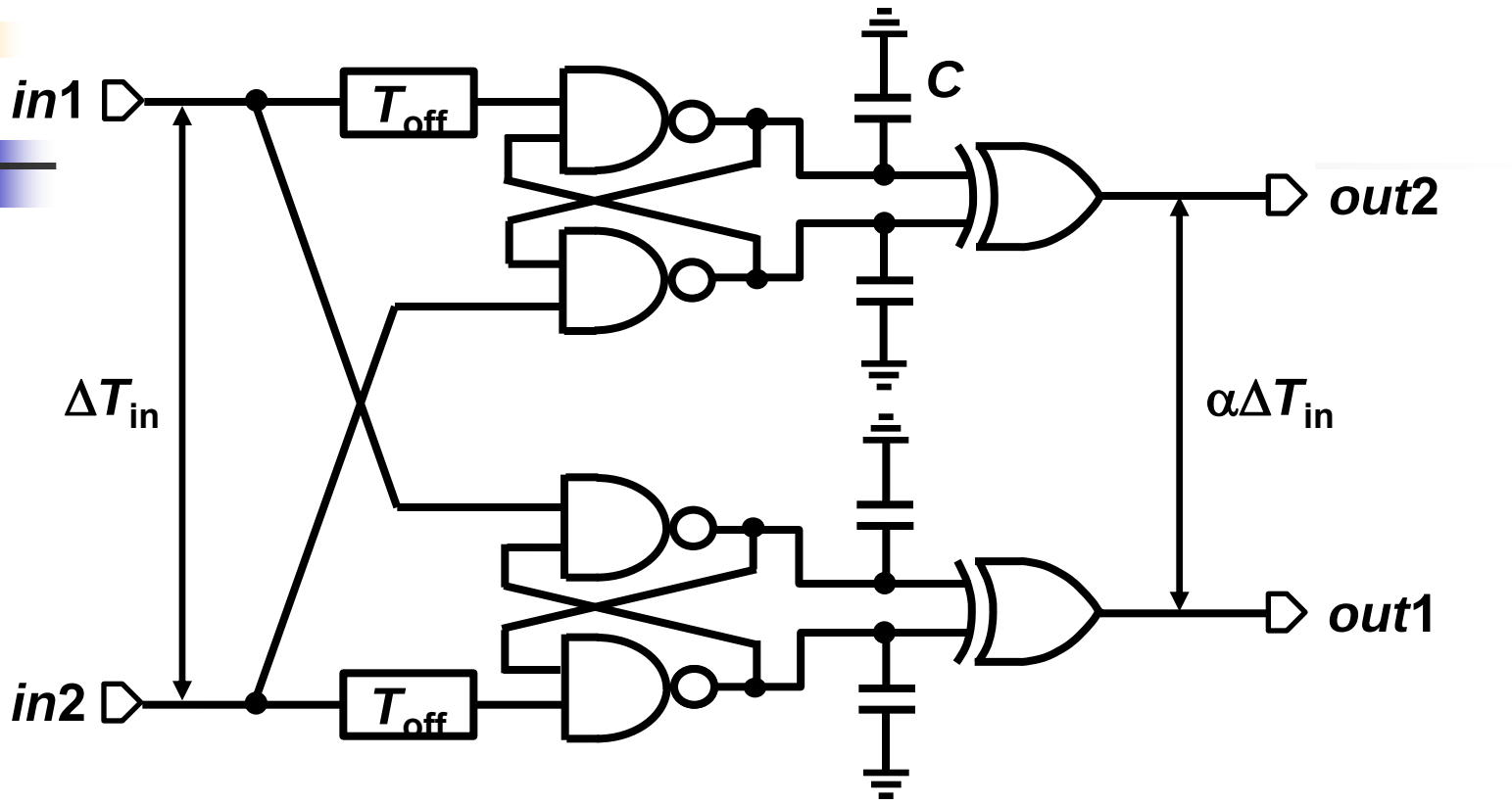
時間差増幅回路
Time Difference Amplifier





信号の立ち上がりエッジ間の時間差を増幅

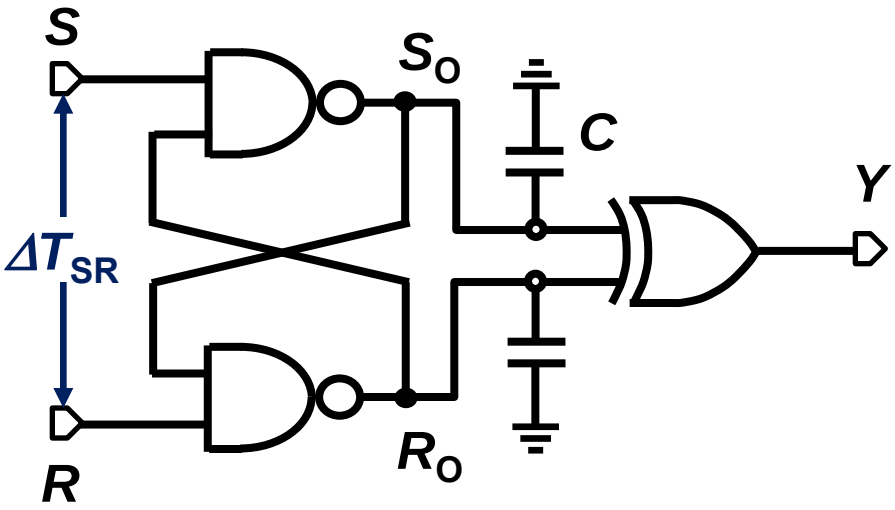
ラッチを用いた時間差増幅回路

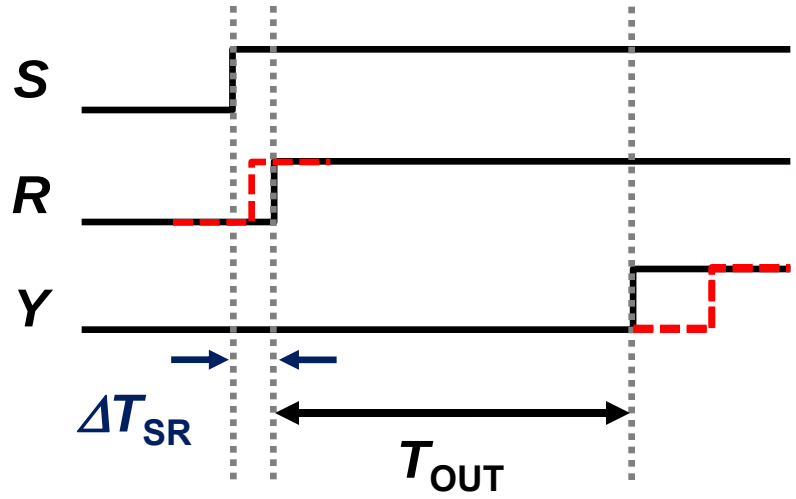


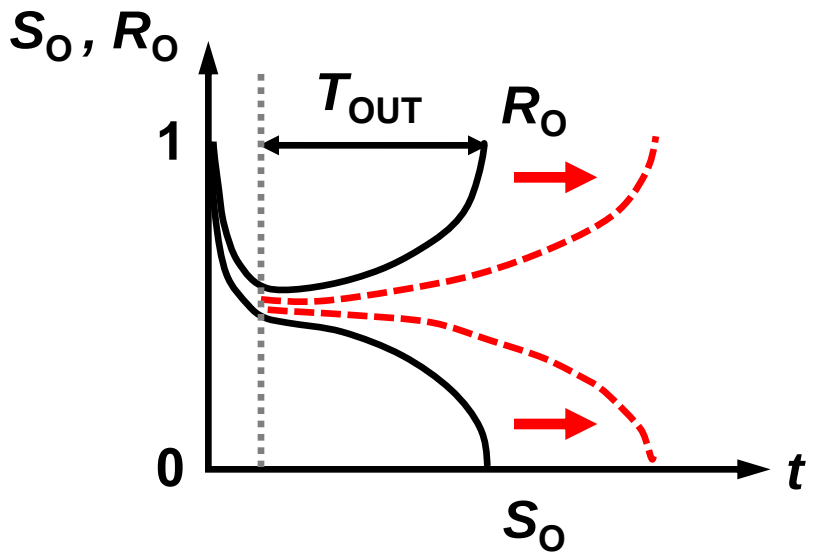
ラッチのメタスタビリティ現象を利用

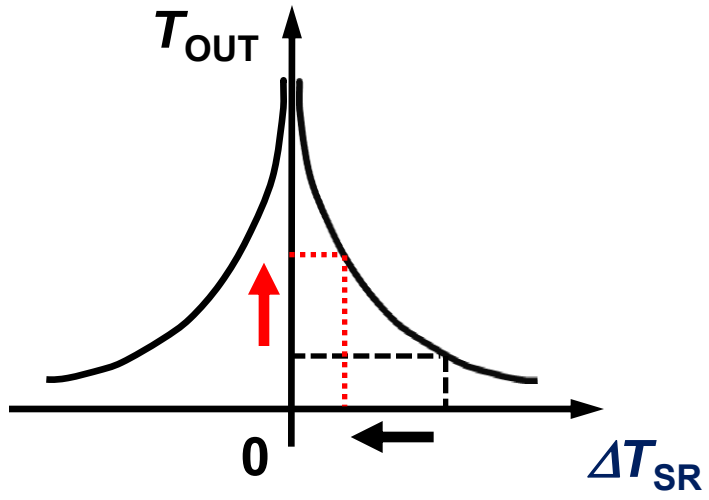
[1] M. Lee and A. A. Abidi, “A 9b, 1.25 ps Resolution Coarse-Fine Time-to-Digital Converter in 90nm CMOS that Amplifies a Time Residue,” *IEEE Symp. On VLSI Circuits*, pp. 168-169, June 2007.

NAND-SRラッチ回路の入出力特性



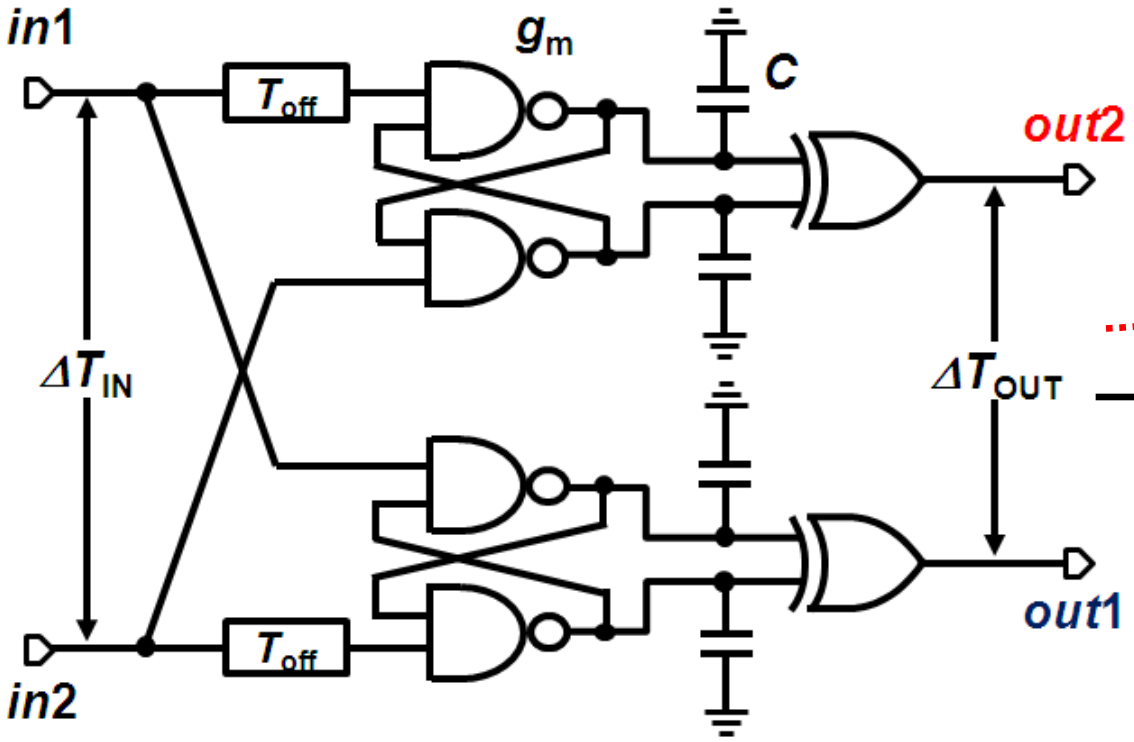


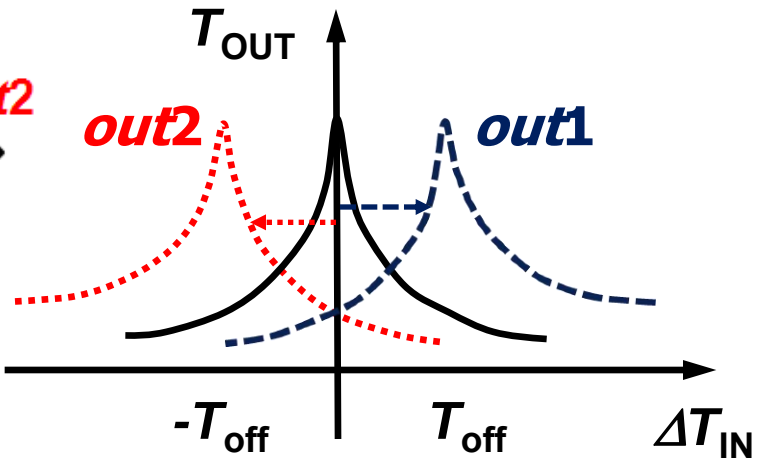




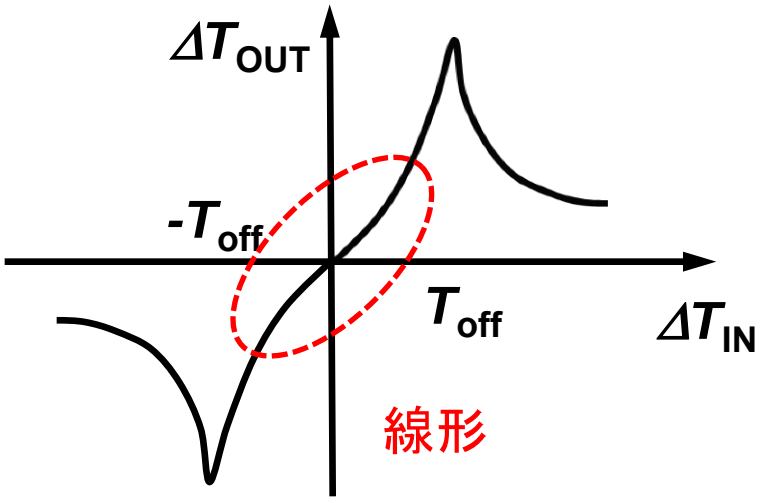
入力時間差ΔT_{SR}：小 ➡ 準安定状態からの回復時間T_{OUT}：大

ラッチを用いた時間差増幅回路の動作





out1 – out2



$\Delta T_{IN} << |T_{off}|$：ゲインは線形とみなす

時間差増幅回路のゲイン：$A_T = \dfrac{2C}{g_m \cdot T_{off}}$

g_m：準安定状態時のNANDゲートの
トランスコンダクタンス

信号を電圧軸(垂直)ではなく時間軸(水平)で

水平思考（lateral thinking）:

問題解決のために既成の理論や概念にとらわれずアイデアを生み出す方法。

エドワード・デ・ボノが1967年頃に提唱。

白と黒い石を一つずつの袋にいれた籤(くじ)。

白い石を引けば勝ち。

籤を作る側がインチキをして黒い石を2つ入れるところを見る。 ⇒ どうやれば勝てるか。

水平思考による解

「兵は詭道なり」 孫子

籤を引く。が，

石の色を確かめる前に敷地に落してしまう。

「袋に残ってる石の色を見れば

引いた石が何色だったか分かる」と主張

インターネットより

信号を電圧軸(垂直)ではなく時間軸(水平)で

水平思考(lateral thinking):

問題解決のために既成の理論や概念にとらわれずアイデアを生み出す方法。

唱。

た籤(くじ)。

を2つ入れる

てるか。

「こじつけ」です
(念のため)

計測制御工学で 自己校正、自動調整を理論づける

- 計測 ⇔ 制御　　双対(dual) の関係
- 計測 ⇒ 逆問題
- 古典制御理論

工学のエッセンスをたくさん含む

古典： 古くからある ＆ 現在生き延びている

史記、論語、孫子、三国志 等

（良くないものは廃れてしまい残らない。）

フォアグランド、バックグランド自己校正

フォアグランド自己校正

仕事を中断し、学校で学習

バックグランド自己校正

(アナログフィルタ等の）自動調整

仕事をしながら学習（on the job training）

生涯学習(社会の変化に対応した学習）

フィードバックによる情報獲得
フィードフォワードによる補正

人間の熟練動作の獲得過程

フィードバック制御から

フィードフォワード制御への移行

自己校正

フィードバック構成で誤差測定

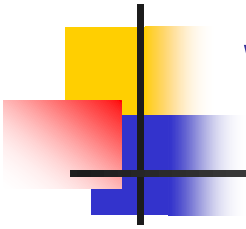
フィードフォワードで補正

バックグランド自己校正と自動調整

ADCバックグランド自己校正

アナログフィルタの自動調整

共通点あり　＆　相違点あり



能動計測と受動計測

能動計測

測定対象に積極的に入力を与えて

結果(出力)を計測

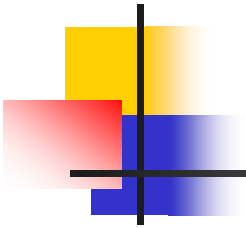
基準信号を与えて自己校正

受動計測

測定対象の入力は意図的ではない。

出力を計測。

基準信号を不要で自己校正



自己校正による計測

Divide & Conquer

Superposition

1mm の精度で100m までを測定

1mm 精度で100m の物差しは非現実的

1mm 精度で30cm の物差しを用いる

- ダイナミックレンジを制限 (divide & conquer)
- それをつなぎ合わせる（superposition)

計測器はテクノロジドライバ

計測器で用いられている技術

民生製品に降りてくる。

収束、学習の早さを考える

Split ADC　2つの異なる論理

　　整合するように自動調整

収束が早い。

1つのことを別の観点から学ぶ

➡ 知識の習得、学習が早い

参考文献リスト（pdf ファイルを読んでみてください）

[1] 小室 貴紀、ヨッヘン・リヴォアル、清水 一也、光野 正志、小林 春夫
「タイムデジタイザを用いたAD変換器アーキテクチャ」
電子情報通信学会誌　和文誌Ｃ vol. J90-C, no.2, pp.125-133 (2007年2月)

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/j90-c_2_125.pdf

[2] Haruo Kobayashi, Hitoshi Aoki, Kentaroh Katoh and Congbing Li
“Analog/Mixed-Signal Circuit Design in Nano CMOS Era”,
IEICE Electronics Express, vol.11 no.3, pp.1-15 (2014) (Review Paper)

https://kobaweb.ei.st.gunma-u.ac.jp/news/pdf/2013/Electronics_Express-1.pdf