

高性能逐次比較型AD変換器 アーキテクチャ

早川 晃 趙 楠
(群馬大学工学部 電気電子工学科)

堀田 正生
(武蔵工業大学工学部 電子通信工学科)

小林 春夫
(群馬大学工学部 電気電子工学科)

目次

- 研究目的
- 逐次比較型AD変換について
- 高信頼性AD変換器の提案
- 誤差補正アルゴリズム
- 低消費電力の構成
- まとめ

研究目的

- 車載用AD変換器を開発する
- 高信頼性
- 12～14ビット精度
- 低消費電力(従来の1/5)
- 中速サンプリング(20MS/s)
- 低コスト(小チップ面積デジタルCMOSプロセス)

研究背景

- 車載用エレクトロニクスの技術産業の要求大
- マイコンと組み合わせたAD変換器の高信頼性化

高速

高精度

低消費電力

低コスト化

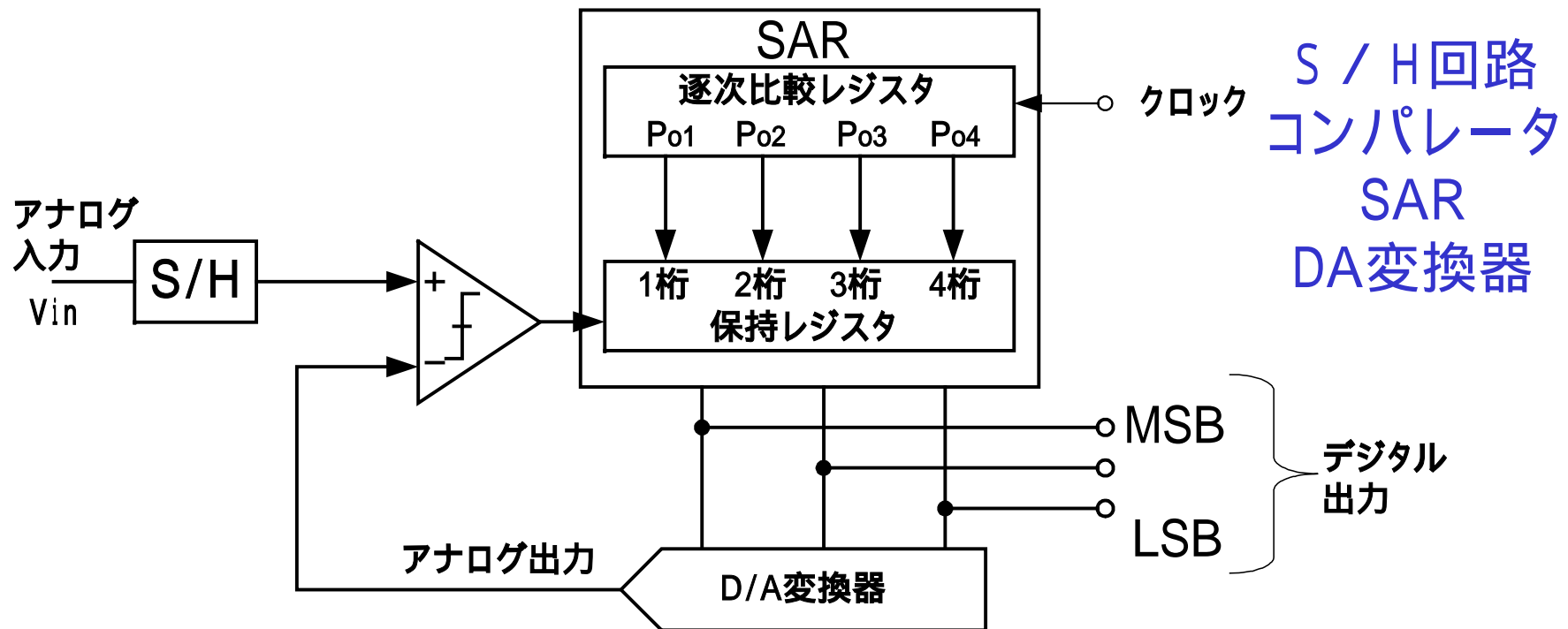
車載用では高信頼性が最重要課題

目次

- 研究目的
- 逐次比較型AD変換について
- 高信頼性AD変換器の提案
- 誤差補正アルゴリズム
- 低消費電力の構成
- まとめ

逐次比較形AD変換器の構成

構成要素



SAR = Successive Approximation Register

逐次比較型AD変換器の特徴

利点

- 低電力消費
- 高分解能
- 高精度
- 出力データのレイテンシー(遅れ)がない
- 小型

欠点

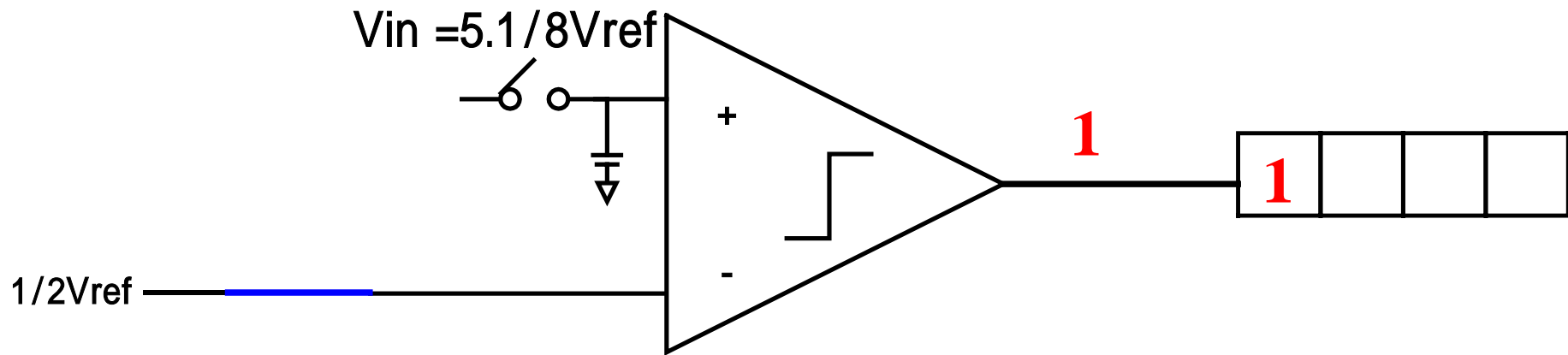
- サンプルング速度が中速
- 高精度化のため、DACやコンパレータ等の要求が厳しい

車載用マイコン
工業用制御等で広く利用

逐次比較型AD変換器動作説明 1

Vref ———

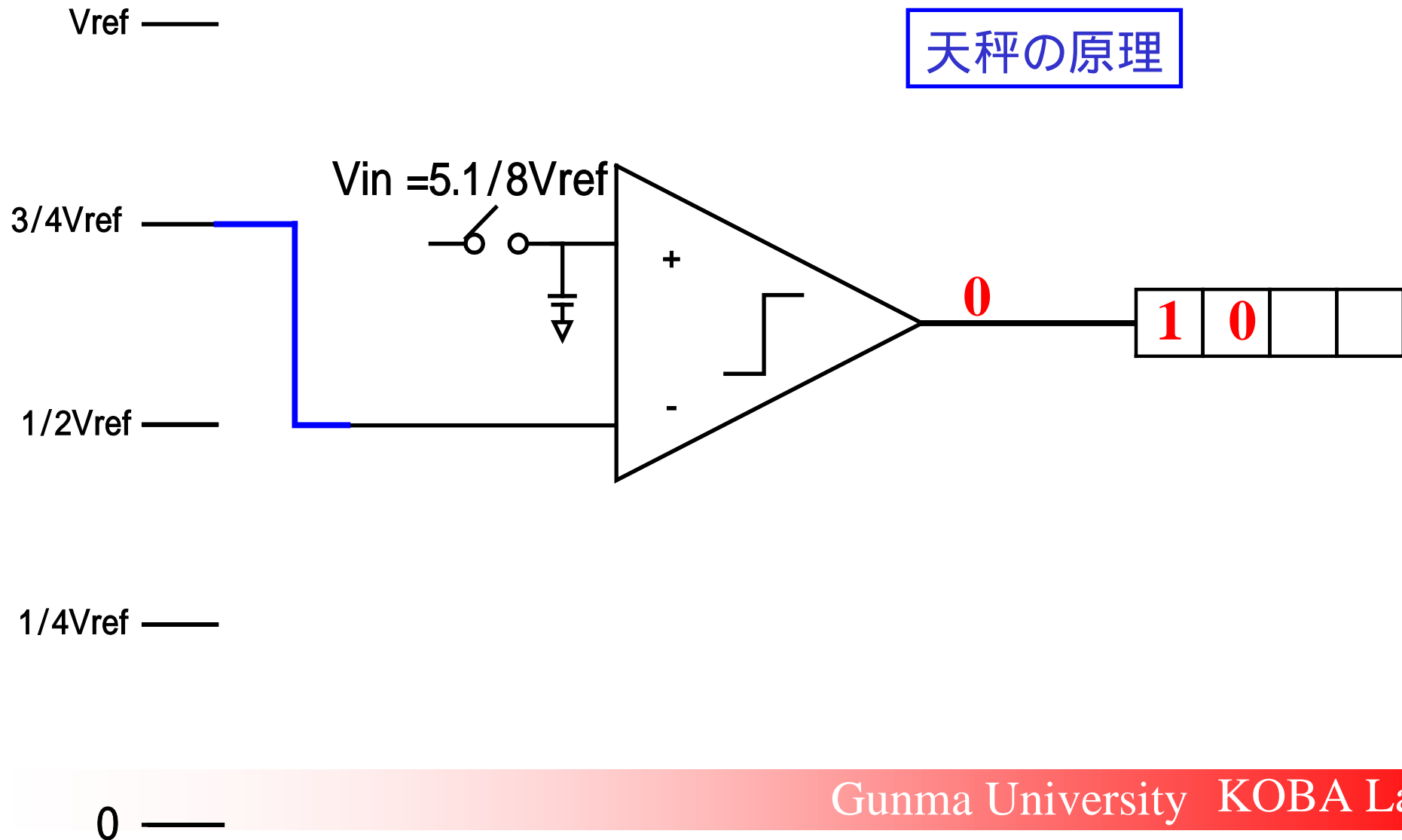
天秤の原理



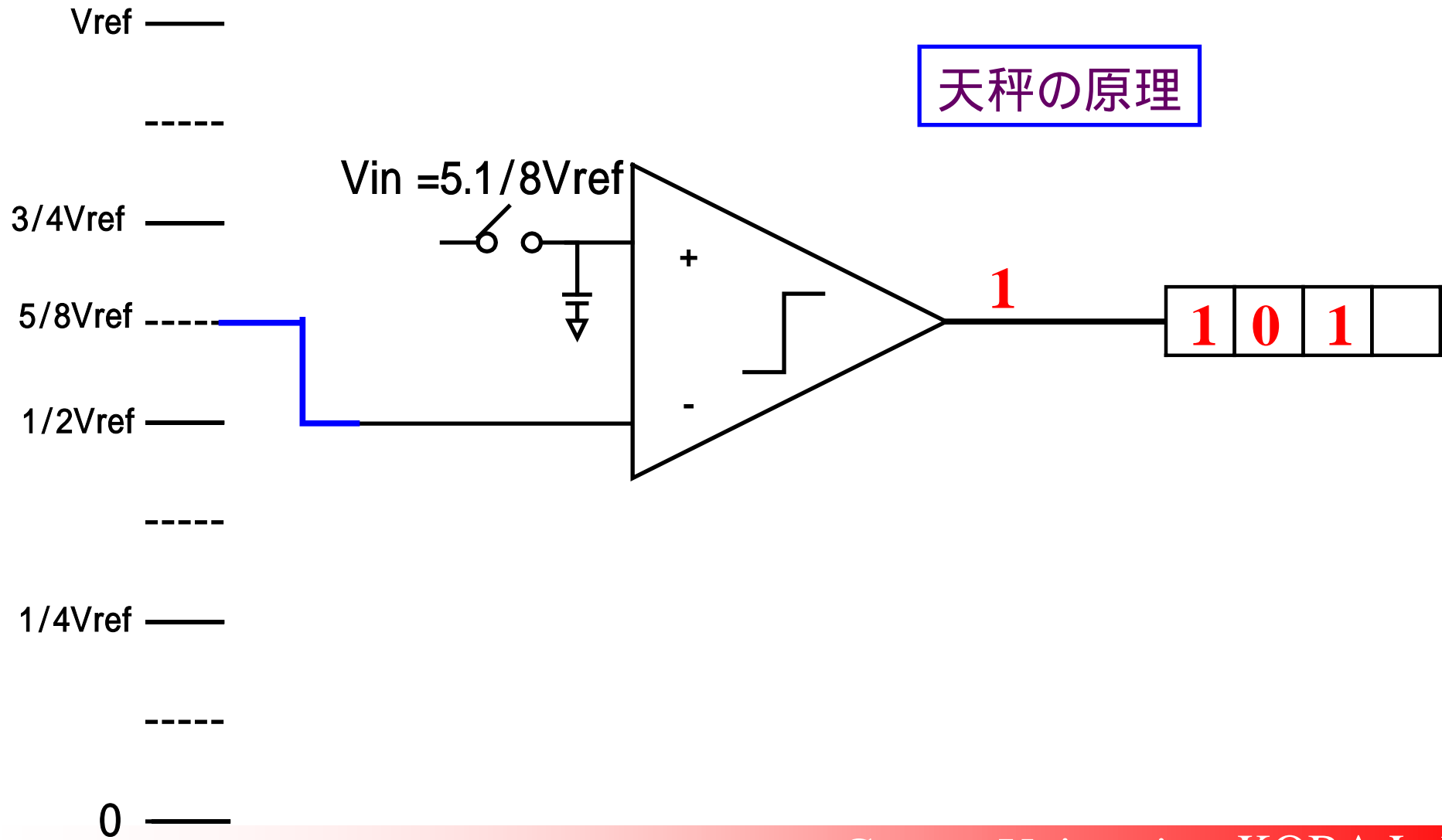
0 ———

逐次比較型AD変換器動作説明2

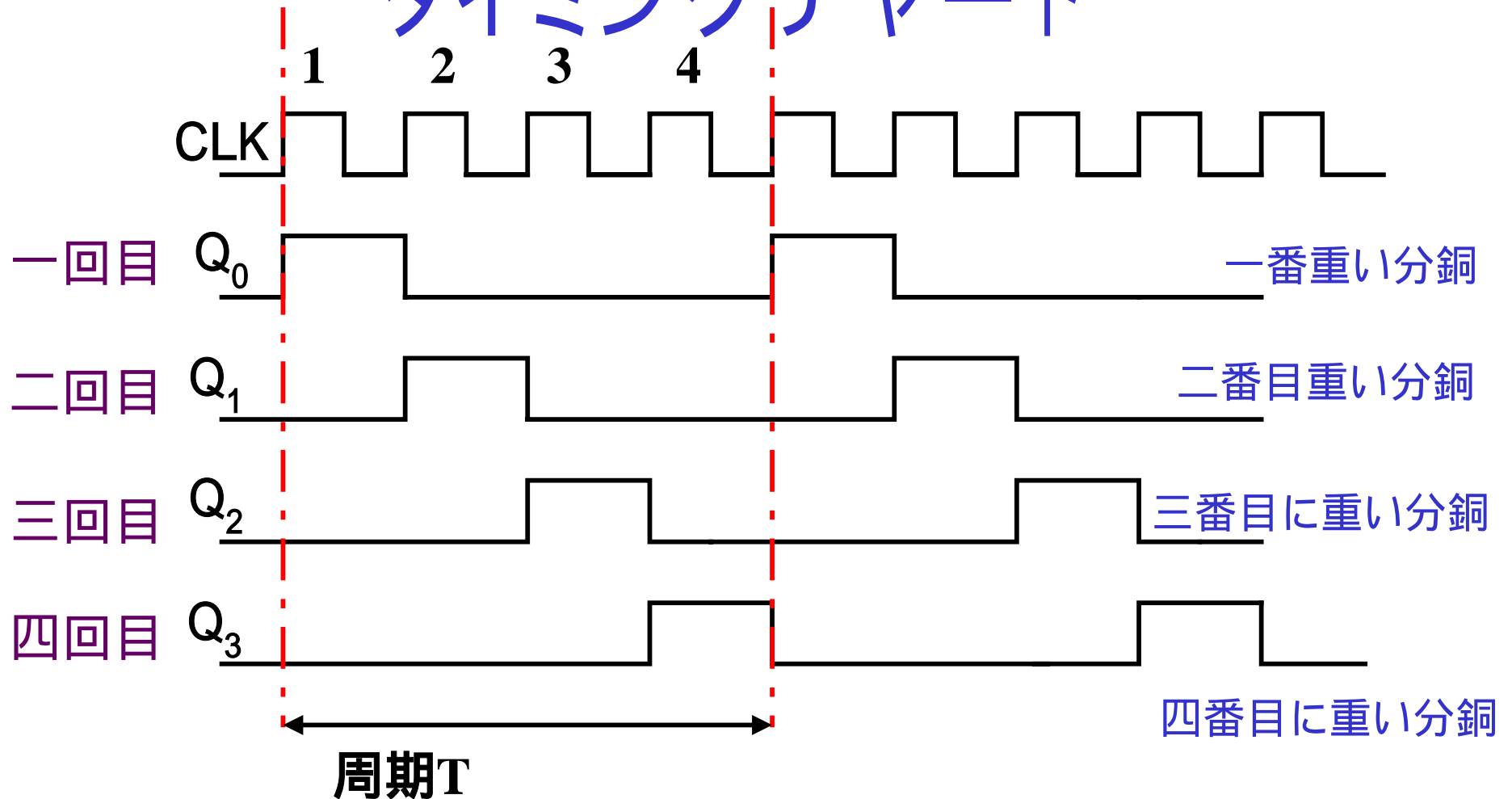
天秤の原理



逐次比較型AD変換器動作説明3



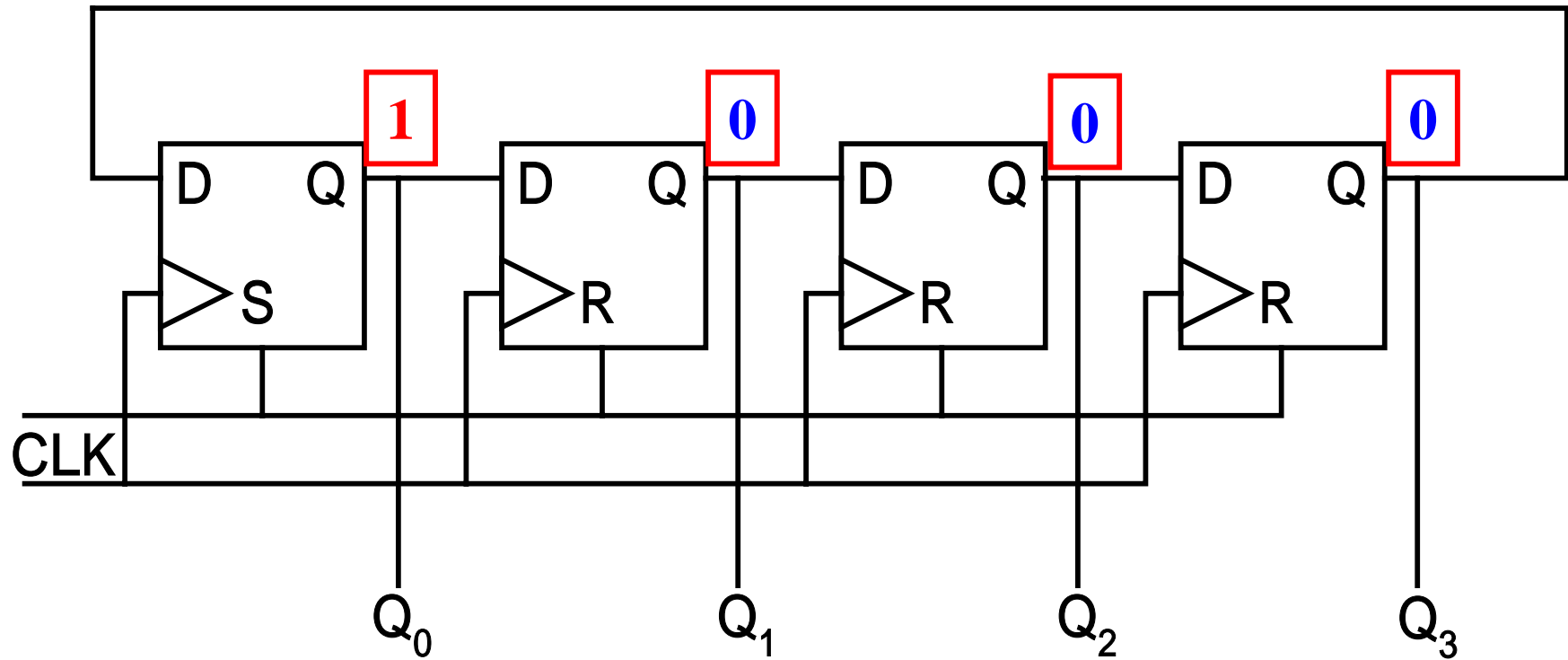
タイミングチャート



周期T毎にAD変換

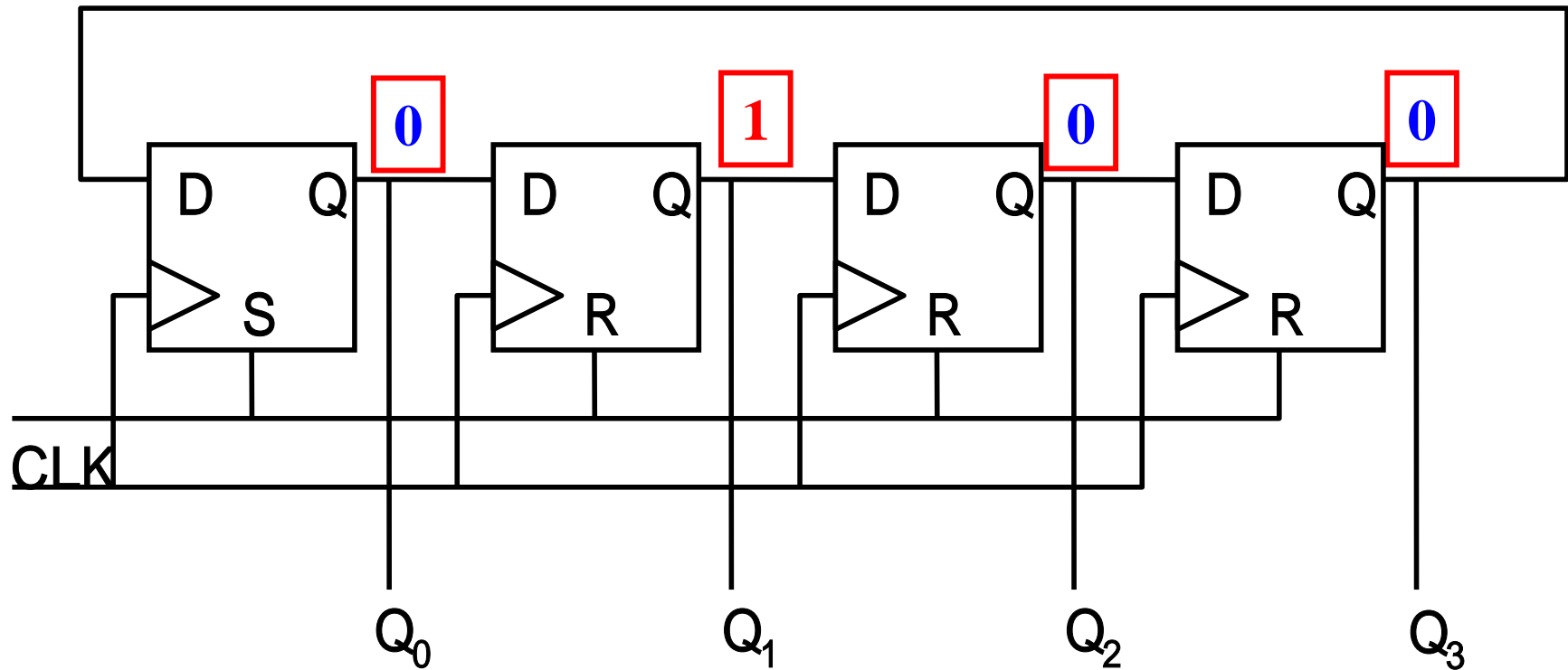
クロックを発生させるためにリングカウンターを使用

リングカウンタ

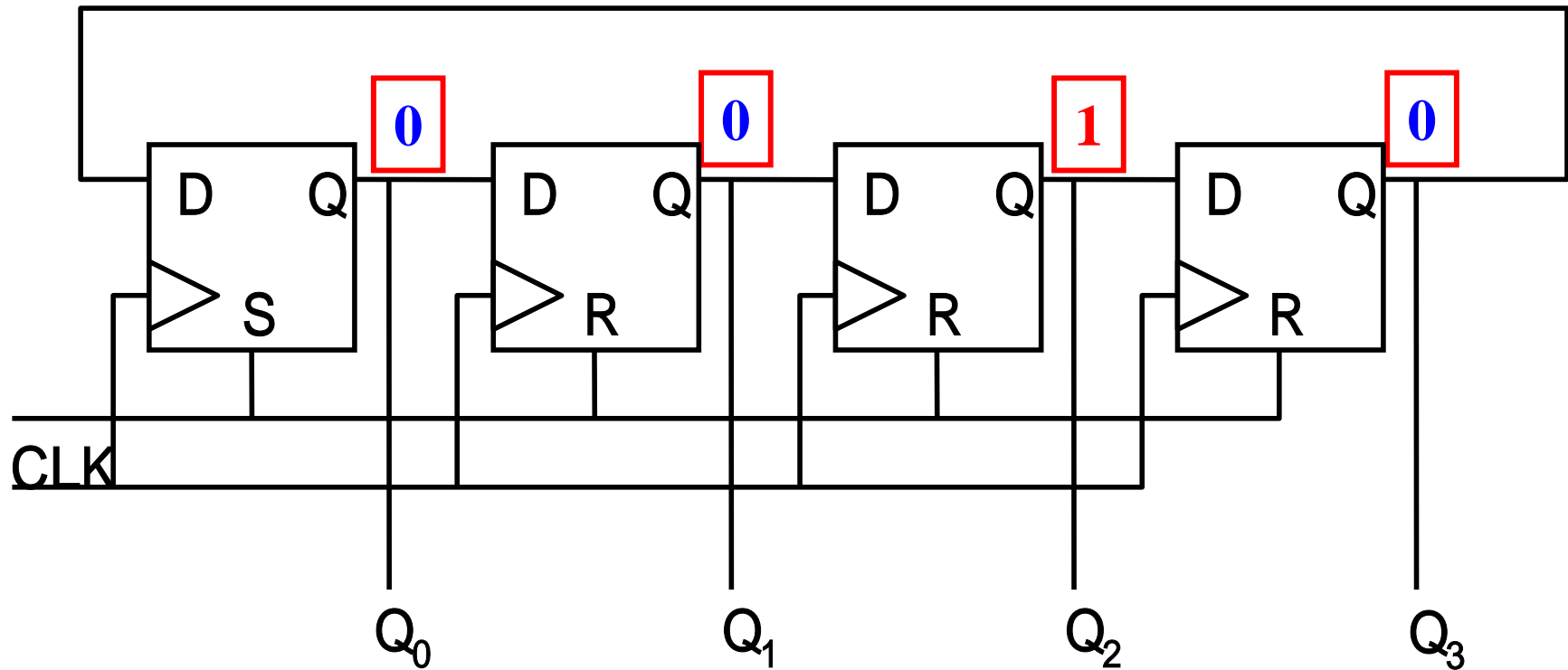


クロックが進むと Q_0 Q_1 Q_2 Q_3 と進む

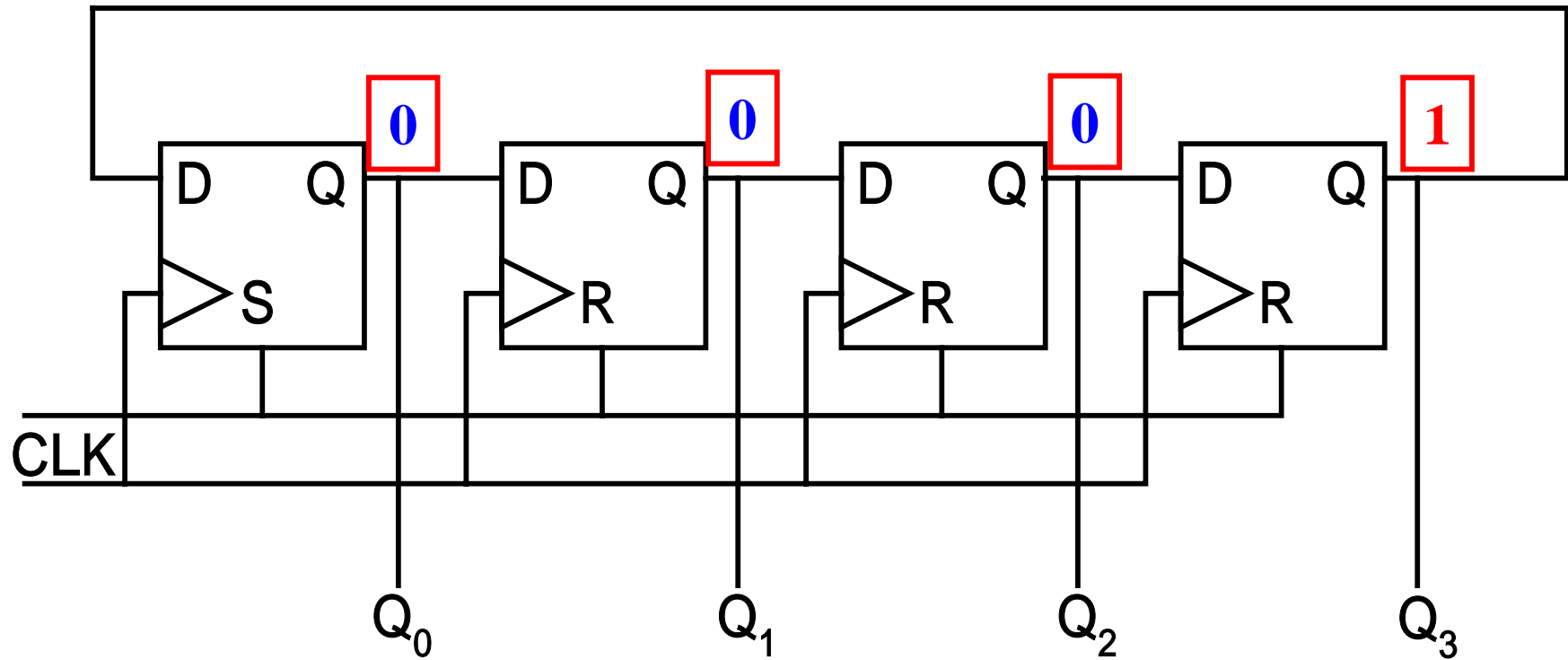
リングカウンター



リングカウンタ



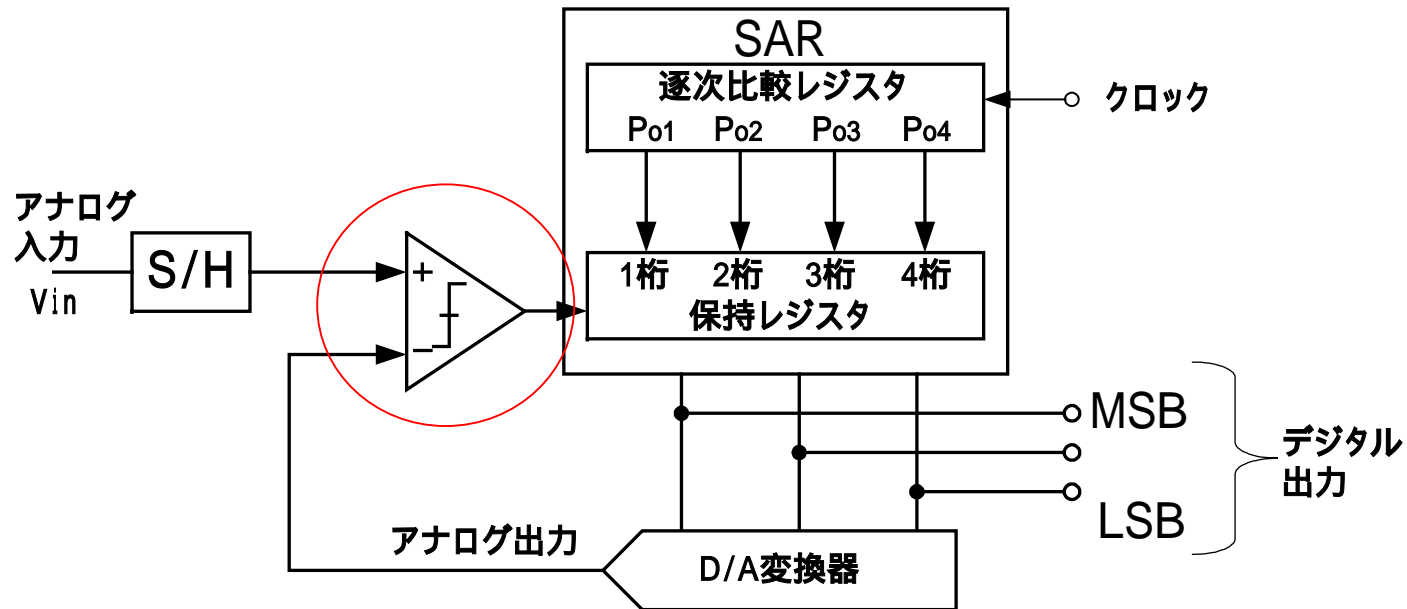
リングカウンタ



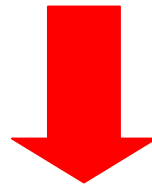
目次

- 研究目的
- 逐次比較型AD変換について
- **高信頼性AD変換器の提案**
- 誤差補正アルゴリズム
- 低消費電力の構成
- まとめ

従来逐次比較型ADCの問題点

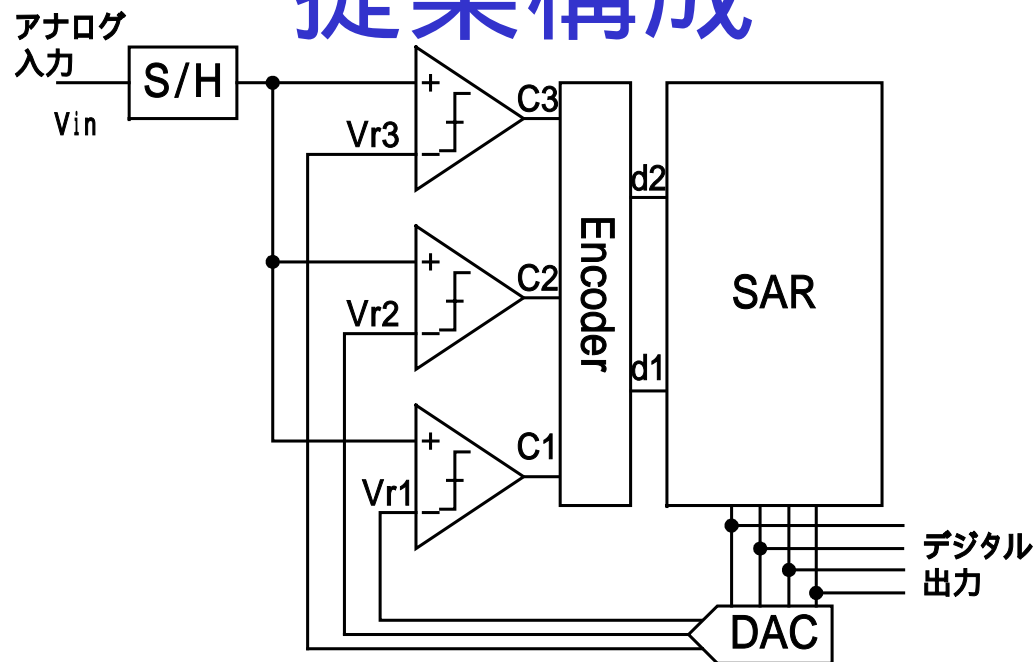


コンパレータ一個では一度間違えてしまうと修正がきかない

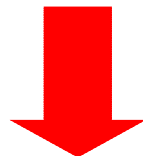


車載用の高信頼性要求のため、改善が必要

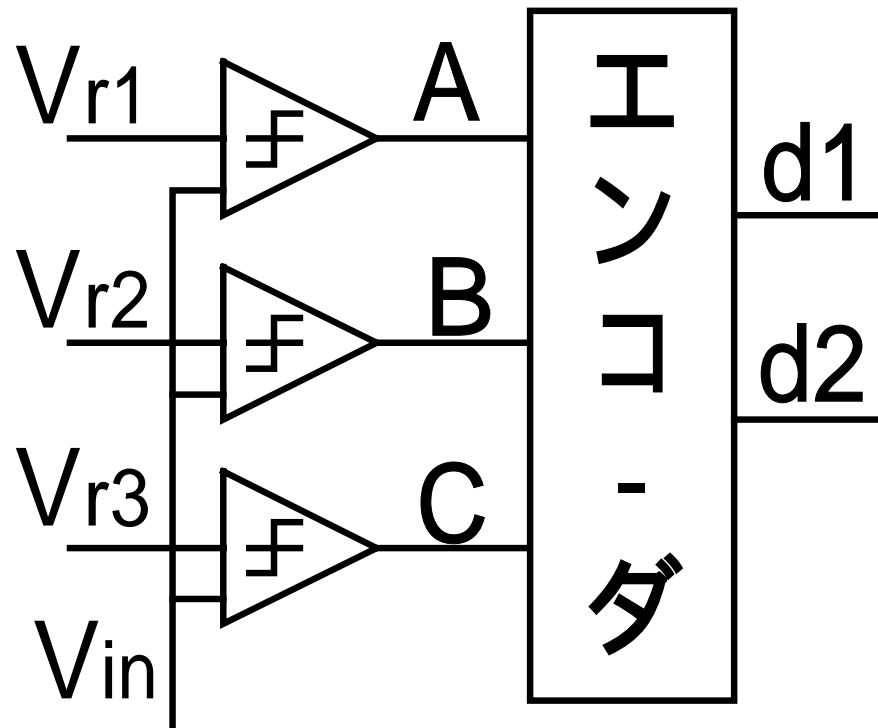
提案構成



三個のコンパレータを使用し、
比較電圧範囲に冗長性を持たせる



前段でのエラーは後段でデジタル補正可能



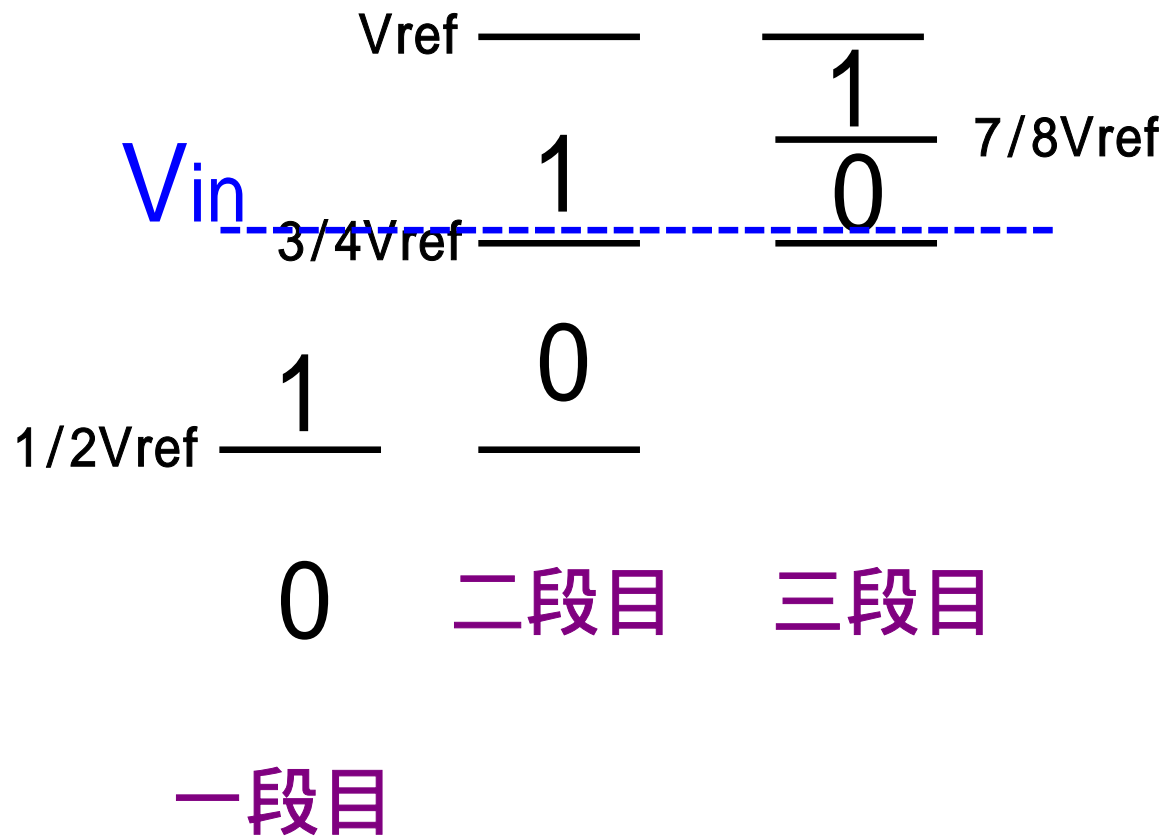
A	B	C	d2	d1
1	1	1	1	1
0	1	1	0	1
0	0	1	1	0
0	0	0	0	0

3個のコンパレータとエンコーダで
2bitのデジタルデータ出力を作る

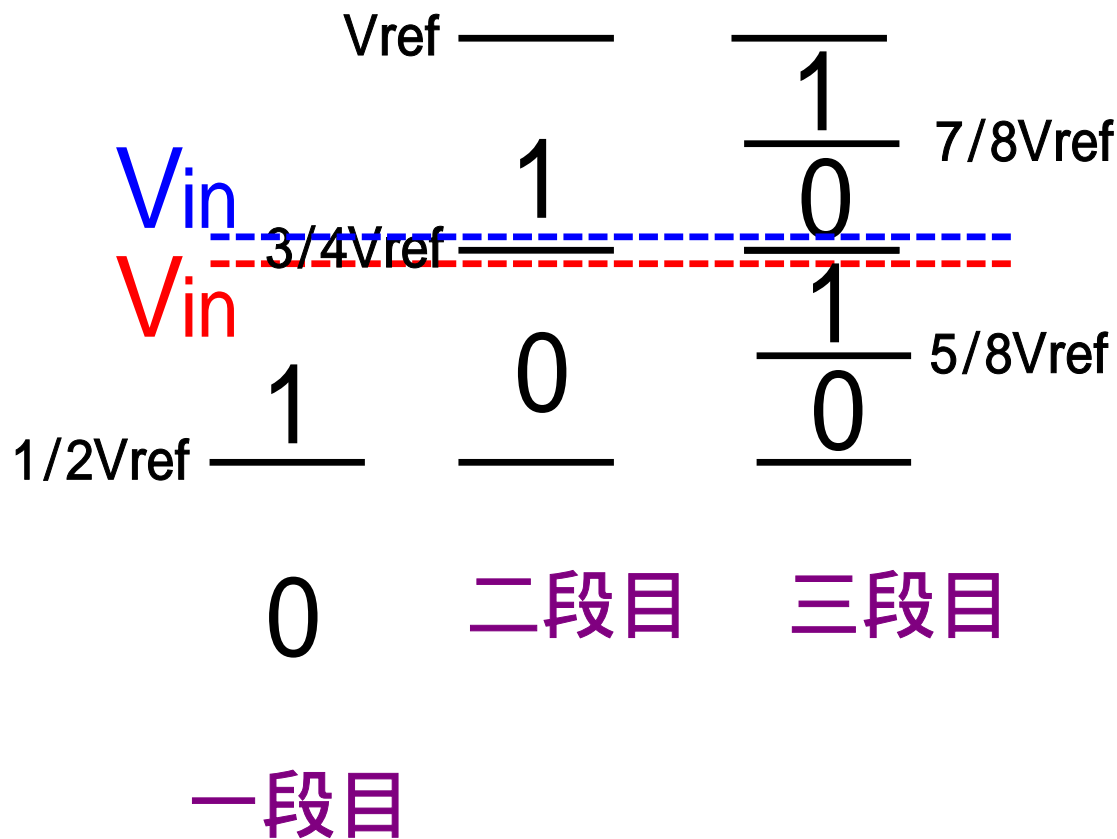
目次

- 研究目的
- 逐次比較型AD変換について
- 高信頼性AD変換器の提案
- **誤差補正アルゴリズム**
- 低消費電力の構成
- まとめ

1個のコンパレータによる逐次AD変換 (従来法)



1個のコンパレータによる逐次AD変換 (従来法)



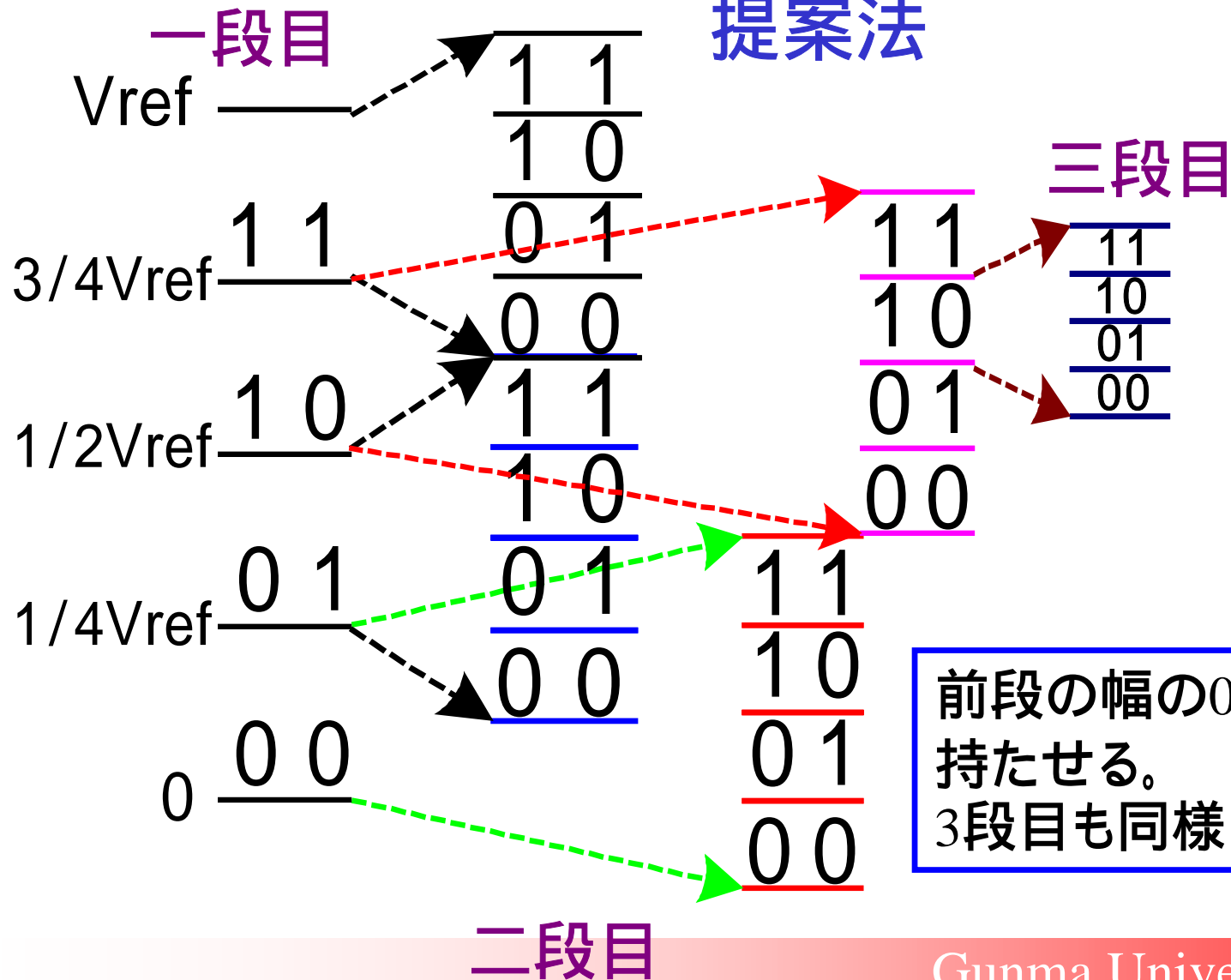
ある段で間違えると
後段で補正ができない

正解

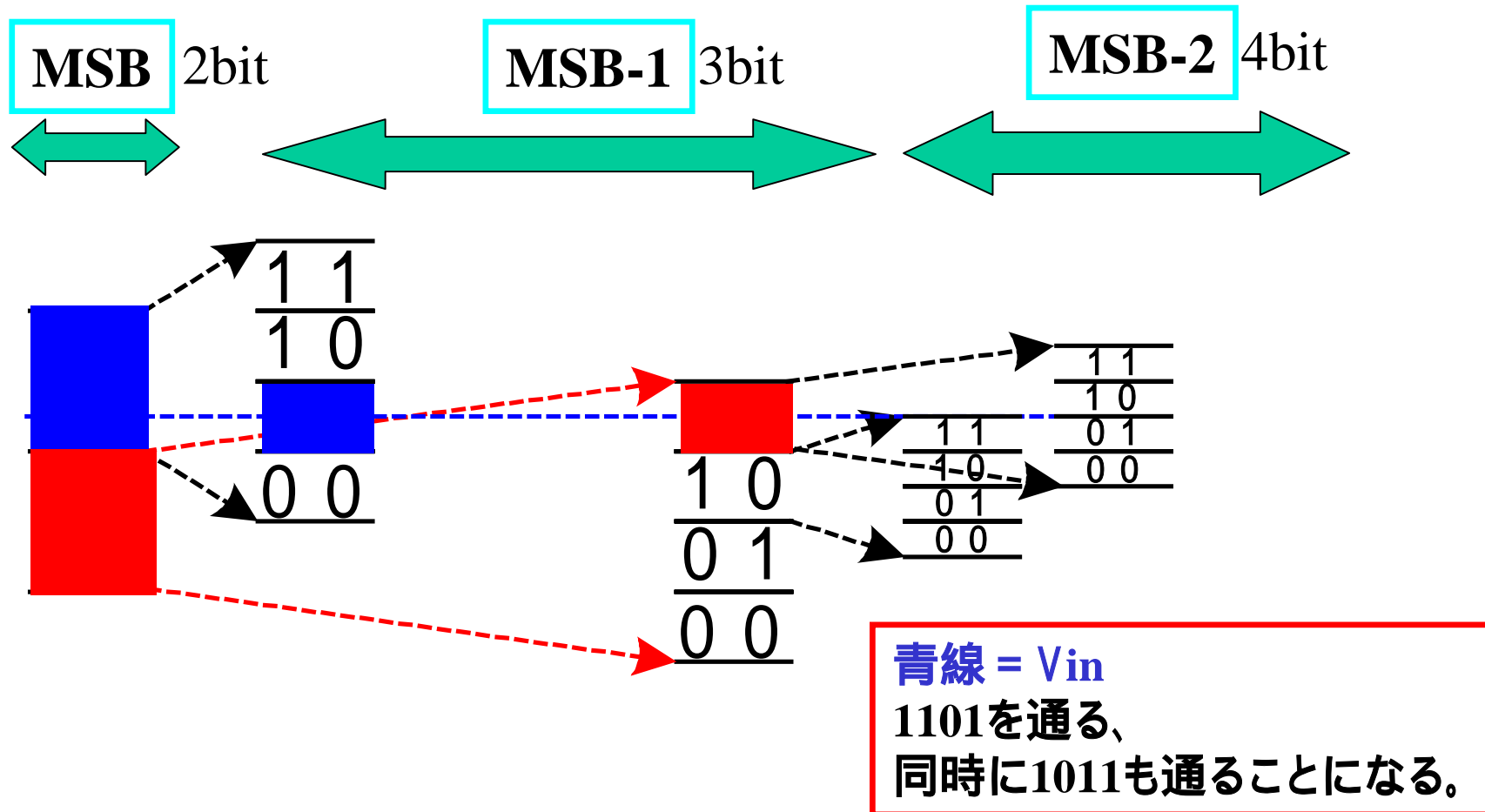
不正解

3個のコンパレータによる誤差補正アルゴリズム

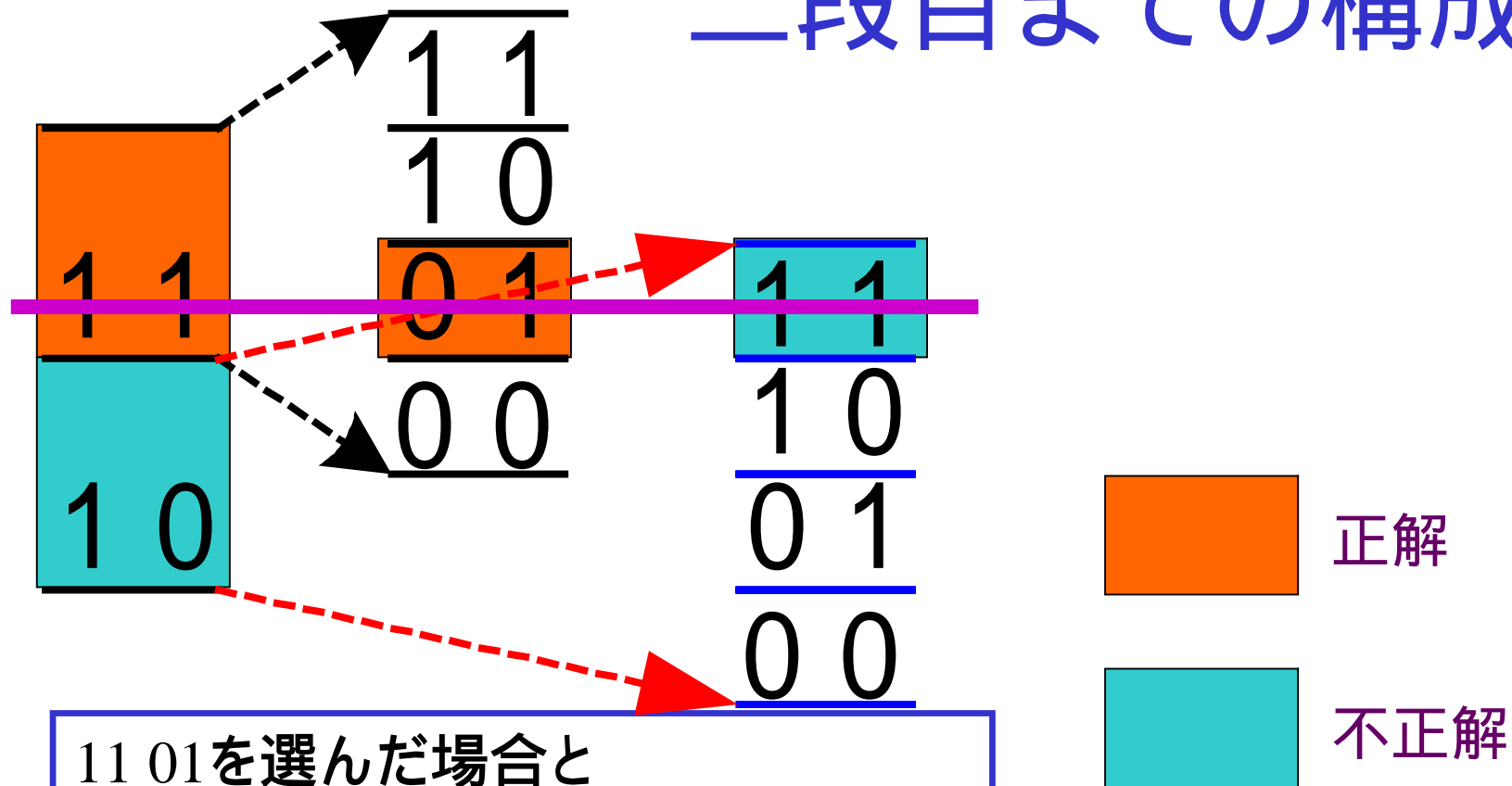
提案法



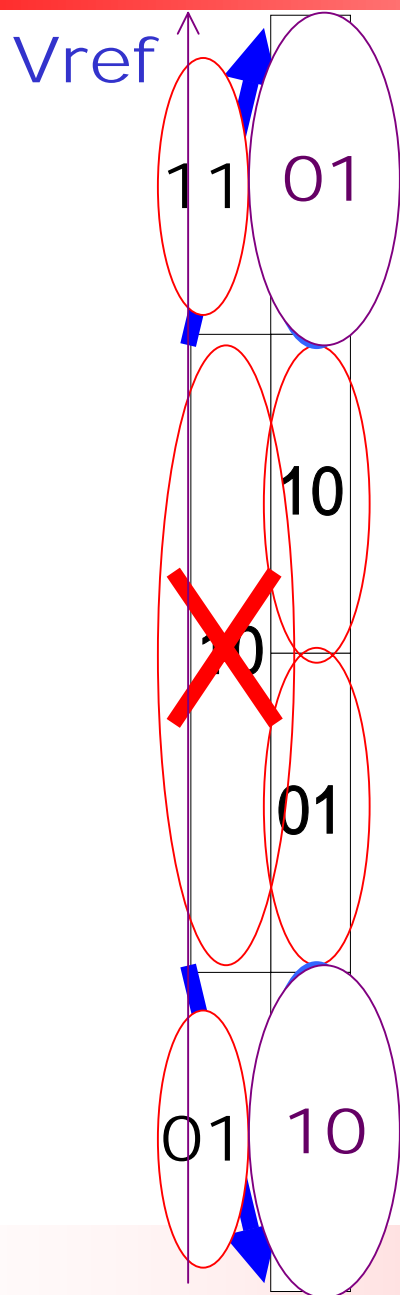
アルゴリズム



二段目までの構成



11 01を選んだ場合と
 10 11を選んだ場合は
 同じ3bitのデジタル値1 1 0を出力
 アルゴリズムを考える。



誤差補正原理の説明

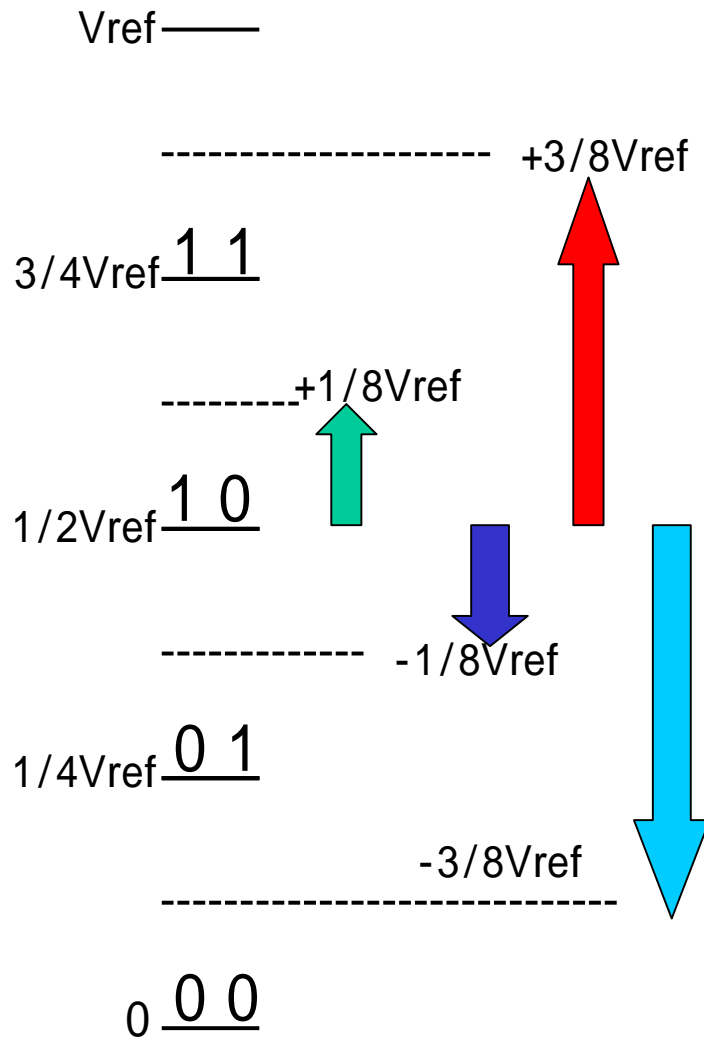
10 10、01
10 00、11 ×

10 11の場合
前段を11 現在段を01に変更

10 00の場合

前段を01 現在段を10に変更

2段階目からの中心参照電圧



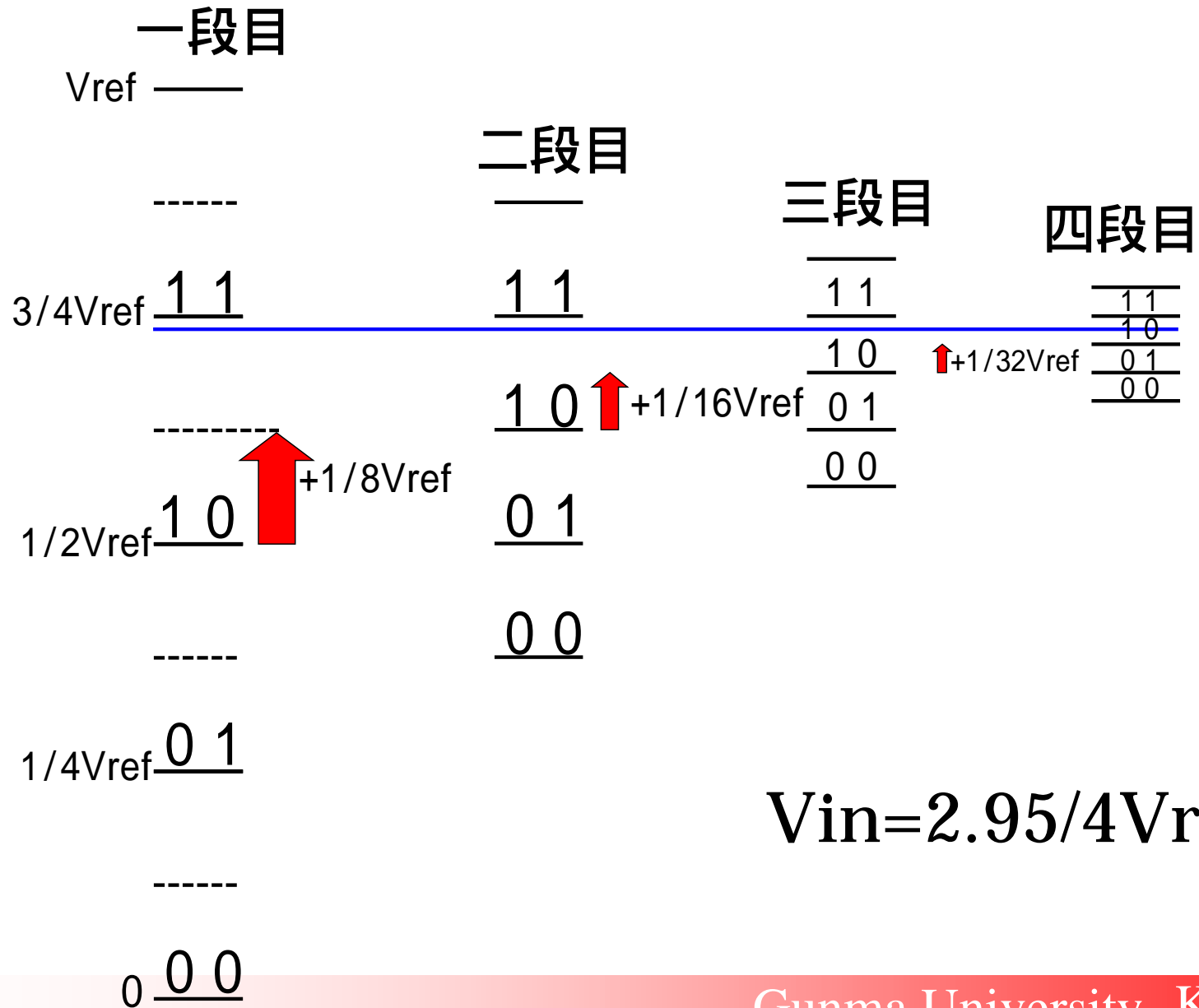
2段階目では

11を選んだ場合 $1/2V_{ref}$ に $+3/8V_{ref}$

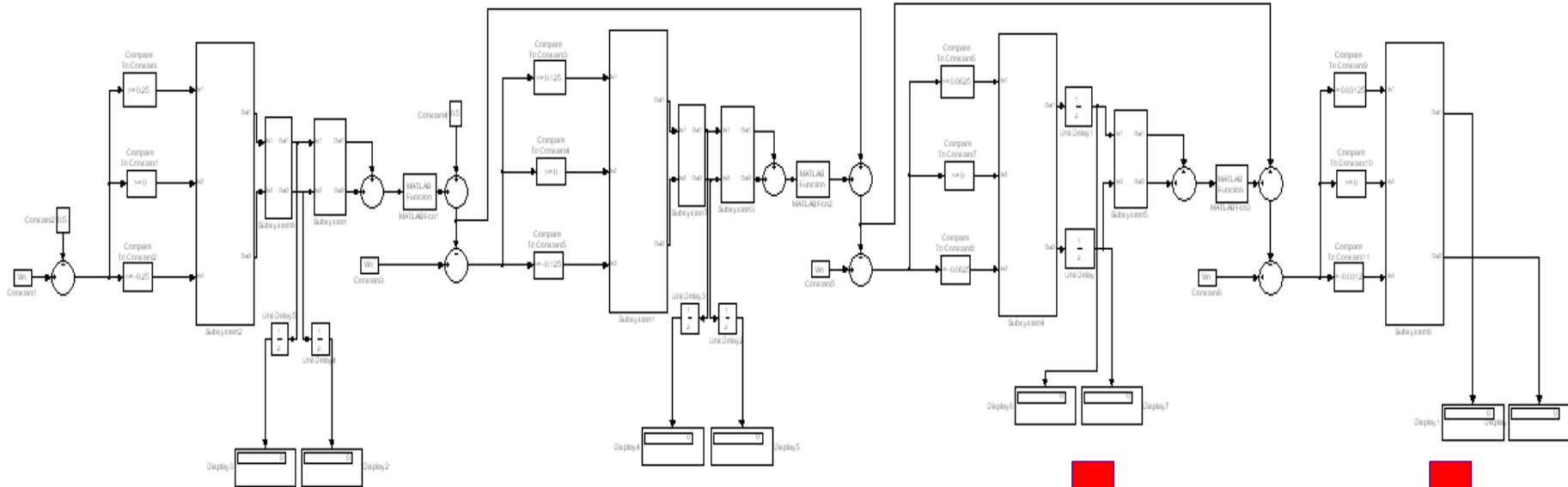
10を選んだ場合 $1/2V_{ref}$ に $+1/8V_{ref}$

01を選んだ場合 $1/2V_{ref}$ に $-1/8V_{ref}$

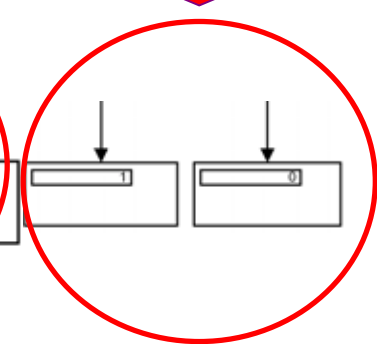
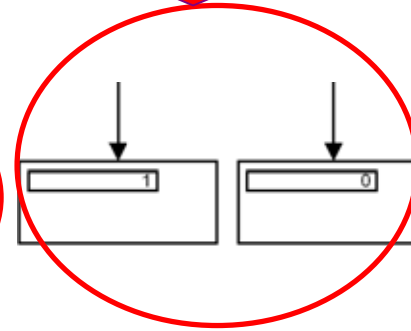
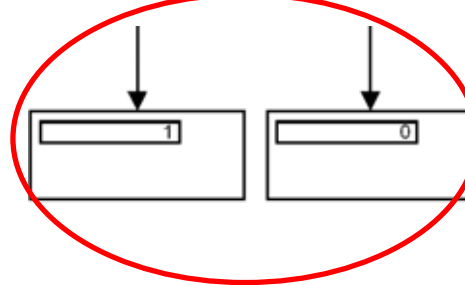
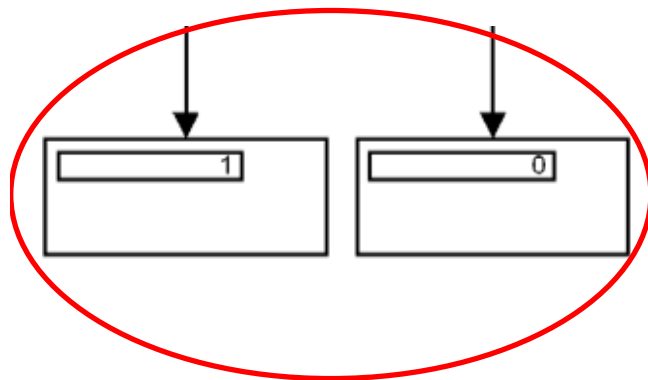
00を選んだ場合 $1/2V_{ref}$ に $-3/8V_{ref}$



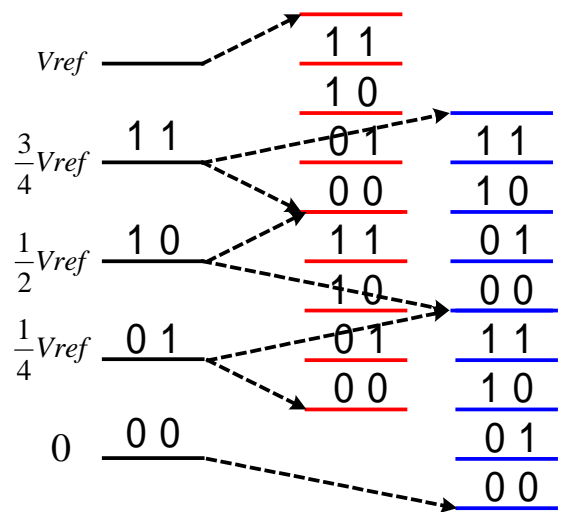
Matlabでのシミュレーション



拡大



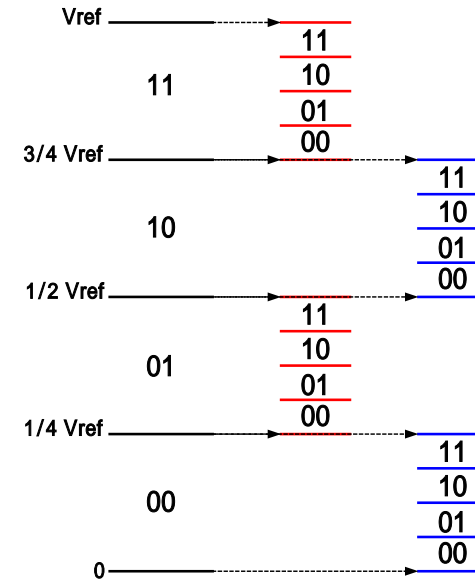
シミュレーションで動作確認ができた。



2bit 1bit 1bit

冗長性50%

n段でn+1 bit出力



2bit 2bit 2bit

冗長性なし

n段で2n bit出力

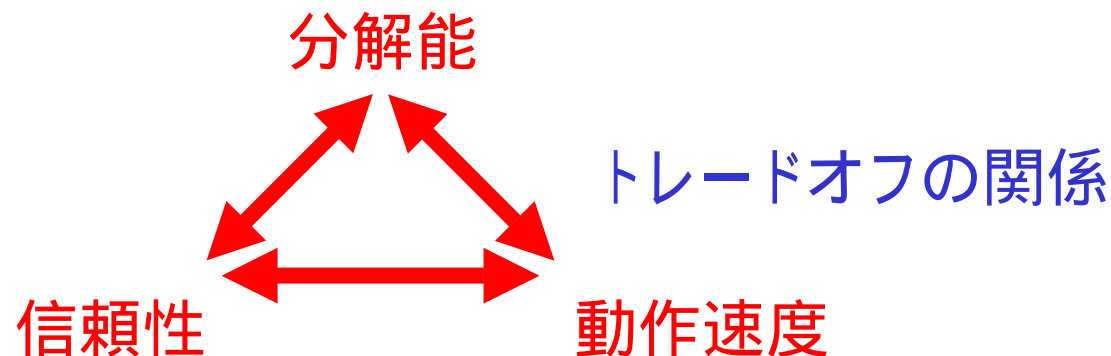
冗長性と分解能のトレードオフ

動作速度一定では、

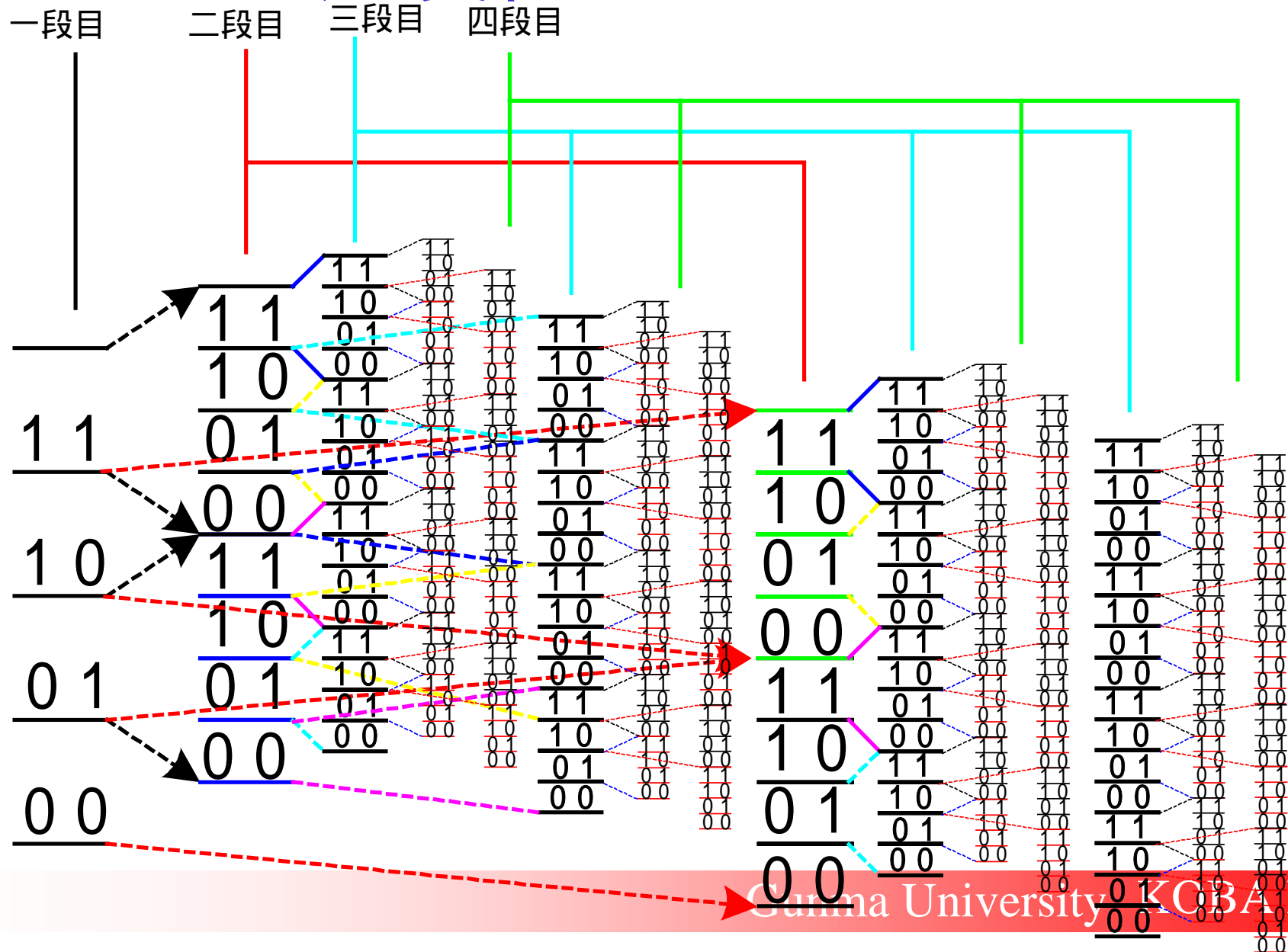
- 冗長性がある場合、分解能が低い
- 冗長性がない場合、分解能が高い

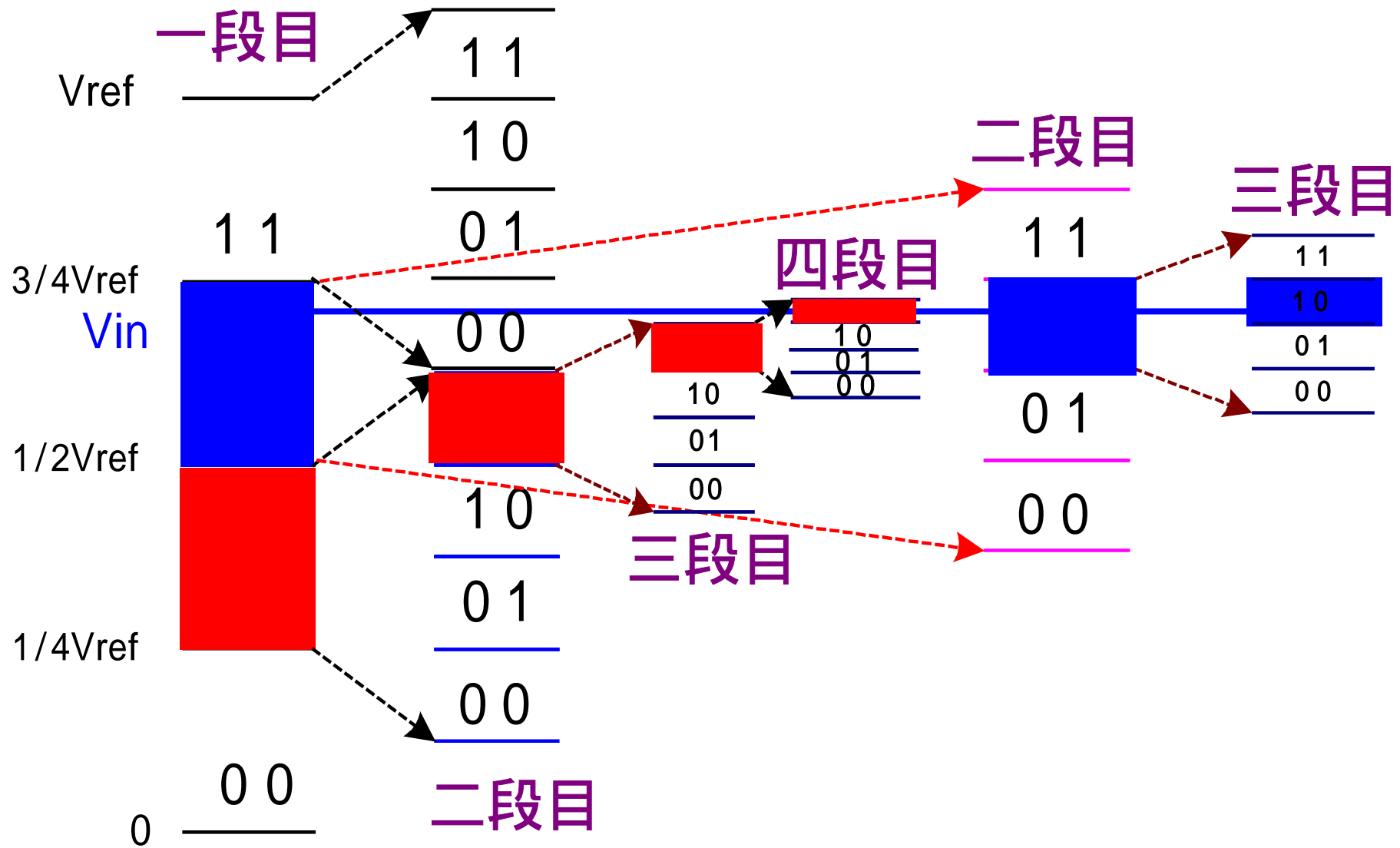
分解能一定では、

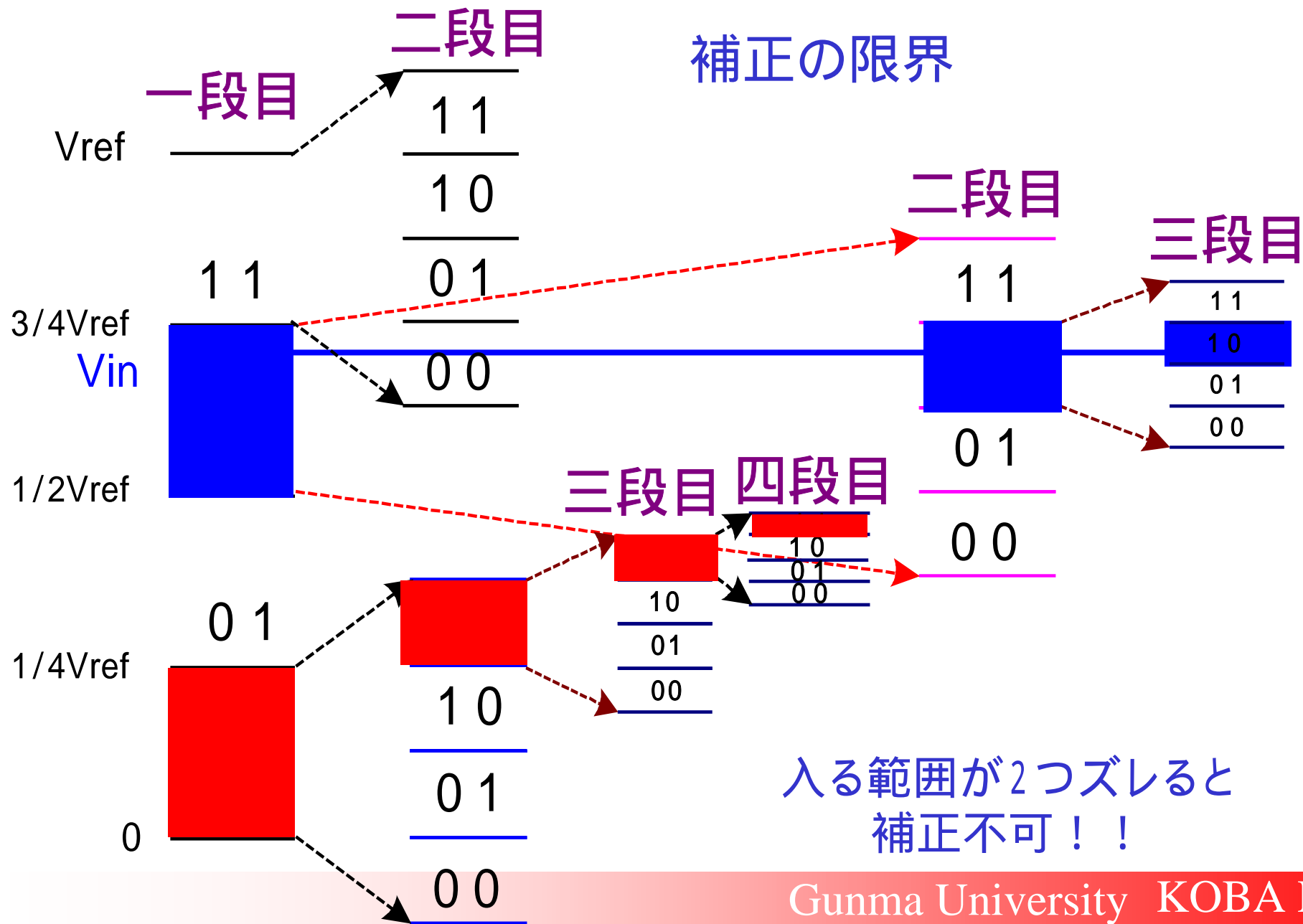
- 冗長性がある場合、動作速度が低い
- 冗長性がない場合、動作速度が高い



冗長性50%のビットチャート



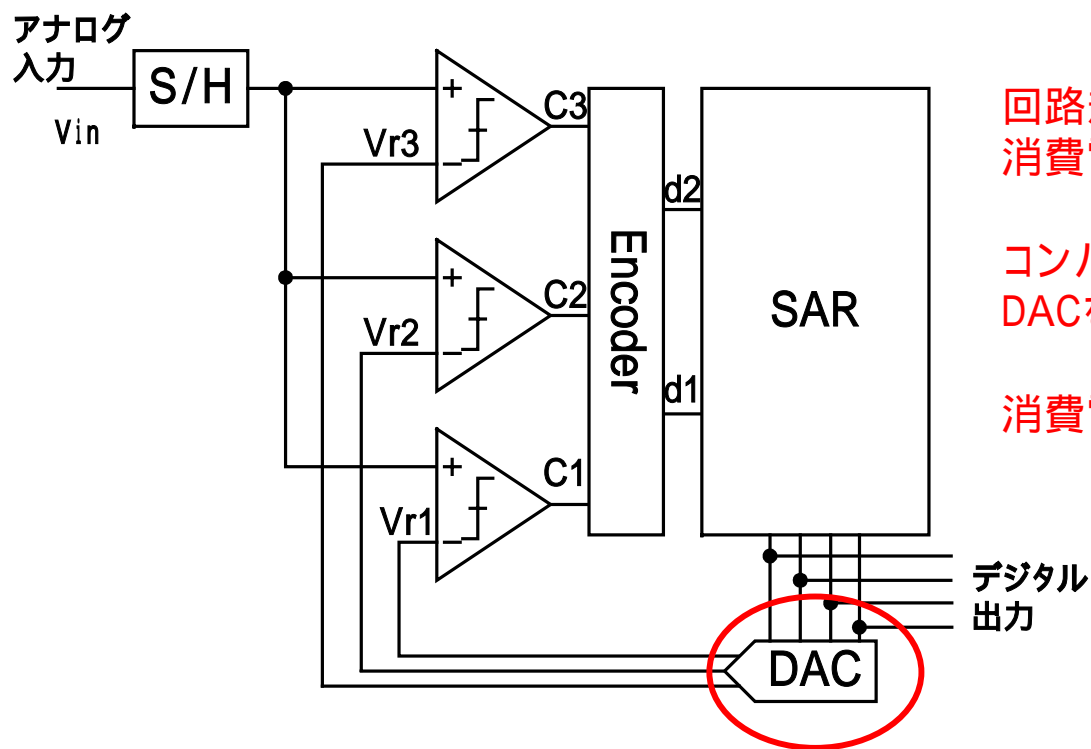




目次

- 研究目的
- 逐次比較型AD変換について
- 高信頼性AD変換器の提案
- 誤差補正アルゴリズム
- **低消費電力の構成**
- まとめ

提案構成の回路規模と消費電力



回路規模最も大きい、
消費電力大

コンバーター3つ使用のため、
DACをなるべく小さく作るのが必要

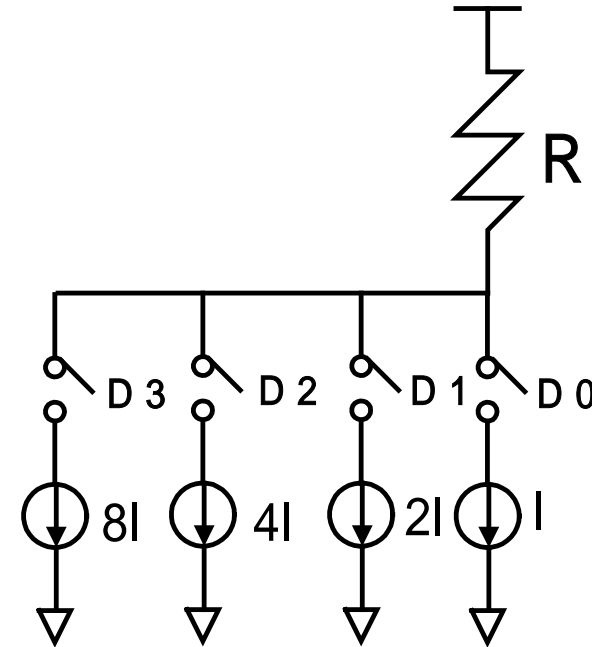
消費電力もなるべく小さくしたい

逐次比較型AD変換器内部DA変換器の構成

- 抵抗ストリング
- 容量
- (容量+抵抗ストリング)方式
- (電流源+抵抗)方式

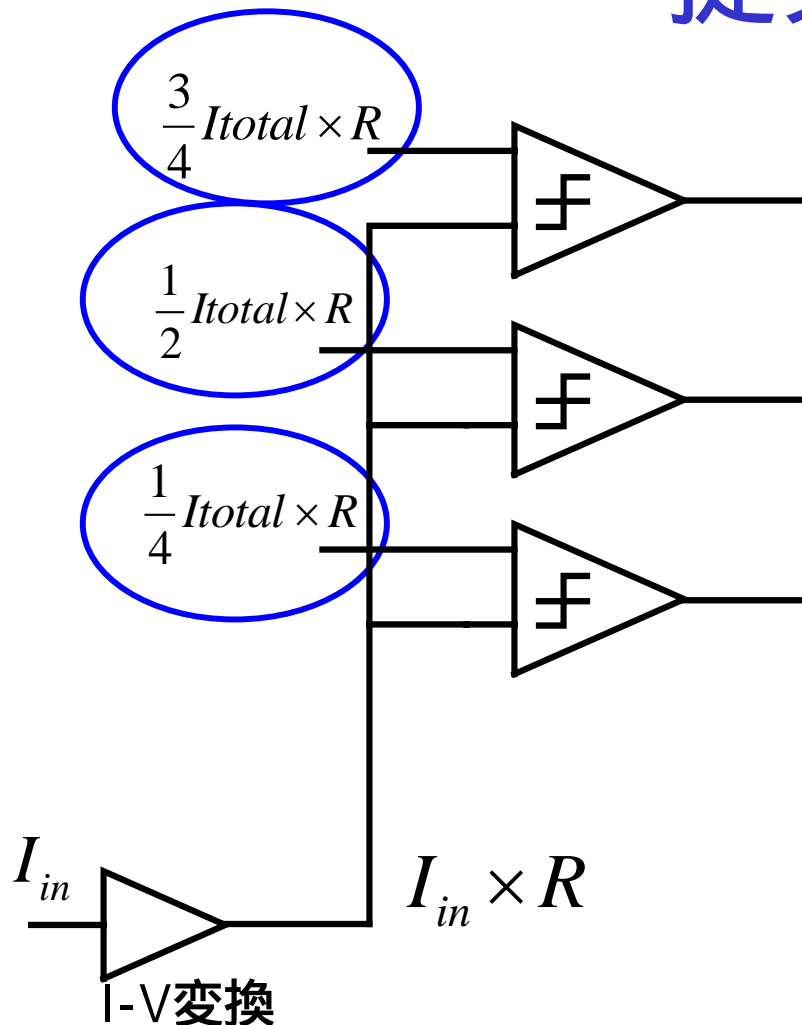


検討



- デジタル補正による高分解能可
- 小チップ面積化可能

提案構成の問題点



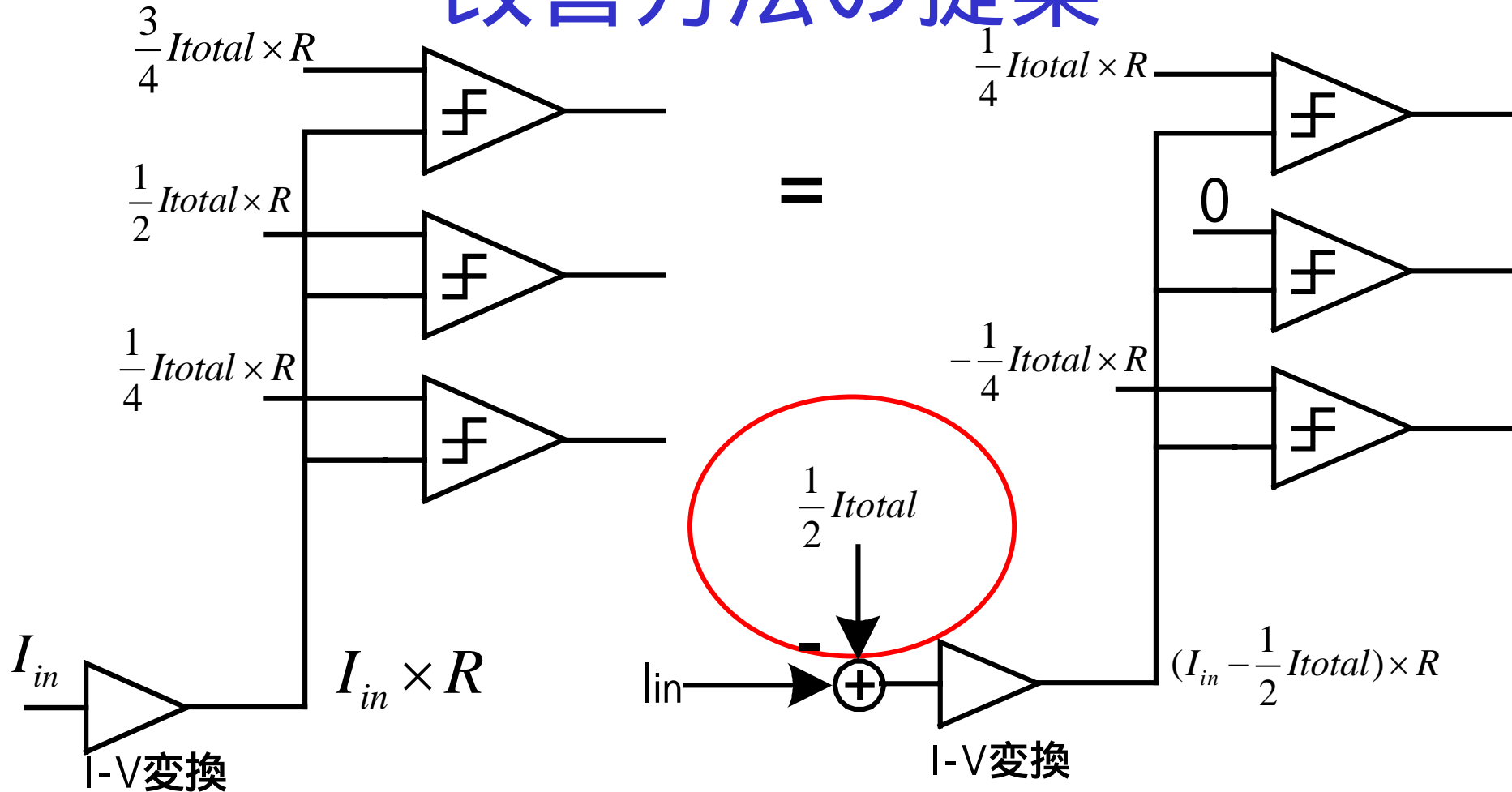
従来方式でのDACの最大消費電流を1

提案方式では電流の合計が1を超える

従来より電流源+抵抗ストリングDACの消費電力、チップ面積が三倍になる

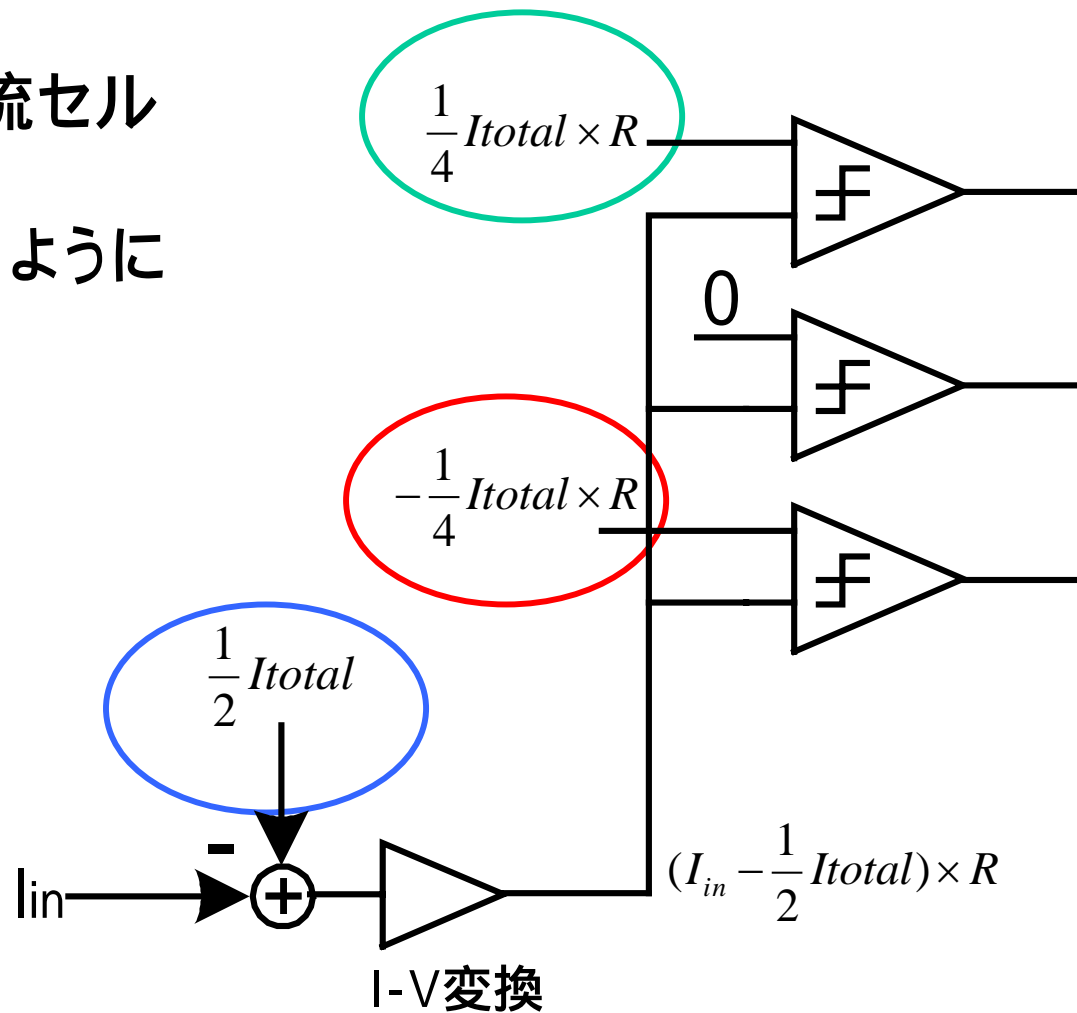
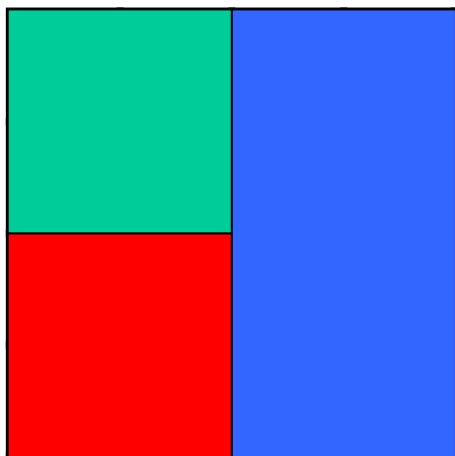
$$\begin{aligned} \text{合計} & \frac{3}{4} I_{total} + \frac{1}{2} I_{total} + \frac{1}{4} I_{total} \\ & = (1 + \frac{1}{2}) I_{total} < 3 I_{total} \end{aligned}$$

改善方法の提案

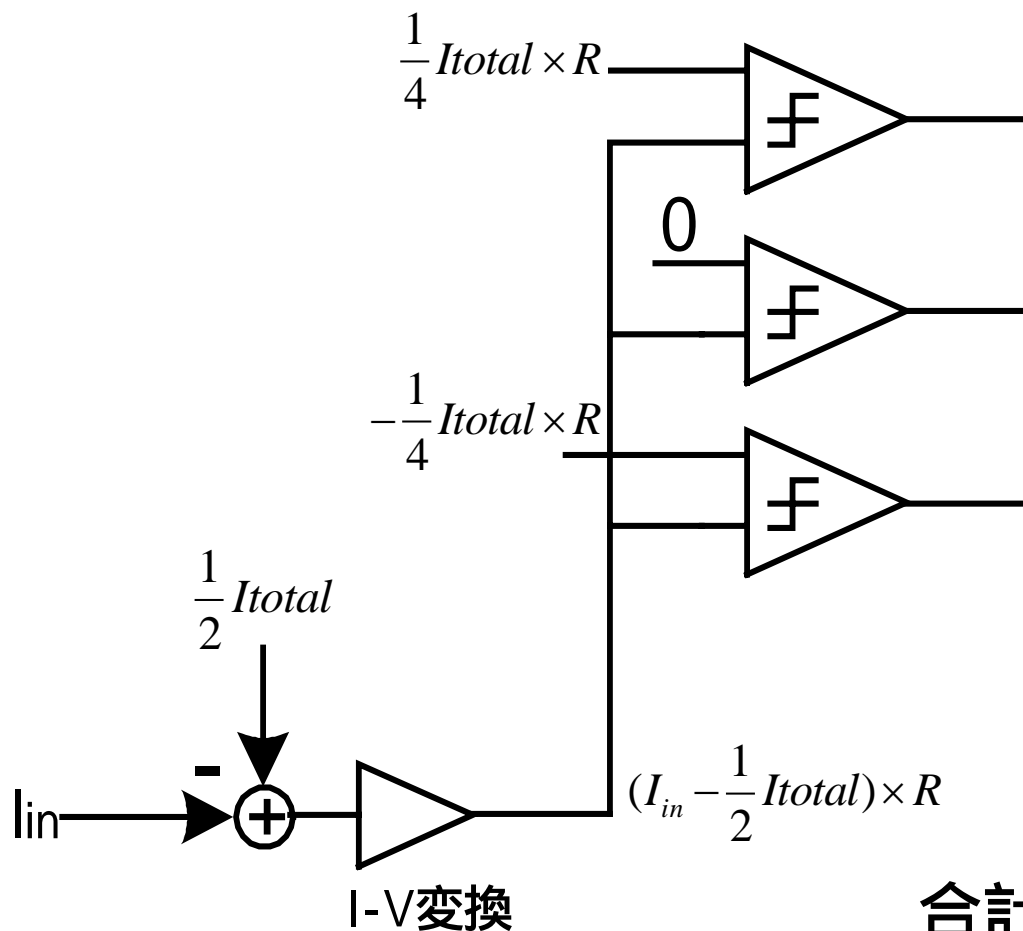


差動構成で $-1/4 I_{total} R$ が容易に実現

色に対応した場所の電流セルを使う。
この合計の値が1になるように考える。



$$\text{合計 } \frac{3}{4}I_{\text{total}} + \frac{1}{2}I_{\text{total}} + \frac{1}{4}I_{\text{total}} = (1 + \frac{1}{2})I_{\text{total}}$$



例
I_{in}

3/4 I_{total}
1/2 I_{total}
1/4 I_{total}

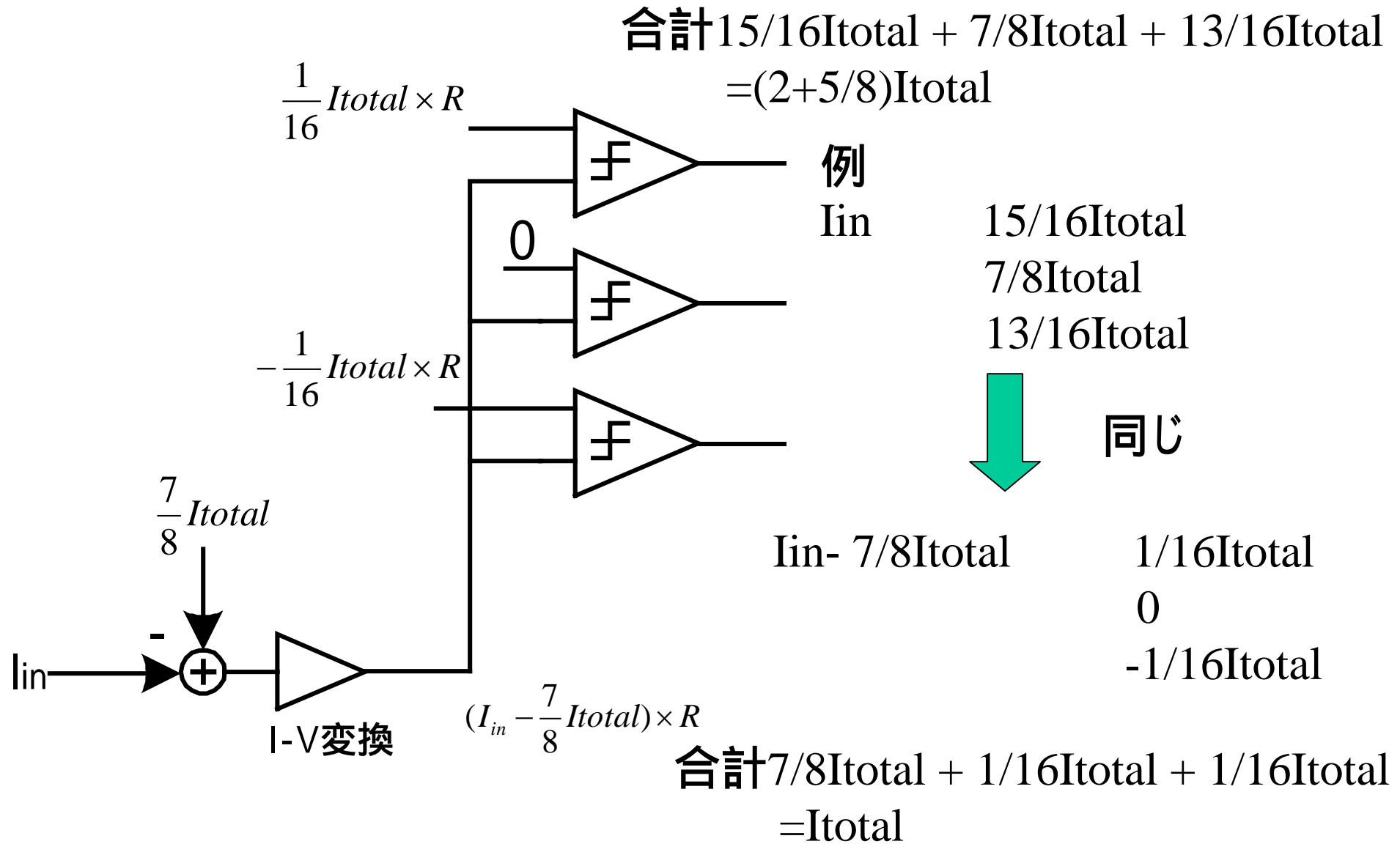


同じ

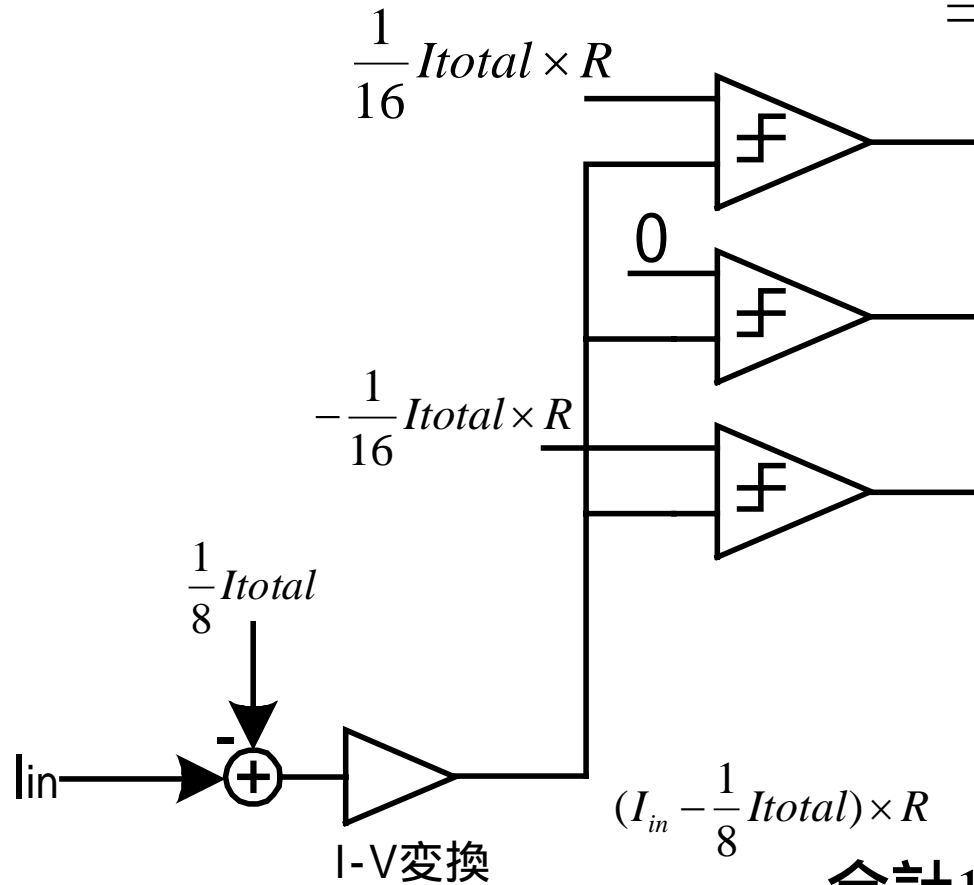
I_{in} - 1/2 I_{total}

1/4 I_{total}
0
-1/4 I_{total}

$$\text{合計 } \frac{1}{2}I_{\text{total}} + \frac{1}{4}I_{\text{total}} + \frac{1}{4}I_{\text{total}} = I_{\text{total}}$$



合計 $\frac{3}{16}I_{total} + \frac{1}{8}I_{total} + \frac{1}{16}I_{total}$
 $= \frac{3}{8}I_{total}$



例

I_{in} $\frac{3}{16}I_{total}$
 $\frac{1}{8}I_{total}$
 $\frac{1}{16}I_{total}$



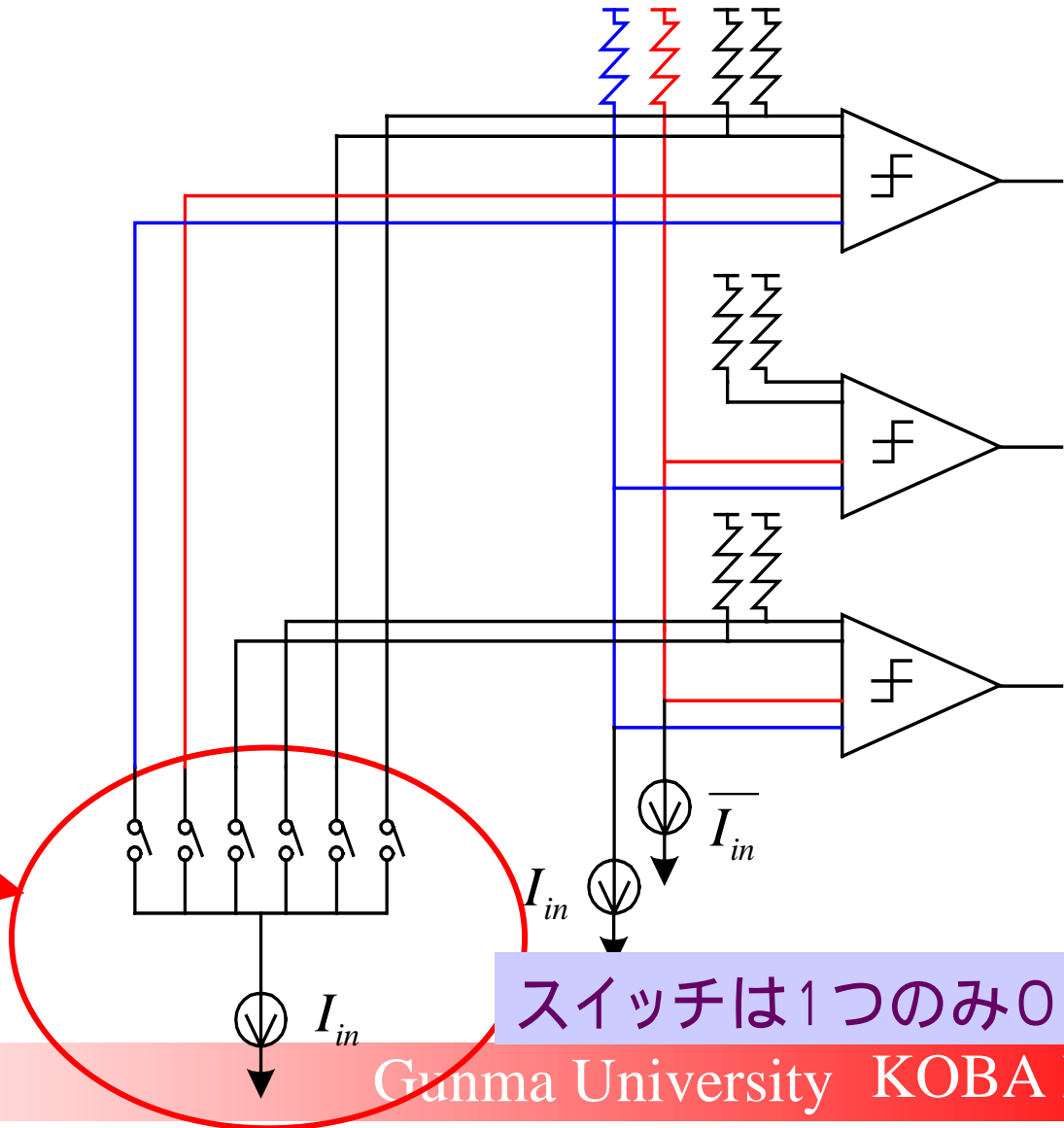
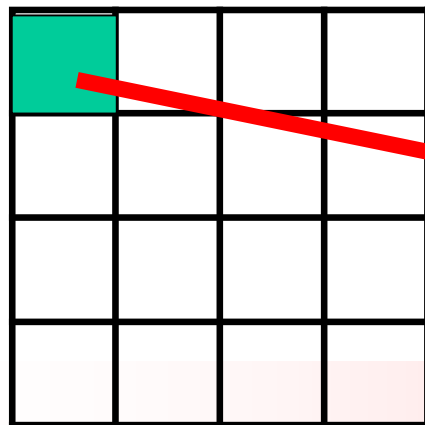
同じ

$I_{in} - \frac{1}{8}I_{total}$ $\frac{1}{16}I_{total}$
 0
 $-\frac{1}{16}I_{total}$

合計 $\frac{1}{8}I_{total} + \frac{1}{16}I_{total} + \frac{1}{16}I_{total}$
 $= \frac{1}{4}I_{total}$

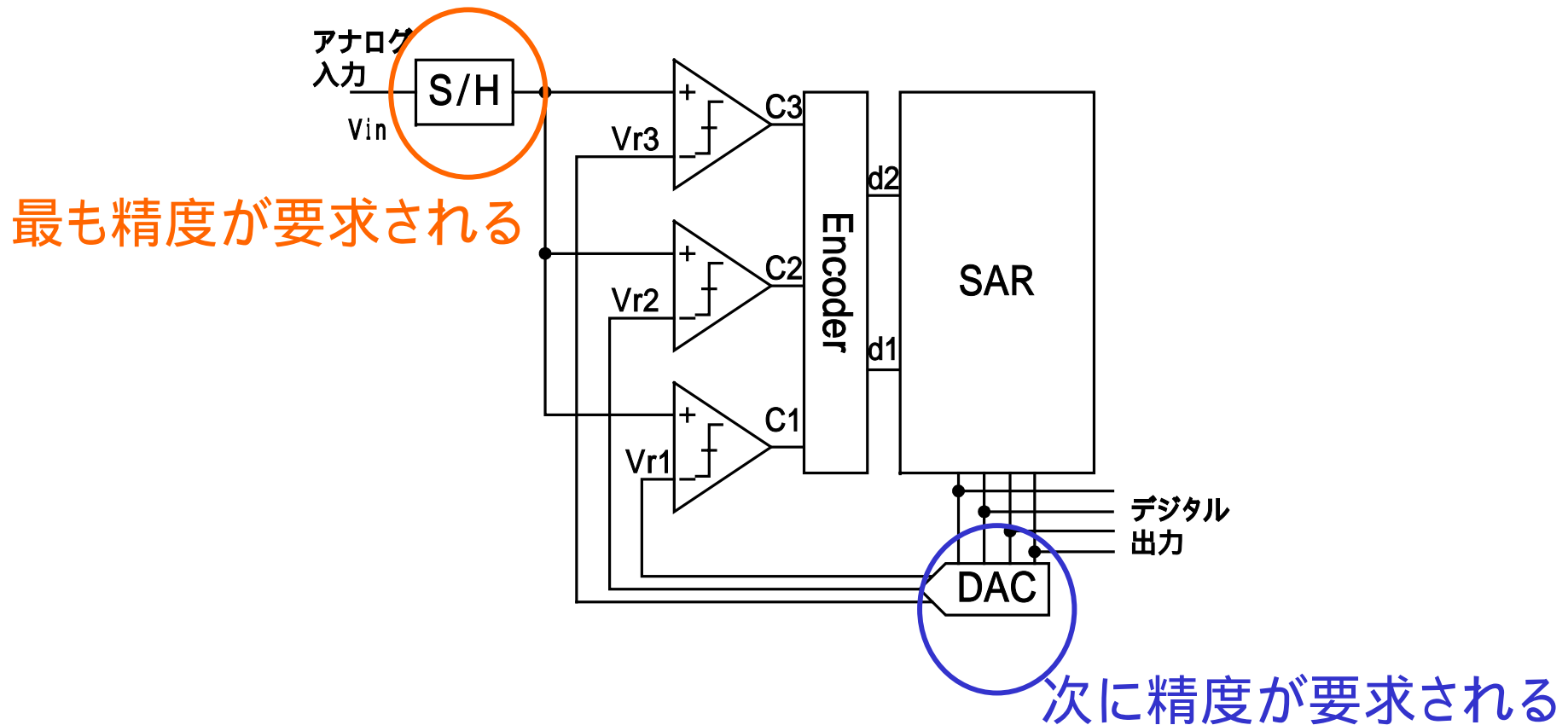
提案DAC実現回路

従来と同等な回路量
のDACで実現可能



スイッチは1つのみON

素子精度の要求について



高分解能の逐次比較ADを実現するには

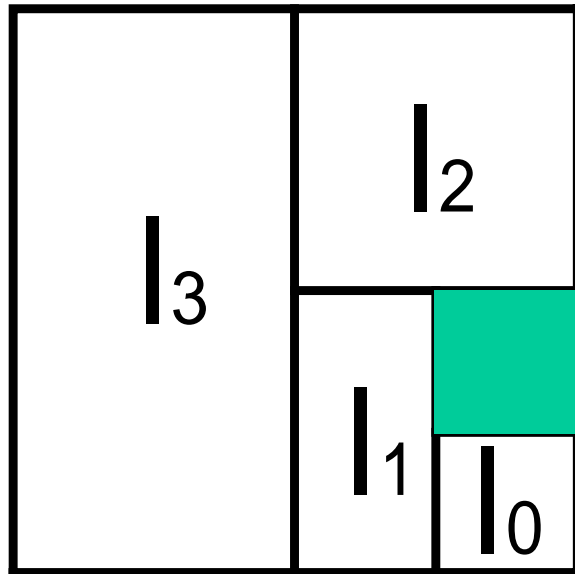


高精度のDACが必要



12bit以上の精度 電流源キャリブレーションが必要

電流源のキャリブレーション

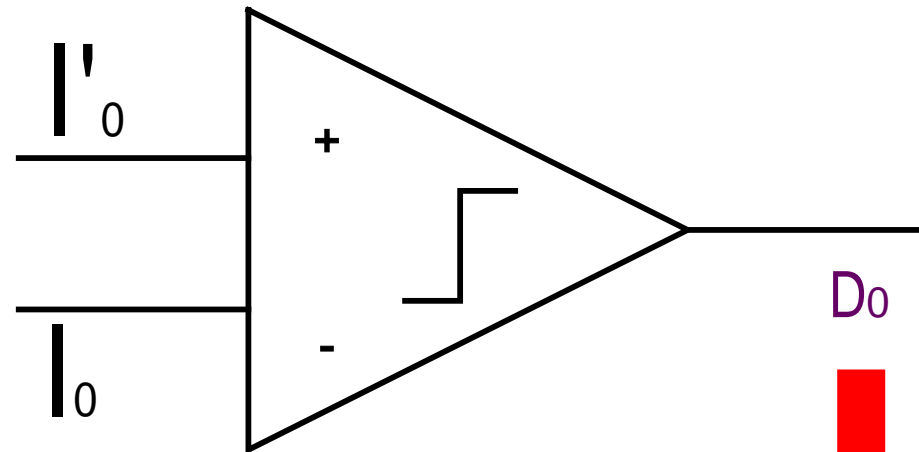


$$I_3 = 2I_2$$

$$I_1 = I'_0 + I_0$$

$$I_2 = I_1 + I'_0 + I_0$$

- 電流源を2進の重みをつけて分割
- I'_0 をリファレンスとする

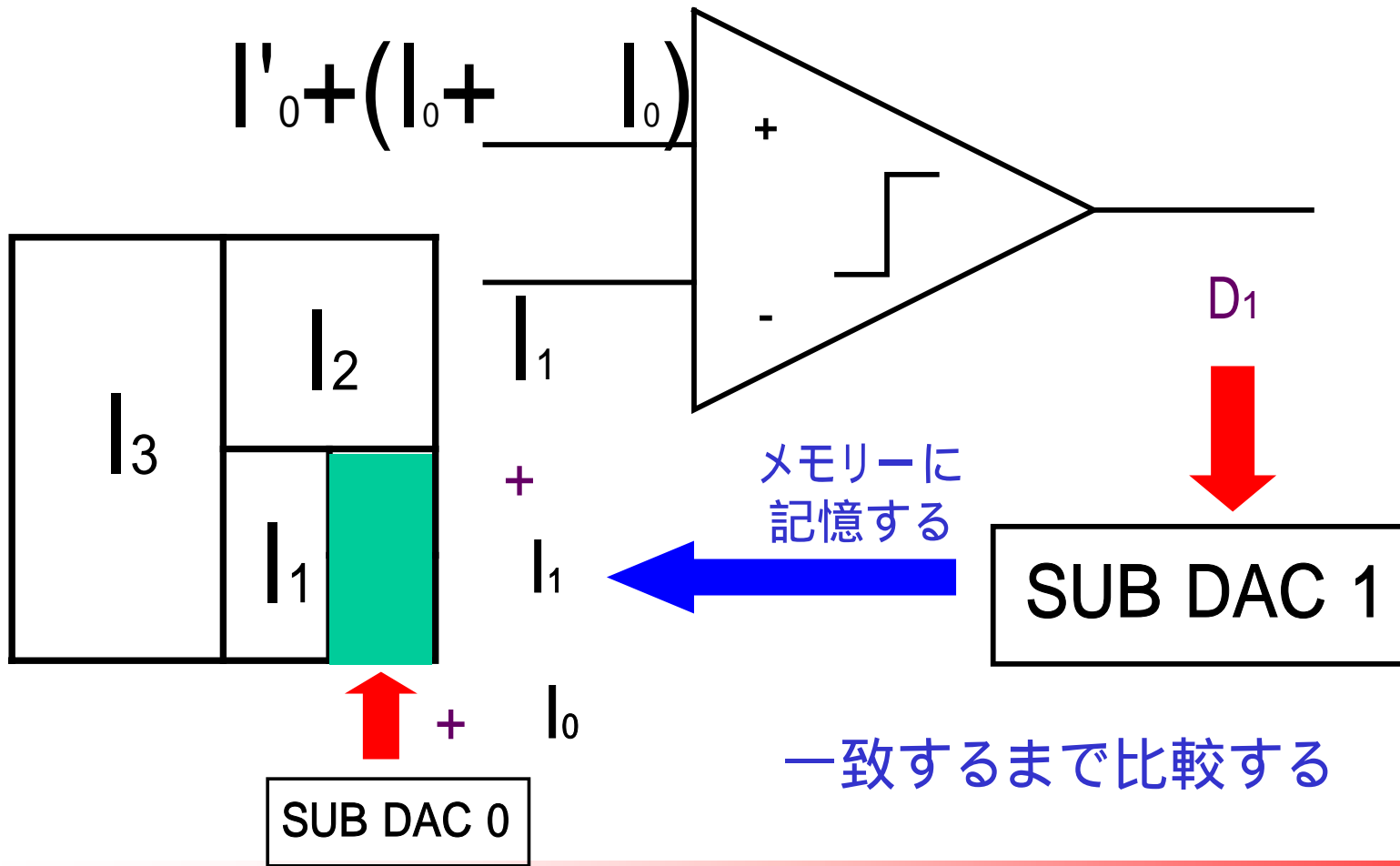


メモリーに記憶する

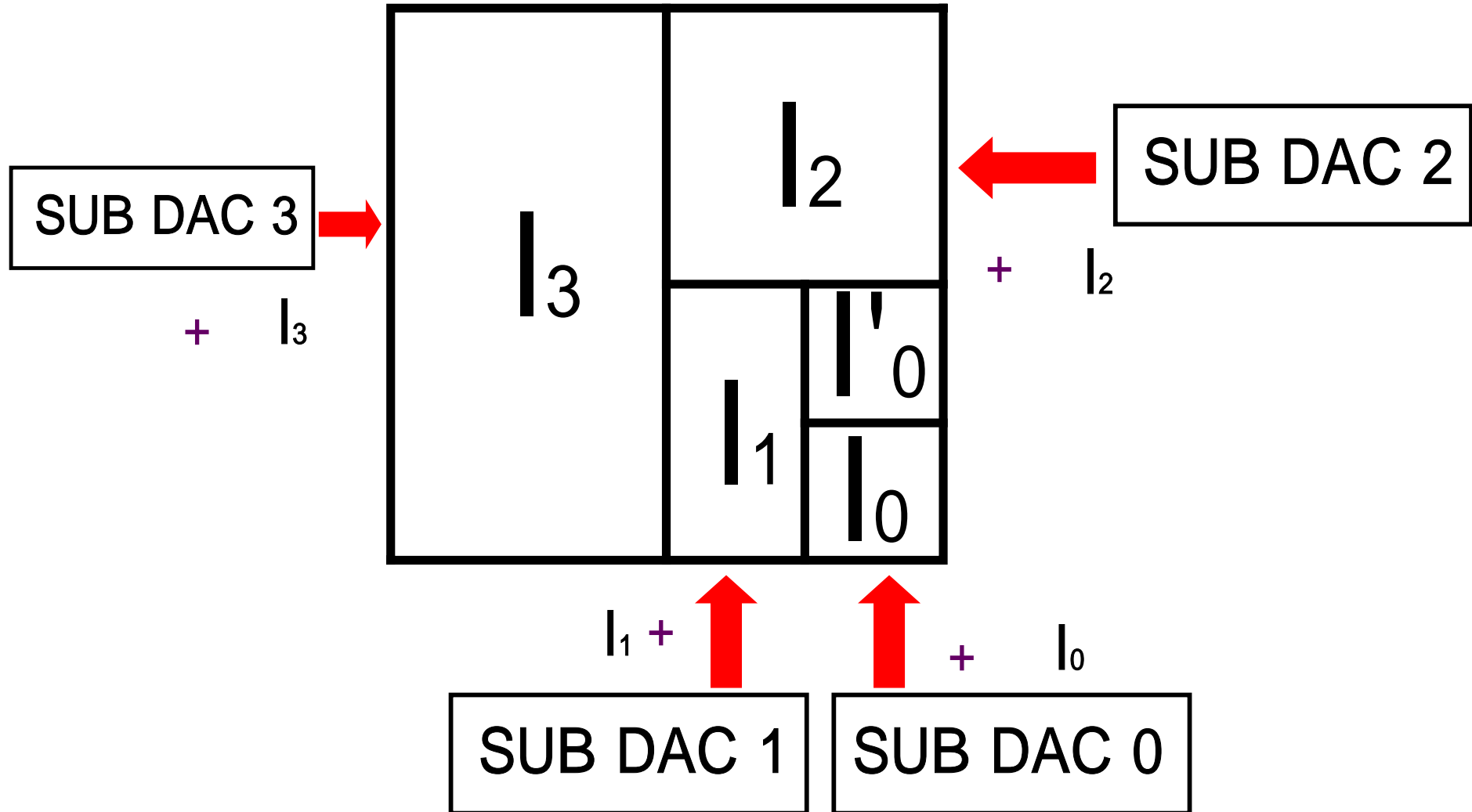
SUB DAC 0

一致するまで比較する

電流源のキャリブレーション2





電流源のキャリブレーション3



目次

- 研究目的
- 逐次比較型AD変換について
- 新しい提案方法
- 誤差補正アルゴリズム
- 低消費電力のための提案
- まとめ

まとめ

- 車載用高信頼性AD変換の開発を行った
- 冗長回路(コンパレータ3個)を用いて誤差補正を可能にした  高信頼性
- 低消費電力構成の提案
- 電流源のキャリブレーション  14bit精度
- Process Portabilityのあるアーキテクチャ

課題

- 12 ~ 14bit全体の動作確認
- コンパレータのオフセットを対策