

IoT 時代のアナログ/ミクストシグナル回路テスト技術

正員 小林 春夫^{*a)} 正員 桑名 杏奈^{*} 非会員 魏 江林^{*}
非会員 築地 伸和^{*} 非会員 趙 宇杰^{*}

Testing Technologies for Analog/Mixed-Signal Circuits in IoT Era

Haruo Kobayashi^{*a)}, Member, Anna Kuwana^{*}, Member, Jianglin Wei^{*}, Non-member,
Nobukazu Tsukiji^{*}, Non-member, Yujie Zhao^{*}, Non-member

(2020年3月18日受付, 2020年6月21日再受付)

This paper reviews production testing issues for analog and mixed-signal SoC in IoT era for analog circuit designers, and also introduces research examples including authors' group research results in this area. Notice that production testing and measurement/characterization for ICs are similar but different, and this paper introduces the former. For IoT systems and automotive applications, analog and mixed-signal circuit testing is very important to realize their reliability at low cost, and there are a lot of technology challenges. Their overview including future technology challenges is described.

キーワード: アナログ回路テスト技術, ミクストシグナル回路テスト技術, テスト容易化設計, 組み込み自己テスト, テスト容易化チップ外回路

Keywords: analog circuit test, mixed-signal circuit test, design-for-test, built-in self-test, built-out self-test

1. はじめに

この論文では電子回路設計者のために量産時のアナログ/ミクストシグナル回路試験技術を筆者らの研究事例も交えながらレビューする。車載アプリケーション, 高信頼・低コスト IoT システムの実現のために高品質・低コストテスト技術がますます重要になってきている。SoC 内で回路規模はデジタル, メモリが非常に大きい, トラブルを生じるのはアナログ回路であることが多い。そのテスト技術はチャレンジングである。成熟した半導体産業においては, 回路設計者は設計で性能を出すとともに, そのテストも含めた生産コストの削減が果たすべき本質的役割である。

2. アナログ/ミクストシグナル回路テスト技術

この章ではアナログ/ミクストシグナル回路テスト技術の現状と課題を概観する^{(1)~(6)}。

a) Correspondence to: Haruo Kobayashi. E-mail: koba@gunma-u.ac.jp

* 群馬大学

〒376-8515 群馬県桐生市天神町 1-5-1

Gunma University

1-5-1, Tenjin-cho, Kiryu, Gunma 376-8515, Japan

〈2・1〉 半導体テストでの品質とコスト 半導体試験ではテスト品質とコストのバランスを考慮することが重要である。テスト品質とは出荷する IC チップが不良品 (出荷せず) か良品 (出荷する) かを正しく判別することである。車載用 IC では極めて高いテスト品質が要求され, ppb (parts per billion) の語も使用されている。一方, アプリケーションによっては適正テスト品質をできるだけ低コストで実現するというところに力点が置かれることもある。時には「設計保証」と称してテストしない回路もある。不良 IC を良品と判定すると市場で不良が顕在化して大きな損害を与える。逆に良品 IC を不良品と判定し出荷しなければその分損失になる。

〈2・2〉 半導体テストの企業戦略 テストは技術だけの問題でなく半導体企業のマネージメント戦略にも依存する。低コスト半導体試験装置 (Automatic Test Equipment: ATE) を使用しアナログ BIST/BOST を多用して低コストテスト技術を開発する場合もあるし, 高価なミクストシグナル ATE と関係ノウハウを購入し, できるだけ早く IC を市場に投入する戦略もある。なお BIST は Built-In Self-Test の略で, チップ内にテスト用信号を発生する回路とテスト結果を判定する回路を組み込んで, テストをチップ内で行なう。BOST は Built-Out Self-Test の略で, チップ外に同様な回路を用意

し, ATE と協調してテストを行なう。

〈2・3〉 テストと測定は似て異なる技術 IC テストと測定は似ているが異なる。テストは量産出荷時の良品・不良品の判定であり生産技術の一つでエンジニアリングの色彩が強い。IC テストはコストが重要でありアプリケーションにも依存するが「IC 価格の 3%~5%」「100 円のチップで 1 秒のテスト時間」程度が目安とされている。一方測定 (measurement, characterization) は実験室レベルで行われる性能評価であり, サイエンスの色彩が強い。コストも重要であるが, 測定精度がより重要になることが多い。

例えば電子計測用 AD 変換器 (ADC) では内部コンパレータのメタスタビリティ等により生じるビットエラー特性は長い測定時間がかかるので実験室レベルでの性能評価として行うが, 量産テスト時には通常行われぬ。

〈2・4〉 故障診断・不良解析と半導体テスト 故障診断・不良品解析は重要であり, テストを通じて歩留まり向上に有用な情報が得られる。「逆問題」ととらえることもできる。最近のビッグデータ解析技術の対象にもなっている。テストの際にトリミング・校正を行うことも多い。

〈2・5〉 アナログ回路とデジタル回路のテストの違い

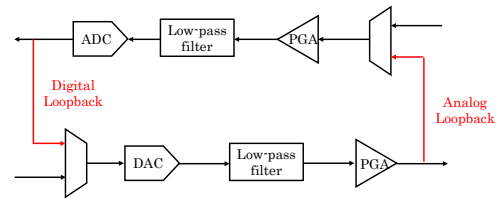
アナログとデジタルのテストは異なる。デジタル回路ではスキャンパス (scan path) 法, メモリではメモリ BIST の標準的・汎用的手法が確立している。一方アナログでは標準的・汎用的なテスト手法はない。比較的一般的な手法として, ループバックテスト, アナログテストパス, アナログバウンダリスキャン技術⁽⁷⁾がある。DFT/BIST は部分的にしか成功しておらず, BOST との併用が行われていることが多い。ここで DFT は Design for Testability の略である。

アナログテスト技術は一般化が難しく個別対応しなければならない。アナログ回路⁽¹⁾⁽²⁾, ミクストシグナル回路⁽¹⁾⁽²⁾, RF 回路⁽⁸⁾⁽⁹⁾, 電源回路⁽¹⁰⁾, 高速デジタルインターフェース回路⁽¹¹⁾⁽¹²⁾, MEMS⁽¹³⁾, イメージセンサ⁽¹⁴⁾のテスト技術は全く異なる。アナログ回路でも回路毎にテスト技術は異なる。さらに同じ回路でも性能指標毎にテスト技術は異なる。例えば ADC の線形性テストと周波数特性テストの技術は異なる。

図 1 にループバックテスト法の例を示す。図 1 (a) は SoC 内に DAC と ADC の組を持っている場合で, テスト時に DAC を ADC の入力信号源として用いることができる。図 1 (b) は無線通信トランシーバ回路で SoC 内に送信回路, 受信回路の組を持っており, テスト時に送信回路出力を受信回路入力として用いる。

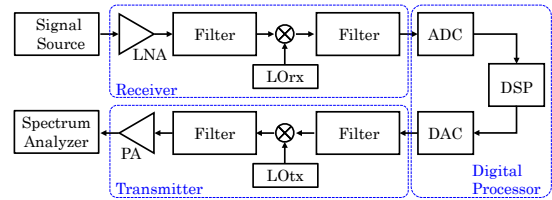
〈2・6〉 アナログ回路の仕様ベーステスト デジタル回路のテストは回路が故障しているかどうかの判定であるが, アナログ回路のテストは故障 (Catastrophic fault) がないことに加えて仕様の性能が出ているかどうか (Parametric fault) を判定する「測定」の側面が強い。

RF 回路のテスト等で高価な計測器を必要とするものに対しては仕様と強い相関をもちテスト測定が容易なパラメータ値を代わりにテスト測定する代替テスト (Alternate Test) が有効である⁽⁸⁾。RF 回路システムのテスト指標として EVM

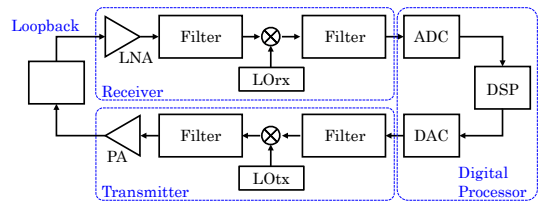


Symmetric circuits can use loopback test.

(a)



Transceiver Test with Instruments



Transceiver Test with Loopback

(b)

図 1 ループバックテスト構成の例。(a) SoC 内に DAC, ADC の両方を持つ場合。ADC をテストするには DAC がそのテスト入力信号源になる。(b) 無線通信回路で送信回路, 受信回路の両方を持ち送受信で使用周波数が同じ場合。送信回路からの信号を同一チップ内の受信回路が直接受信し, 正しく送受信ができたかをテストする。

Fig. 1. Loopback test configurations. (a) ADC/DAC loopback. For ADC testing, the DAC is used for its test signal generation. (b) Wireless communication transceiver loopback. The signal from the transmitter is directly received with the receiver circuit on the same chip and the DSP judges whether the correct communication is done or not.

(Error Vector Magnitude) の概念は有用で, 一つの数値で送受信器の良否の度合いを表現できる⁽³⁾⁽⁸⁾⁽⁹⁾。

〈2・7〉 アナログ回路の故障ベーステスト 一方, 仕様ベースのテストだけでは全ての欠陥を検出するのはテスト時間がかかるので, アナログ回路の故障ベースのテストとの併用の関心もたれており, 近年テスト関係の国際学会での発表が目立つ^{(15)~(18)}。

アナログ故障モデル, 故障検出率, 故障シミュレーションが車載用の要求から強い関心もたれている⁽¹⁹⁾。故障モデルはデジタルでは縮退故障モデルで多くの場合をカバーするが, アナログの場合は一般的なものは定義するのが難しい。このため EDA ベンダから, アナログ回路テストでの故障検出率定義, 故障シミュレーションのやり方がいくつか提案されており, さらに IEEE での標準化活動 (IEEE P2427) も行われている⁽²⁰⁾。

最近の先端 SoC では潜在不良・再現しない不良が問題に

なっているが、アナログ回路部でもその問題が顕在化しており、対応策が研究開発されている⁽²¹⁾⁽²²⁾。

〈2・8〉 アナログ回路テスト用BISTとBOST 筆者らが長年アナログテスト関係の国際会議で欧米やアジア・日本の研究者と交流し、この分野で産業界と共同研究・技術交流をしていた経験から、次の知見を得ている。

BIST (Built-In Self-Test) : 米国、欧州半導体メーカーでは多用している。アナログ BIST は回路毎、性能指標毎に開発しなければならないが、外部回路不要で精度良く回路性能をテストできる。量産出荷時に加えて、フィールドでの自己診断にも利用できる。チップ内に BIST として信号発生回路を設けるとその信号品質の保証が難しいことが多い。また、BIST は被テスト回路より性能が良くなければならぬ「半導体試験でのジレンマ」がある。

BOST (Built-Out Self-Test) : 日本メーカーが多用している。BOST はチップ設計後にそのファブリケーションを行っている間に開発でき、チップ面積 (コスト) と負荷増加による性能劣化のペナルティがないので、リスクが小さい。

〈2・9〉 アナログ回路の BIST/DFT の研究動向 アナログ回路の BIST/DFT として学会レベルの発表では次のようなものがある。

- 信号発生に $\Delta\Sigma$ 変調技術を使用⁽²³⁾。
- 時間領域アナログ信号処理を用いる⁽²⁴⁾。
- テスト時の信号の読み出し書き込みに電源線を用いる⁽²⁵⁾⁽²⁶⁾。
- テスト時に発振を利用する (アナログフィルタ、オペアンプ等のテスト時)⁽²⁷⁾。アナログフィルタをテスト時に発振させる構成を図 2 に示す。

これらの際に現代制御理論で使われている“可制御性”，“可観測性”はテスト技術でも有用な概念である。

〈2・10〉 アナログ回路のロバスト設計とテスト ロバストな設計は故障・欠陥を隠す傾向にありテストを難しくする。フィールドで IC 動作条件が厳しくなるとこれらの欠陥が顕在化する場合がある。冗長設計⁽²⁸⁾、オペアンプ等のネガティブフィードバック構成 (図 3)、自己校正、自動調整等はテストを難しくする。フィードバック構成のままオープンループ回路特性をテストする技術等の研究開発がされている⁽²⁹⁾。

〈2・11〉 オンウェハテスト パッケージングする前のウェハ状態でテストし不良をできるだけ早く検出するオンウェハテストは低コスト化につながる (図 4)。プロービングにはプロービングのオン抵抗、PAD のダメージ、高周波信号のプロービングは高コスト、複数チップ同時のプロービングは難しい等の技術課題がある。無線通信技術で「接触なし」のプロービング実現の可能性のあるものとして研究開発が行われている⁽³⁰⁾。

〈2・12〉 アナログ回路テスト時の入力信号制御 テスト時に入力信号は制御できる (既知である) ことを積極的に利用する。例えば ADC のサンプリングクロック (周波数 f_s) と入力正弦波 (f_{in}) を同期させ (図 5 (b))、下記のコヒーレントなサンプリング条件にテストを組み立てる⁽¹⁾。

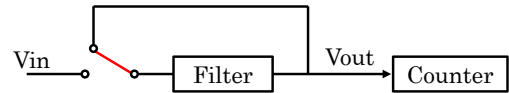


図 2 アナログフィルタのテスト時に発振させる構成
Fig. 2. Oscillation-based analog filter configuration.

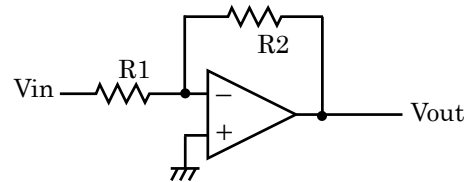


図 3 負帰還オペアンプの構成。テスト時にオペアンプ内パラメトリック不良を隠す傾向になる。
Fig. 3. Operational amplifier with negative feedback configuration. Parametric failures tend to be hidden during test.

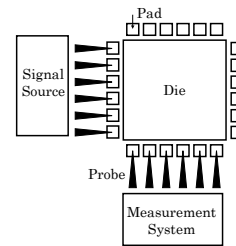
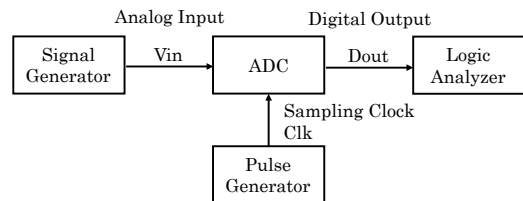
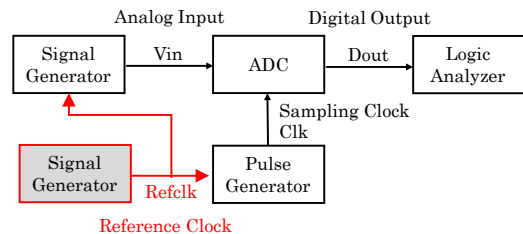


図 4 オンウェハテスト。パッケージング前に不良を見つけるがそのままでは PAD にダメージを与える。
Fig. 4. On-wafer test. Failures can be detected before packaging, but PADs may be damaged if there are no cares.



(a) インコヒーレントサンプリング



(b) コヒーレントサンプリング

図 5 ADC テストシステム構成

Fig. 5. ADC system configuration. (a) Incoherent sampling. (b) Coherent sampling.

$f_s / f_{in} = M/N$. M と N は互いに素な自然数。
観測サンプリング N 点で M 周期の入力波形収録をする。
また、テスト時に入力を繰り返し信号として与えると出

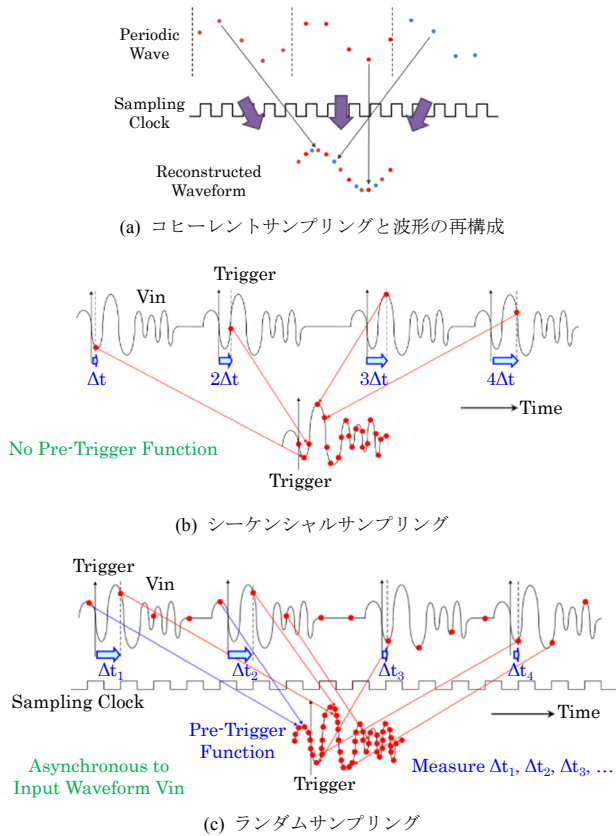


図 6 等価時間サンプリングの説明

Fig. 6. Equivalent-time sampling principles. (a) Coherent sampling and waveform reconstruction. (b) Sequential Sampling. (c) Random sampling.

力も繰り返し信号になるので等価時間サンプリング技術が使用でき、サンプリング周波数よりもはるかに高周波数の入力信号を測定できる。等価時間サンプリング回路ではコヒーレントサンプリング、シーケンシャルサンプリング、ランダムサンプリングの3つのタイムベースが用いられる(図6)。シーケンシャルサンプリングは波形取得効率が高いが、トリガ前段の波形を取得できない^{(31)~(34)}。

等価時間サンプリング技術ではランダムサンプリングを用いると波形抜け現象が生じるが、サンプリング周波数と入力周波数が黄金比の関係にある“黄金比サンプリング”の場合は波形抜け現象がなくなることが示されている⁽³¹⁾。

〈2・13〉 アナログ回路の適応テスト 適応テスト(Adaptive Test)とは、全部のテスト項目をテストする(長いテスト時間が必要)のではなく、途中までのテスト結果に応じてその後のテスト項目を調整し(いくつかのテスト項目を省略し)テスト時間を短くする技術である。この技術のアナログ・ミクストシグナル回路への適用も学会レベルで論文発表されている⁽³⁵⁾。適応テスト技術を積極的に採用するかどうかは企業のテスト戦略に依存している。

3. 研究開発事例

この章では筆者らの研究室で関わったものを交えながら

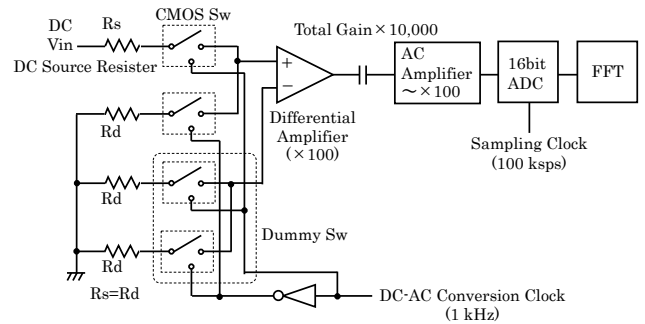


図 7 DC-AC 変換によるオペアンプ微小オフセット電圧測定

Fig. 7. Minute offset voltage measurement of an operational amplifier DC-AC conversion.

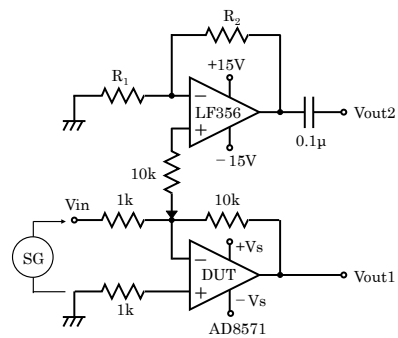


図 8 サミングノード法によるオペアンプ開ループゲイン特性測定。閉ループ構成で DUT オペアンプのマイナス入力を増幅することで DUT 開ループ伝達関数が測定できる。

Fig. 8. Operational amplifier open-loop characteristics measurement with summing node method. The minus input voltage of the DUT with the closed-loop configuration is amplified and the DUT open-loop characteristics can be measured.

具体的なアナログ回路テスト技術を紹介する。

〈3・1〉 オペアンプテスト技術 オペアンプの様々な性能を高精度に測定・評価する際には NULL 法が広く用いられている。しかしテスト時間がかかるため量産テストには適していないので、設計保証によりテストを略すことが多かった。近年では車載用等での高信頼性の要求により短時間(低コスト)で各性能をテストすることが要求されている。そこで NULL 法試験回路での容量値を最適化することが有効であることを検証した⁽³⁶⁾。

また、オペアンプの μV オーダーのオフセット電圧の量産試験を DC-AC 変換を用いて同測・高精度測定ができる方式を検討した(図7)⁽³⁷⁾。熱起電力、直流・低周波ノイズの影響を大幅に低減できる。さらに PSRR, CMRR, 開ループゲイン特性を同時測定する方式を開発している(図8)⁽³⁸⁾。

〈3・2〉 逐次比較近似 ADC テスト容易化設計 逐次比較 ADC は高分解能であるので線形性テストに時間がかかる。しかしそのテスト時にはアナログ入力信号が既知であるの

でデジタル出力値がある程度予想ができる。そこで前半の逐次比較近似のステップを省略することでテスト時間を短縮できるテスト容易化技術 (Design-For-Test: DFT) が可能になる。通常の逐次比較近似 ADC にわずかなデジタル制御回路を付加することで実現できる⁽³⁹⁾。

中速サンプリング・高分解である逐次比較近似 ADC の線形性試験は直接的に行くと時間がかかることに注意が必要である。高速・低分解能 ADC でテスト時間は問題になることは少ないが、サンプリングクロックの低ジッタ化、高周波入力信号の扱い等の技術的な難しさが生じる。

〈3・3〉 ΔΣADC 線形性テスト技術 低速高分解能、特に ΔΣADC では量産出荷時の線形性テストは膨大なテスト時間がかかるため省略されることが多い。しかしシステムの高信頼性の要求に応えるため短時間での積分線形性のテスト方式を開発した (図 9)⁽⁴⁰⁾。

ΔΣADC は ΔΣAD 変調器 (アナログ部) とデジタルフィルタ (デジタル部) から構成される。デジタルフィルタはスキャンパスで故障しているかどうかをテストする。デジタル部は故障していなければ線形性劣化を引き起こさない。

一方アナログ部の ΔΣAD 変調器は故障していなくても積分器のゲイン劣化や寄生素子の影響で線形性劣化を引き起こされる場合がある。そこでこの入出力特性を多項式近似する。アナログ入力として正弦波を変調器に与え、その 1 ビット出力データを取得し FFT 解析を行う。その基本波、高調波パワーから多項式の各係数値、すなわち積分非線形性を推定する。

24bit 7sps ΔΣADC の場合、ランプ波入力で平均 1 コード当たり 4 点を取る積分非線形性をテストすると 111 日程度 (テスト時間 = $2^{24} \times (1/7) \times 4$ [秒]) かかる。提案手法では 30 秒

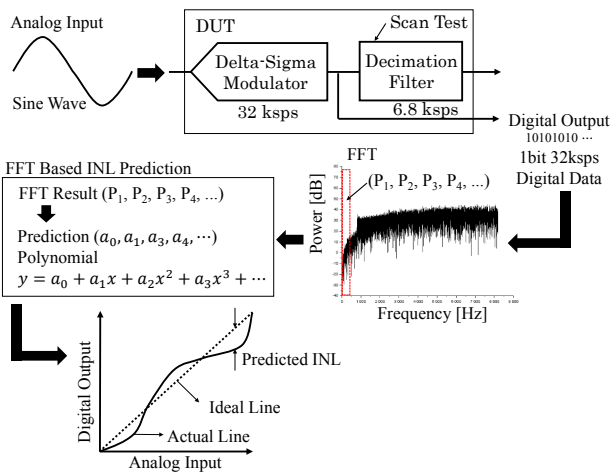


図 9 提案する ΔΣADC INL テスト技術。正弦波入力し変調器 1 ビット出力列の高調波パワースペクトルから積分非線形性 (INL) を推定する。

Fig. 9. Proposed ΔΣADC INL test method. Sine wave is applied as an AD modulator input, and its harmonics power is obtained from the modulator output 1-bit data stream, so that the overall ADC INL is estimated.

程度にテスト時間が激減でき、30 個の並列試験を行えば等価的に 1 秒間程度のテスト時間に短縮できる。

〈3・4〉 ADC テストデータ解析技術 ADC のテストにはサンプリングクロックと入力正弦波を同期させ (コヒーレントサンプリング), デジタル出力データの FFT 解析を行うことが広く行われている。各入力周波数に対して有効ビット, 信号成分パワー, 歪, ノイズを評価できる標準的な手法である⁽¹⁾⁽³⁾⁽⁴¹⁾。ADC がシステムに組み込まれている等, 両者が同期できない場合 (インコヒーレントサンプリング (図 5 (a))) は窓関数を用いる。様々な窓関数の得失が公開されており, 知見の技術的蓄積は大きい⁽⁴²⁾。

コヒーレントサンプリングに比べてテスト精度が劣化してしまうため, カーブフィッティングも用いられている (図 10)。この際, 入力周波数とサンプリングクロック周波数比を正確に推定するためには解析的に解けず, 逐次的に数値計算で解く必要がある。

インコヒーレントの場合は, 産業的には文献⁽⁴³⁾の手法が良く用いられる。ハニング窓で FFT を 1 回行うことで非常に正確にテスト信号スペクトルを推定できる。

また狭帯域信号に対する通信用 ADC では 2 つの周波数 f_1, f_2 の正弦波の和の 2 トーン信号を入力し出力で相互変調歪を評価・テストする。単一正弦波入力の場合 3 次高調波は信号帯域外になってしまうが, 2 トーン信号入力の場合は 3 次相互変調歪 ($2f_1 - f_2, 2f_2 - f_1$) が信号帯域内に入り, 非線形性が精度良く評価できる (図 11)。この場合のカーブフィッティングアルゴリズムを開発し, 1 トーン信号ずつカーブフィッティングを行う手法より高精度推定ができることを示した⁽⁴⁴⁾。

正弦波入力, マルチトーン信号入力に対するヒストグラム法で DNL, INL を計算するためには積分計算が必要である⁽⁴⁵⁾。その計算アルゴリズムやマルチトーン信号ヒストグラム法で特定コードの DNL を短いテスト時間で得る考え方が示されている⁽⁴⁶⁾⁽⁴⁷⁾。

〈3・5〉 波形サンプリング技術 被試験デバイスから

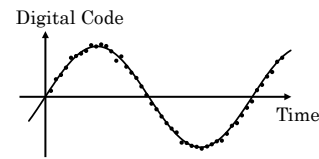


図 10 ADC テストでの正弦波カーブフィッティング
Fig. 10. Sine curve fitting method for ADC testing.

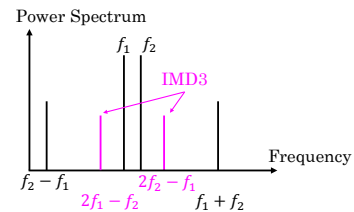


図 11 2 トーン信号による狭帯域回路の線形性テスト
Fig. 11. Two-tone signal linearity test for narrow band circuit.

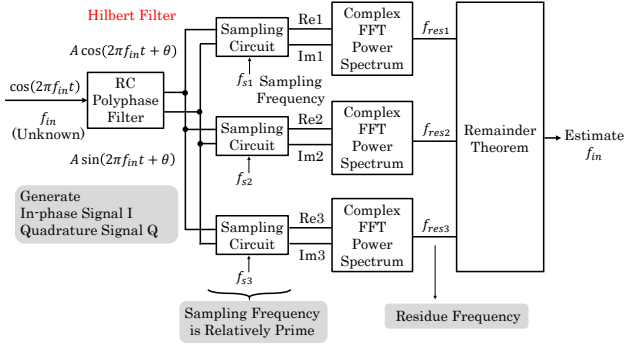


図 12 剰余系を用いた波形サンプリングシステム。サンプリングによる周波数折り返しを積極的に利用する。
Fig. 12. Waveform sampling system with residue number. Spectrum folding due to the sampling is proactively utilized.

のアナログ出力信号をサンプリング回路で波形サンプリングし AD 変換を行いデジタル信号として解析することが ATE システムでは広く用いられている。波形サンプリングではサンプリングクロックのジッタ, 有限アパーチャ時間等が問題になり, それらの影響の理論解析が行われている⁽⁴⁸⁾⁽⁴⁹⁾。また, 基本サンプリング回路の信号ノイズ比, 帯域のトレードオフ関係の理論式が導出されている⁽⁵⁰⁾⁽⁵¹⁾。

高周波信号のサンプリングには, 低い周波数の異なるサンプリング周波数で動作する複数のトラックホールド回路を用意し, サンプリングによる折り返し現象と剰余系を利用する方式も研究されている⁽⁵²⁾。

〈3・6〉 インターリーブ ADC 技術 半導体試験では「現在のデバイスで明日の (性能の良い) デバイスを試験する」というジレンマがあり, このためそのシステム構成のためには工夫が必要である。

時間インターリーブ ADCはこのジレンマを解決する一つの技術である。現在の最速 ADC チップを複数 (M 個) 並べて M 相クロックでタイミングをずらして実効的に M 倍のサンプリング速度を実現する。しかし M 相クロック間のタイミングスキュー, M 個のチャンネル ADC 間の特性ミスマッチによりパターンノイズ, スプリアスを生じる問題がある。この現象が解析され様々な補正アルゴリズム・回路が開発されてきている^{(53)~(56)}。

帯域インターリーブ ADC もナイキストレートを越えた広帯域を実現するために実用化されている^{(57)~(59)}。サンプリング速度 f_s の ADC を二つ並べる。一方は信号帯域 $0-f_s/2$, もう一方は信号帯域 $f_s/2-f_s$ を受け持ち, 2 つで信号帯域 $0-f_s$ の信号を AD 変換できる。ADC 前段のアナログ信号処理回路, $f_s/2$ 近辺の周波数コンポーネント信号の 2 つの ADC 間のデジタル信号処理が技術的なチャレンジである。

時間インターリーブ ADC は電子計測器・半導体試験装置で高サンプリングレートを実現する他に, 民生用機器で低消費電力を実現するためにも用いられることもある。一方帯域インターリーブ ADC では電子計測器・半導体試験装置の一部で用いられているのみである。

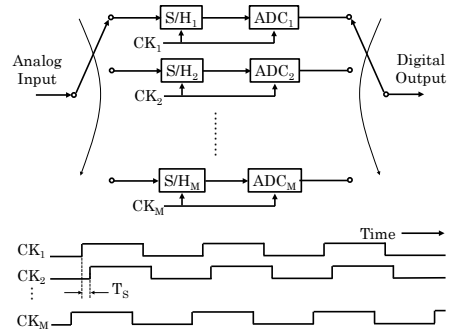


図 13 時間インターリーブ ADC の構成。チャンネル ADC の M 倍のサンプリングレートが実現できる。
Fig. 13. Time-interleaved ADC system. M-times sampling rate of the channel ADC can be realized.

〈3・7〉 波形取得 DFT 技術 (ATE と DFT/BIST の協調)

テストにおける基準信号の重要性を認識する必要がある。基準信号はチップ内部で発生するのではなく, 外部 (ATE 等) から与えると全体としてバランスがとれたテストシステムになることが多い。一方, 高速信号を外部から与えるのは難しく, チップ内で生成・供給するのが適している。ATE とチップ内の DFT/BIST との協調が必要である⁽⁶⁰⁾。

〈3・8〉 アナログ回路テスト用信号生成技術

任意波形発生器 (Arbitrary Waveform Generator: AWG) は波形メモリと DA 変換器 (DAC) から構成され, ADC やアナログ回路のテスト用信号生成器として多用される。AWG ではデジタル的に合成された信号波形が波形メモリに記憶・読みだされ DAC でアナログ信号に変換して出力し, 被試験デバイスに入力される。AWG を用いてアナログ回路テスト用信号を生成する際に, 波形データを工夫することで AWG 内の DAC の非線形性の影響を低減し高調波を低減する方式 (位相スイッチング方式) が開発されている (図 14)^{(61)~(63)}。

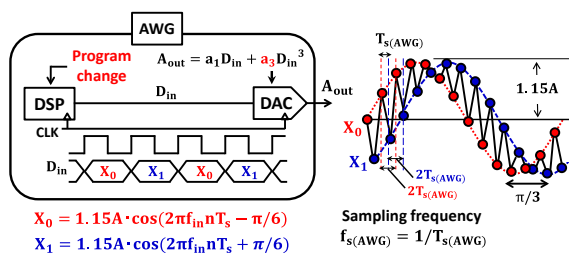
単一正弦波の場合に高調波を低減し, 2 トーン信号生成の場合は相互変調歪を低減できることが理論, シミュレーション, 実験, ATE 環境下で検証されている。これらは AWG 内 DAC 非線形性の同定が不要である。デジタル信号処理により AWG の性能を越えた低歪の信号生成が可能になる。提案方式は実験室レベルだけでなく ATE 環境においても再現性等で有効であることが示されている。

1 ビットのデジタルピン出力からのパターンをフーリエ級数展開して例えば 3 次高調波成分をキャンセルできるように 0, 1 のビット列を工夫し, アナログフィルタを通すことで 3 次高調波をキャンセルした正弦波を出力する方式が提案されている⁽⁶⁴⁾。アナログオプション不要で比較的廉価なデジタル ATE でアナログ回路テストのための低歪信号を生成できる。アナログ ATE のデジタル ATE への置き換えでマルチサイトテストが可能になる。

矩形波出力から低歪正弦波を出力する高性能 RCL 受動フィルタも開発されている⁽⁶⁵⁾。

〈3・9〉 マルチトーン信号生成技術

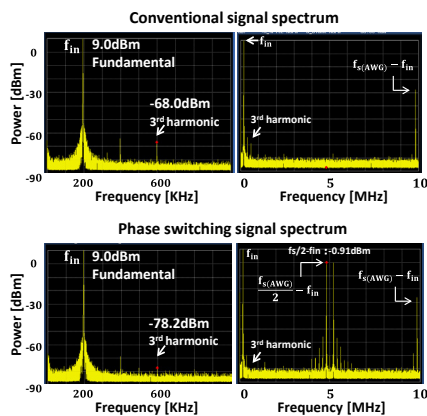
アナログフィルタ等の周波数特性を短時間でテストするために, いくつも



$$X_0 = 1.15A \cdot \cos(2\pi f_{in} n T_s - \pi/6)$$

$$X_1 = 1.15A \cdot \cos(2\pi f_{in} n T_s + \pi/6)$$

$$f_s(\text{AWG}) = 1/T_s(\text{AWG})$$



(a)

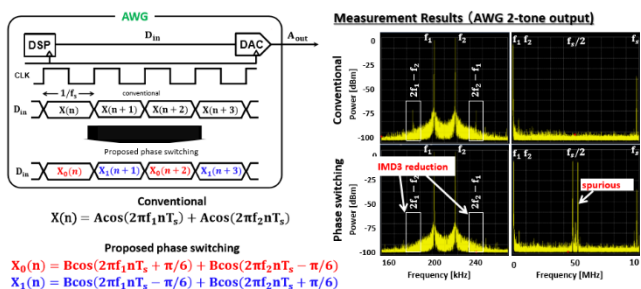


図 14 位相スイッチングアルゴリズムを用いた低歪信号生成。位相が $\pi/3$ ずれた二つの信号を毎クロックインターリーブして発生する。(a) 単一正弦波, (b) 2 トーン信号。

Fig. 14. Low-distortion signal generation with phase-switching algorithm. Two sine wave signals with $\pi/3$ -phase shift are interleaved every clock. (a) Single-tone. (b) Two-tone signal. ©2014 IEEE.

の周波数の正弦波の合成であるマルチトーン信号が用いられる。被測定デバイスの入力範囲内で各周波数成分の振幅を最大にするようマルチトーン信号を合成すれば各周波数成分の SNR を大きくして (すなわちクレストファクタを小さくして) 測定できる。そこで各周波数の初期位相を適切に制御することでクレストファクタを低減できる 3 つのアルゴリズムが提唱されており, またこれらが等価であることが示されている⁽⁶⁶⁾。

ADSL 等の応用の ADC ではマルチトーン信号を用いた Noise Power Ratio が重要なテスト項目である⁽⁴⁴⁾。

パワーアンプのテスト等のためにクレストファクタを制御するアルゴリズムが開発されている。このマルチトーン信号も AWG で生成できる⁽⁶⁷⁾⁽⁶⁸⁾。

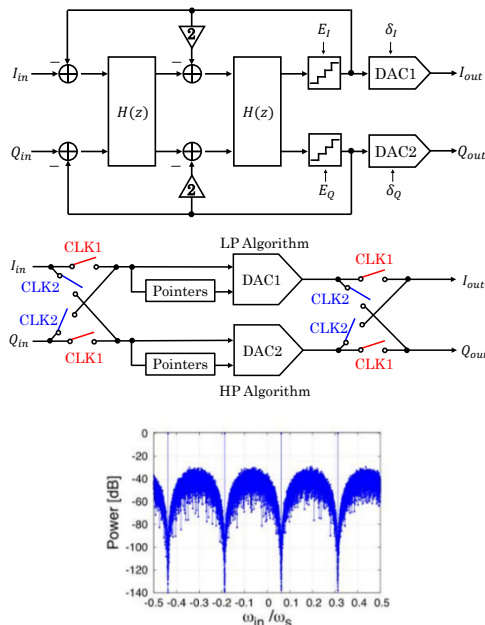


図 15 マルチビット複素バンドパス $\Delta\Sigma$ DAC による複素マルチトーン信号生成。2 つのマルチビット DAC のミスマッチの影響低減, 線形性向上のためにダイナミックマッチング法を使用した。

Fig. 15. Complex multi-tone signal generation with complex bandpass multi-bit $\Delta\Sigma$ DAC. Dynamic matching algorithm is used to reduce mismatch effects between two DACs and improve their linearity.

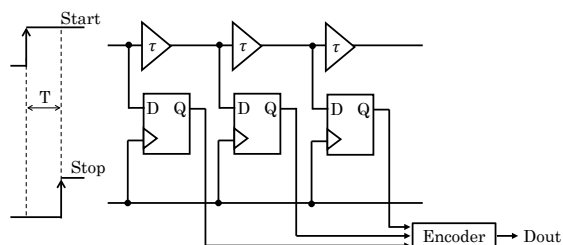


図 16 フラッシュタイプ時間デジタイザ回路
Fig. 16. Flash-type time-to-digital converter.

〈3・10〉 直交検波回路テスト技術 同相信号 (In-Phase: I), 直交信号 (Quadrature-Phase: Q) の成分を持つ複素マルチトーン信号を複素 $\Delta\Sigma$ DAC で効率的に生成する方式が開発されている (図 15)⁽⁶⁹⁾。また, 複素アナログフィルタの I, Q 不均衡を効率的に測定・テストする方式が提案されている⁽⁷⁰⁾。

〈3・11〉 時間測定技術 時間測定・タイミングテストのために時間デジタイザ回路 (Time-to-Digital Converter: TDC) が多用される^{(71)~(79)}。多チャンネルを持つ必要があるので, 一つの回路の低消費電力化・小回路規模化が重要である。フラッシュ型 (図 16) とその線形性自己校正, 剰余系, グレイコード, 逐次比較型, 積分型, パーニオアシレータ型, $\Delta\Sigma$ 型時間デジタイザ等, 様々なタイプのものが開発されてきている。完全にデジタル回路で構成できるものも多く,

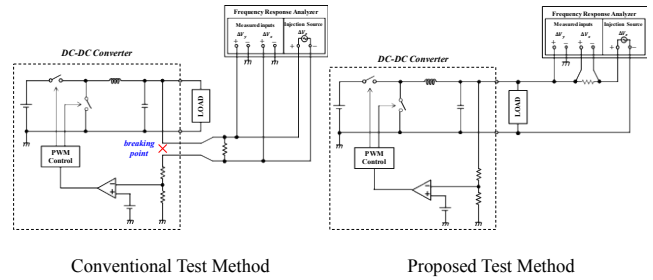
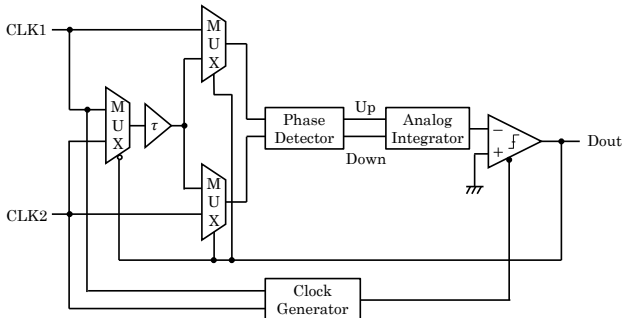


図 18 従来ループゲインテスト方法と提案方法の比較
Fig. 18. Conventional and proposed loop gain test methods.

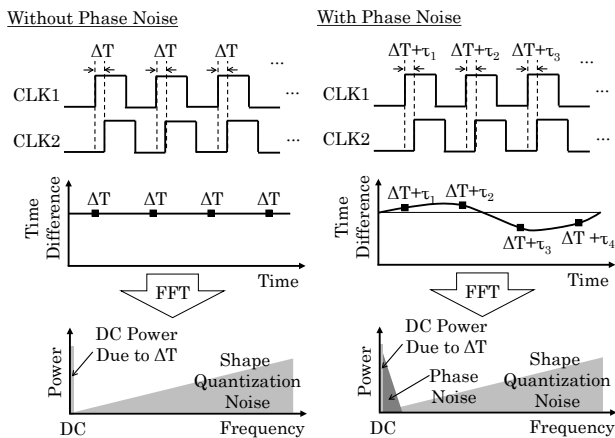
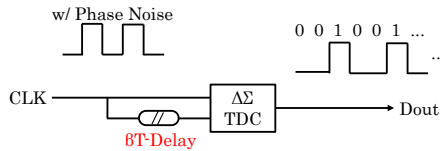


図 17 $\Delta\Sigma$ 時間デジタイザによる位相ノイズテスト。FFT することで位相ノイズ周波数特性が得られ、また測定時間を長くすればより細かい周波数分解能で測定できる。

Fig. 17. Phase noise test with $\Delta\Sigma$ time-to-digital converter. Phase noise frequency characteristics can be obtained by FFT, and finer time resolution measurement can be done with longer test time.

フルカスタム IC 化しているだけでなく FPGA で BOST としても実現できる。サブピコ秒時間分解能を実現できる可能性があるものとして微細 CMOS 回路の特性ばらつきを積極的に利用する確率的時間デジタイザアーキテクチャが考案されている⁽⁷³⁾。時間デジタイザ構成は ADC アーキテクチャからのアナロジーとして開発されたものが多い。

〈3・12〉 位相ノイズ性能テスト技術 発振回路の位相ノイズは送受信回路の性能劣化の要因である。位相ノイズの測定・テストはスペクトラムアナライザを用いて直接的に行うと時間がかかる。そこで位相ノイズの周波数特性を短時間・低コスト (スペクトラムアナライザ不要) でテストするために、被テストクロックを $\Delta\Sigma$ 型時間デジタイザに入力しデジタル出力を FFT して位相ノイズの周波数特性を得ることを提案し、MATLAB シミュレーションで有効性を検証した (図 17)^{(76)~(79)}。 $\Delta\Sigma$ 型時間デジタイザは小規模回

路で実現でき複数個を容易に 1 チップ化できるので、実用化が期待される。

〈3・13〉 クロック信号ジッタ試験技術 クロック信号ジッタは広帯域 ADC の精度劣化の大きな要因になる。そこでチップ上のクロック信号のジッタ RMS 値をテストするための被測定クロック自己参照型ジッタ測定用 BIST 回路が開発されている⁽⁸⁰⁾。クロックジッタは高周波・広帯域化に伴いますます重要な問題になってきており、オンチップでなければ精度良くテストするのは難しい。

〈3・14〉 電源回路テスト技術 スイッチング電源回路のテストとして、電源電圧の帰還回路を切断することなくループゲインを測定し、位相余裕を評価可能とするテスト方法が開発されている (図 18)⁽⁸¹⁾。一般的な電源回路の多くは負帰還を利用しているため、電源回路のループゲインを測定し、安定性をテストすることは大変重要である。しかしながら、従来のテスト方法ではループゲイン測定のために帰還回路の一部を切断し、AC 信号源を挿入する必要があった。

開発されたテスト方法では、電源回路の開ループおよび閉ループの両出力インピーダンスの測定値を用いてループゲインを算出し、位相余裕を評価する (図 18)。出力インピーダンスは電源回路の出力端子から測定可能なため、この方法では原理的に帰還回路を切断する必要がないことがわかる。

本テスト方法を用いることにより、電源回路の安定性を最終製品の量産工程にてテストし、保証することが可能であるため、高信頼性・高安全性が要求される車載機器や産業機器への応用が期待される。

4. アナログテスト技術の展開

〈4・1〉 SoC 内アナログ回路のテスト技術 アナログ IC 単体ではなく SoC 内のアナログ回路のテストの際には、個別アナログ回路のテスト容易化だけでなく SoC システム全体としてのテスト容易化設計が必要であろう。このためには多くの側面の技術を用いると効果的である。

- 回路技術
- BIST, BOST & ATE の協調
- 信号処理, 計測制御技術
- SoC 内のリソース μP コア, メモリ, ADC/DAC の利用

特に, SoC 内のデジタル&ソフトウェアによるそのプログラマビリティを利用することも有力な手段であろう。

また, SoC 内に埋め込まれたハードウェアウィルスであるハードウェアトロージャン (トロイの木馬) はデジタル回路部だけでなくアナログ/RF 回路でも問題になる可能性が指摘されている⁽⁸²⁾⁽⁸³⁾。ハードウェアセキュリティもテスト技術がカバーする領域であろう。

〈4・2〉 アナログテストと AI 技術 テスト関係の研究者にはコンピュータのバックグラウンドを持っている方が多く, AI 技術のアナログ部を含めた半導体テスト分野への適用が活発に研究開発されており, その成果が期待できる。確率・統計学, 情報理論, 線形代数等の数学がそこでは非常に役に立つことが強調されている⁽⁸⁴⁾。

〈4・3〉 アナログテストの国際会議・研究 電子回路研究者は IEEE Solid-State Society, Circuits and System Society の学会にかかわっていることが多い。しかし LSI テスト技術関係の IEEE の国際学会は Computer Society であり, 代表的なものは下記である。

International Test Conference,

International Test Conference in Asia,

International Test Conference in India

VLSI Test Symposium, European Test Symposium,

Asian Test Symposium, Latin America Test Symposium

Design, Automation and Test in Europe

International Symposium on On-Line Testing and Robust System Design

下記の IEEE の計測関係の国際会議も ADC のテスト・評価技術関係や計測技術の発表がされている。

International Instrumentation & Measurement Technology Conference

産業界と密接に結びついた分野であるので, 大学と企業が連携した運営・プログラムになっていることが多い。

半導体技術者検定のテキストはアナログに限らず半導体テスト技術の全般を学ぶのに適している^{(3)~(6)}。

アナログ回路テスト技術の研究にはアナログ回路とテスト技術の両方の知識が必要である。また, 回路技術・テスト技術に加え, 信号処理・計測制御・半導体デバイス・品質管理等の幅広い知識が必要である。

ADCはそのテストが技術課題であるとともに ATE システム内でもキーデバイスである。そのテスト技術は日米の大学 (東工大, アイオワ州立大等) でも^{(85)~(88)}, また時間デジタル回路のテスト技術への応用は徳島大学, 九州工大でも⁽⁷⁴⁾⁽⁷⁵⁾研究され論文・国際学会発表されてきている。

5. まとめ

この論文ではアナログ回路テスト技術をレビューし, 筆者らの産業界との共同研究事例を紹介した。この分野は研究者が限定されているが, 近年の車載応用, IoT システムでの高信頼性・低コスト化の要求から産業界からの要請が強い重要な分野である。

この分野の研究開発にはテスト技術に加え, 回路技術, 信号処理技術, 計測制御技術, 品質工学・信頼性工学, 失敗学, 品質とコストのバランスを考慮するエンジニアリングセンスの総合力が要求され, 「半導体テスト・測定のジレンマ: 現在のデバイスで明日の高性能デバイスをテスト・測定する」を克服するための技術革新が常に要求されるチャレンジングな研究分野である。今後もますますの研究開発が必要である。

本稿が, 電子回路設計者がアナログ回路テスト技術に関心を持つことに貢献できれば幸甚である。

謝辞

有意義なコメントをいただきました大河原秀雄氏, 中谷隆之氏, 浅見幸司氏, 石田雅裕氏, 古川靖夫氏, 図作成をサポートしてくれた片山翔吾氏に感謝します。

文 献

- (1) G. W. Roberts, F. Taenzler, and M. Burns : An Introduction to Mixed-Signal IC Test and Measurement, Oxford Press (2011)
- (2) 小林春夫・山口隆弘:「デジタルアシスト・アナロテスト技術—ナノ CMOS 時代のアナログ回路テスト技術」, 信学会集積回路研究会, 大阪 (2010)
- (3) 浅田邦博/一般社団法人パワーデバイス・イネープリング協会 (監修):「はかる×わかる半導体 入門編」, 日経 BP コンサルテング (2013)
- (4) 浅田邦博/一般社団法人パワーデバイス・イネープリング協会 (監修):「はかる×わかる 半導体テスト技術者検定 3 級問題集」, 日経 BP コンサルテング (2014)
- (5) 浅田邦博/一般社団法人パワーデバイス・イネープリング協会 (監修):「はかる×わかる半導体 応用編」日経 BP コンサルテング (2019)
- (6) 浅田邦博/一般社団法人パワーデバイス・イネープリング協会 (監修):「はかる×わかる 半導体 パワーエレクトロニクス編」, 日経 BP コンサルテング (2019)
- (7) 亀山修一・馬場雅之・樋上喜信・高橋 寛:「アナログバウンダリスキャンによる三次元積層後の TSV 抵抗精密測定法」, 信学論 D, Vol. J97-D, No.4, pp.887-890 (2014)
- (8) A. Halder and A. Chatterjee: “Low-Cost Alternate EVM Test for Wireless Receiver Systems”, IEEE VLSI Test Symposium, Palm Springs, CA (2005)
- (9) K. Asami, T. Shimura, and T. Kurihara: “Novel Estimation Method of EVM with Channel Correction for Linear Impairments in Multi-Standard RF Transceivers”, IEEE VLSI Test Symposium, Berkeley, CA (2013)
- (10) T. Iwasaki: “The Solution of Testing Milli-Meter-Wave ICs (76 to 81 GHz) Without Expensive Instruments”, IEEE VLSI Test Symposium, San Diego, CA (2020)
- (11) M. Ince, E. Yilmaz, J. W. Jeong, L. Winemberg, and S. Ozev: “Evaluation of Loop Transfer Function Based Dynamic Testing of LDOs”, IEEE International Test Conference in Asia, Taipei, Taiwan (2017)
- (12) H. Okawara: “Elegant Construction of SSC Implemented Signal by AWG and Organized Under-Sample of Wideband Signal”, IEEE International Test Conference, Anaheim, CA (2011)
- (13) M. Ishida, K. Ichiyama, D. Watanabe, M. Kawabata, and T. Okayasu: “Real-Time Method for 16 Gbps 4-PAM Signal Interface”, IEEE International Test Conference, Anaheim, CA (2012)
- (14) M. Zhu, J. Li, W. Wang, and D. Chen: “A Built-In Self-Test Method for MEMS Piezoresistive Sensor”, IEEE European Test Conference, Tallinn, Estonia (2020)
- (15) P. Maxwell: “Test for Low Cost CMOS Image Sensors”, IEEE European Test Symposium, Tallinn, Estonia (2005)
- (16) B. Esen, A. Coyette, N. Xama, W. Dobbelaere, and R. Vanhooren: “Non-intrusive Detection of Defects in Mixed-Signal Integrated Circuits Using Light Activation”, IEEE International Test Conference, Fort Worth, TX (2017)

- (17) S. Sunter : "Efficient Analog Defect Simulation", IEEE International Test Conference, Washington DC (2019)
- (18) S. Sunter and P. Sarson : "A/MS Benchmark Circuits for Comparing Fault Simulation, DFT and Test Generation Methods", IEEE International Test Conference, Fort Worth, TX (2017)
- (19) S. Sunter : "Analog Fault Simulation - a Hot Topic!", IEEE European Test Conference, Tallinn, Estonia (2020)
- (20) IEEE Standards Association : P2427 - Standard for Analog Defect Modeling and Coverage <https://standards.ieee.org/project/2427.html>
- (21) A. Coyette, W. Dobbelaere, R. Vanhooren, N. Xama, J. Gomez, G. Giele, R. Vanhooren, N. Xama, J. Gomiezy, and G. Gielen : "Latent Defect Screening with Visually-Enhanced Dynamic Part Average Testing", IEEE European Test Conference, Tallinn, Estonia (2020)
- (22) N. Xama, J. Raymaekers, M. Andraud, J. Gomez, W. Dobbelaere, R. Vanhooren, A. Coyette, and G. Gielen : "Avoiding Mixed-Signal Field Returns by Outlier Detection of Hard-to-Detect Defects based on Multivariate Statistics", IEEE European Test Conference, Tallinn, Estonia (2020)
- (23) B. Dufort and G. W. Roberts : *Analog Test Signal Generation Using Periodic Sigma-Delta-Encoded Data Streams*, Kluwer Academic Publishers, Norwell, MA (2000)
- (24) G. Roberts and M. Ali-Bakhshian : "A Brief Introduction to Time-to-Digital and Digital-to-Time Converters", IEEE Trans. Circuits and Systems II: Express Briefs, Vol.57, No.3, pp.153-157 (2010)
- (25) J. M. Salem and D. S. Ha : "Dual Use of Power Lines for Design-for-Testability—A CMOS Receiver Design", IEEE Transactions on Very Large Scale Integration Systems, Vol.24, No.3, pp.1118-1125 (2016)
- (26) W. C. Chung and D. S. Ha : "A New Approach for Massive Parallel Scan Design", IEEE International Test Conference, Austin, TX (2005)
- (27) K. Arabi and B. Kaminska : "Oscillation Built-In Self-Test Scheme for Functional and Structural Testing of Analog and Mixed-Signal Integrated Circuits", IEEE International Test Conference, Washington DC (1997)
- (28) Y. Kobayashi, T. Arafune, S. Shibuya, H. Kobayashi, and H. Arai : "Redundant SAR ADC Algorithms for Reliability Based on Number Theory", IEEE International Workshop on Automotive Reliability & Test-ART Workshop, Fort Worth, TX (2016)
- (29) M. A. B. M. Yusof, N. Tsukiji, Y. Kabori, A. Kuwana, and H. Kobayashi : "A Study on Loop Gain Measurement Method Using Output Impedances in Operational Amplifier", Journal of Technology and Social Science, Vol.2, No.3, pp.19-28 (2018)
- (30) Y. Yoshida, K. Nose, Y. Nakagawa, K. Noguchi, Y. Morita, M. Tago, T. Kuroda, and M. Mizuno : "Wireless DC Voltage Transmission Using Inductive-Coupling Channel for Highly-Parallel Wafer-Level Testing", IEEE International Solid-State Circuits Conference, San Francisco, CA (2009)
- (31) Y. Sasaki, Y. Zhao, A. Kuwana, and H. Kobayashi : "Highly Efficient Waveform Acquisition Condition in Equivalent-Time Sampling System", IEEE Asian Test Symposium, Hefei, Anhui, China (2018)
- (32) 佐々木優斗・山本修平・桑名杏奈・小林春夫 : 「貴金属比を用いた等価時間サンプリングでの高効率波形取得条件の検討」, 第10回電学栃木・群馬支所合同研究発表会, 前橋 (2020)
- (33) M. Kimura, A. Minegishi, K. Kobayashi, and H. Kobayashi : "A New Coherent Sampling System with a Triggered Time Interpolation", IEICE Trans. Fundamentals, Vol.E84-A, No.3, pp.713-719 (2001)
- (34) M. Kimura, K. Kobayashi, and H. Kobayashi : "A Quasi-Coherent Sampling Method for Wideband Data Acquisition", IEICE Trans. Fundamentals, Vol.E85-A, No.4, pp.757-763 (2002)
- (35) H.-G. Stratigopoulos and S. Mir : "Adaptive Alternate Analog Test", IEEE Design & Test of Computers, Vol.29, No.4 (2012)
- (36) R. Aoki, S. Katayama, Y. Sasaki, K. Machida, T. Nakatani, J. Wang, A. Kuwana, K. Hatayama, H. Kobayashi, K. Sato, T. Ishida, T. Okamoto, and T. Ichikawa : "Evaluation of Null Method for Operational Amplifier Short-Time Testing", IEEE International Conference on ASIC, Chongqing, China (2019)
- (37) Y. Sasaki, K. Machida, R. Aoki, S. Katayama, T. Nakatani, J. Wang, K. Sato, T. Ishida, T. Okamoto, T. Ichikawa, A. Kuwana, K. Hatayama, and H. Kobayashi : "Accurate and Fast Testing Technique of Operational Amplifier DC Offset Voltage in μV -order by DC-AC Conversion", IEEE International Test Conference in Asia, Tokyo (2019)
- (38) 荻原 岳・片山翔吾・青木里穂・中谷隆之・佐藤賢央・石田 嵩・岡本智之・市川 保・王 建龍・桑名杏奈・畠山一実・小林春夫 : 「オペアンプ AC 特性の FFT 法による高速試験」, 電学電子回路研, ECT-019-116, 東京 (2019)
- (39) T. Ogawa, H. Kobayashi, S. Uemori, Y. Tan, S. Ito, N. Takai, T. J. Yamaguchi, and K. Nitsu : "Design for Testability That Reduces Linearity Testing Time of SAR ADCs", IEICE Trans. on Electronics, Vol.E 94-C, No.6, pp.1061-1064 (2011)
- (40) J.-L. Wei, N. Kushita, T. Arai, L. Sha, A. Kuwana, H. Kobayashi, T. Nakatani, K. Hatayama, K. Sato, T. Ishida, T. Okamoto, and T. Ichikawa : "High-Resolution Low-Sampling-Rate $\Delta\Sigma$ ADC Linearity Short-Time Testing Algorithm", IEEE International Conference on ASIC, Chongqing, China (2019)
- (41) H. Kobayashi, K. Kobayashi, H. Sakayori, and Y. Kimura : "ADC Standard and Testing in Japanese Industry", Computer Standards & Interfaces, Elsevier Publishers, Vol.23, pp.57-64 (2001)
- (42) A. V. Oppenheim and R. W. Schaefer : *Digital Signal Processing*, Prentice-Hall (1986)
- (43) 田部井誠・上田光宏 : 「FFT を用いた高精度周波数決定法」, 信学論 A, Vol.J70-A, No.5, pp.798-805 (1987)
- (44) 本木義人・菅原秀武・小林春夫・小室貴紀・酒寄 寛「通信用 ADC テスト評価のためのマルチトーン・カーブ・フィッティング・アルゴリズム」, 信学論 C, Vol.J86-C, No.2, pp.186-196 (2003)
- (45) 小澤祐喜・桑名杏奈・浅見幸司・小林春夫 : 「マルチトーン入力 ADC ヒストグラム法での線形性試験」, 平成 30 年度第 9 回電学東京支部栃木・群馬支所 合同研究発表会 小山高専 (2019)
- (46) S. Uemori, T. J. Yamaguchi, S. Ito, Y. Tan, H. Kobayashi, N. Takai, K. Niitsu, and N. Ishikawa : "ADC Linearity Test Signal Generation Algorithm", IEEE Asia Pacific Conference on Circuits and Systems, Kuala Lumpur, Malaysia (2010)
- (47) Y. Zhao, Y. Du, Y. Ozawa, Y. Sasaki, A. Kuwana, H. Kobayashi, T. Nakatani, K. Hatayama, K. Sato, T. Ishida, T. Okamoto, and T. Ichikawa : "Examination of ADC Histogram Test Time Reduction Method", 3rd International Conference on Technology and Social Science, Kiryu, Japan (2019)
- (48) H. Kobayashi, K. Kobayashi, M. Morimura, Y. Onaya, Y. Takahashi, K. Enomoto, and H. Kogure : "Sampling Jitter and Finite Aperture Time Effects in Wideband Data Acquisition Systems", IEICE Trans. Fundamentals, Vol.E85-A, No.2 (2002)
- (49) N. Hayasaka and H. Kobayashi : "Input-Dependent Sampling-Time Error Effects in MOS Samplers", IEICE Trans. on Electronics, E87-C, No.6, pp.1015-1021 (2004)
- (50) 上森将文・小林謙介・光野正志・清水一也・小林春夫・戸張 勉 : 「広帯域高精度サンプリング技術」, 信学誌 C, Vol.J90-C, No.9, pp.625-633 (2007)
- (51) M. Arai, I. Shimizu, H. Kobayashi, K. Kurihara, S. Sasaki, S. Shibuya, K. Niitsu, and K. Kubo : "Finite Aperture Time Effects in Sampling Circuit", IEEE International Conference on ASIC, Chengdu, China (2015)
- (52) Y. Abe, S. Katayama, C. Li, A. Kuwana, and H. Kobayashi : "Frequency Estimation Sampling Circuit Using Analog Hilbert Filter and Residue Number System", IEEE International Conference on ASIC, Chongqing, China (2019)
- (53) N. Kurosawa, H. Kobayashi, K. Maruyama, H. Sugawara, and K. Kobayashi : "Explicit Analysis of Channel Mismatch Effects in Time-Interleaved ADC Systems", IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications, Vol.48, No.3, pp.261-271 (2001)
- (54) K. Asami, H. Suzuki, H. Miyajima, T. Taura, and H. Kobayashi : "Technique to Improve the Performance of Time-Interleaved A-D Converters with Mismatches of Non-linearity", IEICE Trans. Fundamentals, Vol.E92-A, No.2, pp.374-380 (2009)
- (55) R. Yi, M. Wu, K. Asami, H. Kobayashi, R. Khatami, A. Katayama, I. Shimizu, and K. Katoh : "Digital Compensation for Timing Mismatches in Interleaved ADCs", IEEE Asian Test Symposium, Yilan, Taiwan (2013)
- (56) K. Asami, H. Miyajima, T. Kurosawa, T. Tateiwa, and H. Kobayashi : "Timing Skew Compensation Technique using Digital Filter with Novel Linear Phase Condition", IEEE International Test Conference, Austin, TX (2010)
- (57) P. Pupalais : "Digital Bandwidth Interleaving", LeCroy Technical Brief (2010)
- (58) P. J. Pupalais, B. Yamrone, R. Delbue, A. S. Khanna, K. Doshi, B. Bhat, and A. Sureka : "Technologies for Very High Bandwidth Real-time Oscilloscopes", IEEE Bipolar/BiCMOS Circuits and Technology Meeting,

- Coronado, CA (2014)
- (59) K. Asami, K. Kusunoki, N. Shimizu, and Y. Aoki : "Ultra-Wideband Modulation Signal Measurement Using Local Sweep Digitizing Method", IEEE VLSI Test Symposium, San Diego, CA (2020)
- (60) T. Komuro, N. Hayasaka, H. Kobayashi, and H. Sakayori : "A Practical Analog BIST Cooperated with an LSI Tester", IEICE Trans. Fundamentals, Vol.E89-A, No.2, pp.465-468 (2006)
- (61) F. Abe, Y. Kobayashi, K. Sawada, K. Kato, O. Kobayashi, and H. Kobayashi : "Low-Distortion Signal Generation for ADC Testing", IEEE International Test Conference, Seattle, WA (2014)
- (62) P. Sarson, T. Yanagida, S. Shibuya, K. Machida, and H. Kobayashi : "A Distortion Shaping Technique to Equalize Intermodulation Distortion Performance of Interpolating Arbitrary Waveform Generators in Automated Test Equipment", Journal of Electronic Testing, Springer, Vol.34, Issue 3, pp.215-232 (2018)
- (63) K. Kato, F. Abe, K. Wakabayashi, C. Gao, T. Yamada, H. Kobayashi, O. Kobayashi, and K. Niitsu : "Two-Tone Signal Generation for ADC Testing", IEICE Trans. on Electronics, Vol.E96-C, No.6, pp.850-858 (2013)
- (64) M. Kawabata, K. Asami, S. Shibuya, T. Yanagida, and H. Kobayashi : "Low-Distortion Signal Generation for Analog/Mixed-Signal Circuit Testing Using Digital ATE", IEEE International Test Conference in Asia, Taipei, Taiwan (2017)
- (65) T. Komuro, S. Sobukawa, H. Sakayori, M. Kono, and H. Kobayashi : "Total Harmonic Distortion Measurement System for Electronic Devices up to 100MHz with Remarkable Sensitivity", IEEE Trans. on Instrumentation and Measurement, Vol.56, No.6, pp.2360-2368 (2007)
- (66) 柴崎有祈子・浅見幸司・桑名杏奈・小林春夫 : 「クレストファクタ低減アルゴリズムの共通性の解析」, 第10回 電学栃木・群馬支所合同研究発表会, 前橋 (2020)
- (67) 柴崎有祈子・浅見幸司・桑名杏奈・小林春夫 : 「マルチトーン信号クレストファクタ制御方式の検討」, 第10回 電学栃木・群馬支所合同研究発表会, 前橋 (2020)
- (68) Y. Shibasaki, K. Asami, A. Kuwana, K. Machida, Y. Du, A. Hatta, K. Kubo, and H. Kobayashi : "Crest Factor Controlled Multi-Tone Signals for Analog/Mixed-Signal IC Testing", IEEE International Test Conference in Asia, Tokyo (2019)
- (69) M. Murakami, H. Kobayashi, S. N. B. Mohyar, O. Kobayashi, T. Miki, and J. Kojima : "I-Q Signal Generation Techniques for Communication IC Testing and ATE Systems", IEEE International Test Conference, Fort Worth, TX (2016)
- (70) K. Asami, N. Kushita, A. Hatta, M. T. Tran, Y. Tamura, A. Kuwana, and H. Kobayashi : "Analysis and Evaluation Method of RC Polypulse Filter", IEEE International Conference on ASIC, Chongqing, China (2019)
- (71) Y. Ozawa, T. Ida, S. Sakurai, R. Jiang, R. Takahashi, H. Kobayashi, and R. Shiota : "SAR TDC Architecture for One-shot Timing Measurement", IEEE International Symposium on Intelligent Signal Processing and Communication Systems, Xiamen, China (2017)
- (72) C. Li and H. Kobayashi : "A Glitch-Free Time-to-Digital Converter Architecture Based on Gray Code", 電学論 C, Vol.136, No.1 (2016)
- (73) C. Li, J. Wang, H. Kobayashi, and R. Shiota : "Stochastic TDC Architecture with Self-Calibration and its RTL Verification", 電学論 C, Vol.137, No.2, pp.335-341 (2017)
- (74) S. Kikuchi, H. Yotsuyanagi, and M. Hashizume : "On Delay Measurement Under Delay Variations in Boundary Scan Circuit with Embedded TDC", IEEE International Test Conference in Asia, Tokyo (2019)
- (75) Y. Miyake, S. Kajihara, and P. Chen : "On-Chip Test Clock Validation Using a Time-to-Digital Converter in FPGAs", IEEE International Test Conference in Asia, Tokyo (2019)
- (76) S. Uemori, M. Ishii, H. Kobayashi, D. Hirabayashi, Y. Arakawa, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, Y. Yano, T. Gake, T. J. Yamaguchi, and N. Takai : "Multi-bit Sigma-Delta TDC Architecture with Improved Linearity", Journal of Electronic Testing : Theory and Applications, Springer, Vol.29, Issue 6, pp.879-892 (2013)
- (77) H. Kobayashi, K. Machida, Y. Sasaki, Y. Osawa, P. Zhang, L. Sha, Y. Ozawa, and A. Kuwana : "Fine Time Resolution TDC Architectures-Integral and Delta-Sigma Types", IEEE International Conference on ASIC, Chongqing, China (2019)
- (78) Y. Osawa, D. Hirabayashi, N. Harigai, H. Kobayashi, K. Niitsu, and O. Kobayashi : "Phase Noise Measurement Techniques Using Delta-Sigma TDC", IEEE International Mixed-Signals, Sensors and Systems Test Workshop, Porto Alegre, Brazil (2014)
- (79) T. Chujo, D. Hirabayashi, T. Arafune, S. Shibuya, S. Sasaki, H. Kobayashi, M. Tsuji, R. Shiota, M. Watanabe, N. Dobashi, S. Umeda, H. Nakamura, and K. Sato : "Timing Measurement BOST With Multi-bit Delta-Sigma TDC", IEEE International Mixed-Signal Testing Workshop, Paris, France (2015)
- (80) K. Niitsu, M. Sakurai, N. Harigai, T. J. Yamaguchi, and H. Kobayashi : "CMOS Circuits to Measure Timing Jitter Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation", IEEE Journal of Solid-State Circuits, Vol.47, No.11, pp.2701-2710 (2012)
- (81) N. Tsukiji, Y. Kobori, and H. Kobayashi : "A Study on Loop Gain Measurement Method Using Output Impedance in DC-DC Buck Converter", IEICE Trans. Communications, Vol.E101-B, No.9, pp.1940-1948 (2018)
- (82) A. Antonopoulos, C. Kapatsori, and Y. Makris : "Security and Trust in the Analog/Mixed-Signal/RF Domain: A Survey and a Perspective", IEEE European Test Symposium, Kimassol, Cyprus (2017)
- (83) M. Elshamy, G. Di Natale, A. Pavlidis, M.-M. Louerat, and H. Stratigopoulos : "Hardware Trojan Attacks in Analog/Mixed-Signal ICs via the Test Access Mechanism", IEEE European Test Symposium, Tallinn, Estonia (2020)
- (84) K. Chakrabarty and M. Tahoori : "Machine Learning for Reliability of ICs and Systems", IEEE International Test Conference in Asia, Tutorial, Tokyo (2019)
- (85) Y. Gendai : "The Maximum-Likelihood Noise Magnitude Estimation in ADC Linearity Measurements", IEEE Transactions on Instrumentation and Measurement, Vol.59, No.7, pp.1746-1754 (2010)
- (86) Y. Gendai and A. Matsuzawa : "A Specific Distortion Pattern of Flash ADCs Identified by Discriminating Time-Domain Analysis", IEEE Transactions on Instrumentation and Measurement, Vol.61, No.2, pp.316-325 (2012)
- (87) M. Sugawara, Z. Xu, and A. Matsuzawa : "Physical-Weight-Based Measurement Methodology Suppressing Noise or Reducing Test Time for High-Resolution Low-Speed ADCs", IEICE Transaction on Electronics, Vol.E100-C, No.6, pp.576-583 (2017)
- (88) T. Chen, X. Jin, R. Geiger, and D. Chen : "USER-SMILE: Ultrafast Stimulus Error Removal and Segmented Model Identification of Linearity Errors for ADC Built-in Self-test", IEEE Trans. on Circuit and Systems I, Vol.65, No.7, pp.2059-2069 (2018)

小林春夫



(正員) 1980年3月東京大学・工・計数工学卒業, 1982年3月同大学大学院修士課程修了, 1989年UCLA電気工学・修士課程修了。横河電機勤務を経て, 現在, 群馬大学大学院理工学部電子情報部門教授。アナログ/ミクスドシグナルLSIの設計・テスト容易化, 電源回路, 信号処理アルゴリズムの研究教育に従事。平成14年度横山科学技術賞受賞。工博(早稲田大学)。

桑名杏奈



(正員) 2006年3月お茶の水女子大学理学部情報科学科卒業, 2007年9月同大学大学院修士課程修了。2011年9月同大学大学院にて論文にて博士号取得(博士(理学))。お茶の水女子大学講師等を経て, 現在, 群馬大学大学院理工学部電子情報部門助教。専門は数値流体力学。

魏江林



(非会員) 2015年6月中国宜宾学院物理電子工学部卒業。2019年9月群馬大学大学院博士前期課程修了(電子情報・数理分野)。現在, 同博士後期課程在学中。

築地 伸和



（非会員）2006年3月電気通信大学電気通信学部電子工学科卒業。2010年3月同大学大学院博士前期課程修了。同年4月からローム（株）にて電源IC設計開発に従事，2014年1月同社を退職。2014年4月から群馬大学大学院博士後期課程に在籍し，2018年4月同大学大学院にて博士号取得（理工学）。日本テキサス・インスツルメンツ勤務を経て，現在，群馬工業高等専門学校電子情報工学科助教。電源回路，アナログ半導体集積回路，半導体デバイスモデリングの研究教育に従事。IEEE ASICON 2015 Excellent Student Paper Award, IEEE ICSICT 2016 Excellent Student Paper Award, TJCAS 2016 Best Technical Paper Award 受賞。

趙 宇杰



（非会員）2017年7月中国長春理工大学光電工程学院卒業。2020年3月群馬大学大学院博士前期課程修了（電子情報・数理分野）。現在，同博士後期課程在学中。