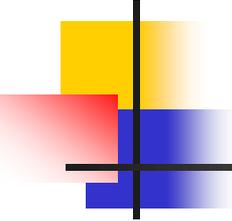


2021年7月19日(月)



計測制御工学 第14回講義

時間デジタル変換回路

小林春夫

群馬大学大学院理工学府 電子情報部門

koba@gunma-u.ac.jp

下記から講義使用 pdfファイルをダウンロードしてください。

出席・講義感想もここから入力してください。

<https://kobaweb.ei.st.gunma-u.ac.jp/lecture/lecture.html> ₁

特許に関して

Doing things differently is easy. But doing things better is hard! (Thomas Edison)

群馬大学 小林春夫

特許制度 「発明を公開する代償として独占権を付与する制度」

中世 ベニス(イタリア)で生まれ イギリスで発展した制度

- 発明者： 発明を公開する代わりに「報償」(独占権)を受ける
- 産業界： 公開された発明・技術をもとに産業が発展
→ 両方が利益を得る

GRIP 知財ニュース 2006 年度号

研究者からの提言



研究教育活動と特許出願 — 特許は自分に未知の世界、それゆえ出願が魅力 —

工学部電気電子工学科 教授 小林 春夫

私は10年前に群馬大学に着任以来、毎年数件ずつ特許出願を行うよう心がけている。

理由の一つは企業との共同研究の研究成果としてのアピールのためである。もう一つは学生への教育のためである。出願したい内容の説明の弁理士さんへの説明・打ち合わせには初回は私も参加するが、2回目からは研究を担当している学生達だけにまかせる。また明細書のチェックも学生達に行わせる。

このような経験を積ませることで、どのような内容なら特許出願できるか、特許出願とはどういうものかを実践により理解させる。卒業後企業で働くときにすぐ役立つ経験になるだけでなく、早くから特許に関心をもつことで、ある年代に達したときに(弁理士として独立する等)特許関係で身を立てることも職業選択肢の一つになり得よう。

また彼らの研究分野の特許検索を行わせるが、これは研究の方向性を決めるのにきわめて有用である。

特許出願が100件を越えて内容も優れているという傑出した技術者・研究者の方が世の中にはたくさんおられ、どのようにしたらあのように特許出願できるか、少しでも近づきたいと常々思っている。

論文・学会発表だけで特許出願をしなければ、企業の特にハードウェア技術者になかなか認めてもらえないという経験をしている。また、よい特許とは何かということや、特許・知的財産の社会的・産業的意義について関心をもっているが、時代により変化するようであり、また様々な立場の人がいろいろなことを言っている。

知的財産に関係した報道にも注意を払っている。すなわち特許・知的財産は私にとってまだまだ理解できていないことが多いので、少しでも理解したい、そのためには自分でも特許出願をしていきたいということが毎年数件ではあるが出願をしていくモチベーションとなっている。

2020年3月4日

20年前のナポリ大学との交流記

2000年3月 海外研究開発動向調査派遣（欧州大学訪問）

電気電子工学科 小林春夫

1. はじめに

「エレクトロニクス分野の研究開発では米国に目が行きがちであるが、欧州からも良い研究が生まれている」「西洋文明発祥の地の欧州からはときどき全く新しい技術が生まれるので目が離せない」ということをよく耳にする。筆者は米国の西海岸に3年間いたことがあるが、今度は欧州のエレクトロニクスを学びたいと思っていたところ、ナポリ大学の Arpaia 助教授から論文を投稿してくれ との手紙をもらった。そこでそのつてを頼りに今回の2000年3月4日—26日の約3週間での欧州の電子計測技術・アナログ集積回路設計の分野の大学訪問を実現させた。

2. ナポリ大学（University of Napoli, Federico II, 南イタリア）

ナポリは南イタリアの中心都市として栄えてきたが、このナポリ大学はゲルマン系の神聖ローマ帝国フェデリコ2世が15世紀に設立したヨーロッパ最古の大学の一つで、イタリアではローマ大学、ミラノ大学に続いて3番目の規模の大学である。この電子計測工学分野の Arpaia 助教授を訪ねた。

このグループは Cennamo 教授が研究上のリーダーで、「科学上の豊富なアイデアを持ち、グループのメンバーの面倒見がよく、予算や政治的な駆け引きには疎い、真の科学者」（Arpaia 助教授）である。Cennamo 教授は計測システムを Web に接続し、インターネットで制御・観測できるシステム（Remote Measurement System based on Network）の研究を南イタリアの他大学（カラボリア大学、サンニョ大学等）と協力して立ち上げ、この研究はまもなく国家プロジェクトになるとのことである（これは「欧州からの新しい技術」ではないか）。超高速に信号波形を取り込むための Tektronics 社のスキャン・コンバータの特性補償の研究でも成果を上げてきた。Arpaia 助教授は AD 変換器の測定・評価・モデリング技術、計測分野での品質管理・パラメータ最適化法（Taguchi Method の応用）、各種センサの特性補償等の研究を行っている。Taguchi Method の創始者 田口玄一氏は群馬大工学部の前身の桐生高専の出身と伝えると大喜びしていた。

米国や欧州各国の研究者と共同研究を行っており、学生をあちこちに送り込みまた自分のところにも受け入れている。例えば $\Delta \Sigma$ AD 変換器の特性補償アルゴリズムを米国の Rhode Island 大学と共同で開発している。

長老の Langella 教授は「工学の研究は理論だけでなく実験で検証されなければならない」という考えを持っている。D'Apuzzo 教授はクロックのジッタ・位相ノイズの計測技術、テレコム用計測システムの研究を行っている。

ナポリ大学の電気工学科では修士課程卒業まで最短で5年であるが実際は平均8年かかり、また入学者が卒業できる割合が4—5人に1人であるので、少し制度を変更しようとしているとのことである。大学教授は相当激しく仕事をしている。

Arpaia 助教授の家に何度も招待していただき、また休日はご家族とナポリ市内やポンペイ遺跡の観光に連れて行っていただいた。イタリアではローマ・カソリックに基づいて家族を大事にし、母親の存在感が強い母系社会であることが感じられた。ナポリの中心のビルは日本人により設計され、ベスビオス火山近辺の住民の避難方法は日本の都市工学者と共同研究されている等、建築・土木関係ではナポリと日本とは交流がある。南イタリアでは朝は9時くらいから仕事が始まるので朝食は7—8時くらいであるが、昼食は14時、夕食は20時半くらいからで、食事の時間は日本と大きく異なる。また、南・北を問わずイタリアでは英語は大学では大体通じるが、町中では5人に1人程度である。なお群馬大 SVBL で Arpaia 助教授を2000年7月から1ヶ月間招聘予定である。

3. イタリア 空軍学校 (Italian Air Force of Academy, 南イタリア)

ナポリ湾の岬の突端のプツオりにイタリア空軍学校があり、ナポリ大学の Cennamo 教授はこの教授（電子計測分野担当）も兼任しており、ご厚意により連れて行っていただいた。Cennamo 教授のお父さんが物理学者としてこの学校に多大な貢献があったとのことで、その名前が掲げられている研究室が残っている。この学校は定員130人のところ入学志願者は男子6千人、女子7千人と大変な競争率であり、入学後もパイロットのコースで卒業できるのは約半数とのことである。また一部ナポリ大との単位互換も行っている。航空機のエンジンや電子計測器等の教育設備が充実していた。ここでは教育だけでなく研究も行っているらしいが、(当然のことであろうが)説明・見学は教育機関としての内容で研究機関としてのものは一切なかったが、将校の方々が時間をとって説明してくれ最大限の歓迎をしてくれた。

4. サンニョ大学、サレルノ大学 (University of Sannio, University of Salerno,

南イタリア)

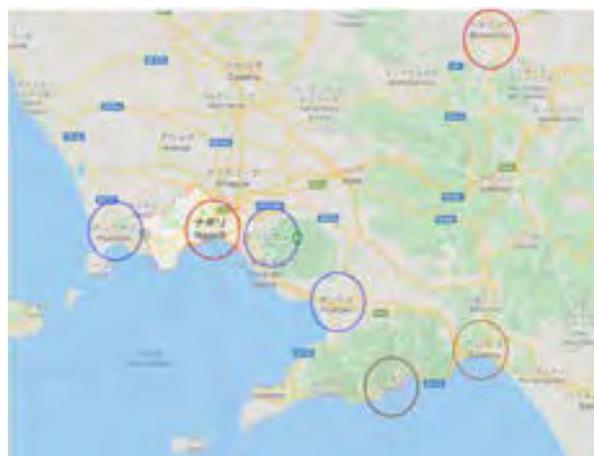
ナポリからバスで内陸に向かって約1時間行くと、古代ローマ遺跡が点在する一方近代的で閑静な町ベネベントに着く。そのサンニョ大学はサレルノ大学の一部が分離・独立したもので、そのコンピュータ・サイエンス学科の Daponte 教授を訪ねた。教授には99年6月に日本での学会(IMEKO)の際に群馬大 SVBL に招待し講演をしていただいている。またナポリ大の Cennamo 教授の卒業生でこのグループと密接に交流して研究を行っている。

Daponte 教授は電子計測出身、現在がコンピュータ・サイエンス学科にいたので周囲にソフトウェアの専門家が多い、欧州でテレコム技術・産業が急速に伸びているということ为背景に、テレコム用信号処理アルゴリズム、AD/DA 変換器モデリング技術、電力品質解析システム、インターネットを用いた分散計測システムの研究を行っている。「AD/DA 変換器技術では、これからテレコム用の (i) AD 変換器とトランスミッションを 組み合わせたシステム、(ii) DA 変換器、(iii)画像デジタイザ、のモデリング とキャラクター化が重要だ。AD/DA 変換器をどう作るかの研究は多いが、これらのモデリングの研究はほとんどなされていない」、「テレコミュニケーション技術、インフォメーション・テクノロジーは我々の未来である。現在 欧州はこの分野の研究をするのに最も適している」と力説している。

Daponte 教授と品質管理・電子計測分野でつながりがある FINMEK グループの PBA 社のエレクトロニクス工場を見学させてもらった。「南イタリアにエレクトロニクス工場はまだ少ないが我々のマイクロ・エレクトロニクスの実力を見て欲しい」とのことで、高品質・高技術 の印象を受けた。「この工場の品質管理にシックス・シグマ (6 σ) 法の導入を検討している。」最新の設備が導入されて自動化されている一方、一部人手による部分も残されており、これは「完全に自動化すると従業員の職を奪ってしまうため」とのことだ。またサレルノ大学も(学生に)案内してもらった。「これから群馬大、日本と交流を深めていきたいので、我々の全てを見て欲しい」とのことである。Daponte 教授は国際交流に力を入れ始めており、現在2人の外国人研究者を受け入れている。その一人のスロバキアからの Saliga 助教授は「非常に良くしてもらっている」と言っている。また学生を卒業研究のため各地の企業 (Nokia, Ericsson, Alcatel 社等) に送り込んで共同研究をしているとのことだ。

教授は海岸線の美しいアマルフィ・コーストのミノリ市に住んでいるので、そのホテルに1泊した。この地にはクリントン大統領夫妻やハリウッド・スター等が保養にく

ることもあるそうだ。その昔アフリカのサラセン帝国の海賊船の攻撃に対抗するために作った灯台や城壁などが残されている。南イタリアは統一王朝がなかったためフランス、ゲルマン、スペイン等何度も支配者が代わったとのことである。



4. カラボリア大学 (University of Calabria, 南イタリア)

ナポリから南に電車で約2時間、イタリア半島の最南端近くのコゼンツァは古代ローマ遺跡が残り、ピタゴラスやタレス等の哲学者が輩出したことで知られる。Arpaia 助教授からの紹介で、このカラボリア大学の Grimaldi 教授を訪ねた。カラボリア大学は比較的新しい大学で、米国のキャンパスをモデルにした近代的な建物からなり学生数は約2万人でイタリアでは中規模の大学である。Grimaldi 教授は Cennamo 教授の卒業生で、ナポリ大学グループと共同でインターネットを用いた分散計測システム、トランスデューサの特性補償、信号処理アルゴリズムの研究をしている。南イタリアにはエレクトロニクス産業はほとんどなく、大学にも半導体デバイスのような分野はないがソフトウェア産業は盛んということである。

イタリアにはいわゆる南北問題があり、失業率は北は5%に対し南は25%程度と聞かされるとその数字だけでは驚くが、訪れた南イタリアの町はいずれもきれいで近代的な建物が立ち並び郊外的高速道路も立派であり、また医療費・教育費はほとんど無償とのことで、この数字が社会の実態をあらわしているわけでもないと思う。

6. パビア大学 (University of Pavia, 北イタリア)

パビアはミラノの少し南に位置し、欧州で(独、英と比べても)最も経済的に繁栄している地である。このパビア大学は18—19世紀に電池の発明者のボルタ(Volta)が教鞭をとったところであり、構内にボルタの像が残っている。アナログ集積回路の研究グループはイタリアでは少ないが、パビア大学はこの分野で世界的にレベルが高く、Maloberti 教授の率いる集積マイクロ・システム研究グループ、Castello 教授のマイクロ・エレクトロニクス研究グループ、Manfredi 教授の電子計測研究グループとがある。今回は Maloberti 教授グループの Malcovati 助教授にコンタクトした。Maloberti 教授グループではセンサ・インターフェース回路、低電圧 $\Delta\Sigma$ AD変換器(変調器、デジタル・フィルタ、モデリング)、フラッシュ・メモリ、光センサチップ、AD変換器線形性補正アルゴリズム、アナログ回路へのデジタル回路からの基板ノイズ、低電圧バンドギャップ参照電圧発生回路等の研究開発をしている。またここで開発した補聴器用ICはそのまま製品になったとのことである。Castello 教授はアナログ・フィルタ回路で著名であるが現在はマイクロ波研究グループと協力しながらCMOS RF回路の研究に力を入れている。現在ほとんどの回路ブロックの設計・評価ができ、今後はそれを組み合わせたシステムを構築していくとのことだ。日本企業からもアクセスがある。電子計測グループは低ノイズ回路設計等の研究をしている。これらのグループからスピン・アウトして集積回路設計センター(ベンチャー企業)もできている。なお若い Malcovati 助教授は間違いなくこれらの分野の次の世代の世界的リーダーになっていくと思う。

パビア大学のこれらのグループはSGS-Thomson Microelectronics社(以下STM社)と密接な関係を持っている。パビア大と同社の共同研究プログラム(Studio Di Microelettronica)でパビア大のこの分野をバックアップし、学生の就職も同社に多く、同社から研究者も何人か来ており、フラッシュ・メモリの研究をしている Torelli 助教授も同社出身である。ミラノ近辺にはLSI Logic社、Maxim社等エレクトロニクス企業が多いとのことだ。

北イタリアのエレクトロニクス分野ではミラノ工科大学、トリノ工科大学がレベルが高いが(ミラノ工科大学の核物理実験用の低ノイズ高精度回路技術以外は)アナログ集積回路設計の研究グループはほとんどないとのことである。一方南イタリアのシシリア島のカタニアにSTM社の設計センターがあり、同地区の大学でSTM社と連携しアナログ集積回路研究室ができているとのことである。

休日にミラノのレオナルド・ダ・ビンチ科学博物館に遊んだ。この国のダ・ビンチ、ガリレオ、マルコニ、ボルタ等の人たちが新しい科学技術に挑戦し近代科学技術の基礎を築くのに大きく貢献したということを再認識させられた。



7. アインドホーベン工科大学 (Eindhoven University of Technology, オランダ)

アインドホーベンには Philip 社の発祥の地で研究所や多くの工場等があり地元の人は「Philip 社の都(Capital of Philips)」と呼んでいる。滞在したホテルには日本人ビジネスマンも多かった。この地のアインドホーベン工科大学はオランダの3つの工科大学の一つ（他は Delft と Twente）で近代的な大学であり、ここの Mixed-Signal Microelectronics グループの Roermund 教授を訪ねた。同グループでは 物理デバイスのグループ等と交流し、フラッシュ AD 変換器の新しい構成、バンドパス $\Delta \Sigma$ AD 変換器、基板ノイズ減少のため の自動レイアウトを行うアナログ LSI CAD、RF 回路、ナノ技術、ニューラル・ ネット LSI 等の研究を行っている。このグループの Vandamme 助教授は低周波ノイズ(1/f ノイズ)の研究を長年精力的に行っており、最近は LSI のワイヤ・ボンディングの接触の 信頼性診断に 1/f ノイズを用いることを提案している。また「デバイスからの 1/f ノイズの物理的発生メカニズム はまだ完全には解明されておらず、75年間未解決の問題である」と力説されていた。AD 変換器で著名な Plassche 教授は昨年 Broadcom 社に移籍された。

筆者は 1996 年にオランダのデルフト工科大学(Huijsing 教授)を訪れたことがあるが、ここでは DIMES (Delft Institute of Microelectronics and Submicron Technology)という研究施設で CMOS, Bipolar プロセスを持っており、チップ上にセンサも集積したスマート・センサ等の試作を行っていたのが印象的であった。またオペアンプ回路等では毎年のようにレベルの高い国際会議 (ISSCC 等) で発表している。

これらのオランダの工科大は (集積回路の分野だけに限らず) Philip 社と技術的に密接に交流しており、共同研究で LSI を Philip 社がファブrikateすることもしばしばあるとのことである。Roermund 教授は Philip 社研究所の出身であり、同社から博士課程に戻ってきた学生もおり、学生の就職も含めて人的交流も盛んであるようだ。これらの人達や大学はこの国の宝だという印象を受けた。

8. ルーア大学 (Ruhr University, Bochum, ドイツ)

ドイツで日本人が多いことで知られるデュッセルドルフから電車で約1時間、森に囲まれた閑静なボッヘムにドイツで6番目の規模のルーア大学がある。ここの Langmann 教授、Rein 教授、Schreiber 教授のグループは SiGe HBT の技術を中心に、超高速バイポーラ・アナログ回路技術で世界的に著名なグループで、「彼らの研究は技術ではなく芸術である」と評する人もいる。この Langmann 教授を訪ねた。

SiGe HBT はここ 2-3 年の間に半導体産業で急速に実用化が進みつつあるが、このグループはその将来性を見込んで 1990 年から取り組んできた。デバイス・プロセス担当の Schreiber 教授は「最初はトランジスタ単体も動作しなかったが、Si BJT にはない SiGe HBT 特有の問題を次々に解決し、現在まで大学の設備で $f_t=70\text{GHz}$, $f_{\text{max}}=70\text{GHz}$ の高速 SiGe HBTIC を実現している。IC のマスクも大学で作成できる。」回路担当の Langmann 教授、Rein 教授ではこの SiGe HBT でいくつかの通信用超高速 IC を実現している。またこの大学での SiGe HBT プロセスに限らず、産業界の SiGe HBT, Si BJT プロセスを用いて、クロック・リカバリ回路、ミキサ、VCO、高速光ファイバ伝送回路 2-5.8GHz 移動通信用回路、1GS/s 10b T/H 回路等の高速回路を研究開発してきている。研究室の高速回路の評価技術もレベルが高いとの印象を受けた。さらに Rein 教授は超高速バイポーラでは従来の SPICE モデルでは不十分なので独自にモデルを開発している。Langmann 教授は技術がバイポーラから CMOS に移ってきているので、CMOS 回路の研究として Vertical MOS のモデリングの研究を始めており、次に高速 MOS 用のモデリングにつなげていきたいとのことだ。

これらのグループは IBM 社、HP 社その他の企業との連携も密である。一方、オランダでも聞いたことだが、現在就職は極めて良いのにエレクトロニクス専攻を希望する学生が少ないのが悩みの種とのことだ。現在ドイツではこの分野の技術者が足りないので永住権を発行して外国人技術者を受け入れている。

9. スイス連邦工科大学 (ETH Zurich, スイス)

スイスの商工業の中心都市チューリヒは、2つの山に囲まれた谷に市街地が広がりその先が湖になっている美しい街である。その一方の山の中腹にスイス連邦工科大学があり、ここの Integrated Systems Lab の Huang 助教授を訪ねた。同助教授は博士課程の学生を 15 人もちアナログ集積回路設計グループを率いている。この他にテクノロジーCAD、プロセス・デバイス、集積回路システム設計・テストの研究グループがある。Huang 助教授は現在無線通信用集積回路設計の研究に最も力をいれている。具体的には $0.25\mu\text{m}$ CMOS GSM Transceiver, GSM 用 $\Delta\Sigma$ AD 変換器、第3世代 UMTS 用回路、ページャ

一、オンチップ・インダクタンスを用いた 1GHz LC 発振回路、1.57GHz GPS 回路（時計用）、水晶発振回路（時計用）、線形位相アナログ・フィルタ、スマート・パワー、センサ・インターフェース、SAR AD 変換器、OTA 回路の最適化設計等の研究を行ってきており、その幅広さおよびレベルの高さには驚かされる。日本の大学で CMOS RF 回路の研究をやっているところが全くないのは問題であろうと指摘されていた。

共同研究先は近くに Philip 社と時計メーカーがあるが、フランス、ドイツ等かなり離れたところまででかけなければならない、CMOS RF 回路（CMOS GSM Transceiver）の研究で日本メーカー（東芝）と 5 年間の共同研究を行い、研究成果は多くの学会で発表してきた、Lucent Technology 社・Rockwell 社とも連携しているとのことだ。Huang 助教授と話して感じたことは、研究テーマの選定に当たっては、自分の興味だけで決めるのではなく、今後のエレクトロニクス産業で重要になる分野を予想しそこに何が貢献できるかを強く意識しておられているようで、同助教授が世の中の動きに非常に鋭敏であるということである。

本格的な研究は博士課程の学生が担当しているが、修士課程でも教育目的でその研究の一部の集積回路を回路・レイアウト設計及び試作されたチップの評価をしている。欧州の大学での研究教育用に集積回路をファブrikateするファンドリは大学のプロセス、共同研究の企業、EuroPractice, AMS 社 等である。この大学のテクノロジーCADのグループからベンチャー企業（ISE）が設立されたが「まだ億万長者は生まれていない」とのことである。



10. おわりに

欧州の大学でも産学協同が推奨されてきており、シリコン・バレーのようにではないが、少しずつ大学からベンチャー企業が生まれている。現在欧州の経済は好調で修士卒で就職状況がよい、博士号取得者は産業界で 米国社会でほど評価されないということで博

士課程の学生の確保に苦勞している大学も多い。また、Daponte 教授の次の言葉が欧州の現状を表わしていよう。「2002年1月で通貨はイタリア・リラが廃止されユーロだけになる。そこ（サンニョ大学）にヨーロッパ・ユニオンとイタリアの2つの旗が掲げられているが、近い将来ヨーロッパ・ユニオンの1つの旗だけになり、ヨーロッパ・ユニオンが経済的・政治的に統合されヨーロッパがよりよい方向に進んでいくことを期待している。」

今回の欧州訪問後に日本を振り返ると、欧州に比べ日本には多くのエレクトロニクス・メーカーがあり日本の大学のエレクトロニクス専攻分野はもっとよりよい環境になり得るのではないかと、欧州一国から見ると日本は経済的だけではなく面積的にも人口的にも大国であるという思いを強くした。

今回の視察で大学を訪問して説明を受けただけでなく、筆者も5大学でセミナーを行い、こちらの研究も紹介し研究交流を深めた。南イタリアの大学等では日本を訪問したい人が多いので今後さらに交流が深まると思う。なお筆者は1996年にベルギーの Katholieke Universiteit Leuven (Steyaert 助教授)を訪問したが、ここと同地区にある産学協同の研究機関 IMEC もアナログ集積回路設計等のエレクトロニクス分野にて世界で最高レベルであることを付記しておく。

どの大学でも大変親切にしていた。また今回の海外派遣では事務の方々も含めまして 群馬大 SVBL 関係者に大変お世話になり、この場を借りてお礼を申し上げます。

以上、下記より

小林春夫、「海外研究開発動向調査派遣(欧州大学訪問)」、群馬大学サテライト・ベンチャー・ビジネス・ラボラトリー平成11年度年報、pp.154-160 (2000年6月)。

注:イタリアの地名

ナポリ (Napoli, Naples) は同じ都市を別の表記

ベニス(Venice) と ベネチア(Venezia) は同じ

ローマ(Roma, Rome)は同じ

フィレンツェ(Firenze)とフローレンス(Florence)は同じ

2016年7月22日

21st IEEE International Mixed-Signal Testing Workshop (IMSTW)

参加報告 (於 スペイン カタルニャ 2016年7月4日-6日)

群馬大学 理工学府 電子情報部門 小林春夫

IMSTW はアナログデジタル混載 IC のテスト技術に関するワークショップで、これまで米国(Santa Barbara)、台湾(台北)、ブラジル(Porto Algero)、フランス(Paris)で開催されたものに参加し、今回のスペイン開催のに5回目の参加である(累計10件の論文発表した)。<http://tima.imag.fr/conferences/imstw/imstw16/>

毎回30-50名の参加者であり、参加者が少ないワークショップも考え方によっては利点もあると感じている。

今回は 1st IEEE Federative Event on Design for Robustness (FEDfRo)と称して、22nd International On-Line Symposium
1st International Verification and Security Symposium
と合同開催であり、参加者は100人弱程度であった。
<http://tima.imag.fr/conferences/fedfro/fedfro16/>

いつもは日本人は筆者だけの場合が多いが、今回は3つのワークショップでの合同開催なので日本から何人かの参加があった。

合同でのパネルセッションで

DFT vs. Security – Is it a Contradiction? How Can We Get the Best of Both Worlds
が開催された。そこで、「Design for Test と Design for Security は相反する問題というが、工学では相反する課題を適切なバランスととって解決しようとするのは通常の問題である」という解釈が面白かった。

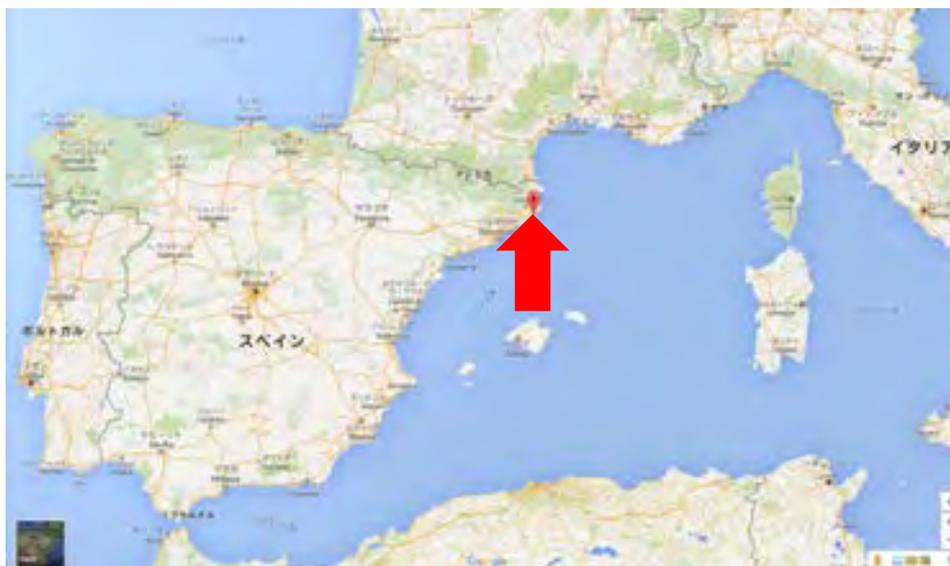
次の2件の発表を行い、1件の共著者になっている。

- [1] Congbing Li, Junshan Wang, Haruo Kobayashi, Ryoji Shiota, "Timing Measurement BOST Architecture with Full Digital Circuit and Self-Calibration Using Characteristics Variation Positively for Fine Time Resolution",
- [2] Richen Jiang, Congbing Li, Mingcong Yang, Haruo Kobayashi, Yuki Ozawa, Nobukazu Tsukiji, Mayu Hirano, Ryoji Shiota, Kazumi Hatayama, "Successive Approximation Time-to-Digital Converter with Vernier-level Resolution",

[3] (Invited) Peter Sarson, Haruo Kobayashi, "Using Distortion Shaping Technique to Equalize ADC THD Performance Between ATEs"

欧米では研究発表に対して日本とは反応が異なるように感じている。

ワークショップが開催されたスペイン カタルニャ州にはバルセロナ市がある。1992年のバルセロナオリンピック、建築家のアントニオ・ガウディ、画家のピカソやゴヤのゆかりの地として知られている。



帰りにオーストリアのグラーツ市にある機関を訪問した。20年位前に田舎の数百年前の古城(Castle)が売りに出されたのでそれを買取り、内部を改装してデザインセンターにしてまわりに半導体工場をつくったとのことである。古城についていた大きな池に工場排水を流し、その魚が活着しているということで有害物質は排出していないということを示していると説明していた。欧州にはこのように古城を改修して設計センターにということは他にもあるとのこと。

欧州の会社の文化は日本の会社と米国シリコンバレーの会社の間くらいであろう。半導体分野ではアナログ IDM (Integrated Device Manufacturing), Fabless 等やり方はいろいろあると思った。孫子の「正」と「奇」の組み合わせは無尽であるという言葉思い出した。

また、ある展示会で欧州のある会社が Best-In-Class を目指した製品開発をしていると説明していたのが印象に残っている。エレクトロニクス、半導体分野で欧州から学ぶことはたくさんあると思った。

筆者の発表



Analog/Mixed-Signal BIST, BOST

- TDC can be used for BIST, BOST
- **BIST, DFT**
 - Chip design time maybe longer Long time-to-market
 - Chip may be larger Costly
 - Difficult to assure its reliability Should be simple
- **BOST**
 - Design/implementation after tape out Attractive
- I have a feeling
 - Japanese companies prefer BOST,
 - US companies prefer BIST.

上記のスライドのプレゼンで最後に“I don't know about European companies”
 と言うと 聴衆から “BIST ! ” という野次(?) が飛んだ。

Vernia Invention

“Vernia” technology was invented by French mathematician, **Pierre Vernier**.



1580-1637

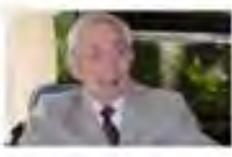
“La construction, l'usage, et les propriétés du quadrant nouveau de mathématiques” (1631)



Final Statement

Stochastic process theory advances precise timing measurement technology.

Prof. Kiyoshi Ito (1915-2008)
 Japanese Mathematician




Great contribution to

- Stochastic calculus
- Stochastic differential equation

学会会場とその周辺





バルセロナ市





バルセロナは建築家アントニオ・ガウディのゆかりの地

サグラダ・ファミリア(Sagrada Família) 聖家族 贖罪教会

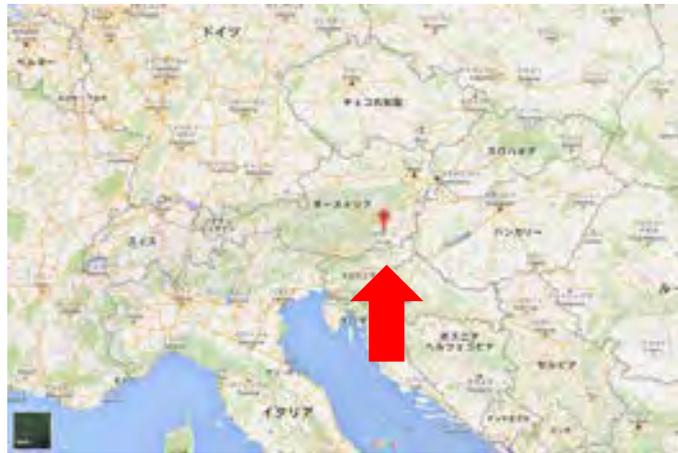


ワークショップのソーシャル・イベントでグエル公園 (Guell Park) を訪問





グラーツ (Graz) はオーストリアの第2の都市、人口20万人程度。ドイツ語圏
 テスラは1875年 グラーツ大学で学ぶ。
 ケプラーは1594-1599年 グラーツ大学にて数学と天文学を教える。



ニコラ・テスラ
Nikola Tesla 1856-1943



- オーストリア帝国(現 クロアチア)の電気技師、発明家。
- 交流電流、ラジオ、無線トランスミッター、蛍光灯
空中放電実験で有名なテスラコイルなど多数の発明
- 世界無線送電システムを提唱
- エジソンと直流送電、交流送電で確執
- 磁束密度の単位「テスラ」にその名を残す
- スイッチング電源回路、電気自動車関係でもその名にちなんで命名されているものもある

ヨハネス・ケプラー
Johannes Kepler 1571 - 1630



- ドイツの天文学者。天体の運行法則に関する「ケプラーの法則」理論的に天体の運動を解明
- 大観測家ティコ・ブラーエ (1546-1601) の助手・共同研究者。ティコは、1576年から1597年の21年間、デンマークのヴェン島にウラニボリ天文台を建設・天空の観測。ブラハでも観測を続けた。
- 正確で膨大な観測データはケプラーの手に入り、ケプラーの法則発見の基礎。
- 「新天文学(Astronomia Nova)」を執筆。「ケプラーの法則」の第1と第2法則もこの論文に記される楕円運動を基本とする天体論を唱えた。

「悦びは人生の喜劇であり、人生の政変であり、人生の力であり、人生の宿儀である」

今回の出張で、集積回路技術/産業は新しい時代を迎えていると漠として思った。

20th IEEE International Mixed-Signal Testing Workshop 参加報告

-ミクストシグナル I C テスト容易化技術への挑戦-

於 フランス パリ第6大学 (Université Pierre et Marie Curie)

開催日 2015年6月24日-26日

<http://tima.imag.fr/conferences/imstw/>

群馬大学と半導体理工学研究センターとの共同研究成果を発表

発表論文題目: Timing Measurement BOST With Multi-bit Delta-Sigma TDC

McGill 大学 (カナダ) の先生等より好意的なリ spons

参加者 60名強 (北米、欧州、日本から。日本からは1名のみ。)

アナログスキャン、アナログ故障シミュレーション、アナログ故障モデル、アナログ故障検出率、アナログ回路の欠陥ベーステスト等 長年研究されてきているが まだ実用化レベルのものは少ない。産業界で大きな関心。工学的センス (「100%でなくてもある程度」というアプローチ) から、これらの分野で実用化を目指した発表がいくつかあり。欧米ではコンソーシアム (ETS2) でこれらの問題へのシステムマッテックなアプローチを開始している。

アナログ I C の経年劣化のいくつかの研究発表。

車載用 I C 分野での欧州での共同プロジェクト成果報告あり

AUTOMICS: Pragmatic solution for parasitic-immune design of electronics ICs for automotive

欧州では地道で合理的な科学技術の研究がおこなわれているという印象あり。

車載/医療応用 I C 等でますます重要になってきているが

日本の大学では、アナログ/ミクスト I C のテスト容易化技術の研究を行っている研究室はほとんどない。

開拓者精神:

アメリカ西部開拓時代のフロンティアの開拓者たちを象徴とする精神のあり方。旺盛な意欲と行動力、前人未到の分野に踏み込むことを恐れない勇気。

会場

パリ第6大学。大学名にキュリー夫妻の名前が冠されている。

理学・工学・医学分野

パリ大学（仏：Université de Paris）

- フランス共和国のパリ、クレティユおよびヴェルサイユの3大学区にある13の大学の総称。
- 多くのノーベル賞受賞者を送り出している他、政治学、科学、物理学、神学などの分野で優秀な学者を輩出。
- 芸術の教育機関としても名高い。
- パリ大学の起源は12世紀前半
- 1970年に第1から第13大学までの独立した大学群に編制。
- 大学は1257年にフランスの神学者ロベール・ド・ソルボンが神学部学生用のソルボンヌ寮を設立して以降「ソルボンヌ (Sorbonne)」と呼ばれる。
- 大学が必ずしもソルボンの思想に基づいているわけではない。
- 現在の13校の中で第1から第4大学までがソルボンの意思を受け継ぐ伝統的な教育を行っており、そのうち3校（第1、第3と第4大学）はソルボンヌを冠としている。

(Wikipedia より)

パリ第6大学 工学部、理学部

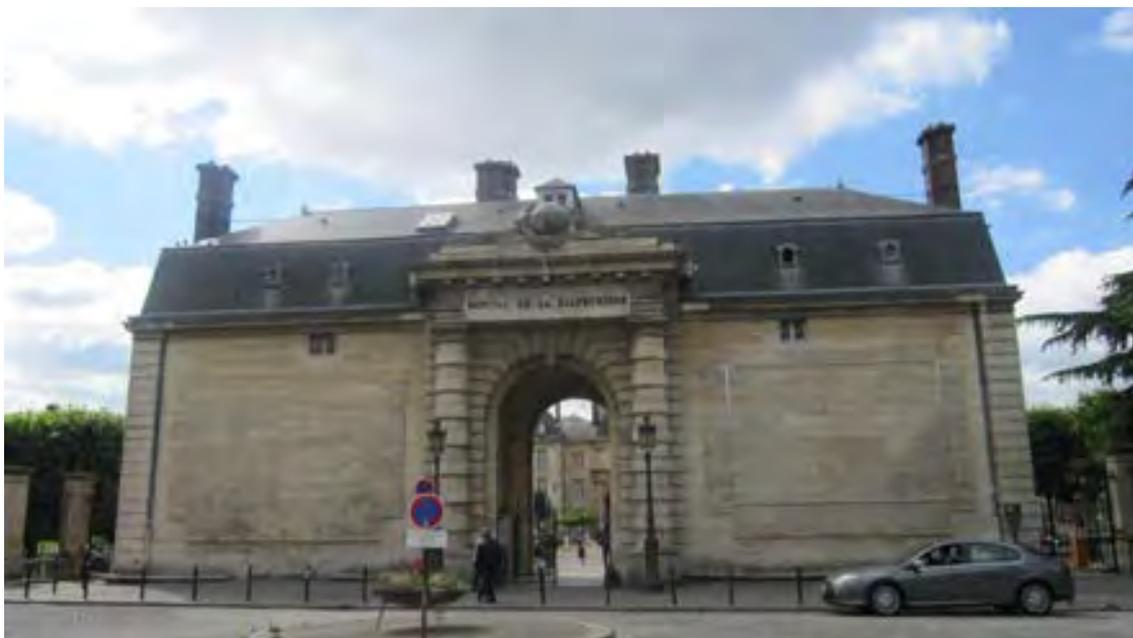




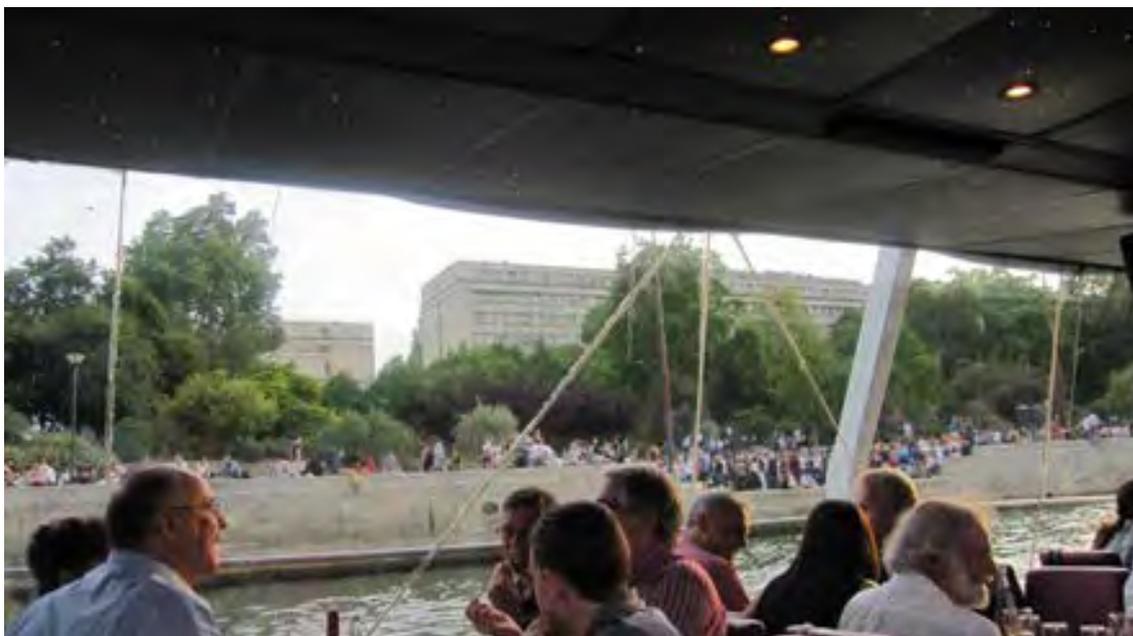
フランスは伝統的に数学が強い印象を持っている。
かつて、数学科志望の多くの学生は第二外国語でフランス語を選択したことを思い出す。

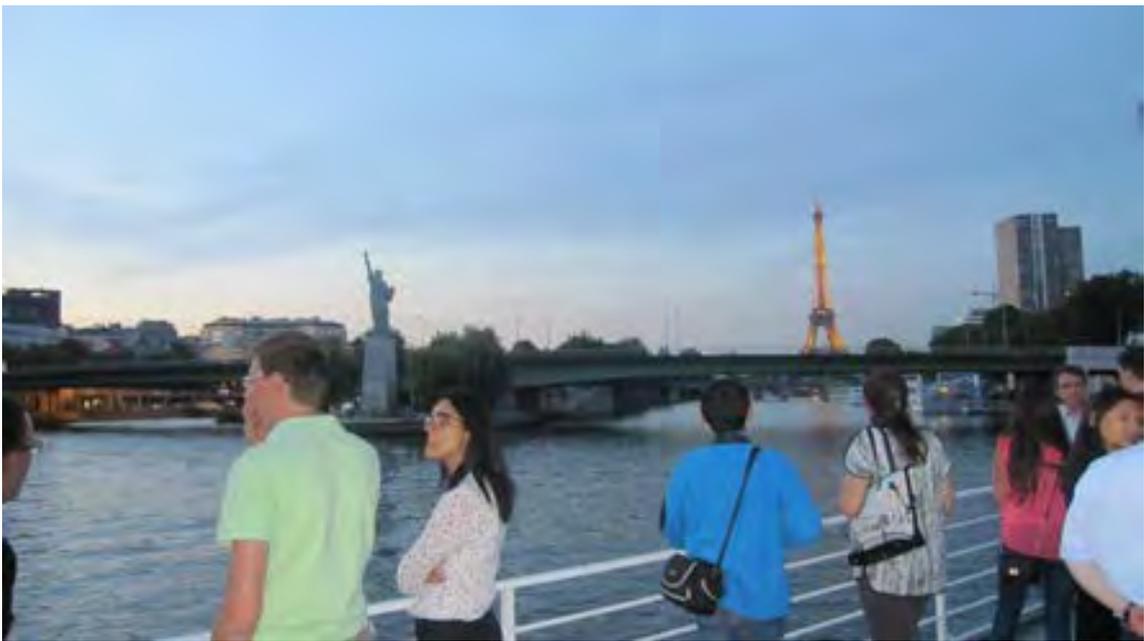


パリ第6大学 医学部



学会のソーシャルイベント







夏にはセーヌ河の両岸にはピクニックの人たちであふれるとのことである。

パリ市内

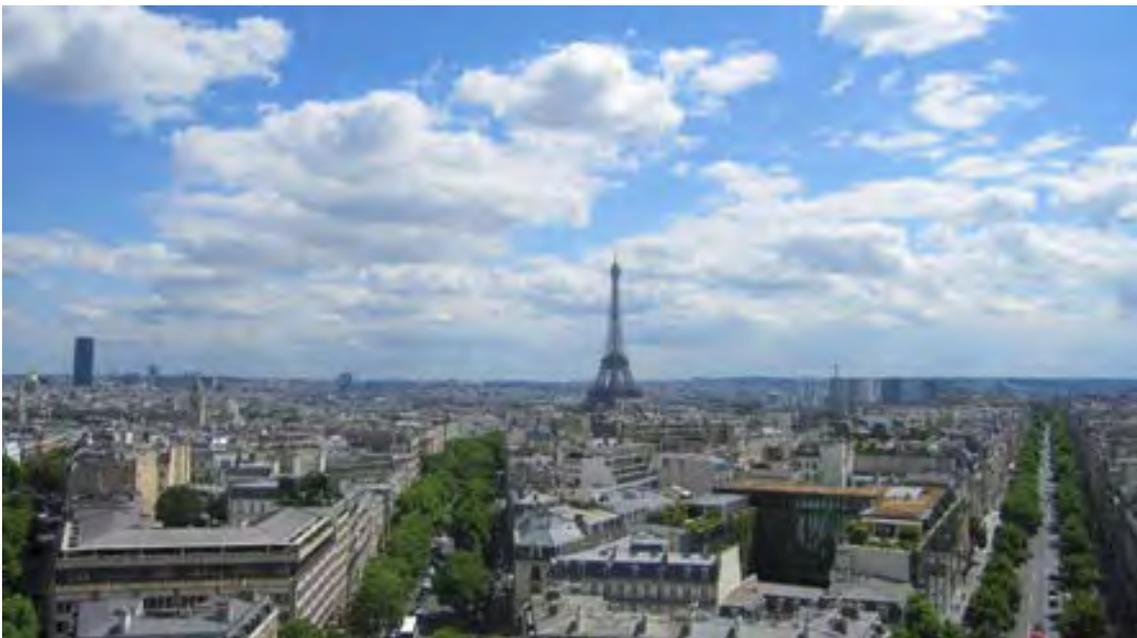








夜の9時過ぎまで明るく、気温は東京よりやや低い。
6月はパリを訪れるのによい季節とのこと。





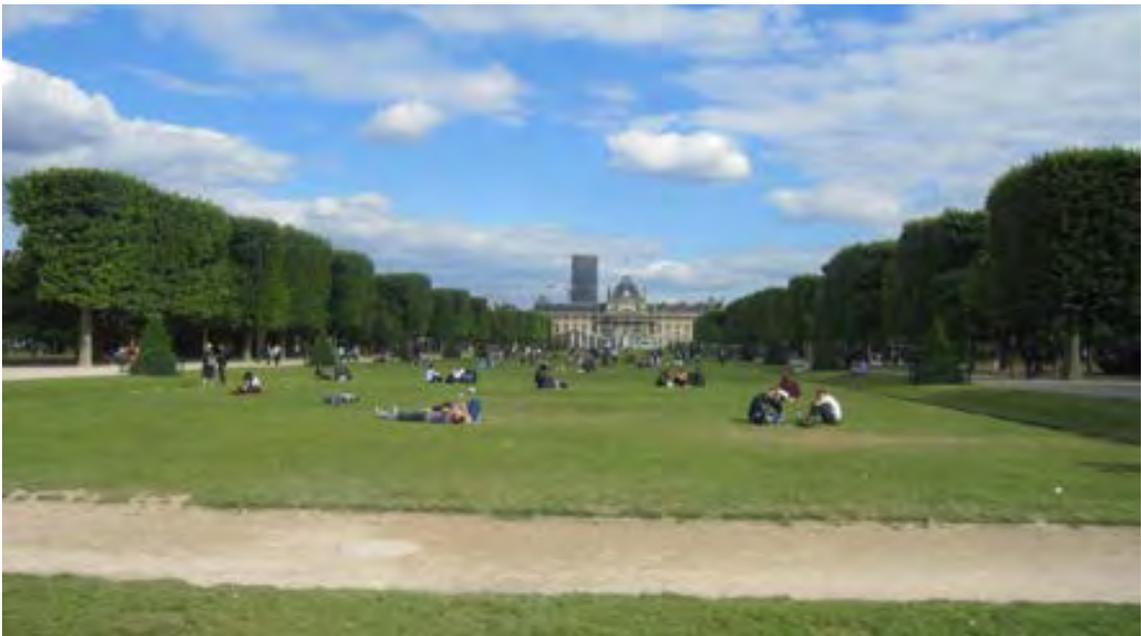




一つ一つが密度が濃い。









パリ市内地下鉄（メトロ）



Bastille、La Fayette 等 フランスの歴史にでてくる地名、人名の駅名にも
出会う。

シャルルドゴール国際空港 (Charles De Gaulle International Airport)



旅 上

ふらんすへ行きたしと思へども
ふらんすはあまりに遠し
せめては新しき背広をきて
きまなる旅にいでてみん。
汽車が山道をゆくとき
みづいろの窓によりかかりて
われひとりうれしきことをおもはむ
五月の朝のしののめ
うら若草のもえいづる心まかせに。

1913年4月 「純情小曲集」より

萩原 朔太郎

明治19年～昭和17年 群馬県前橋市出身

(写真 文責 群馬大学 小林春夫)

時間は最も貴重な資源

「成果を上げる者は、
仕事からスタートしない。
時間からスタートする。

計画からもスタートしない。
まず、何に時間がとられているかを
知ることからスタートする。

次に、時間を奪おうとする非生産的な要求を退ける。
そして、得られた自由な時間を大きくまとめる」



フラッシュ型タイムデジタイザ回路の ヒストグラム法による自己校正の実験検証

○中條剛志¹ 平林大樹¹ 加藤健太郎² 李从兵¹ 李恩思¹
小林佑太郎¹ 王俊善¹ 佐藤幸志³ 小林春夫¹

1:群馬大学 2:鶴岡高等専門学校 3:光サイエンス

Supported by STARC

アウトライン

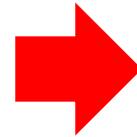
- 研究背景
- TDCの回路構成と線形性の自己校正原理
- アナログFPGAによる試作
- 測定結果・評価
- まとめ

アウトライン

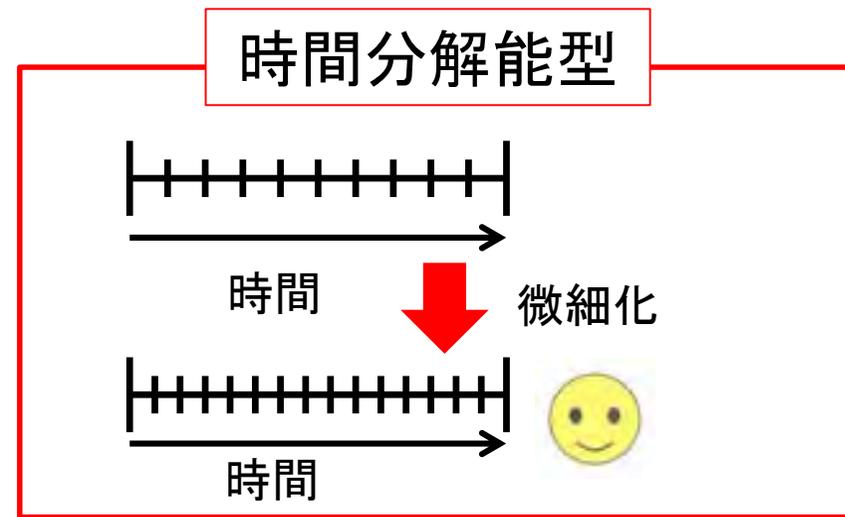
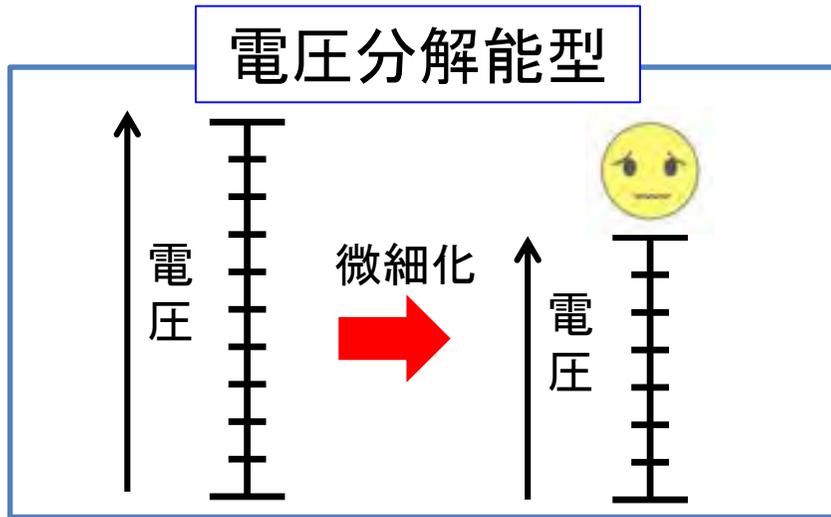
- **研究背景**
- TDCの回路構成と線形性の自己校正原理
- アナログFPGAによる試作
- 測定結果・評価
- まとめ

研究背景

微細化CMOS LSI



電源電圧の低下
動作スイッチングスピードの向上



TDC (Time-to-Digital Converter) は2つのデジタル信号の時間差をデジタル値に変換

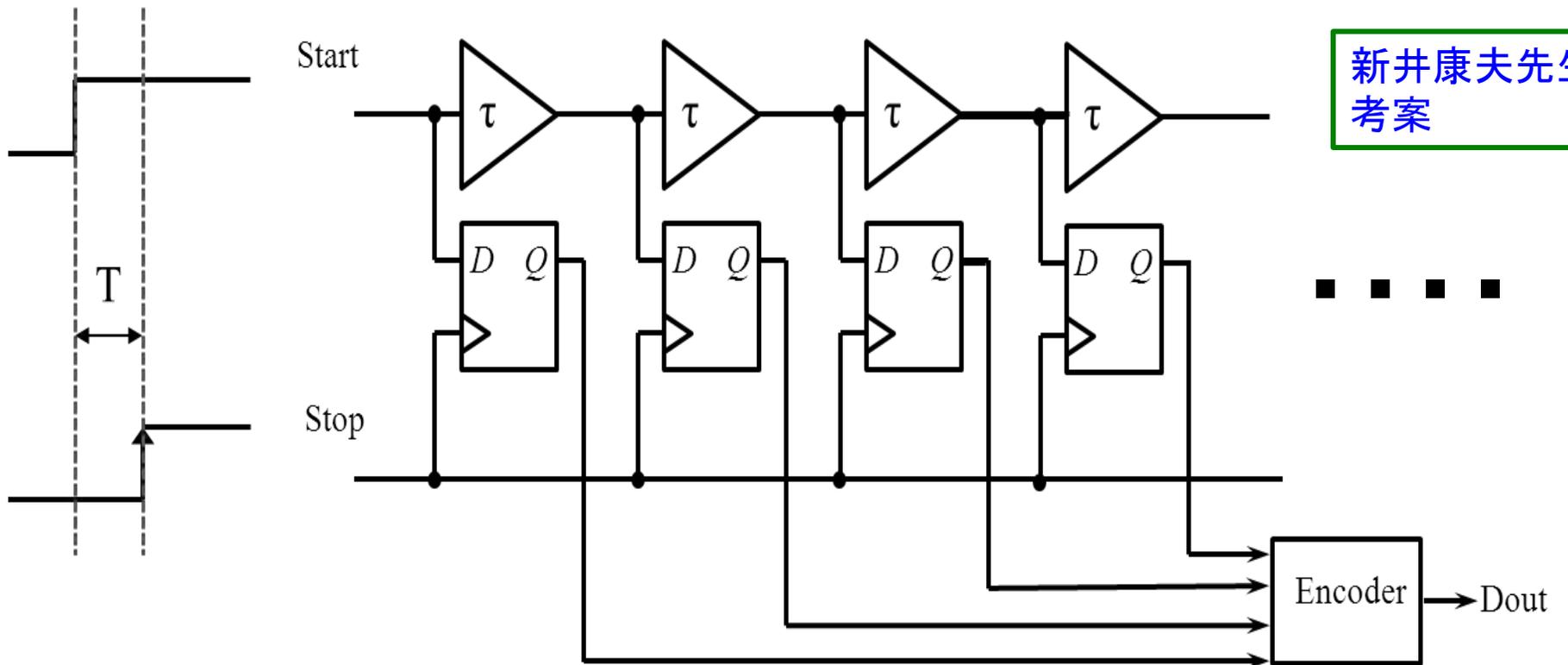


微細化CMOS LSIにおいて、TDCは時間領域アナログ回路のカギとなる
(センサ回路, All-Digital PLL, ADC, 変調回路等)

アウトライン

- 研究背景
- **TDCの回路構成と線形性の自己校正原理**
- アナログFPGAによる試作
- 測定結果・評価
- まとめ

フラッシュ型TDC

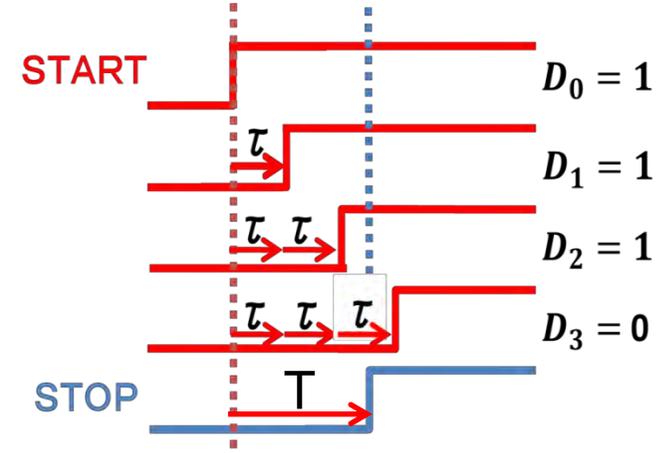
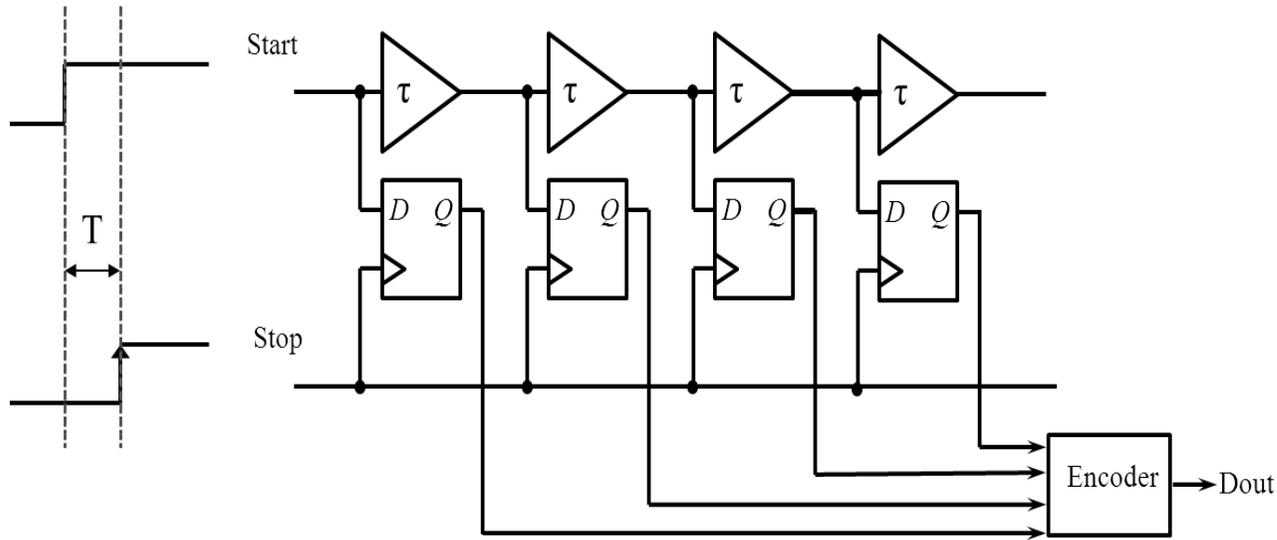


Start立ち上がり信号が入力され、遅延素子(τ)を伝搬している間に stop立ち上がり信号が入力

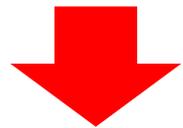


入力信号時間差(T)に比例してデジタル値(Dout)を出力

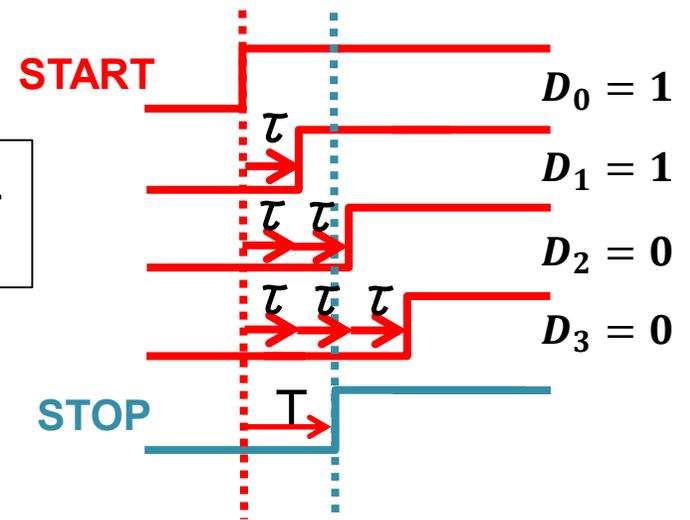
フラッシュ型TDCの動作



start信号が入力され、遅延素子(τ)を伝搬している間に
stop信号を入力

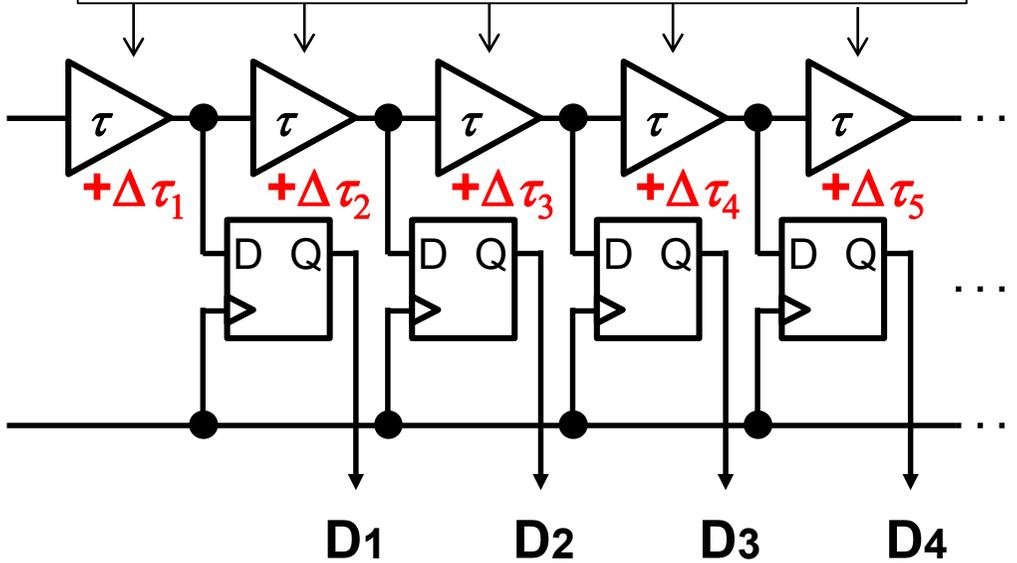


入力信号時間差(T)に比例して
デジタル値(D_{out})を出力



TDC回路内の遅延素子バラつき

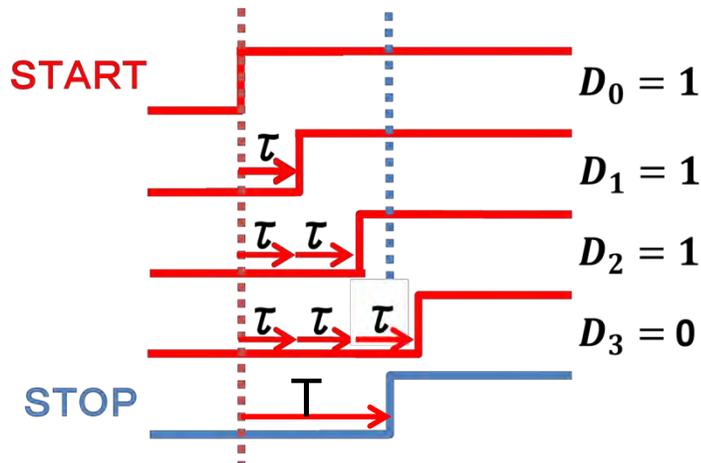
遅延素子には製造バラつきが発生



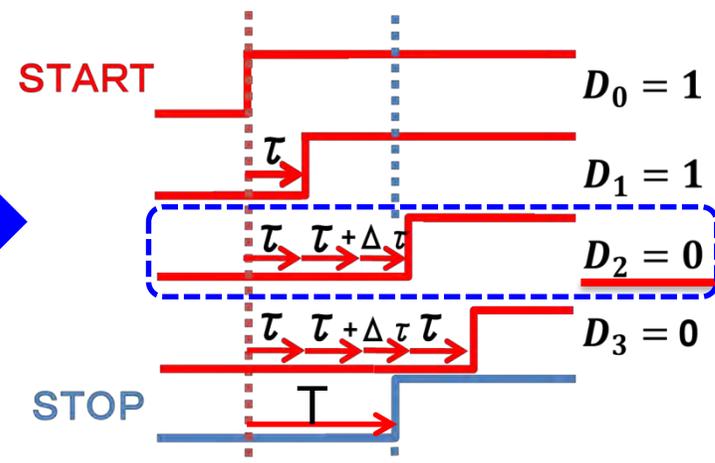
困ったわい!!



非線形性が生じる



(a)ばらつきなし



(b)ばらつきあり

遅延素子の製造ばらつき

- 遅延 τ の製造ばらつき
 - 「相対ばらつき」
 - 非線形性
 - 「絶対(平均値)ばらつき」
 - 入力レンジに影響
- 今回は「相対ばらつき」に着目

研究目的

- TDCの線形性のヒストグラム法による自己校正

Dout(0)=1

Dout(1)=3

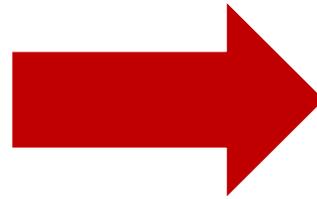
Dout(2)=5

Dout(3)=8

▪

▪

校正



Dout(0)=0.3

Dout(1)=2.8

Dout(2)=4.5

Dout(3)=7.3

▪

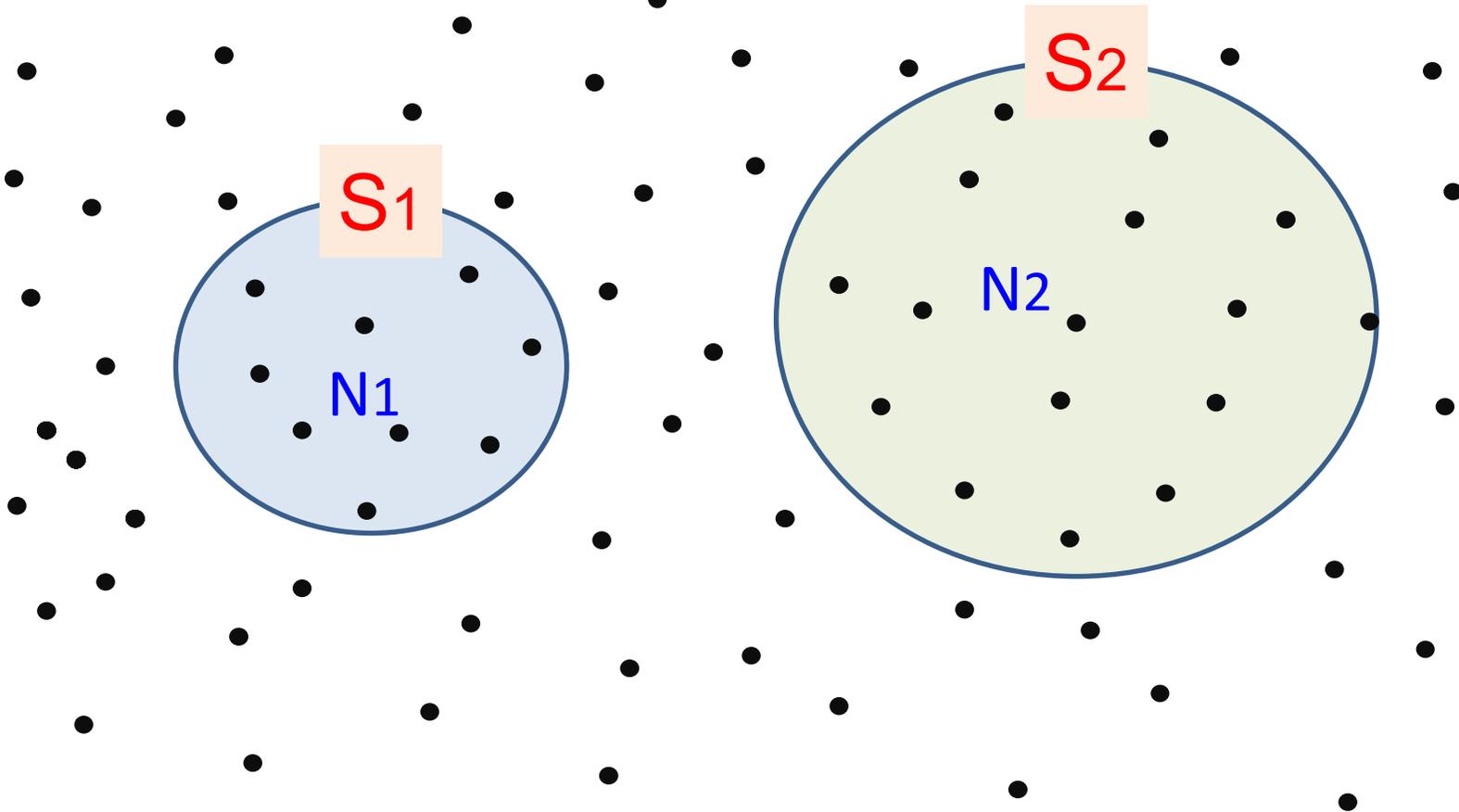
▪

遅延量に
適した出力値

- アナログFPGA(PSoC)で試作、評価

Measurement with Histogram

Random dots (Monte Carlo Method)

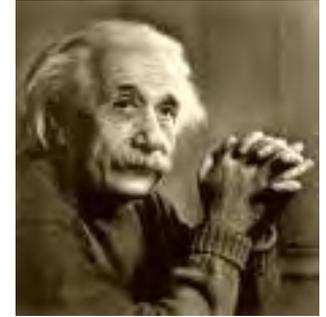


of dots ratio $\frac{N1}{N2}$ \longrightarrow Area ratio $\frac{S1}{S2}$

モンテカルロ法 = サイコロ遊び

「神は サイコロ遊びなどされない」

Albert Einstein 量子力学を批判



「アインシュタインよ、神が何をなさるかなど注文をつけるべきではない。」

Niels Henrik David Bohr

量子力学の育ての親



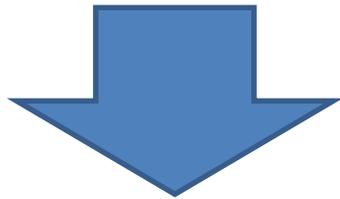
我々は神ではないので

サイコロ遊び(モンテカルロ法)を使用

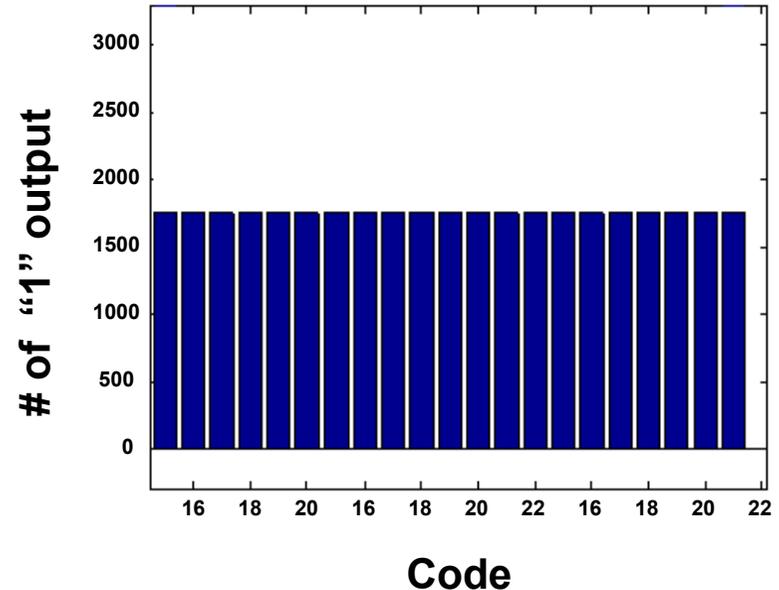
Histogram in Ideal Case

Test mode

The two oscillators are different from each other and not synchronized

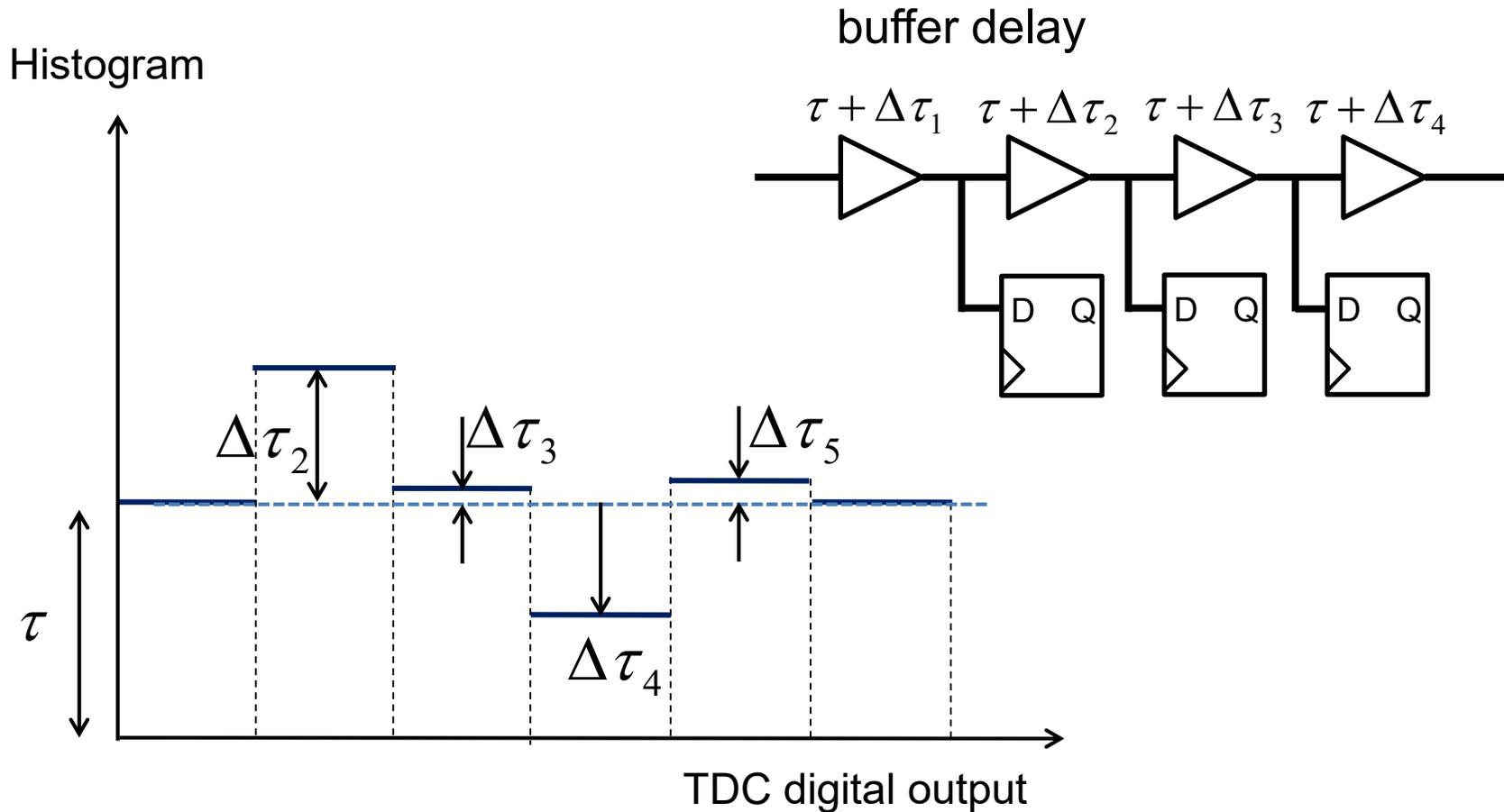


The histograms in all bins will be equal, after collection of a sufficiently large number of data, if the TDC has perfect linearity

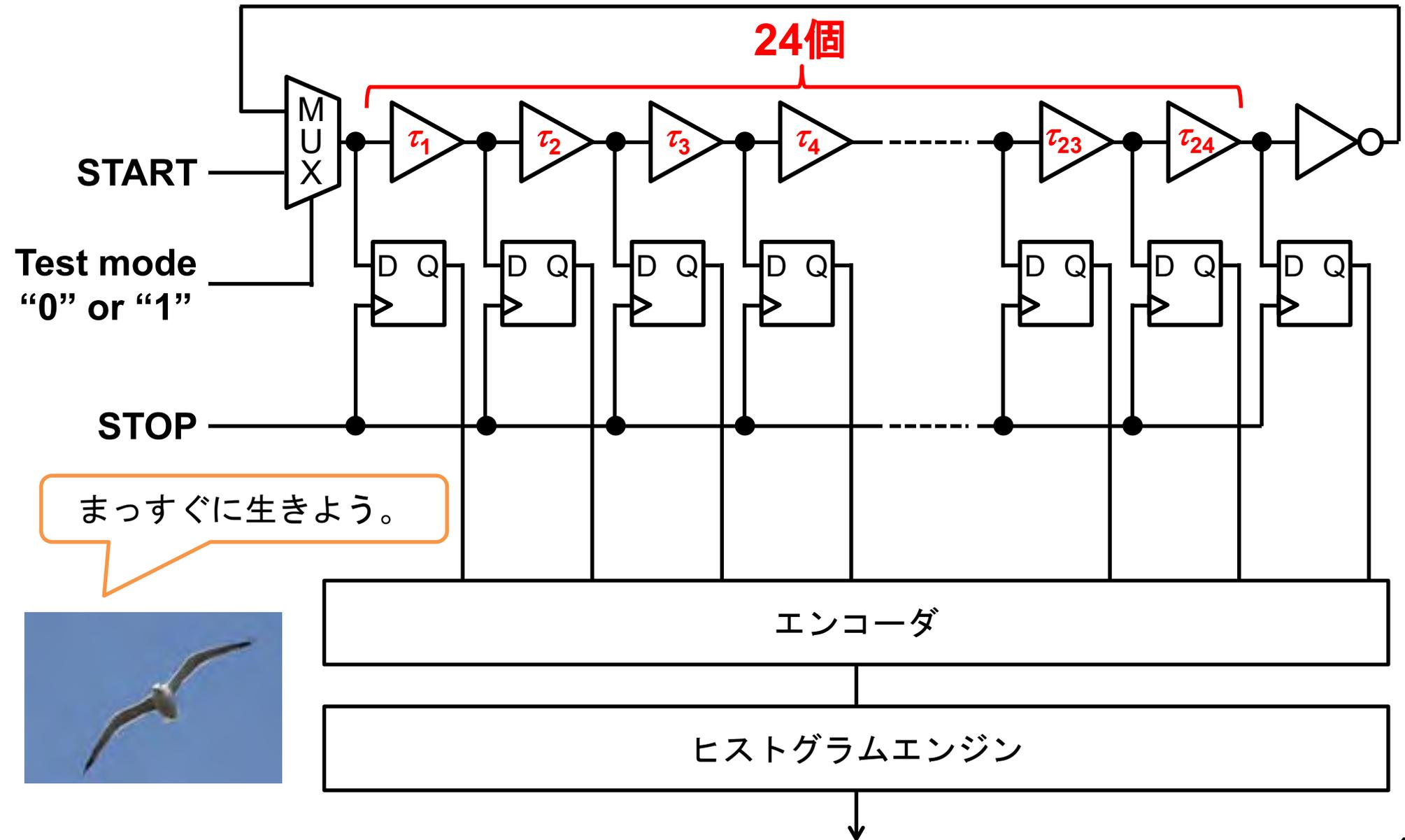


Delay Variation Measurement

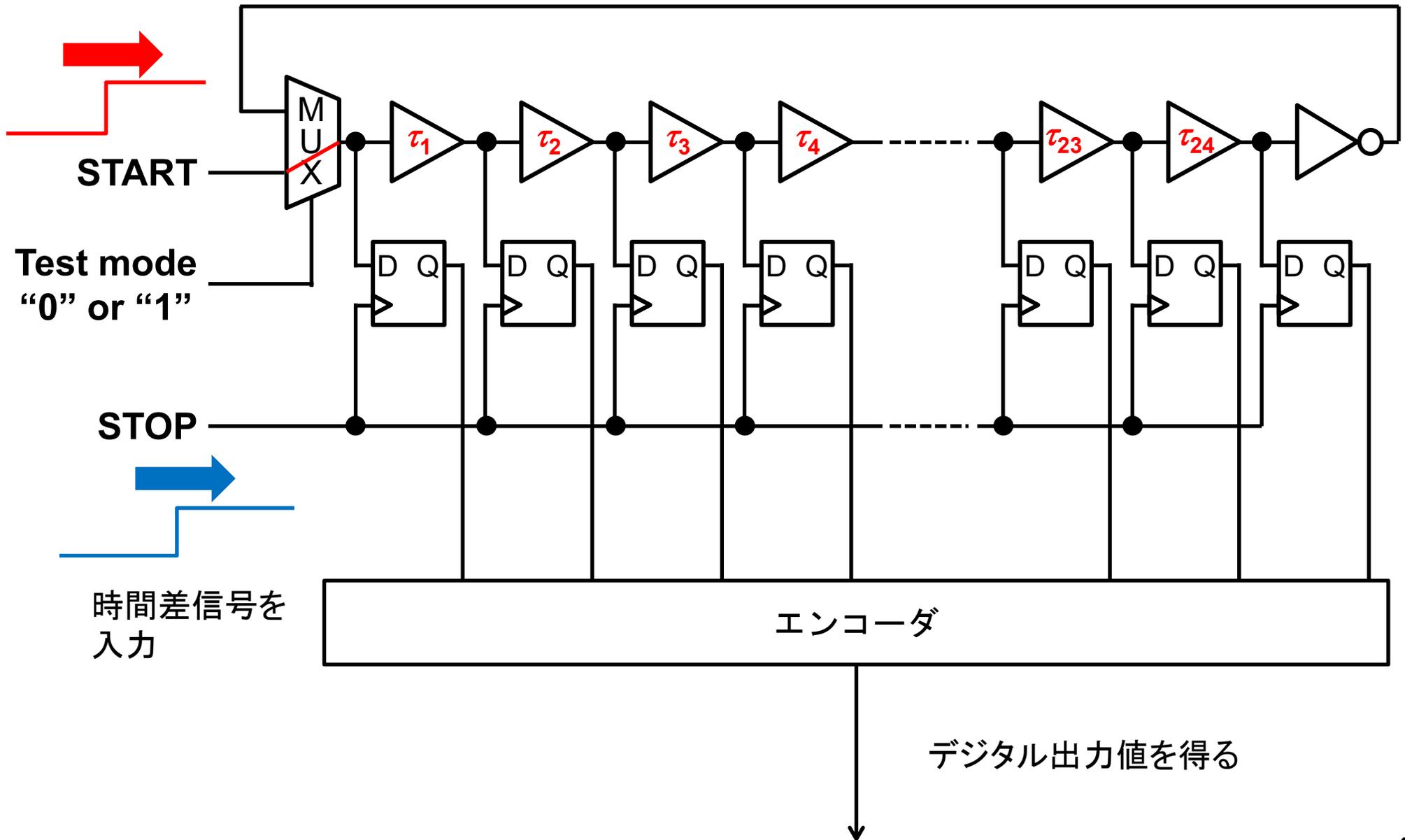
TDC is non-linear



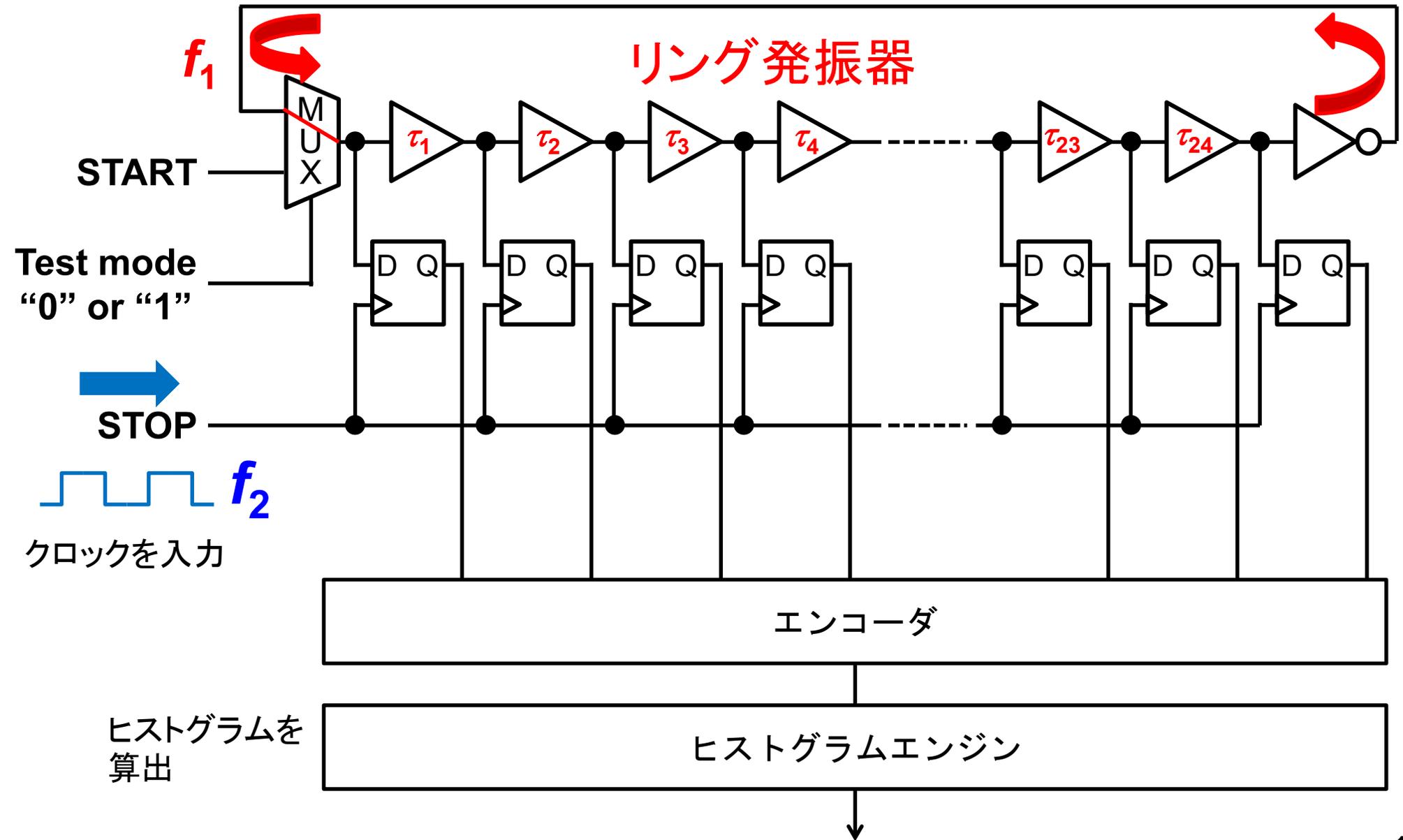
自己校正TDC



通常測定モード



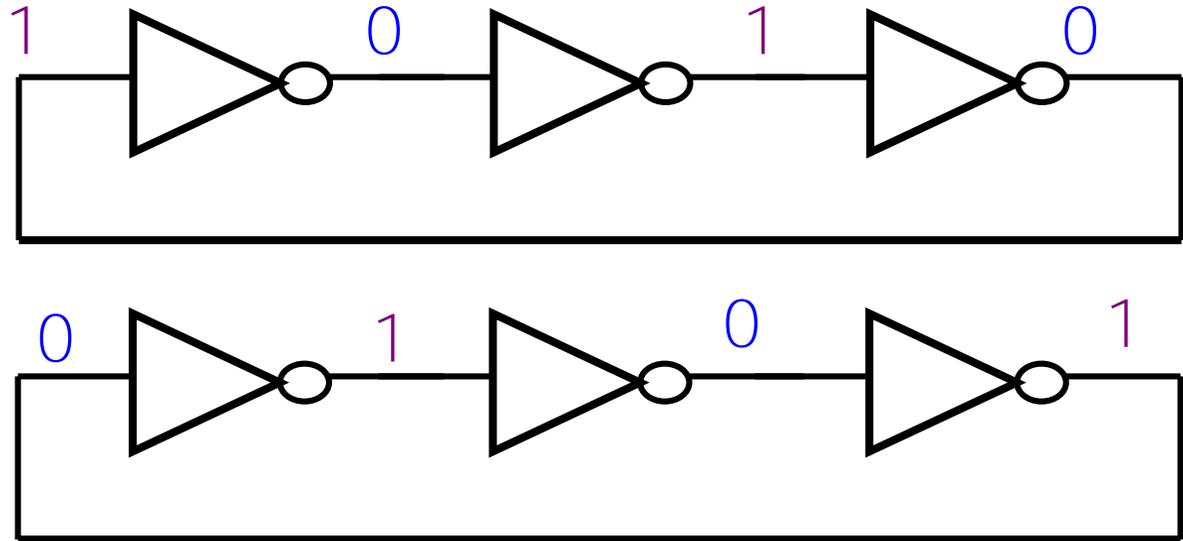
自己校正モード



リング発振器 (Ring Oscillator)

奇数個インバータのリング接続

安定状態
なし



T: インバータ遅延、 $2N+1$ 個のインバータリング接続

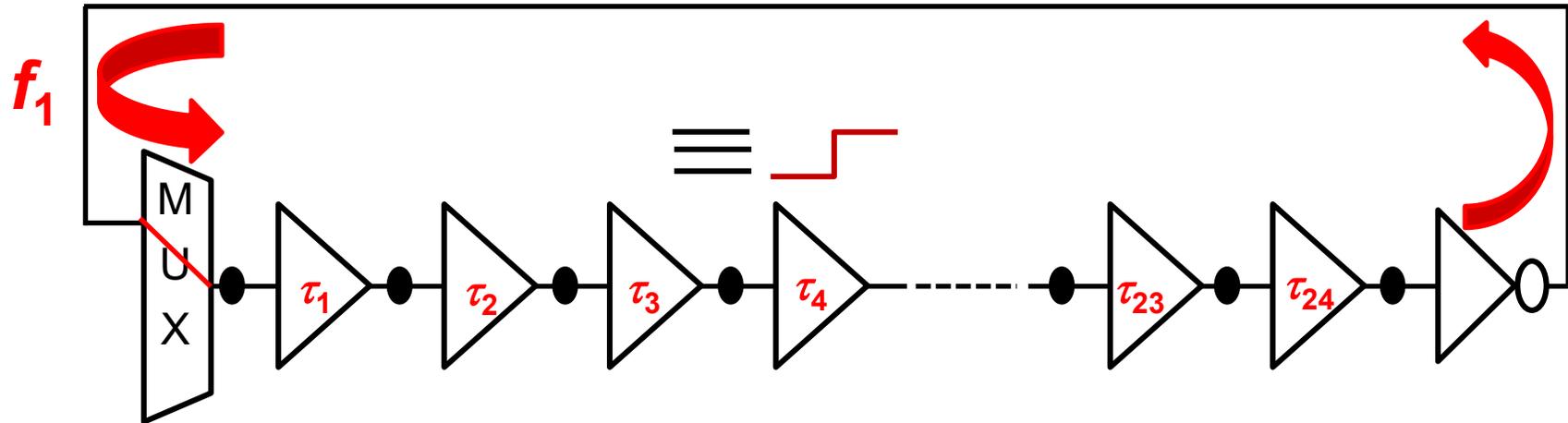
周波数 $f = \frac{1}{2(2N+1)T}$ で発振。



メビウスの帯

リング発振動作

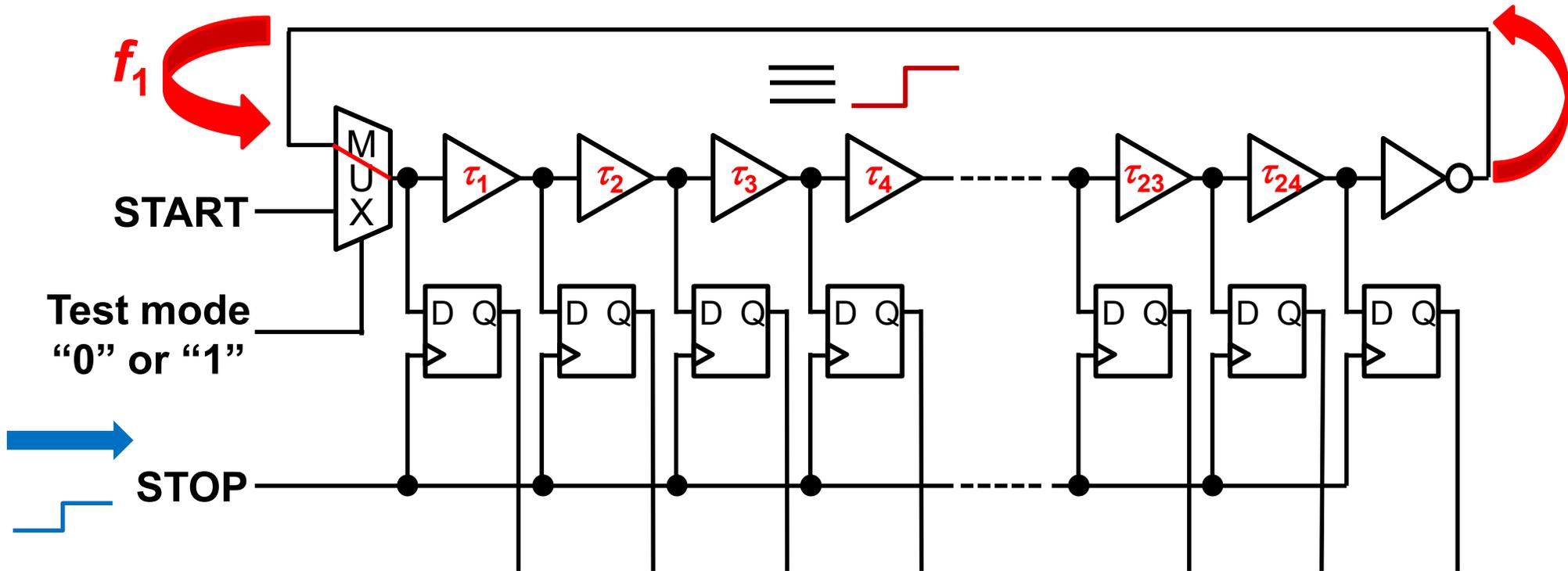
- リング発振器が発振中、遅延素子の遅延量に比例して素子内に立ち上がり信号の存在時間が長くなる



1回の発振では τ_1 から τ_{24} では遅延量の時間分立ち上がり信号が存在する

線形性の校正原理

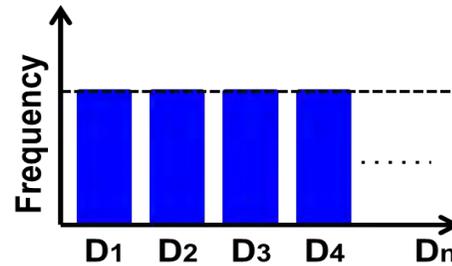
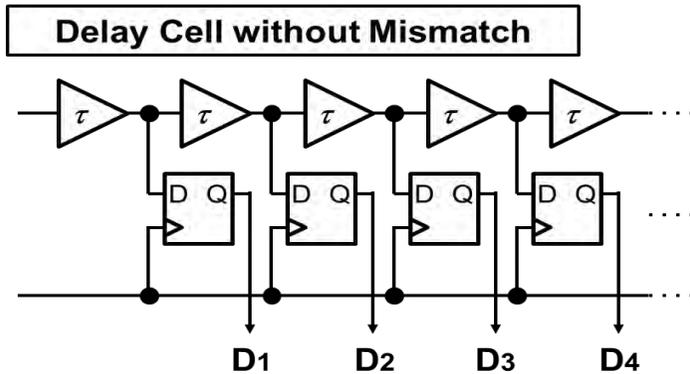
- 発振が始まってから十分に時間が経過し、start 信号と無相関/非同期的なタイミングでstop信号を入力



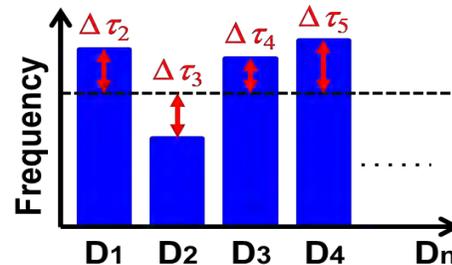
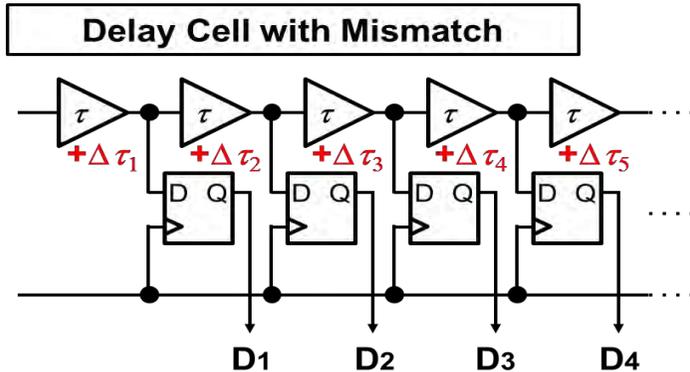
- 遅延量の大きい遅延素子に立ち上がり信号が存在する確率は高く、遅延量の小さい遅延素子に立ち上がり信号が存在する確率は低い

ヒストグラムと遅延量の関係

- 発振中stop信号を多数入力し、ヒストグラムを取得すると...



Histogram is Flat



Histogram \propto Mismatch

ヒストグラムは
遅延量の相対比

出力校正方法

- 遅延量の相対比を利用して出力校正

$$\frac{\text{下位から指定ビットまでの測定回数合計}}{\text{全測定回数合計}} \left(= \frac{\text{指定ビットまでの遅延量}}{\text{全遅延量}} \right)$$

比率を算出、フルスケールを掛けて出力値へ

出力校正の式

- $$\text{Dout}(N) = \frac{\sum_{i=1}^N \text{Pin}(i)}{\sum_{i=1}^{\text{FS}} \text{Pin}(i)} \times \text{FS}$$

N: 校正する **bit**
Dout(N): **N** 番目 **bit** の校正後出力値
Pin(i): **i** 番目遅延素子測定回数
FS: 出力最大デジタル値

アウトライン

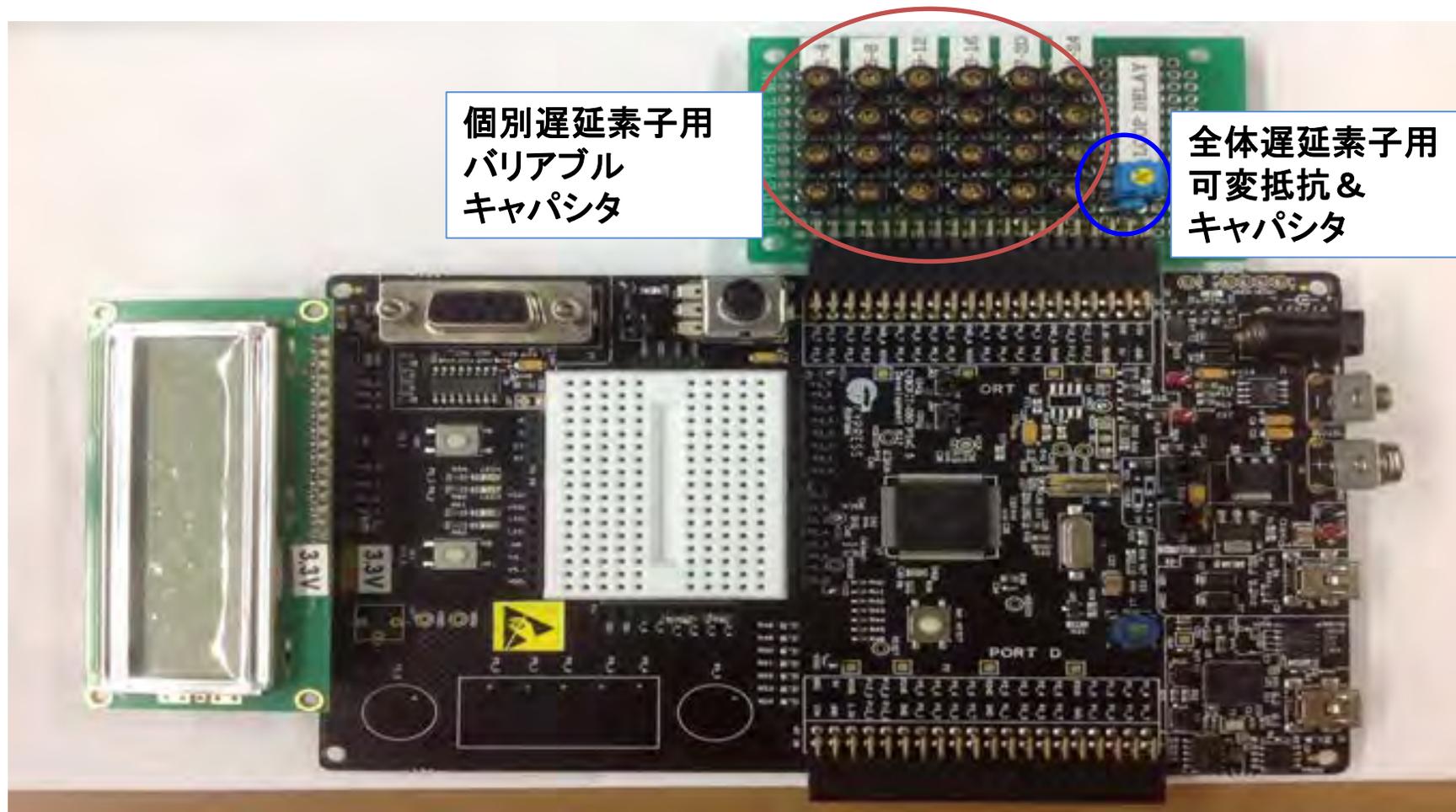
- 研究背景
- TDCの回路構成と線形性の自己校正原理
- **アナログFPGAによる試作**
- 測定結果・評価
- まとめ



実機を試作!!
実測で検証!!

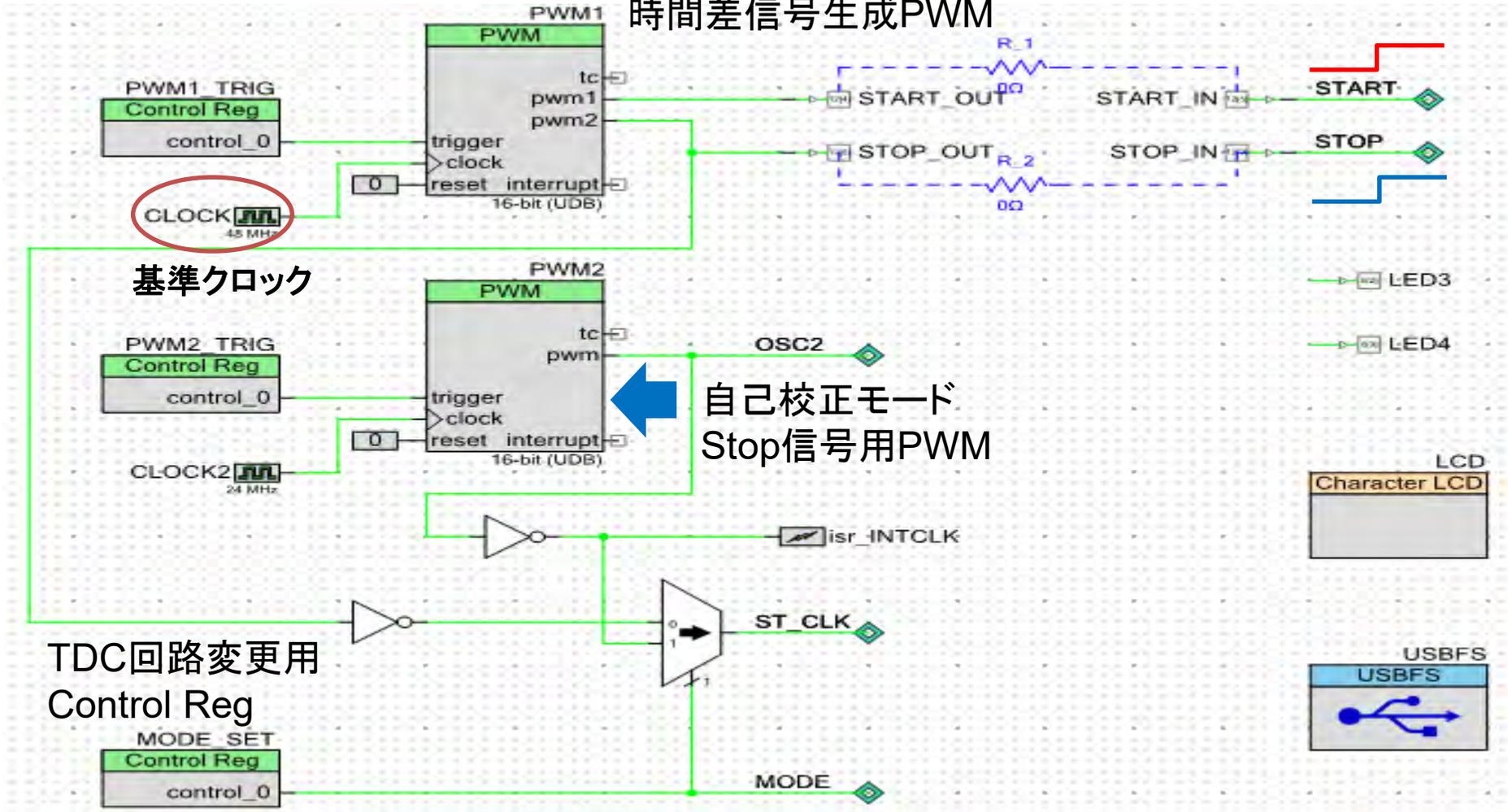
自己校正TDCを実装したPSoC

PSoC (Programmable System-on-Chip) 5LP & 外付け遅延素子



PSoCTDC制御回路図

基準クロック利用
時間差信号生成PWM



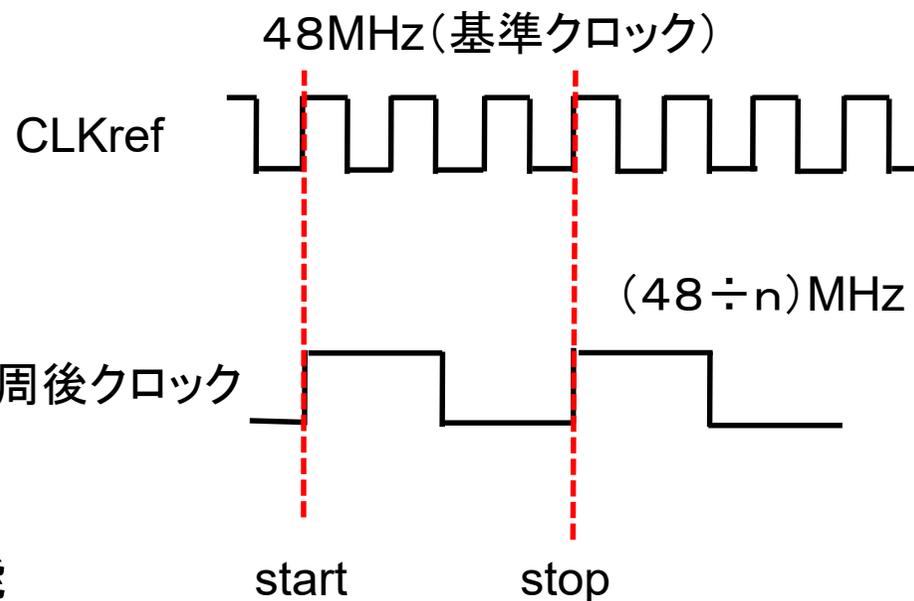
基準クロック

自己校正モード
Stop信号用PWM

TDC回路変更に
Control Reg

時間差信号の生成

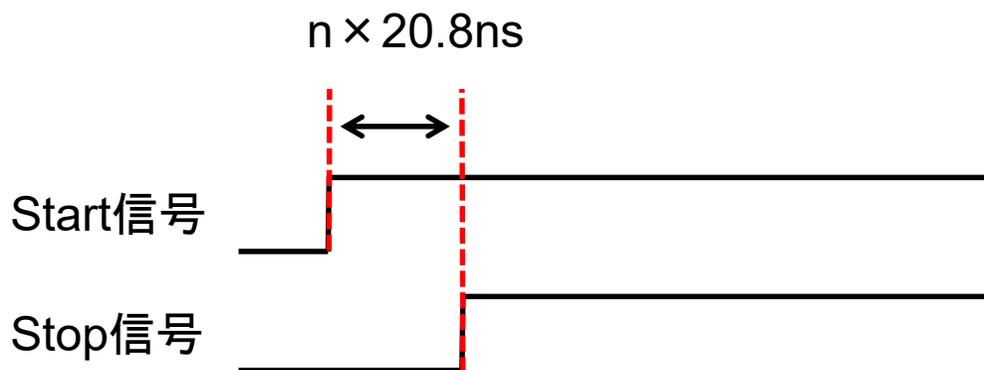
PSoC内部で48MHzの基準クロックを生成



プログラムによる基準クロックの操作

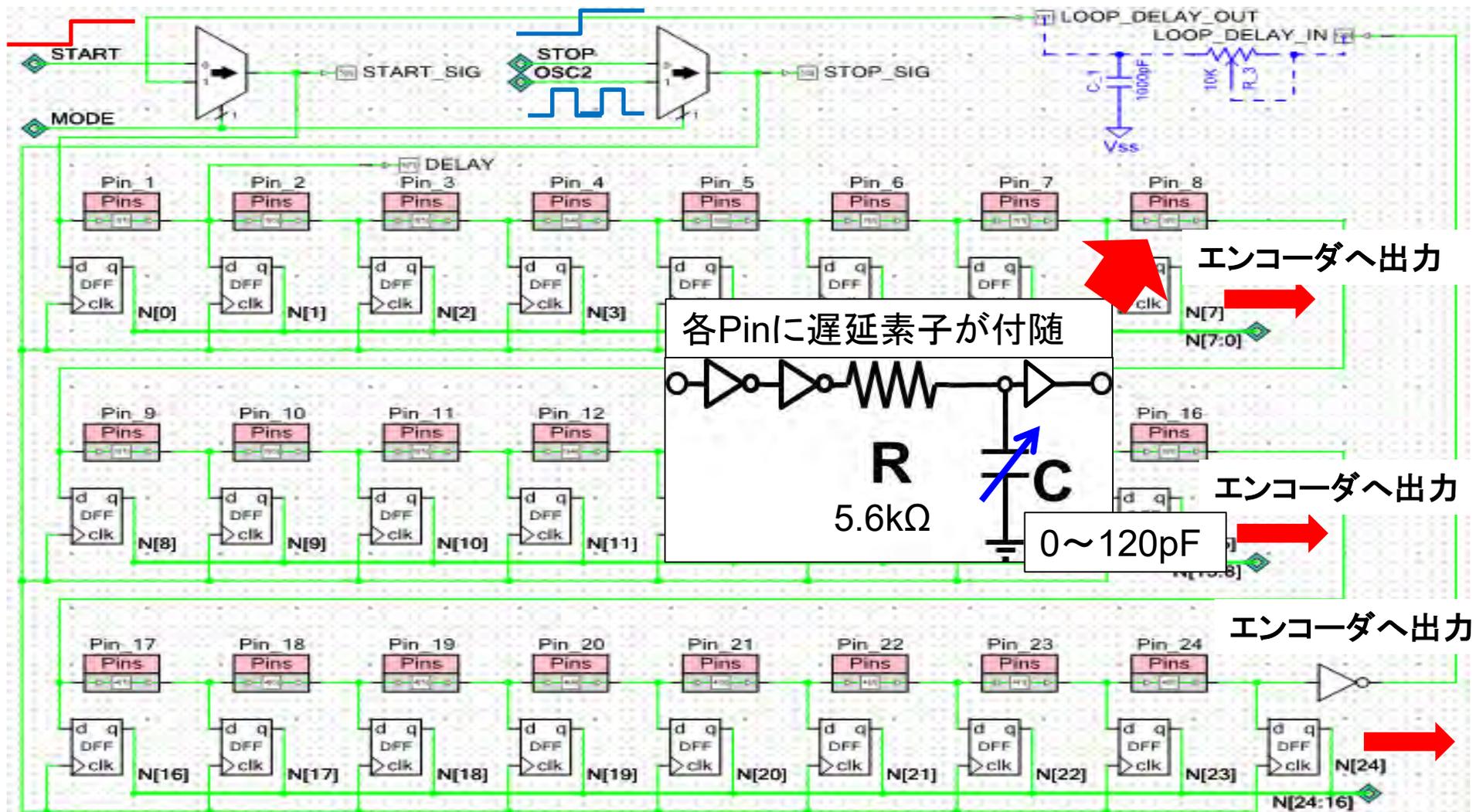
- ・ 基準クロック周波数を $\div n$ 分周
- ・ $n \times 20.8\text{ns}$ 倍の時間差

正確な周波数・時間差のクロックを生成可能



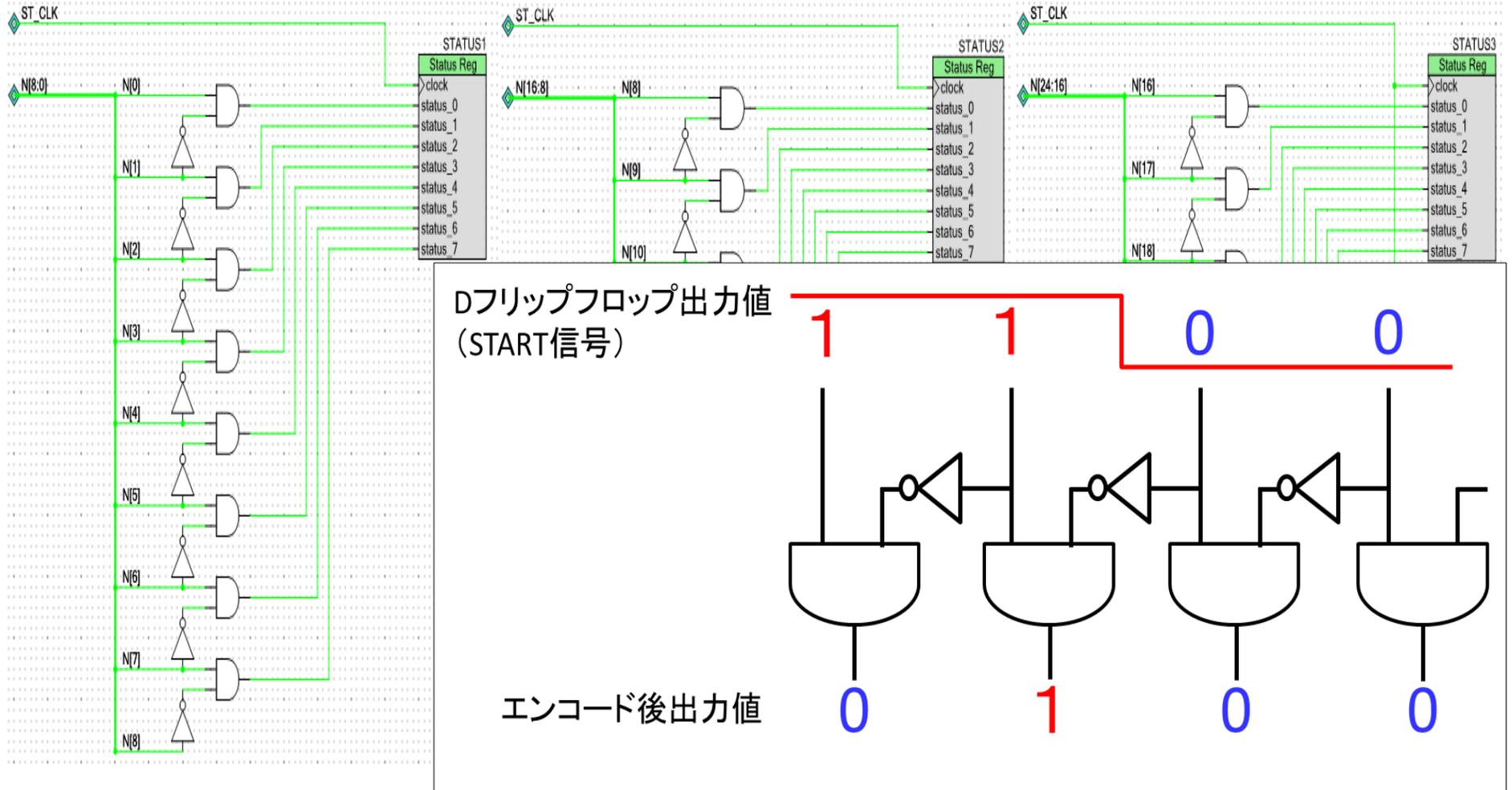
評価用に使用可能

フラッシュ型TDC & リング発振器回路図



エンコーダ回路図

1と0の切り替わり点を出力



測定ソフトウェア

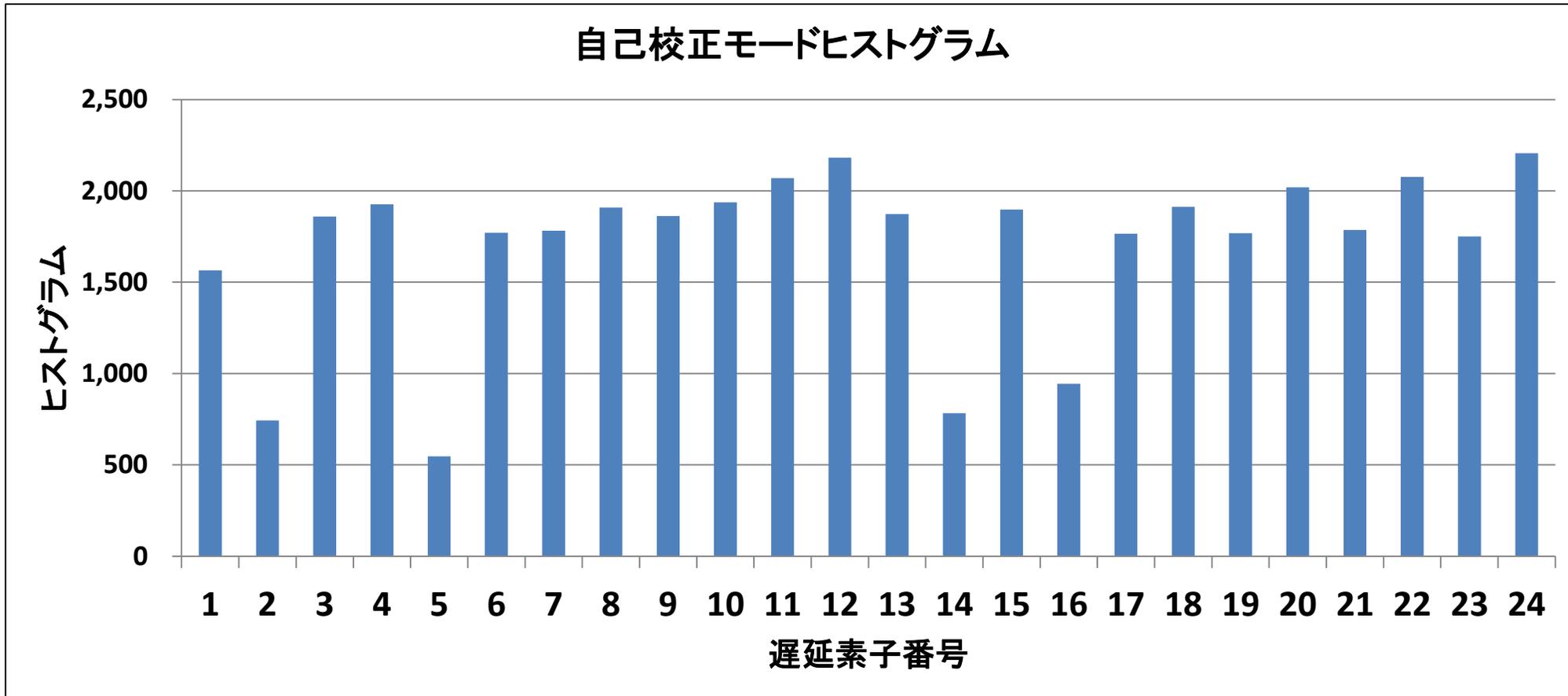
- C#で作成、USBでパソコンと接続し測定



アウトライン

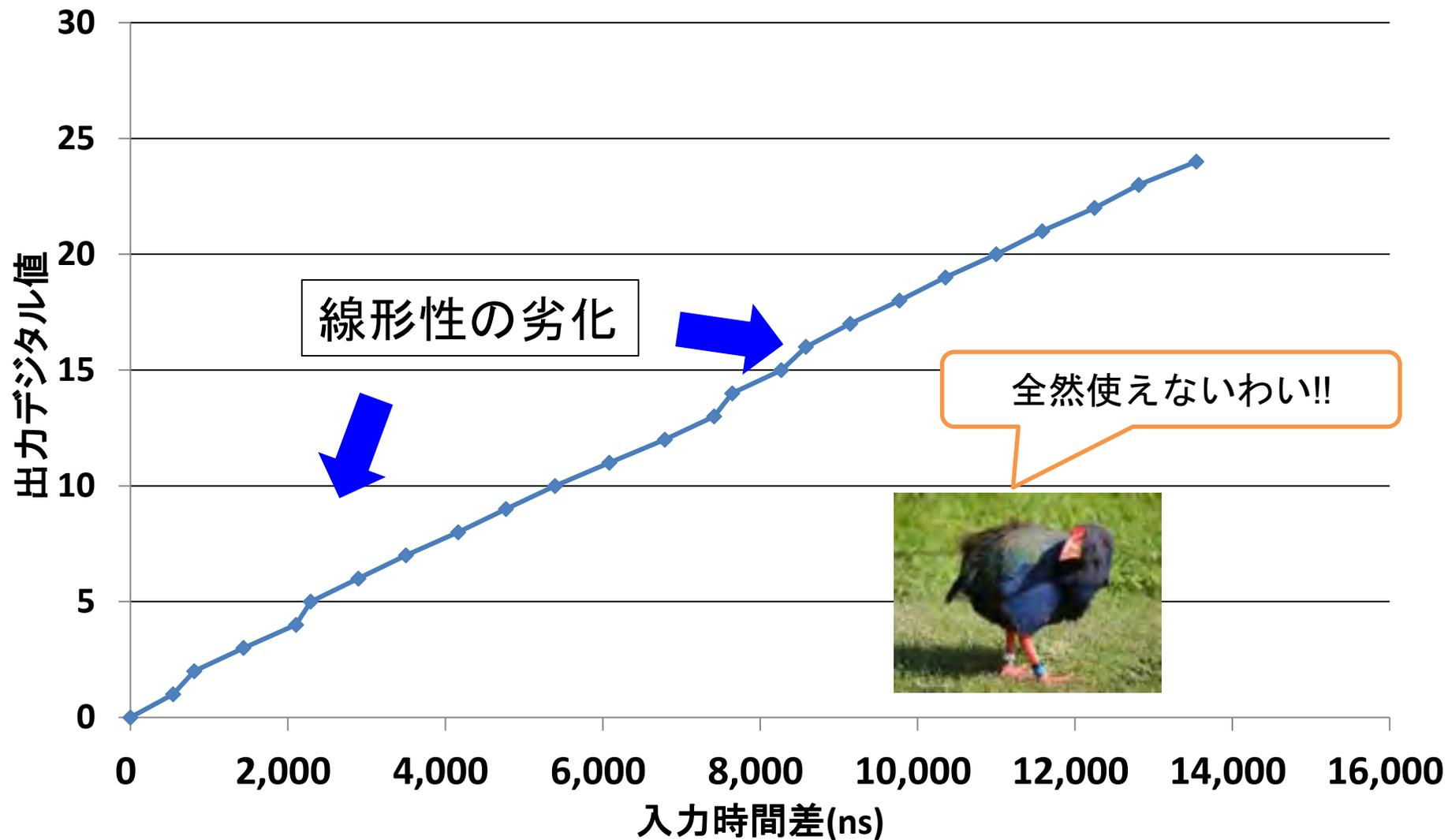
- 研究背景
- TDCの回路構成と線形性の自己校正原理
- アナログFPGAによる試作
- **測定結果・評価**
- まとめ

自己校正



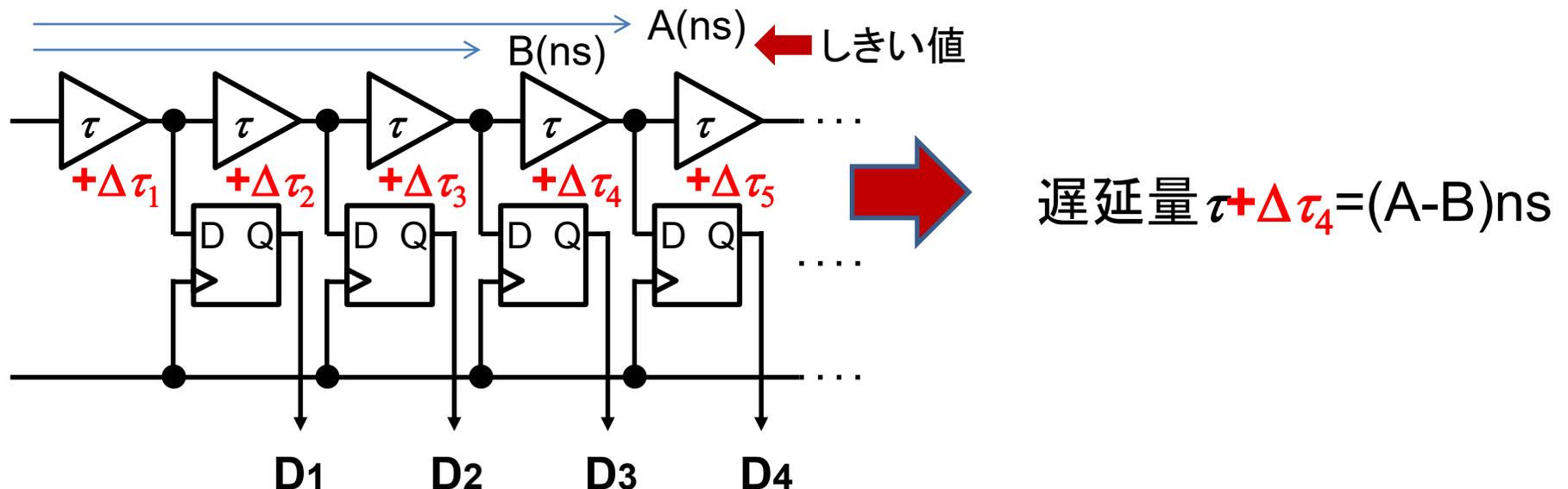
- 合計40,934回、各ビットあたり平均1,700回を記録

通常TDCモード測定結果



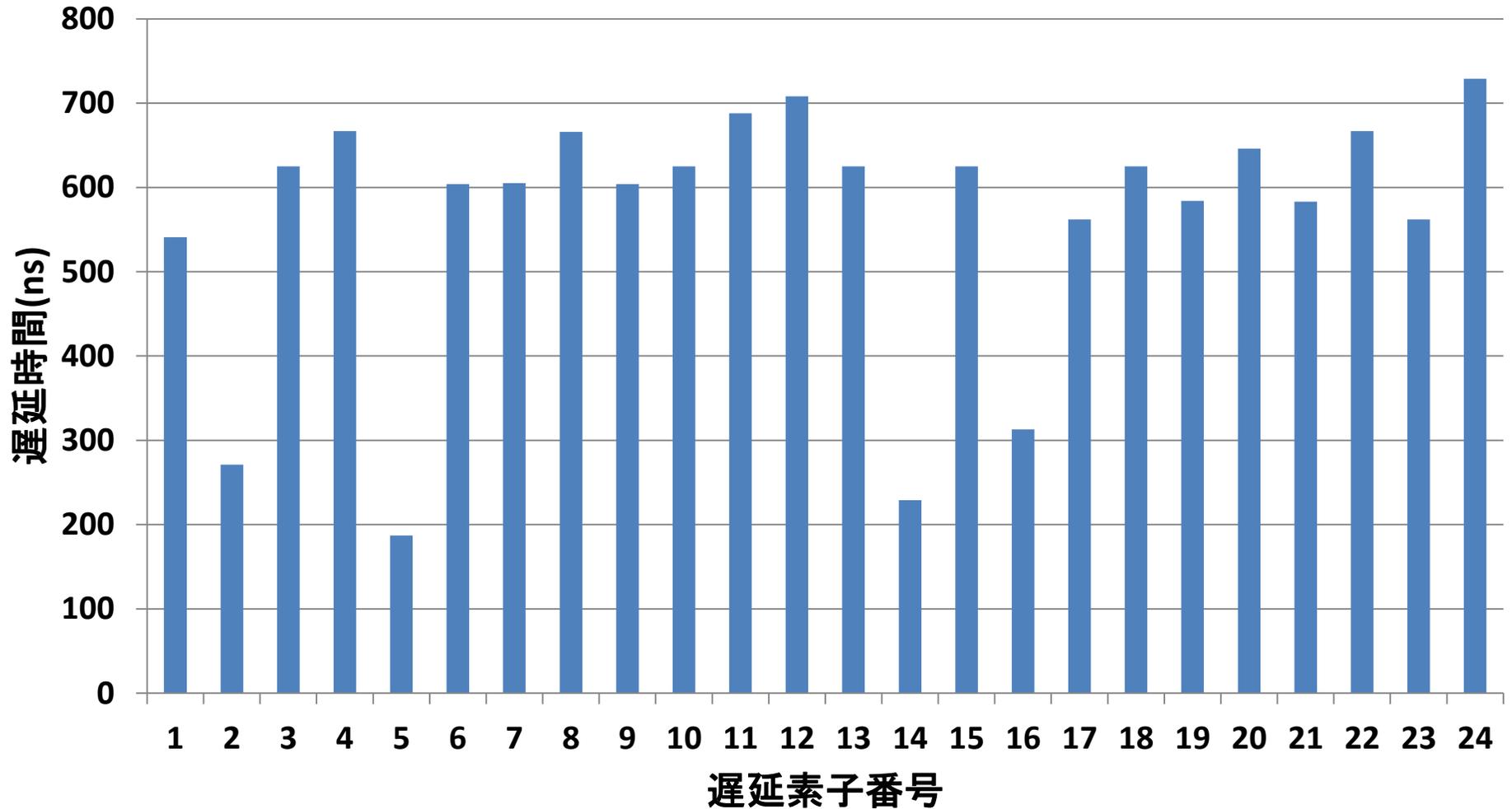
各素子遅延時間の計算

- TDCの通常測定モードにより時間差-デジタル値変換特性を計測
- フラッシュ型TDCでは下段から順に信号が伝搬
- (指定ビットのしきい値) - {(指定ビット - 1ビット)のしきい値}により遅延素子の遅延量を計算



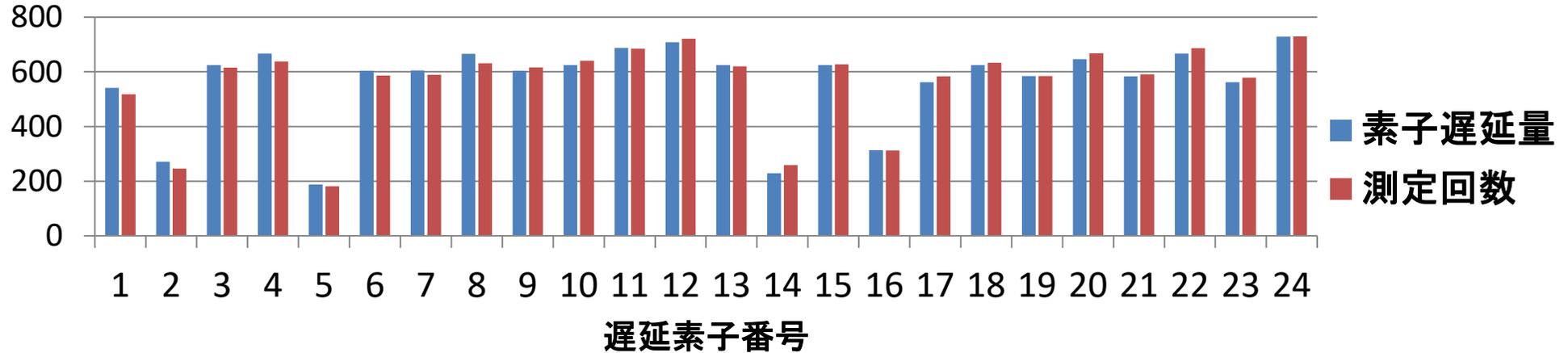
各遅延素子の遅延時間

各遅延素子の遅延時間

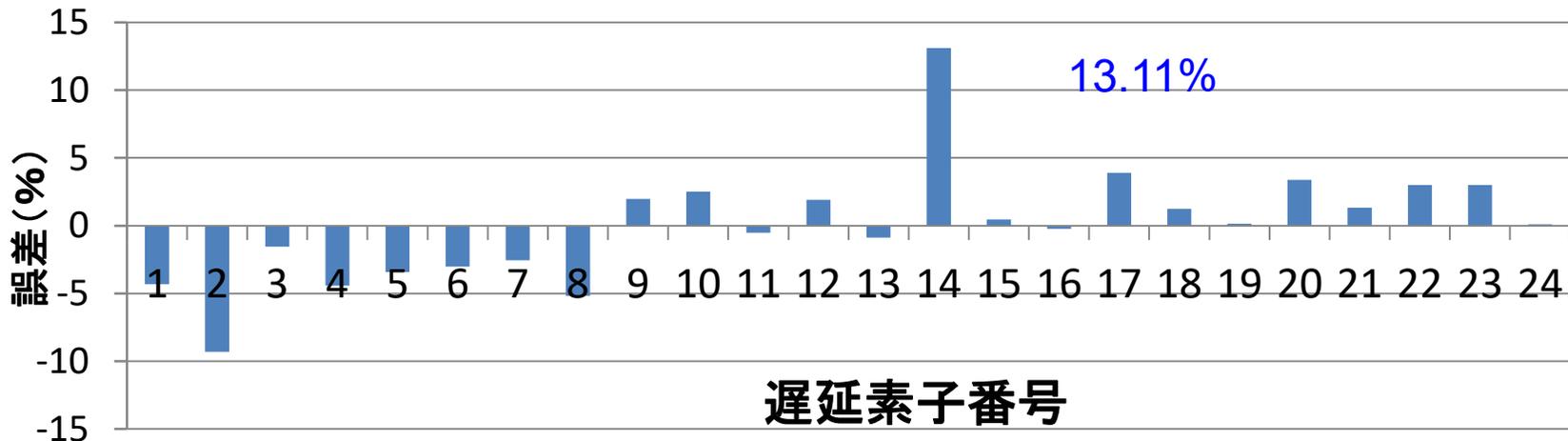


ヒストグラムと遅延時間の相関

各素子遅延量とヒストグラム' (=ヒストグラム/3.02)



遅延量とヒストグラムの誤差(%)



自己校正の計算

自己校正モードで取得したヒストグラムより各遅延素子毎の総和を算出

例 : $P_{in4} = 568(P_{in1}) + 743(P_{in2}) + 1860(P_{in3}) + 1927(P_{in4}) = 6094$



校正係数 = 実際の測定回数総和 / 全測定回数総和

例 : $P_{in4} = 6094 / 40934 = 0.148898226$



校正情報

通常測定結果
(出力デジタル値)

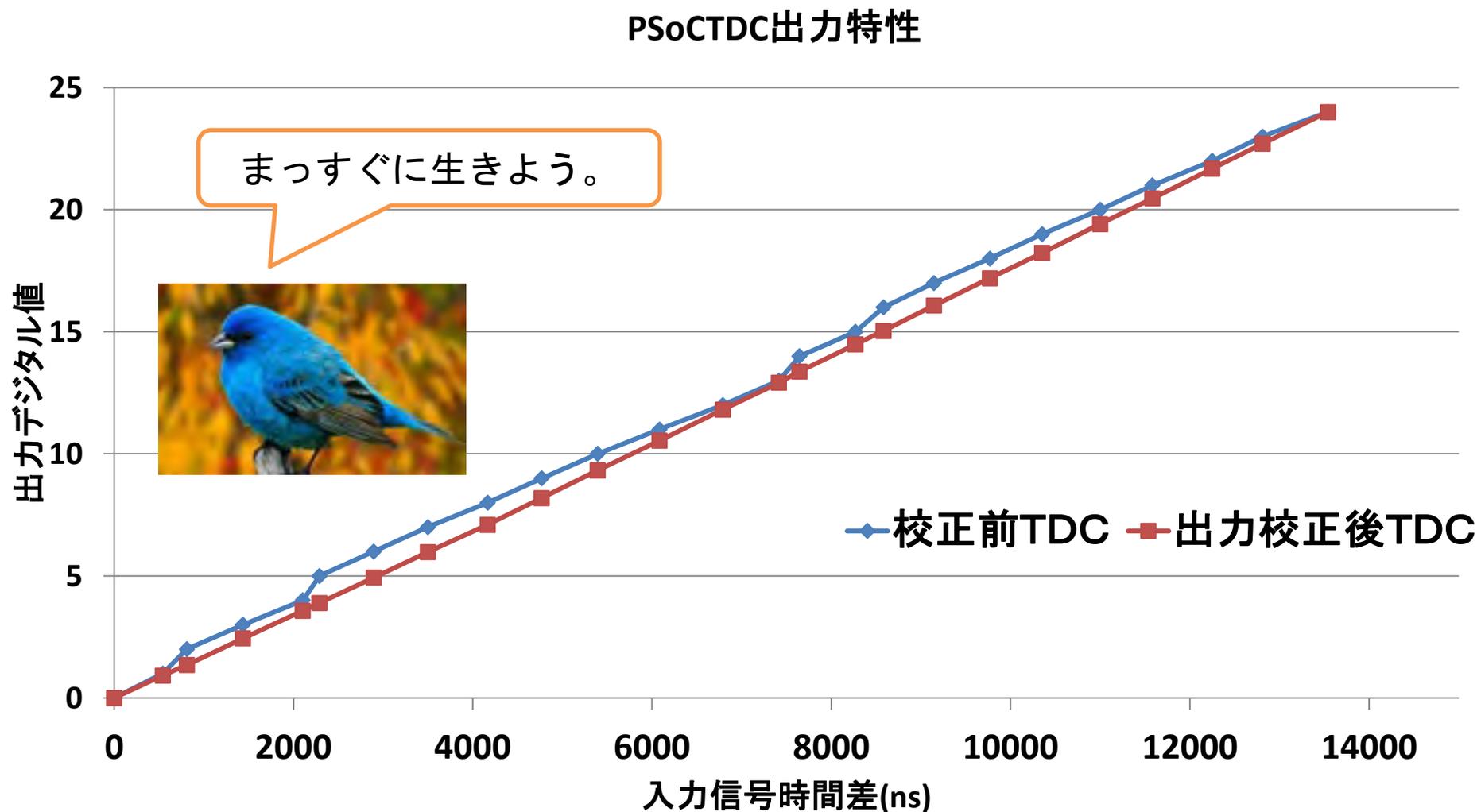
例 : 4



校正係数 × 24 より出力値校正

例 : $D_{out}(4) = 24 \times 0.148898226 \approx 3.57$

自己校正前後のTDC入出力特性



校正の評価

最小二乗法を用いて線形近似直線を求め、線形近似直線との誤差を計算

$$gain = \frac{N \times K_4 - K_1 \times K_2}{N \times K_3 - K_1^2} \quad offset = \frac{K_2}{N} - gain \times \frac{K_1}{N} \quad N: \text{データ数}(24)$$

i : 出力数

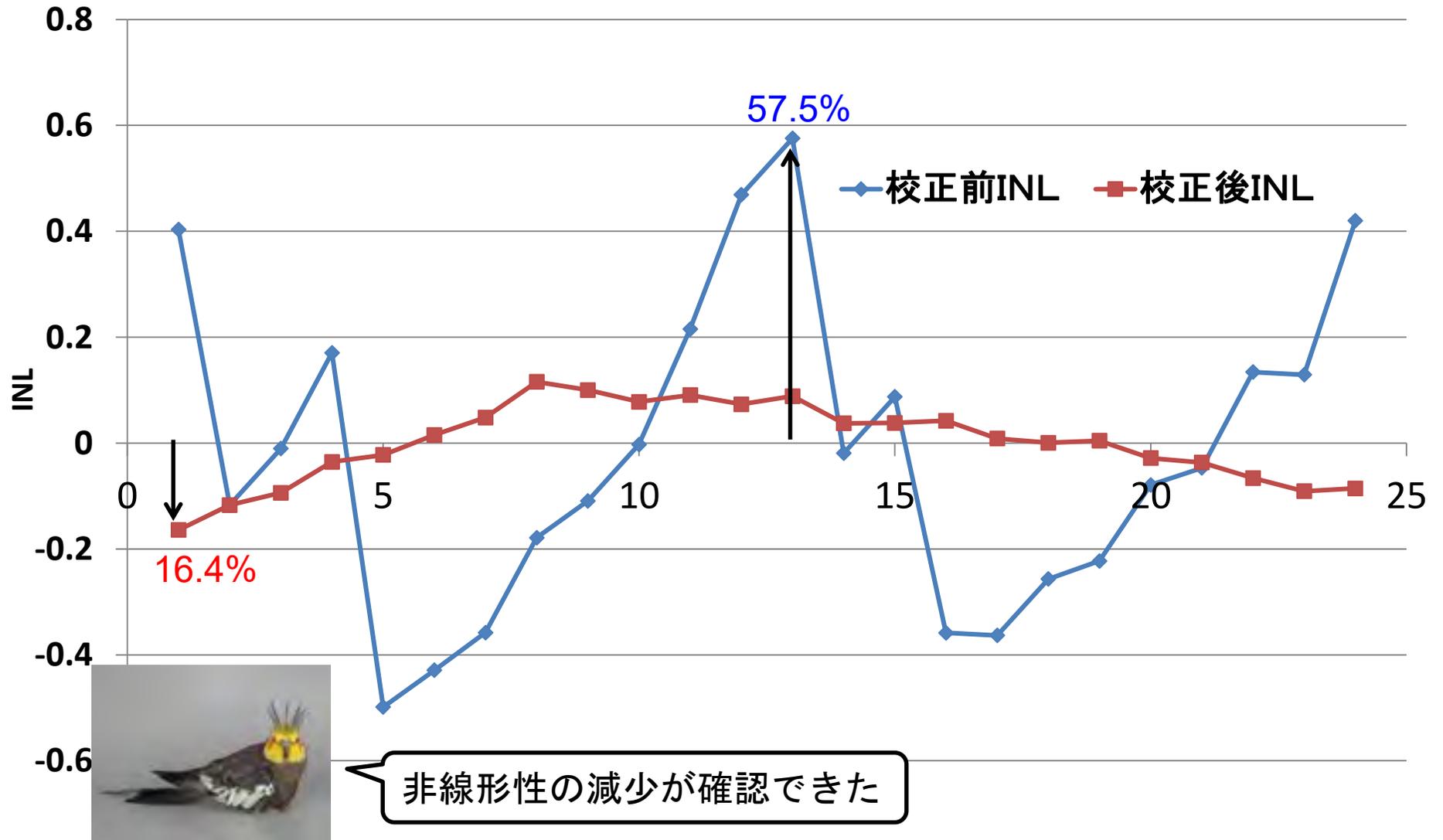
$$K_1 = \sum_{i=0}^{N-1} i \quad K_2 = \sum_{i=0}^{N-1} S(i) \quad K_3 = \sum_{i=0}^{N-1} i^2 \quad K_4 = \sum_{i=0}^{N-1} i \times S(i) \quad S(i): \text{入力遅延差のしきい値}$$

$$INL(i) = \frac{S(i) - (gain_{bestfit} \times i + offset_{bestfit})}{V_{LSB}}$$

INL: 積分非直線性誤差

近似直線を取り、誤差を1LSBの値で正規化

校正前後のINL



アウトライン

- 研究背景
- TDCの回路構成と線形性の自己校正原理
- アナログFPGAによる試作
- 測定結果・評価
- **まとめ**

まとめ

- アナログFPGAで自己校正TDCを実装した
- 実装したTDCにより時間-デジタル値変換測定を行った
- ヒストグラム法によるTDCの線形性の出力校正によって
INL最大57.5%が校正後最大16.4%まで減少を実測で確認できた。

今後の課題

完全な線形にはならず。

理由として

- 通常測定モードの入力可能な時間差信号の分解能不足
- 測定回数の不足



ヒストグラムの増加による更なる線形性の向上

LSIタイミング試験システムでの
BOST (Built-Out Self-Test)として展開していく。

詳しくは講義で...!!



- 横川電機 加藤さん

ADCと同じコンセプトで良いですか？

PSoCはビルドのたびにレイアウトが変わり、遅延も変わるため面白い研究だと思います。

– ADCと同じコンセプトだと思います。

- 東京都市大学 傘先生

24レベルであったが、ADCでは2のN乗が普通、なぜ24レベルであったか？ハードウェアの制限か？

– はい、今回のPSoCで限界まで分解能を増やすために24レベルとしました。

- 村田製作所

加藤先生のものよりも良い点は何？

- 可変遅延を用いたこと。

- 座長

遅延素子の方での校正は行わないのか？

- いずれは行いたい

入力可能時間差は全体の遅延素子の遅延量で制限される。

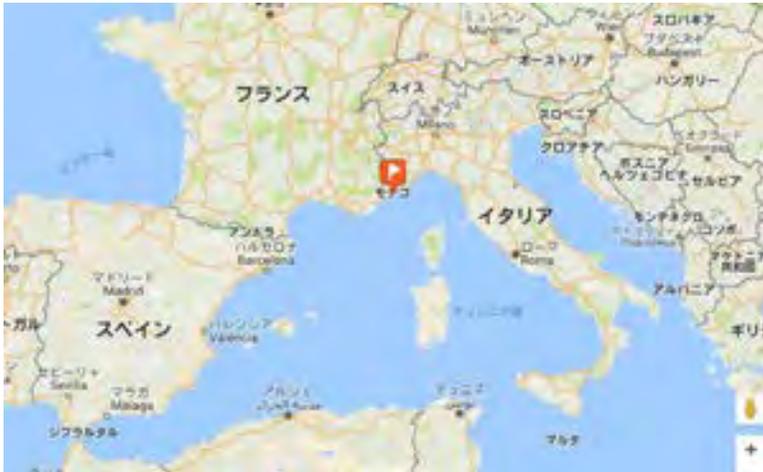
校正 (Calibration)

- 測定器の読み(出力)と、入力または測定の対象となる値との関係と比較する作業
- 「較」は常用漢字にない
校正またはこう正と表記することもある。
- 例えば、ある機器に流れる電流で「ある測定器で1Aなのに 別な測定器では5Aになる」なら、それらの測定は用をなさない。
- 較正は、それぞれの測定器の読みのずれを把握し共通の測定の基盤を作る行為。



質量の標準器
「キログラム原器」

モンテカルロ (Monte Carlo)



モンテカルロ:

イタリア語で「シャルル3世の山」の意味、彼の治世下で名づけられた。モナコ公国の中心市街地、モナコ経済を支える観光業の中心地区。国営カジノをはじめ、豪華なホテルなどの設備が集まる。芸術祭、スポーツ祭などの催しも多し。

モンテカルロ国営カジノは1,000人を収容する大広間と、ルーレットを備えたいくつかの部屋などからなり、絵画・浮き彫り・塑像などの装飾品、花壇を備えた前庭がある。



モナコ公国

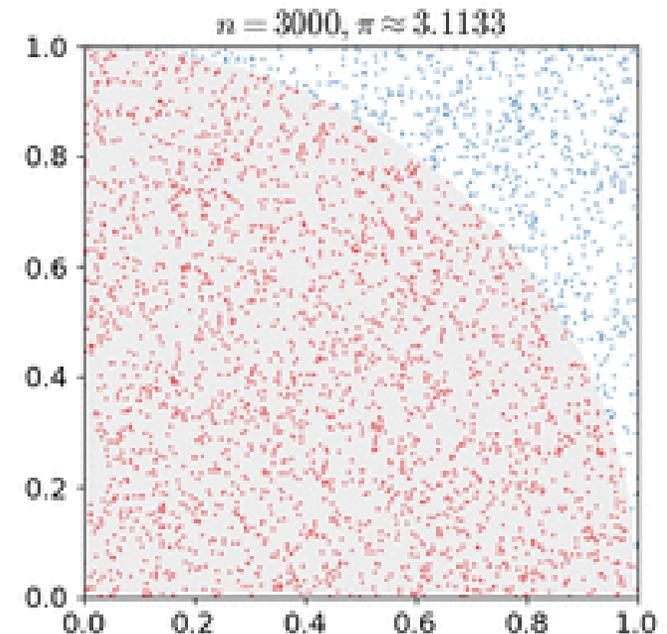


- 西ヨーロッパの立憲君主制国家、都市国家。
- 世界で2番目に小さい。
- 国連加盟国の中では世界最小。
- フランスの地中海沿岸地方コート・ダジュールのイタリアとの国境近くに位置する。
- 陸側周囲をフランスに囲まれ、極端に山がち。
- 熱帯公園などは観光資源。
- 最大都市はモンテカルロ。
- カジノやF1モナコグランプリ、
WRC・ラリー・モンテカルロが開催

モンテカルロ法

- シミュレーションや数値計算を乱数を用いて行う手法の総称
中性子が物質中を動き回る様子を探るために
スタニスワフ・ウラムが考案
- ジョン・フォン・ノイマンにより命名。
- カジノで有名な国家モナコ公国の4つの地区の1つである
モンテカルロから名付けられた。
- ランダム法とも呼ばれる。

モンテカルロ法で円周率 π の近似値。
30,000点をランダムにプロット。
 π の推定量は0.07%以下の誤差内。



ありがとうございました

Time continues indefinitely.



Kobayashi
Laboratory

Game Over !



We are analog designers,
but we appreciate digital technology.



Stochastic TDC Architecture with Self-Calibration

S. Ito, S. Nishimura, H. Kobayashi, S. Uemori,
Y. Tan, N. Takai, T. J. Yamaguchi, K. Niitsu

Gunma University, Japan

Supported by STARC

Outline

- Introduction
- Time to Digital Converter (TDC)
- Encoder Circuit
- Self-Calibration
- Stochastic TDC Structure
- Self-Testing Function
- Conclusions

Outline

- **Introduction**
- Time to Digital Converter (TDC)
- Encoder Circuit
- Self-Calibration
- Stochastic TDC Structure
- Self-Testing Function
- Conclusions

Introduction

**“Fine time resolution” and “high linearity”
TDC (Time to Digital Converter) is
essential for jitter BIST & ADPLLs**



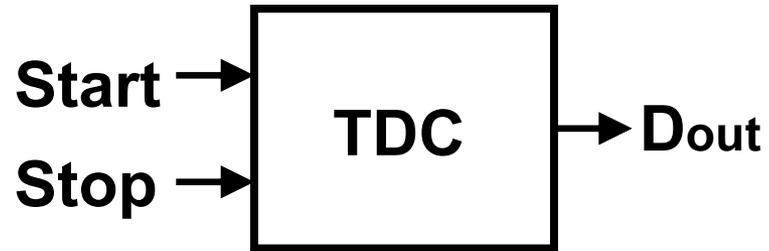
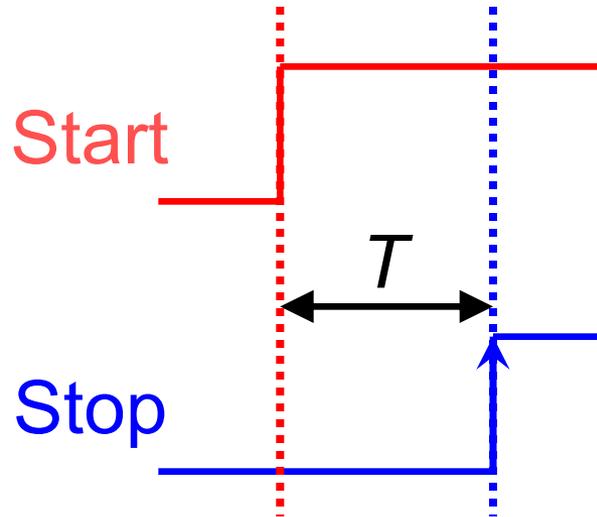
- High linearity TDC
→ Self-Calibration circuit
- Fine time resolution TDC
→ Stochastic architecture
- High reliability TDC
→ Self-testing capability

Outline

- Introduction
- **Time to Digital Converter (TDC)**
- Encoder Circuit
- Self-Calibration
- Stochastic TDC Structure
- Self-Testing Function
- Conclusions

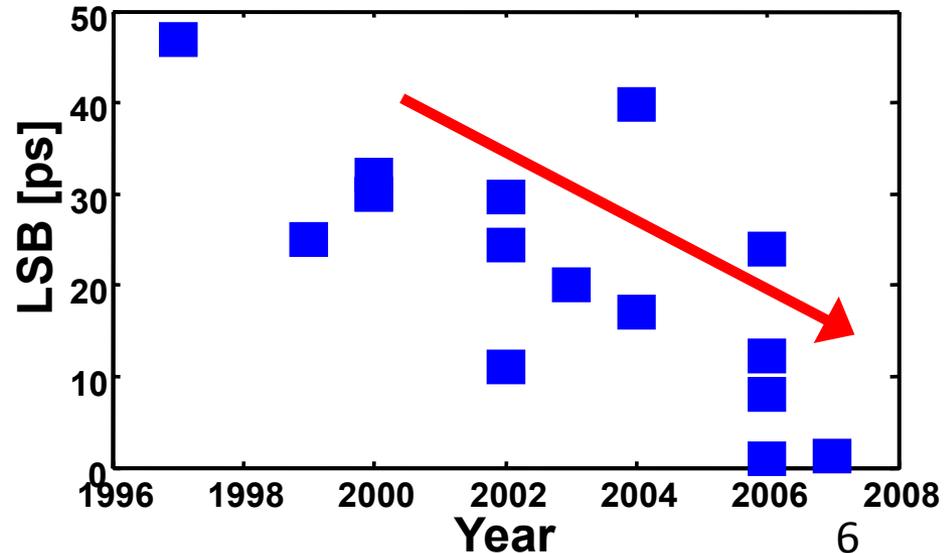
Time to Digital Converter (TDC)

● time interval → Measurement → Digital value

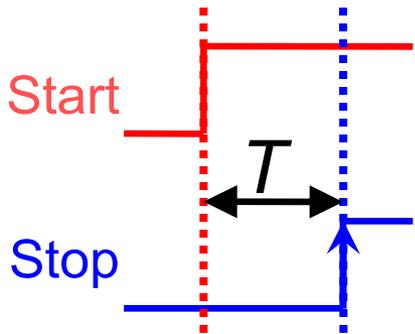


- Key component of Time-domain analog circuit
- Higher resolution can be obtained with scaled CMOS

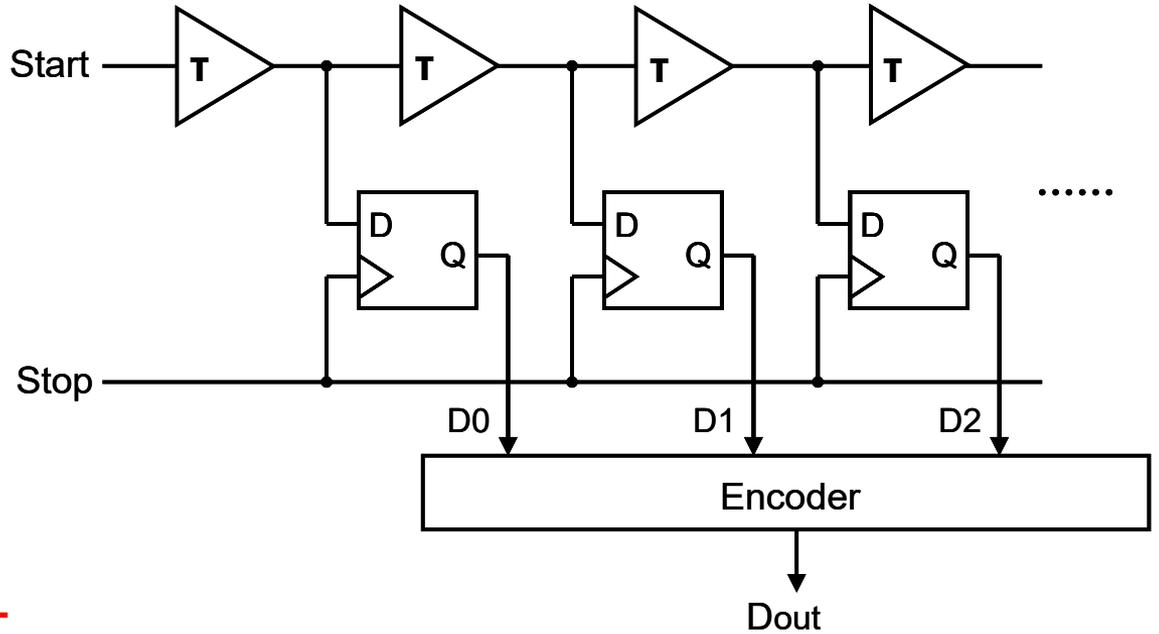
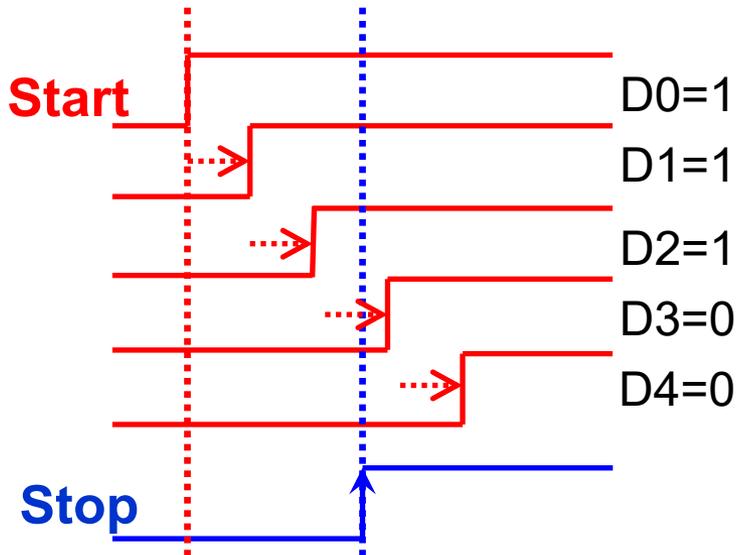
Higher resolution with CMOS scaling



Time to Digital Converter (TDC)



Timing chart



Encoder

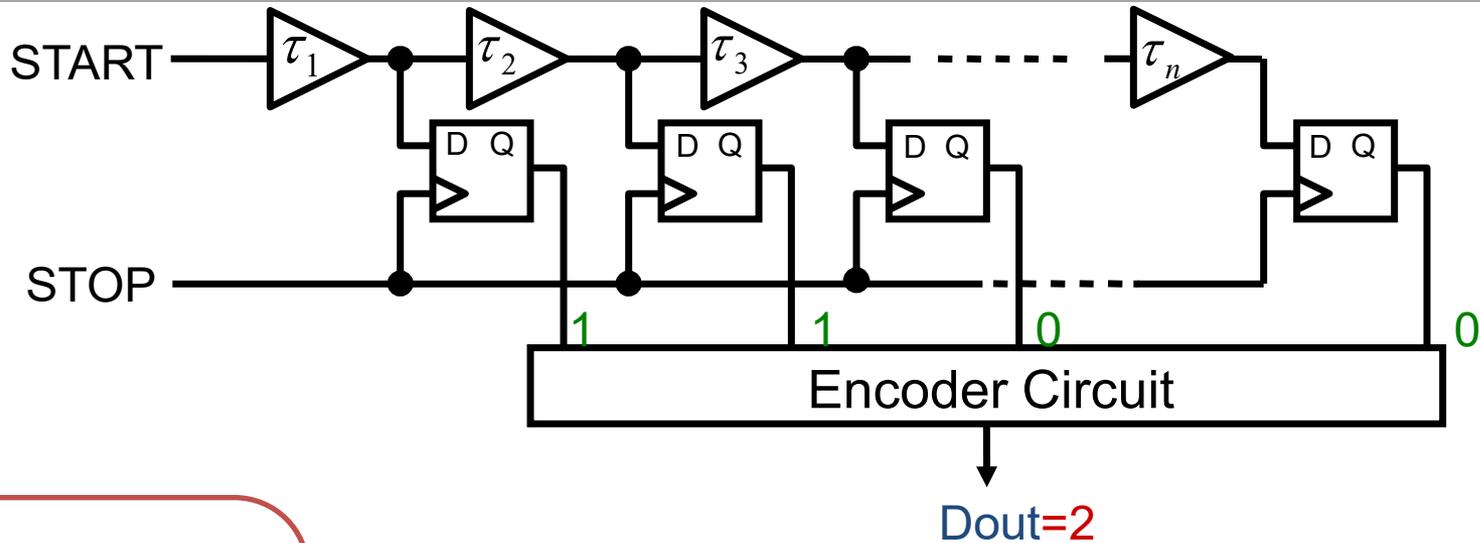
Thermometer code

binary code

Outline

- Introduction
- Time to Digital Converter (TDC)
- **Encoder Circuit**
- Self-Calibration
- Stochastic TDC Structure
- Self-Testing Function
- Conclusions

Encoder Circuit



DFF outputs Dout	
00000000	0
10000000	1
11000000	2
11100000	3
11110000	4
11111000	5
11111100	6
11111110	7
11111111	8

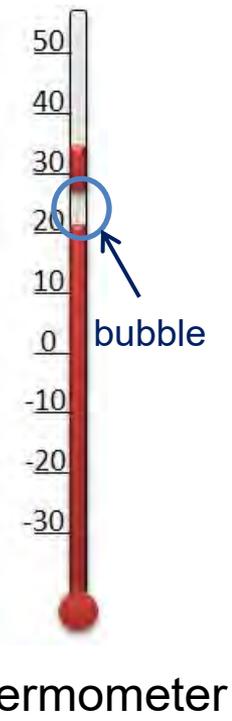


10100000	2
11100000	3
11101000	4
11101010	5
11101011	6

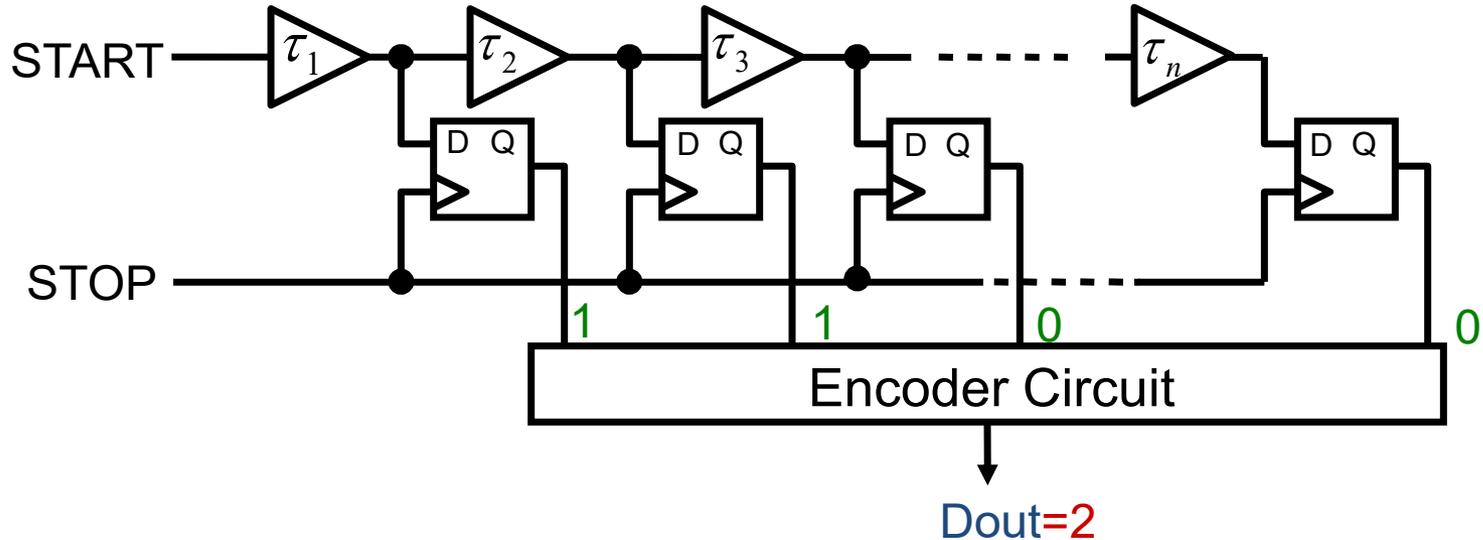
Buffer delay
DFF offset mismatch



Bubble error



Encoder Circuit

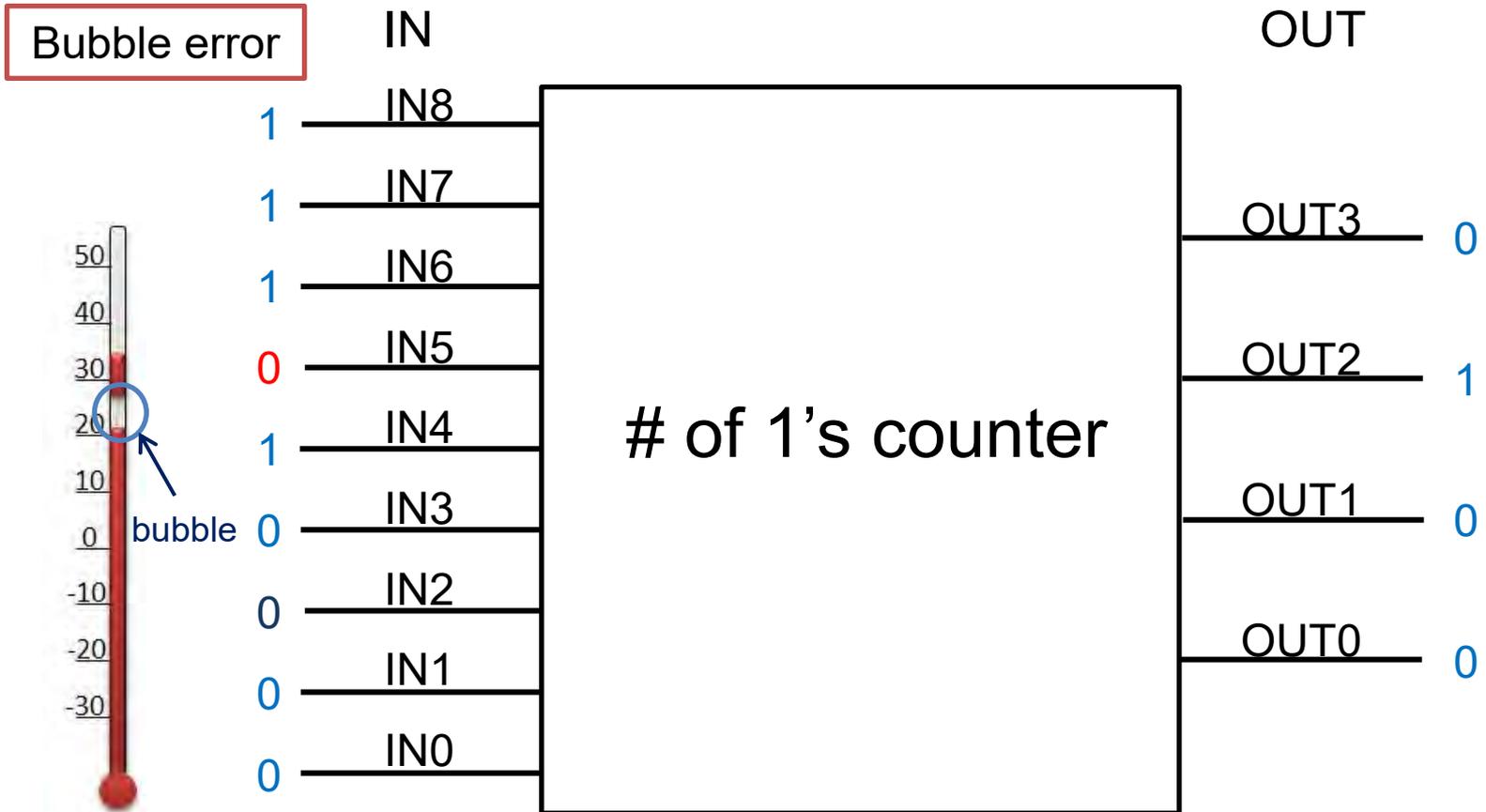


Count the number of “1” outputs from DFFs



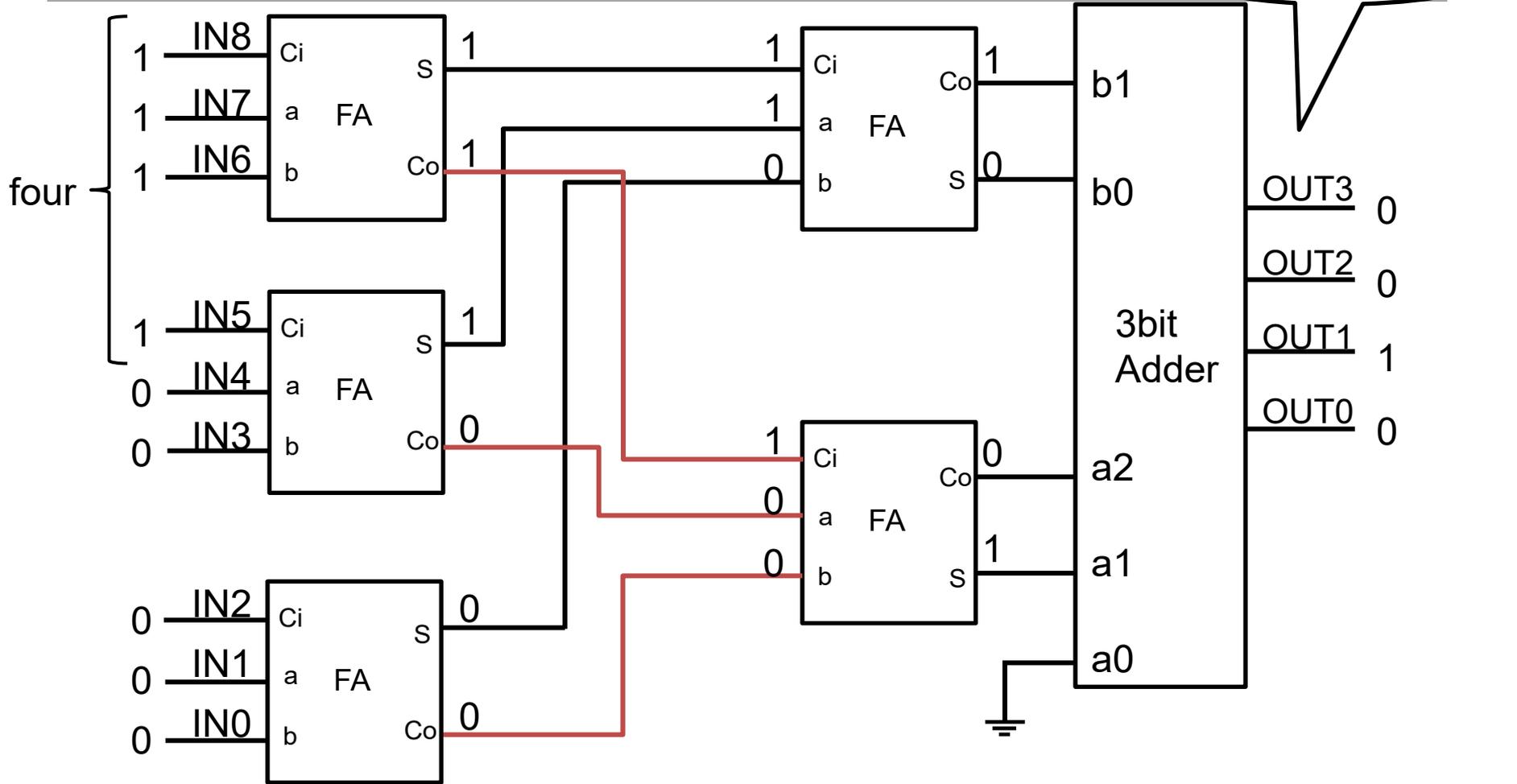
To ensure monotonicity of the TDC

Encoder Circuit



**Bubble error effects
are suppressed.**

Encoder Circuit

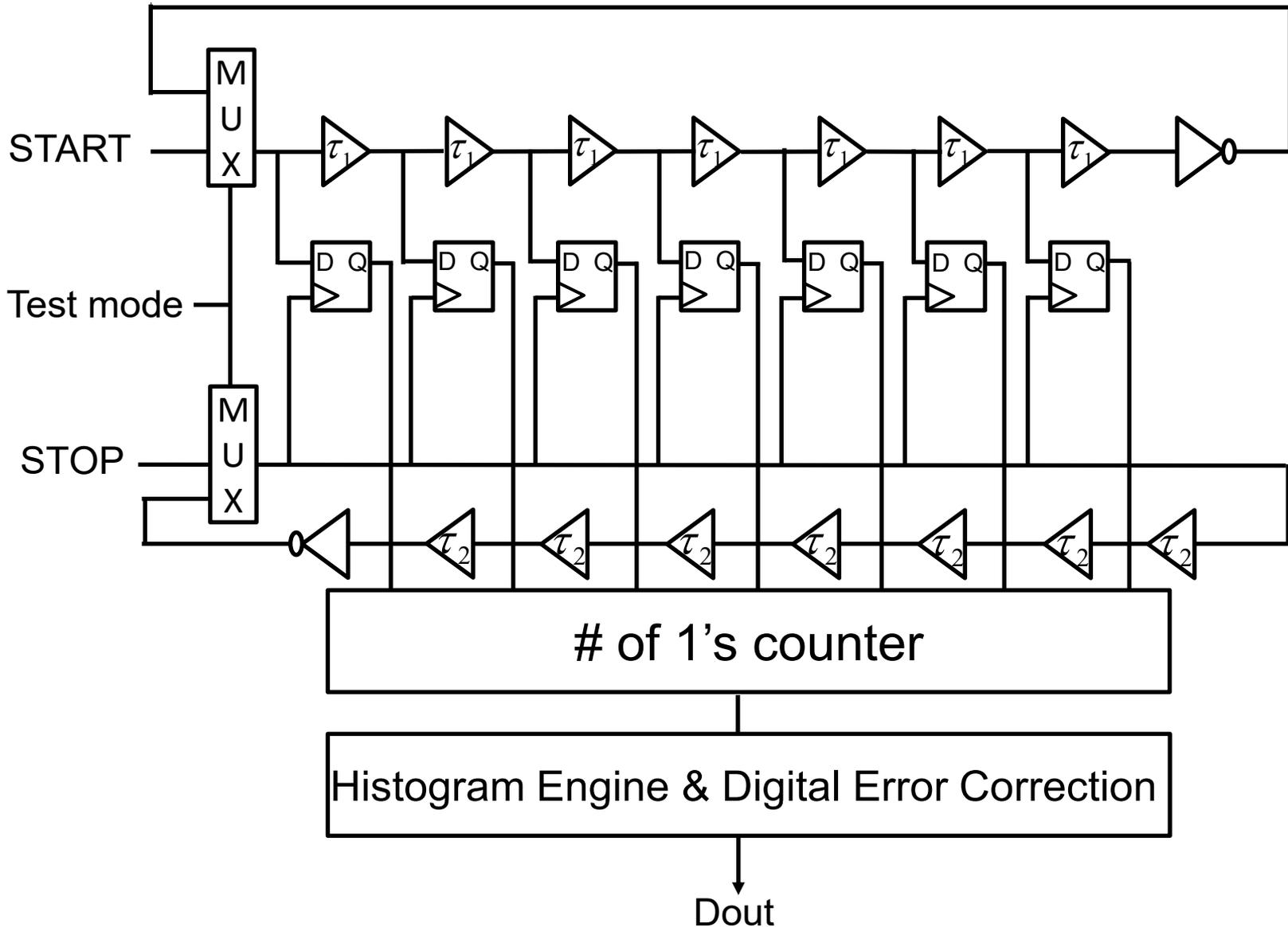


Designed the encoder using an array of full adders

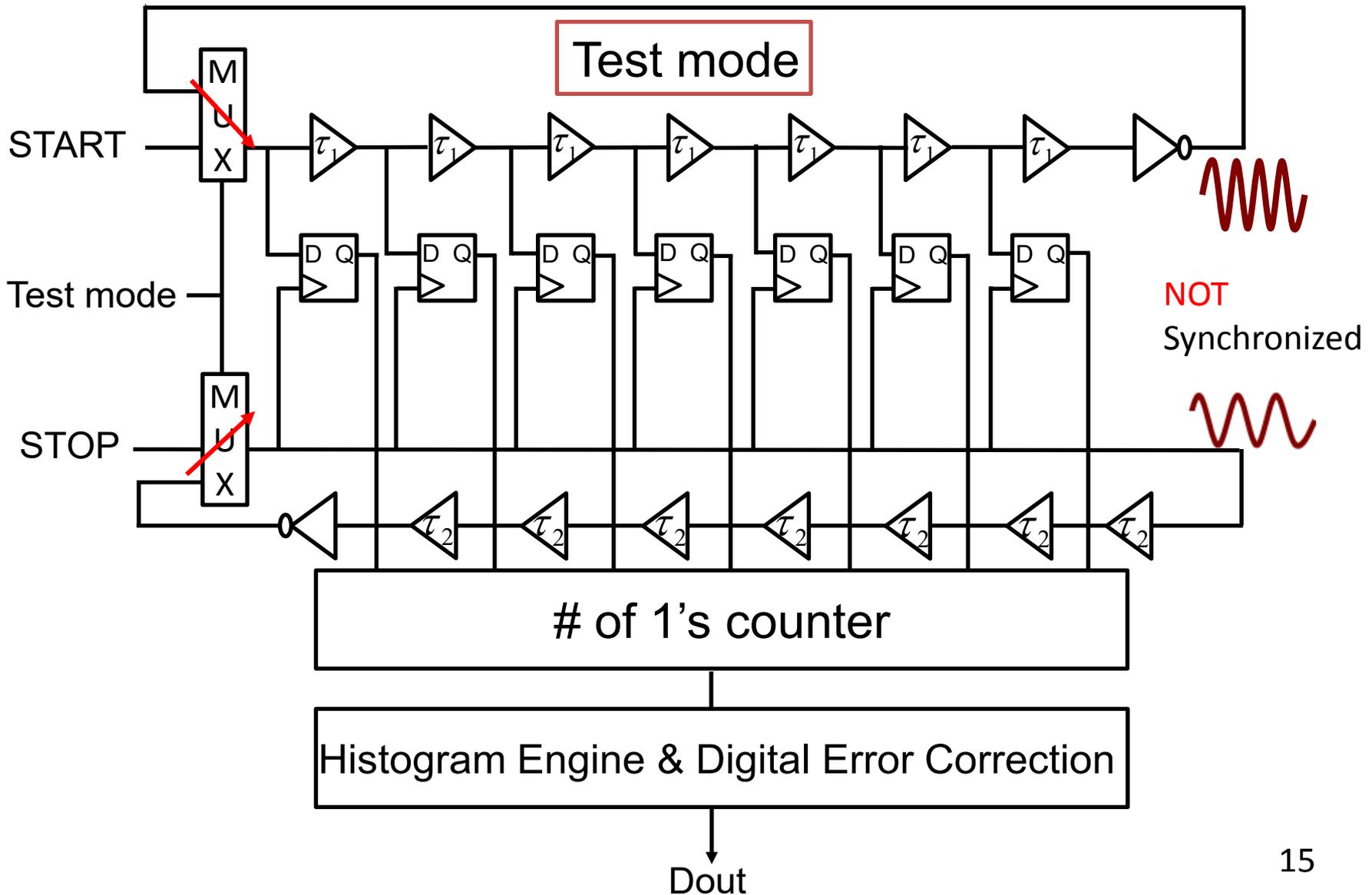
Outline

- Introduction
- Time to Digital Converter (TDC)
- Encoder Circuit
- **Self-Calibration**
- Stochastic TDC Structure
- Self-Testing Function
- Conclusions

Proposed TDC Architecture with Self-Calibration



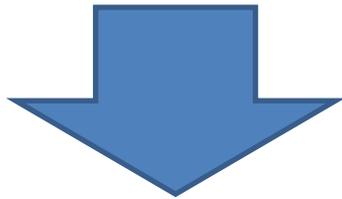
Self-Calibration Mode



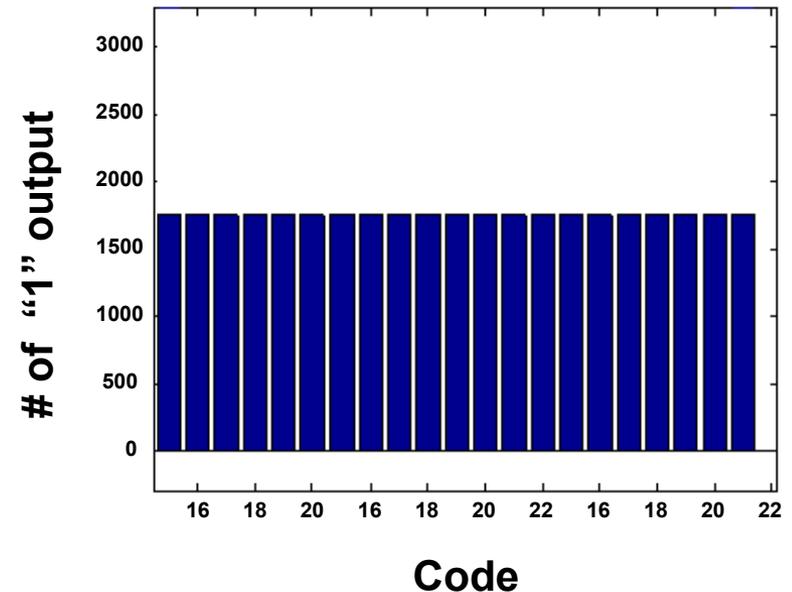
Self-Calibration

Test mode

The two oscillators are different from each other and not synchronized



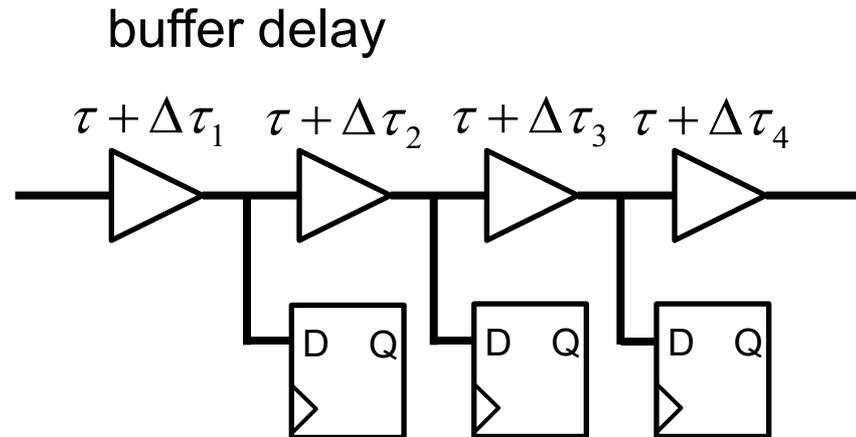
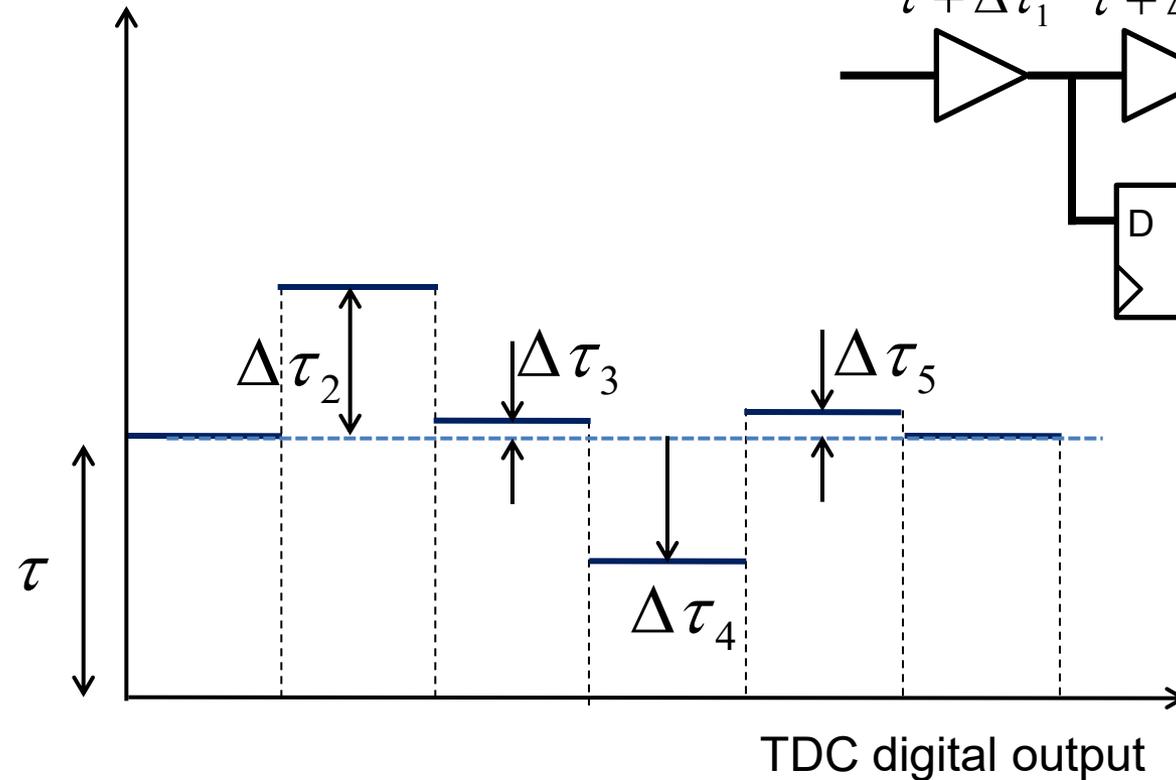
The histograms in all bins will be equal, after collection of a sufficiently large number of data, if the TDC has perfect linearity



Self-Calibration

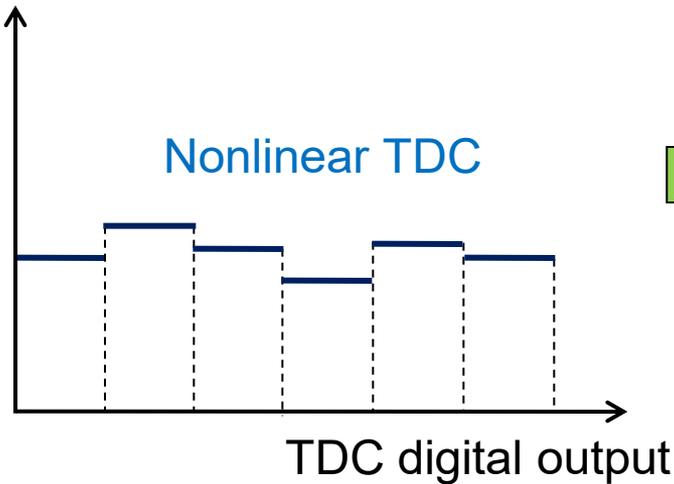
TDC is non-linear

Histogram

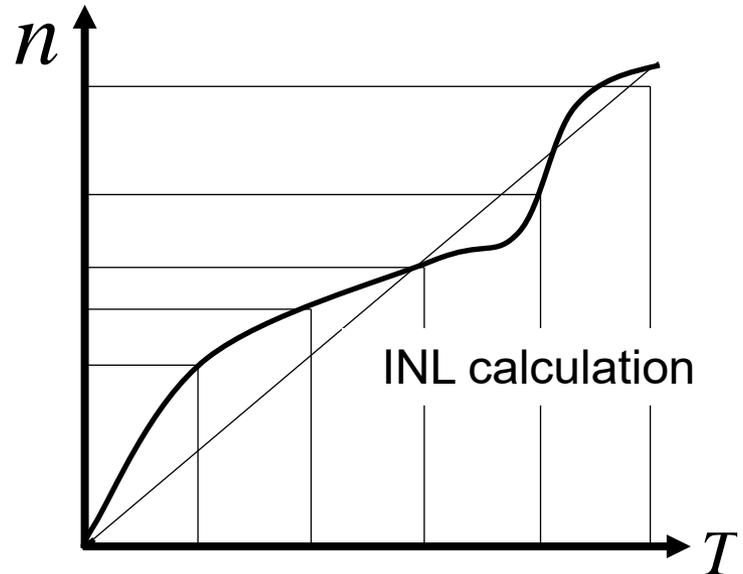


Principle of Self-Calibration

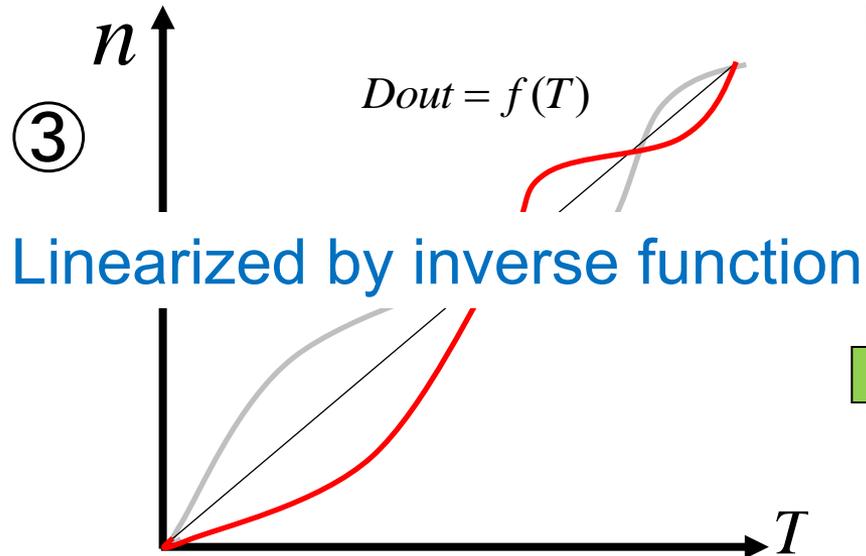
① Histogram



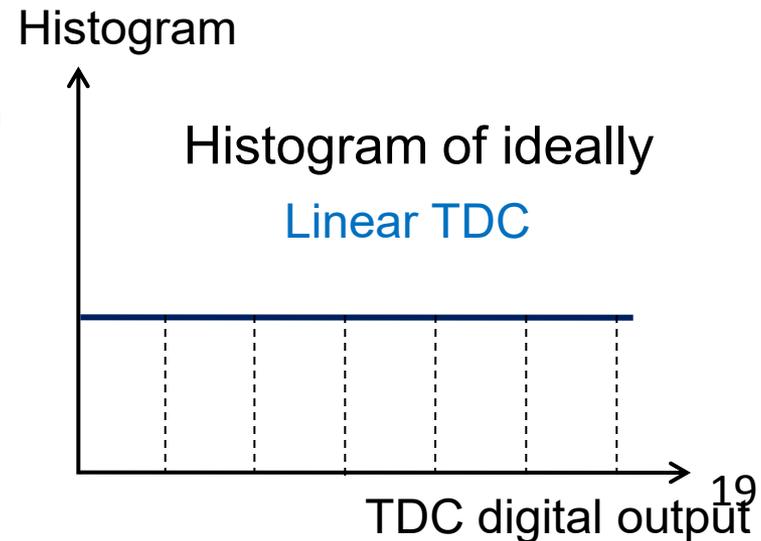
②



③



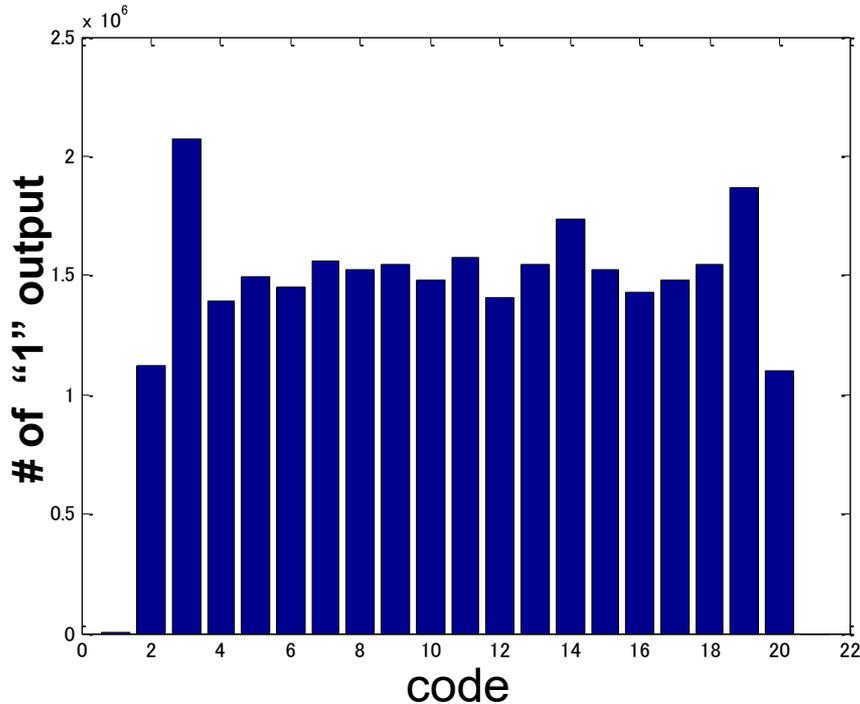
④



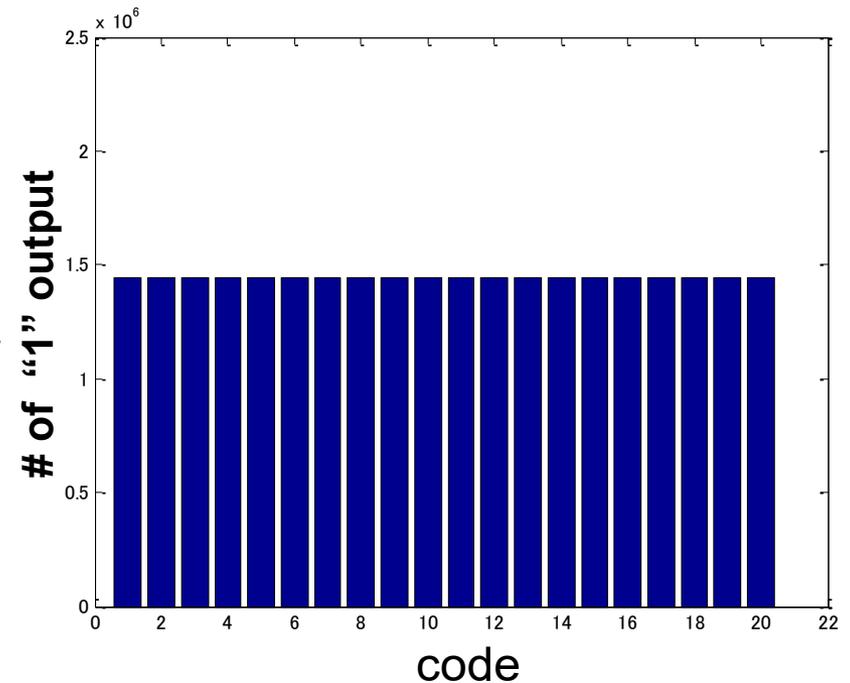
Simulation Result of Self-Calibration

MATLAB

before calibration



after calibration



Sampling points 28,848,432

$$\tau_1 = 60 \sim 69 \text{ ps}$$

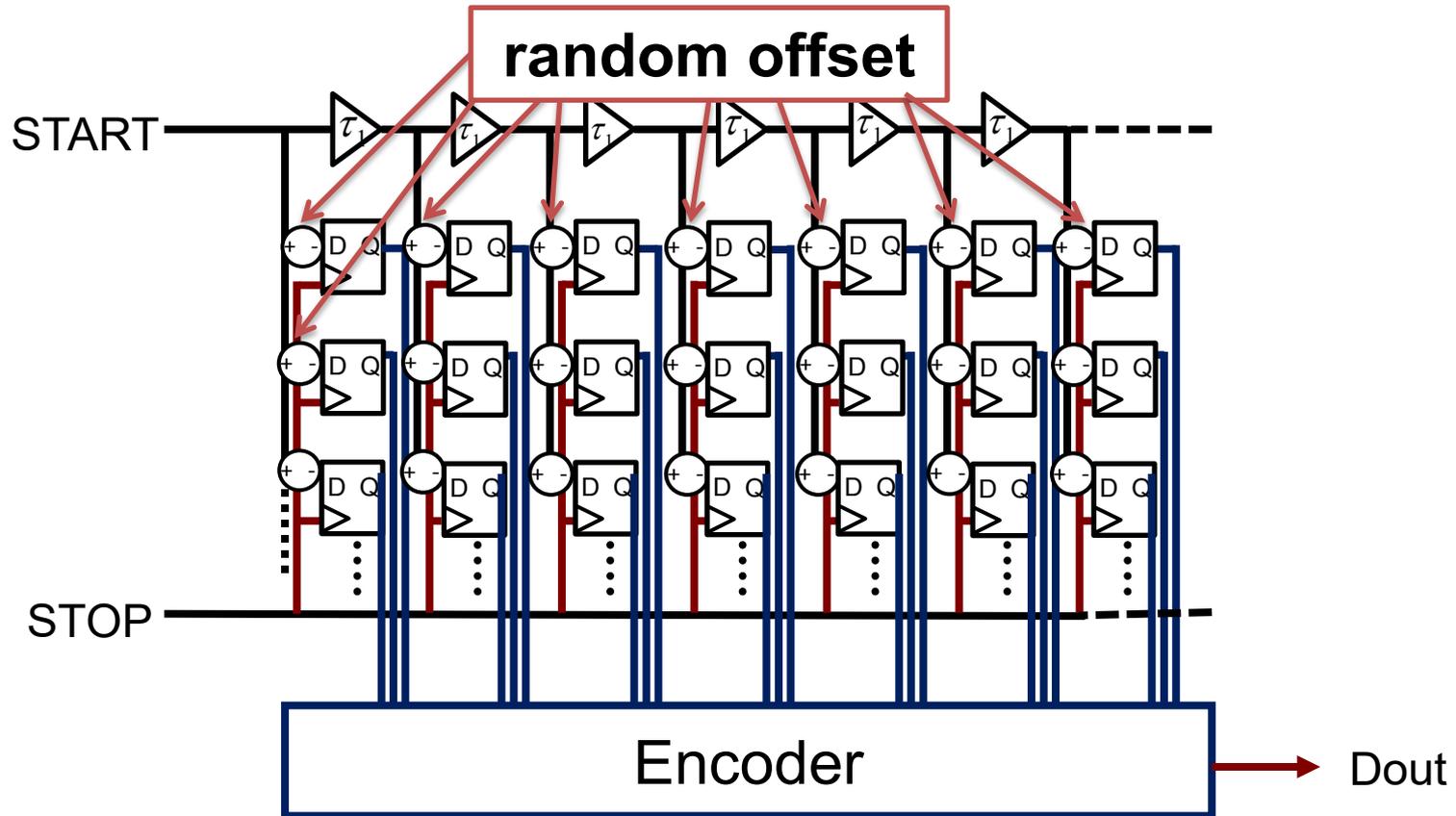
$$\tau_2 = 10 \text{ ns}$$

Histogram for each bin is the same when the TDC is linear.

Outline

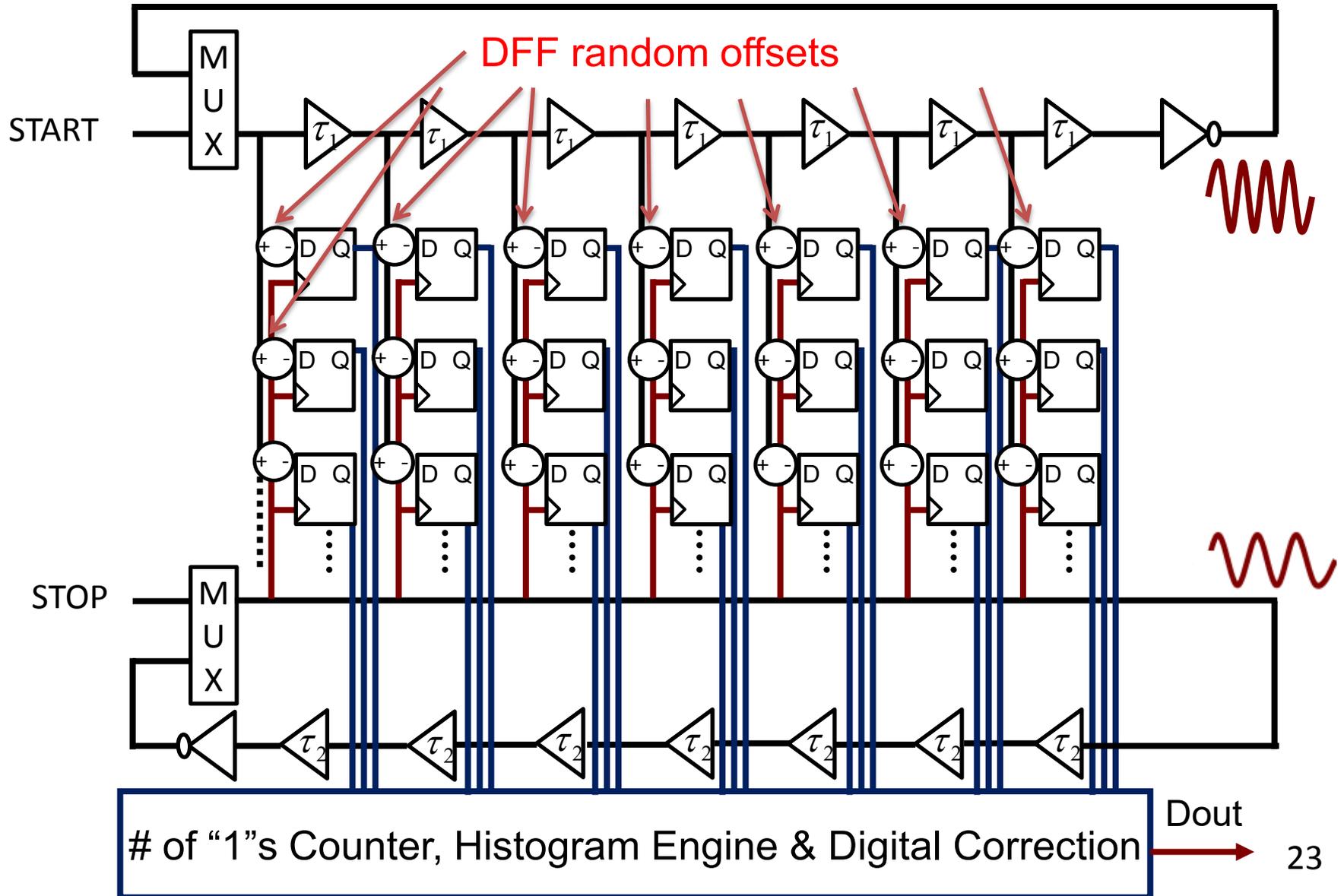
- Introduction
- Time to Digital Converter (TDC)
- Encoder Circuit
- Self-Calibration
- **Stochastic TDC Structure**
- Self-Testing Function
- Conclusions

Stochastic TDC Structure

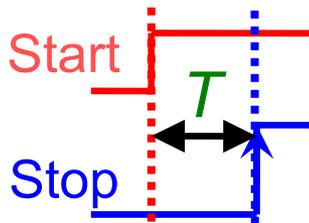
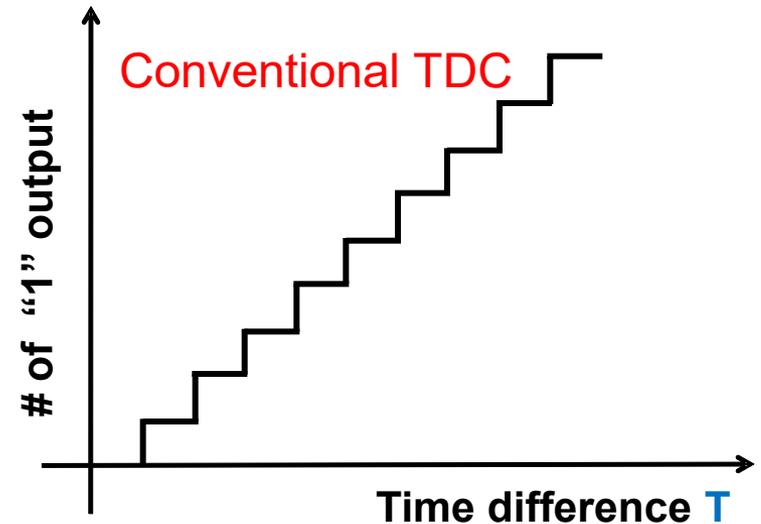
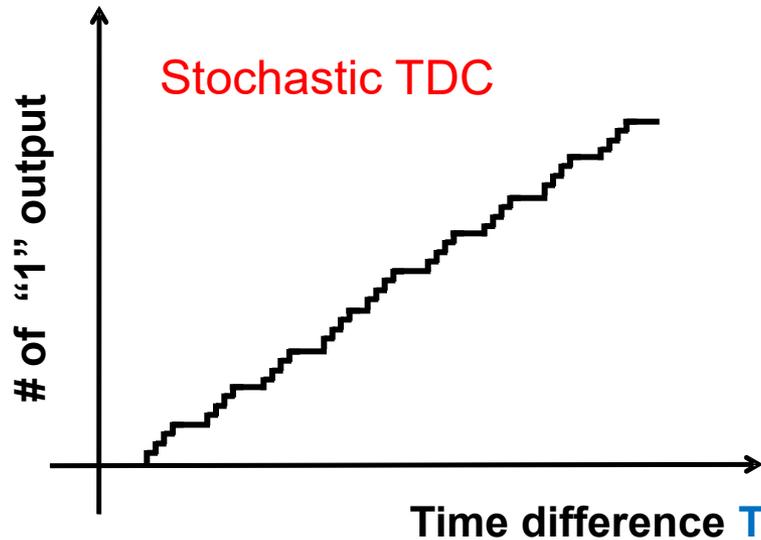


Use the random offset proactively

Stochastic TDC for Fine Time Resolution



Fine Time Resolution of Stochastic TDC

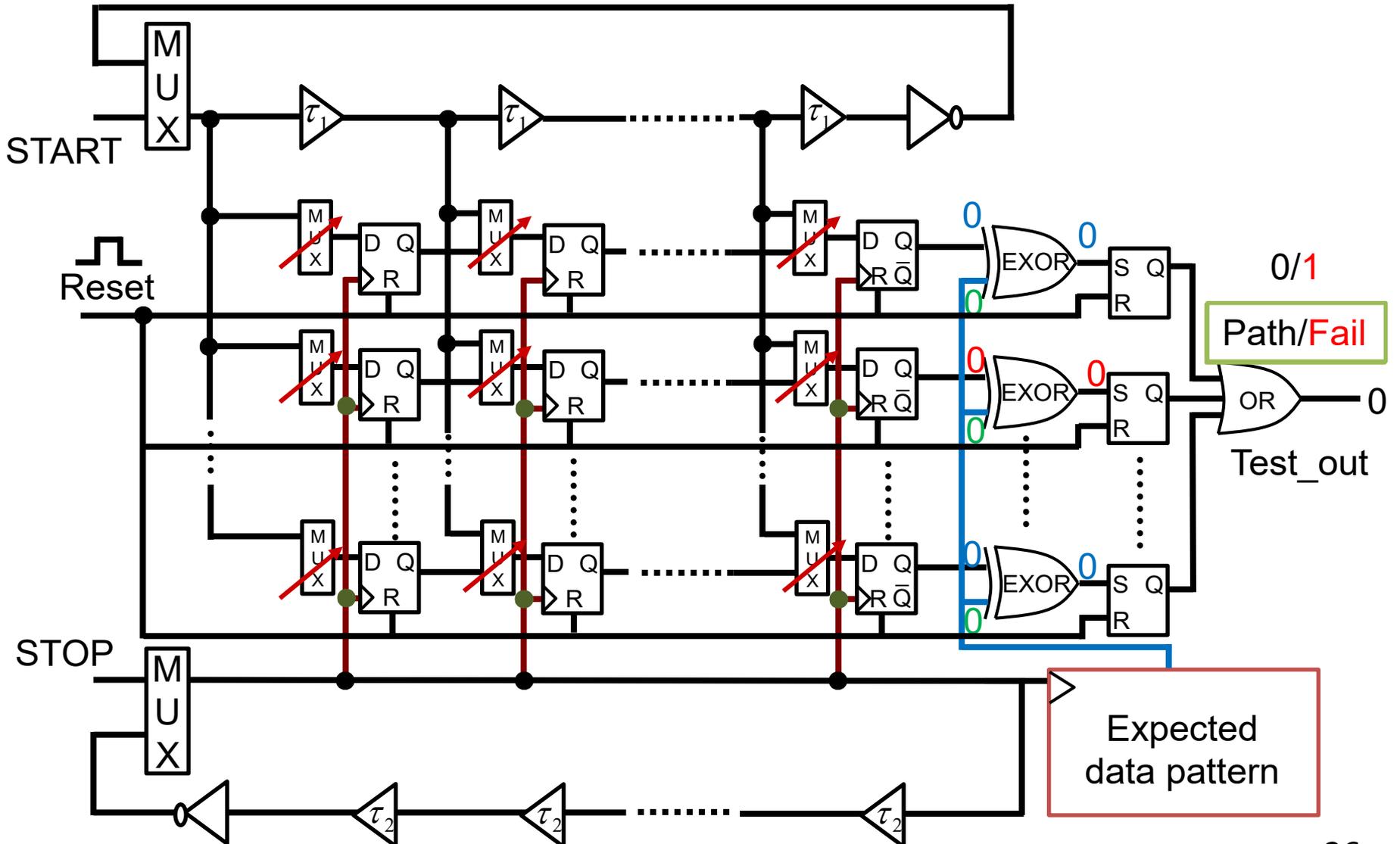


Encoder (# of 1's counter) and self-calibration make the stochastic TDC practical.

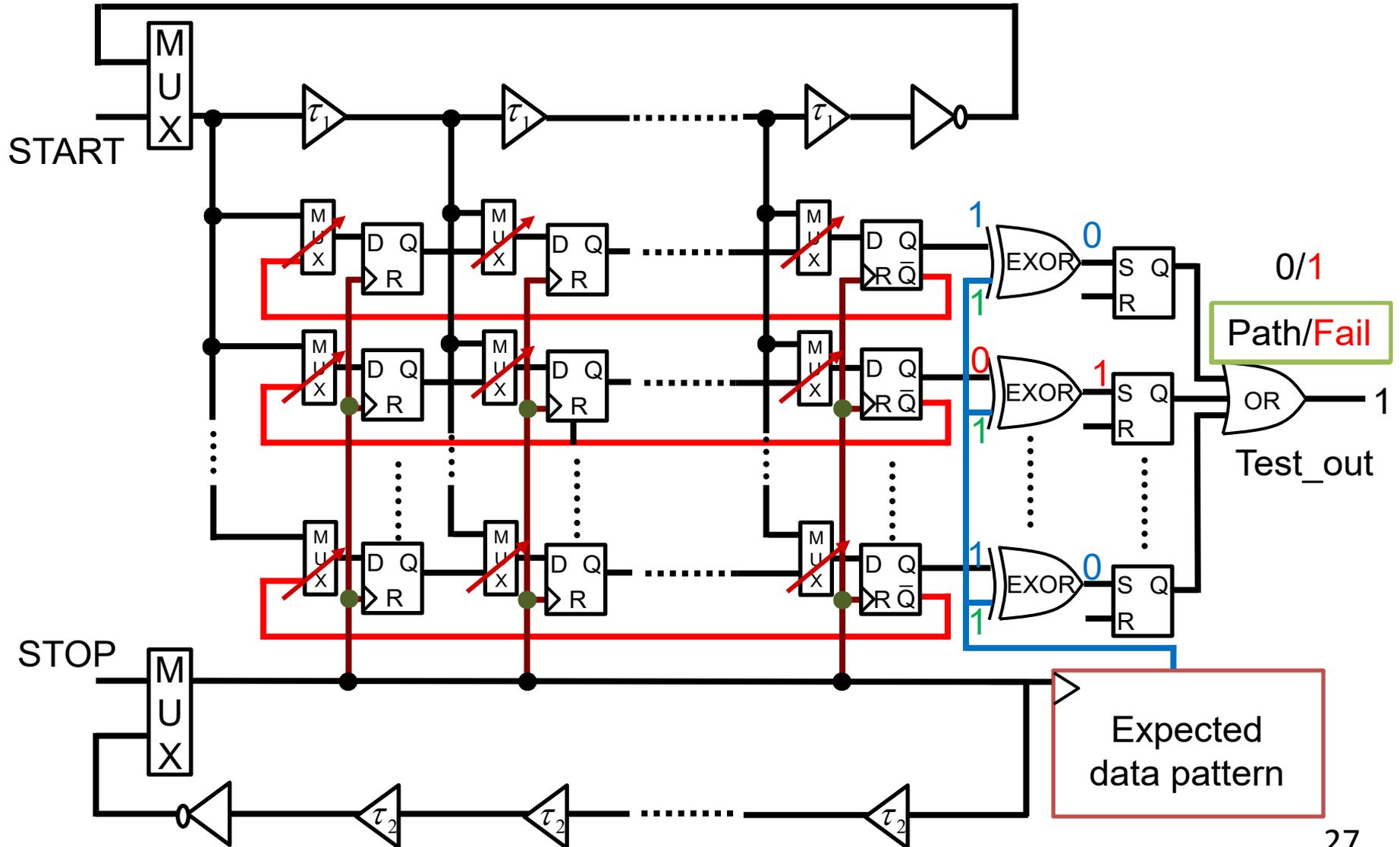
Outline

- Introduction
- Time to Digital Converter (TDC)
- Encoder Circuit
- Self-Calibration
- Stochastic TDC Structure
- **Self-Testing Function**
- Conclusions

Self-Testing Function



Self-Testing Function



Outline

- Introduction
- Time to Digital Converter (TDC)
- Encoder Circuit
- Self-Calibration
- Stochastic TDC Structure
- Self-Testing Function
- **Conclusions**

Conclusions

- High linearity TDC
→ Self-Calibration circuit
- Fine time resolution TDC
→ Stochastic architecture
- High reliability TDC
→ Self-testing capability

■ Fine digital CMOS implementation

- Verification
- Self-calibration
- Testability
- Consists of digital standard cells
(hence even FPGA implementation is possible)

バーニア原理を用いた高時間分解能 逐次比較型時間ディジタイザ回路の設計

群馬大学 修士1年

姜 日晨

Outline

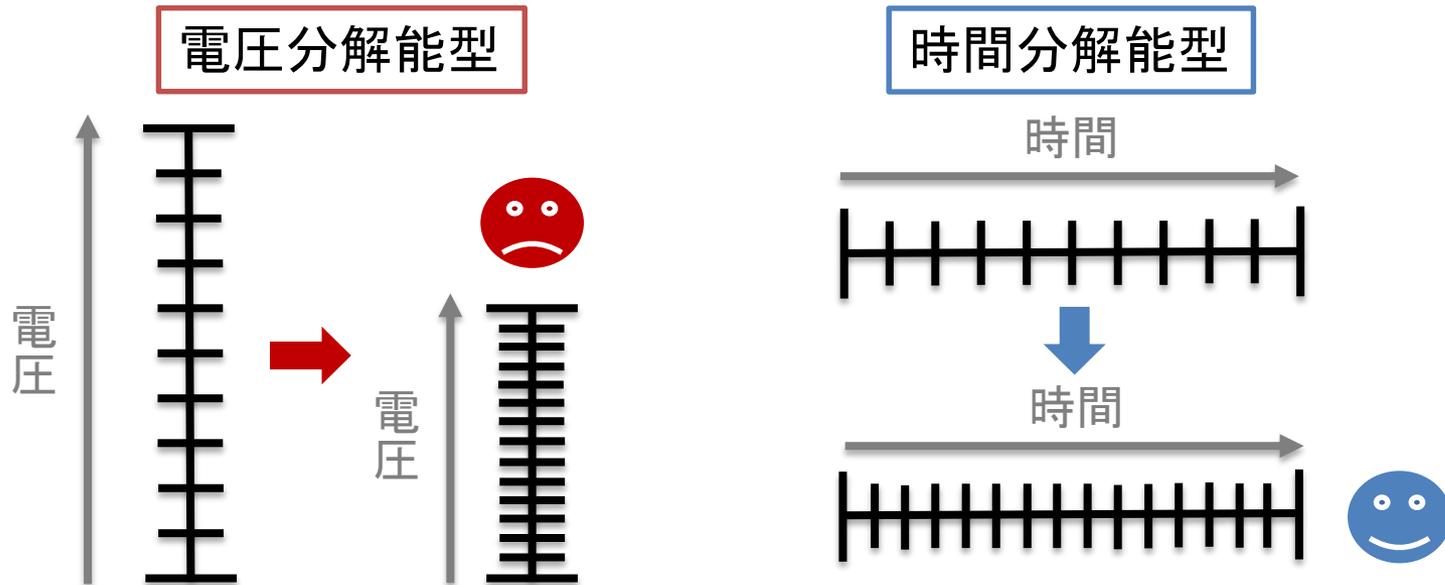
- 研究背景・目的
- フラッシュ型TDCと問題点
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- FPGA設計・シミュレーション
- まとめと課題

Outline

- 研究背景・目的
- フラッシュ型TDCと問題点
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- FPGA設計・シミュレーション
- まとめと課題

研究背景

CMOSプロセス技術の微細化 → { 低電圧化
動作速度の向上



時間ディジタイザ回路 (Time-to-Digital Converter、TDC) ;
タイミング信号の時間差を測定しデジタル出力

↳ { 全てデジタル回路で構成
微細化により時間分解能が上がる

研究目的

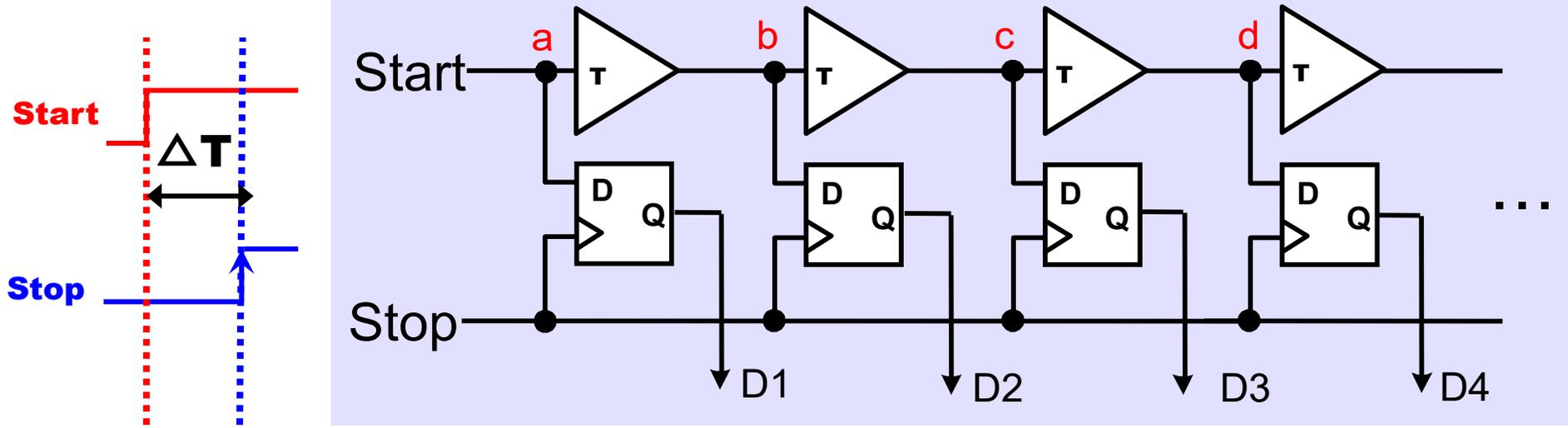
- 小規模回路で高時間分解能TDCアーキテクチャ開発
- FPGA実装・実現可能

Outline

- 研究背景・目的
- **フラッシュ型TDCと問題点**
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- FPGA設計・シミュレーション
- まとめと課題

タイムデジタイザ回路 (TDC)

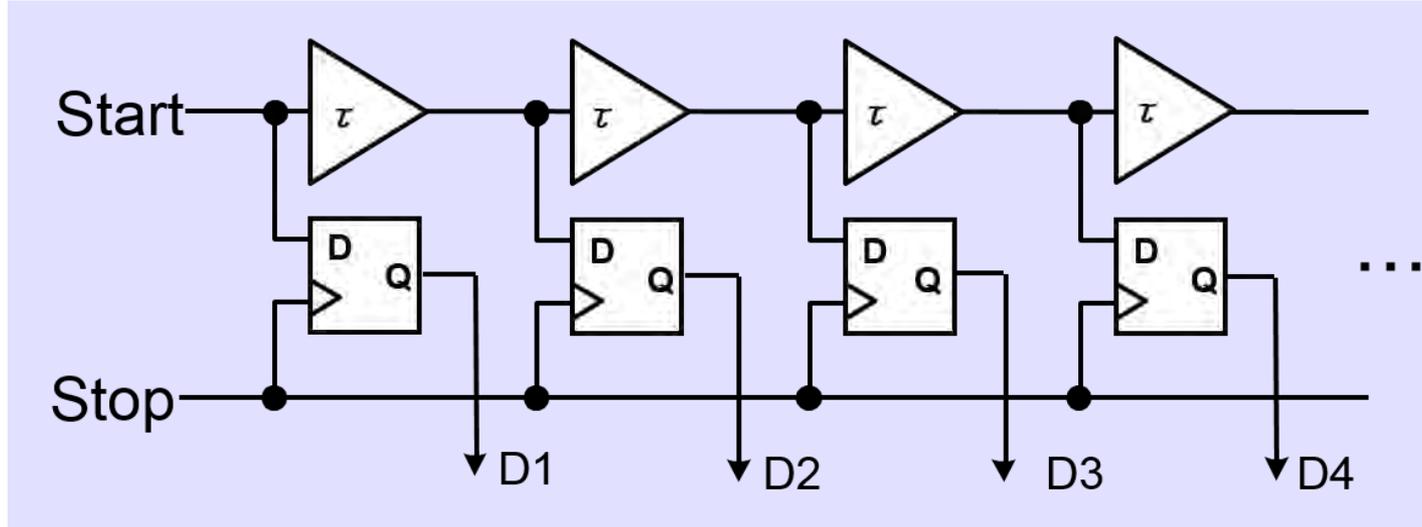
Time-to-Digital Circuit: 時間をデジタル計測



基本フラッシュ型TDC



基本フラッシュ型TDC



特性:

●バッファ数: $2^n - 1$ (10bit設計→1023個)

●D フリップ-フロップ数: $2^n - 1$ (10bit設計→1023個)

●最小時間分解能

・バッファのゲート遅延: τ

・半導体のプロセス性能に依存



回路規模: 大



消費電力: 大きい

基本フラッシュ型TDCの二つの課題

- ① バッファとDフリップフロップの数は多い
- ② 時間分解能は足りない

基本フラッシュ型TDCの二つの課題

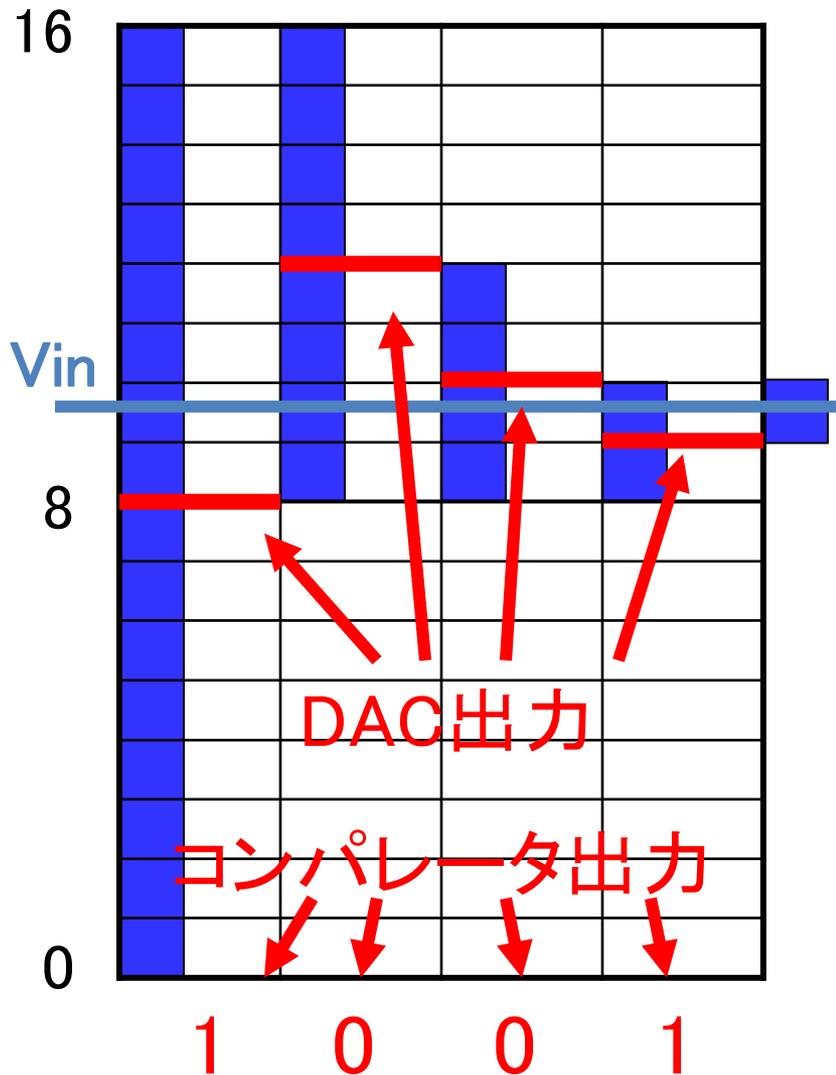
- ① バッファとDフリップフロップの数は多い
- ② 時間分解能は足りない

課題①に対する：
逐次比較型TDC

Outline

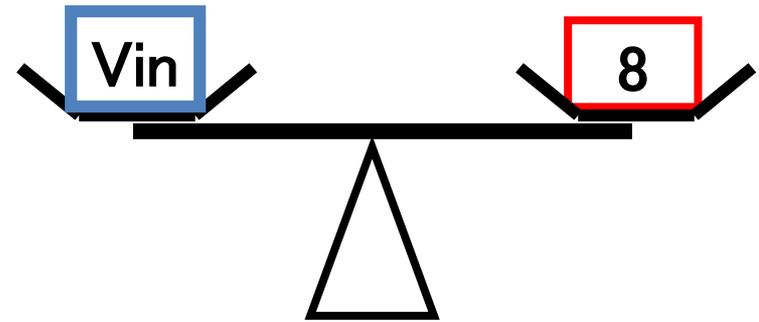
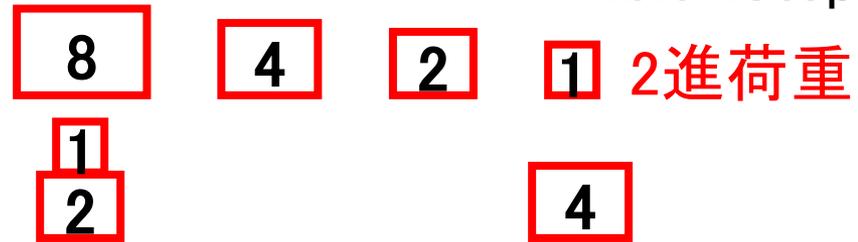
- 研究背景・目的
- フラッシュ型TDCと問題点
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- FPGA設計・シミュレーション
- まとめと課題

SAR: 2進探索アルゴリズム



“天秤の原理”

4bit 4step

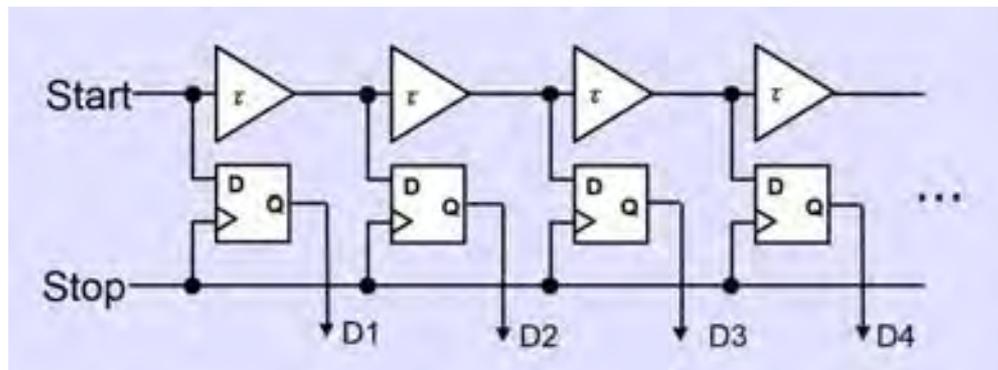


$$\boxed{\text{Vin}} = \begin{matrix} \boxed{4} \\ \boxed{8} \end{matrix} - \begin{matrix} \boxed{1} \\ \boxed{2} \end{matrix} = 9$$

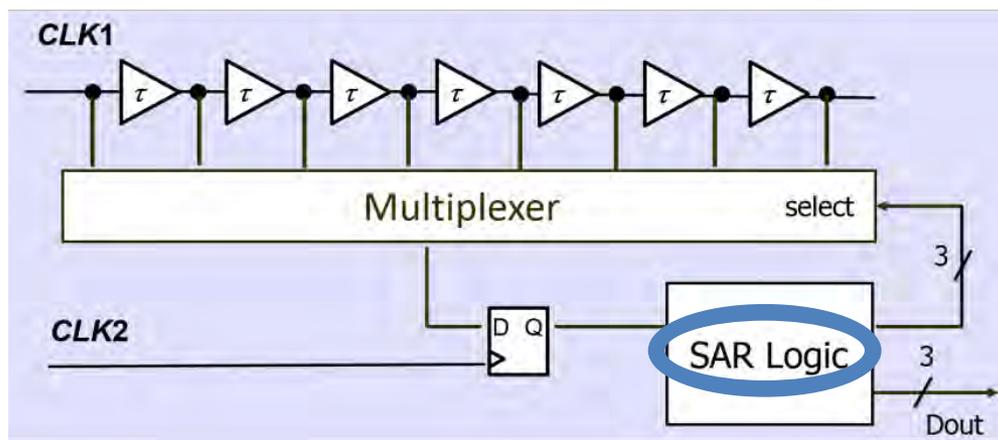
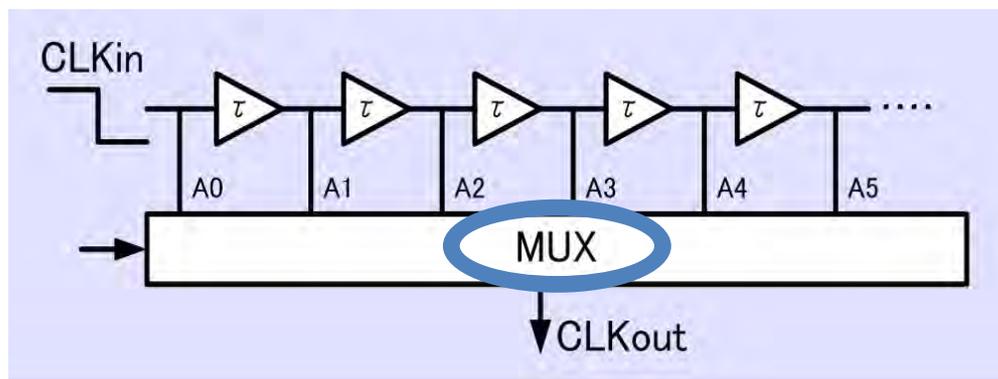
逐次比較近似 TDCの構成

マルチプレクサを使用し
Dフリップ-フロップ数を削減

逐次比較近似の原理を利用し
回路の動作ループを作る



基本フラッシュ型TDC

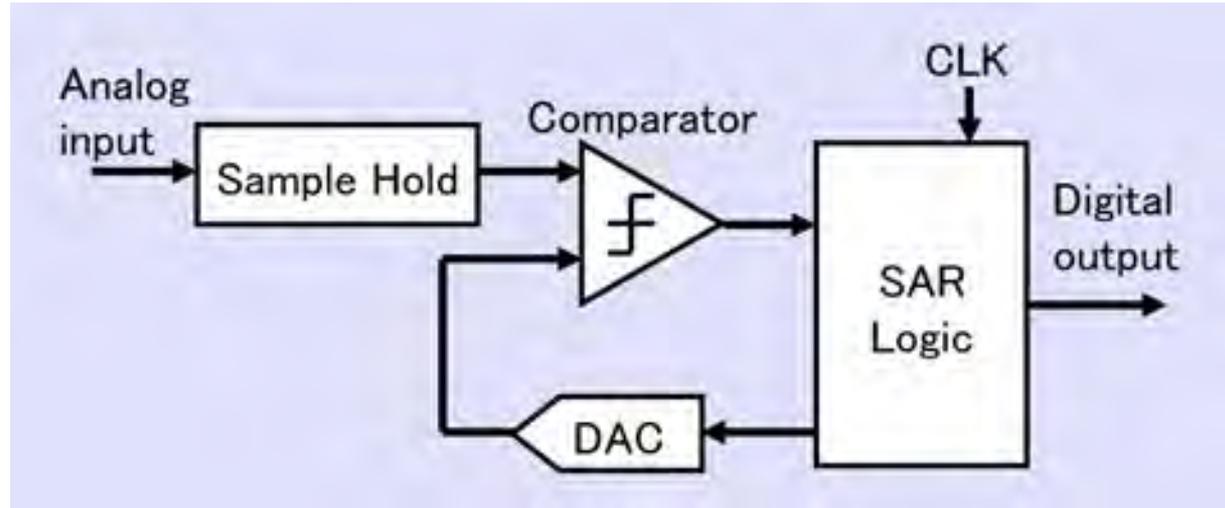


逐次比較近似TDC

逐次比較型ADCと逐次比較近似TDCの比較

天秤の原理で動作:

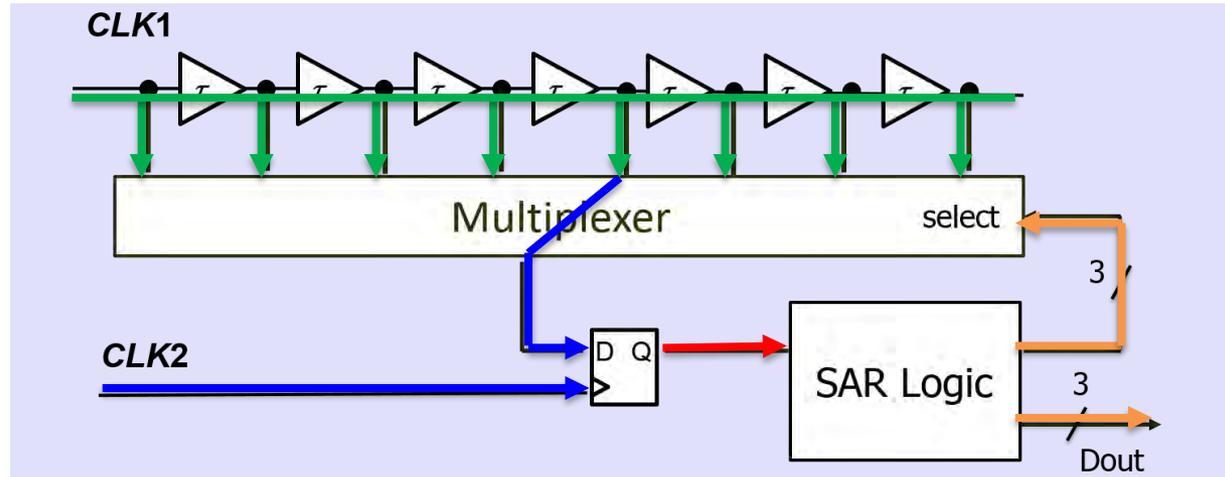
- 天秤がコンパレータ
- 分銅がDAC



逐次比較型ADC

天秤の原理で動作:

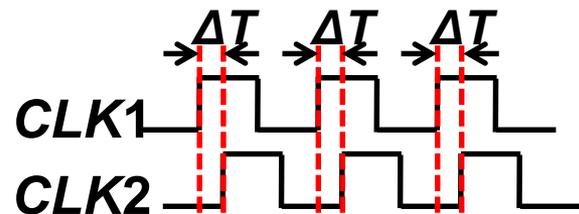
- 天秤がDFF
- 分銅がMUX



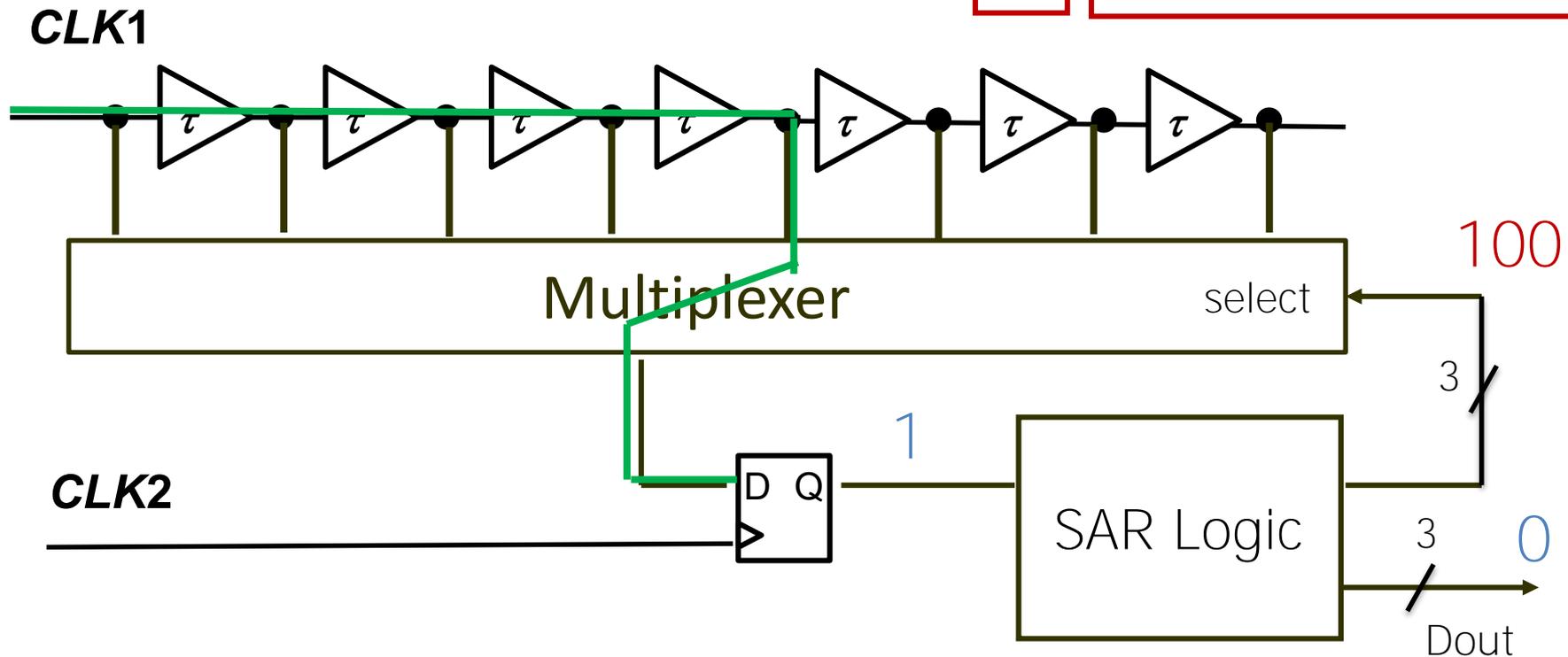
逐次比較型TDC

逐次比較近似TDCの動作

ステップ1

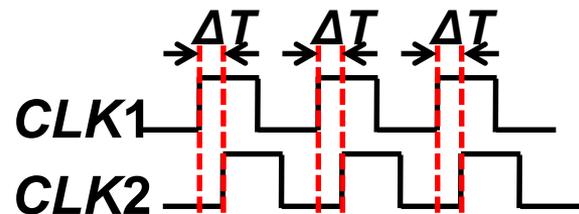


例 $\Delta T = 4.3 \tau$ の場合

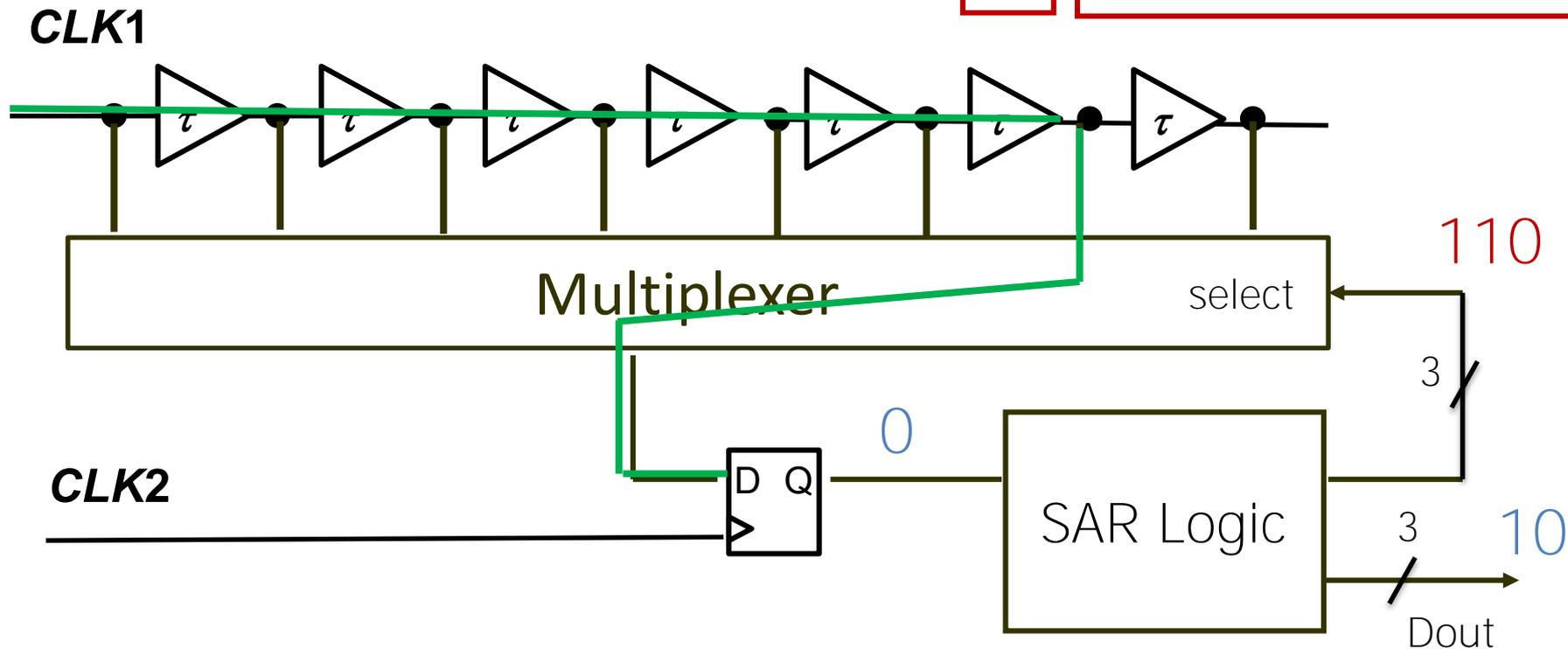


逐次比較近似TDCの動作

ステップ2

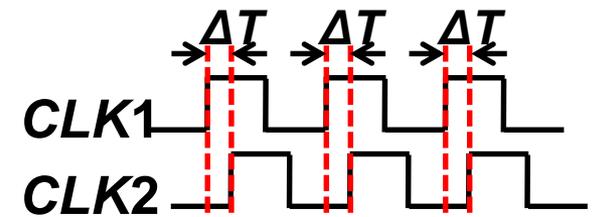


例 $\Delta T = 4.3 \tau$ の場合

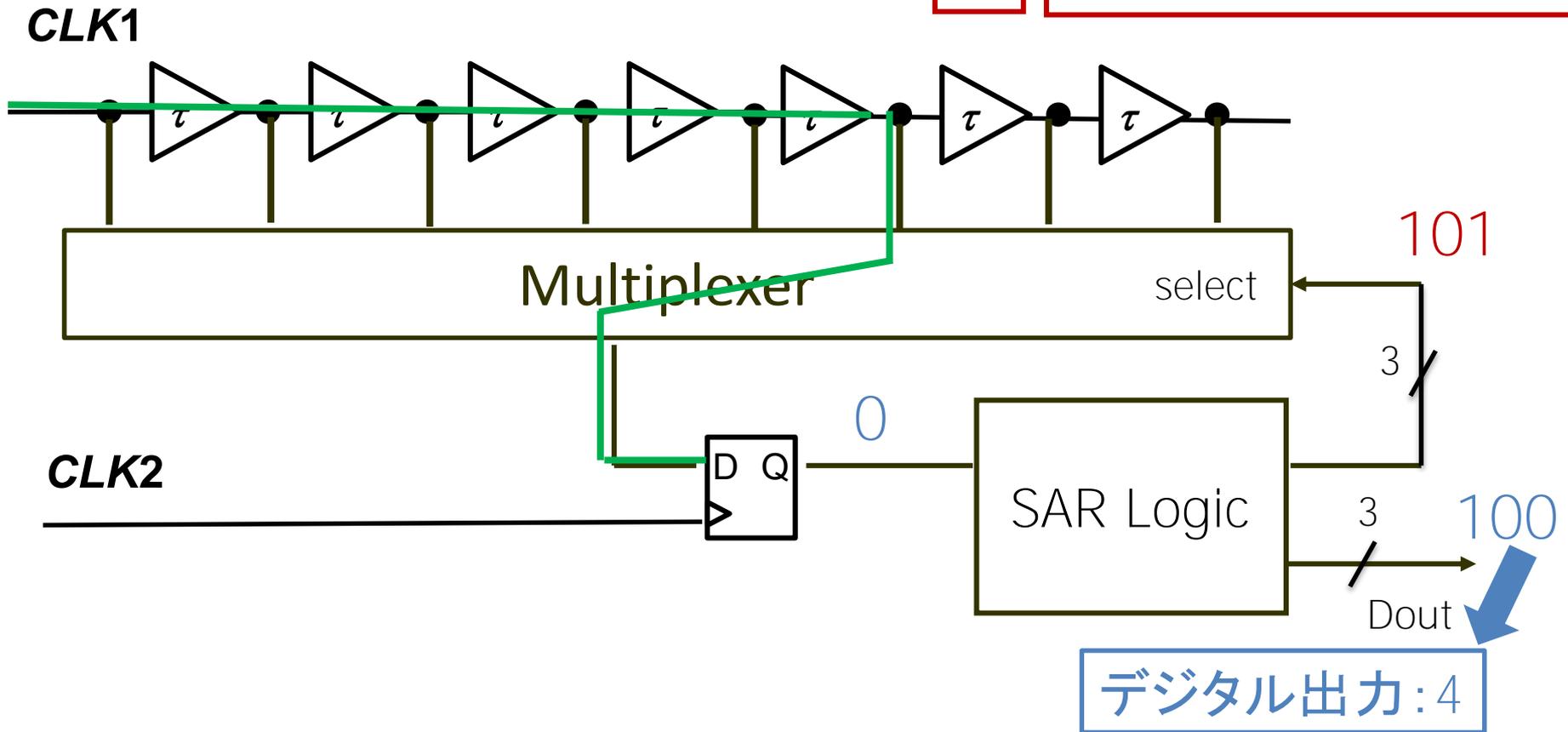


逐次比較近似TDCの動作

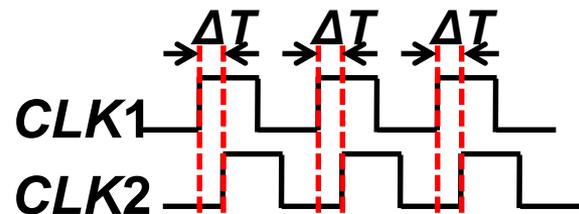
ステップ3



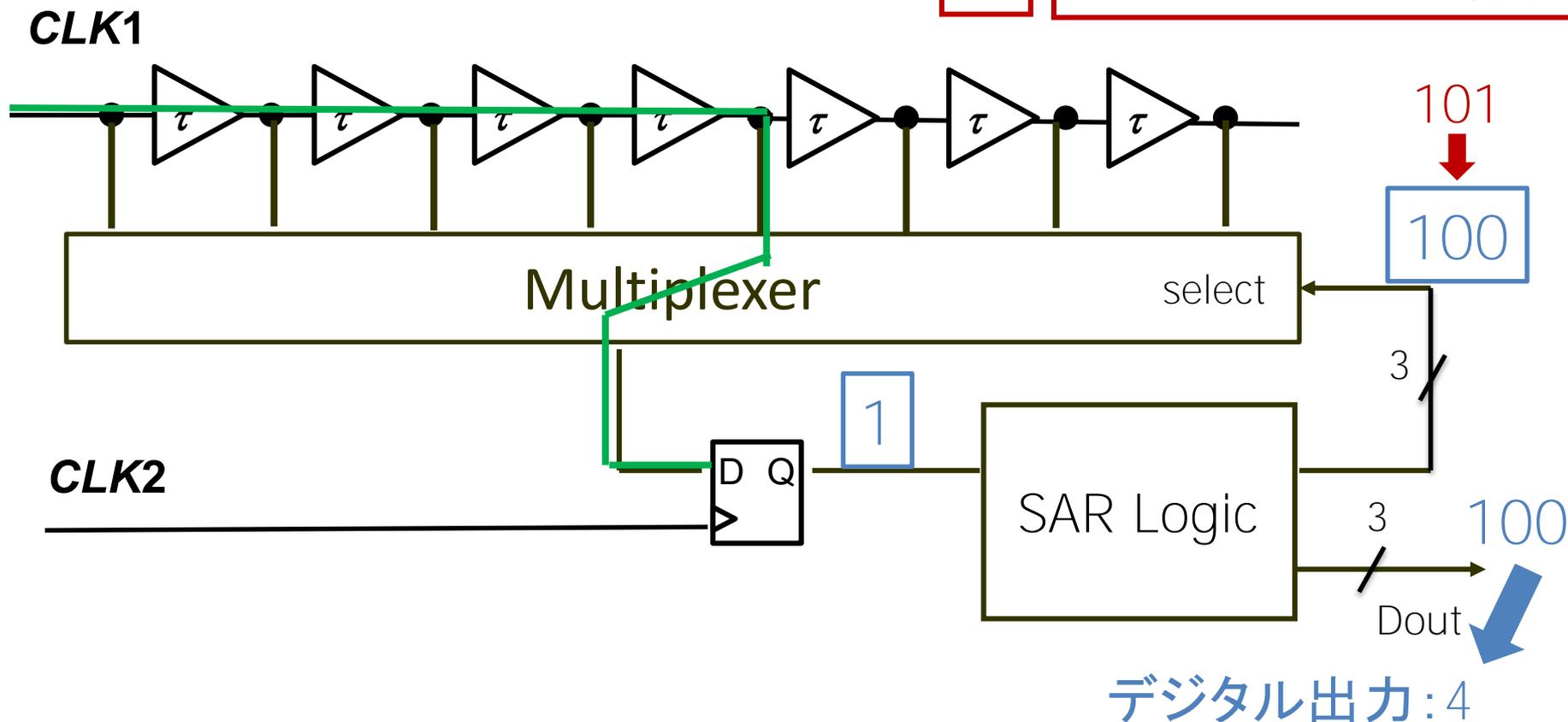
例 $\Delta T = 4.3 \tau$ の場合



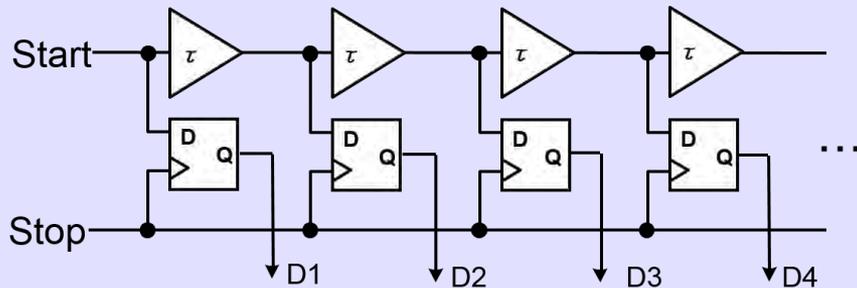
逐次比較近似TDCの動作 安定した状態(ステップ4)



例 $\Delta T = 4.3 \tau$ の場合



フラッシュ型TDC 対 逐次比較型TDC

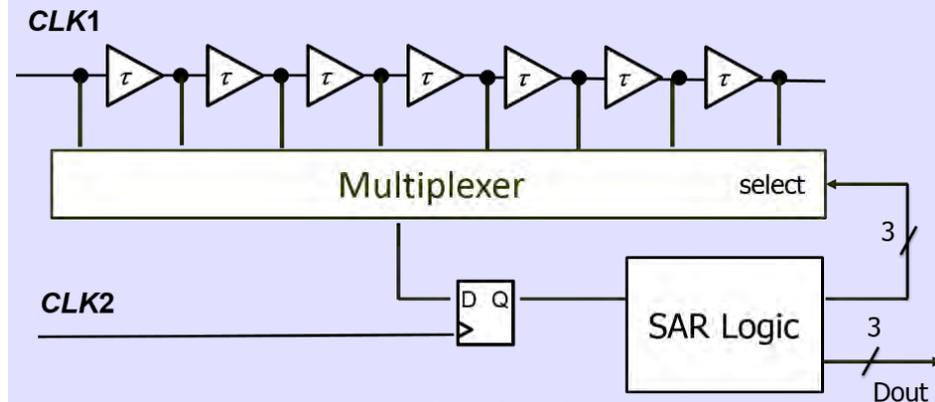


フラッシュ型TDC

✗ Dフリップフロップ数:
10bit設計→1023個

○測定条件:
1回で測定
単発のタイミング信号間でも可

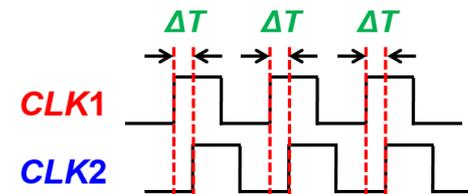
遅延バッファ数と最小時間分解能は同じ



逐次比較型TDC

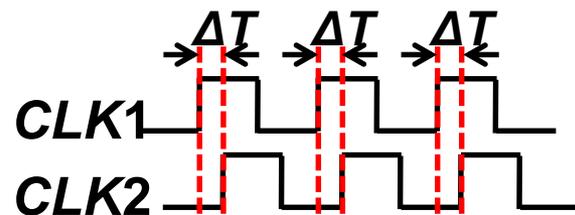
○ Dフリップフロップ数:
10bit設計→23個
(コンパレータとSARロジックに使う)

△測定条件:
10回のステップで測定
繰り返しタイミング信号のみ



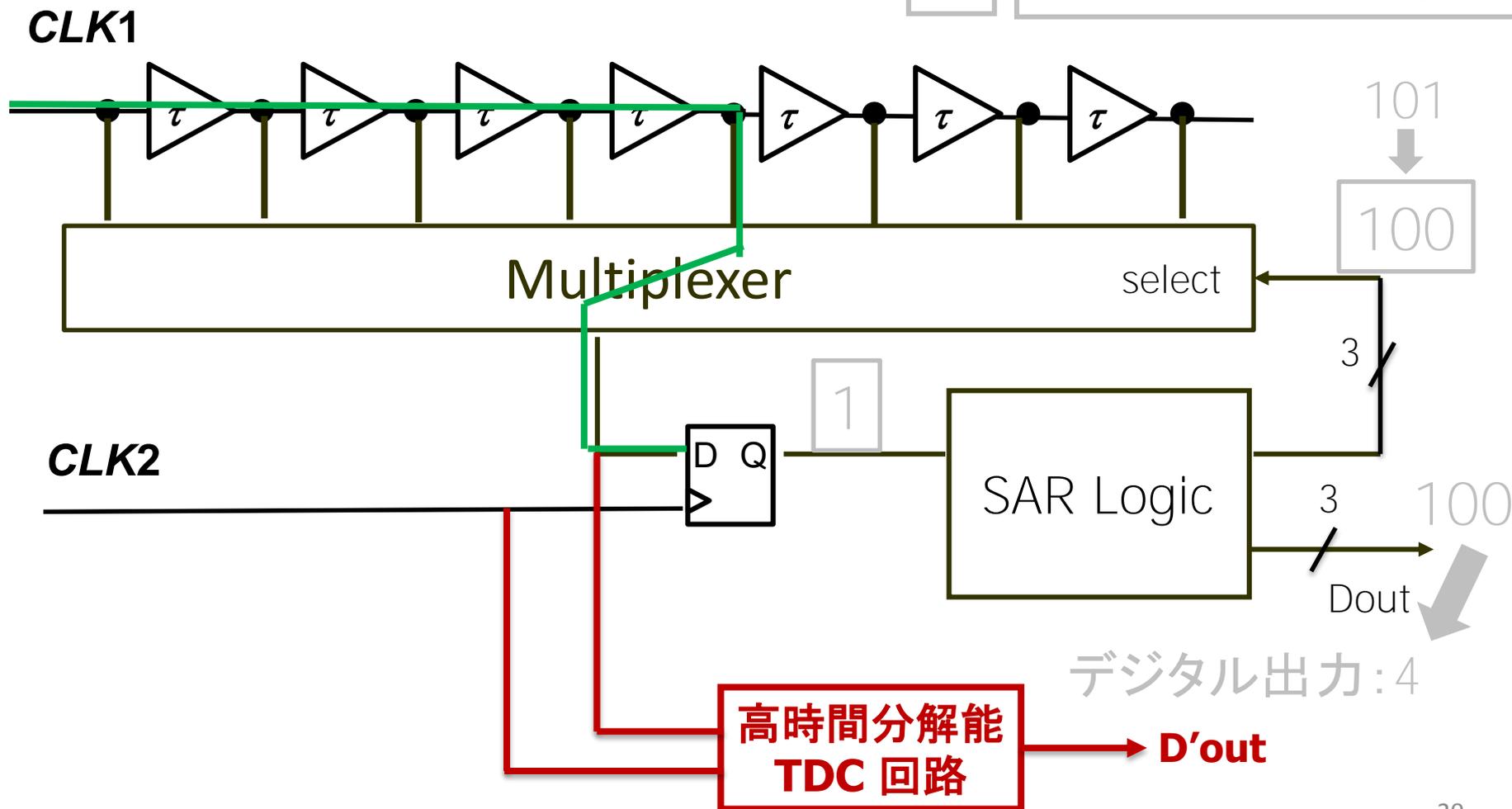
逐次比較近似TDCの動作

安定した状態 (ステップ4)



例

$\Delta T = 4.3 \tau$ の場合



基本フラッシュ型TDCの二つの課題

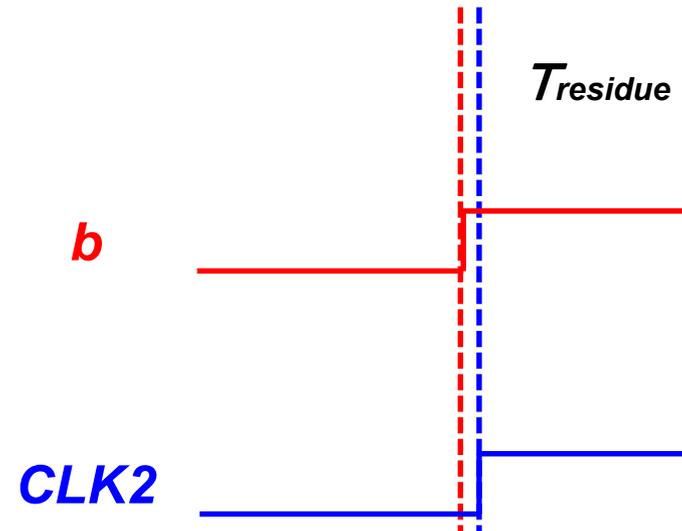
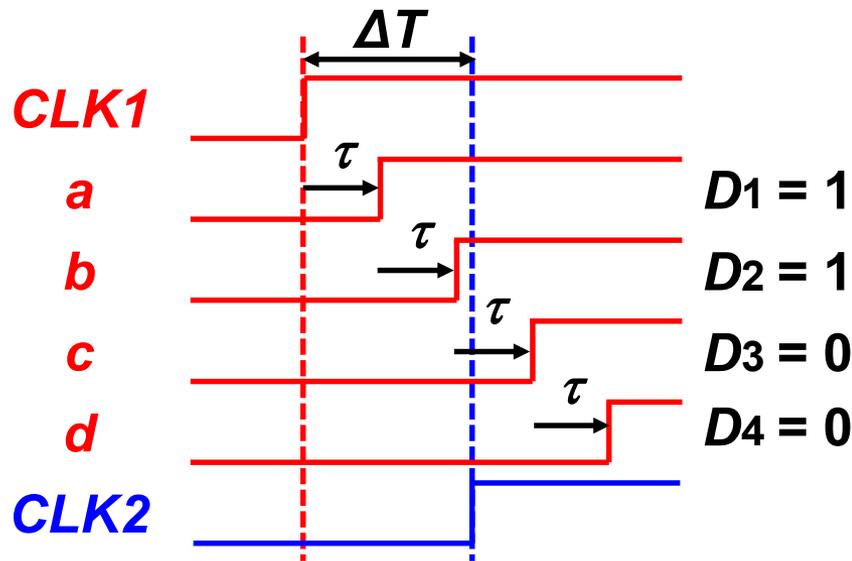
- ① **バッファ**とDフリップフロップの数は多い
- ② **時間分解能**は足りない

課題②に対する：
バーニア型TDC

Outline

- 研究背景・目的
- フラッシュ型TDCと問題点
- **提案の逐次比較近似 + バーニア型TDC**
 - 逐次比較型TDC
 - バーニア型TDC**
- FPGA設計・シミュレーション
- まとめと課題

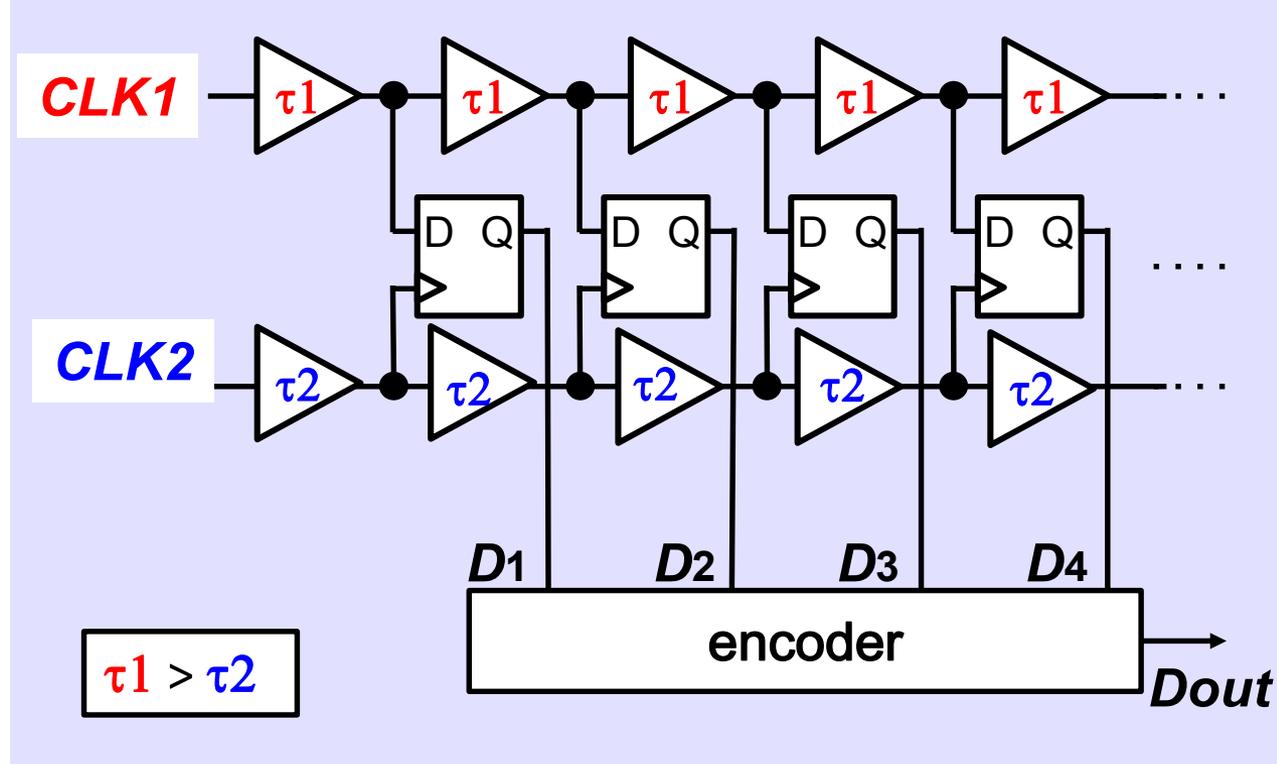
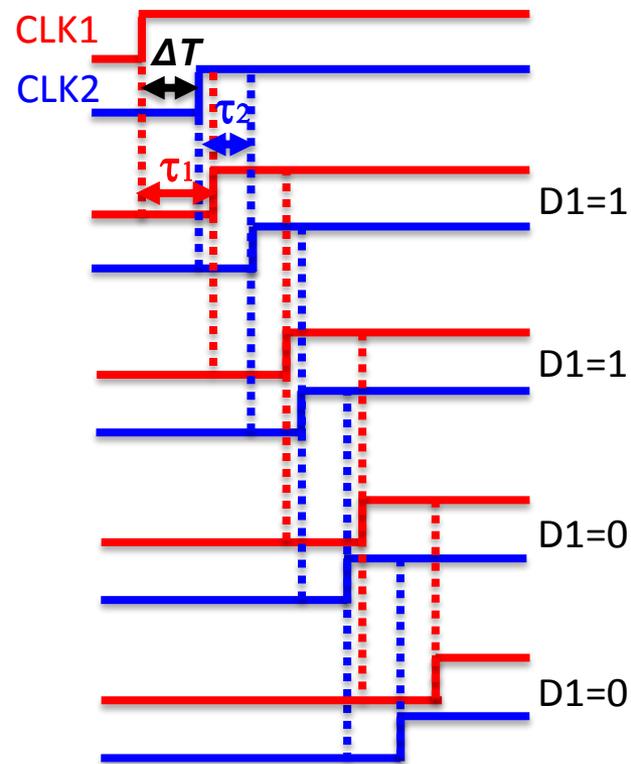
逐次比較近似TDCから残差時間 $T_{residue}$ を利用



逐次比較近似TDC
の計測結果

b と CLK2 を
高時間分解能(バーニア型)
TDCに入力して
細かい時間分解能で計測

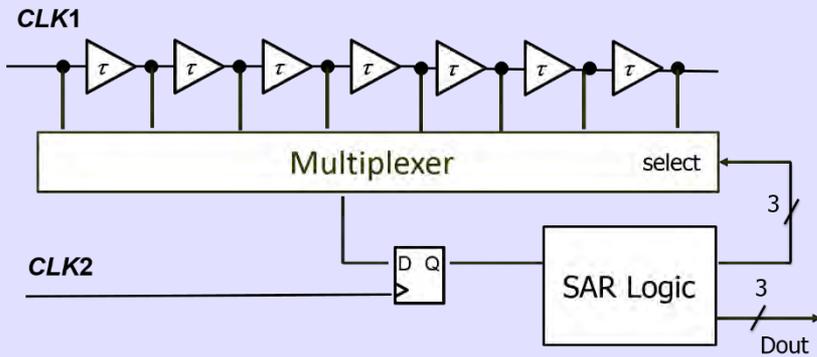
バーニア (Vernier、遊尺) 型 TDC 回路



バーニア型 TDC

時間分解能: $\tau_1 - \tau_2$

SAR型TDC 対 Vernier型TDC

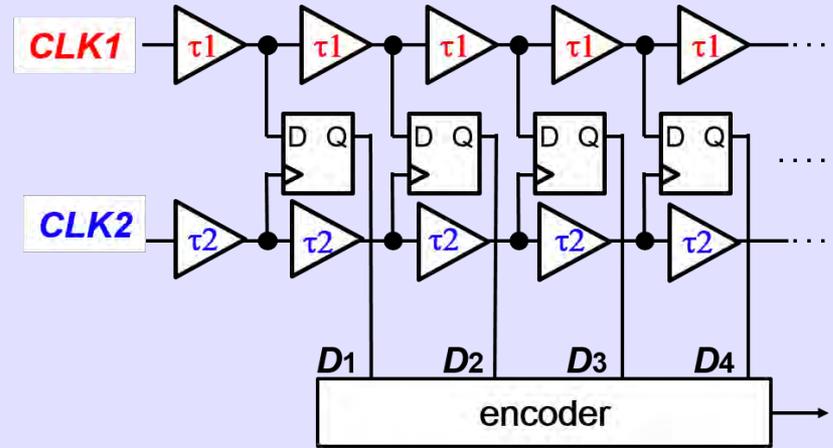


SAR型

✗ 最小時間分解能: 低い
(バッファのゲート遅延: τ)

○ Dフリップ-フロップ数: 少ない
10bit設計 → 23個

△ バッファ数: やや多い
10bit設計 → 1023個



Vernier型

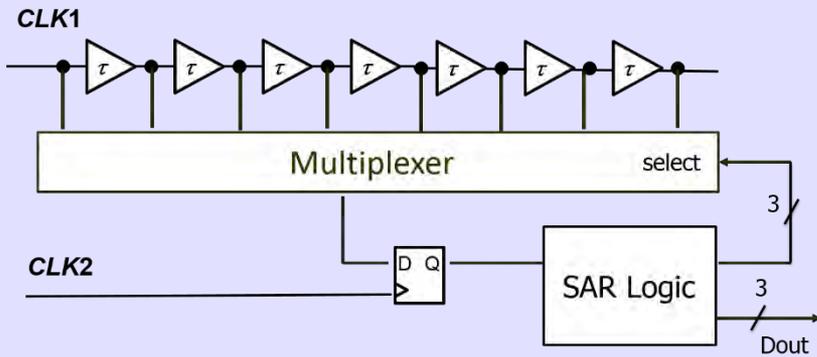
○ 最小時間分解能: 高い
(2種類のバッファのゲート遅延の差: $\tau_1 - \tau_2$)

✗ Dフリップ-フロップ数: 多い
10bit設計 → 1023個

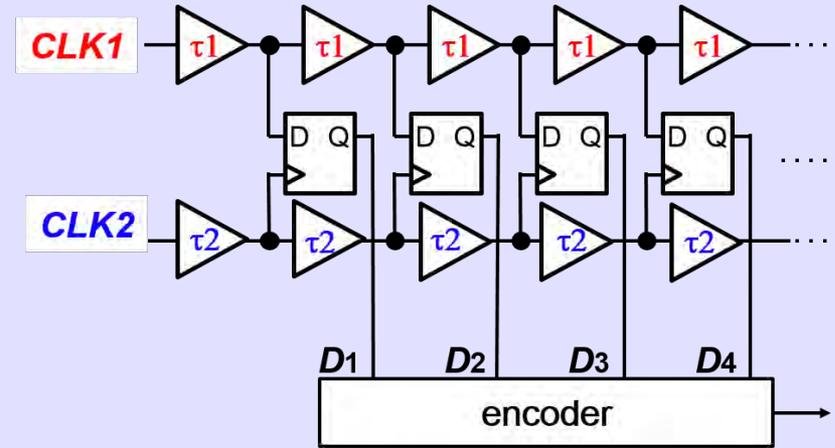
✗ バッファ数: 多い
10bit設計 → 2046個

↪ 時間分解能の向上する倍数
で測定レンジが縮まる

SAR型とVernier型の融合



SAR型



Vernier型

×最小時間分解能: 低い
(バッファのゲート遅延: τ)

○Dフリップ-フロップ数: 少ない
5bit+5bit 設計→14個

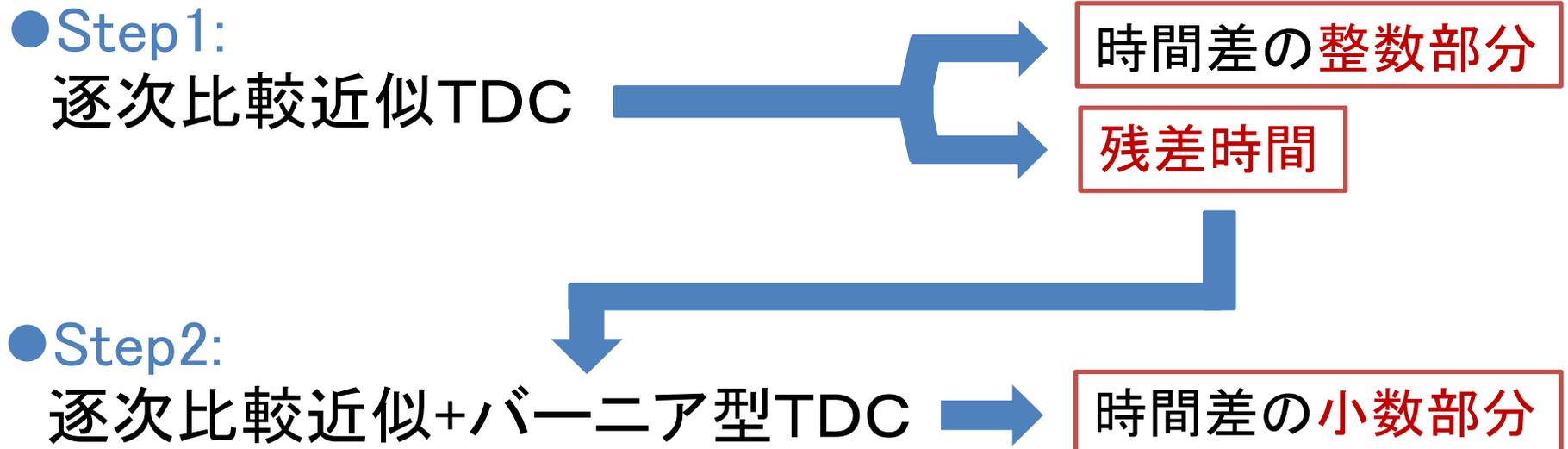
○バッファ数: 少ない(2ステップ)
5bit+5bit 設計→93個

○最小時間分解能: 高い
(2種類のバッファのゲート遅延の差: $\tau_1 - \tau_2$)

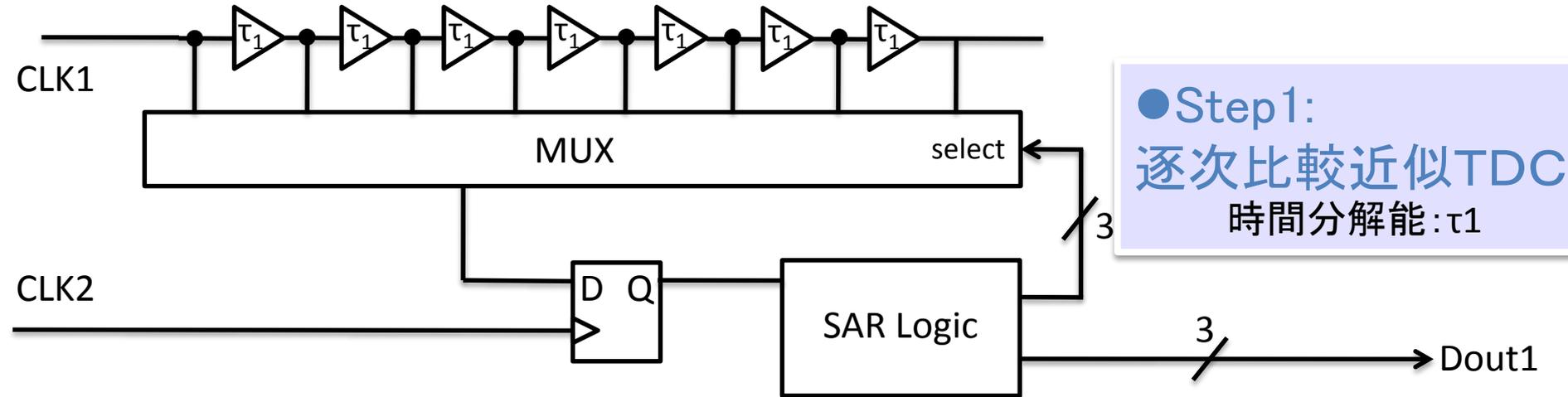
×Dフリップ-フロップ数: 多い
10bit設計→1023個

×バッファ数: 多い
10bit設計→2046個

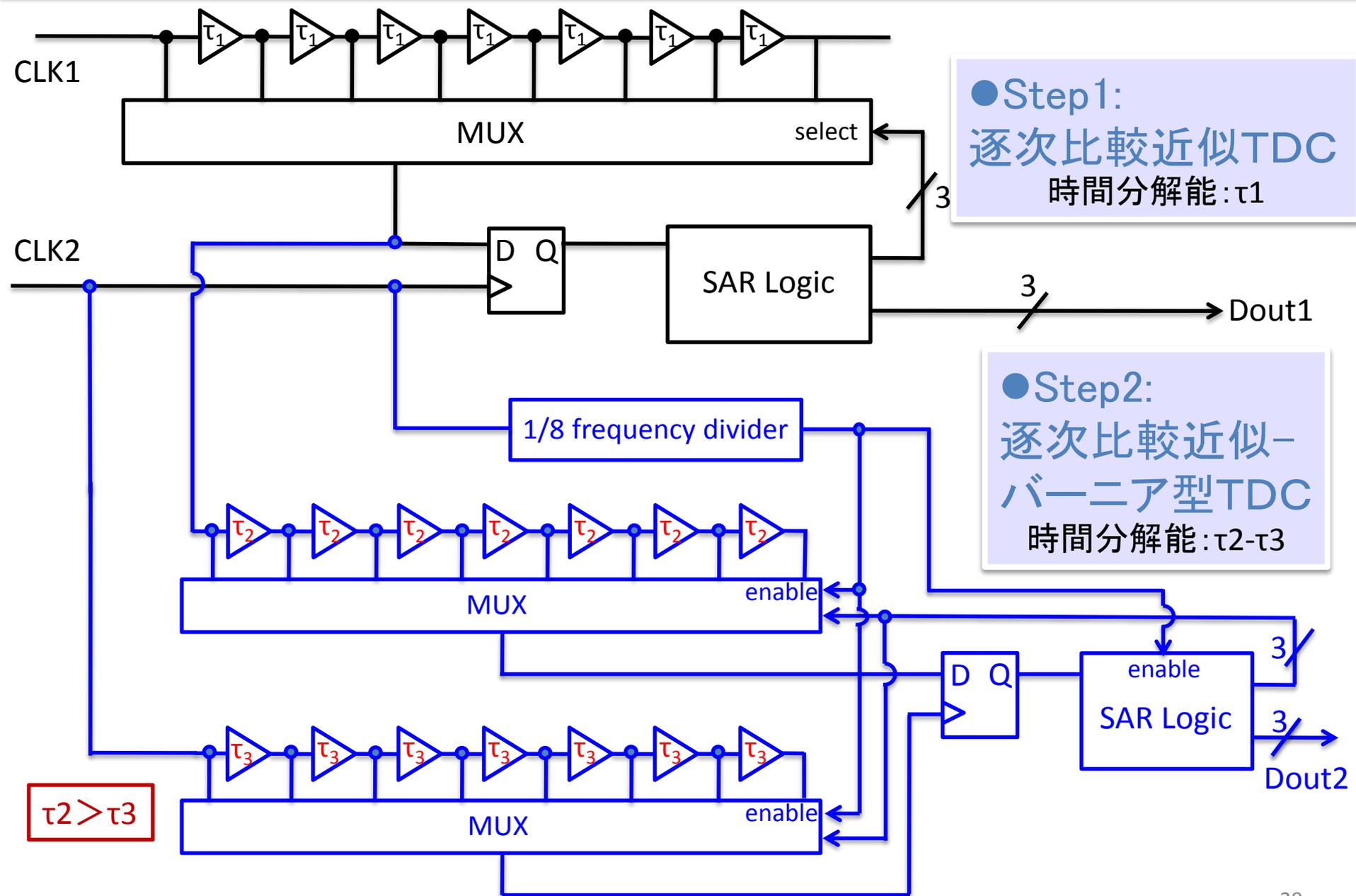
2ステップ方式による高分解能化 SAR + Vernier-Type TDC



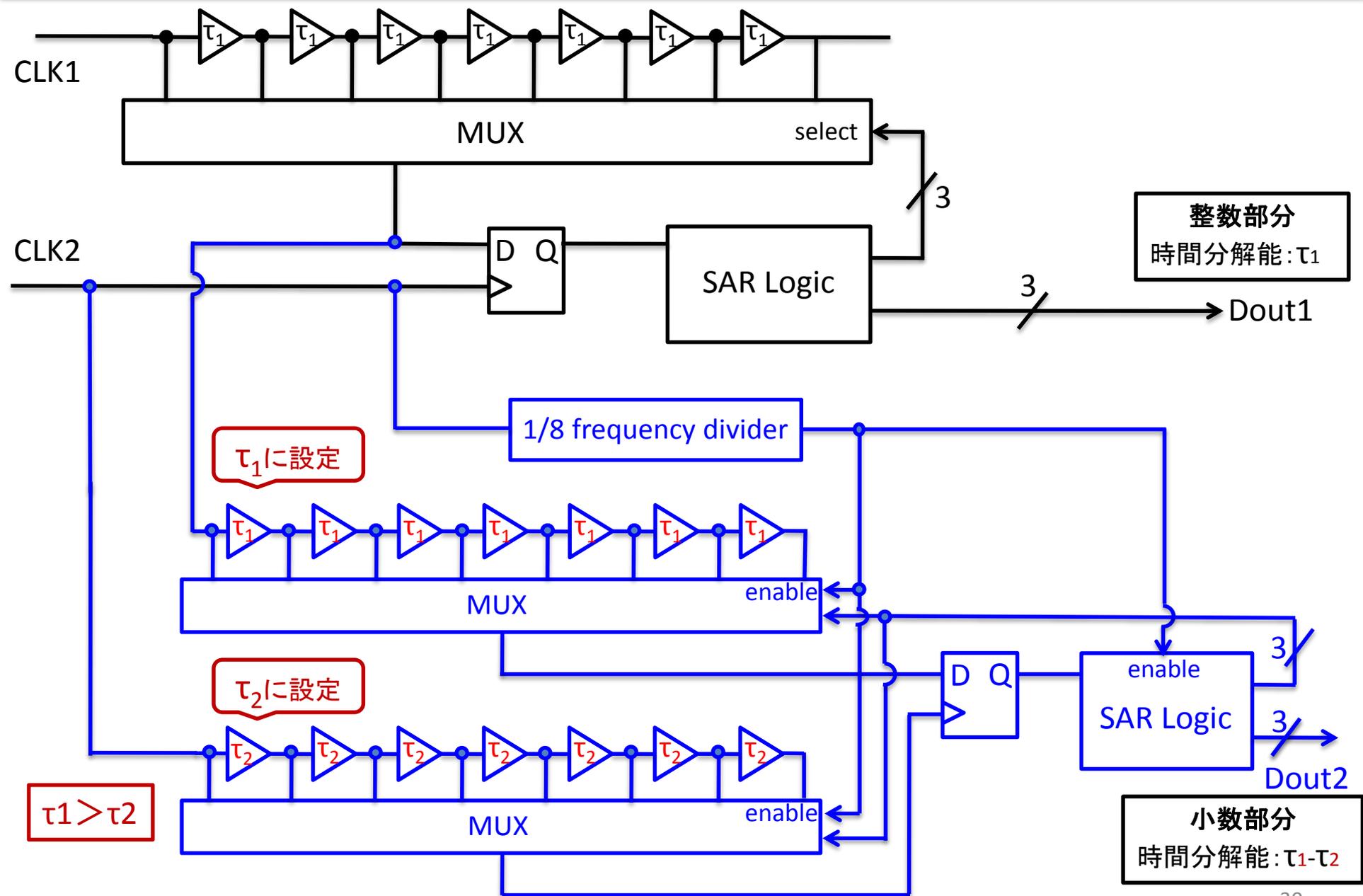
3bit SAR TDCの構成



3bit SAR + 3bit Vernier TDCの構成

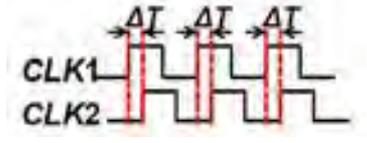


3bit SAR + 3bit Vernier TDCの構成



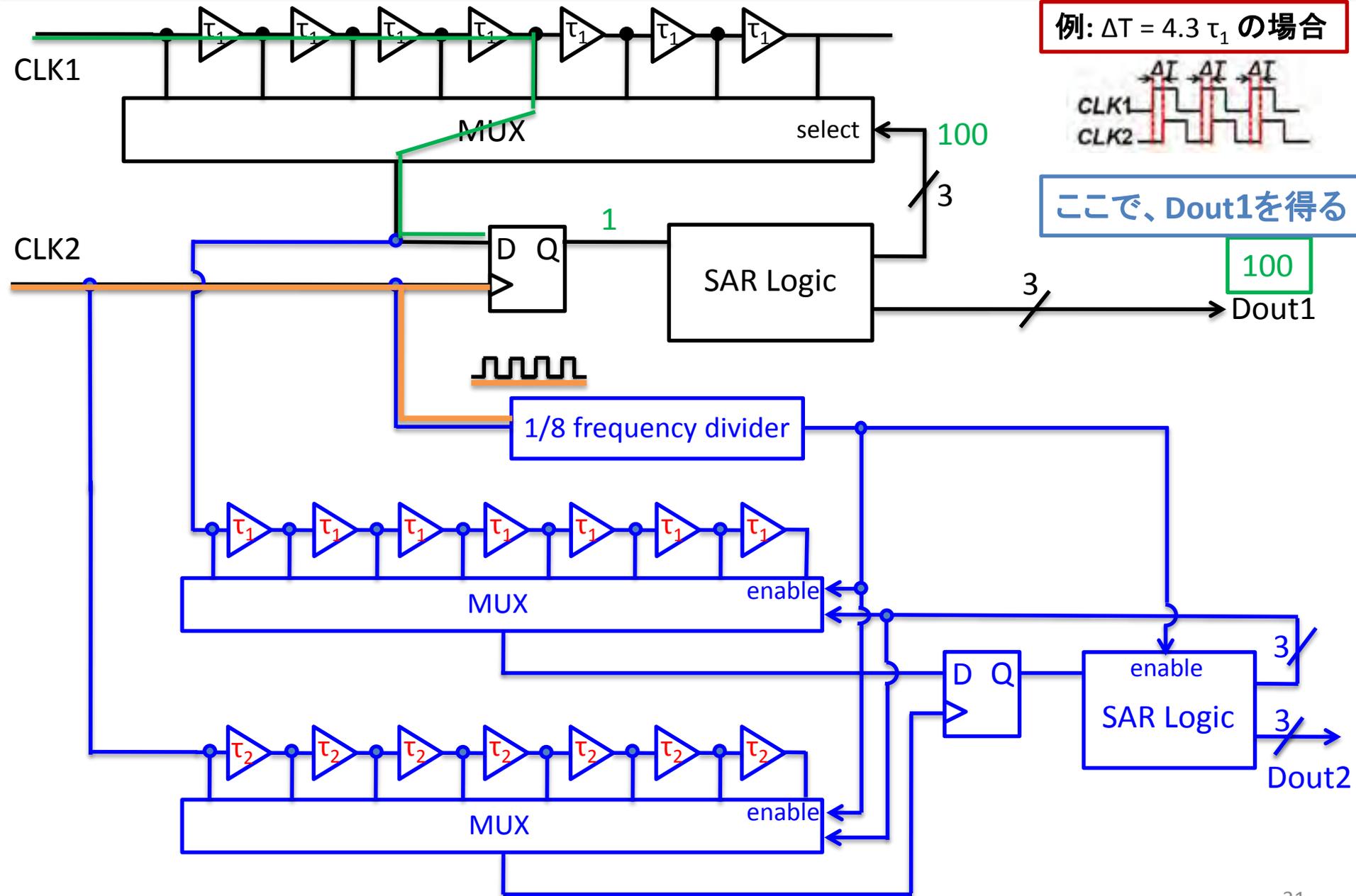
3bit SAR + 3bit Vernier TDCの動作 Step1

例: $\Delta T = 4.3 \tau_1$ の場合



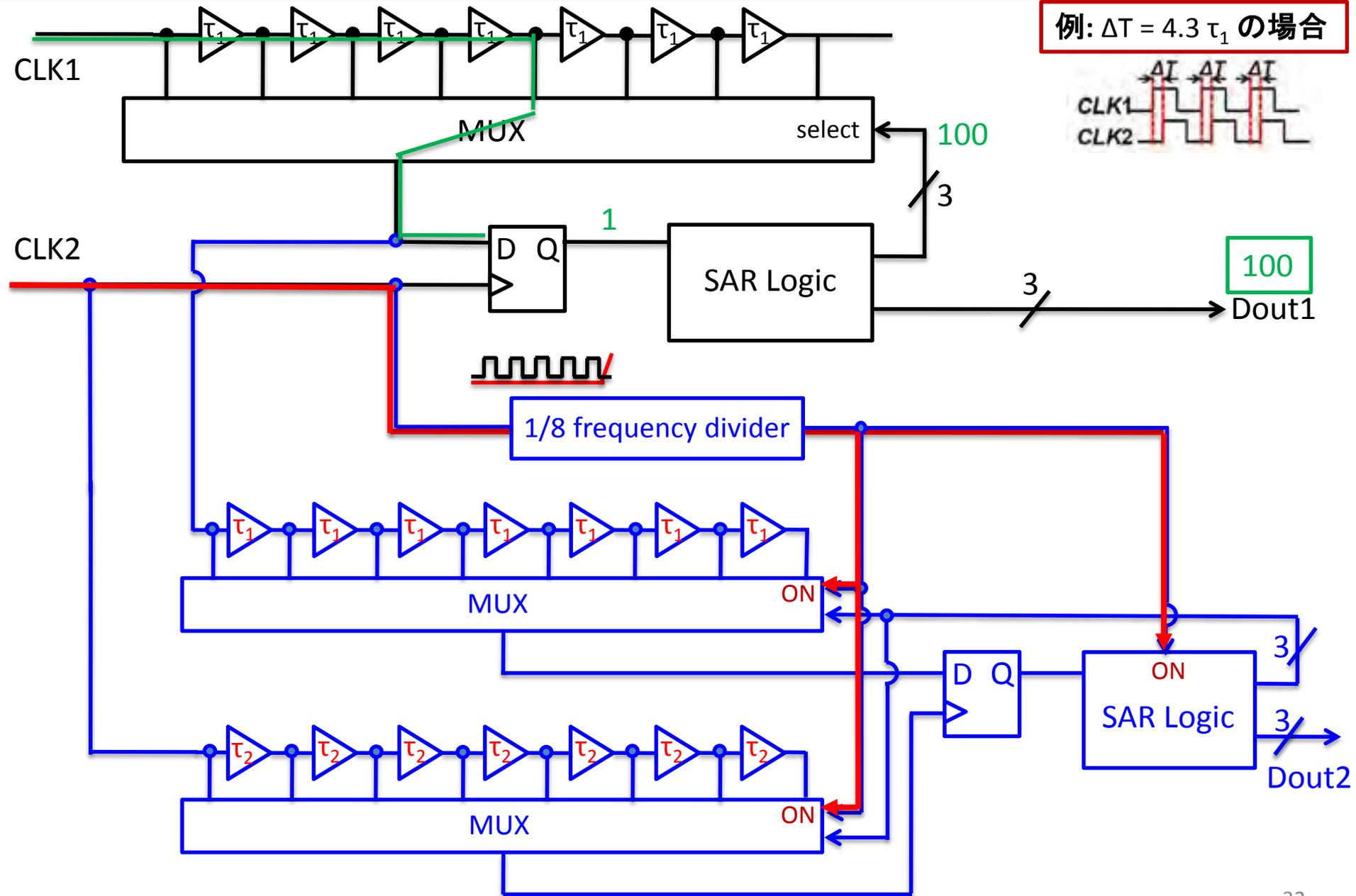
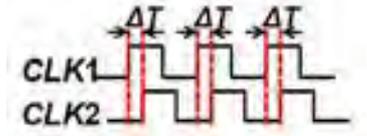
ここで、Dout1を得る

100



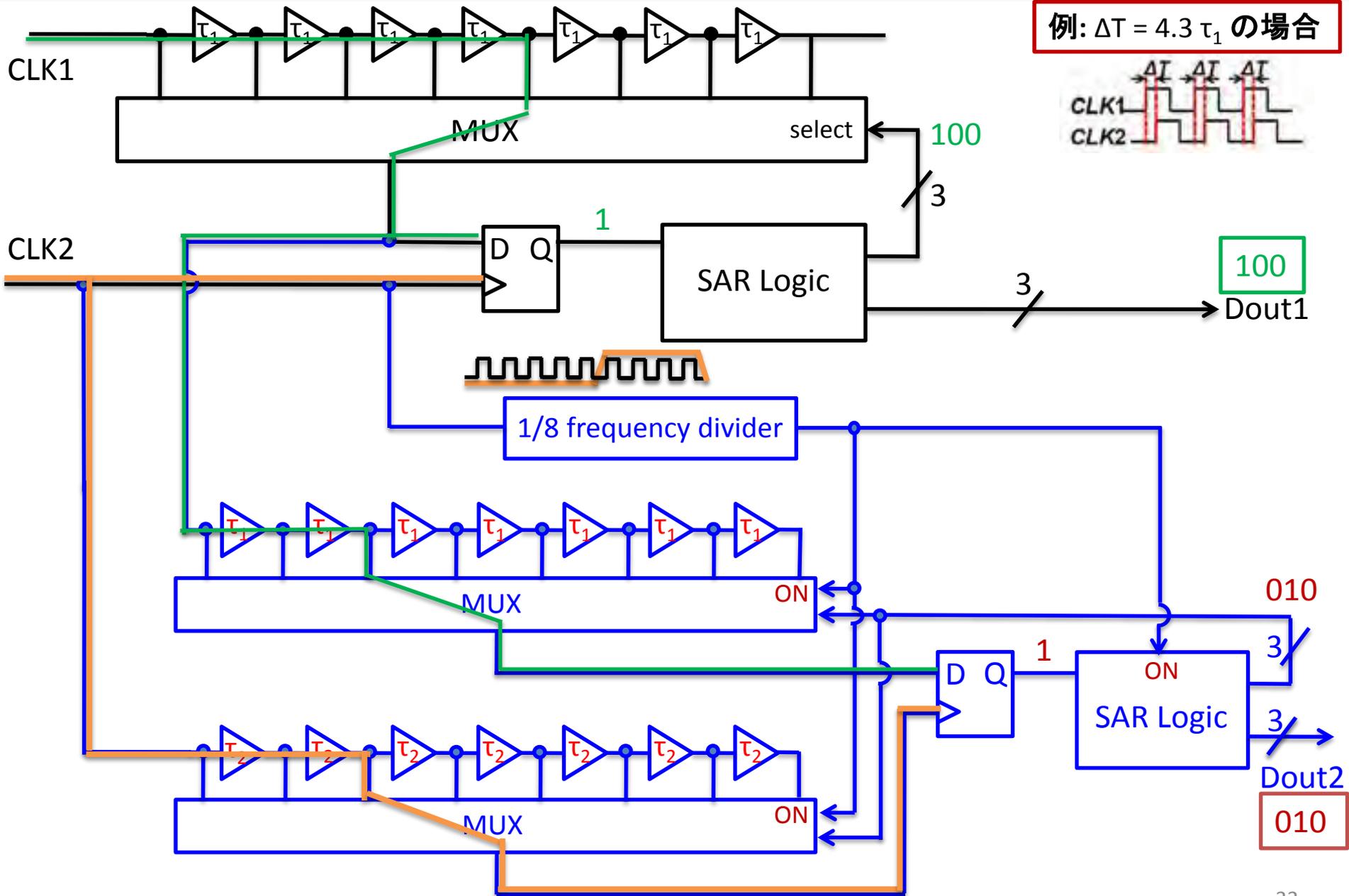
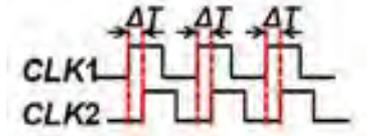
3bit SAR + 3bit Vernier TDCの動作 Step1.5

例: $\Delta T = 4.3 \tau_1$ の場合



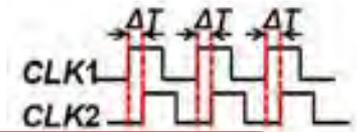
3bit SAR + 3bit Vernier TDCの動作 Step2

例: $\Delta T = 4.3 \tau_1$ の場合



3bit SAR + 3bit Vernier TDCの出力

例: $\Delta T = 4.3 \tau_1$ の場合



SAR TDCの出力:
 $D_{out} = 100_2 = 4_{10} = 4 \tau_1$
誤差: $|4.3 \tau_1 - 4 \tau_1| = 0.3 \tau_1$

Dout1
100

SAR + Vernier TDCの出力:
 $\{D_{out1}, D_{out2}\}$
 $= \{100, 010\}_2$
 $= \{4, 2 \times 0.125\}_{10}$
 $= 4.250 \tau_1$
誤差: $|4.3 \tau_1 - 4.250 \tau_1| = 0.05 \tau_1$

+

Dout2
010

Outline

- 研究背景・目的
- フラッシュ型TDCと問題点
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- **FPGA設計・シミュレーション**
- まとめと課題

LTspiceで SAR + Vernier TDC の動作確認 シミュレーション

3bit+3bit SAR+Vernier TDC:

入力の2つのクロック

CLK1とCLK2の周期: 8τ

例: $\Delta T = 4 \cdot 3\tau$ (CLK1が早い目)

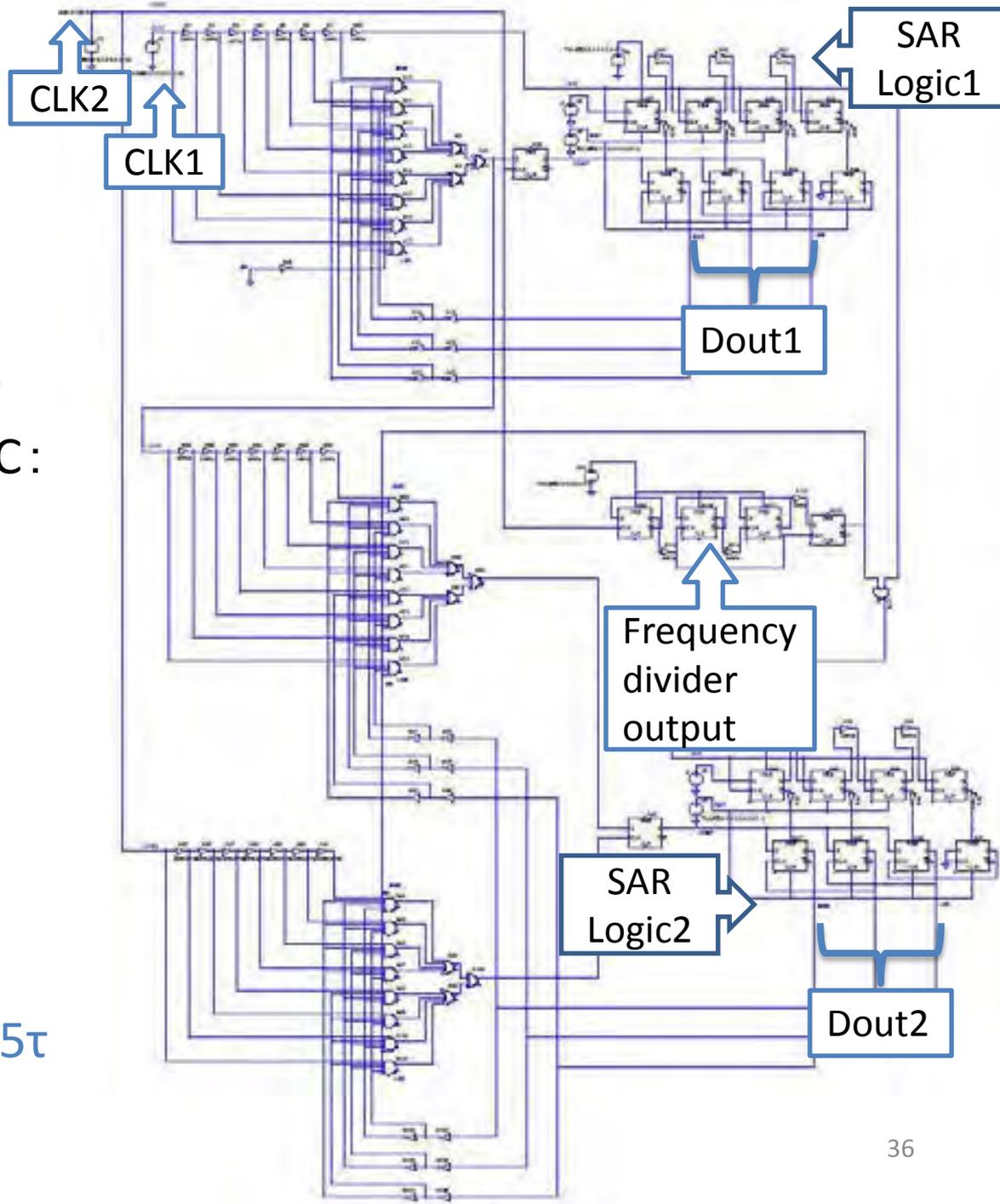
各バッファ素子の遅延時間:

$$\tau_1 = 1\tau$$

$$\tau_2 = 0.875\tau$$

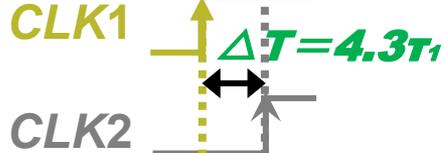
$$\tau_1 - \tau_2 = 1/8\tau$$

最小時間分解能: $1/8\tau = 0.125\tau$

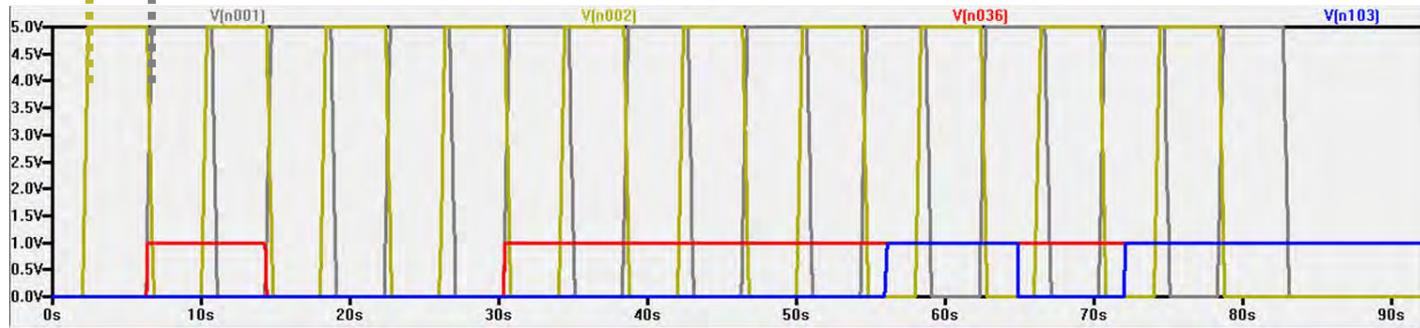


LTspiceでシミュレーション結果

入力のCLK1
とCLK2



分周器の出力により、
Stepを分ける



時間差の
Step1「整数部 (Dout1)」
Step2「小数部 (Dout2)」
の結合

Dout1: **1 0 0** 1 Dout2: **0 1 0** 1

$$\{Dout1, Dout2\} = \{100, 010\}_2 = \{4, 2 \times 0.125\}_{10} = \underline{4.250 \tau_1}$$

$$\text{誤差: } |4.300 \tau_1 - 4.250 \tau_1| = \underline{0.050 \tau_1}$$

Xilinx ISEでRTL検証

Xilinx ISE 14.1で検証:

3bit+3bit SAR+Vernier TDCをVerilog HDLで記述し, 下記の条件でシミュレーション

入力の2つのクロックCLK1とCLK2の周波数: 33MHz

各バッファ素子の遅延時間:

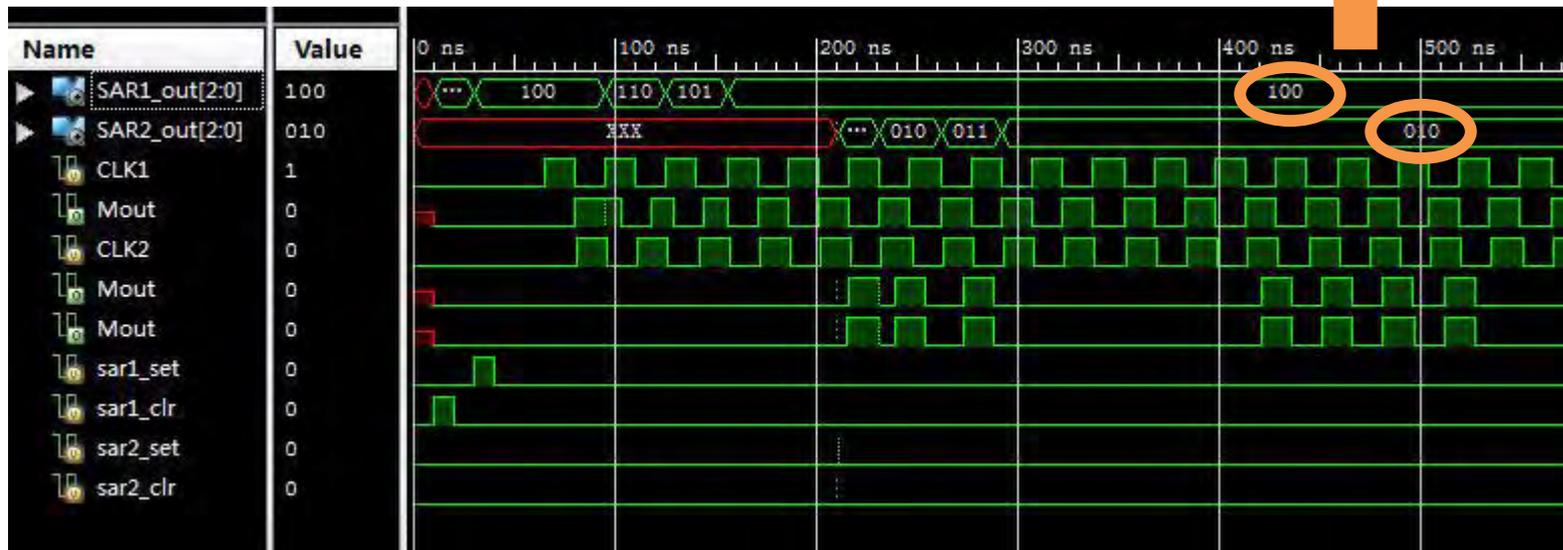
$$\tau_1 = 3.788\text{ns}$$

$$\tau_2 = 3.314\text{ns}$$

$$\text{最小時間分解能: } \tau_1 - \tau_2 = 1/8\tau_1 = 0.474\text{ns}$$

$$\text{測定する時間差 } \Delta T = 4.3\tau_1 = 16.286\text{ns}$$

$$\text{出力: } \{Dout1, Dout2\} = \{100, 010\}_2 = 4.250\tau_1 = 16.099\text{ns}$$

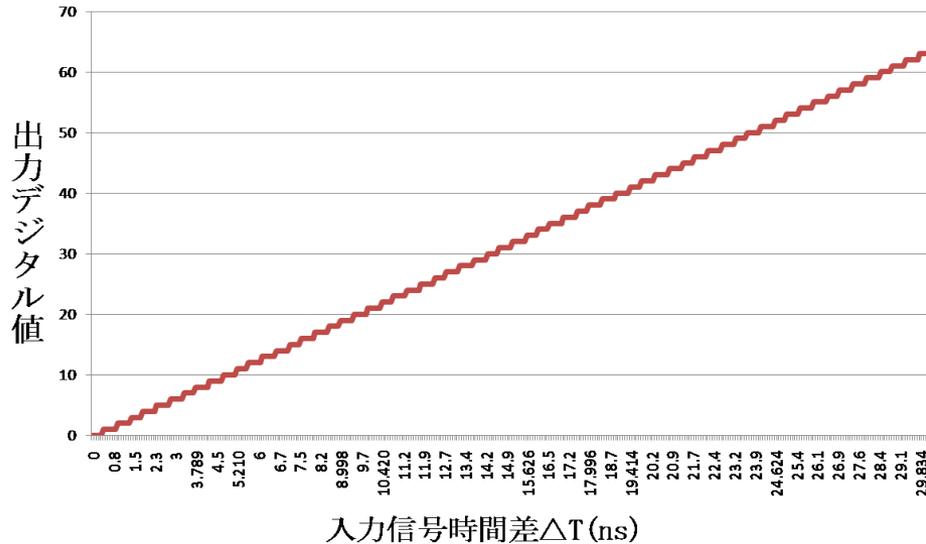


Xilinx ISEでシミュレーション結果

提案回路が

0~30.30nsの時間差範囲で

0.474nsの最小時間分解能の計測



時間差 (ns)	Dout1	Dout2	時間差 (ns)	Dout1	Dout2
0	000	000	15.153	100	000
0.474	000	001	15.626	100	001
0.948	000	010	16.100	100	010
1.422	000	011	16.574	100	011
1.896	000	100	17.048	100	100
2.370	000	101	17.522	100	101
2.844	000	110	17.996	100	110
3.318	000	111	18.470	100	111
3.789	001	000	18.941	101	000
4.262	001	001	19.414	101	001
4.736	001	010	19.888	101	010
5.210	001	011	20.362	101	011
5.684	001	100	20.836	101	100
6.158	001	101	21.310	101	101
6.632	001	110	21.784	101	110
7.106	001	111	22.258	101	111
7.577	010	000	22.729	110	000
8.050	010	001	23.202	110	001
8.524	010	010	23.676	110	010
8.998	010	011	24.150	110	011
9.472	010	100	24.624	110	100
9.946	010	101	25.098	110	101
10.420	010	110	25.572	110	110
10.894	010	111	26.046	110	111
11.365	011	000	26.517	111	000
11.838	011	001	26.990	111	001
12.312	011	010	27.464	111	010
12.786	011	011	27.938	111	011
13.260	011	100	28.412	111	100
13.734	011	101	28.886	111	101
14.208	011	110	29.360	111	110
14.682	011	111	29.834	111	111

Outline

- 研究背景・目的
- フラッシュ型TDCと問題点
- 提案の逐次比較近似 + バーニア型TDC
 - 逐次比較型TDC
 - バーニア型TDC
- FPGA設計・シミュレーション
- まとめと課題

まとめ

- 数少ないバッファDとフリップフロップ、高時間分解能型TDCを考案
- (Step1) 逐次比較近似+(Step2) 逐次比較バーニア型TDC回路
- LTspiceとXilinx ISEでシミュレーション
- 今後の課題：
 - FPGAでの実装；
 - ステップ2計測の時オーバーラップ部分を追加し、冗長性を持つように改良；
 - バッファ遅延のばらつきによる非線形性に対処。

Q&A

Q: この回路はどんな分野で使いますか。

A: PET (ポジトロン断層法) という医療装置または核物理で使います。

Q: 目標はどれくらいの精度ですか。

A: できれば数十psです。

デルタシグマ型変調技術を用いた 時間デジタル変換回路 ～時間領域アナログ回路のキーコンポーネント～

群馬大学 大学院理工学府 電子情報部門

小林 春夫

k_haruo@el.gunma-u.ac.jp

講演者の研究室で研究開発を行ってきています、
2つのクロック間の立ち上がり時間差を高時間分解能で測定する
デルタシグマ型タイムデジタイザ回路について
下記の内容をご紹介します。

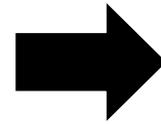
- (1) デルタシグマ型タイムデジタイザ回路の構成と動作
- (2) 開発した高精度化のアルゴリズムと
そのMATLABシミュレーションによる効果確認
- (3) 回路設計、アナログFPGA(PSoC) 実現、測定評価結果
- (4) 若手研究者・学生に贈る言葉

- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - DWAアルゴリズム
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉

- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - DWAアルゴリズム
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉

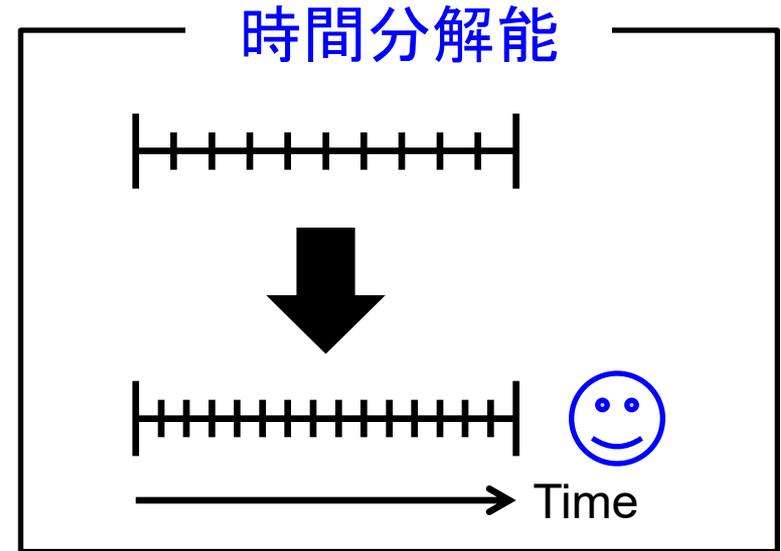
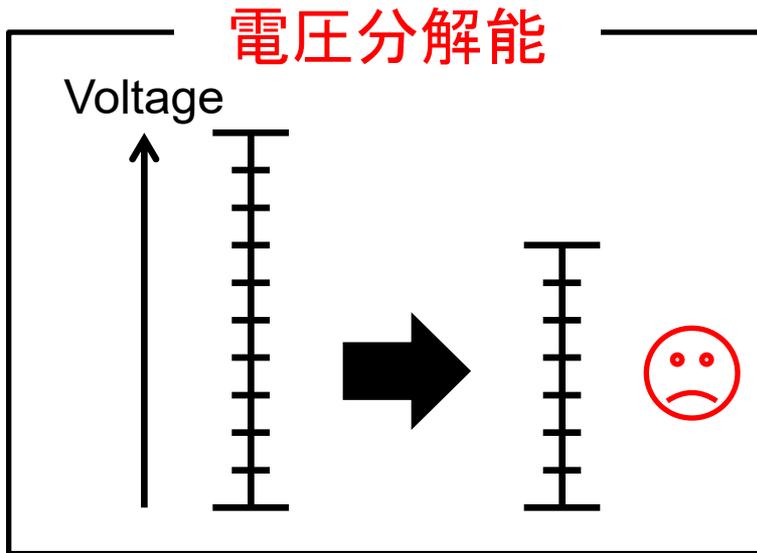
時間分解能回路の研究背景

集積回路プロセスの微細化



低電源電圧化

高速スイッチング化



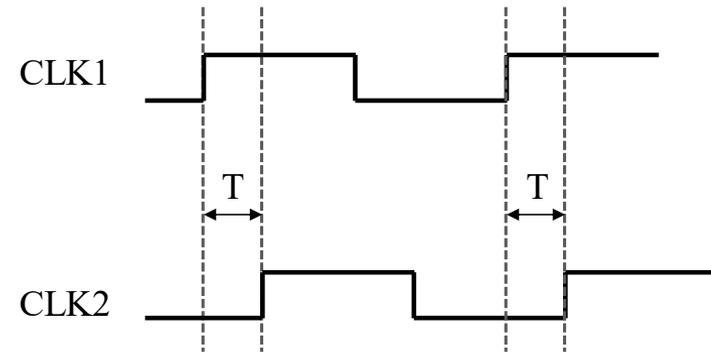
時間信号測定回路は時間領域アナログ回路のキーコンポーネント



高性能化が要求

研究目的 (1)

- 2つの繰返しクロック間の時間差テスト
 - DDR(Double Data Rate)メモリのデータ - クロック間の時間差テスト等
- 組み込み可能な測定回路



研究目的

- 短時間、高精度でテストする回路の実現

$\Delta\Sigma$ TDC

- 高時間分解能
- 回路量：小
- 測定時間：長 (測定時間 \propto 精度)



- マルチビット $\Delta\Sigma$ TDCの提案
- マルチビット化に伴う非線形性補正手法の提案

時間信号測定回路の高性能化とアプリケーションの開発

時間信号測定回路：タイムディジタイザ回路
(Time-to-Digital Converter: TDC)

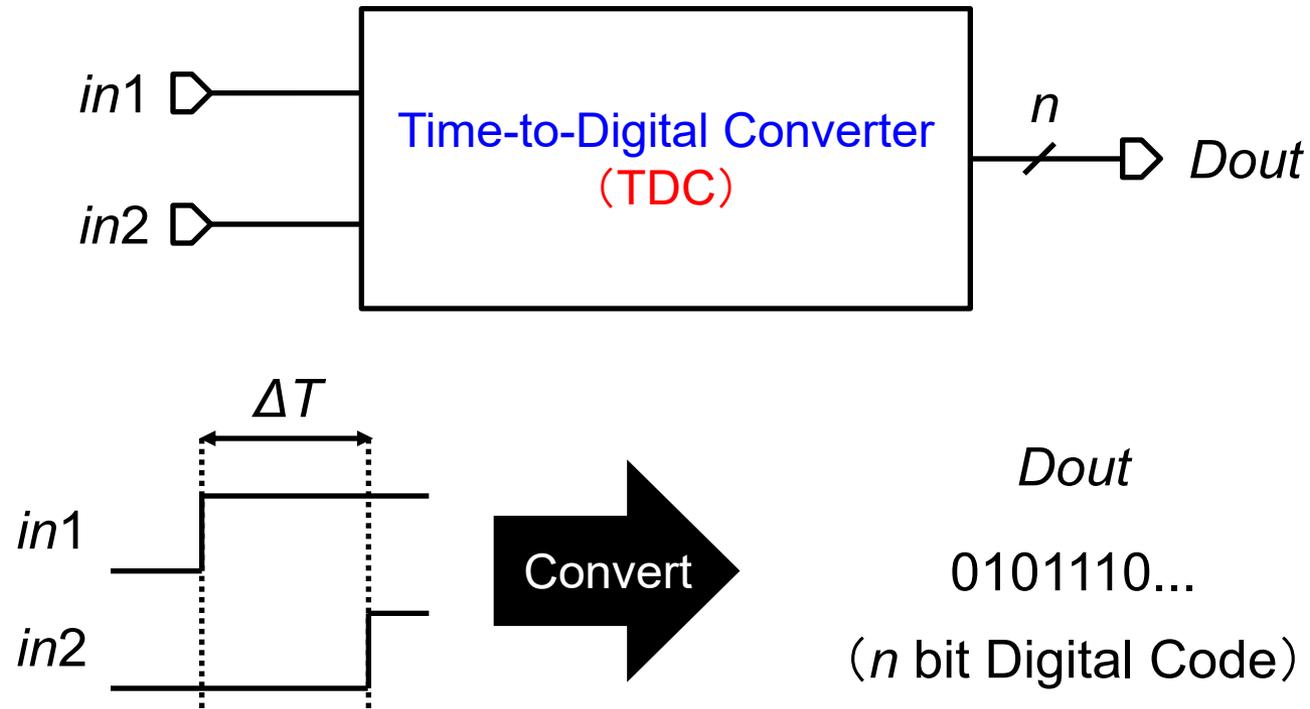
高性能TDCの開発と実装

- 自己校正機能を備えたフラッシュ型TDC (Flash TDC)
- デルタシグマ型TDC ($\Delta\Sigma$ TDC)

TDCを用いた新しいアプリケーションの開発

- $\Delta\Sigma$ TDCによる位相ノイズ測定

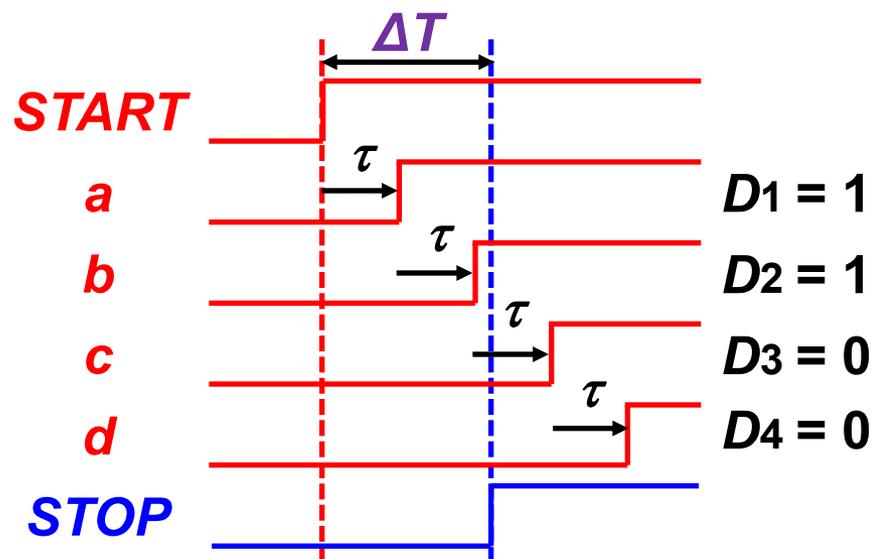
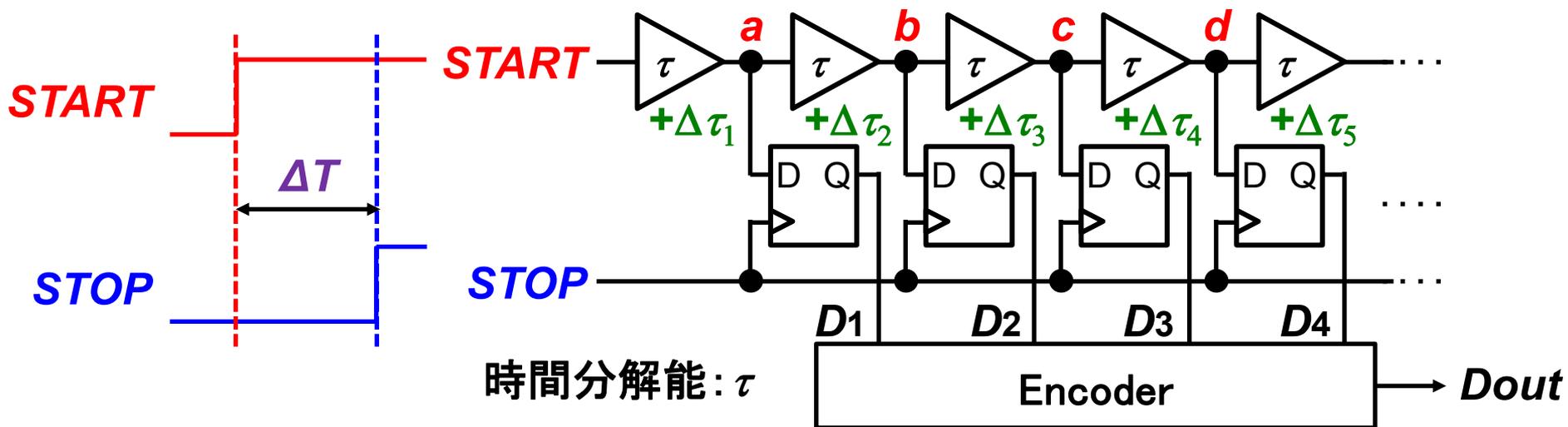
タイムデジタイザ回路



2つのデジタル信号間の時間差 ΔT をデジタル値に変換

出力のデジタル値より ΔT を測定可能

フラッシュ型 TDCの構成と動作

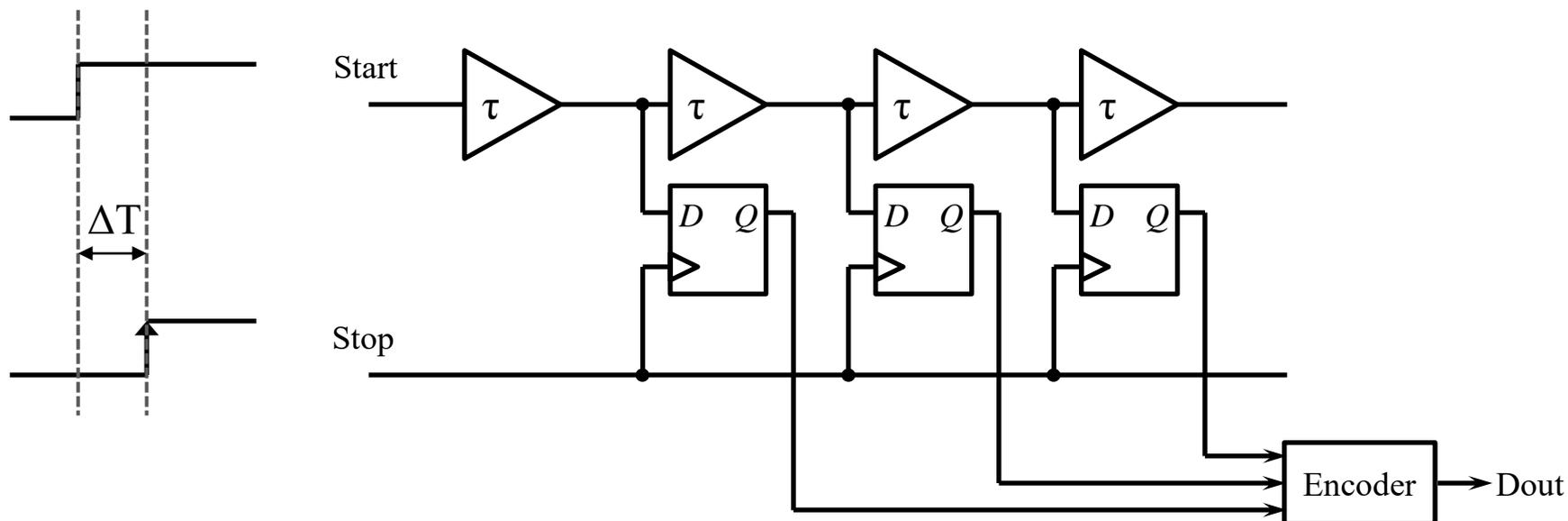


● ΔT の大きさに比例したデジタル値 Dout を出力

● 時間分解能 τ

高エネルギー加速器研究機構
素粒子原子核研究所
新井康夫氏による発明

•フラッシュ型TDC

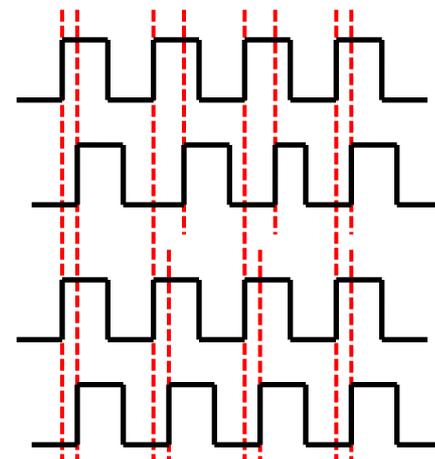


- 任意の信号でも1回の入力で計測可
- 回路規模：大
- 時間分解能： τ で決まる

- 繰返し信号の計測
 - 何回も入力 \Rightarrow 高精度で測定

任意信号：Tが変化する

繰返し信号：Tが一定

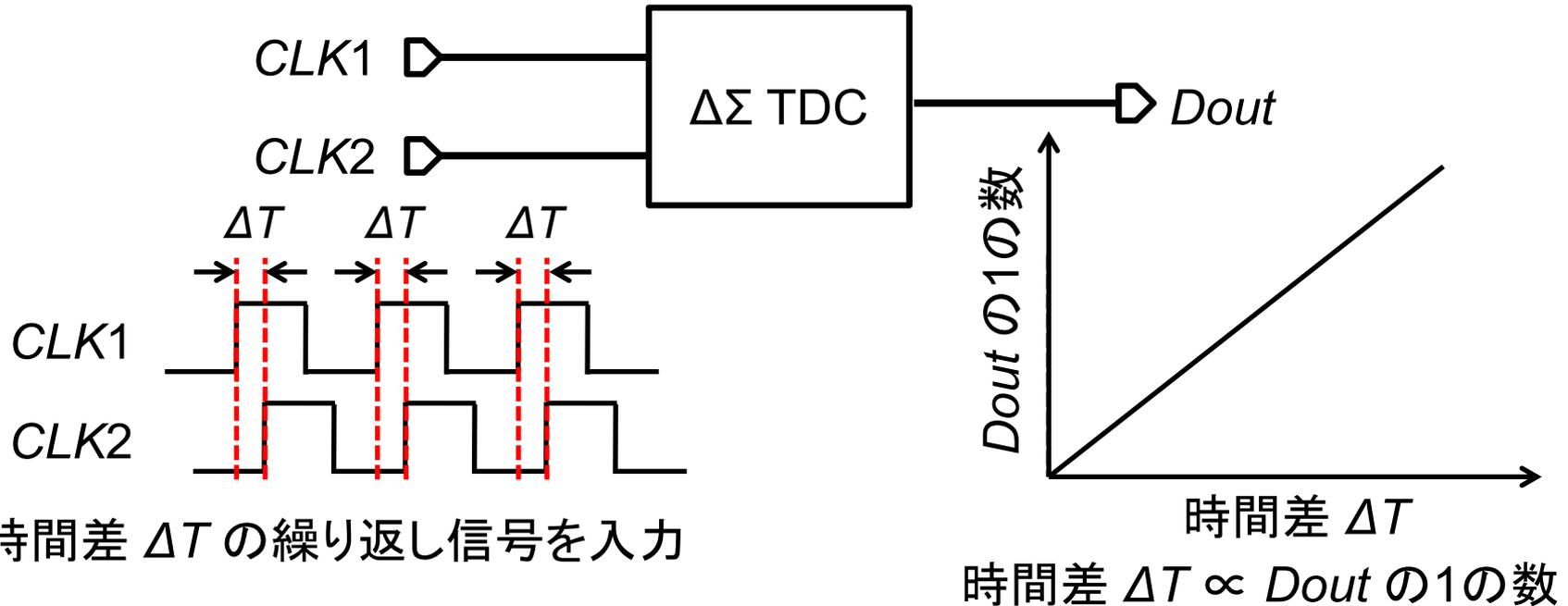


$\Delta\Sigma$ TDCについて

繰り返し信号の時間差 ΔT の測定



デルタシグマ型TDC ($\Delta\Sigma$ TDC)



$\Delta\Sigma$ TDCの特長

- 簡単な回路構成で回路量が少ない
- 高線形性
- 測定時間に比例して時間分解能が向上

米国
オレゴン州立大学
による発明

(1) 時間分解能回路の研究背景

(2) デルタシグマ型タイムデジタイザ回路

- デルタシグマ変調技術
- デルタシグマ型タイムデジタイザ回路の構成と動作
- アナログFPGA実現

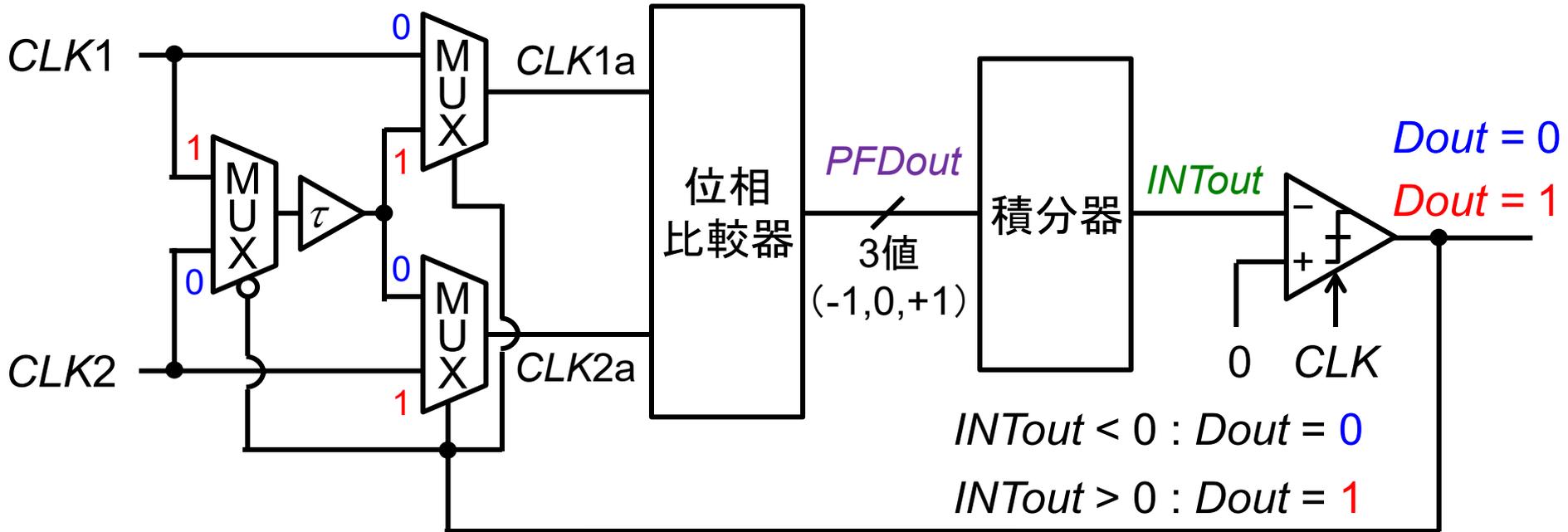
(3) マルチビットデルタシグマ型タイムデジタイザ回路

- マルチビット変調器の問題点
- DWAアルゴリズム
- アナログFPGA実現

(4) まとめ

(5) 若手研究者・学生に贈る言葉

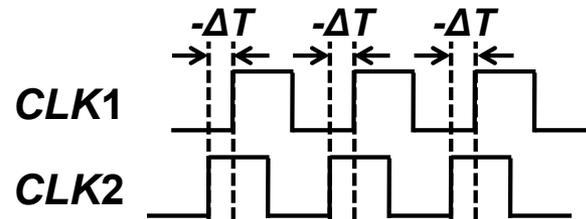
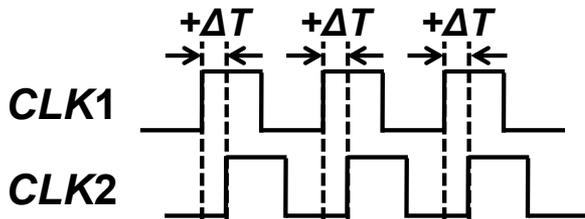
ΔΣ TDCの構成



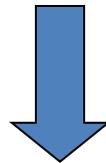
デレイライン, 位相比較器, 積分器, コンパレータによって構成

時間分解能 : $\frac{2\tau}{Doutの全体の数 N_{DATA} (0と1の合計)}$

測定可能範囲 : $-\tau < \Delta T < +\tau$

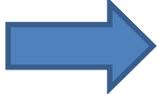


- アナログ最小、デジタルリッチな構成
ナノCMOSではデジタルは大きな恩恵
- スピードを精度に変換
ナノCMOSではスピードに余裕
- 高精度なデバイス、回路不要



ナノCMOSで高精度なAD/DACを
実現するのに適した構成

1960年 **安田靖彦先生**(当時 東大大学院生
現 東大・早稲田大学名誉教授)が考案。

- 近年の集積回路技術の進展に適した方式
  活発に研究・開発、実用化。
- ◆ AD/DA変換器、完全デジタルPLL回路
 時間デジタイザ回路等幅広く応用。
- ◆ 性能向上が著しい

発明者の安田靖彦先生に偶然にお会いする¹⁶

2011年11月29日(火)
於 スウェーデン大使館

新津葵一先生
エリクソン・ヤング・
サイエンティスト・アワード
受賞式 懇親会にて

安田先生は
審査員のお一人



新津先生



安田先生

$\Delta\Sigma$ か $\Sigma\Delta$ か

$\Delta\Sigma$ (デルタシグマ) 安田靖彦先生の主張

$\Sigma\Delta$ (シグマデルタ) IEEE の論文

or ? That is a question.

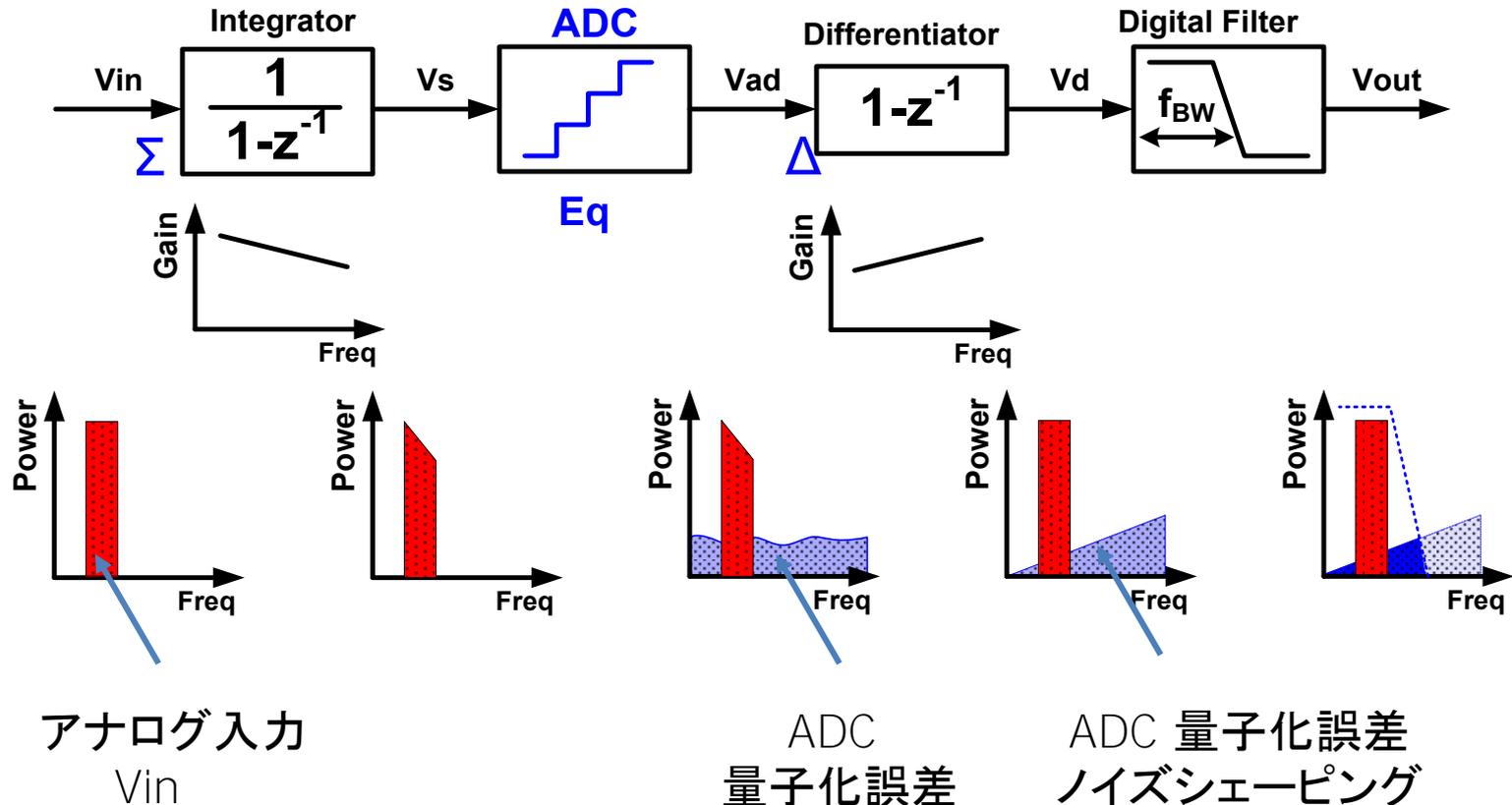


Hamlet

発明者の安田先生にしたがい

$\Delta\Sigma$

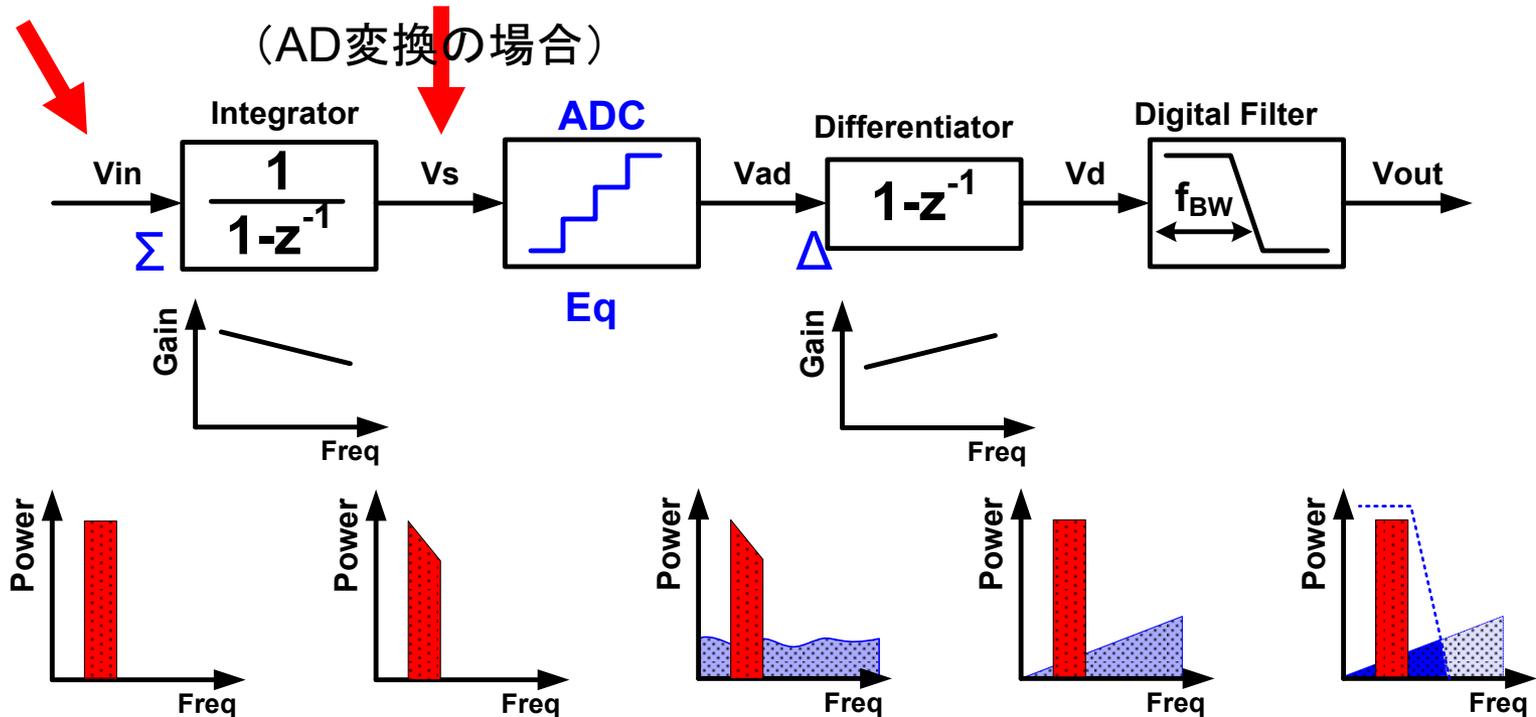
入力を積分してから Δ 変調



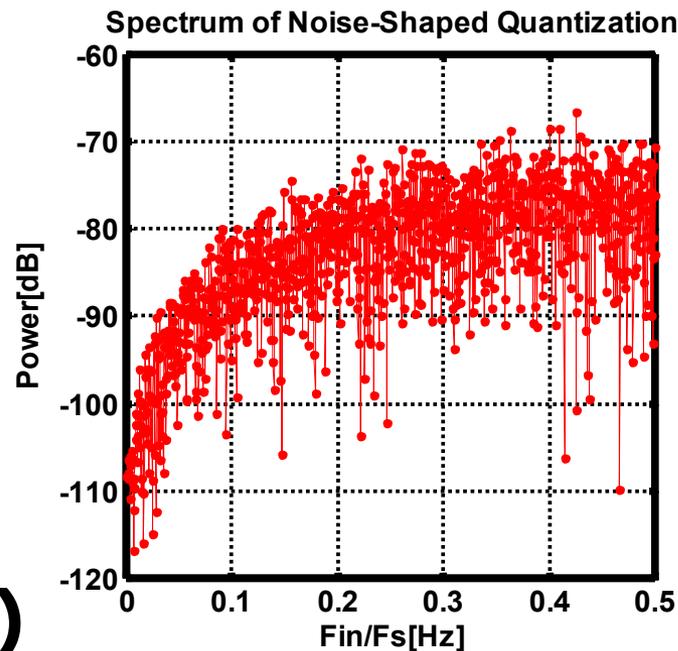
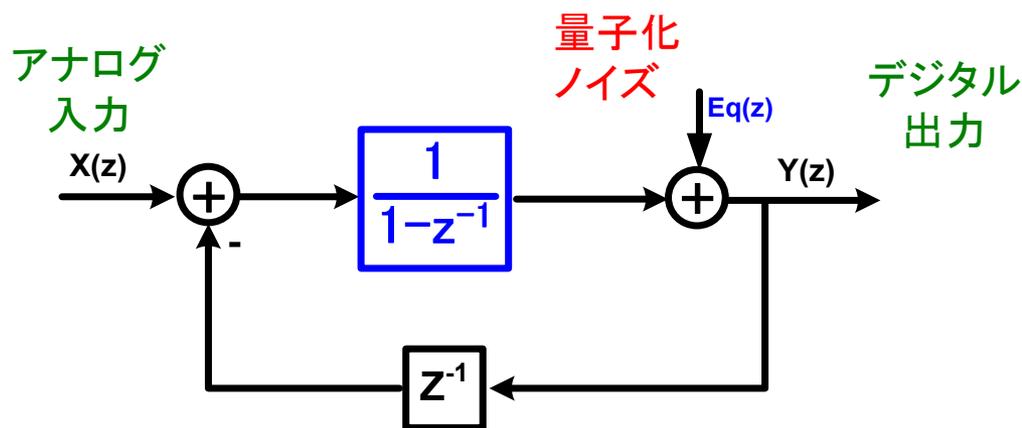
直接は実現できない

DC入力の場合

無限大になってしまう



$\Delta\Sigma$ AD変調の等価実現



$$Y(z) = X(z) + (1 - z^{-1}) \cdot Eq(z)$$

量子化ノイズを高域に移し、帯域内ノイズを低減

(1) 時間分解能回路の研究背景

(2) デルタシグマ型タイムデジタイザ回路

- デルタシグマ変調技術
- **デルタシグマ型タイムデジタイザ回路の構成と動作**
- アナログFPGA実現

(3) マルチビットデルタシグマ型タイムデジタイザ回路

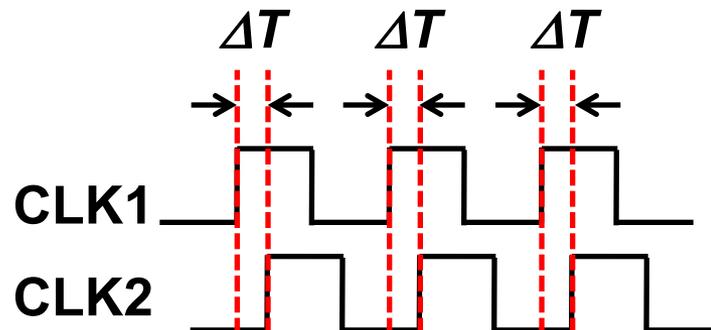
- マルチビット変調器の問題点
- DWAアルゴリズム
- アナログFPGA実現

(4) まとめ

(5) 若手研究者・学生に贈る言葉



繰り返しクロックの時間差： ΔT



ΔT がDoutのパルス"1"の個数に比例

ΔT

1の数

Dout

小

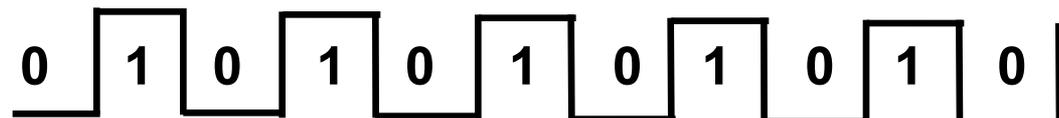
少



中

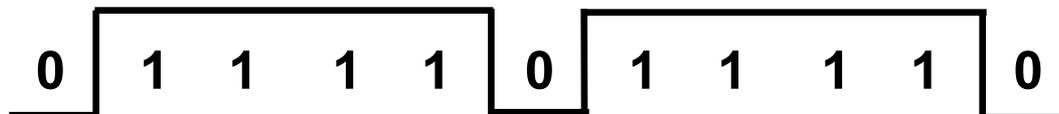


中

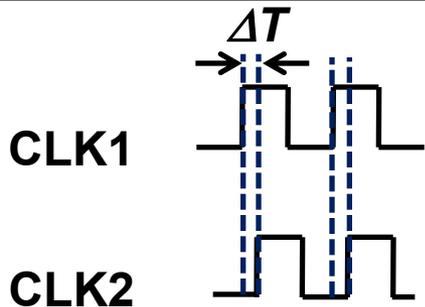
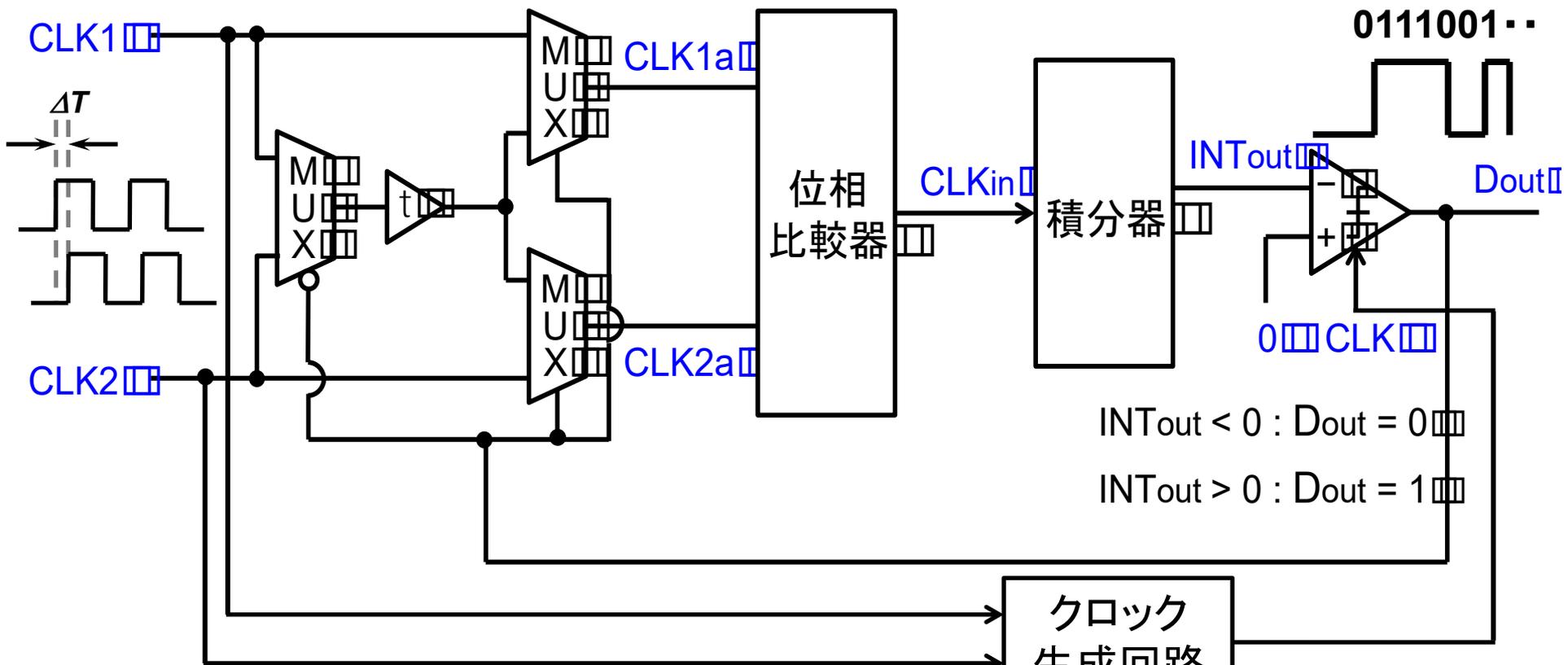


大

多

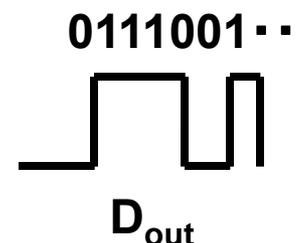


$\Delta\Sigma$ TDCの構成

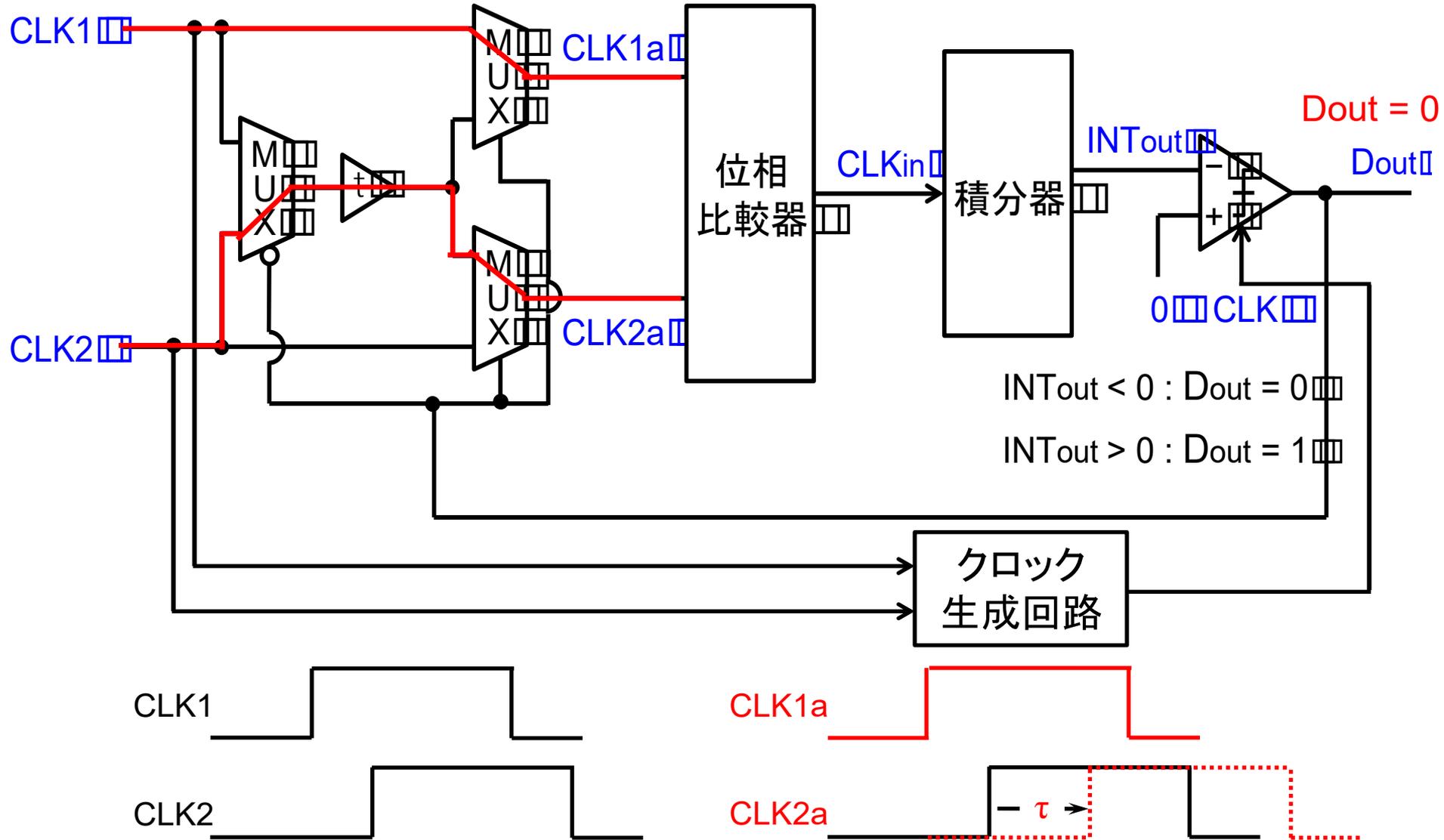


$\Sigma\Delta$ TDC

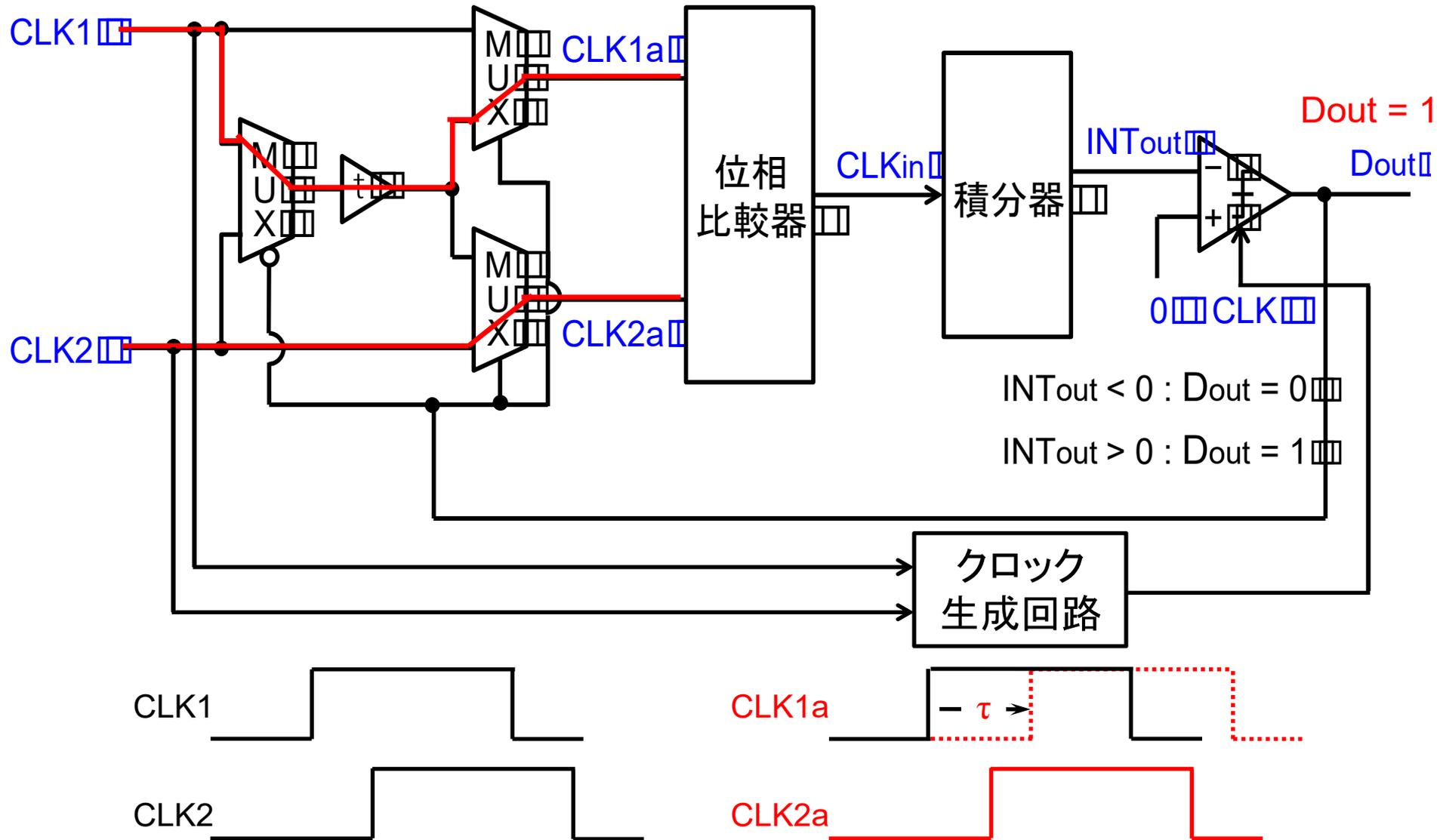
➔



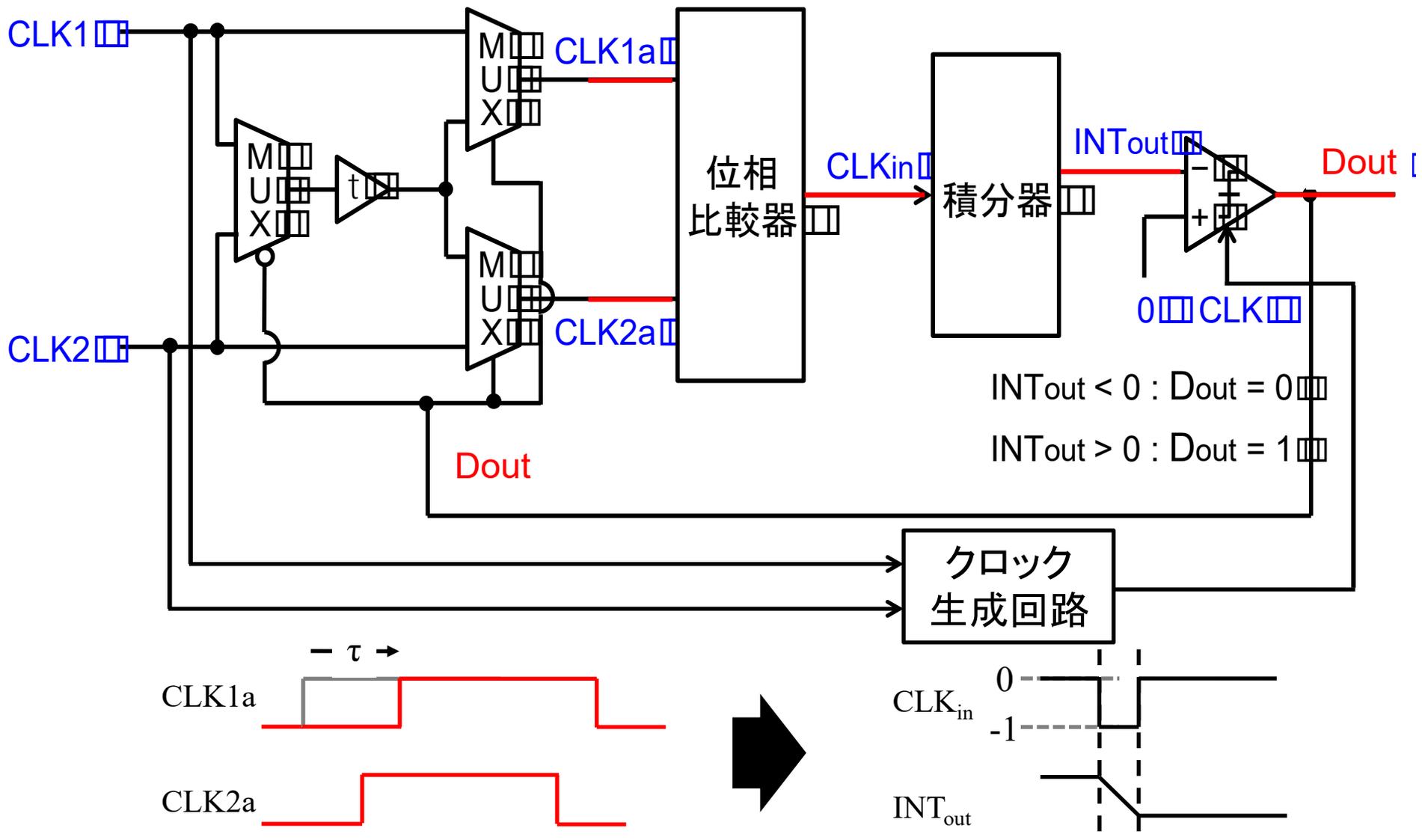
- ΔT がDoutのパルス"1"の個数に比例
- 測定可能範囲 : $-\tau < \Delta T < \tau$



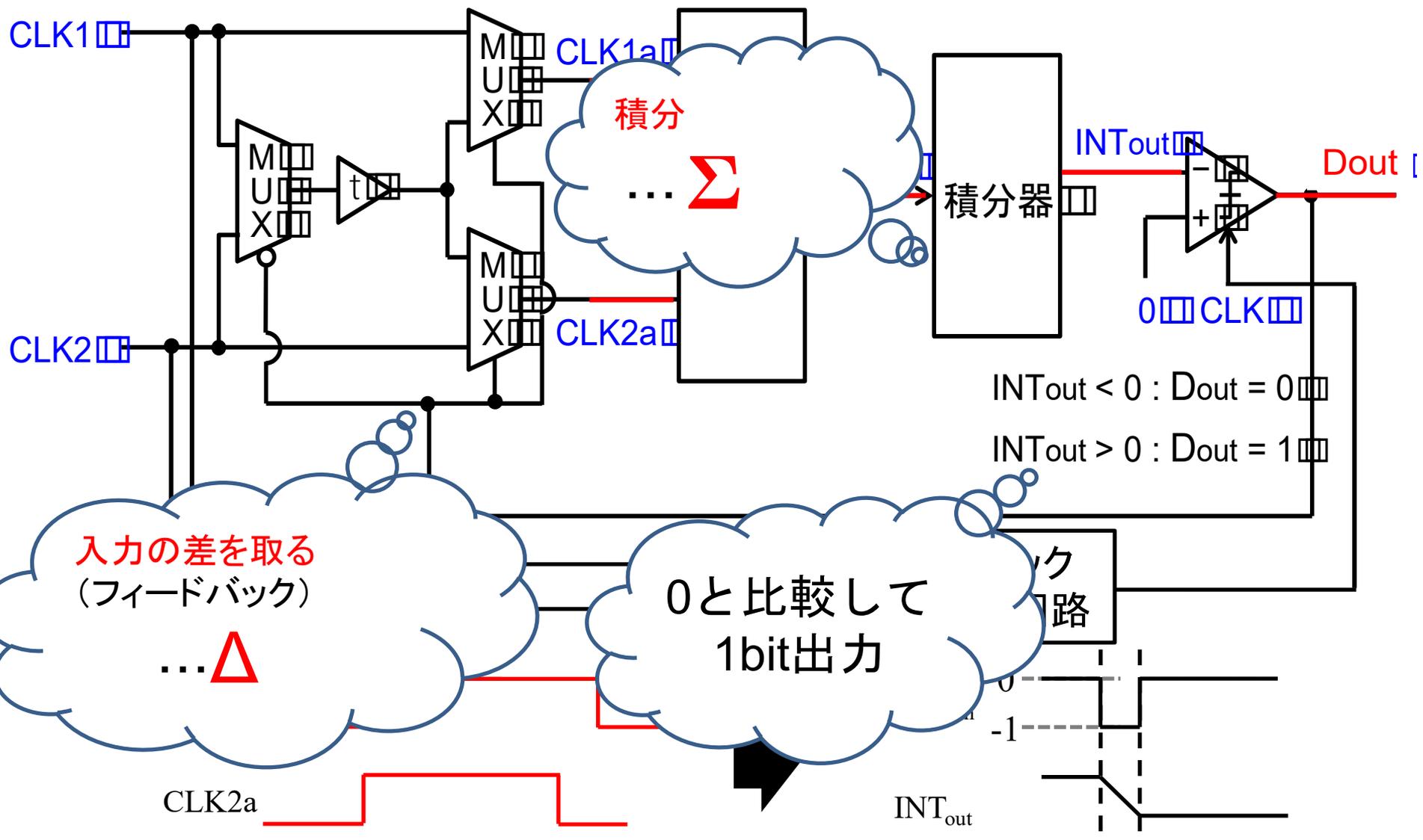
- $CLK1$ と $CLK2$ を入力
- 比較器出力により経路選択 → $CLK1a$, $CLK2a$ を得る



- $CLK1$ と $CLK2$ を入力
- 比較器出力により経路選択 → $CLK1a$, $CLK2a$ を得る



- 位相差 CLK_{in} を出力
- 比較器で INT_{out} を0と比較し、出力 D_{out} を得る → 次のクロックでの経路を制御



- 位相差 CLK_{in} を出力
- 比較器で INT_{out} を0と比較し、出力 D_{out} を得る → 次のクロックでの経路を制御

(1) 時間分解能回路の研究背景

(2) デルタシグマ型タイムデジタイザ回路

- デルタシグマ変調技術
- デルタシグマ型タイムデジタイザ回路の構成と動作
- **アナログFPGA実現**

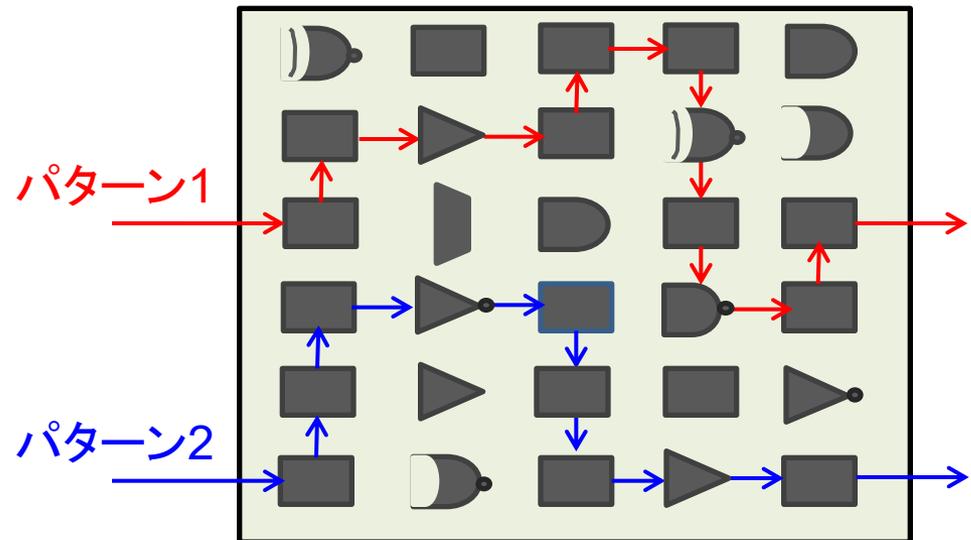
(3) マルチビットデルタシグマ型タイムデジタイザ回路

- マルチビット変調器の問題点
- DWAアルゴリズム
- アナログFPGA実現

(4) 位相ノイズ測定への応用の検討

(5) まとめ

Programmable System-on-Chip (PSoC) Cypress Semiconductor社

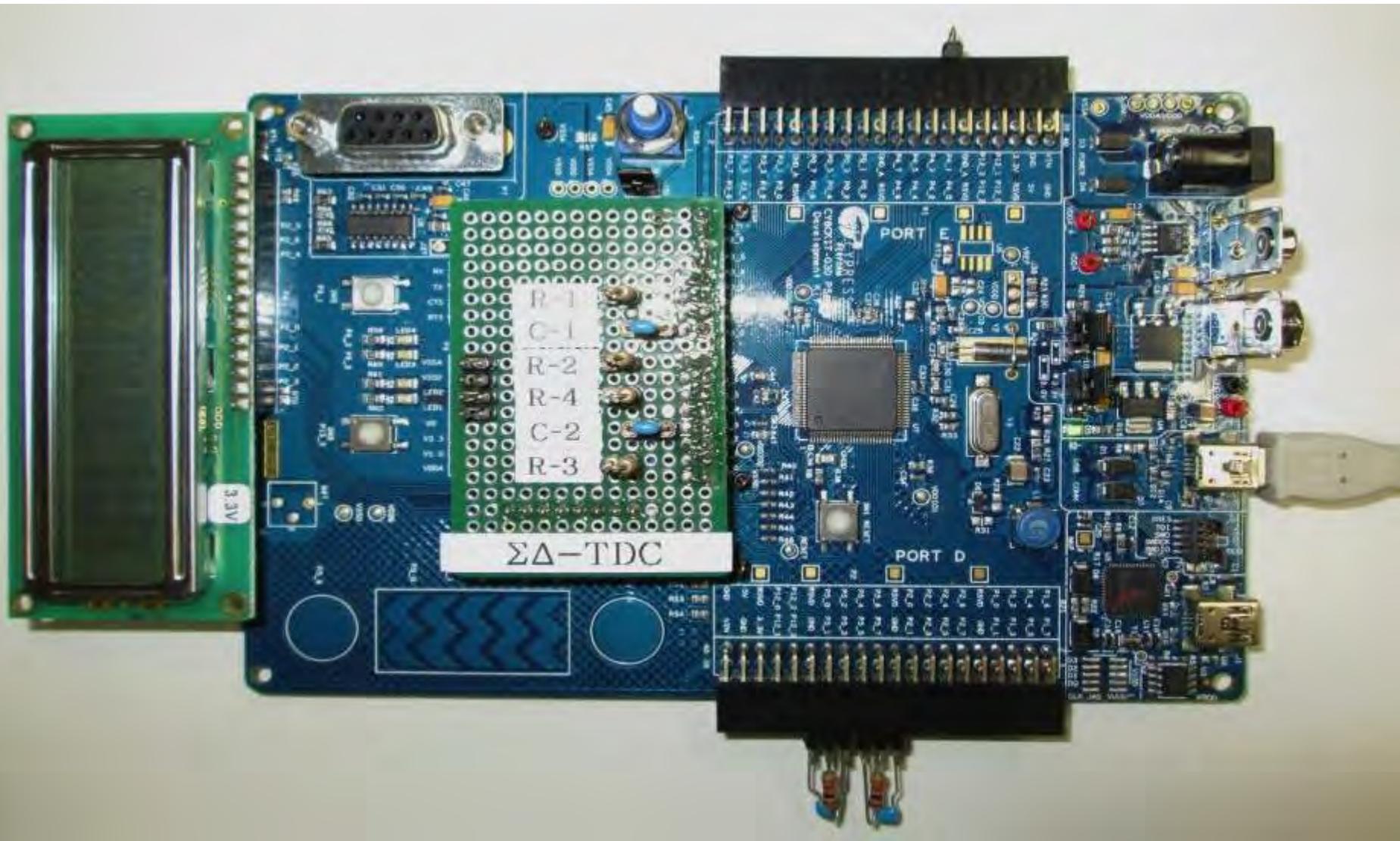


配線の変更によりアナログ・デジタル混載回路を自由に設計可能

PSoCで実現する利点

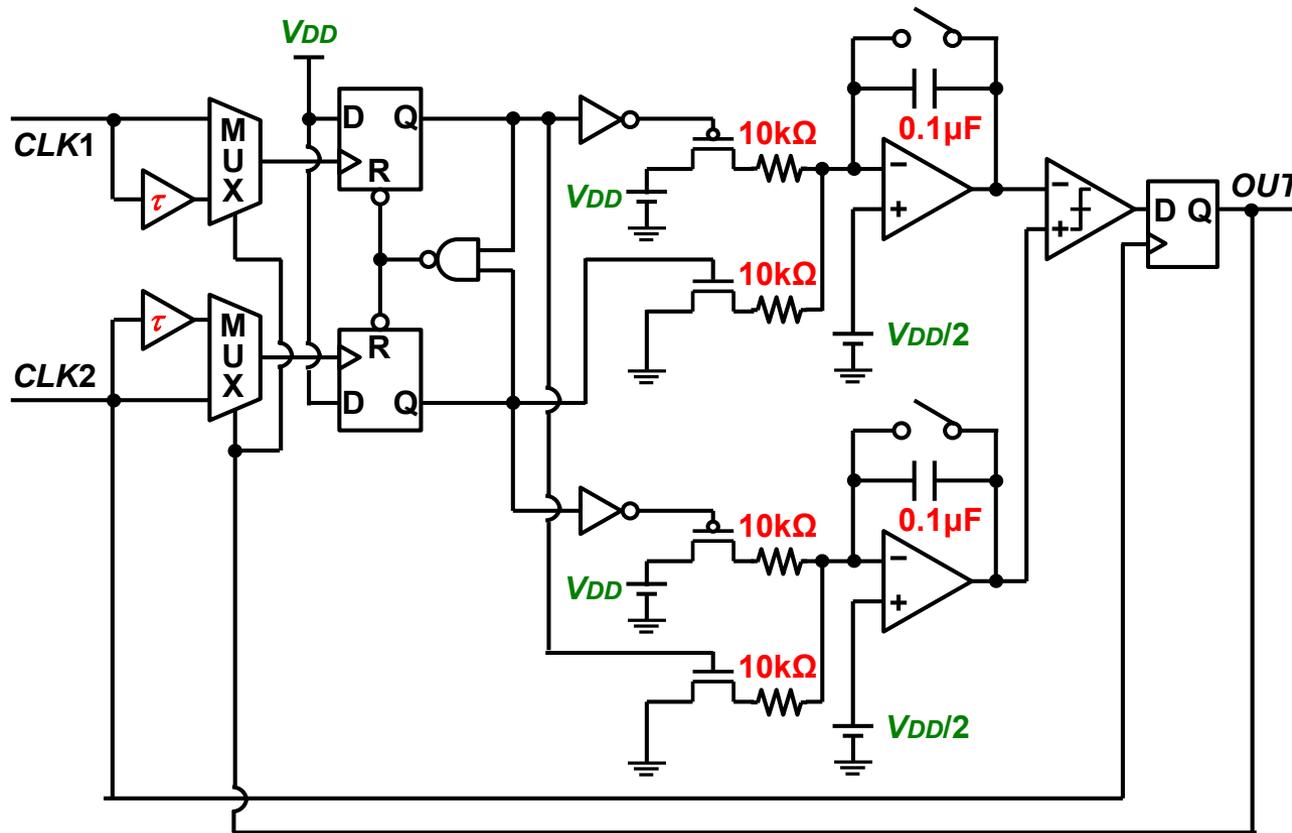
- 低コスト
- 開発期間が短い
- オンチップでデバッグ・修正が可能
- 試験結果を容易に出力可能

$\Delta\Sigma$ TDCを実装したPSoC

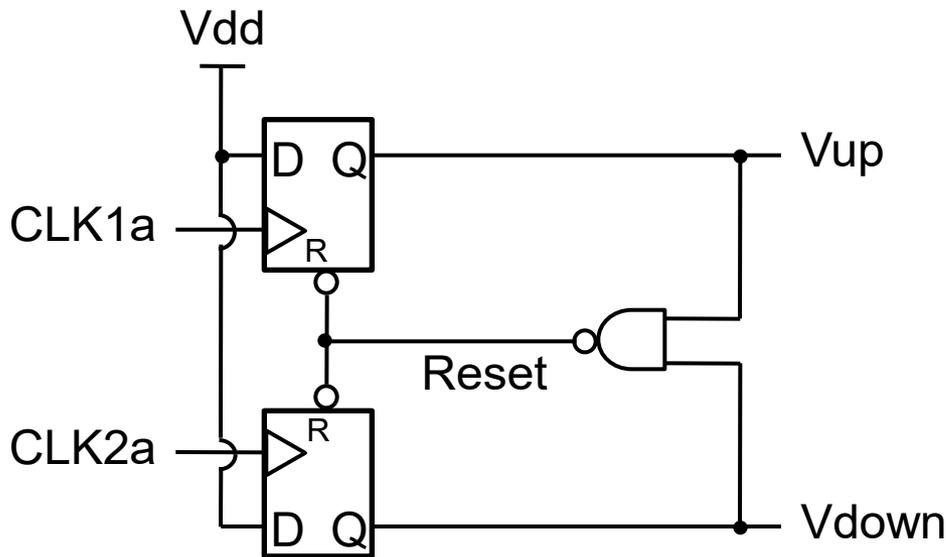
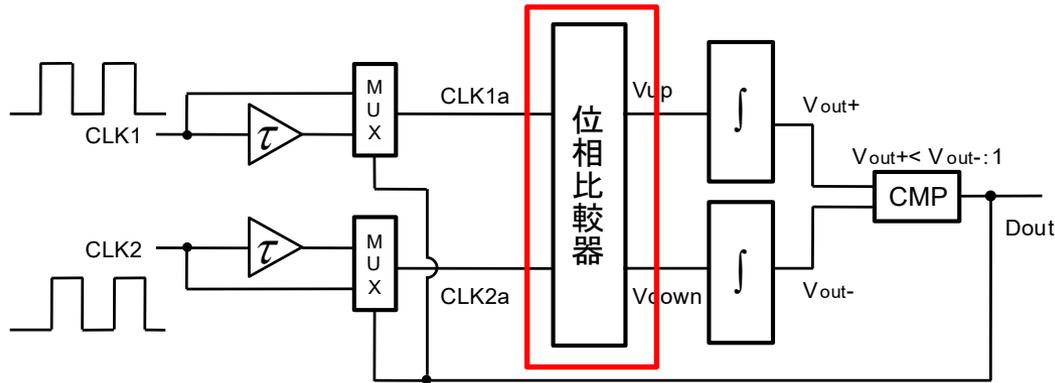


PSoC実装した $\Delta\Sigma$ TDC回路

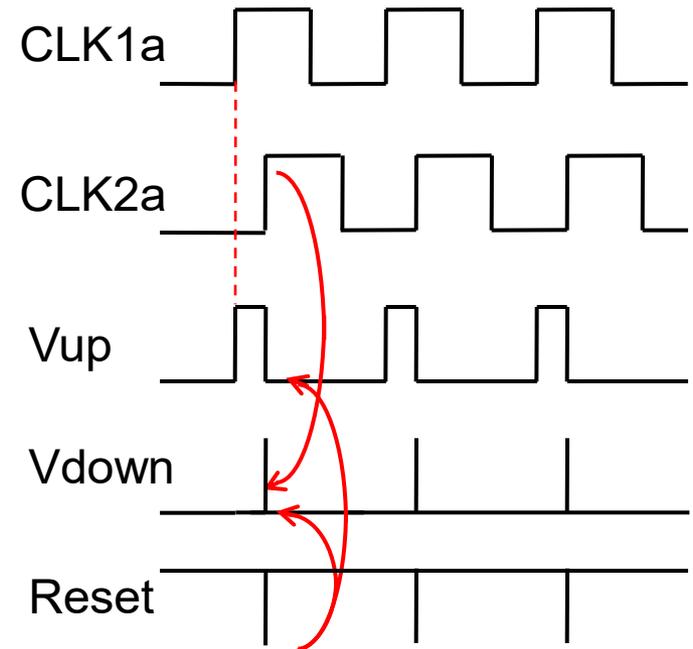
33



電源電圧 V_{DD}	3.3V
遅延素子 τ	約 $5\mu\text{s}$
入力周波数	20kHz
入力時間差 ΔT	$-4.17\mu\text{s} < \Delta T < 4.17\mu\text{s}$ 41.7ns刻みで変化

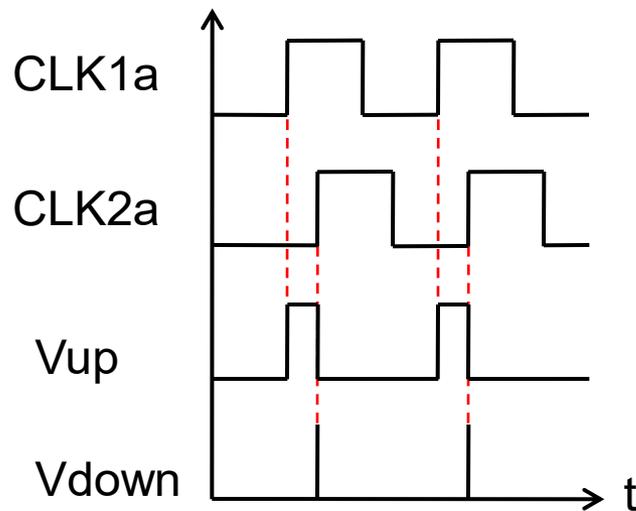


NAND型位相比較器

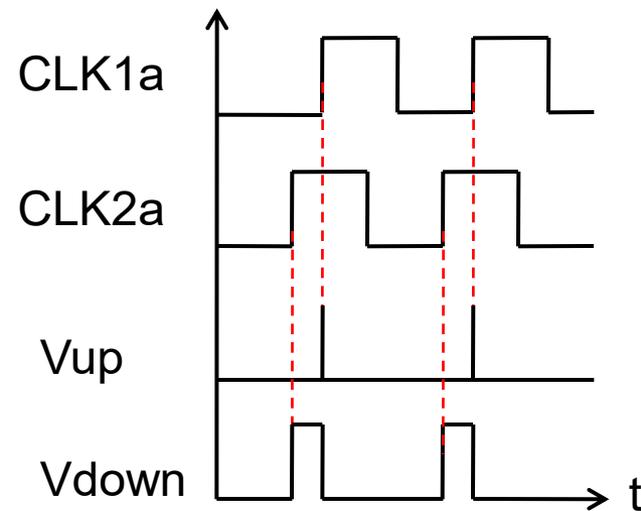


タイミングチャート

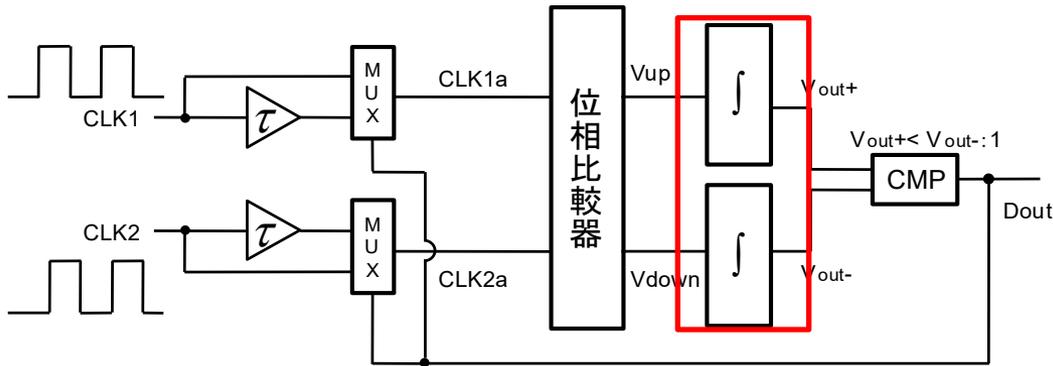
CLK1aとCLK2aの立ち上がりエッジのタイミングにより
出力が異なる



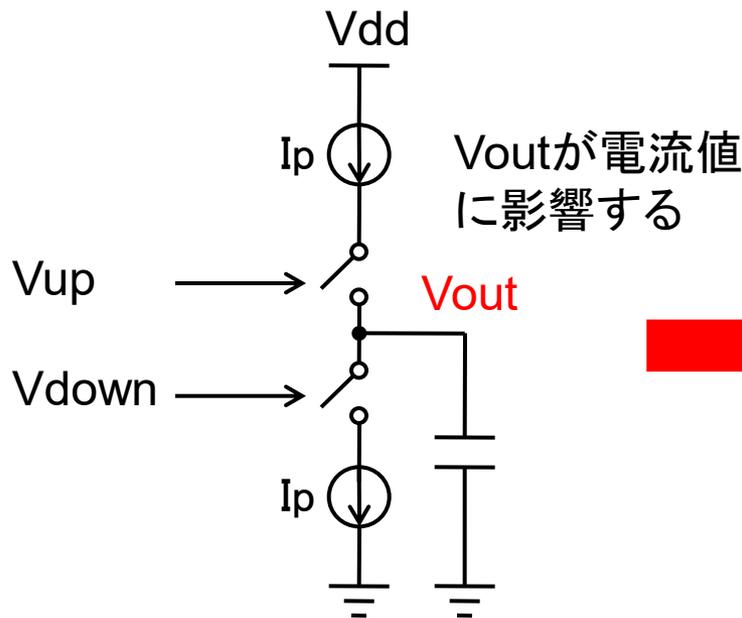
CLK1aの立ち上がりエッジが
CLK2aのエッジよりも速い場合



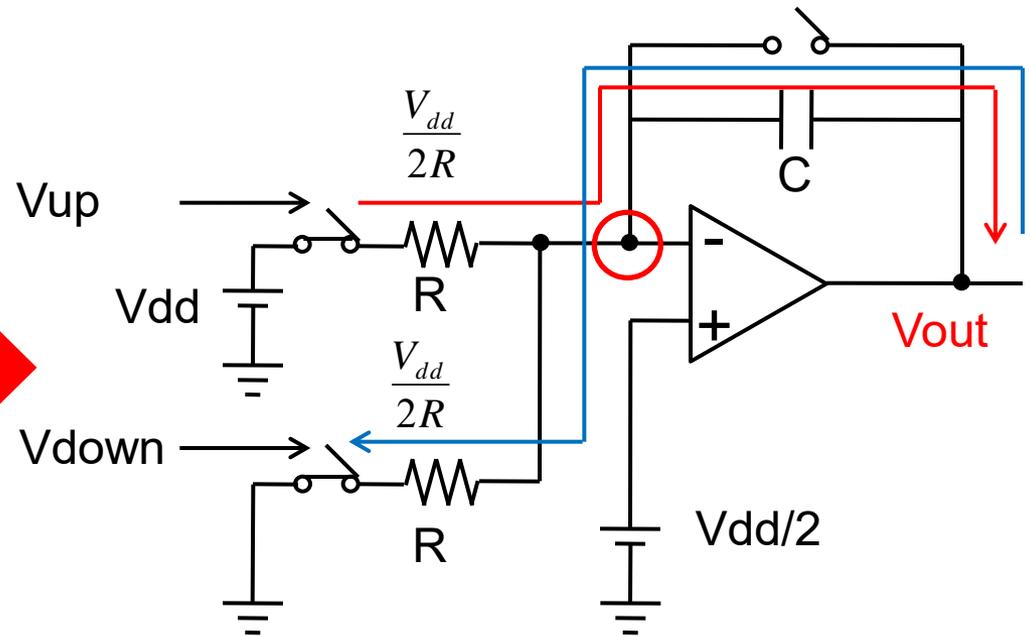
CLK2aの立ち上がりエッジが
CLK1aのエッジよりも速い場合



- オペアンプの仮想短絡を利用
- 電圧源と抵抗で電流を発生

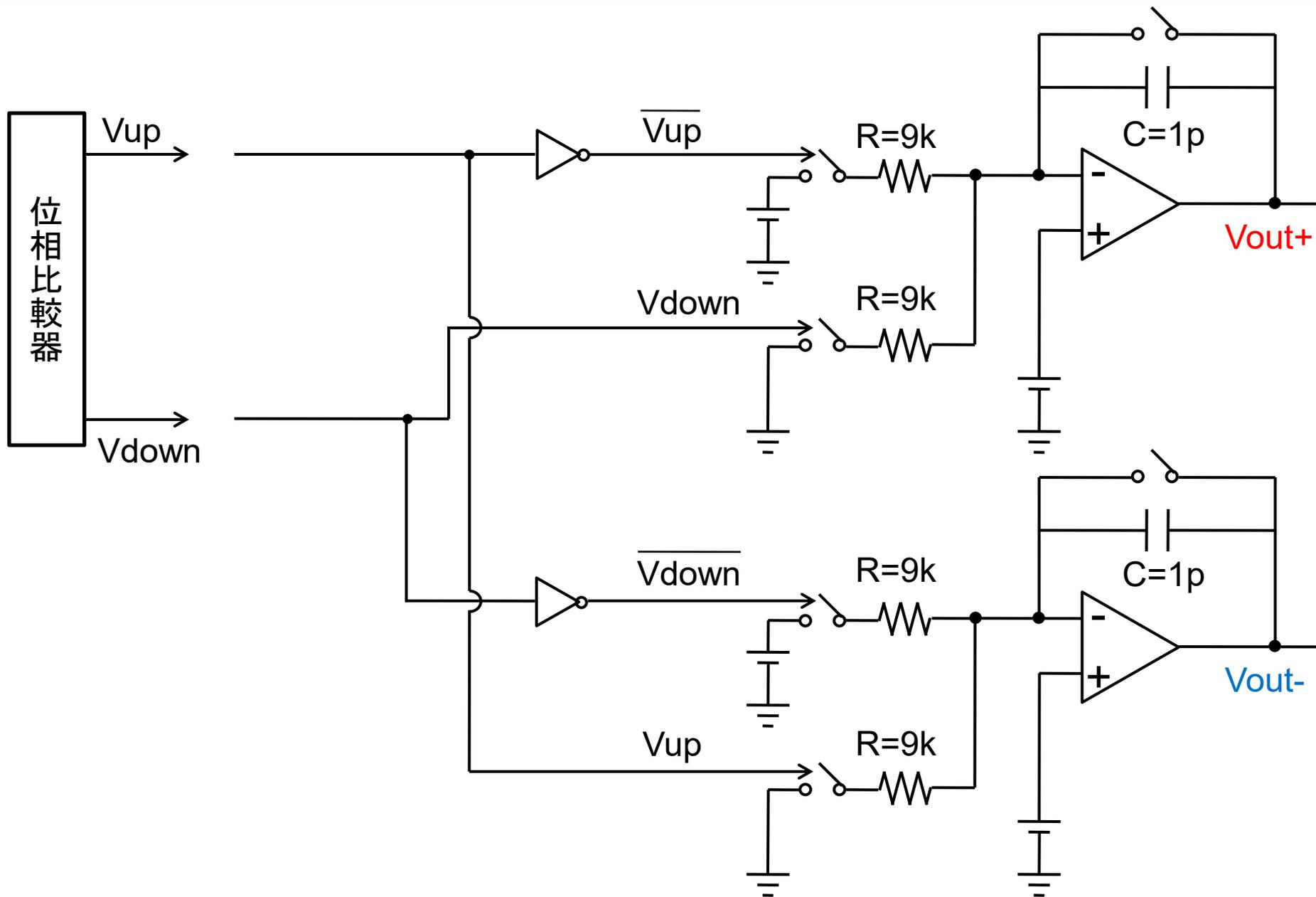


基本型チャージポンプ

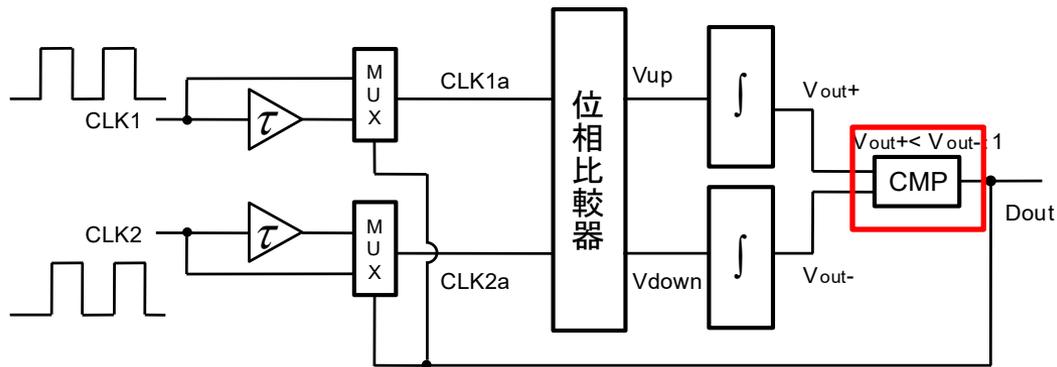


オペアンプ型チャージポンプ

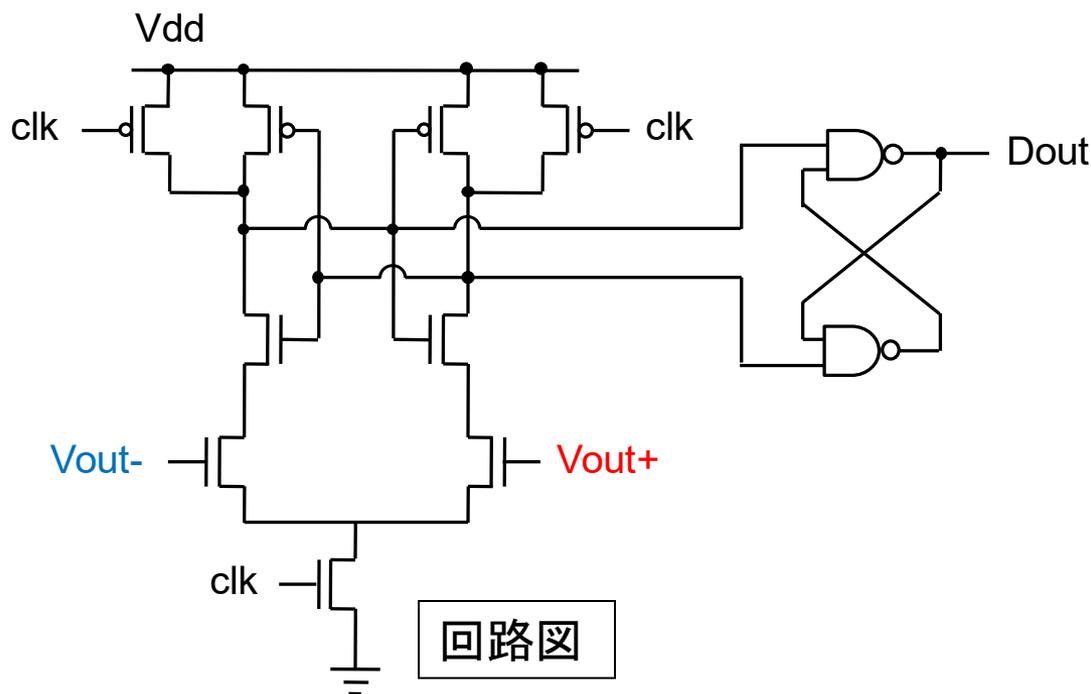
位相比較器とチャージポンプの接続



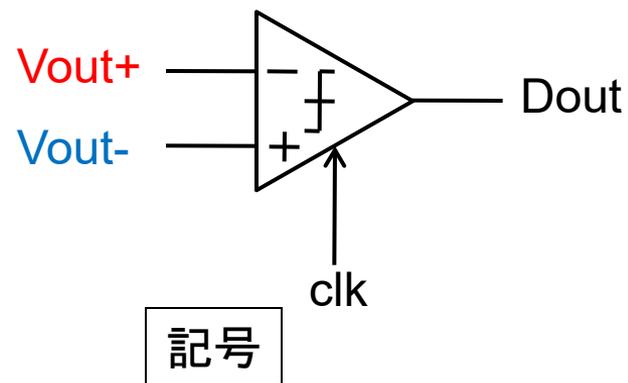
コンパレータの回路設計



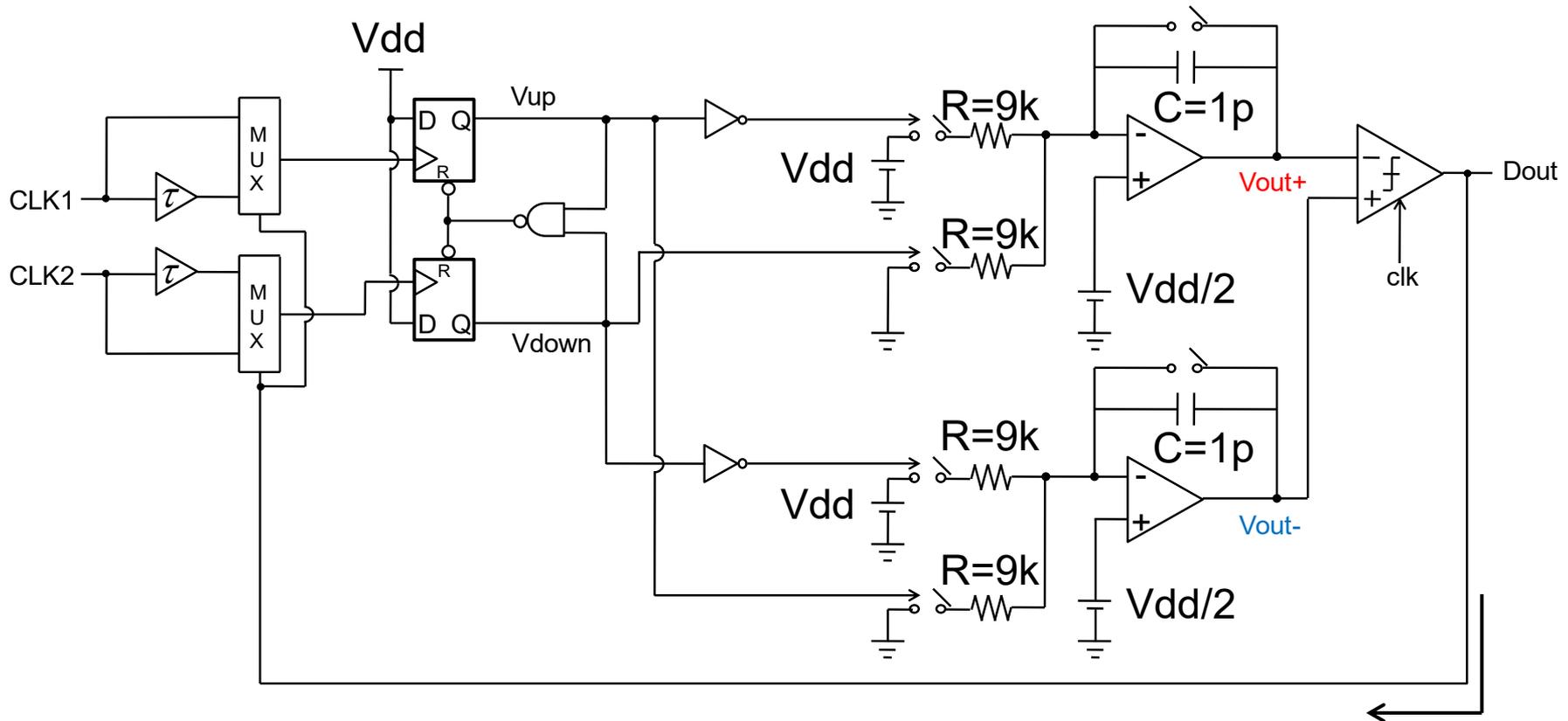
MOS	W[μm]/L[μm]
PMOS	6/0.18
NMOS	2/0.18



$V_{out-} > V_{out+} \rightarrow D_{out} = 1$
 $V_{out-} < V_{out+} \rightarrow D_{out} = 0$



1ビット $\Delta\Sigma$ 型TDC



シミュレーション条件

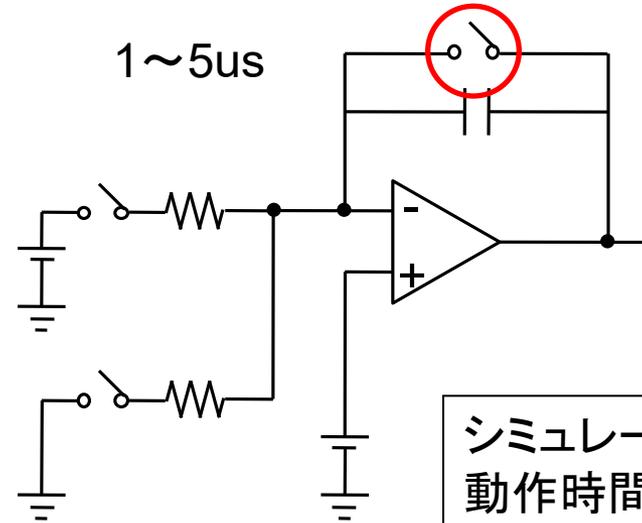
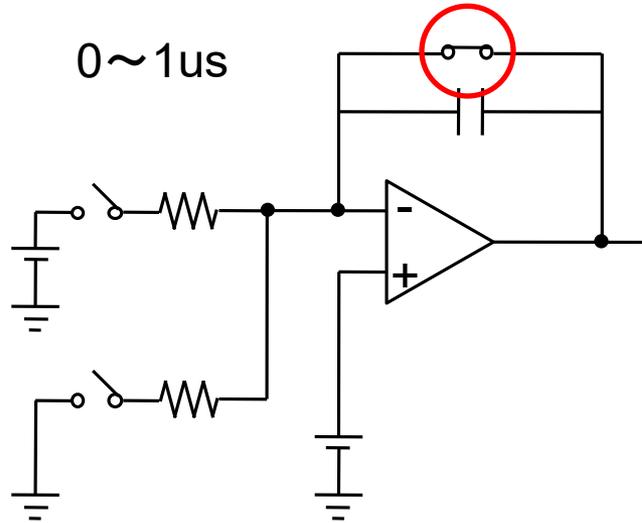
	High/Low	周波数	パルス幅
CLK1,CLK2	1.8V/0V	10MHz	50ns

電源電圧Vdd=1.8V
シミュレーション時間5us

spectreで設計
(TSMC0.18um CMOSプロセス)

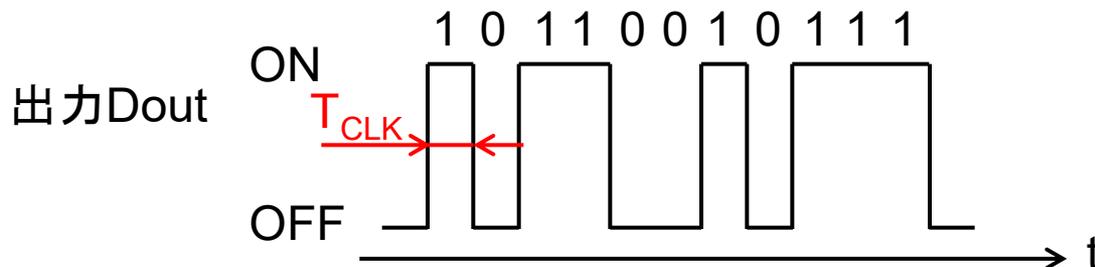
初期条件

- コンデンサの両端を1usまで短絡



シミュレーション時間: 5us
動作時間: 4us

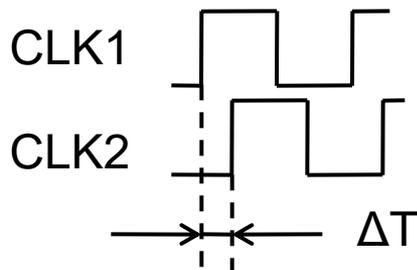
パルスの数え方



出力の総ON時間を
入力クロック周期 T_{CLK} で割る

パルス数合計: 7

CLK1が先に立ち上がる場合



ΔT

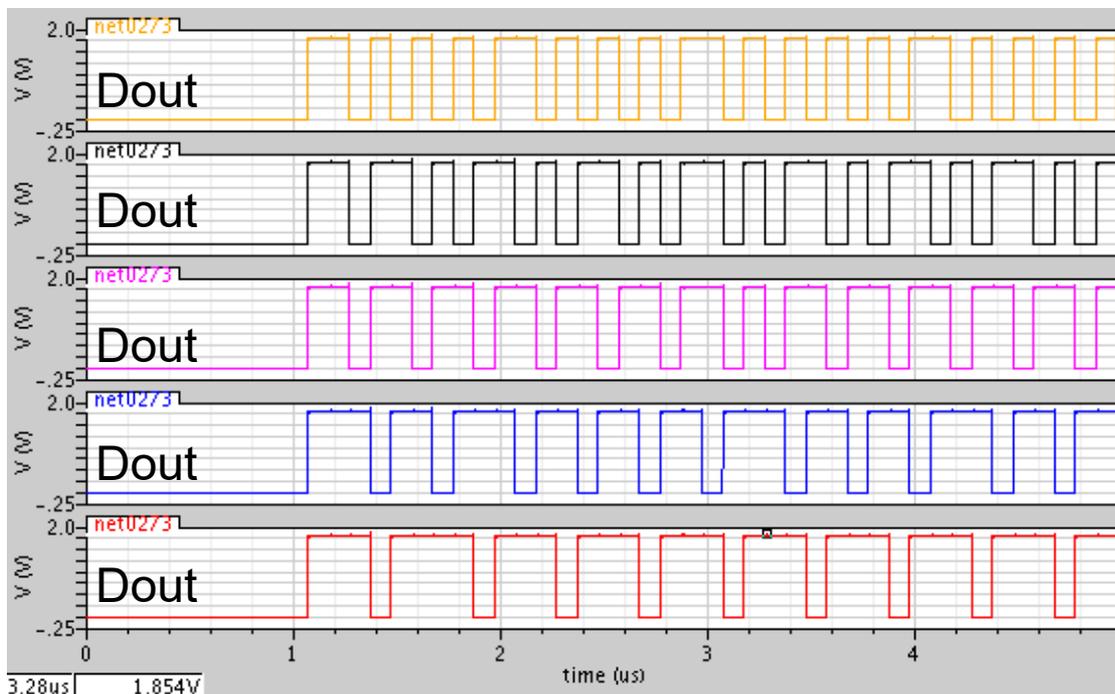
0.1ns

0.2ns

0.3ns

0.4ns

0.5ns



1のパルス数

22

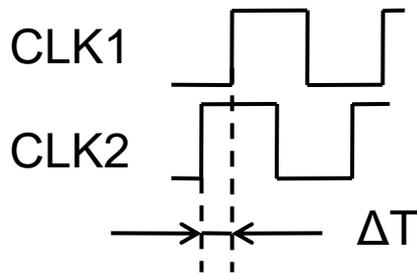
24

26

28

30

CLK2が先に立ち上がる場合



ΔT

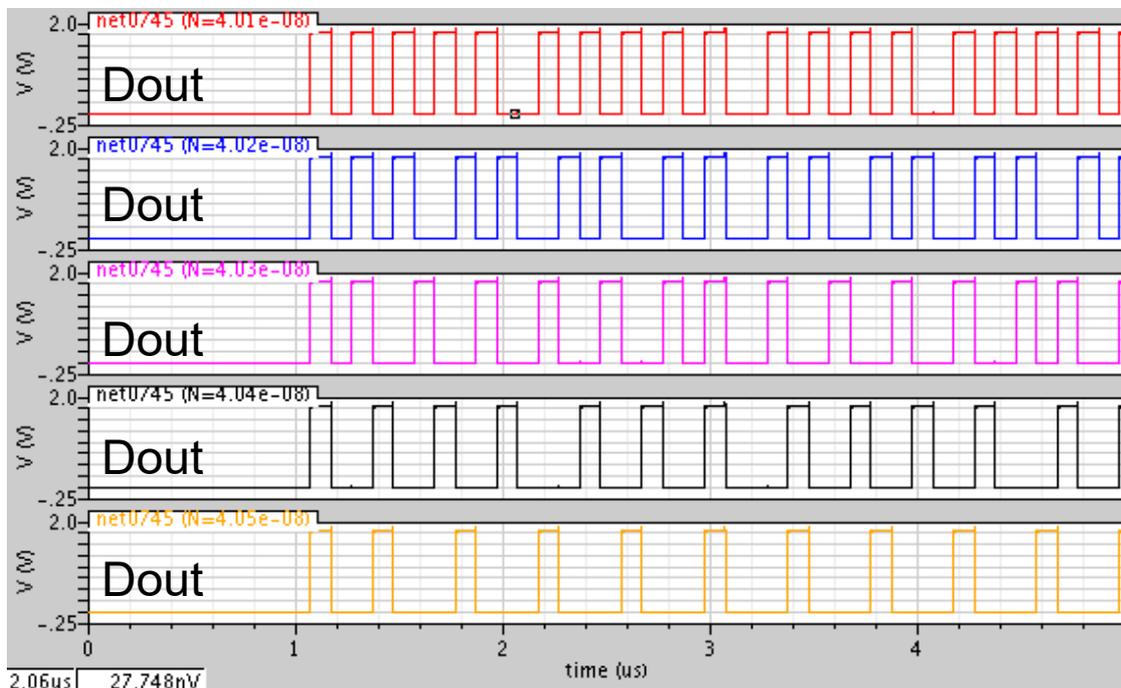
0.1ns

0.2ns

0.3ns

0.4ns

0.5ns



1のパルス数

18

16

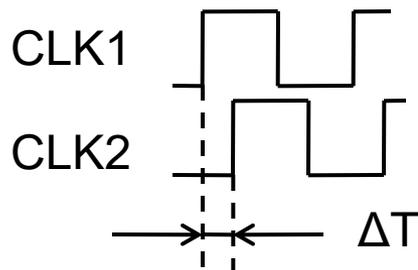
14

12

10

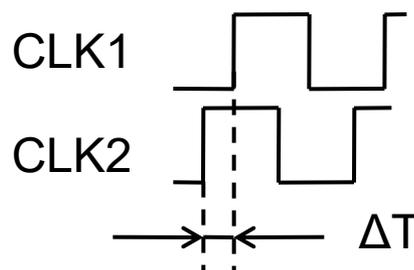
CLK1が先に
立ち上がる

$\Delta T(\text{ns})$	1の数
0.95	39
0.9	38
0.8	36
0.7	34
0.6	32
0.5	30
0.4	28
0.3	26
0.2	24
0.1	22
0	20



CLK2が先に
立ち上がる

$\Delta T(\text{ns})$	1の数
0.95	1
0.9	2
0.8	4
0.7	6
0.6	8
0.5	10
0.4	12
0.3	14
0.2	16
0.1	18
0	20



※動作時間4us

時間差0.1n毎
にパルス数が
2つつ変化



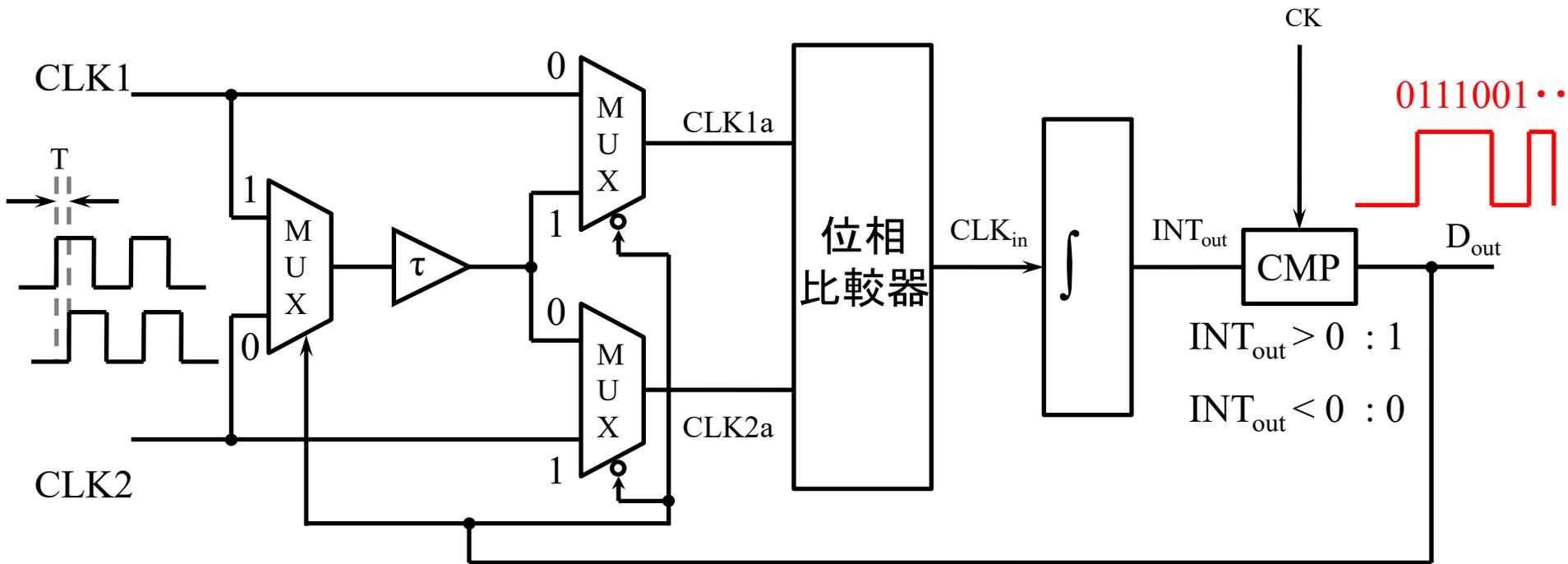
分解能50ps

シミュレーションで確認

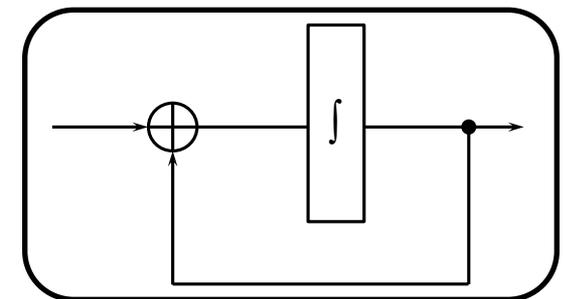
- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - **マルチビット変調器の問題点**
 - DWAアルゴリズム
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉

シングルビット $\Delta\Sigma$ TDC回路の構成

45

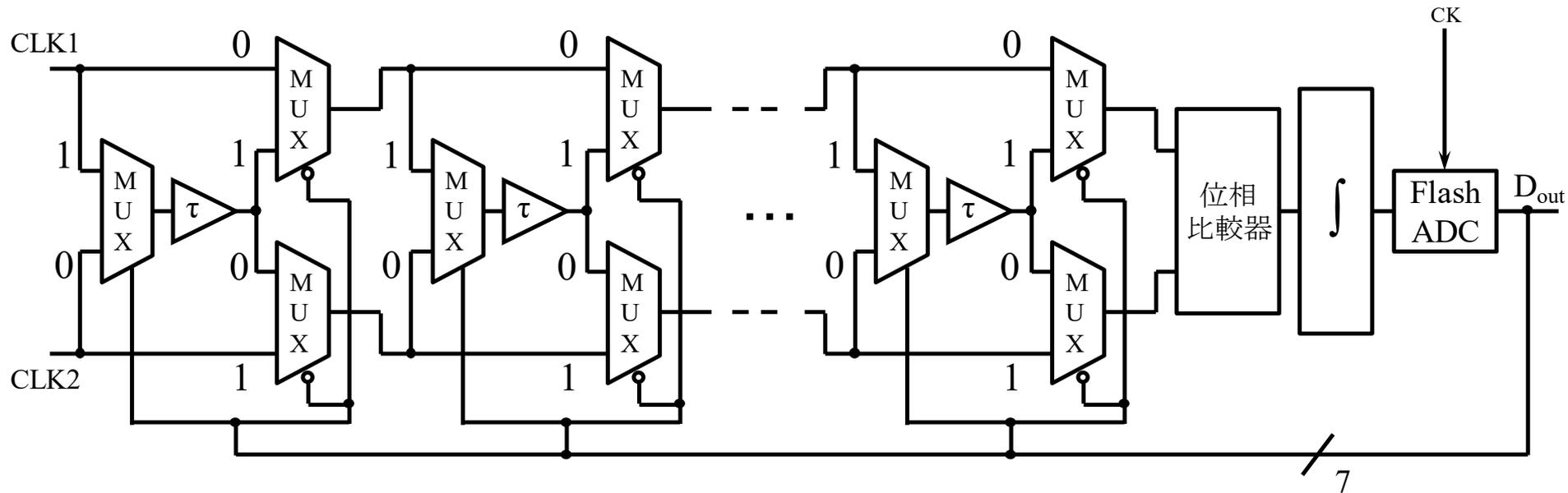


- CLK1とCLK2間の時間差を計測
- 出力は時間差Tに比例 ⇒ 1の個数でTを測定可
- D_{out}で経路制御
- 測定可能範囲 : $-\tau < T < \tau$



•積分制御のフィードバック構成

マルチビット $\Delta\Sigma$ TDCの構成



- 遅延セル, マルチプレクサを増やしマルチビット化
- n -bitの場合: $2^n - 1$ 本の出力
- 測定可能範囲: $-7\tau < T < 7\tau$
- Flash ADCの出力結果で経路選択

- シングルビット $\Delta\Sigma$ TDC
 - 遅延ミスマッチが影響しない
 - 精度が出せる
 - 測定時間が長い
- マルチビット $\Delta\Sigma$ TDC
 - 測定時間を短縮可能
 - 補正技術を適用することで精度が保てる

テスト：短時間, テスト精度の向上が重要

マルチビット化によりテスト時間が短縮



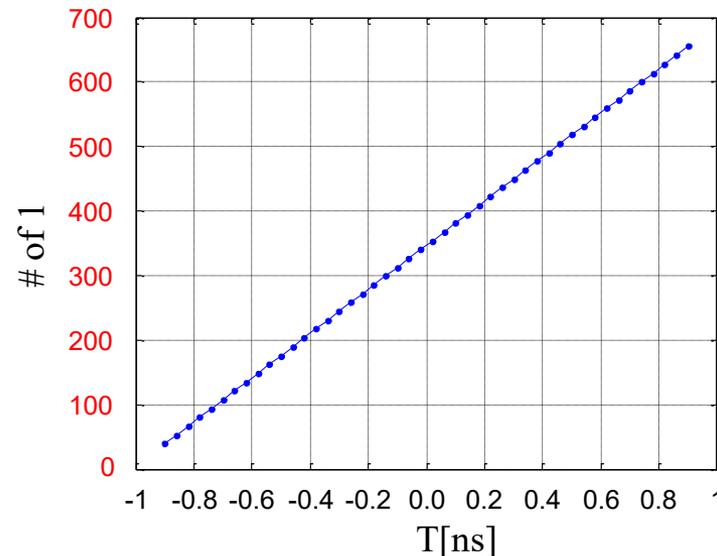
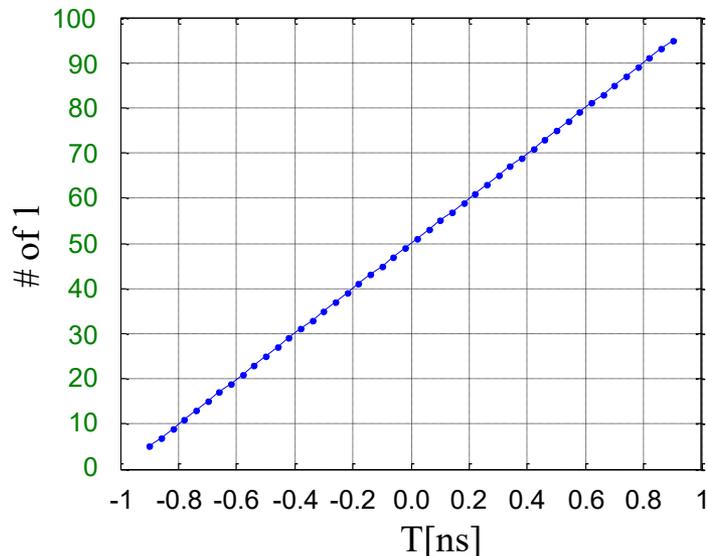
テストコストを削減可能

$\Delta\Sigma$ TDCのMATLABシミュレーション結果 49

● シミュレーション条件

	1-bit $\Delta\Sigma$ TDC	3-bit $\Delta\Sigma$ TDC
立ち上がり時間差 T	-0.9 ~ 0.9[ns] (刻み : 0.04[ns])	-0.9 ~ 0.9[ns] (刻み : 0.04[ns])
遅延時間 τ	1[ns]	0.145[ns]
出力数(比較回数)	99点	99点

■ 立ち上がり間隔 T に対する1の出力数



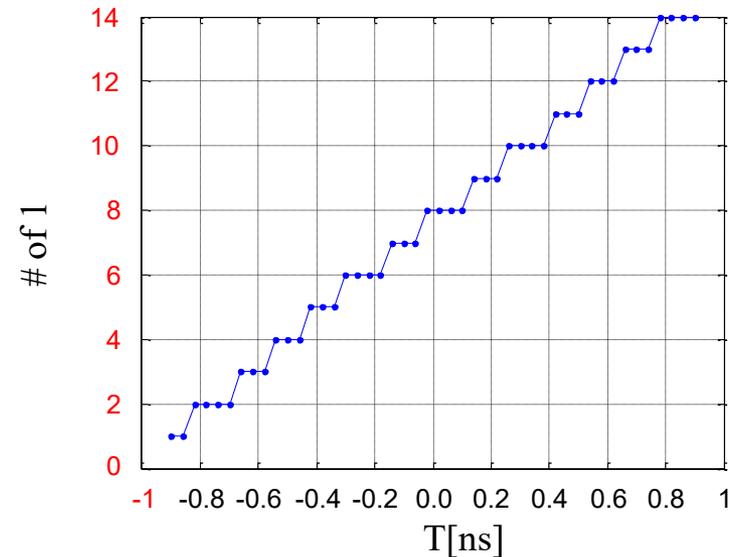
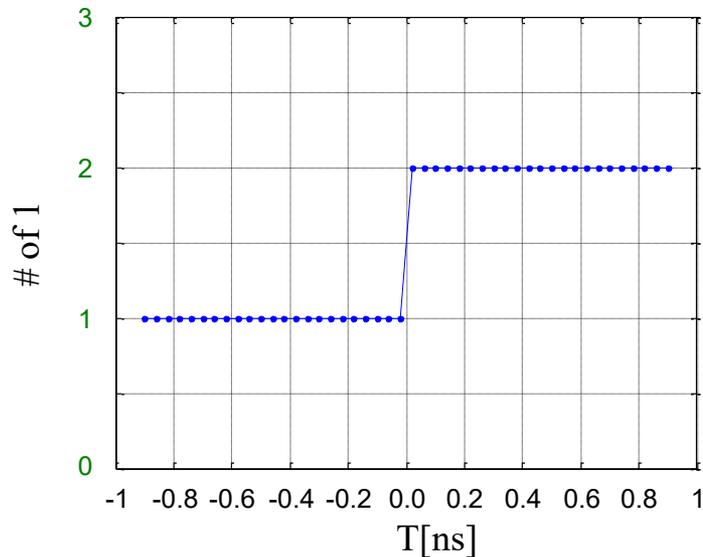
- 1の出力数は入力時間差に比例
 - 時間差測定が可能

測定時間を短縮した場合の検討

● シミュレーション条件

	1-bit $\Delta\Sigma$ TDC	3-bit $\Delta\Sigma$ TDC
立ち上がり時間差 T	-0.9 ~ 0.9[ns] (刻み : 0.04[ns])	-0.9 ~ 0.9[ns] (刻み : 0.04[ns])
遅延時間 τ	1[ns]	0.145[ns]
出力数(比較回数)	2点	2点

■ 立ち上がり間隔 T に対する1の出力数



マルチビット変調器の利点

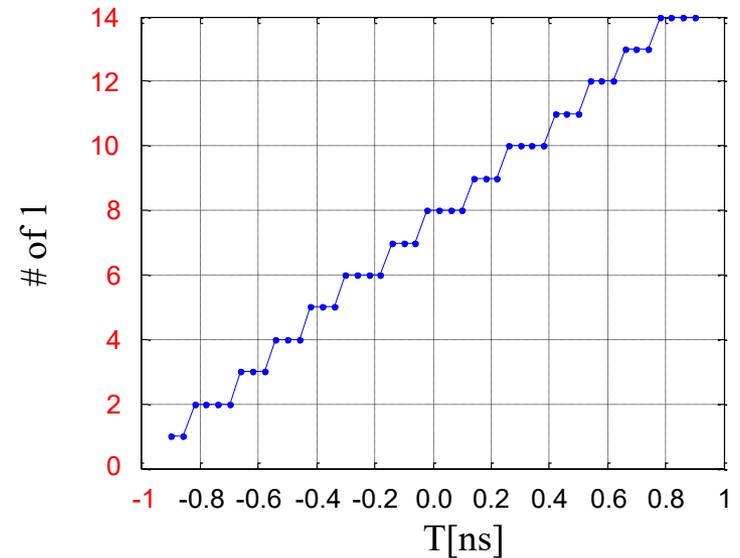
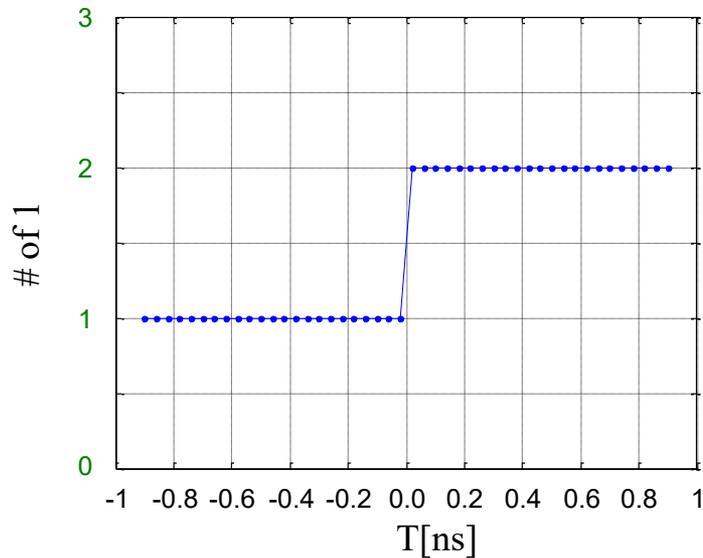
✓マルチビット化することで短時間で細かく測定可能



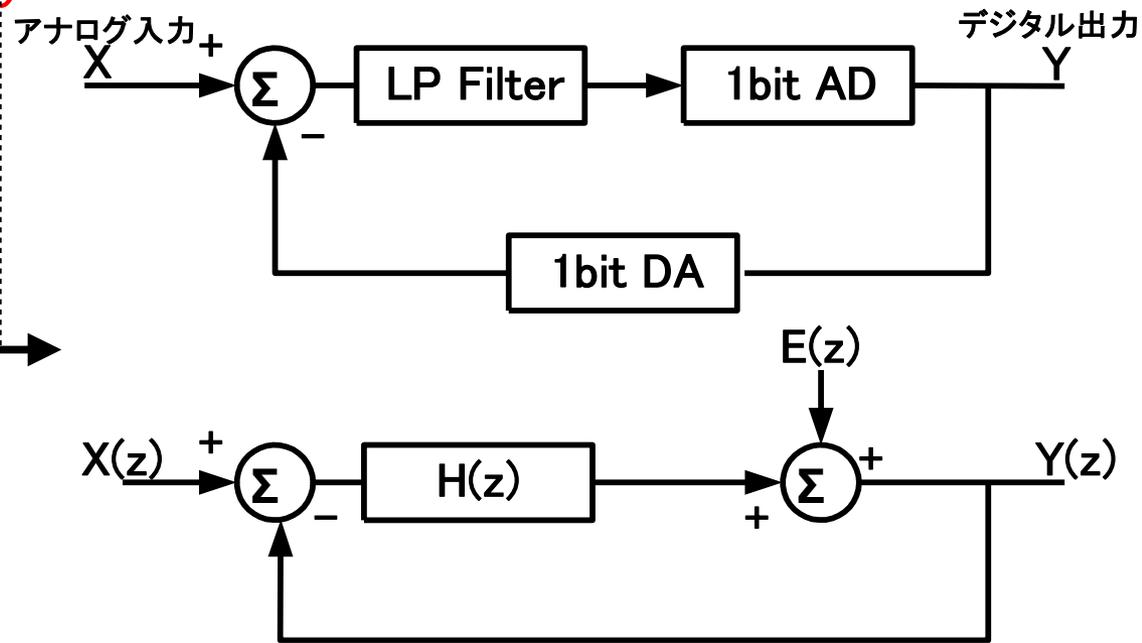
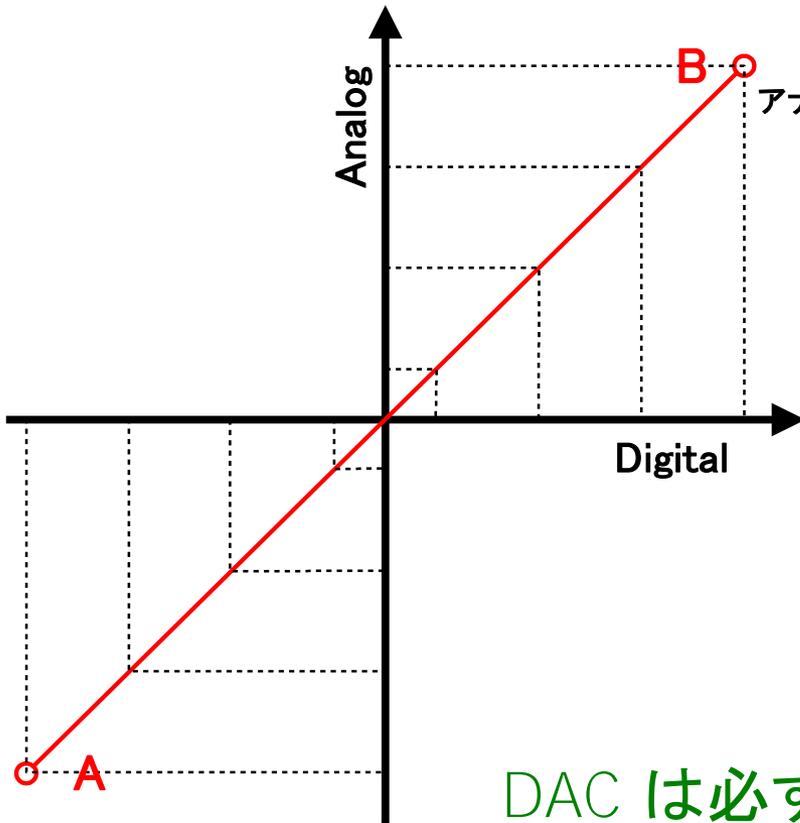
低コスト・テスト



■ 立ち上がり間隔 T に対する1の出力数

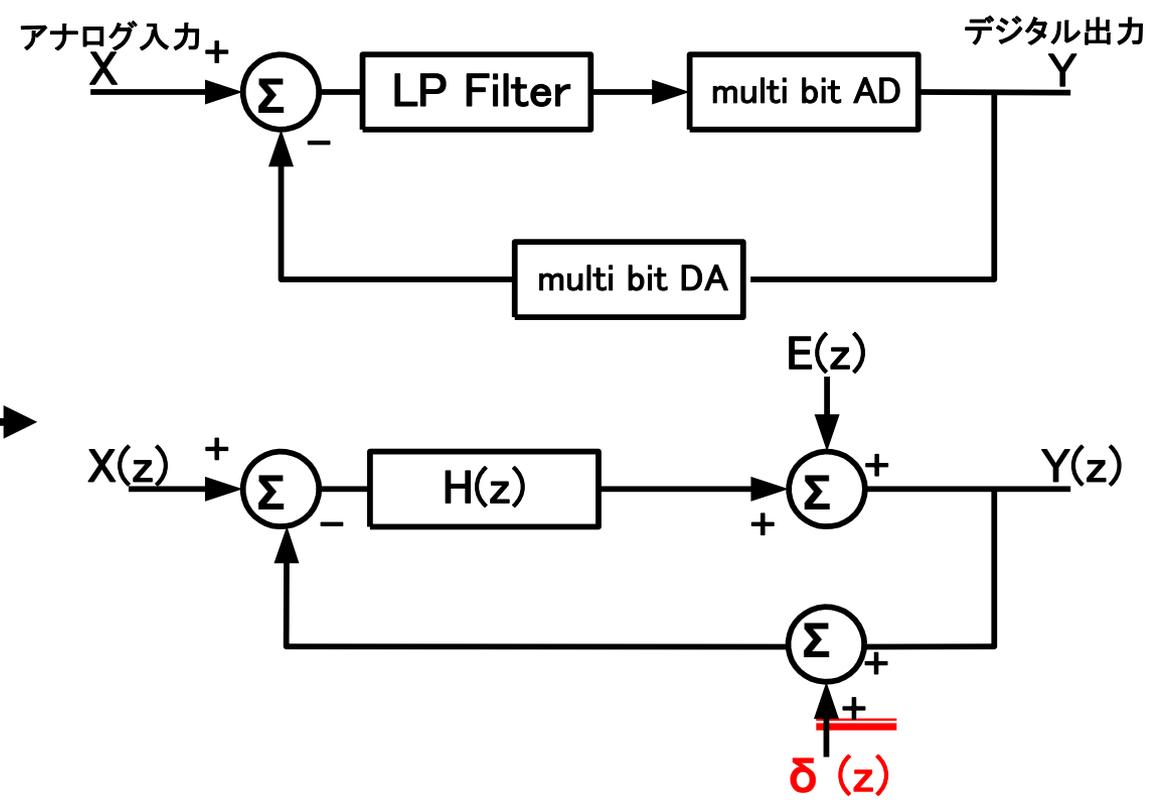
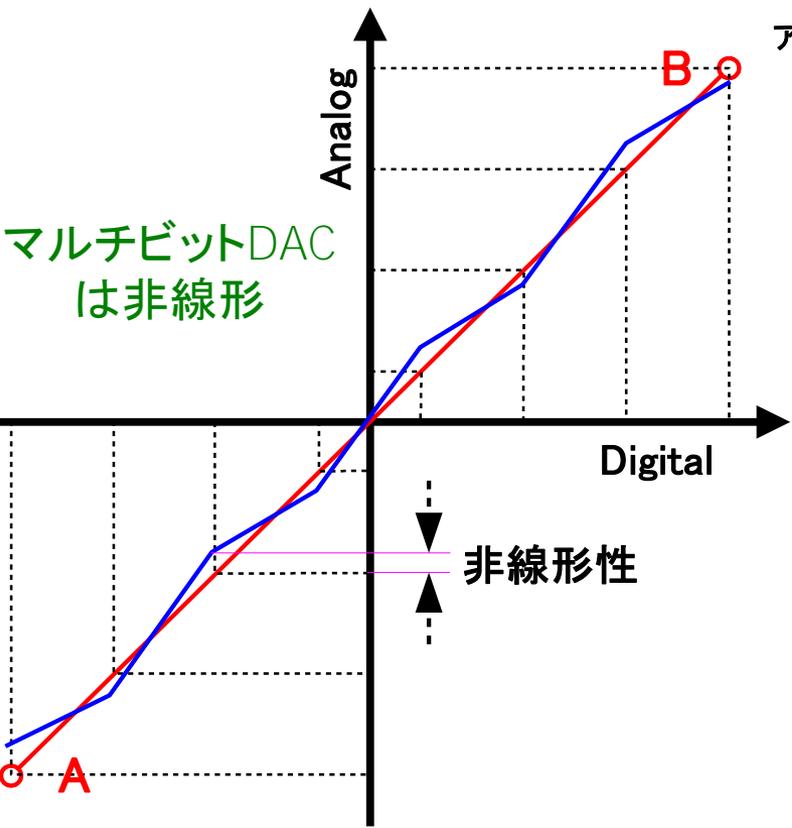


内部ADC/DACが1ビット



DAC は必ず線形

内部ADC/DACが多ビット



$$Y(z) = \frac{H(z)}{1+H(z)} (X(z) - \delta(z)) + \frac{1}{1+H(z)} \cdot E(z)$$

2値: 論理

Yes かNoか。

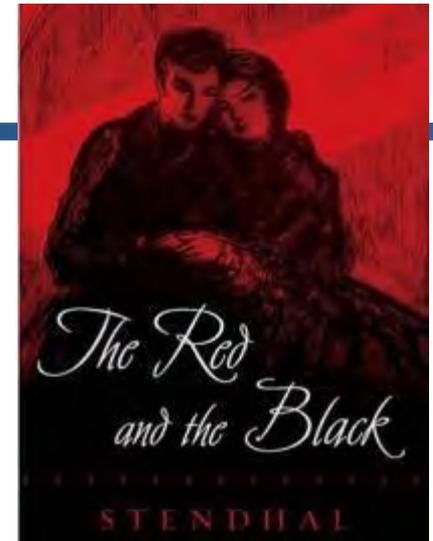
白か黒か。

誤差なし

多値: 数値

灰色

誤差を含む



赤と黒



灰色の空

多少行き過ぎた行動をしても

(ADCに誤差があっても)

その結果を正しく戻せば対応できる。

(DACが正確ならば)

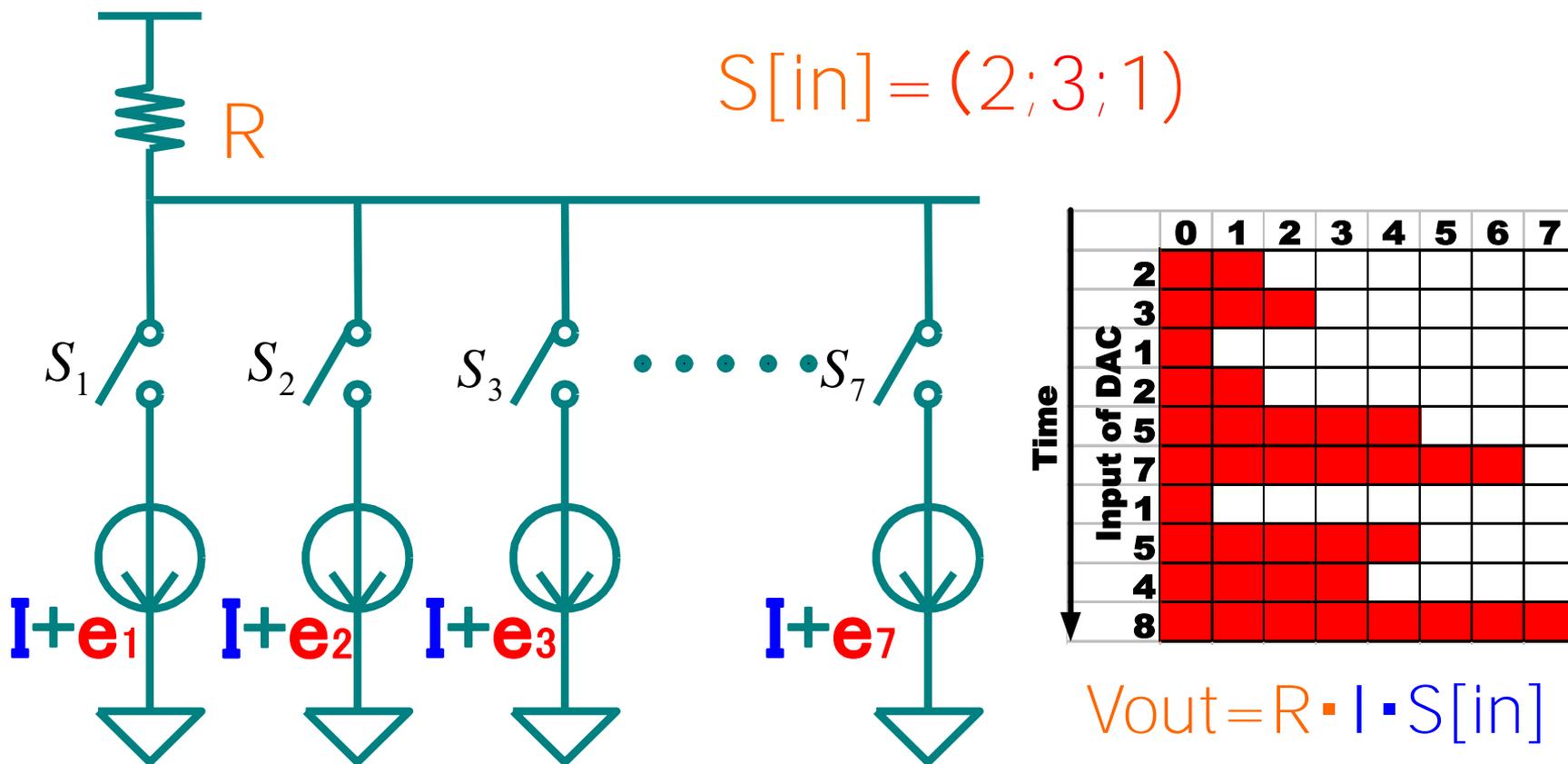
結果を正しく報告できなければ

(DACが不正確なら)

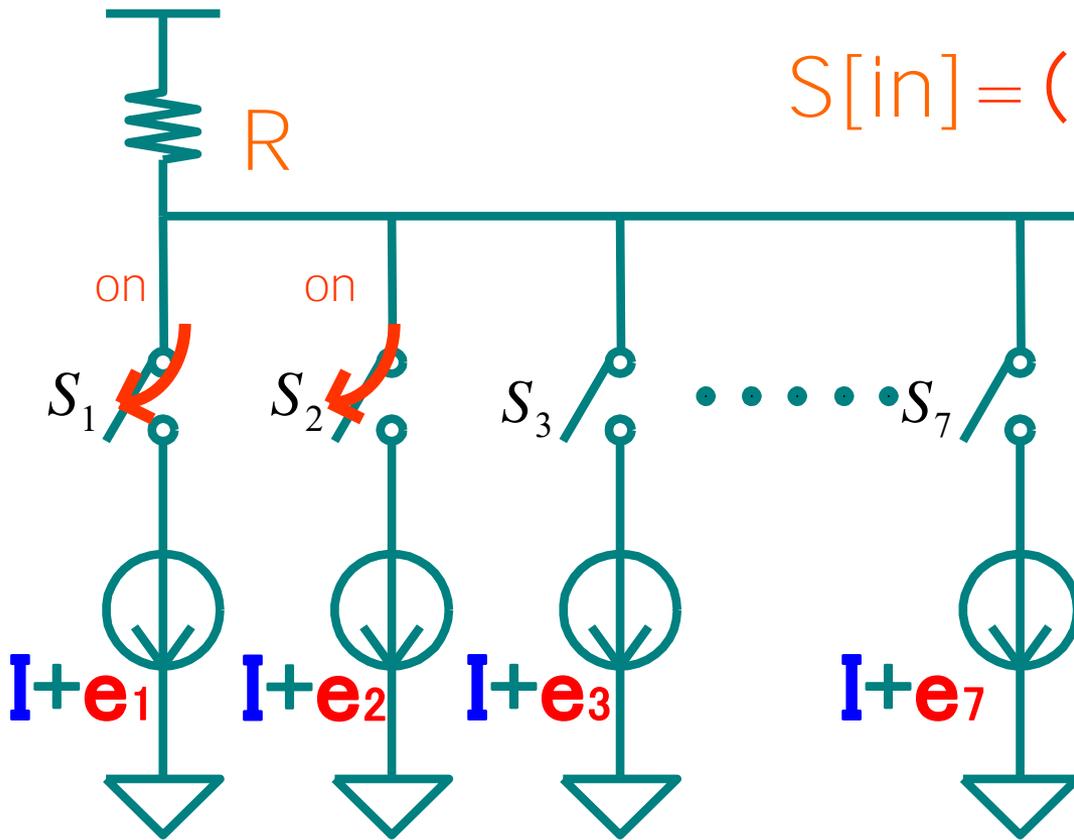
システム全体の性能劣化

- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - **DWAアルゴリズム**
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉

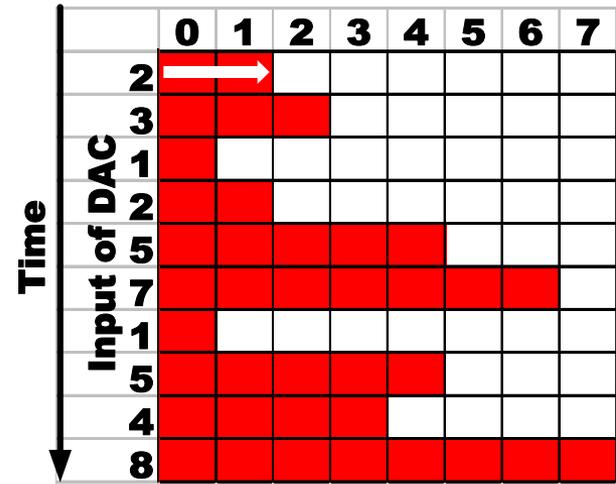
セグメント電流セル型DACの構成



電流セルのミスマッチ ($e_1, e_2, e_3, \dots, e_7$) が DAC の非線形性

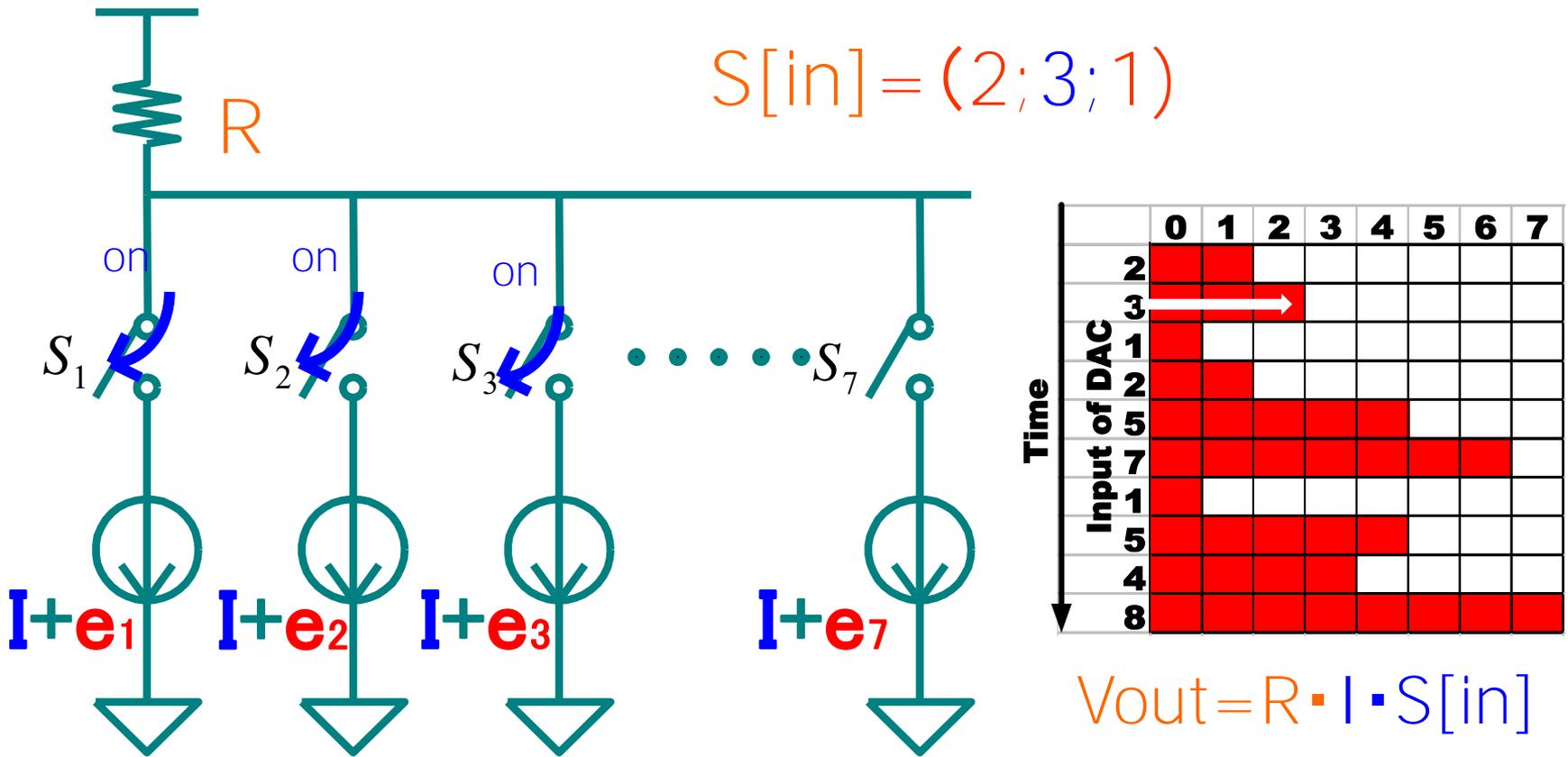


$$S[in] = (2; 3; 1)$$

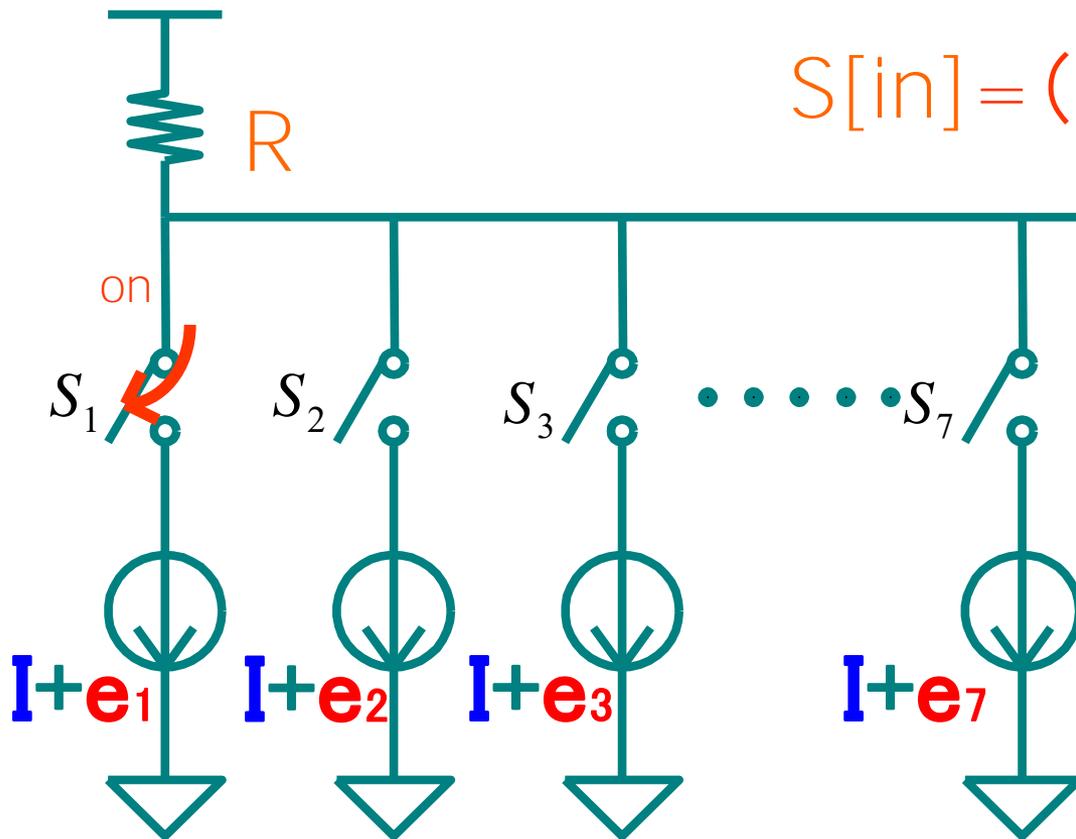


$$V_{out} = R \cdot I \cdot S[in]$$

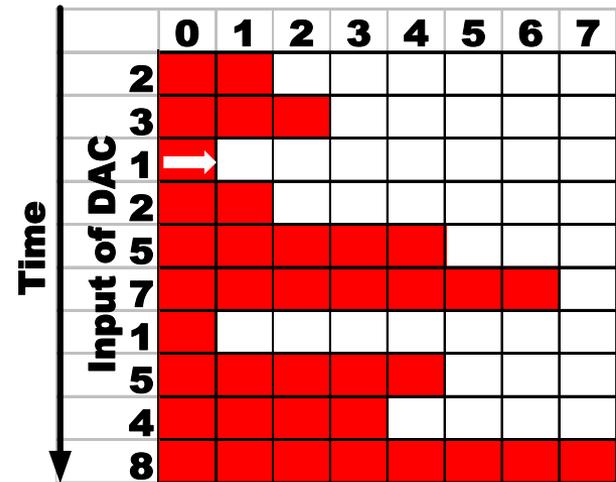
電流セルのミスマッチ ($e_1, e_2, e_3, \dots, e_7$) が DAC の非線形性



電流セルのミスマッチ ($e_1, e_2, e_3, \dots, e_7$) が DAC の非線形性



$$S[in] = (2; 3; 1)$$

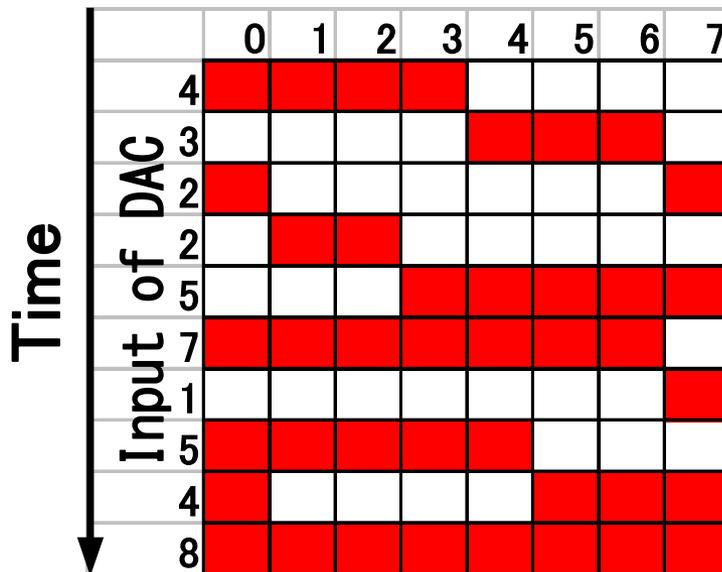


$$V_{out} = R \cdot I \cdot S[in]$$

電流セルのミスマッチ ($e_1, e_2, e_3, \dots, e_7$) が DAC の非線形性

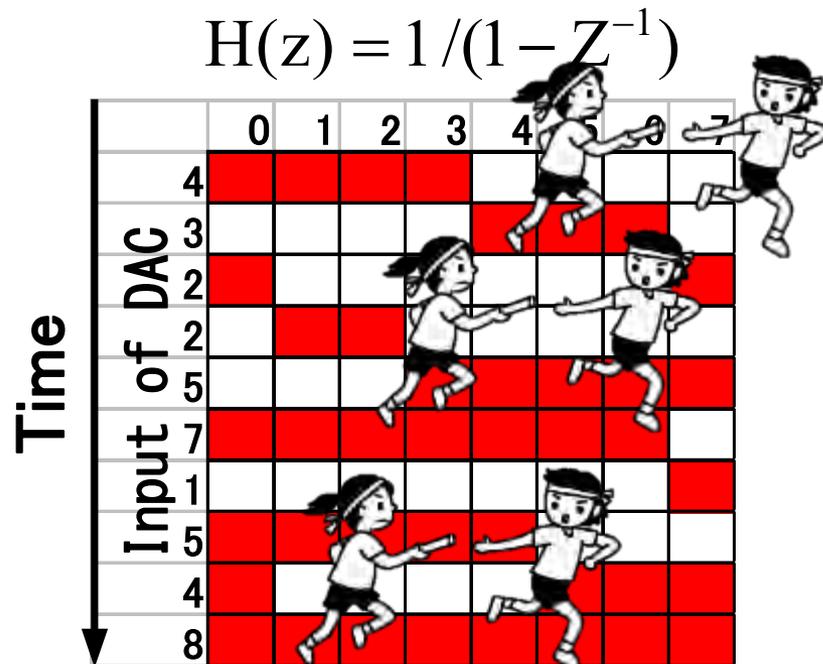
Data Weighted Averaging (DWA)アルゴリズム

$$H(z) = 1 / (1 - Z^{-1})$$



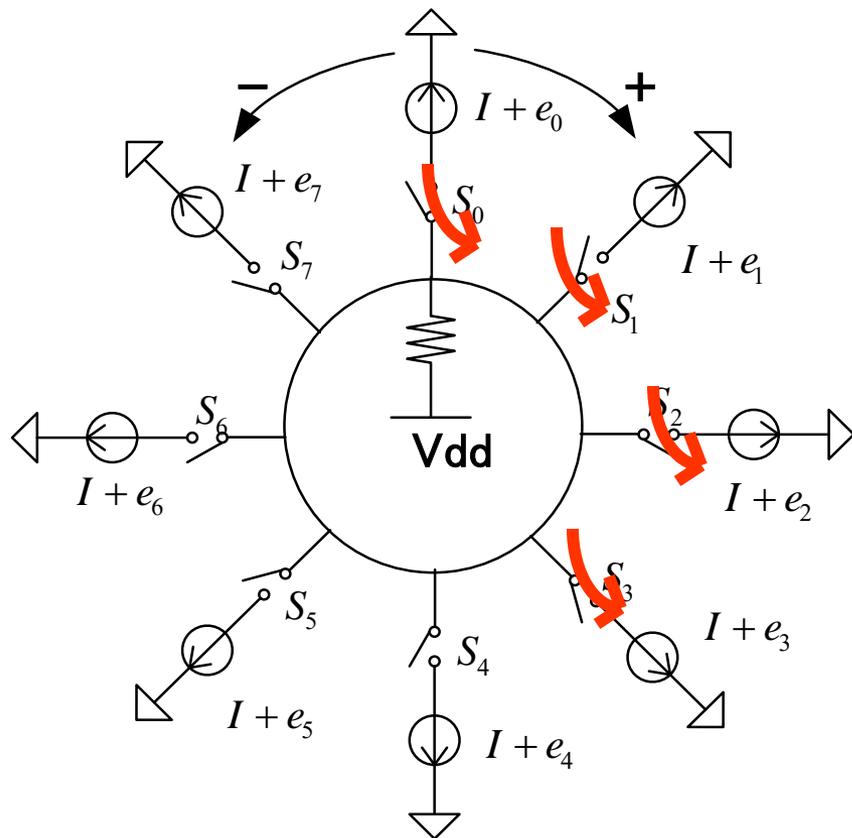
セグメント型の
冗長性を利用

Data Weighted Averaging (DWA)アルゴリズム セグメント型の冗長性を利用



バトンレースの動作

DWAアルゴリズム使用 時刻1

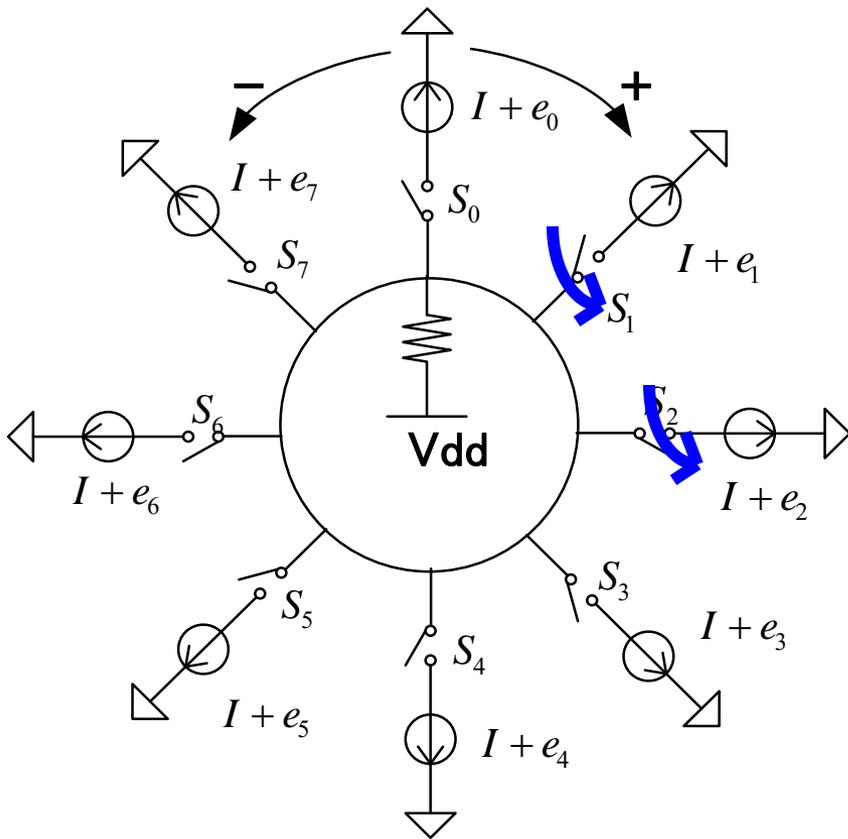


$$H(z) = 1 / (1 - Z^{-1})$$

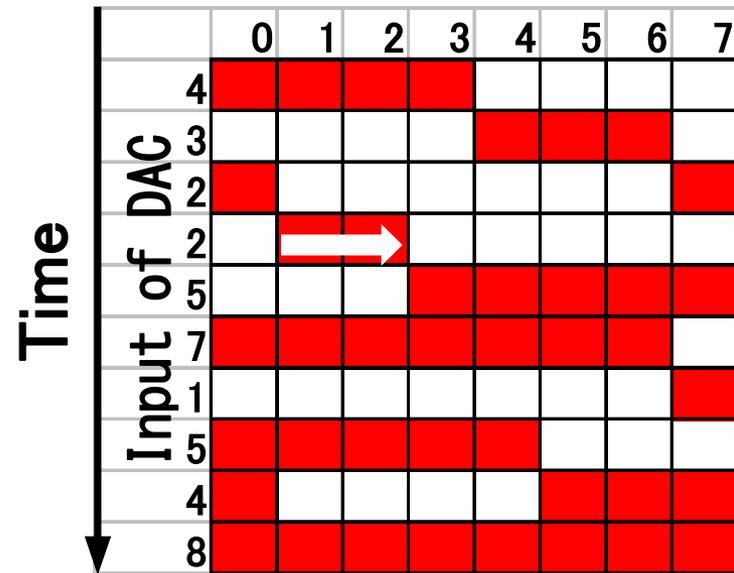
Time ↓

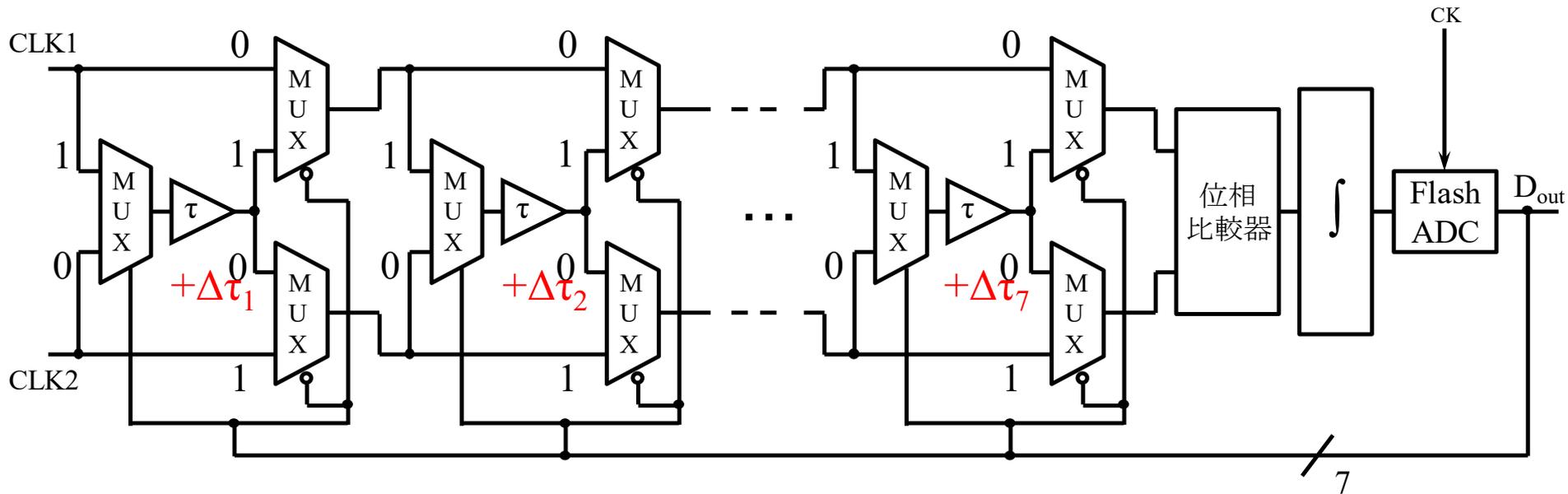
	0	1	2	3	4	5	6	7
4	→							
3								
2								
2								
5								
7								
1								
5								
4								
8								

DWAアルゴリズム使用 時刻4



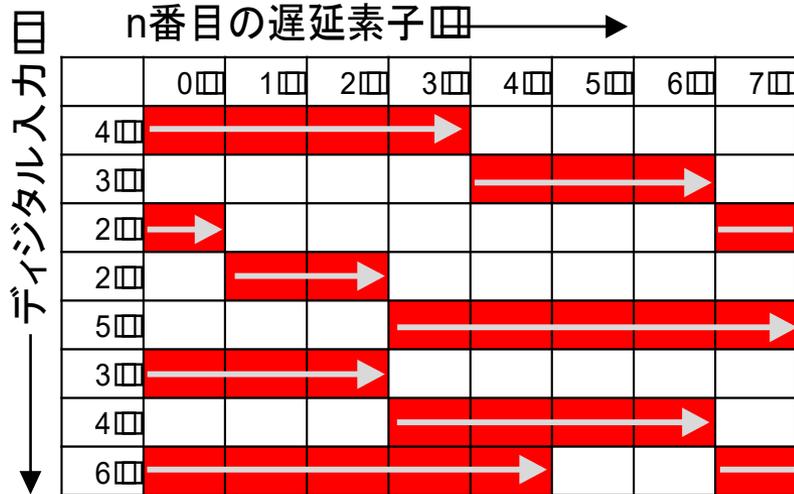
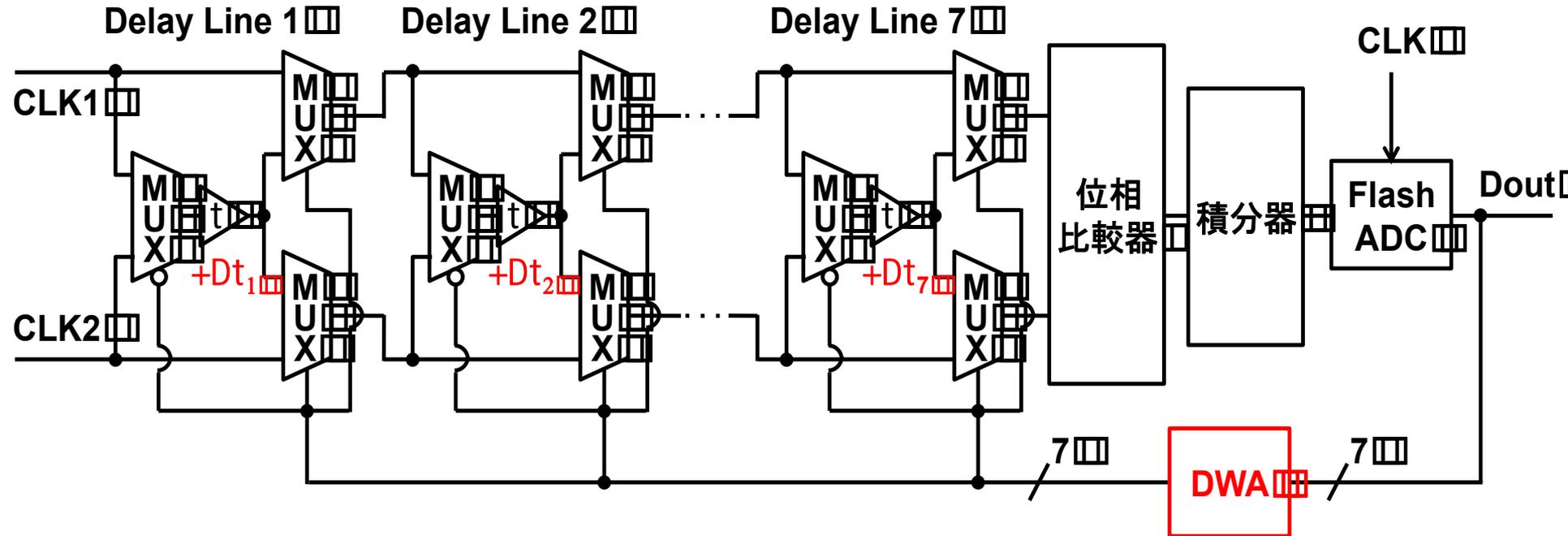
$$H(z) = 1 / (1 - Z^{-1})$$





- 遅延セルのミスマッチにより非線形性が発生

ΔΣTDCでのDWAアルゴリズム

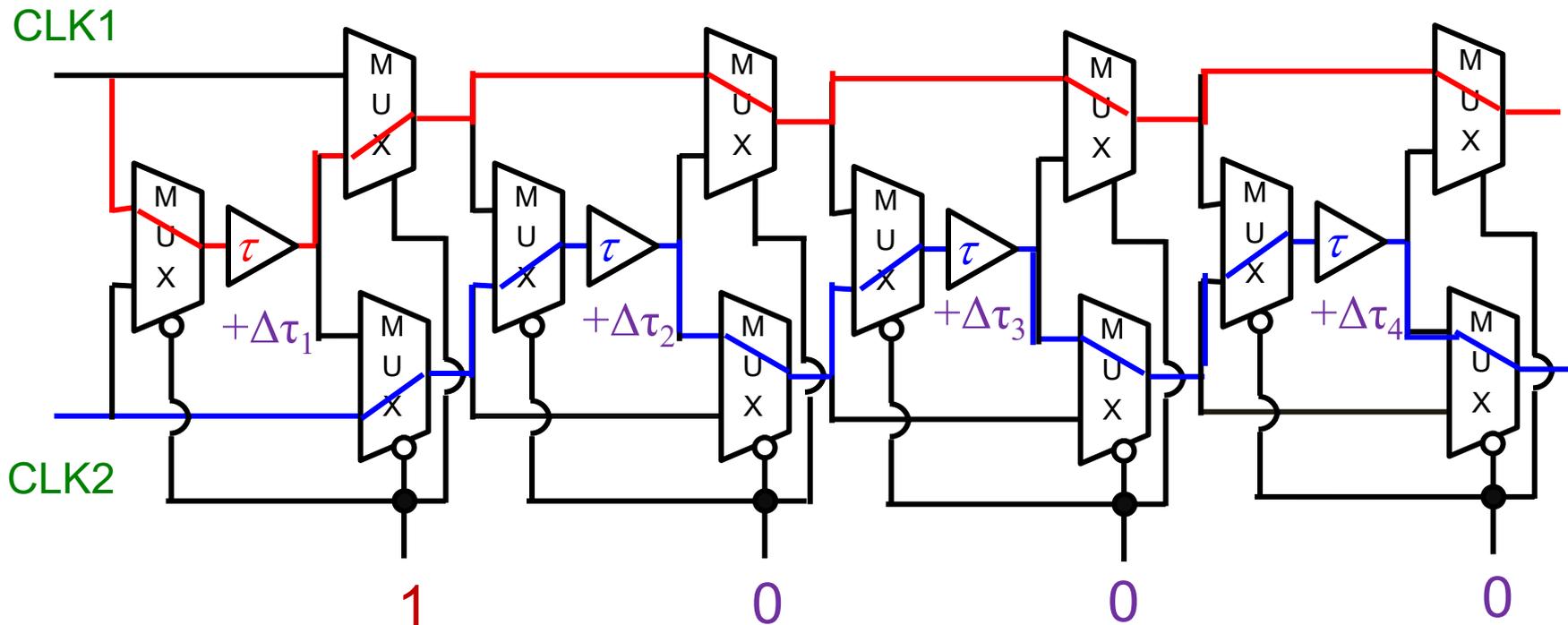


- 遅延素子のばらつきによる非線形性
使用する遅延素子をシャッフル



非直線性誤差の低減

DWAなし デジタル入力1 時刻1

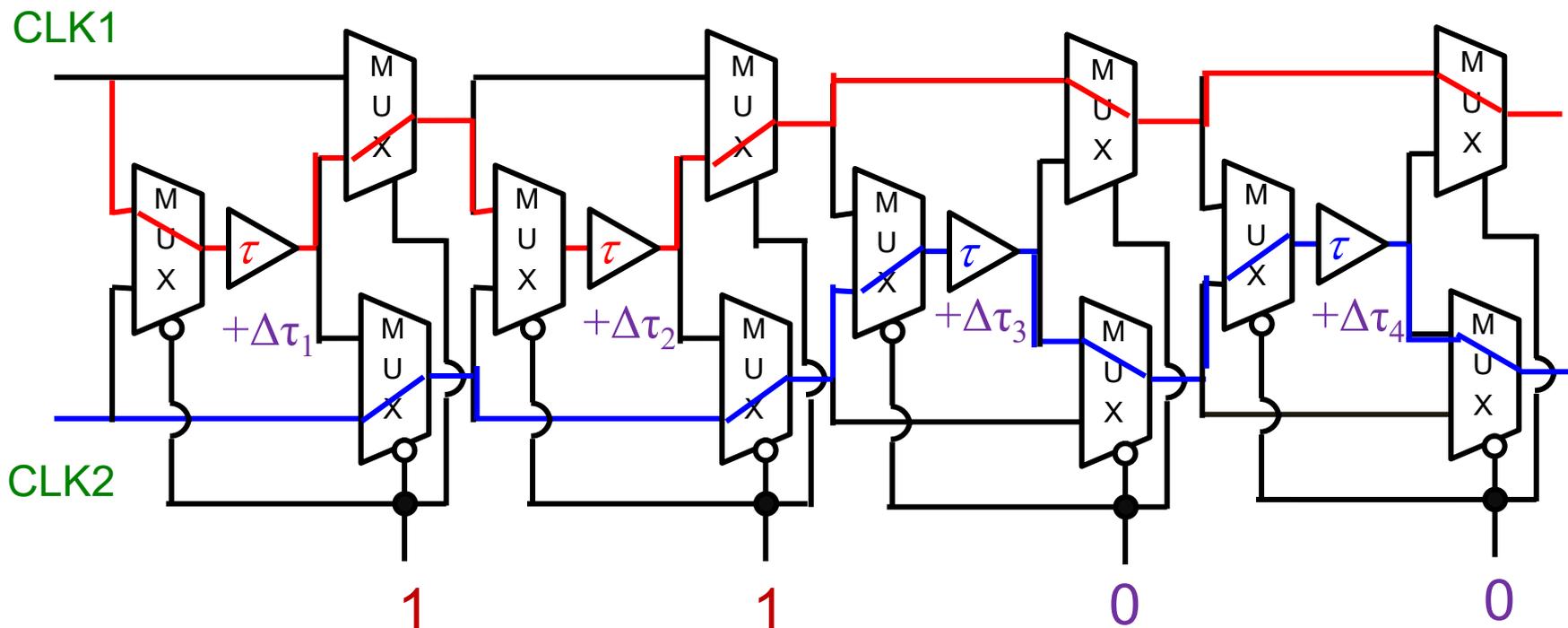


遅延セルの選択状況

CLK1 $\tau+\Delta\tau_1$

比較器配列
出力

DWAなし デジタル入力2 時刻2



遅延セルの選択状況

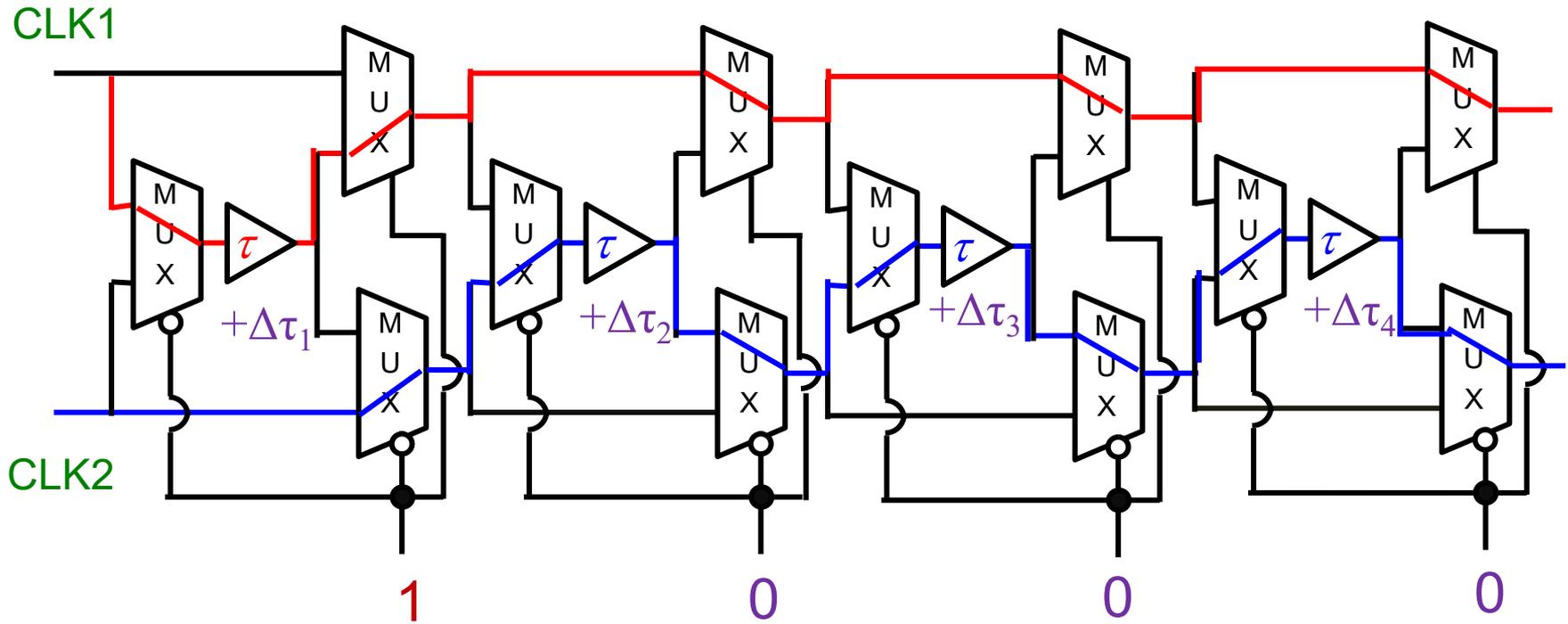
CLK1

$\tau + \Delta\tau_1$

$\tau + \Delta\tau_2$

比較器配列
出力

DWAなし デジタル入力1 時刻3

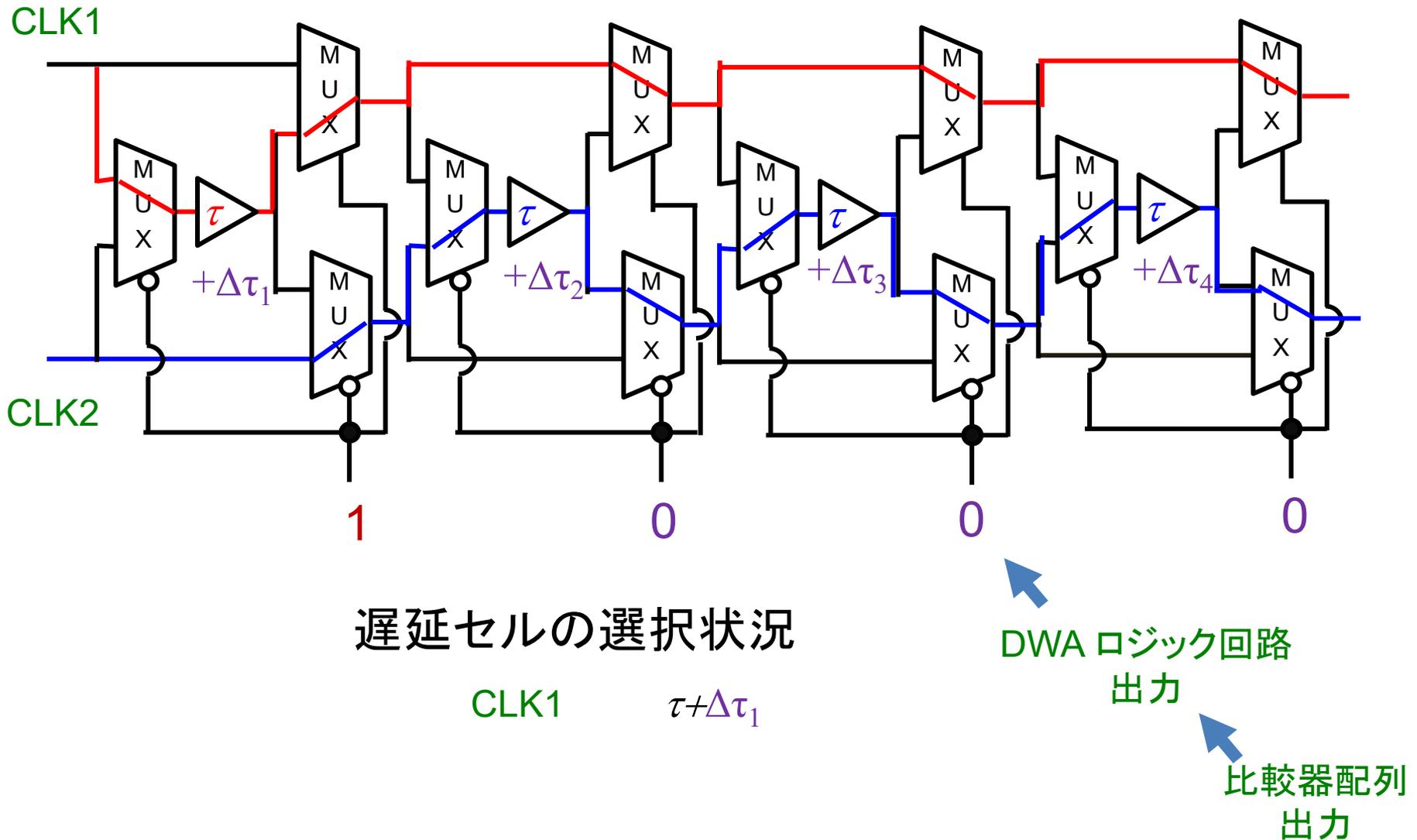


遅延セルの選択状況

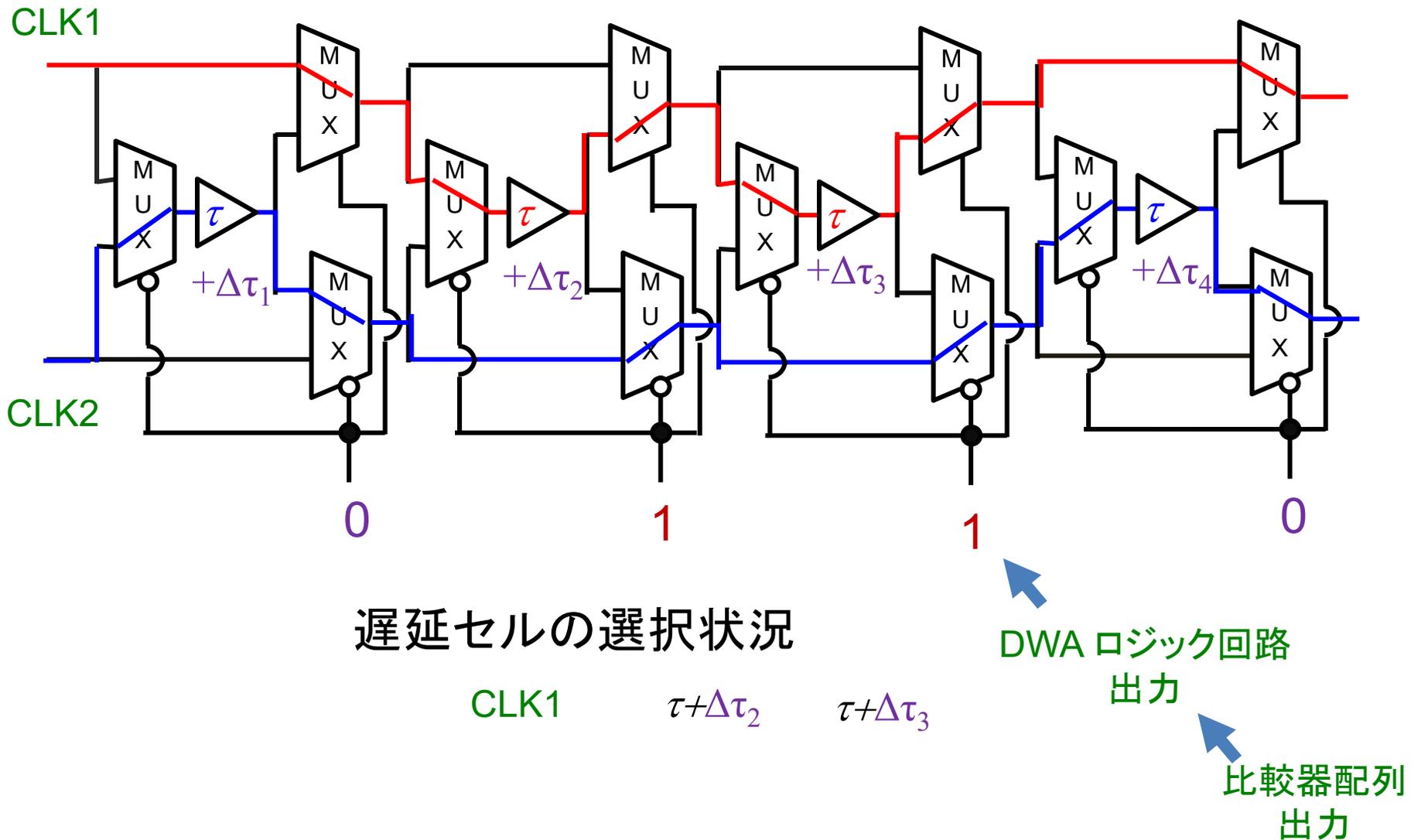
CLK1 $\tau + \Delta\tau_1$

比較器配列
出力

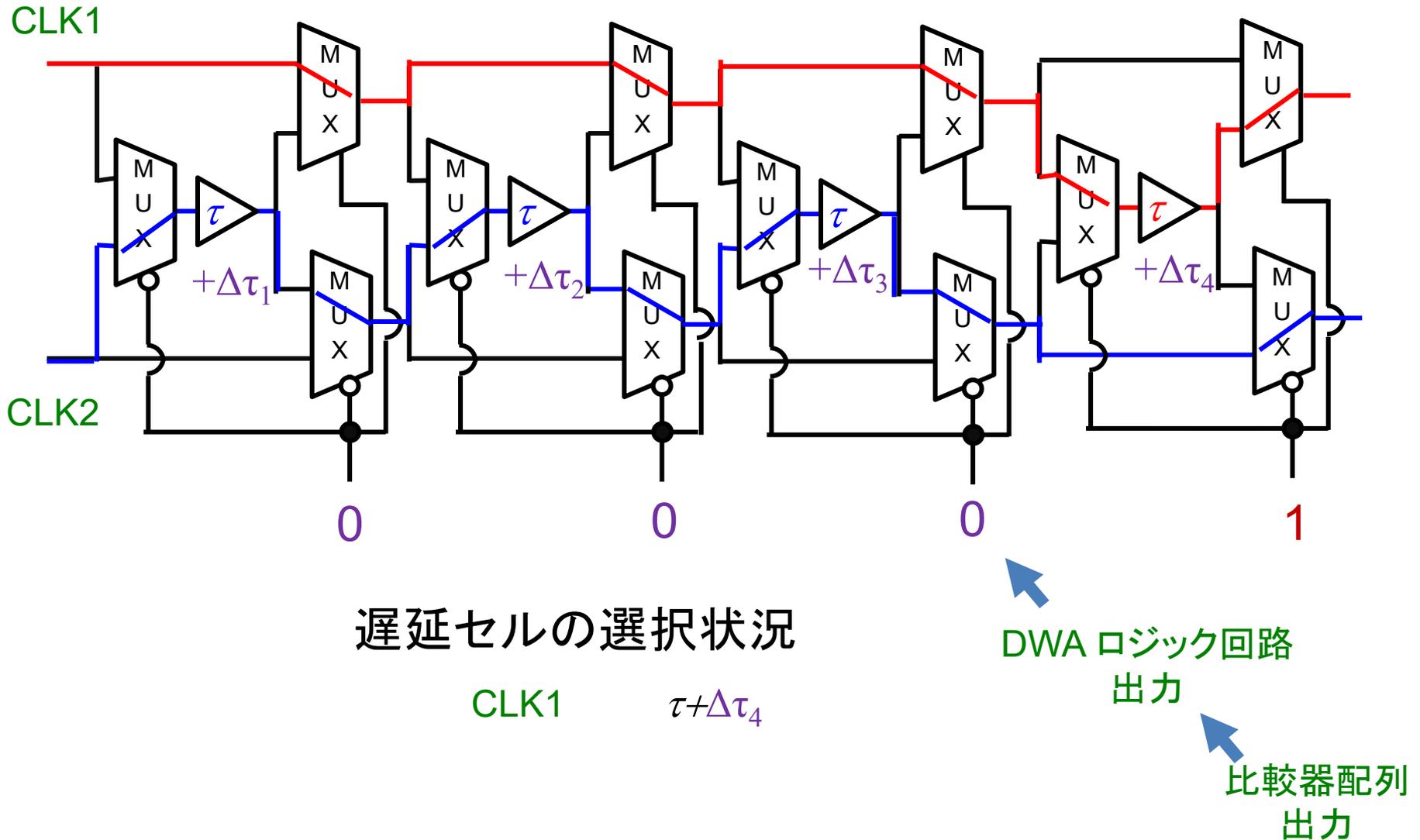
DWAあり デジタル入力1 時刻1



DWAあり デジタル入力2 時刻2



DWAあり デジタル入力1 時刻3

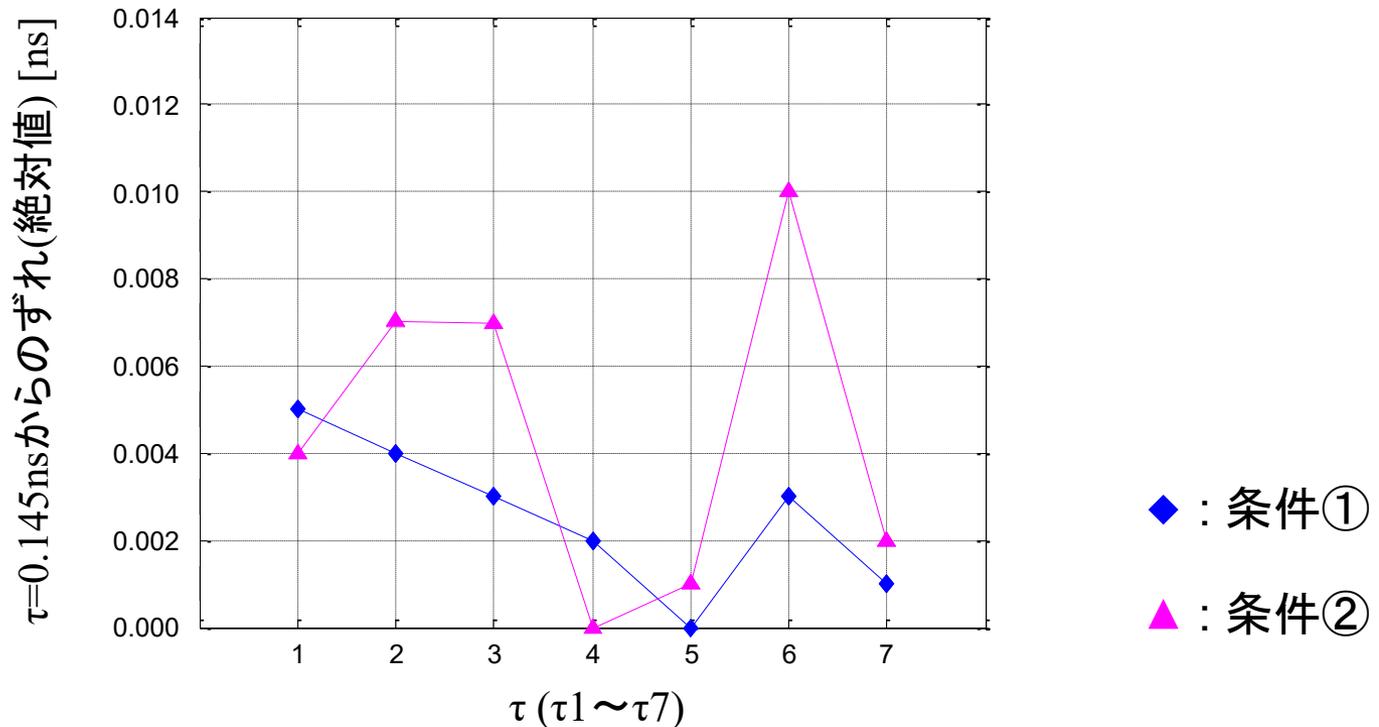


遅延ばらつきの影響の検証

- 遅延ばらつき：ガウス分布でランダムに生成
最大で $\tau=0.145\text{ns}$ の $\pm 10\%$ 程度の誤差とした

MATLABシミュレーション

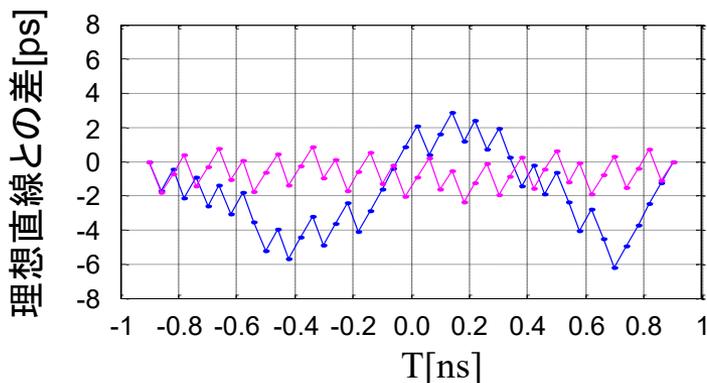
- シミュレーション時に生成した遅延パラメータ



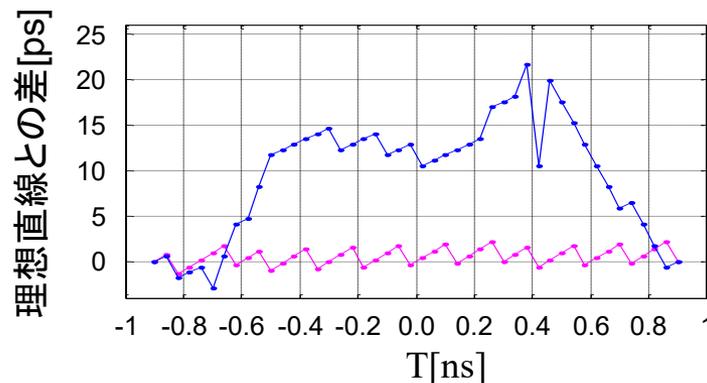
・3-bit $\Delta\Sigma$ TDC (遅延時間 : $\tau=0.145\text{ns}+\Delta\tau_N$)

条件①

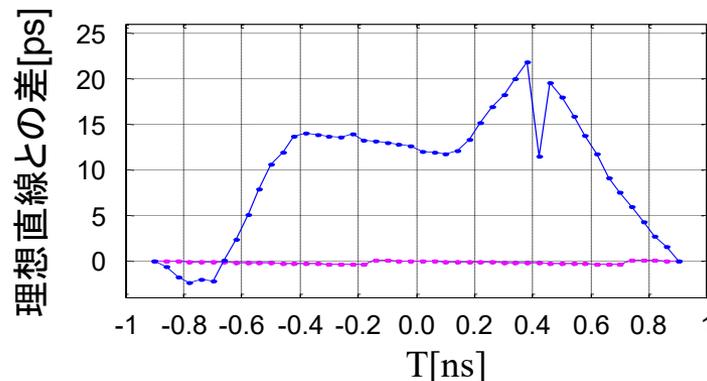
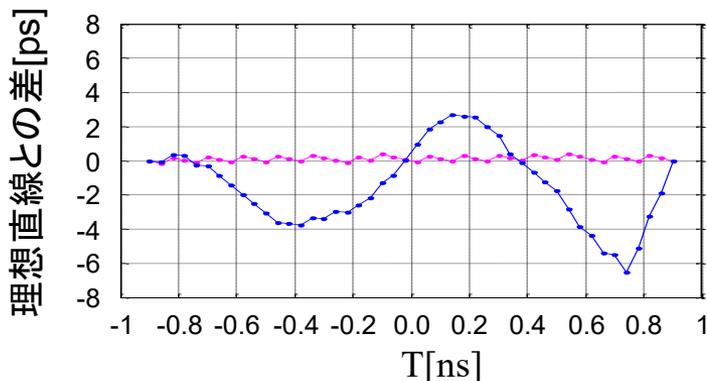
● 出力数 : 99点



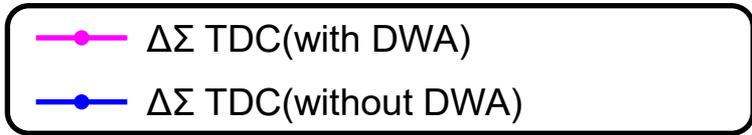
条件②



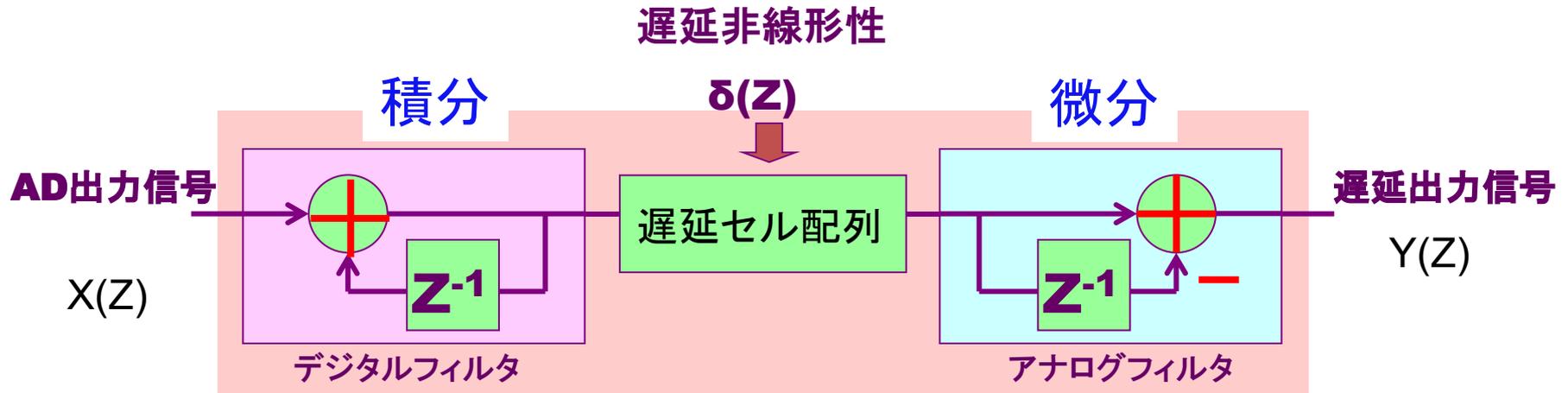
● 出力数 : 599点



✓ 遅延ミスマッチの影響が軽減
➤ 出力の線形性を改善



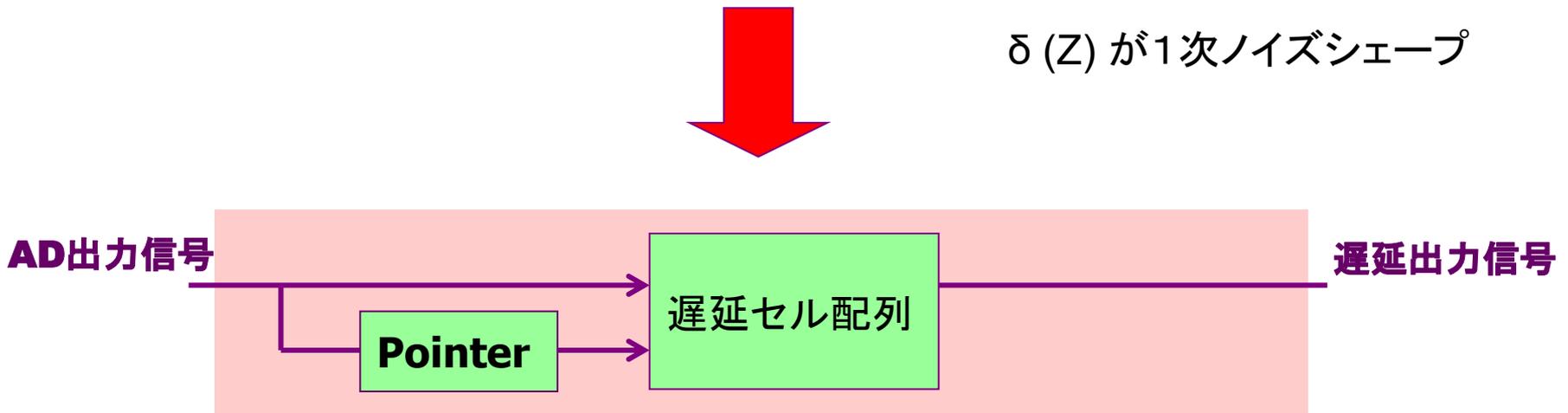
DWA自体も $\Delta\Sigma$ 変調の構造



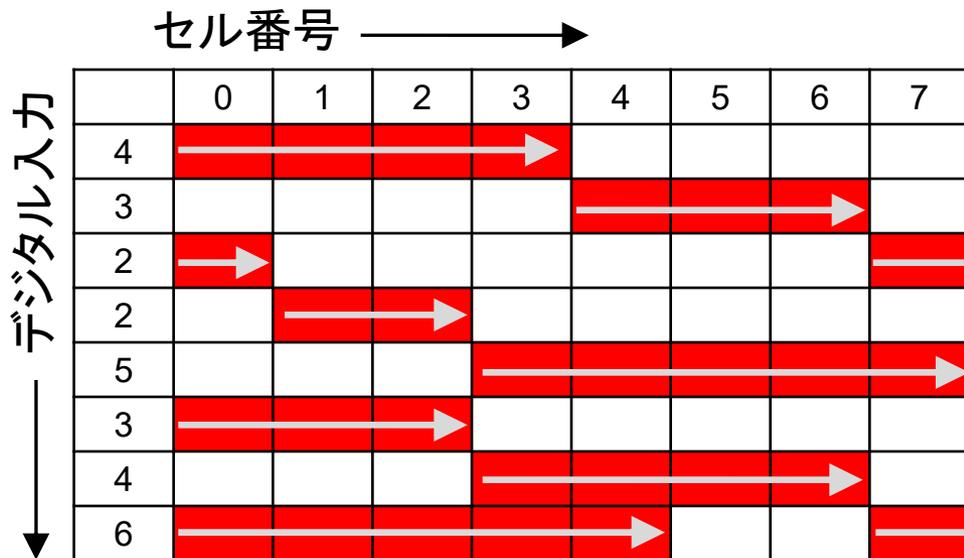
直接実現できない

$$Y(Z) = X(Z) + (1 - 1/Z) \delta(Z)$$

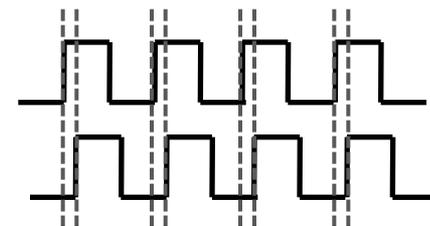
$\delta(Z)$ が1次ノイズシェープ



等価実現



群馬大 小林Gr:
ΔΣTDCにDWA使用の提案



- デジタル入力によりシフトする量を制御
- 積分して微分を等価的に実現
 - 遅延セル mismatches が1次ノイズシェープ

繰り返し信号を測定する

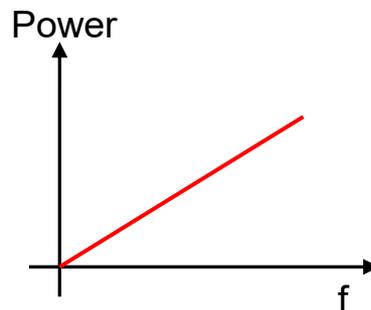


DC成分のノイズが減少すれば理想に近づく

遅延セル mismatches

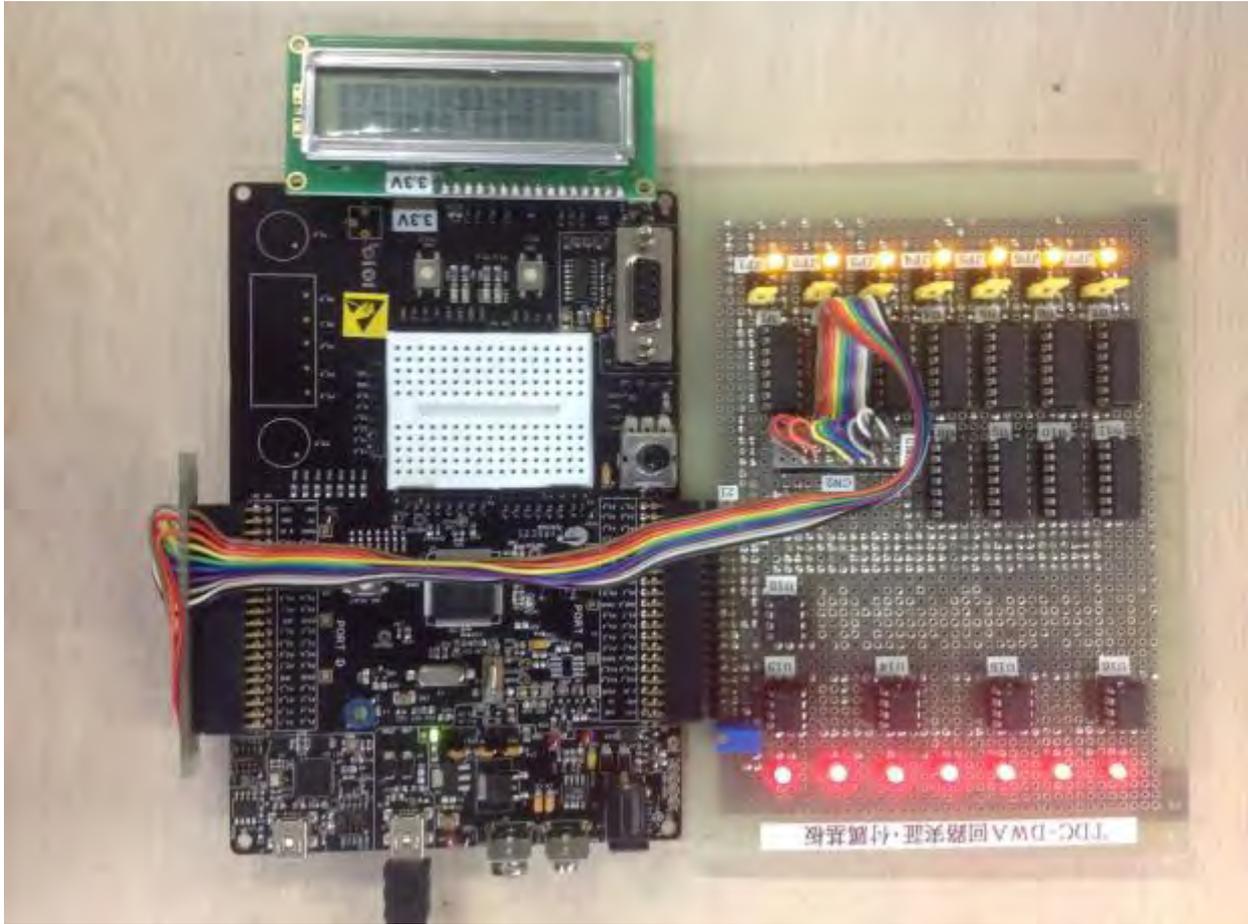


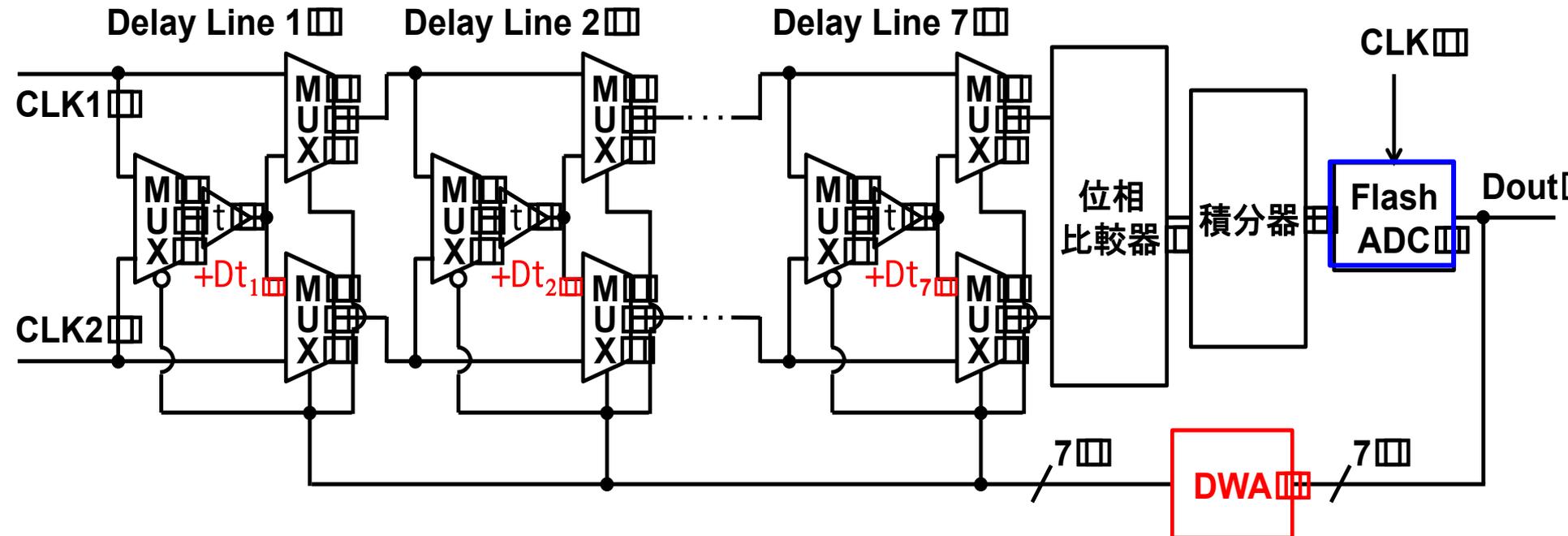
遅延セル mismatches



- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - DWAアルゴリズム
 - **アナログFPGA実現**
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉

マルチビット $\Delta\Sigma$ TDCのPSoC実装





ブロック図

遅延 τ は外付けのRC遅延で実現。
 各遅延セルの抵抗Rは個別にスイッチで値が切り換え可能。
 (意図的に遅延ばらつきを生成できる。)

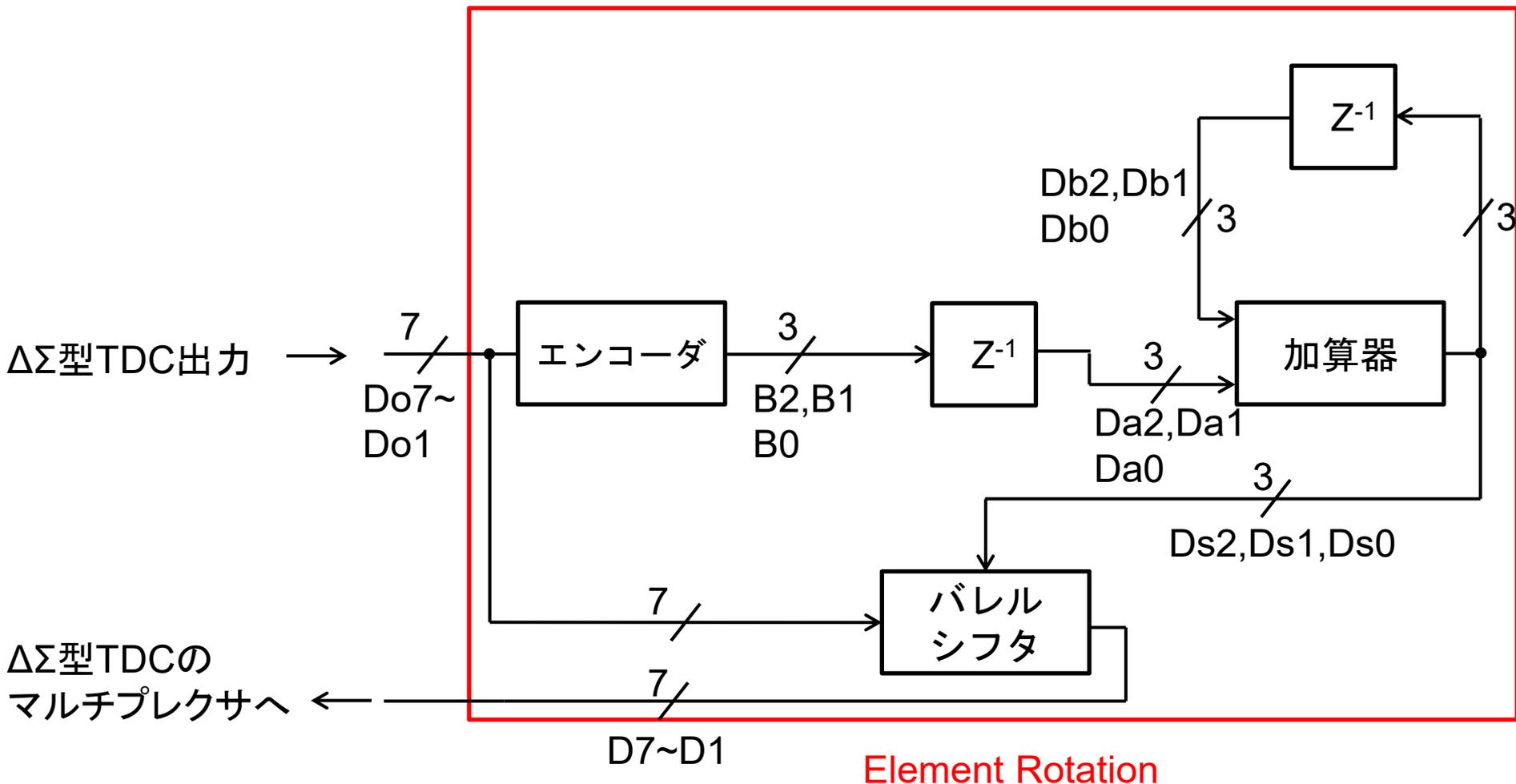


- 温度計出力コードの信号をシフトし、クロック毎に選択する遅延素子をシフト
- 前のクロックでの1の数とシフト回数を保持・加算し現在のクロックでのシフト回数を決定

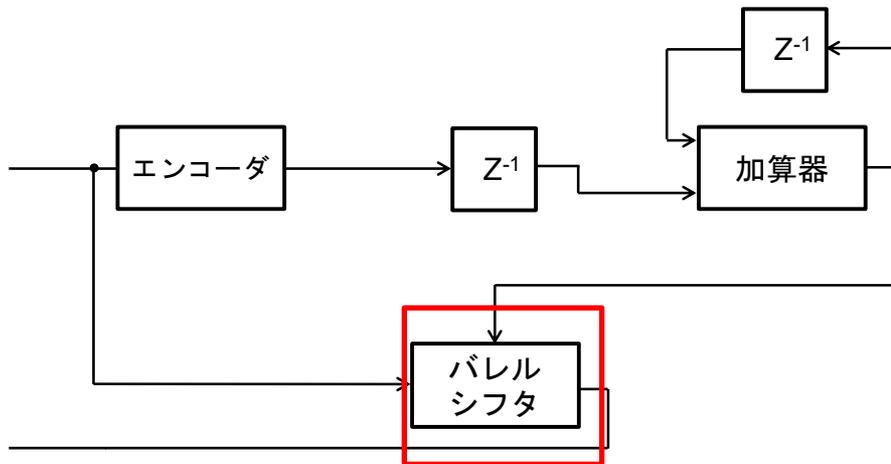
Do1	Do2	Do3	Do4	-----	DoN		D1	D2	D3	D4	D5	D6	D7	-----	DN
1	0	0	0	----	0		1	0	0	0	0	0	0	----	0
1	1	1	0	----	0	→	0	1	1	1	0	0	0	----	0
1	1	0	0	----	0		0	0	0	0	1	1	0	----	0

N個コンパレータ $\Delta\Sigma$ 型TDC出力

DWAロジック回路出力



エンコーダ、遅延回路、加算器、バレルシフタにより構成



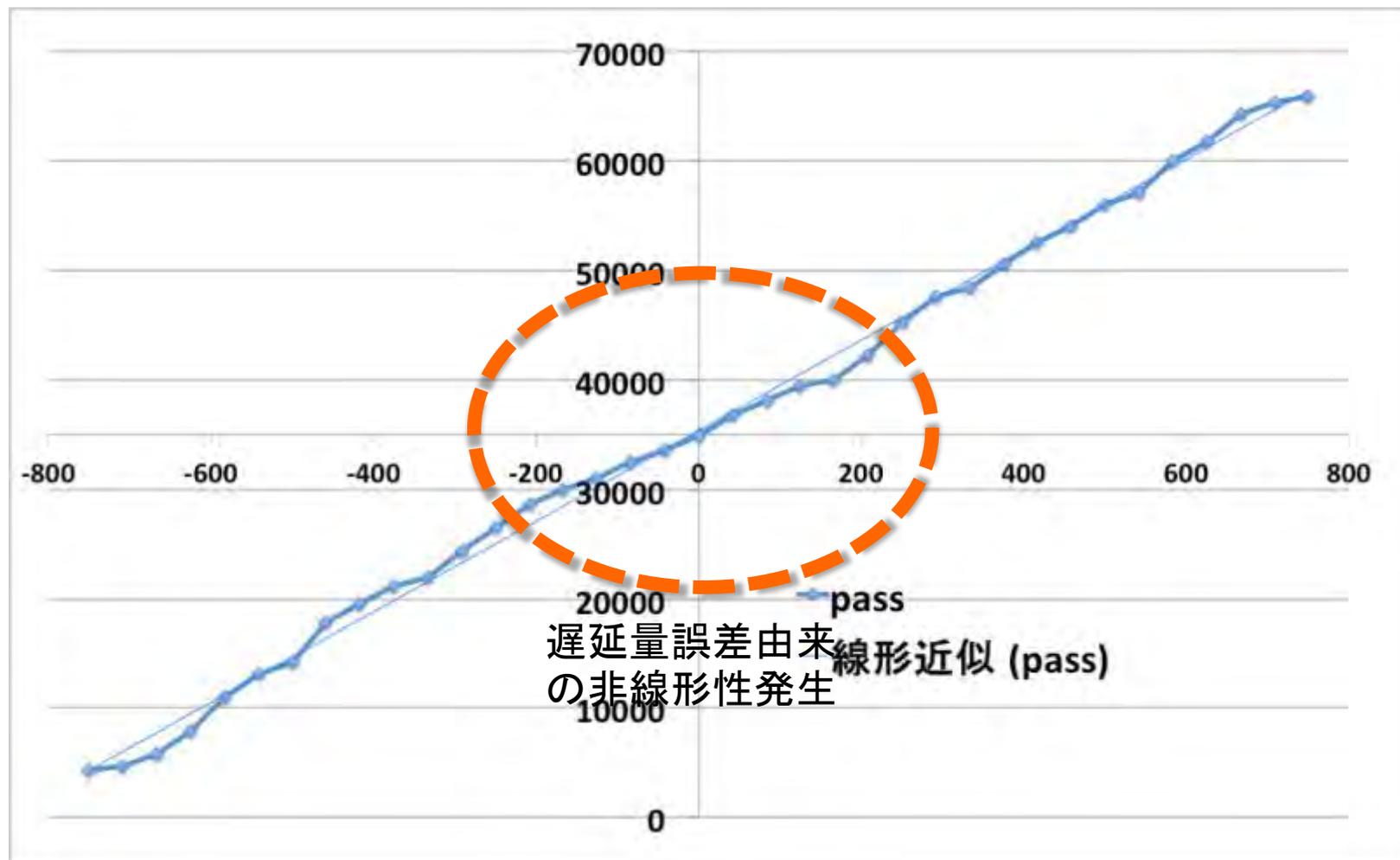
DWA論理回路のブロック図

入力信号を任意の数だけシフトする
→右回転シフト回路

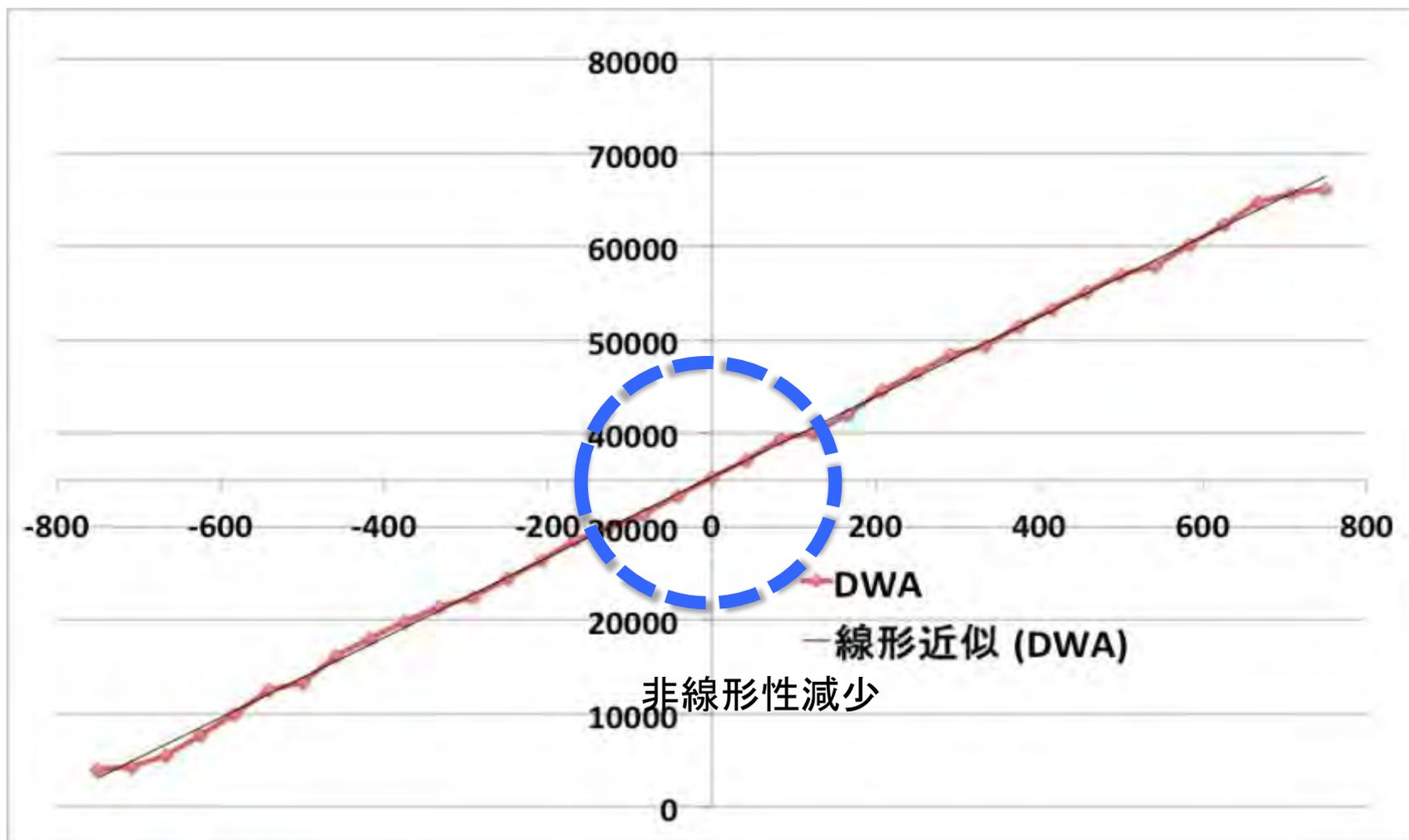
1	0	0	0	0	0	0	0	入力
0	1	0	0	0	0	0	0	1回シフト
0	0	0	1	0	0	0	0	3回シフト
0	0	0	0	0	1	0	0	5回シフト
1	0	0	0	0	0	0	0	N回シフト

↑
N回シフトで元の位置に戻る

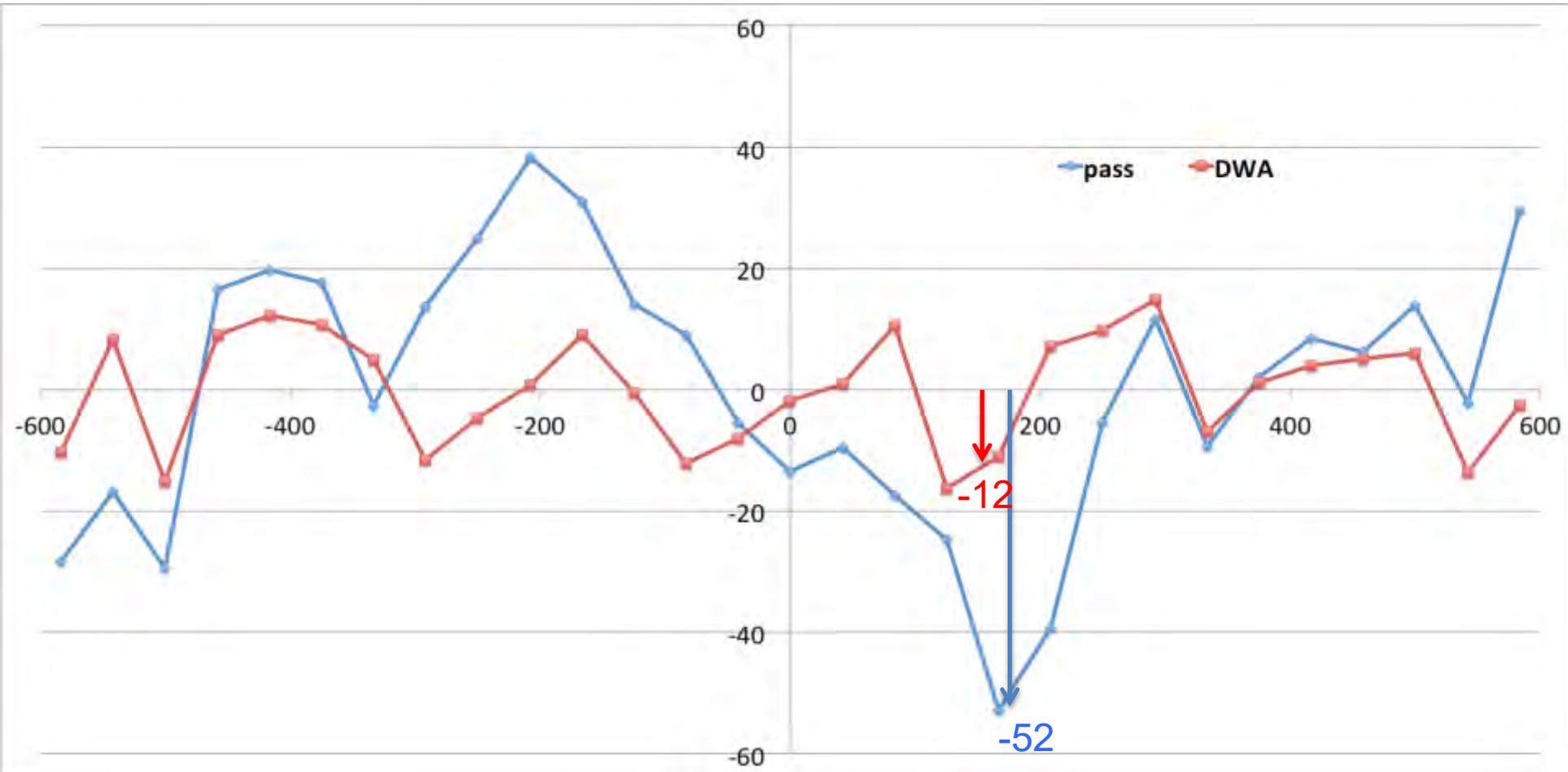
$\Delta\Sigma$ TDC 測定結果1(DWA不使用)



$\Delta\Sigma$ TDC 測定結果1 (DWA使用)

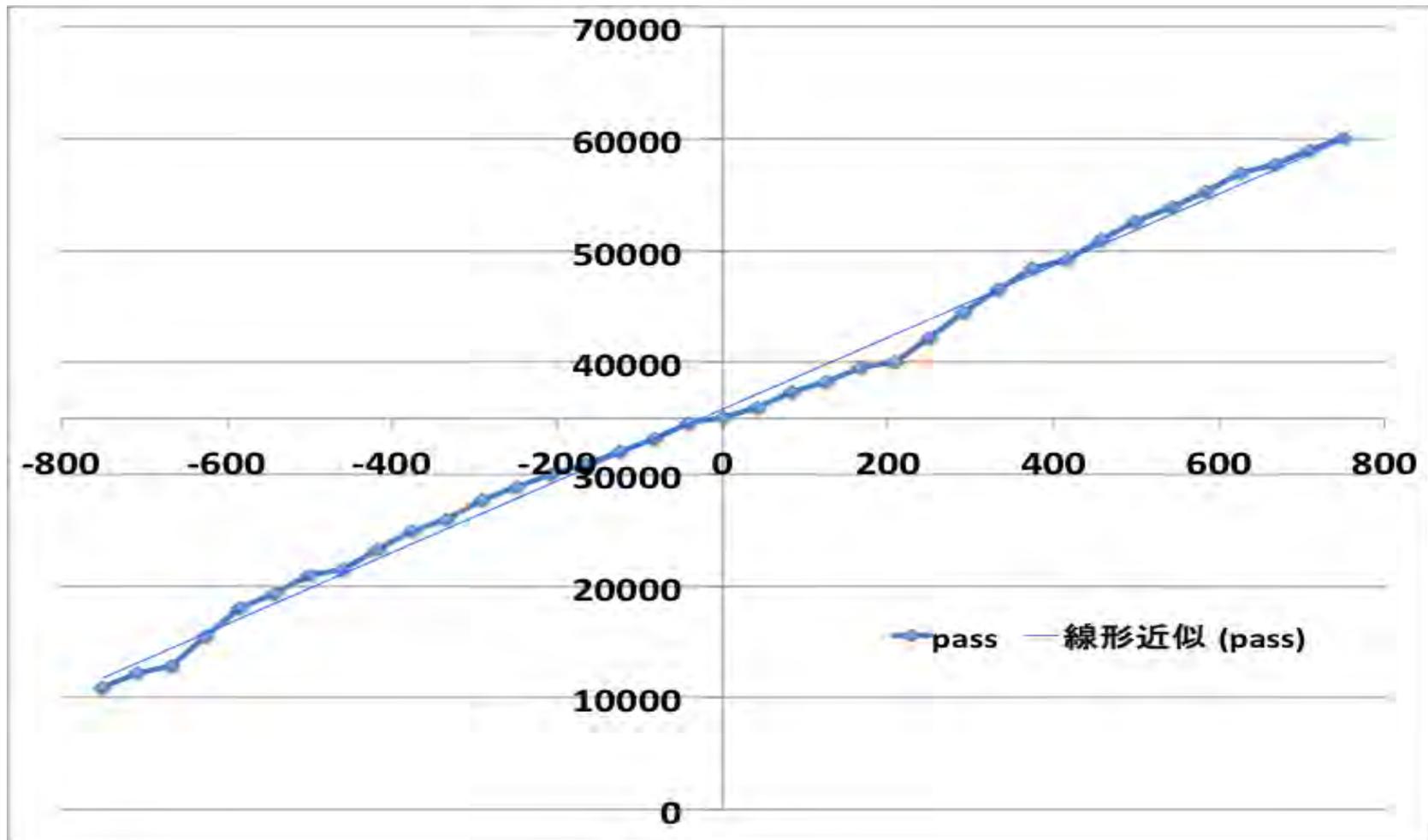


積分非直線性 INL

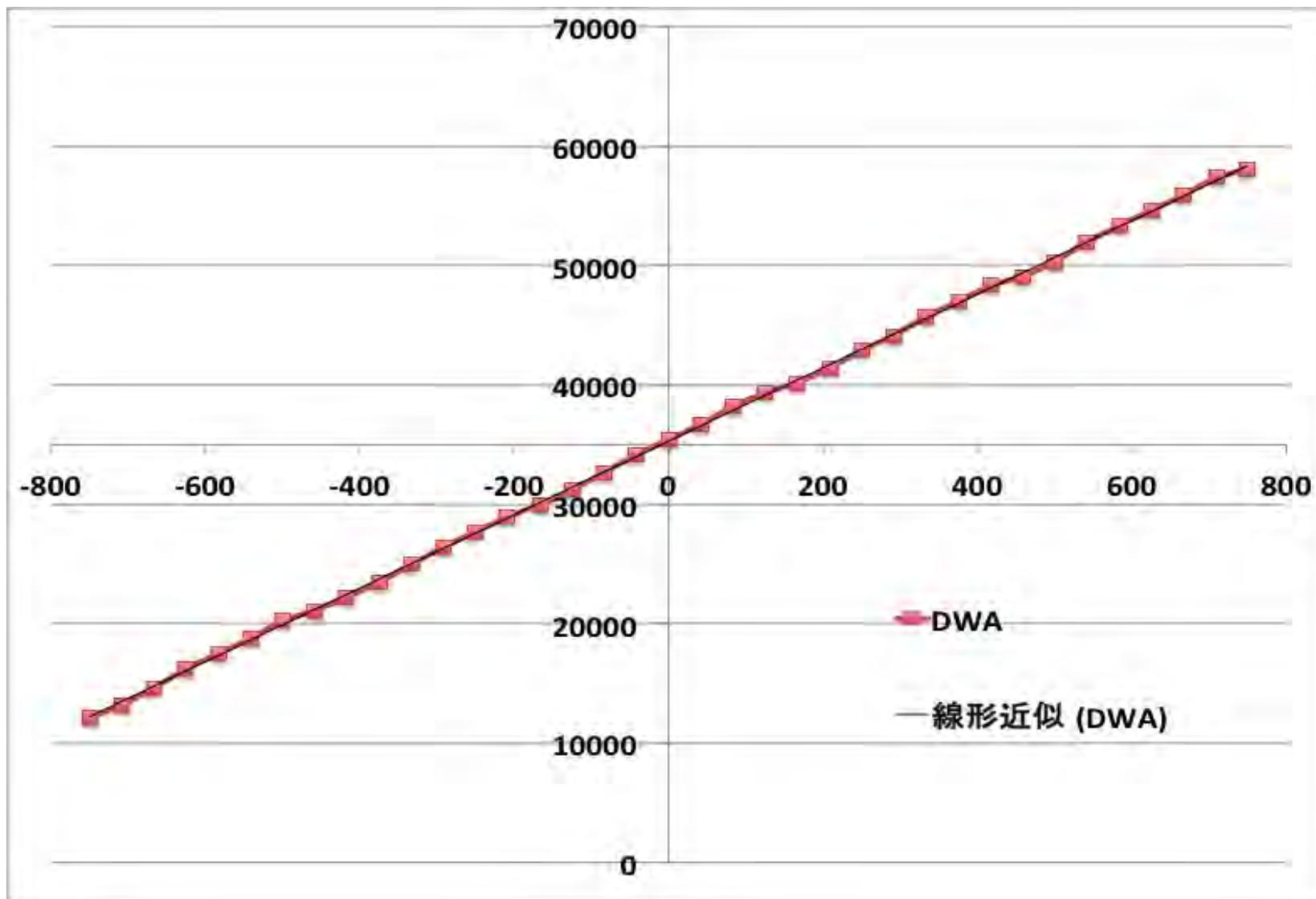


遅延素子由来のINLの減少を確認

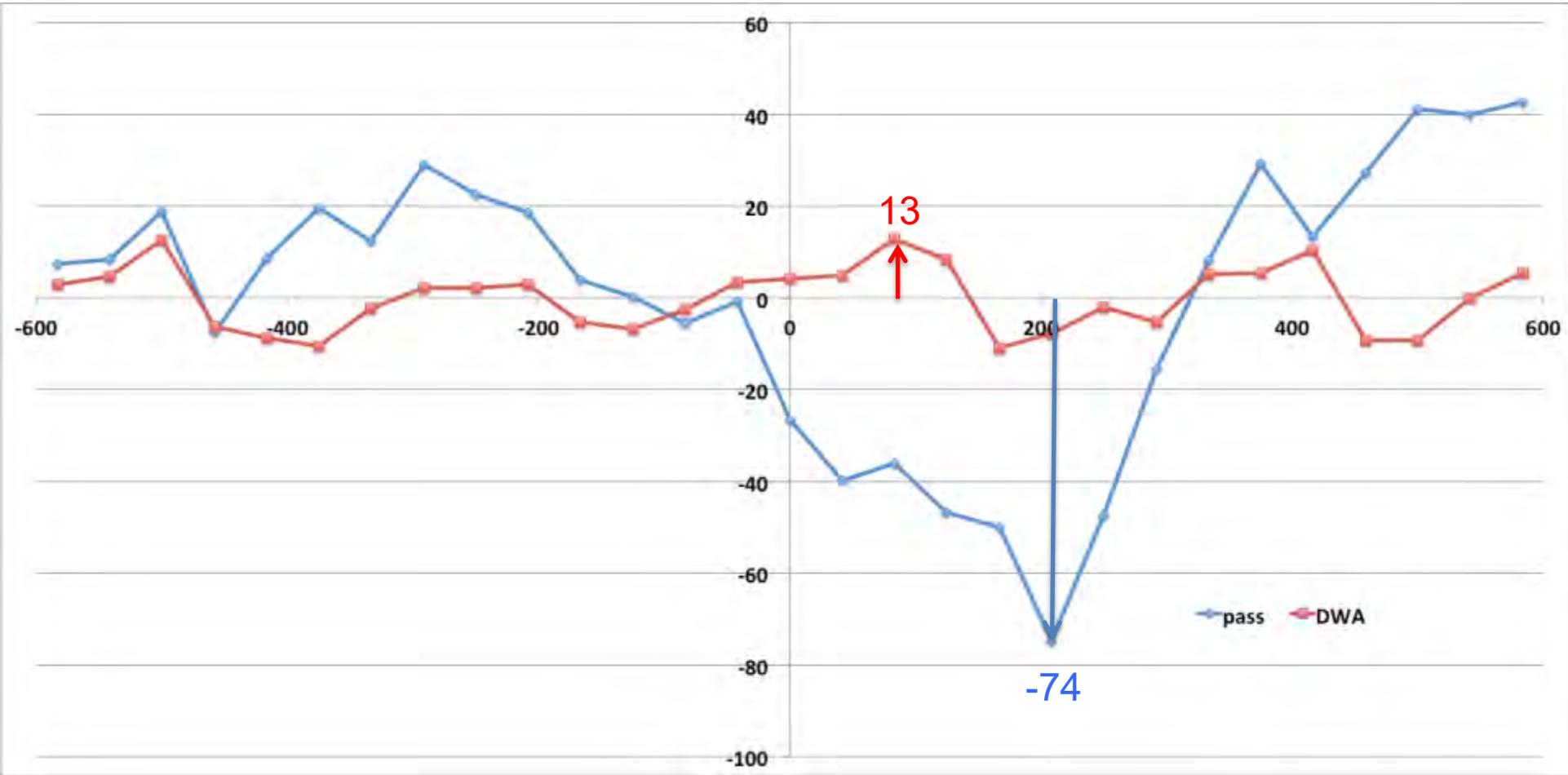
$\Delta\Sigma$ TDC 測定結果2(DWA不使用)



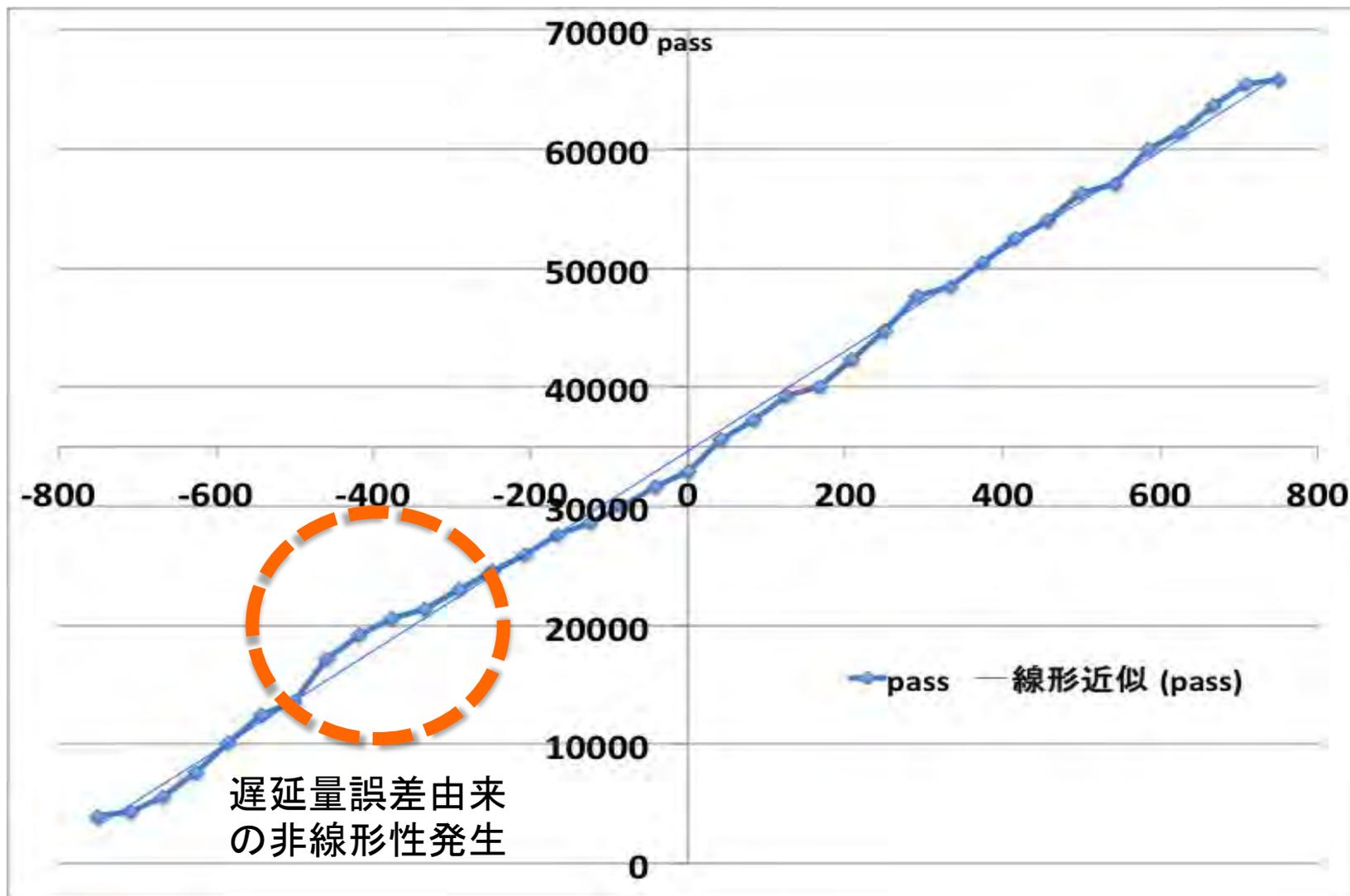
$\Delta\Sigma$ TDC 測定結果2 (DWA使用)



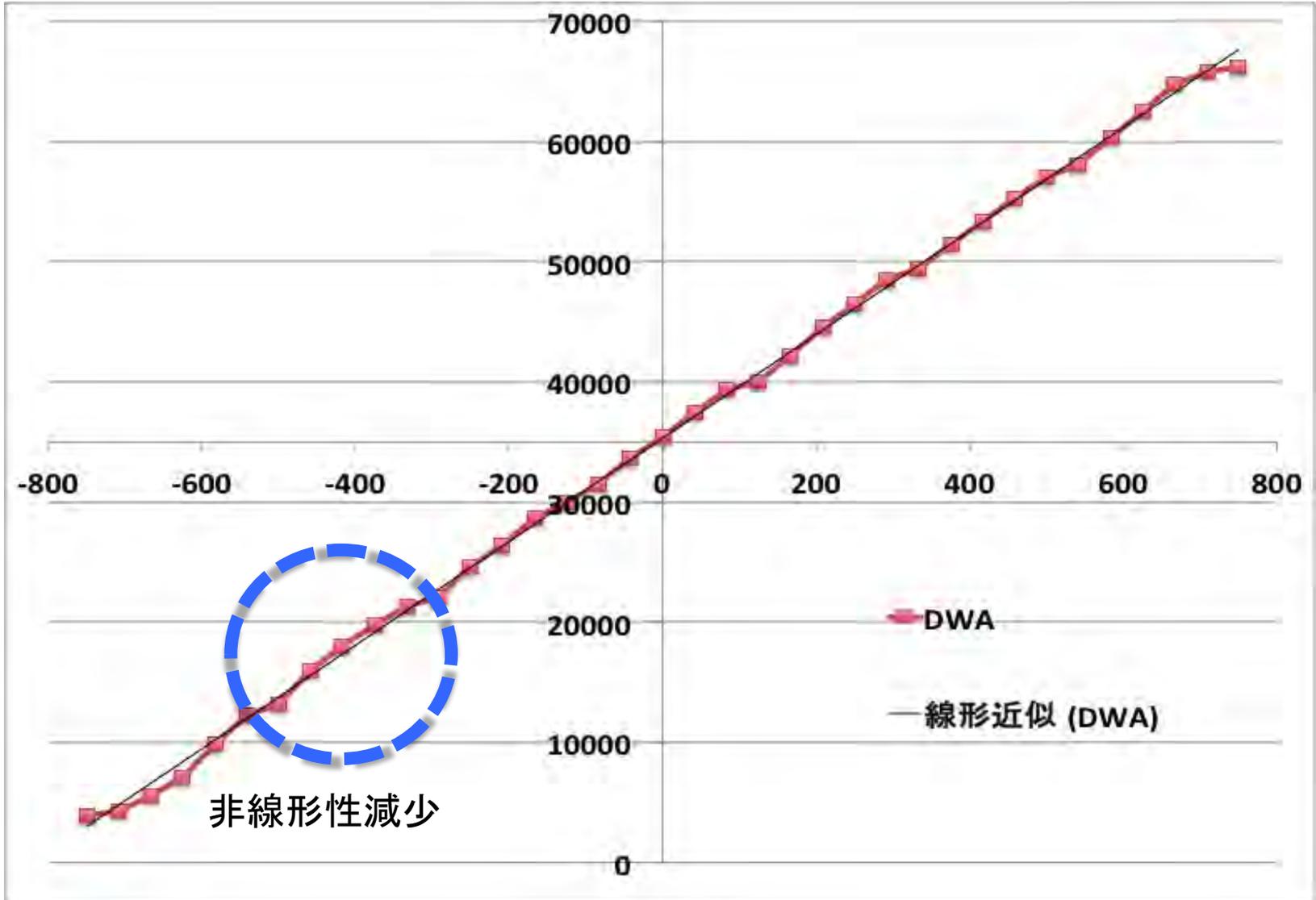
積分非直線性 INL



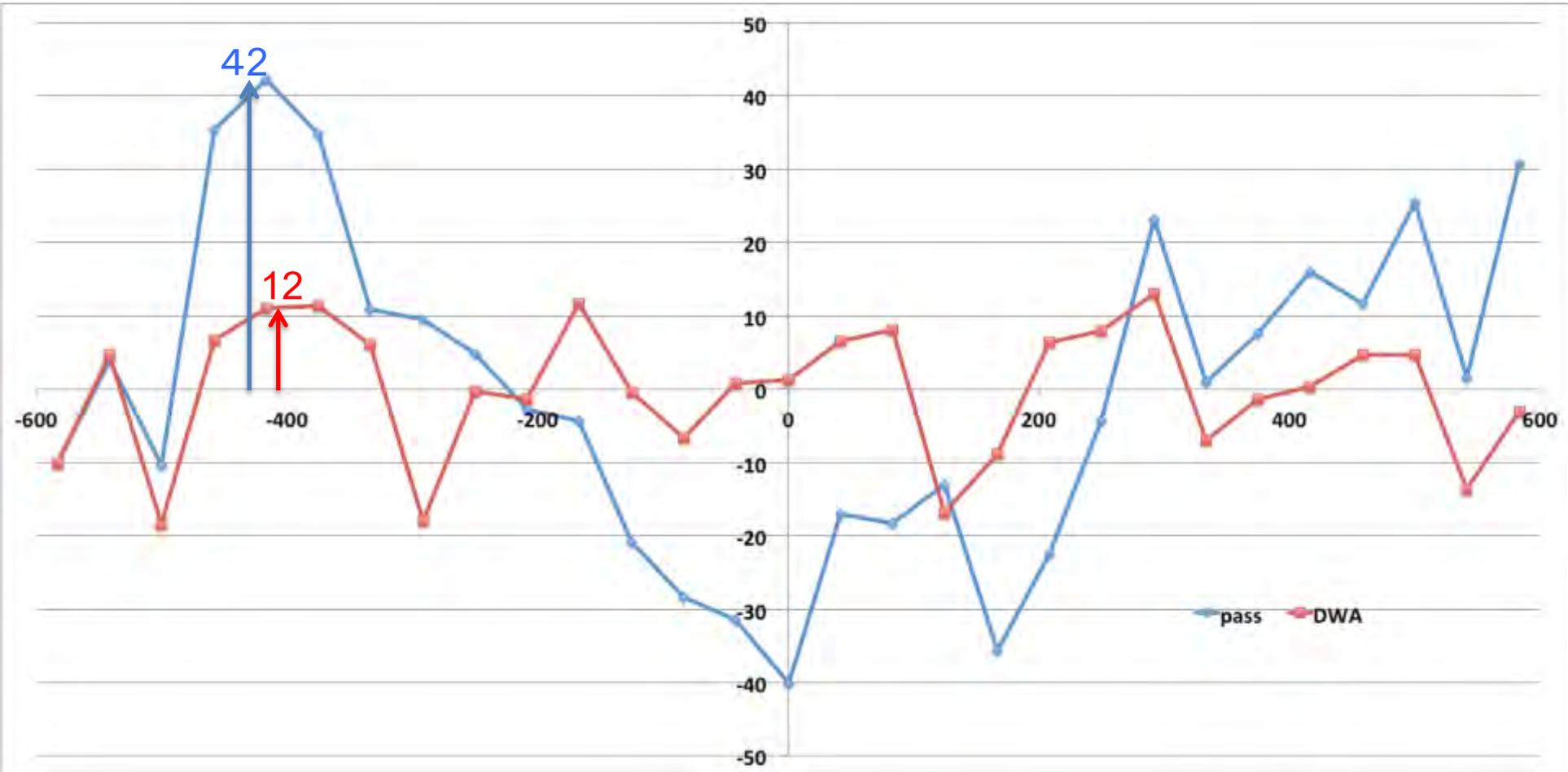
$\Delta\Sigma$ TDC 測定結果3 (DWA不使用)



$\Delta\Sigma$ TDC 測定結果3 (DWA使用)



積分非直線性 INL



回路性能のまとめ

	Flash TDC	1-bit $\Delta\Sigma$ TDC	マルチビット $\Delta\Sigma$ TDC (without correction)	マルチビット $\Delta\Sigma$ TDC (with correction)
回路量	×	◎	○	○
時間分解能	×	◎	◎	◎
精度	△	◎	×	○
測定時間	◎	×	○	○

- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - DWAアルゴリズム
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉

2つのクロック間の立ち上がり時間差を高時間分解能で測定するデルタシグマ型タイムデジタイザ回路について下記をご紹介しました。

(1) デルタシグマ型タイムデジタイザ回路の構成と動作

(2) 開発した高精度化のアルゴリズムと

そのMATLABシミュレーションによる効果確認

(3) 回路設計、アナログFPGA(PSoC) 実現、測定評価結果

集積回路分野の研究者

フルカスタムIC重視、(アナログ)FPGAに関心少ない傾向

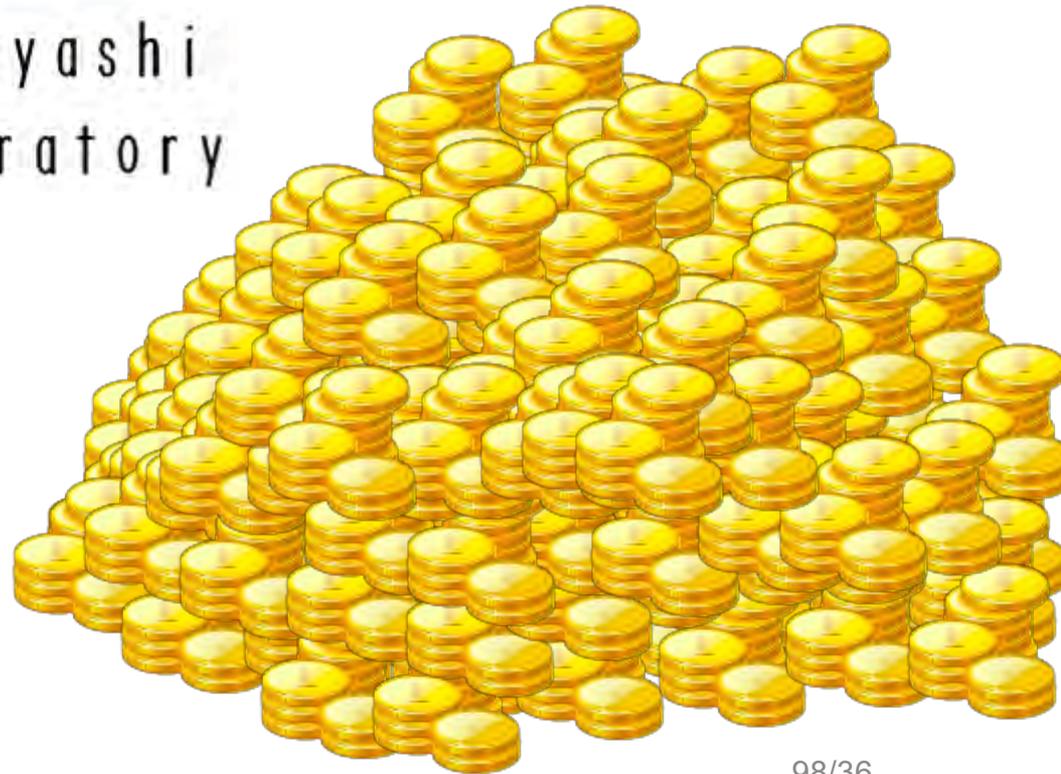


(アナログ)FPGAは「破壊的イノベーション」になる(?)



Time is *GOLD* !!

$\Delta\Sigma$ TDC is a key.



この研究をご支援いただいています
半導体理工学研究センター(STARC)に
感謝いたします。

[フラッシュ型TDCの最初の論文](#)

- [1] Y. Arai, T. Baba, “A CMOS Time to Digital Converter VLSI for High-Energy Physics”,
IEEE Symposium on VLSI Circuits (1988).

[\$\Delta\Sigma\$ 変調技術の発明者 安田靖彦先生の回顧・解説文](#)

- [2] 安田 靖彦「技術の生みの親・育ての親」郵政研究所月報 巻頭言 (2001年7月).

[\$\Delta\Sigma\$ TDCの最初の論文](#)

- [3] B. Young, K. Sunwoo A. Elshazly, P. K. Hanumolu, “A 2.4ps Resolution 2.1mW Second-order Noise-shaped Time-to-Digital Converter with 3.2ns Range in 1MHz Bandwidth,” IEEE Custom Integrated Circuits, San Jose (Sept. 2010)

[マルチビット \$\Delta\Sigma\$ TDCの線形性向上技術](#)

- [4] S. Uemori, M. Ishii, H.Kobayashi, et. al., “Multi-bit Sigma-Delta TDC Architecture with Improved Linearity,”
Journal of Electronic Testing : Theory and Applications, Springer, vol. 29, no. 6, pp.879-892 (Dec. 2013).

[\$\Delta\Sigma\$ TDCの位相ノイズ測定法への提案](#)

- [5] D. Hirabayashi, Y. Osawa, N. Harigai, H. Kobayashi et. al., ”Phase Noise Measurement with Sigma-Delta TDC”,
IEEE International Test Conference, Poster Session, Anaheim, CA (Sept. 2013).
- [6] 大澤 優介、平林 大樹、針谷 尚裕、小林 春夫、新津 葵一、小林 修「デルタシグマTDCを用いた位相ノイズ測定」
電気学会 電子回路研究会 島根 (2014年7月)

[マルチビット \$\Delta\Sigma\$ TDCのアナログFPGA実現](#)

- [7] 中條剛志、平林大樹、荒船拓也、佐藤幸志、小林 春夫 「マルチビットデルタシグマ型タイムデジタイザ回路の
FPGA実現・測定検証」電気学会 電子回路研究会, 秋田(2014年10月)

- (1) 時間分解能回路の研究背景
- (2) デルタシグマ型タイムデジタイザ回路
 - デルタシグマ変調技術
 - デルタシグマ型タイムデジタイザ回路の構成と動作
 - アナログFPGA実現
- (3) マルチビットデルタシグマ型タイムデジタイザ回路
 - マルチビット変調器の問題点
 - DWAアルゴリズム
 - アナログFPGA実現
- (4) まとめ
- (5) 若手研究者・学生に贈る言葉



「技術で世の中に喜びを提供する」
「研究所は、技術ではなく
どういうものが人に好かれるかを
研究するところである。」（本田宗一郎）

「事業の目的は
顧客の創造である」（ドラッカー）

「もの作り」だけではない。
「新しい社会作り」ができる。

イノベーション:

新しい技術もとに、
社会的意義のある新たな価値を創造し、
社会的に大きな変化をもたらす変革。

蒸気機関の発明: 馬車から鉄道へ

→ 社会が大きく変わる

「大木を育てるには小さな種をまく必要がある。
小さなことから始めよ。
小さなことを大切にせよ。」

(リチャード W. ハミング、ベル研究所)

「着眼大局 着手小局」

知識は 発展している、作り出されている、
進歩している。

➡ 学生の **研究を通じての教育**

「大学は 学問をいまだに完全には
解決されていない問題として、
たえず研究されつつあるものとして
扱うことに特色がある。」

「新しい学問分野を切り開くのが
一流の大学教授の証」

工学部 大学教員

製造業(第2次産業)の要素をもった

サービス業(第3次産業)

「松下電器は人を作る会社です。
あわせて電気製品を作っています。」

(松下幸之助)

「情報化社会においては、
いかなる組織も学ぶ組織にならねばならない。
同時に教える組織にもならなければならない。」

(ドラッカー)

東大名誉教授 北森俊行先生

思考力・創造力の向上のために

- 数学の定理を教え、証明してみせるよりも、
定理を発見する気持ちを教える。
- 物理法則を教えるよりも、
物理法則を見つけ出そうという気持ちを教える。
- 出来上がった理論を教えるよりも、
理論を創る気持ちを教える。

足代弘訓(江戸時代後期の国学者)

人をあざむくために学問をしない。

人とあらそうために学問をしない。

人をそしるために学問をしない。

人の邪魔をするために学問しない。

自分を自慢をするために学問をしない。

名を売るために学問をしない。

利をむさぼるために学問をしない。

宇都宮高校の生徒の時代にはじめて聴く。自分を戒める。

明治維新等の歴史を振り返っても
新しい時代を開くのは若者

「新しい葡萄酒は新しい皮袋に入れよ」 **(新約聖書)**

「後生畏るべし、
焉んぞ来者の今に如かざるを知らんや。
四十五にして聞こゆることなきは、
これ亦畏るるに足らざるのみなり。」 **(論語)**

NE ACADEMY

アナログ強化塾 第2回
アナログ技術の新潮流
時間分解能型回路とTDC (前編)
88

計測実践講座 第1回
その測定結果
どのくらい信頼できますか
94

組み込み寺子屋 第2回●ソフトウェア開発に利用する図
機能や構造を図で可視化して
ソフトウェアを設計
102



アナログ技術の新潮流

時間分解能型回路とTDC(前編)

アナログ信号を電圧軸ではなく時間軸で処理する——そんな「時間分解能」型アナログ回路を設計する時代が到来しつつある。この回路は既に実用化されており、研究発表も活発だ。IC/LSIの微細化と低電圧化が進み、電圧振幅を利用した計測/演算/制御が困難になってきたことが背景にある。アナログ回路の新しい潮流について、基本となるTDC (time to digital converter)を中心に回路動作や応用例を解説する。 (本誌)

小林 春夫

群馬大学大学院 工学研究科

電圧でアナログ信号をとらえ、演算や制御を行う。こんなことは当たり前で、意識することさえなかった、という人は多いだろう。

ところが現在、新たなアナログ回路の設計手法が広がりつつある。測定/処理の軸を従来の「電圧軸」ではなく「時間軸」に変更して、アナログ回路設計を行う方法が注目を集めている。

ここでは、アナログ回路設計のパラダイムを変える「時間分解能」型回路の動作や応用例を、基本から解説していく。後述するように、この回路には特別な製造プロセス技術は不要で、従来の回路と混在させることが容易である。今後、今回の新しい回路が適材適所で着実に利用されていくと考えている。

微細化と低電圧化が背景

LSIの製造プロセス微細化の進展とともに、デジ

タル回路は面積の縮小や高速化、低消費電力化を進めてきた。しかし、アナログ回路では微細化に伴い、

- ▷トランジスタの速度飽和効果やドレイン抵抗の低下のため、トランジスタの利得が小さくなる
- ▷しきい値電圧変動などの影響による素子特性バラつきが大きくなるので、回路の面積を小さくできない
- ▷電源電圧が下がってくると従来回路構成で動作するとは限らず、信号対雑音比(S/N)も悪くなるといった問題が生じる。

これまでのアナログ回路は、主にアナログ信号を電圧振幅で処理する「電圧分解能」型回路を利用して設計してきた。回路を設計する上で、電圧が最も扱いやすいからだ。ところが電圧振幅を利用しているため、低電圧になるとどうしても回路動作に悪影響が出てくる。このため、電圧分解能型アナログ回路はデジタル回路ほど微細化の恩恵を受けることがない。電源電圧が1V程度になって、いよいよ設計が困難になってきている(図1)。

こうした問題を克服できる技術として注目を集めているのが、アナログ信号を電圧軸ではなく時間軸で処理する時間分解能型アナログ回路である。これは既に通信用ICなどで米Texas Instruments Inc. (TI社)が実用化している(図2)。さらに、時間分解能型アナログ回路およびそれを用いた回路システムに関する発表が、ここ数年、回路技術の国際会議「International Solid-State Circuits Conference (ISSCC)」や「Symposium on

従来の「電圧分解能型」アナログ回路

- 微細化によって
- ▶利得が低下
 - ▶素子バラつきが増大
 - ▶低電圧化によりS/Nが劣化



「時間分解能型」アナログ回路の開発が盛んに

図1 時間分解能型アナログ回路が脚光を浴びるようになった背景

VLSI Circuits」などで活発になっており、その回路技術や校正技術が急速に進展しつつある。

設計のやり方は従来の電圧分解型アナログ回路の場合とはかなり変わるが、電圧分解型と時間分解型をうまく使いこなせるようになれば、競争力のあるアナログICやシステムLSIを作ることができる。

時間分解型アナログ回路は一般的な微細デジタルCMOSプロセスで作製でき、アナログ専用の特殊なプロセスを必要としない。このため設計部門が踏み切れれば、製造プロセスを変えなくても時間分解型アナログ回路を利用できる。また、微細化すればするほどスイッチングを高速にできるため、時間分解型アナログ回路の分解能と性能を高めやすくなる。

これによって、従来は実現できない新しい発想のアナログ回路を作ることができると期待されている。技術者にとっては、電圧分解型と時間分解型回路設計の同じところや違うところを知ること、アナログ設計の大事な技術や奥の深さをあらためて知ることできる。

以下では、この時間分解型アナログ技術について、なるべく分かりやすい回路を例示しながら具体的に解説する。

基本回路はTDC

時間分解型アナログ回路のキー・コンポーネントとなる回路はTDC (time to digital converter) である。この回路は文字通り、時間をデジタル化する。通常の「電圧」ではなく「時間」の領域に信号を変換し、そこで信号処理を行うのが時間分解型アナログ技術だが、時間領域における分解能を決めるのがTDCである。

TDCの回路はさまざまな方式が提案されているが、多用されているのはゲート遅延回路とフリップフロップを使う方式である。これは高速CMOSデジタル回路でおなじみであり、微細化とともに性能(スイッチング速度、分解能)を高めやすい。

図3に代表的なTDCの回路図を示す。まず、基準となるクロック (CLK) とカウンタによって大まかな時間間隔を推定する。図3(a)では3クロック目に被測定信号が入力されているが、3クロック目であ

(a) Bluetooth用IC (b) 携帯電話機向けIC

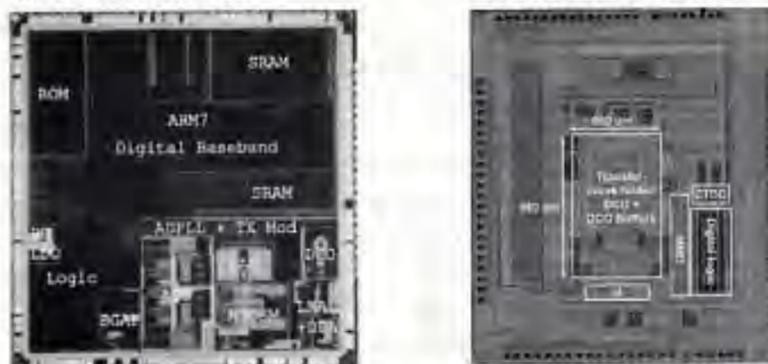
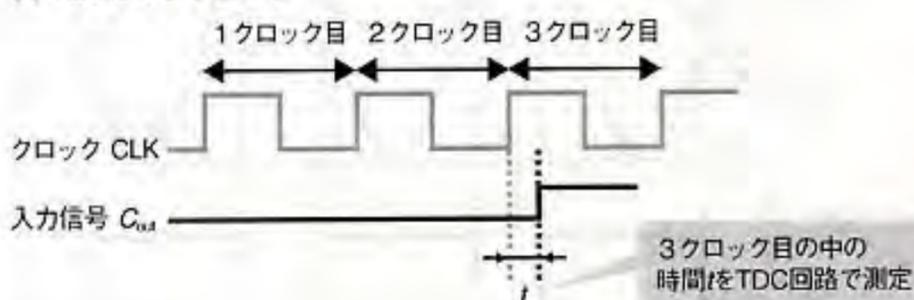


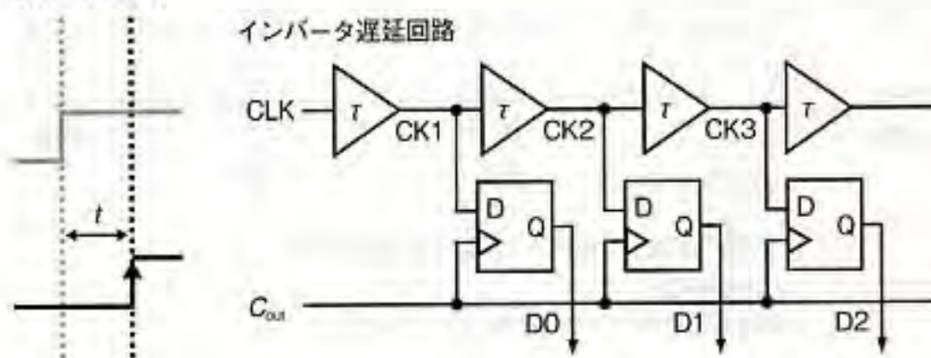
図2 時間分解型アナログICの例

(a)は、米Texas Instruments Inc.が2004年に開発したBluetooth用トランシーバ回路。当時の製造プロセスは130nm CMOSだったが、その後、微細化を進めている。(b)は、台湾MediaTek Inc.が2008年のISSCCで発表した携帯電話機向けIC。オール・デジタルのPLL (ADPLL) を集積。(図: ISSCC)

(a) 入力信号とクロック



(b) 回路構成



(c) タイミング例

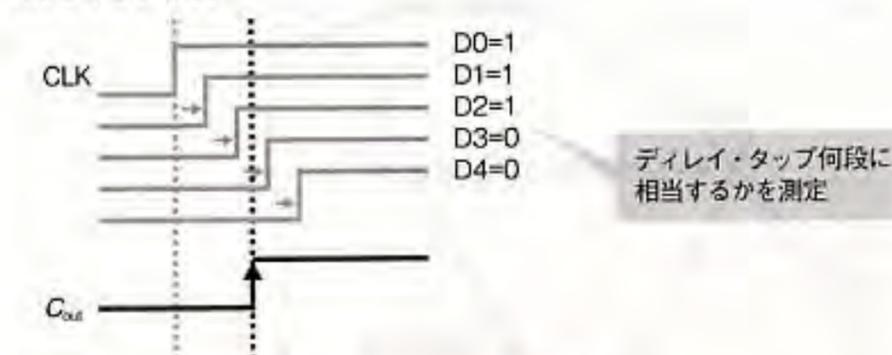
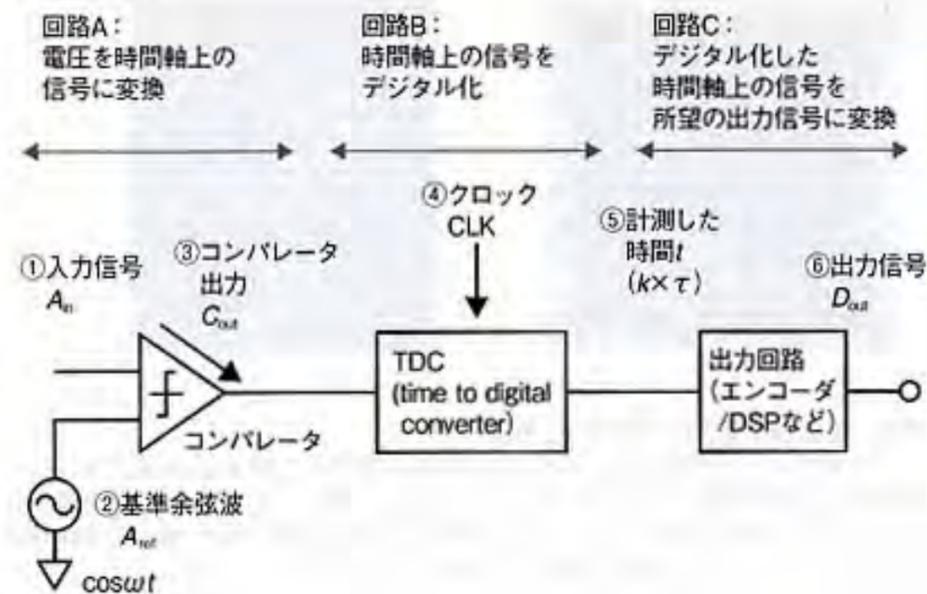
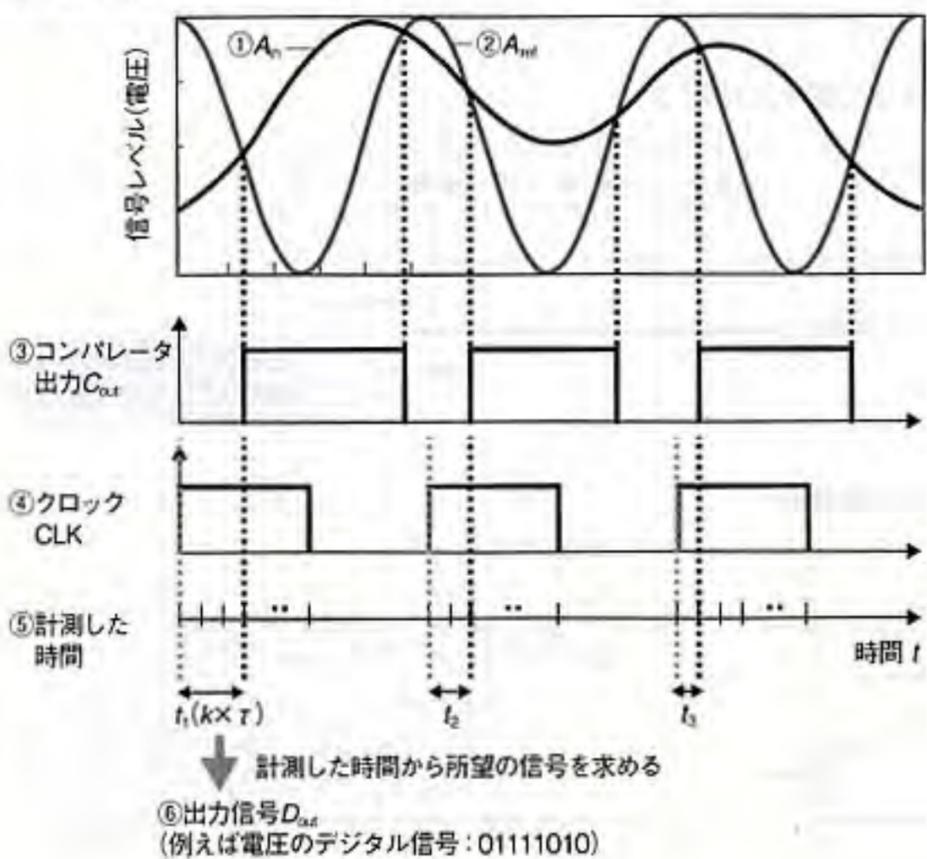


図3 TDC (time to digital converter)の動作

(a)回路構成



(b)信号波形



(c) A-D 変換器の出力信号の算出方法

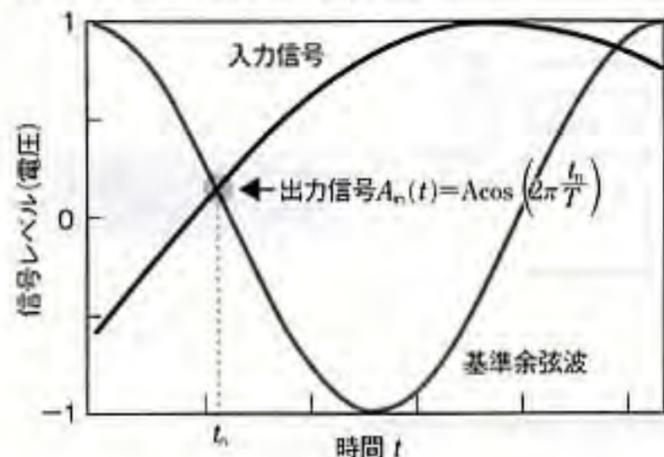


図4 時間分解能型 A-D変換器の例

ることはカウンタで把握する。次に、図3 (b)に示すようなインバータ遅延回路により、時間分解能の高い遅延線(ディレイ・ライン)を構成し、時間間隔を測定する。つまり、3クロック目の時間 t を計測する。

この回路構成では、入力信号(被測定信号)をフリップフロップのクロック部に入力する。また、クロックをインバータ遅延線に入力し、インバータ遅延の接続点の中間タップ(CK1, CK2, CK3, ...)をフリップフロップのデータ部(D)に入力する。

そのフリップフロップ出力(Q1, Q2, Q3, ...)はフラッシュ型A-D変換器で出てくるような、いわゆる「温度計コード」になる。ここで温度計コードとは、ある点を境に連続した0と連続した1が切り替わるようなコードである。この0と1が切り替わった出力(Q)の値は、被測定信号の立ち上がりタイミングを表す(図3(c))。このQの値(温度計コード)をエンコードして出力信号に変換する(変換の仕方はp.92の「TDCとフラッシュ型A-D変換器の類似性」参照)。

TDCの5種のメリット

TDCは図3を見れば分かるように、大部分がCMOSデジタル回路で構成されている。設計やレイアウト、校正、検証、テストの各段階において、デジタル回路の手法を用いることができる。このため、LSIの微細化に際して次の利点がある。

- ▷プロセス・スケールビリティ(微細化したときに回路の設計変更の手間が少ない)
- ▷プロセス・ポートビリティ(プロセスを変えたときに回路の設計変更の手間が少ない)
- ▷微細化とともに性能が向上(インバータやフリップフロップのスイッチング速度が速くなる)
- ▷電源電圧スケールビリティ(低電圧で動作しやすい)
- ▷小回路面積(抵抗R/容量C/インダクタLの受動素子を用いずCMOSトランジスタだけで構成するので、微細化とともに回路の面積を小さくできる)

さらに、今後の検証が必要であるが、近年大きな問題になってきているアナログ回路のEMS (elec-

tro-magnetic susceptibility)の対策も、このデジタル的手法が有効になる可能性がある。詳しくは後述するが、電圧分解能型よりも信号振幅を大きく取りやすいからである。

大部分がデジタル回路のTDCは微細化に伴いインバータ遅延が小さくなり、時間分解能やジッタ性能の向上が期待できる。現在、学会レベルでは時間分解能が1psより高いTDCが報告されている。

微細化に伴いLSI内では電源電圧が低下し、素子バラつきが増大する傾向にあるので、従来の電圧分解能型アナログ回路での動作保証は難しくなるが、時間分解能型アナログ回路ならデジタル回路を多用するので動作保証しやすい。

従来のLSI設計において、アナログ回路設計はデジタル回路設計に使う製造プロセスの1～2世代前の枯れた技術を使うことが多かった。アナログ専用の工程を付けて、設計・試作・評価を何サイクルか繰り返して完成度を上げ、製品化していった。しかし、TDCのような時間分解能型回路を用いれば、先端の微細CMOSプロセスで作製するシステムLSIのアナログ回路部を初回の試作で完全動作させやすくなる。

応用例を通してTDCを学ぶ

LSIテスト内では、TDCは信号のスキュー/遅延/周期変動の測定やPLL (phase-locked loop) 整定時間の測定などのために多用されている。つまり、時間の精密な測定には、既にさまざまな場面で利用されている¹⁾。

また、テストだけでなく、LSI内部の信号のジッタ測定のため、チップ内にTDCを設ける提案もある。例えば、筆者は連続時間 $\Delta\Sigma$ A-D変換器におけるループ遅延をオンチップTDCで測定し、それに応じてパラメータ値を自動調整する方式を検討している。

これらの回路は、TDCを時間そのものの測定に使った例である。しかしながら、最近TDCが注目を集めているのは、測定対象を時間だけではなく電圧などへと広げているからだ。すなわち、電圧領域で行っていたアナログ信号処理を時間領域にマッピングして処理することで、高性能な回路を実現する方向に向かっている。

以下では、TDCのさまざまな使い方を例示し、具体的な時間分解能型アナログ回路例を挙げながら、その動作や特徴を解説する。

A-D変換器

電圧を時間領域でA-D変換

まず、TDCを用いた時間分解能型のA-D変換器を説明する。図4(a)に示したA-D変換器では、時間分解能の高いTDCとリファレンス用の余弦波を用いて、高速サンプリングを行う。

図4(a)の回路Aでは、入力電圧を時間軸上の信号に変換する。①入力信号 A_n と、クロックに同期した②基準余弦波 A_{ref} をコンパレータで比較する。

次に、時間軸上の信号をデジタル化する(回路B)。クロック立ち上がりから A_n と A_{ref} の値が一致するまでの時間 t を、TDCで測定する(図4(b))。時間 t は、単位時間 τ の k 倍で表される。

回路Bでデジタル化した時間軸上の信号は、次の回路Cで所望の出力信号に変換する。時間 t が分かれば、次の基準余弦波の式から A_n と A_{ref} の値が一致する点、つまり A_n の値が求められる(図4(c))。

$$A_n(t) = V_{ref}(t) = A_{ref} \cos(2\pi t/\tau)$$

なお、この t は、TDCによって高い分解能で測定できる。このため、 A_n の精度も高くなる。

基準余弦波発生回路は、 $\Sigma\Delta$ D-A変換器を利用すれば、大部分はデジタル回路で構成できる。TDCもほぼデジタル回路なので、全体の大部分がデジタル回路で実現でき、LSI微細化のトレンドの恩恵を受けることができる。

これまで試作された、TDCを利用したA-D変換器の性能を見てみよう。米University of Michiganは、ISSCC 2009でTDCを用いたA-D変換器を発表した²⁾。90nm CMOSプロセス技術を用いて、電源電圧が1V、分解能が9ビット、変換速度が1Mサンプル/秒のA-D変換器を作製、消費電力は14 μ W、チップ面積は0.06mm²だった。 μ Wクラスの低消費電力と小チップ面積を達成することで、微細化技術の恩恵をアナログ回路も十分に受けられることを示した。

注1) 筆者がTDC技術を知るきっかけは、Agilent Technologies社とのLSIテストの共同研究だった。

注2) このUniversity of MichiganのA-D変換器は、正弦波ではなくランプ波を用いている。

TDCとフラッシュ型A-D変換器の類似性

TDCの構成は、フラッシュ型A-D変換器に似ている(図A-1)。筆者はTDCを知ったときに、フラッシュ型A-D変換器と対比させながら考えることで、TDCの動作原理や特性などを理解した。

実際のTDCの回路設計でも、新しい構成や回路規模の調整、高速化、低消費電力化などの最適化を行うときに、フ

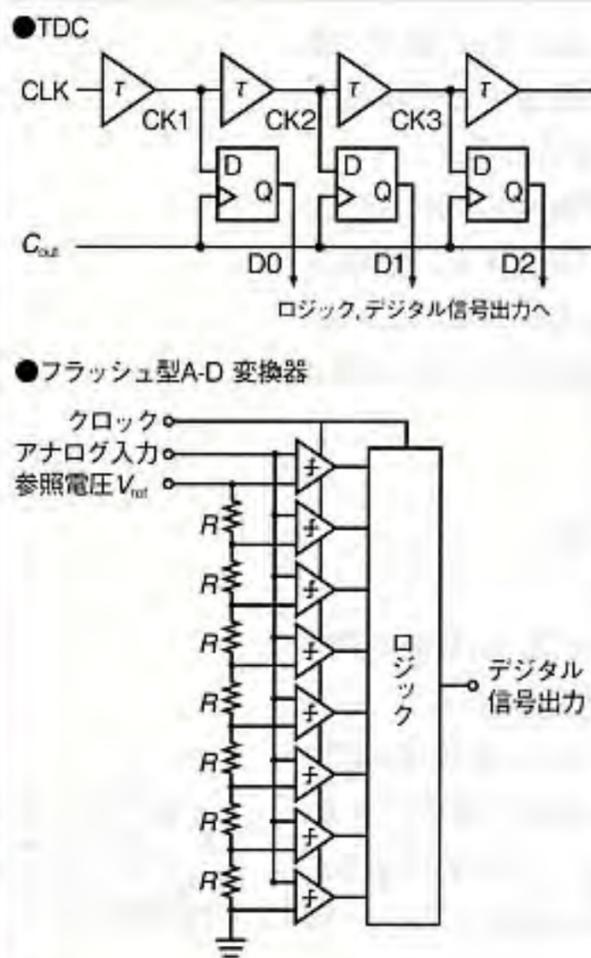
ラッシュ型A-D変換器の技術が適用できることは多い。

図A-2は、フラッシュ型A-D変換器の動作例である。入力電圧を3.56Vとすると、コンパレータ出力は図のようになり、エンコーダの入力信号はd4=1になる。エンコーダは真理値表に沿って、「100」という信号を出力する。

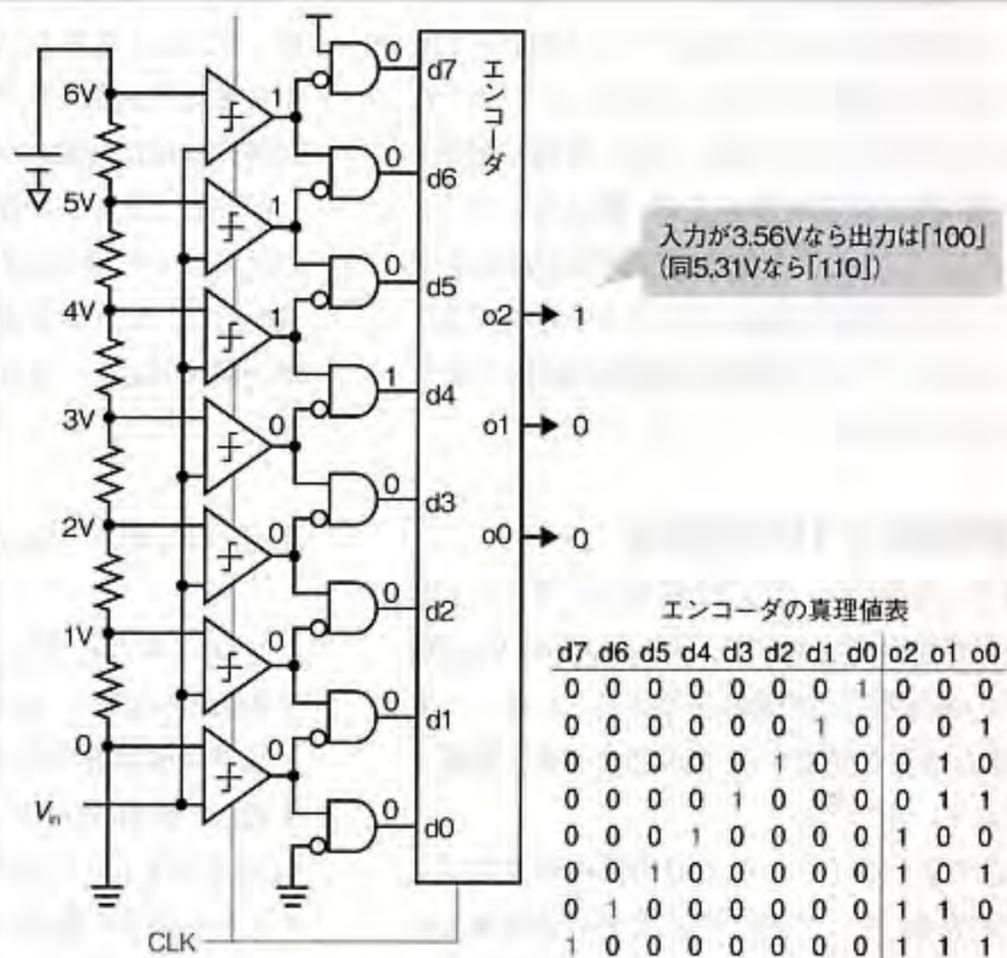
フラッシュ型A-D変換器の入力信号

は電圧だが、TDCの入力信号は信号の立ち上がりタイミングである。フラッシュ型A-D変換器の参照電圧 V_{ref} が、TDCの基準クロックを遅延させた各タップにおけるタイミングに対応している。

N ビットの分解能を得ようとするれば、 2^N-1 個のフリップフロップとバッファ遅延が必要である。



図A-1 TDC とA-D 変換器の比較



図A-2 フラッシュ型A-D 変換器の動作例

なお、カウンタやランプ波など時間軸のデータを利用してA-D変換器を実現する方式としては、積分型A-D変換器が知られている。これと比較すると今回のA-D変換器では、カウンタの代わりに高時間分解能のTDCを使い、ランプ波の代わりに余弦波を用いて高速サンプリングを実現していることになる。

小林 春夫 こばやし・はるお
群馬大学大学院 工学研究科 電気電子工学専攻 教授

1982年、東京大学大学院 修士課程修了。同年、横河電機製作所入社。1989年、米University of California, Los Angeles校(UCLA)電気工学科 修士課程修了。1997年、群馬大学 助教授。2002年、同教授。A-D変換器、電子計測、ミックスド・シグナル集積回路設計、信号処理などを研究。産学連携にも力を入れる。群馬大学アナログ集積回路研究会を主宰。



アナログ強化塾 第3回
アナログ技術の新潮流
時間分解能型回路と TDC (後編)
102

組み込み寺子屋 第3回●オブジェクト指向の基本
データと操作をカプセル化して
再利用性や保守性を向上する
108



アナログ技術の新潮流 時間分解能型回路とTDC(後編)

今回は、製造プロセスの微細化が進み、電源電圧が低くなったアナログIC向けの回路技術として、時間分解能型アナログ回路が注目されていることを紹介し、その基本的な回路「TDC (time to digital converter)」と動作原理を解説した。今回は、デジタル制御電源用A-D変換器やセンサ回路などTDCを利用した具体的な回路例や設計の注意事項を示しながら、時間分解能型アナログ回路の理解を深めていく。 (本誌)

小林 春夫

群馬大学大学院 工学研究科

アナログIC向け技術として、従来の電圧振幅を利用した電圧分解能型回路ではなく、時間分解能型回路が注目されている。その背景には、LSI製造プロセスの微細化と低電圧化が進んでおり、従来の電圧分解能型回路では設計が困難になっていることがある。

前編では、時間分解能型アナログ回路の基本的な回路である「TDC (time to digital converter)」とその動作原理を解説した。後編では、TDCを利用したデジタル制御電源やセンサなどの時間分解能型回路を示す。この回路を利用すれば、デジタル回路の製造プロセスを活用しながら、高性能のアナログ回路を実現できる。

デジタル制御電源用A-D変換器 入力電圧で遅延時間を変える

米University of Coloradoは、図1(a)のようなデジタル制御電源用のA-D変換器を開発した¹⁾。同大学はデジタル制御電源研究のメッカだが、積極的にデジタル制御電源に用いるための時間分解能型アナログ回路に取り組んでいる。

既に述べたように、A-D変換器に時間分解能型アナログを適用すれば、低電圧で動作させやすい、製造プロセスを変えたときに回路の設計変更の手間を少なくできる、LSI製造プロセスの微細化とともに回路の面積を小さくでき性能も高めやすい、と

いった利点が得られる。

このA-D変換器のアナログ入力 V_{sense} は、TDC内で遅延線を構成する図1(b)の遅延セル(バッファ)の電源電圧 V_{DD} として入力する。アナログ入力が増加すると、遅延セル内のインバータとNORゲートの電源電圧 V_{DD} が変わり、バッファ遅延時間も変化する。

例えば、アナログ入力信号が0.6Vのときと1.0Vのときでは、バッファ遅延時間は図1(c)、図1(d)のように変化する。その遅延時間をTDCで検出する。あらかじめ遅延時間と電圧の関係を明らかにしておくことによって、アナログ入力信号の電圧を測定する。

この方式では、A-D変換器の線形性を高めるのは難しい。しかし、電源装置の出力電圧には±1~3%程度の許容範囲があるので、A-D変換器の線形性はさほど問題にはならない。

さらに、University of Coloradoの回路では、デジタル制御電源の出力電圧とその目標設定電圧をそれぞれこのA-D変換器で測定し、同じ回路を使いながらデジタル処理で各電圧の差を計算している。これによって、デジタル制御電源の出力にはフィードバックがかかり、出力電圧と目標設定電圧の差はゼロに近づく。こうした回路の工夫によって、今回のデジタル制御電源用のA-D変換器では非常に高い分解能は不要になり、A-D変換器の入力範囲(すなわち遅延セルとフリップフロップの数)および線形性に対する要求を緩和できている。

センサ回路

デジタル回路を利用し小規模で実現

TDCを利用したセンサ回路を2例示す。静電容量センサと温度センサである。

図2は、韓国ATLab Inc.の静電容量センサの例である²⁾。静電容量の変化を、信号線の信号遅延時間の変化で検出できることに着目した。容量が大きければ、それに接続された信号線を通る信号の遅延が大きくなる。遅延時間をTDCで測定することで容量値を検出する。なお、同社はミックスド・シグナルSoC(system on a chip)を得意とするファブレスの半導体メーカーである。

測定容量Cによって、A点の波形の立ち上がりは変わってくる。A点の電圧がある一定以上に高

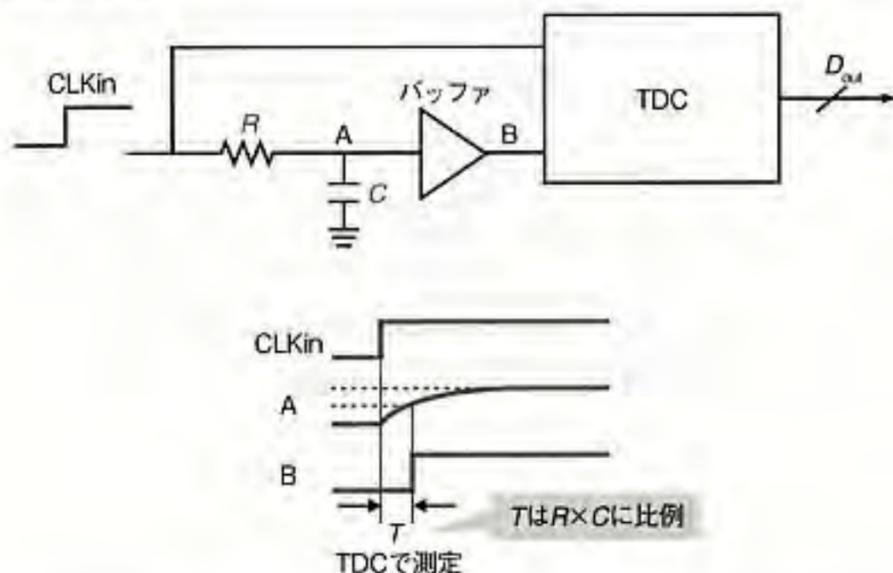
くなると、B点の電圧が高レベルになる。このタイミングとクロックの立ち上がりの時間差TをTDCで測定する(図2(a))。

実際には、測定精度を向上させるため基準の容量を用いた遅延線を用意し、それとの時間差を測定している(同社はこれをデジタル差動方式と呼んでいる)。図2(b)のように「測定用容量によるRC遅延+可変遅延」と「基準容量によるRC遅延+基準遅延」を一致させるように、「可変遅延」をマルチプレクサの選択信号でデジタル的に調整する。このように容量センサの回路も、デジタル技術を中心にして作ることができる。

なお、測定するCの容量は固定であり、信号遅延測定は何回も行えるので、逐次比較近似のように測定側の遅延線ノードを次々に選択して基準遅延との遅延を比較することで、TDC内のフリップフロップを1個で済ませることができる。それにより、回路規模も小さくなる。

一方、TDCで実現する温度センサを、米Harvard Universityが提案している³⁾。温度が高くなるとバッファ遅延が大きくなることを利用し、遅延量をTDCで測定することで温度を計測した(図3)。デジタル回路で構成できるので、マイクロプロセッサのチップ内の温度モニターとして用いることが可能である。

(a)動作原理



(b)実際の回路。測定する容量をつなげる可変遅延の回路と、基準遅延の回路の信号を比較する。

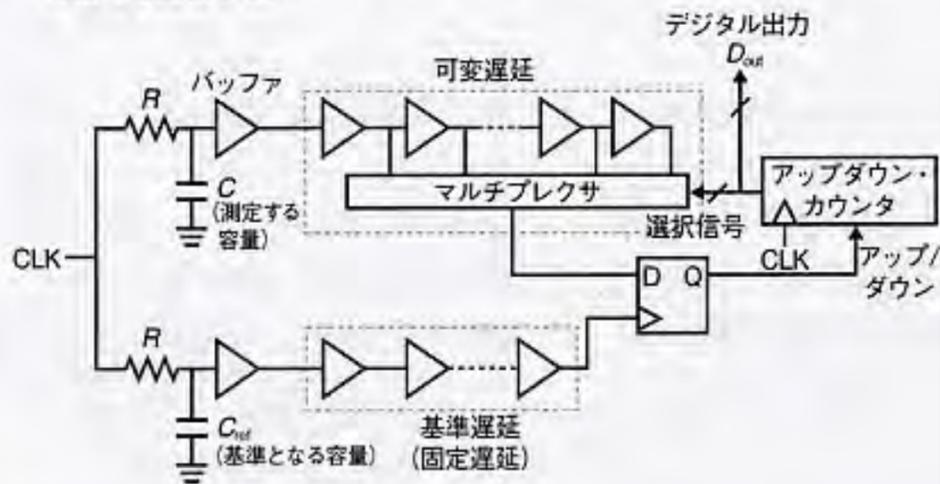


図2 TDCを用いた容量センサ

バーニア回路

TDCの時間分解能を高める

回路の工夫によって、インバータ遅延時間より細かい時間分解能を得る方式もある(図4)。ノギス(バーニア)の原理を用いて、クロックを τ_1 で遅延させ、入力信号を τ_2 で遅延させると、時間分解能を $\tau_1 - \tau_2$ に高めることができる。

図4の回路に、クロックと入力信号を入れてみよう。通常の回路であれば、図4(b)のように2段目のクロックの立ち上がりが時間軸上で入力信号を越えるので、 $D_0=1, D_1=0, D_2=0 \dots$ となる。これで、 τ_1 の時間分解能の測定結果が得られる。

今回は τ_2 の遅延を入力信号線に入れたので、 $D_0=1, D_1=1, D_2=1, D_3=0, D_4=0 \dots$ となる。この τ_2 の遅延線により、分解能は $\tau_1 - \tau_2$ と細かくなった。

TDCの校正法

さまざまな回路で応用が進むTDCだが、実際に利用する際は、測定誤差を減らすための校正処理が重要になる。TDCを校正するときは、DLL (delay-locked loop) を設けて、インバータ遅延がプロセスや電源、温度変動によらず一定になるように自動調整することが多い。

例えば、個々のインバータ遅延のバラつきに対する校正法も開発されている^{4)~5)}。校正の限界は、例えばインバータ・ディレイラインのジッタで決まる。さらに、TDCをリング発振回路の構成にすることによって、個々のインバータ遅延のバラつき、量子化誤差、ジッタなどの誤差要因を打ち消せるように、1次ノイズ・シェーブを行う方式も提案されている^{6)~8)}。このノイズ・シェーブによって、低域遮断フィルタと等価な操作を行う。つまり、周波数領域でパワーがフラットな白色雑音に対して、信号帯域である低域側で減衰させ高周波側は通過させる。

IC内では、時間(周波数)基準は電圧基準より精度よく実現しやすい。水晶発振回路からの安定したクロックを利用できることが多いからである。これも、校正では重要なことである。

設計者の常識を覆す

時間分解能型アナログ回路は、回路設計者の常識を覆すことであると言ってもよいだろう。従来のアナログ回路の設計では、信号の時間的な遷移やクロック・ジッタの問題にいつも悩まされてきた。それなのに、あえて時間軸の信号を扱うという発想は、意外に思われるかもしれない。

それほど従来のアナログ回路設計が、低電圧化などの問題に直面していると言える。LSIの製造プロセスの微細化によりトランジスタのスイッチング速度は上がっているものの、信号の時間的変動そのものを情報として利用するのは容易ではない。時間信号を扱うのは難しいと肝に銘ずべきである。

ただし、時間分解能型アナログ技術は、基本を身に付けさえすれば、使い勝手は悪くない。TDCは回路構成や設計、自己校正、レイアウト、検証をすべてデジタル的に実現でき、CMOS回路の製造

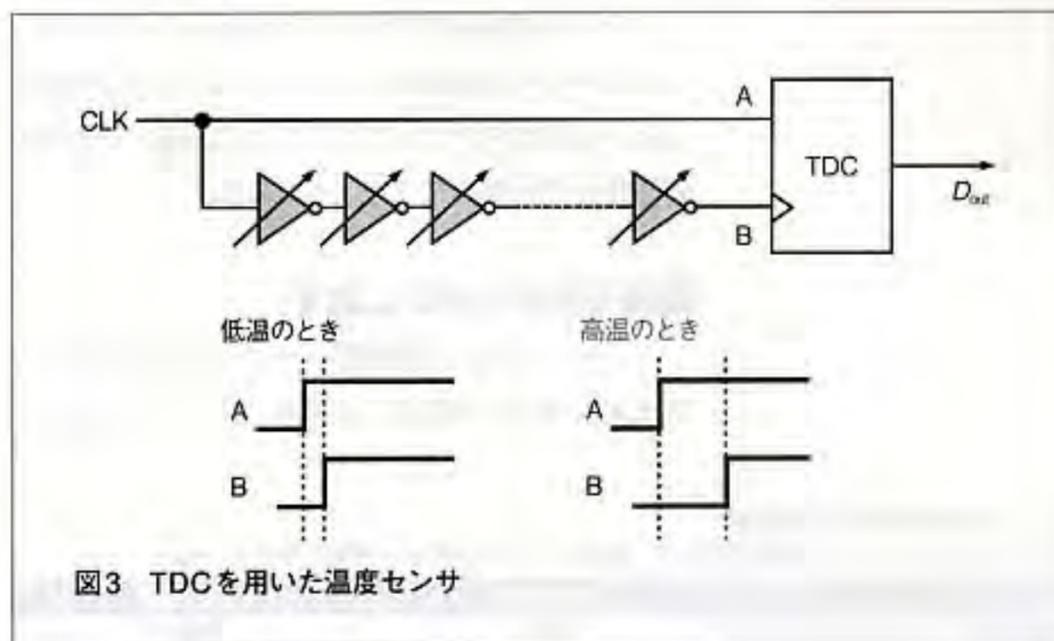


図3 TDCを用いた温度センサ

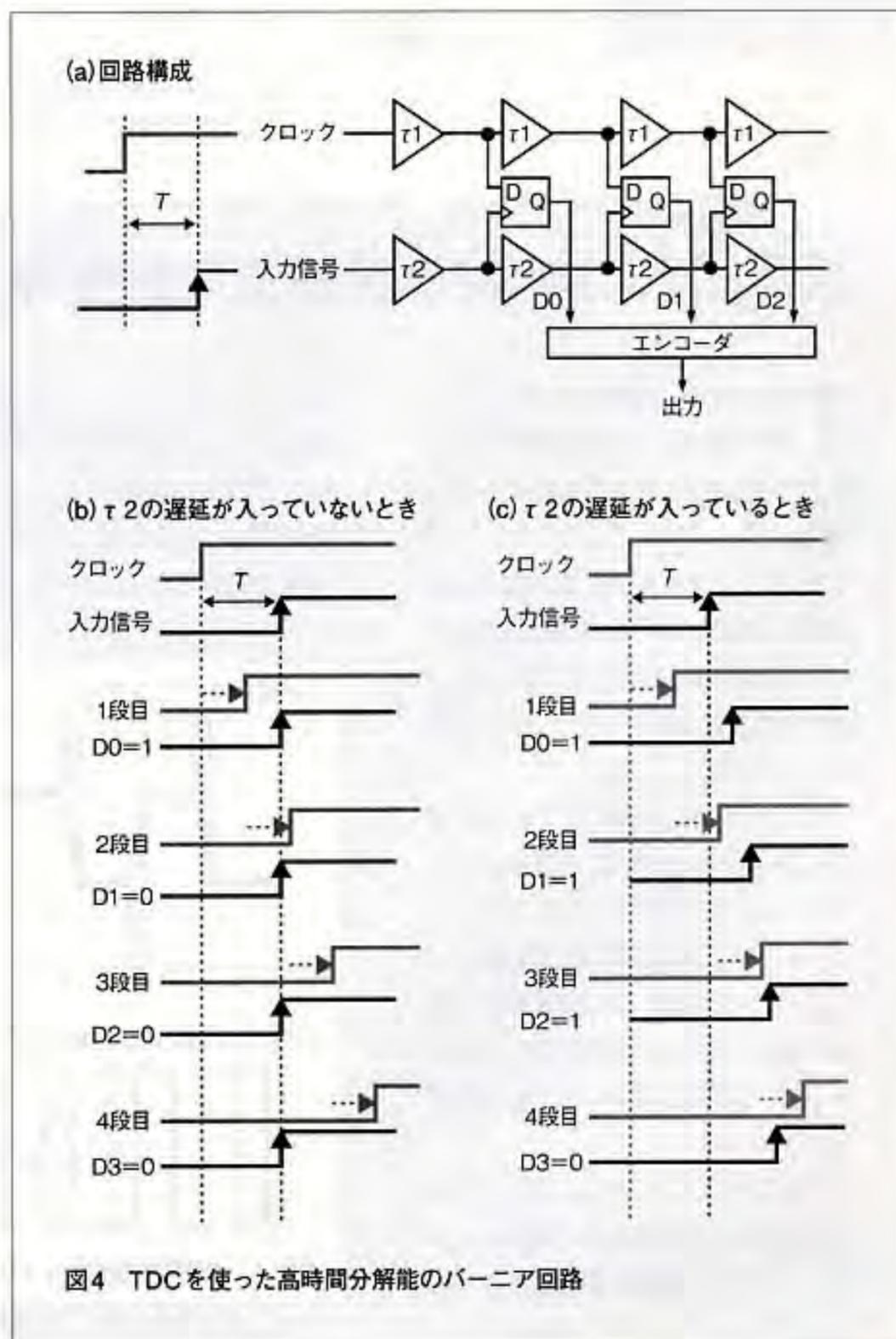


図4 TDCを使った高時間分解能のバーニア回路

プロセスの微細化に伴って性能を高められる。CMOSデジタル回路のシンプルで高速・低消費電力という利点をアナログ回路でも生かせ、かなりの悪条件下でも動作できるようになる。

回路を自在に使いこなす

ここまで、時間分解能型アナログ回路について、基本的な回路と使い方を解説してきた。最後に、

現在よく使われている電圧分解能型アナログ回路やデジタル回路などを包括した視点で、回路の方式を概観してみよう。これによって、時間分解能型アナログ回路とはどういうものなのか、一層理解を深められるだろう。

回路は、時間と振幅が「連続」の信号なのか「離散」なのかによって、4種類の領域に分類することができる(表1)。

領域1は、時間連続かつ振幅連続のアナログ回路である。電圧分解能型アナログ回路は、ここに分類される場合が多い。

領域2は、時間離散かつ振幅連続の回路である。例えば、サンプリング回路やスイッチト・キャパシタ回路がある。

領域3は、時間連続かつ振幅離散の回路で、今回解説したTDCやPWM (pulse width modulation)

表1 回路技術の四つの領域

領域1はバイポーラと化合物半導体が、領域2~4はCMOSが得意と考えている。

	振幅連続	振幅離散
時間連続	領域1 アナログ	領域3 TDC, PWM
時間離散	領域2 スイッチト・キャパシタ, サンプリング回路	領域4 デジタル

PWM : pulse width modulation
TDC : time to digital converter

低電圧化に向く時間分解能型回路のプリエンファシス技術

TDCを利用した回路ではないが、時間分解能型アナログ回路の分かりやすい利用例として、プリエンファシス技術がある。

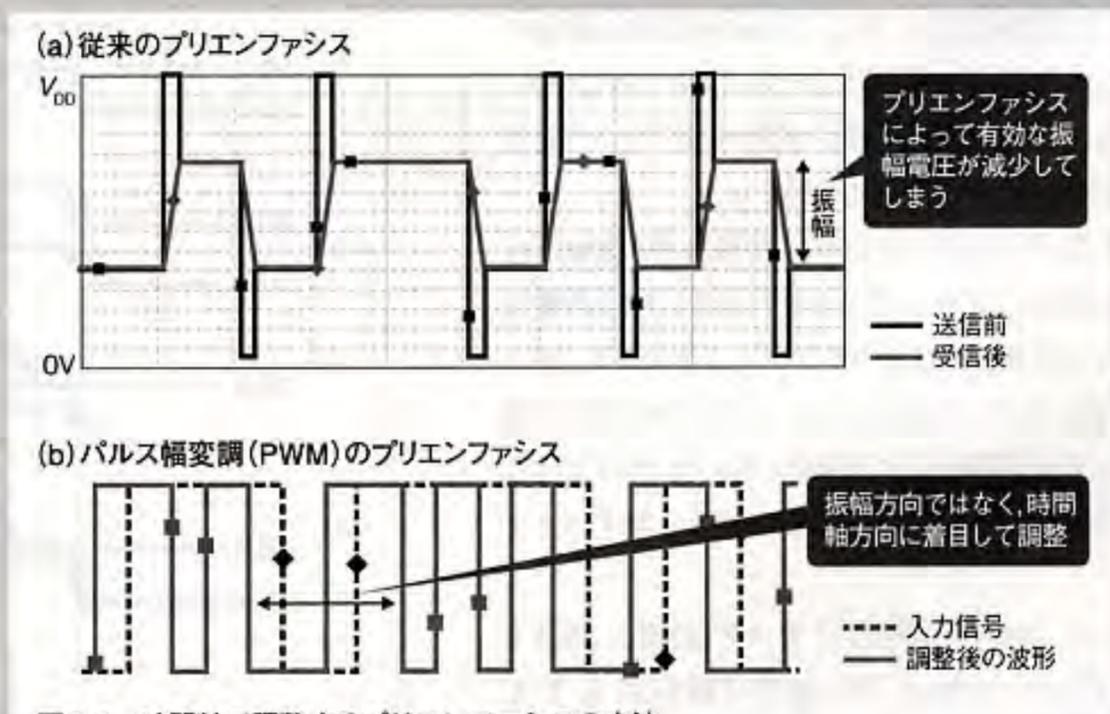
プリエンファシスとは、高速信号伝送の際に、伝送線路での信号の高周波成分の減衰を補償するため、送り手側で信号の高周波成分を強調することである。

オランダUniversity of Twente 教授のBram Nauta氏は、高速伝送路のプリエンファシス手法として、図B-1のようなパルス幅変調方式を開発した。これは、TDCを使った時間測定の手法ではなく時間信号発生の手法であるが、時間分解能回路の一つと位置付けられる。

従来のプリエンファシス技術では電圧振幅方向に高周波成分を強調していたが、これでは有効な振幅電圧が小さ

くなってしまふ。例えば、電源電圧や振幅が1VのLSIの信号伝送を行うときに、プリエンファシスによって有効な振幅が0.5V以下になってしまうと、信号伝送の誤りが発生しやすくなる。

Nauta氏の提案手法は、電圧軸ではなく時間軸方向を調整する。これによって、符号間干渉をなくして伝送線路の高周波成分減衰の影響を除去している。



図B-1 時間軸で調整するプリエンファシスの方法

回路はここに属する。

領域4は、時間離散かつ振幅離散の回路で、通常のデジタル回路である。

領域1は、CMOSよりもバイポーラ・トランジスタや化合物半導体が得意とする領域である。設計ルールが数十nm世代のCMOS技術は、これら4種類のすべての領域を用いて性能を出すことができるだろう。

TDCは大部分がデジタル回路で構成でき、CMOS技術の進展と一緒に性能を高められる。微細CMOS LSIに適したアナログ回路の方式として今後、より広い範囲での応用が期待できる。 

Temperature Sensor for Microprocessor Thermal Monitoring," *2009 IEEE International Solid-State Circuits Conference*, pp.68-69, Feb. 2009.

- 4) Rivoir, J., "Fully-Digital Time-to-Digital Converter for ATE with Autonomous Calibration," *IEEE International Test Conference*, Oct. 2006.
- 5) Hashimoto, T., Yamazaki, H., Muramatsu, A., Sato, T., Inoue, A., "Time-to-Digital Converter with Vernier Delay Mismatch Compensation for High Resolution On-Die Clock Jitter Measurement," *VLSI Circuit Symposium*, Jun. 2008.
- 6) Park, M., Perrot, M., "0.13 μ m CMOS 73dB SNDR 87mW 20MHz BW CT $\Delta\Sigma$ ADC with VCO-Based Integrator and Quantizer," *2009 IEEE International Solid-State Circuits Conference*, pp.170-171, Feb. 2009.
- 7) Dhanasekaran, V. et al., "A 20MHz BW 68dB DR CT $\Delta\Sigma$ ADC Based on a Multi-Bit Time-Domain Quantizer and Feedback Element," 同上, pp.174-175, Feb. 2009.
- 8) Straayer, M., Perrott, M., "An Efficient High-Resolution 11-Bit Noise-Shaping Multipath Gated Ring Oscillator TDC," *VLSI Circuit Symposium*, Jun. 2008.

参考文献

- 1) Pateela, B. J. et al., "High-Frequency Digital PWM Controller IC for DC-DC Converters," *IEEE Transactions on Power Electronics*, vol.18, no.1, pp.438-446, Jan. 2003.
- 2) Moon, B. J. et al., "A Full-Digital Multi-Channel CMOS Capacitive Sensor," *IEEE Asian Solid-State Circuits Conference (ASSCC)*, pp.247-250, 2007.
- 3) Woo, K. et al., "Dual-PLL-Based CMOS All-Digital

小林 春夫 こばやし・はるお

群馬大学大学院 工学研究科 電気電子工学専攻 教授

1982年、東京大学大学院 修士課程修了。同年、横河電機製作所入社。1989年、米University of California, Los Angeles校 (UCLA) 電気工学科修士課程修了。1997年、群馬大学 助教授。2002年、教授。A-D変換器、電子計測技術、ミックスド・シグナル集積回路設計、信号処理アルゴリズムなどを研究。産学連携にも力を入れる。群馬大学アナログ集積回路研究会を主宰。

TDCでは不可避のメタスタビリティの問題

TDC内のフリップフロップのデータDとクロックCLK間のタイミングは、通常の同期デジタル回路設計の場合と異なり、常にセットアップ時間とホールド時間が確保されているとは限らない。フリップフロップのクロックの立ち上がりとほぼ同時にデータが変化すると、いわゆるメタスタビリティ (metastability) 現象を引き起こし、デジタル出力の大きな誤差が生じる可能性がある。

メタスタビリティとはフリップフロップの出力Qの値が論理レベル「0」「1」のどちらの値も取らず、一定の間その中間の値を取り続けることである。通常のA-D変換器のコンパレータでも、この現象が生じる。

TDCやA-D変換器のように、どのよ

うなレベルの入力信号がどのタイミングで来るのか分からない状況下では、メタスタビリティは必ず生じてしまう。対策をしてもこの発生頻度はゼロにできず、わずかな確率で残る。

電子計測器用A-D変換器では、このメタスタビリティによるビット・エラーをできるだけ小さくしなければならないという要求がある。例えば、オシロスコープでメタスタビリティの発生確率が高いと、波形表示の品質が劣化する。

製造プロセスの微細化によるトランジスタの高速化はメタスタビリティの発生頻度が減少する方向に働くが、TDC内のフリップフロップ回路は、入出力はデジタルだが内部回路はラッチト・コンパレータであり、アナログ回路のセンス

が要求される。

このメタスタビリティの問題を、回路だけでなく、冗長性を持たせてシステム・レベルで解決する方法もA-D変換器で研究されている。しかし、やはり影響を完全にゼロにすることはできない。

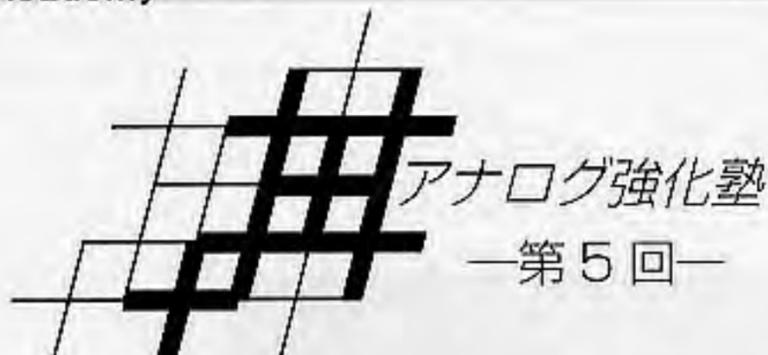
筆者は電子計測の研究所で仕事をしていたことがあるが、そこでベテラン研究者が、オシロスコープのトリガ回路で発生するメタスタビリティ問題を解決しようとしていた。その結論は、「発生確率を小さくすることはできるが、完全にゼロにできる回路システムは実現できない」ということであった。現在も未解決という状況は変わっていない。TDCでもこのメタスタビリティの問題は避けられないということを念頭に置くべきである。

NE ACADEMY

アナログ強化塾 第5回
完全デジタルPLL回路
「ADPLL」を学ぶ
100

計測実践講座 第3回
高周波電力測定の信頼性を
十分に確保できていますか
108

組み込み寺子屋 第6回●プログラミング工程で使うツール
品質を考慮してコードを作成し
実行可能な形式に変換
116



完全デジタルPLL回路 「ADPLL」を学ぶ

無線通信回路の周波数シンセサイザや、マイクロプロセッサの高速クロック生成回路において、必須の回路がPLLである。通常はアナログ回路で実現する。このPLLを、すべてデジタル回路で構成するという設計コンセプトが「ADPLL」だ。実際にADPLLを利用した回路の研究開発を進めている群馬大学の小林氏らが、ADPLLの意義や、構成について解説する。 (本誌)

小林 春夫
群馬大学大学院 工学研究科

壇 徹
三洋半導体

田邊 朋之
群馬大学大学院 工学研究科

最近、回路設計においてADPLL (all digital phase-locked loop) というキーワードを聞くことが多くなってきた。ADPLLは、その名の通り、すべてをデジタル回路で構成したPLLである。特に、微細な設計ルールを用いて製造するCMOS製システムLSIに適した技術と言える。

ADPLLは、元米Texas Instruments Inc. (TI社) のBogdan Staszewski博士によって提案された位相同期回路方式である(図1)¹⁾。無線通信回路の

周波数シンセサイザにおけるキー・テクノロジーであることなどから、各国の大学や企業で活発に研究が進んでいる。これまでも「デジタルPLL」と呼ばれるものがあったが、実際にはかなりアナログ回路が残っていた(図2)。

ADPLLの研究開発には、PLL回路技術に加えてデジタル信号を処理する知識が不可欠である。また、ADPLLの設計思想は、システムLSI内部のほかのアナログRF回路の設計にも示唆を与えるものである。

PLL回路を専門としている日本人の技術者や研究者の方に聞くと、「ADPLLは今後必要な技術だが、直近の仕事で手いっぱい、なかなか着手できない」という声が多い。このため、ADPLLへの理解が不十分で、自社で取り組む余裕がないことから設計会社に開発を委託する、といった例が多いという。

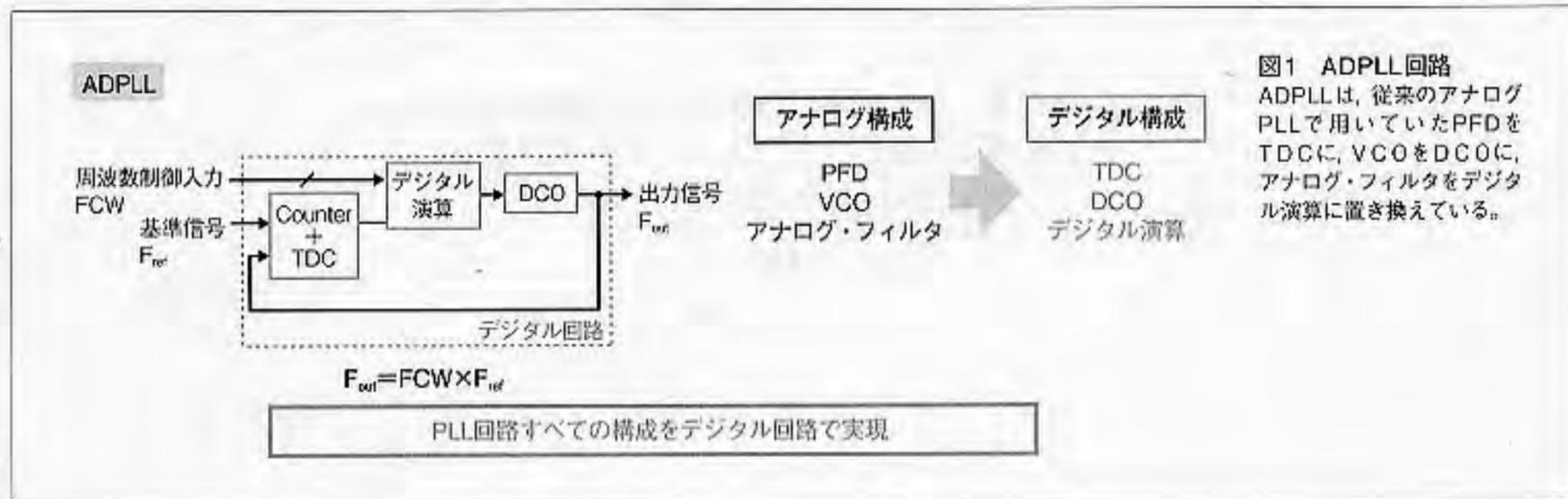
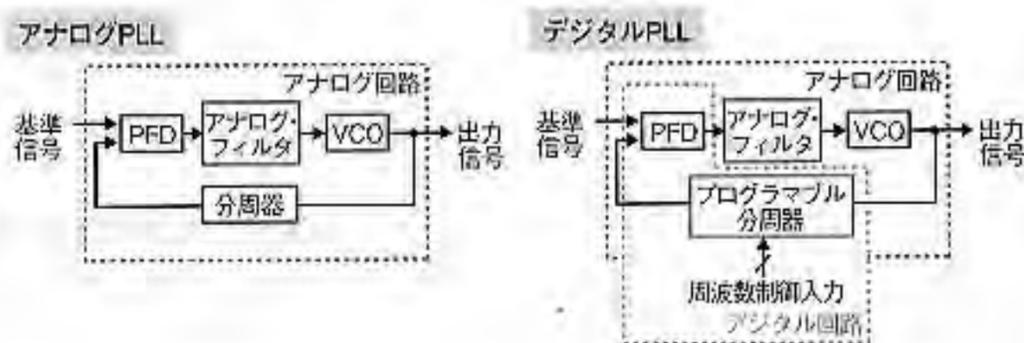


図1 ADPLL回路
ADPLLは、従来のアナログPLLで用いていたPFDをTDCに、VCOをDCOに、アナログ・フィルタをデジタル演算に置き換えている。

図2 従来のPLL回路

これまでアナログ制御のPLLや、一部(プログラマブル分周器など)だけデジタル制御にしたデジタルPLLなどがあった。



我々は2007年ごろから群馬大学と三洋半導体の共同研究としてADPLLの研究開発に取り組んでおり、非常に将来性のある興味深い技術であると実感している。

ADPLLは無線通信の発振回路のみならず、システムLSI内部のデジタル・クロック生成回路などへの応用が期待できる。本稿では、ADPLLについて分かりやすく解説したい。

無線通信回路や高周波クロック生成に

まず、一般的なPLL回路の役割を説明する。PLL回路とは、入力された交流信号に対し周波数が等しくかつ位相が同期した信号を、フィードバック制御により別の発振回路(従来のPLL回路ではVCO[†]、ADPLLではDCO[‡])から出力するものである。フィードバック経路に分周回路を配置すれば、周波数通信も実現できる。

PLLの特徴は、広い周波数範囲にわたって精度の高い信号を発振できることである。近年の通信機器においては、広い周波数範囲での動作が必要になっている。ところが水晶発振器の場合、比較的高い周波数など特定の領域では高い精度(温度依存性など)を実現するが、広範囲な周波数には対応できない。PLL回路は、こうした場合の周波数シンセサイザで利用される。

このほか、システムLSI内部において、デジタル回路を動作させるための高周波クロック信号発生にPLLは利用されている。こうした例では、PLLにおいて比較的low周波の入力クロック信号を周波数通信し、高周波クロック信号を生成する。

さらにPLL回路は、FM復調器やクロック・データリカバリなどにも利用されている。

オールデジタルPLL回路

ADPLLは、低電圧動作の進むCMOSシステムLSIでの利用に適したPLL回路方式である。具体的には、最小加工寸法が130nm以降のCMOSプロセスで、1.5V程度以下の電源電圧になると、従来のアナログPLLより高い性能を発揮することを期待できる。

ADPLLのメリットは、以下のようなものだ。

- ▷ 微細な設計ルールを利用するデジタルCMOS回路での、低電源電圧動作に向く
- ▷ CMOSプロセスの微細化が進むほど、性能向上を期待できる(従来のアナログPLLでは、微細化しても必ずしも高性能化するわけではない)
- ▷ チップ寸法が小さく済む
- ▷ 初回での完全動作が期待できる
- ▷ プロセス開発と並行して回路設計が行える
- ▷ プロセス・ポータビリティおよびプロセス・スケラビリティが確保できる

これらのADPLLのメリットは、下記の特徴からもたらされている。

- ▷ デジタル回路で構成するだけでなく、回路設計や検証、そしてテストも、デジタル回路と同様の手法を用いることができる
- ▷ アナログ・フィルタ(抵抗やキャパシタを多用)をデジタル・フィルタに置き換えられるので、チップ面積を縮小できる
- ▷ チャージ・ポンプ回路が不要。このため、低い電源電圧での動作が可能となる。また、チャージ・ポンプのスイッチ動作がなくなるので、位相雑音を低減できる
- ▷ 発振出力の位相雑音の要因を、DCO周波数分

[†]VCO (voltage controlled oscillator) = 電圧制御発振器。

[‡]DCO (digitally controlled oscillator) = デジタル制御の発振器。

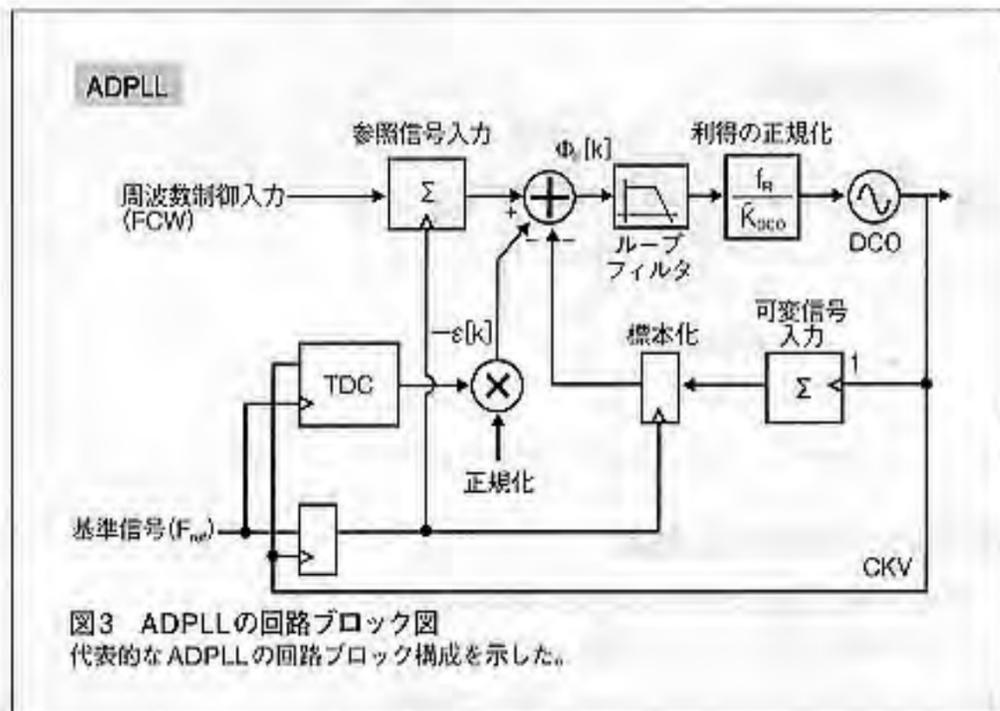


図3 ADPLLの回路ブロック図
代表的なADPLLの回路ブロック構成を示した。

解能, DCO位相雑音, TDC (time to digital converter)時間分解能の三つに特定できる

- ▷デジタル回路のためプログラム制御が可能になる。高速整定と位相雑音のトレードオフの問題を解決できる
- ▷デジタル自己校正により、製造プロセスや電源電圧、温度変動のループ伝達関数への影響を自動的にキャンセルできる

ADPLLを提唱したStaszewski博士がその著作で何回も強調しているが、ADPLLは次のような考えに基づいて設計されている。

「ディープ・サブミクロンのCMOS製造プロセスにおいて、デジタル信号の時間分解能はアナログ信号の電圧分解能よりも優れている」。

デジタルCMOS回路は、スピードや消費電力の

観点から極めて優れており、これがCMOSプロセスがLSIにおいて主流になった理由である。上記の考えに基づくADPLLは、まさに微細CMOSの良さを最大限に利用した方式と言えよう。

ADPLL回路の基本構成

ADPLL回路は、DCO、カウンタ回路とTDC回路、および周辺デジタル回路で構成する(図3)。DCOは、従来のVCO回路を置き換えるものだ。カウンタ回路およびTDC回路は、従来のPLL回路における位相比較回路とチャージ・ポンプ回路に相当する。周辺デジタル回路によって従来のアナログ・フィルタをデジタル・フィルタに置き換えている。

○DCO (デジタル制御発振器)回路

ADPLLでは、内部の発振回路にVCOではなくDCO回路が用いられている。DCOは、入力がデジタル値で、出力はその値に応じた発振周波数の信号になる。DCOの内部はアナログ回路だが、入出力信号はデジタル信号である。これは、基本的なデジタル回路であるフリップフロップ回路と類似している。

DCO回路は例えば、MOSの差動対でゲートとドレインをたすき掛けして構成した負性抵抗と、インダクタLおよび容量Cから構成されるLC発振回路として実現できる(図4)。ここで容量Cは、MOSバラクタ配列として実現する。DCOはデジタル入力に応じて発振周波数を変化させるために、MOSバラクタの容量値を変化させる必要があるが、MOSバラクタのバイアス電圧をアナログ的に変化

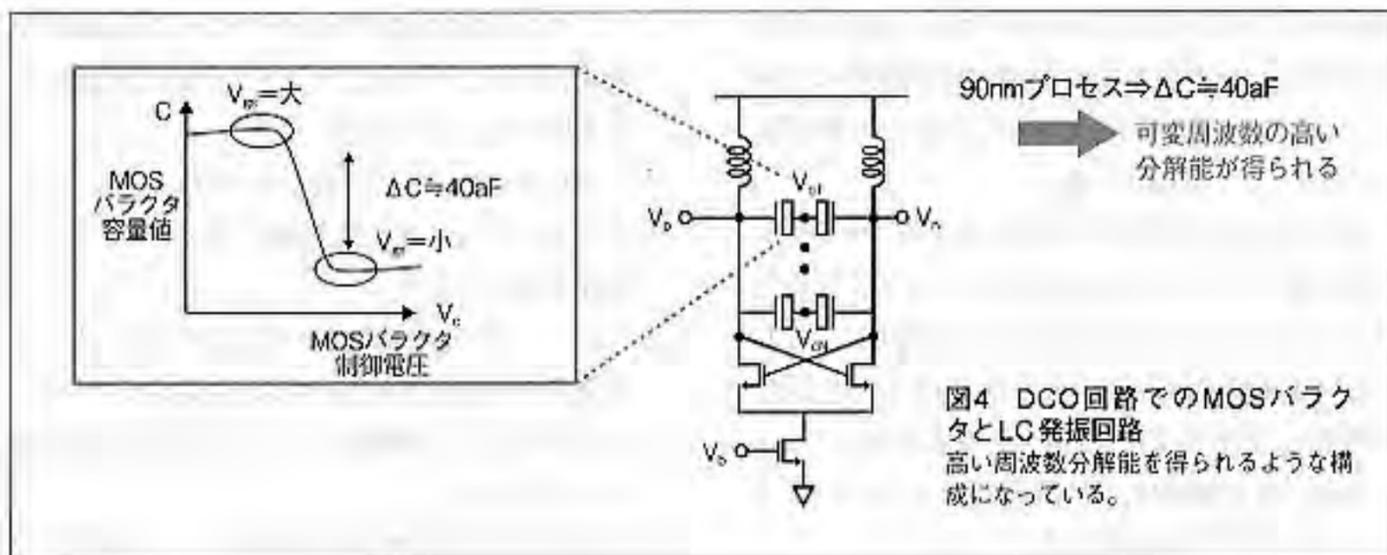
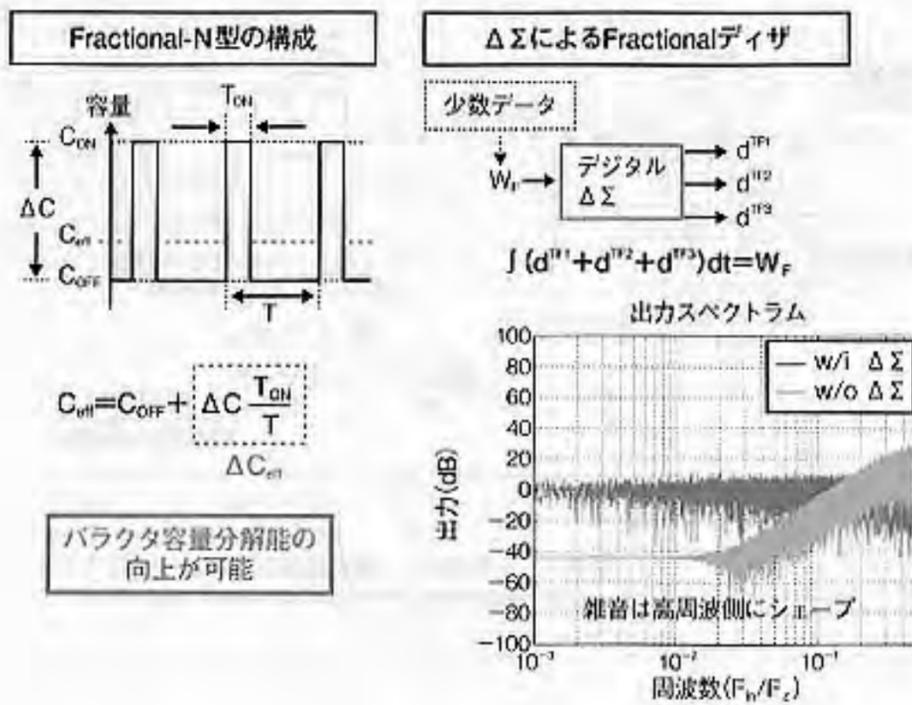


図4 DCO回路でのMOSバラクタとLC発振回路
高い周波数分解能を得られるような構成になっている。

図5 デルタシグマ変調
ディザによる周波数分
解能の向上
バラクタ容量の分解能を向
上できる。



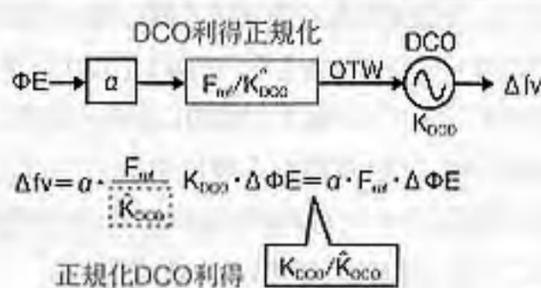
させるのではなく、デジタル値として変化させる。すなわちデジタル入力 d のときはバイアス電圧を大きくし(バラクタ容量値 C)、1のときはバイアス電圧を小さくし(バラクタ容量値 $C + \Delta C$)、バラクタ値を2値として扱う。アナログ・バイアス電圧を与える場合は、その揺らぎが位相雑音になってしまうが、DCO方式ではバイアス電圧の揺らぎが位相雑音に与える影響は少ない。バラクタ配列全体では、デジタル入力にほぼ比例したバラクタの個数に対して高いバイアス電圧を与え、残りのものは低いバイアス電圧を与えることになる。

最小バラクタ容量変化値が、要求される周波数

分解能より大きい場合は、 $\Delta\Sigma$ 変調によるディザリングを用いる(図5)。例えば、バラクタ1個による容量値変化が C と $C + \Delta C$ であるとする、 $\Delta\Sigma$ 変調によって、時間的に C を選択するのを70%、 $C + \Delta C$ を選択するのを30%とする。これにより、等価的に $C + 0.3\Delta C$ を作り出す。これは、いわゆる「Fractional-N型PLL」を実現していることになる。

プロセス微細化に伴いバラクタのマッチングは良くなり、最小容量値は小さくなる。このほか、バラクタ値のミスマッチに起因する、デジタル入力とバラクタ配列全体の容量値間の非線形性の影響を軽減するために、時間ごとに選択するバラクタを変

位相エラー ΦE から出力周波数 f_v までのブロックモデル



DCO利得の正規化

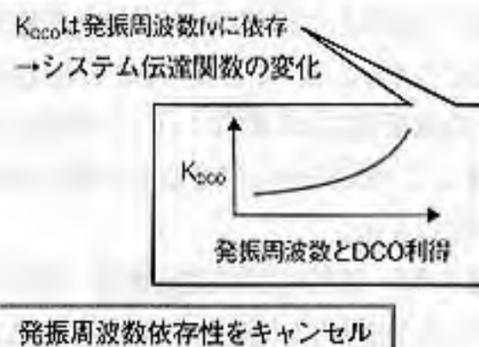
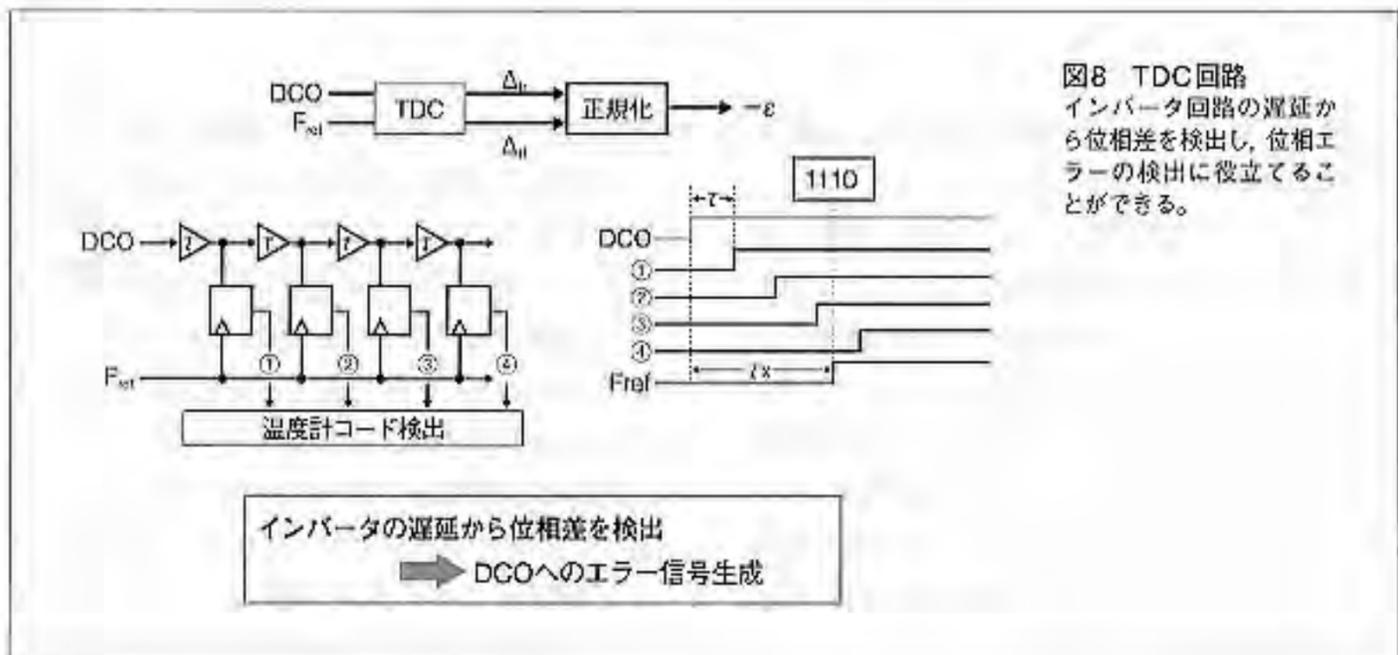
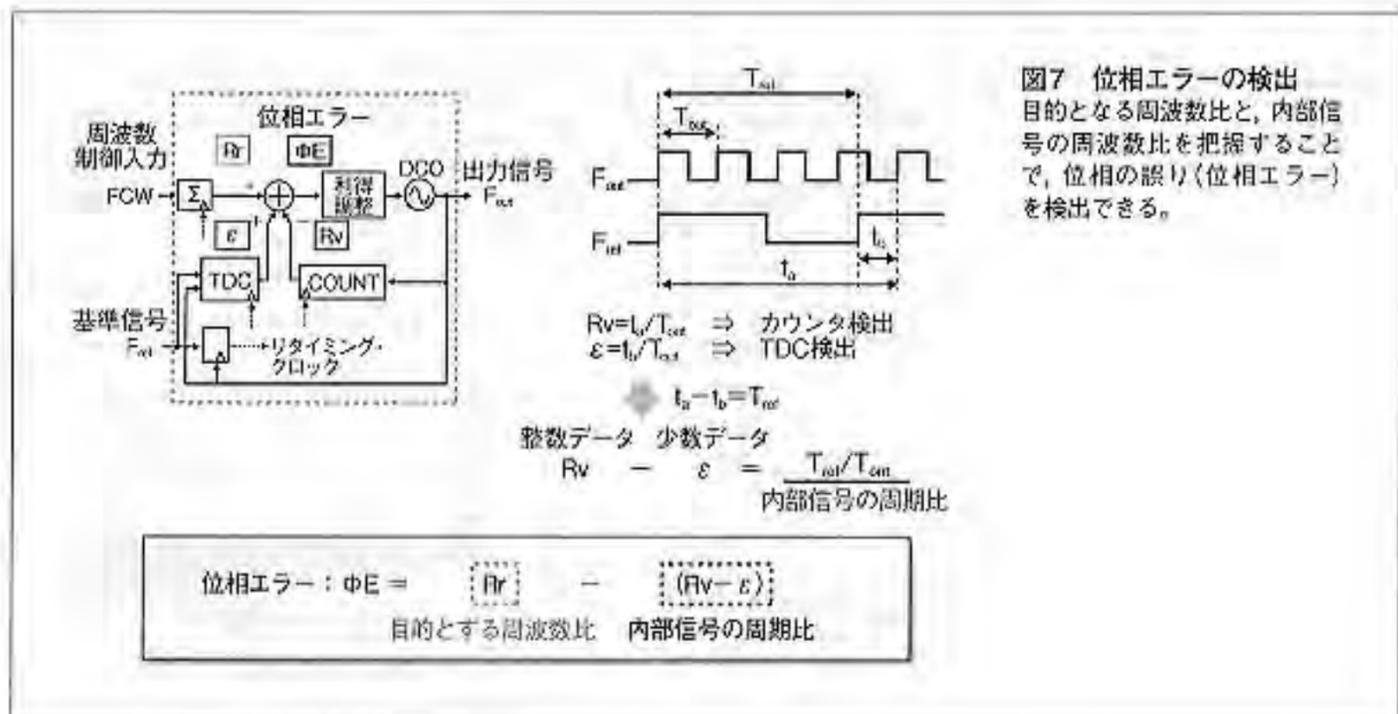


図6 DCO利得の正規化

DCOの利得を見積もり、逆関数としてシステムに加えることで、発振周波数への依存性をキャンセルできる。



化させる「ダイナミック・マッチング」という手法も利用できる。これは、 $\Delta\Sigma$ 型のD-A変調器で利用されている技術である。例えば、あるPLL回路研究者は、「ADPLLは規模の大きな $\Delta\Sigma$ 型のD-A変調器ととらえることができる。両者とも、CMOSプロセスの微細化による動作クロック周波数の向上に追従して、性能を向上できる信号発生回路である」と評している。

後述するが、DCOの周波数分解能が有限であることや、LC発振回路の位相雑音があることによって、ADPLLループ伝達関数の出力の位相雑音に影響が出ることもある。ここでDCOの利得を、「DCOのデジタル入力値を1ビット変化させたとき

の出力周波数変化」として定義する。このDCO利得は、温度や電圧、時間の変動だけでなく、発振周波数によっても異なる。このため、DCOの利得はADPLLの伝達関数を設定する際に知っておかなければならない値と言える。ADPLLはデジタル自己校正によってこの値を自動的に計測・計算し、逆数を掛けてDCO利得を正規化する。これにより、DCO内部がアナログ回路特有のばらつきや変動があることを、自動的に補正している(図6)。

○TDC回路による位相差検出

ADPLLでは、出力信号と基準入力信号の周波数/位相比較回路として、カウンタ回路とTDC回

路を用いる(図7, 図8)²⁻⁴⁾。まずカウンタ回路において、出力周波数が基準入力周波数の約何倍の整数値になるかを計測する。そしてTDCで、少数部分を計測する。両者の値を合わせると、出力周波数(位相)と基準入力周波数(位相)の比(差)を正確に知ることができる。ADPLLは、新世代のアナログ回路として注目の集まるTDCを位相差検出のために用いていることから、ある意味では非常に先進的であり、時間分解能回路の領域を切り開いたとも言えよう。

TDCは、精度の高いトラッキングを実現するのに必要不可欠で、周波数通倍(integer型PLL)でも必要である。TDCの時間分解能や線形性は、周波数/位相比較器の精度を決定し、出力信号の位相雑音に影響を与える。このため、より細かい時間分解能を持つTDCの、回路トポロジーが提案されている。

また、TDCを構成するインバータ遅延線の遅延量は温度や電圧変動の影響を受けるが、次のような自己校正を行うことでその影響をキャンセルしている。DCO出力の発振周波数(周期)は既知であるので、TDC回路でその周期をインバータ遅延線の遅延量との相対値として測定する。これにより、逆にインバータ遅延線の遅延値を計測し、その値を基にTDCでの時間計測値を補正するというものだ(図9)。

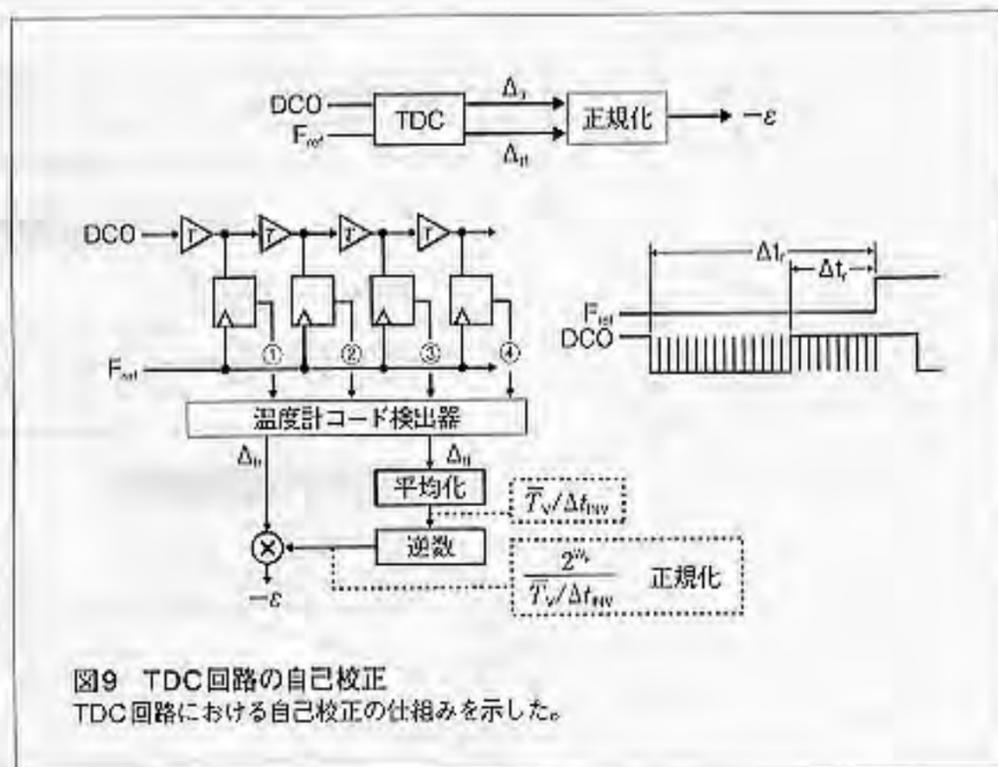


図9 TDC回路の自己校正
TDC回路における自己校正の仕組みを示した。

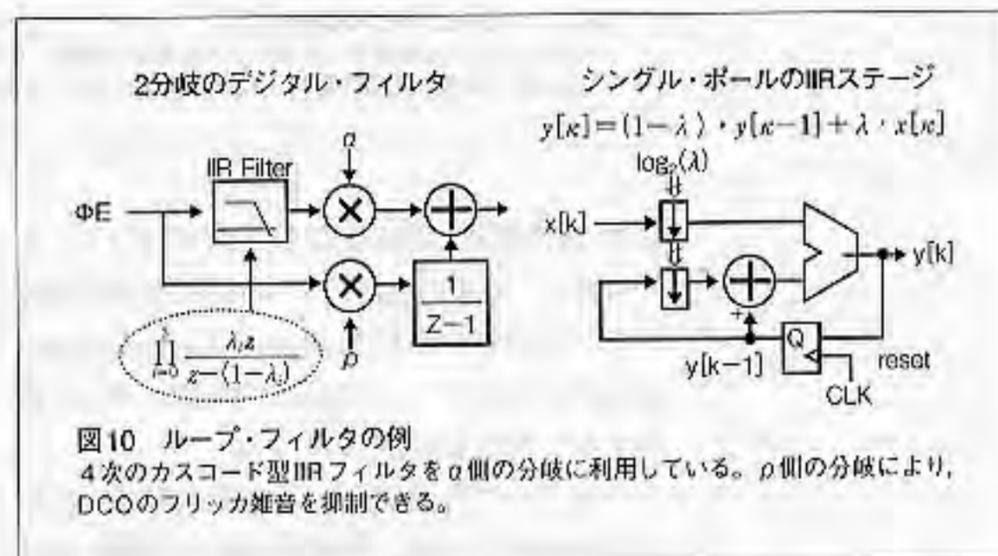


図10 ループフィルタの例
4次のカスコード型IIRフィルタをα側の分岐に利用している。ρ側の分岐により、DCOのフリッカ雑音を抑制できる。

○同期デジタル回路での信号処理

高い周波数の出力信号で低い周波数の基準入力信号をリタイミングすることで、システム全体を同期回路として信号処理する。しかしこのリタイミングの際、出力信号と基準入力信号は非同期であるので(フリップフロップのセットアップ時間とホールド時間を常に満たしているとは限らないので)、いわゆるメタスタビリティの問題が生じる⁵⁾。ADPLLでは回路やシステムを工夫することで、メタスタビリティの発生確率を低く抑えている。

○位相領域での演算

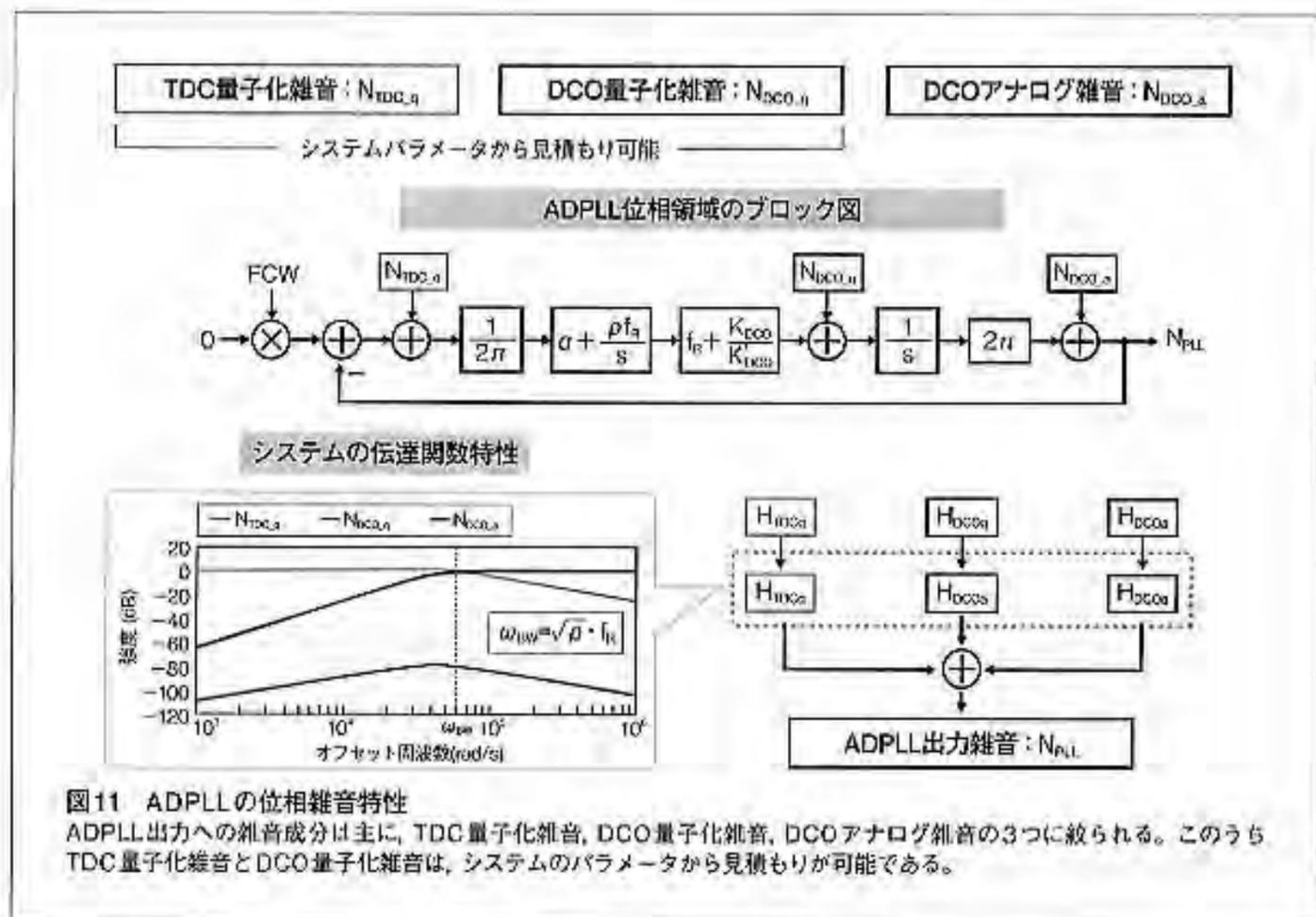
カウンタやTDCで計測した位相差を、設定周波数(FCW: frequency command word)を時間積分して位相情報に変換させたものと比較し、デジタ

ル・フィルタを通してDCOへ入力する。FCWを直接DCO入力させる「フィードフォワード方式」によって、応答特性を向上させる手法も提案されている。この場合、FCWによる設定周波数を変更するタイミングをジッタが少ないように、デジタル的に設定できる。

タイプI、タイプII、および高次のPLL回路は、このデジタル・フィルタ部分の設定により実現可能である(図10)。また、フィルタのパラメータを、動作状態によってダイナミックに変更することも可能だ(車の運転に例えてギア・シフトとよばれる)。

○時間/周波数両面からのモデリング・設計

ADPLLのデバイス・モデリングおよび設計の際



には、時間領域と周波数領域の両方のアプローチが必要だ。ADPLLはデジタル回路で実現できるので、VHDL (VHSIC hardware description language)シミュレーションのための時間モデルを構築すると、回路設計を行いやすい。

一方、ループ伝達関数に基づく応答特性や位相雑音の計算のために、周波数領域での解析・設計も有用である。TDC量子化誤差、DCO有限周波数時間分解能、DCOの位相雑音が、ADPLL出力信号への位相雑音への要因になる(逆に言えば位相雑音の要因は、これらにのみ限定できる)。

これら三つの出力信号位相雑音への影響は、ADPLLループ伝達関数の関数である。TDC有限時間分解能による位相雑音への影響は低周波領域であり、DCO有限周波数分解能による影響は高周波領域となる。つまり、時間、周波数分解能、伝達関数の設計で、出力位相雑音を計算できる。ADPLLは、プロセス微細化とともに分解能が向上するため、位相雑音特性が従来のアナログPLLよりも優れることが期待できる(図11)。

さらにADPLLでは、ある内部ノードにおけるデジタル値の変化と、出力信号の位相雑音に強い相

関があることが分かっている。このため、内部のデジタル値の変化を観測することで、位相雑音特性の製造出荷時のテストを行えることが指摘されている⁹⁾。この場合、高価な計測器を使用せずとも、位相雑音を推定できることになる(LSIテストの分野では一般にこのような手法は「alternative testing」と呼ぶ)。

各国の研究開発動向と今後の展開

ADPLL回路に関する国際学会の発表では、TI社に加えて台湾MediaTek, Inc., 米Intel Corp., 米IBM Corp, 伊仏合弁のSTMicroelectronics社から活発に報告されている。一方大学では、米University of California, San Diego校(UCSD), 米University of California, Los Angeles校(UCLA), イタリアUniversity of Pavia, 東京工業大学からの発表が目立つ。

ADPLLでは、位相変調や周波数変調がデジタル的に容易にプログラム可能であるため、Bluetooth用のポーラ方式送信機内で用いることがTI社から発表されている。また、位相雑音の低減が可能のため、ローカル信号発生器として用いるこ

制御ループの安定性と速応性のトレードオフを解決

フィードバック制御において、安定性と速応性のトレードオフの問題は基本的かつ重要な技術課題である。一方を良くしようとすれば、他方が劣化する。例えば、スイッチング電源回路においてリップルを小さく(安定性を良くする)しようとすれば、負荷変動に対する応答(速応性)は劣化する。従来は、アナログPLL回路においても位相雑音(安定性)と設定周波数の変化に対する応答時間(速応性)もトレードオフの関

係にある。

ADPLLは、デジタル技術により動的にパラメータ値を変更することで、そのトレードオフの問題を解決できる。設定周波数を変化させた過渡状態においては、制御ループ(デジタル・フィルタ)の時定数を小さくして高速応答を行い、動作が収束した際には位相雑音が小さくなるようにループ伝達関数を設定できる。UCLA 教授のAsad Abidi氏に、2007年6月に群馬大学で講演いただ

いた際、会場から「ADPLLよりも良い(better)アイデアはあるか」という質問が飛び出した。これに対してAbidi氏は、「ADPLLは位相雑音と高速応答のトレードオフを解決しているので、十分な(enough)アイデアである」と回答されていたのが印象に残っている。

なお、速応性と安定性のトレードオフの解消(過渡状態で時定数を変更する)については、デジタル制御電源分野でも提案されていることである。

ともできる。

今後はシステムLSI内部のデジタル回路クロック供給や、広帯域の変調ローカル信号発生器にも用いられるだろう。現在、システムLSI内部のデジタル回路へのクロック供給源としては、複数のPLL回路が用いられている。一方で、ADPLLを用いれば抵抗やキャパシタで構成する低域通過フィルタが不要のため、チップ面積が小さく済む。電源電圧が低下したり用いる製造プロセスを変更したりするときにも、設計変更が少ない優位性もある。

国内メーカーからは、ADPLL技術の研究開発が必ずしも精力的に行われてないという声も聞くが、

今後必要不可欠な技術になるのは間違いない。その際のADPLLおよびそれを用いた回路システムの設計には、従来の高周波回路設計者やPLL設計者に加え、信号処理研究者の協力が重要になるだろう。

参考文献

- 1) Staszewski, R., Balsara, P. *All-Digital Frequency Synthesizer a Deep-Submicron CMOS*. Wiley Interscience, 2006.
- 2) 小林春夫, 「アナログ技術の新潮流 時間分解能型回路とTDC (前編)」, 『日経エレクトロニクス』, 2009年4月6日号, no.1001, pp.88-92.
- 3) 小林春夫, 「アナログ技術の新潮流 時間分解能型回路とTDC (後編)」, 同上, 2009年4月20日号, no.1002, pp.102-107.

小林 春夫 こばやし・はるお

群馬大学大学院 工学研究科 電気電子工学専攻 教授

1982年、東京大学大学院 修士課程修了。同年、横河電機製作所入社。1989年、米University of California, Los Angeles校(UCLA) 電気工学科 修士課程修了。1997年、群馬大学 助教授。2002年、同教授。A-D変換器、電子計測、ミックスド・シグナル集積回路設計、信号処理などを研究。産学連携にも力を入れる。群馬大学アナログ集積回路研究会を主宰。工学博士(早稲田大学)。

壇 徹 たん・とほる

三洋半導体 カスタムLSI事業部 基礎回路技術部 アナログ回路技術課 課長

1983年、大阪大学 工学部 電子工学科卒業。同年、三洋電機入社。1987～1989年 東京工業大学 客員研究員。CMOSデバイス、高周波デバイス、高周波回路の研究開発に従事し、2008年7月から現職。2002～2006年、IEEE VLSI Technology Symposiumのプログラム委員会メンバー。

田邊 朋之 たなべ・ともゆき

群馬大学大学院 工学研究科

2007年、群馬大学 工学部 電気電子工学科卒業。2009年、群馬大学大学院 工学研究科 電気電子工学専攻 博士前期課程修了。ADPLL、RFサンプリング回路などを研究。現在、旭化成エレクトロニクス勤務。