

不易流行

アナログ集積回路での「基準信号」の重要性

群馬大学大学院 理工学府 電子情報部門

小林春夫

koba@gunma-u.ac.jp



Kobayashi
Laboratory



発表内容

- **起**: 基準信号の重要性の気付き
- **承**: 研究事例
 - 基準電圧・電流源研究
 - 時間デジタイザ回路研究
- **転**: 不易流行
- **結**: まとめ

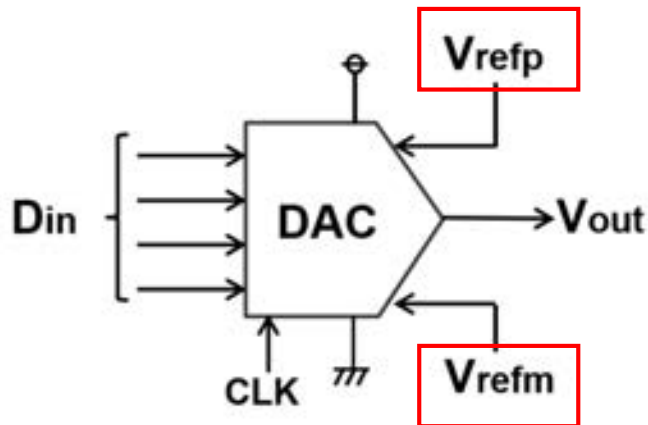
発表内容

- **起：** 基準信号の重要性の気付き
- 承： 研究事例
 - 基準電圧・電流源研究
 - 時間デジタイザ回路研究
- 転： 不易流行
- 結： まとめ

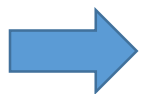
DA変換器とは

Digital-to-Analog Converter (DAC) :

- デジタル信号をアナログ信号に変換する回路

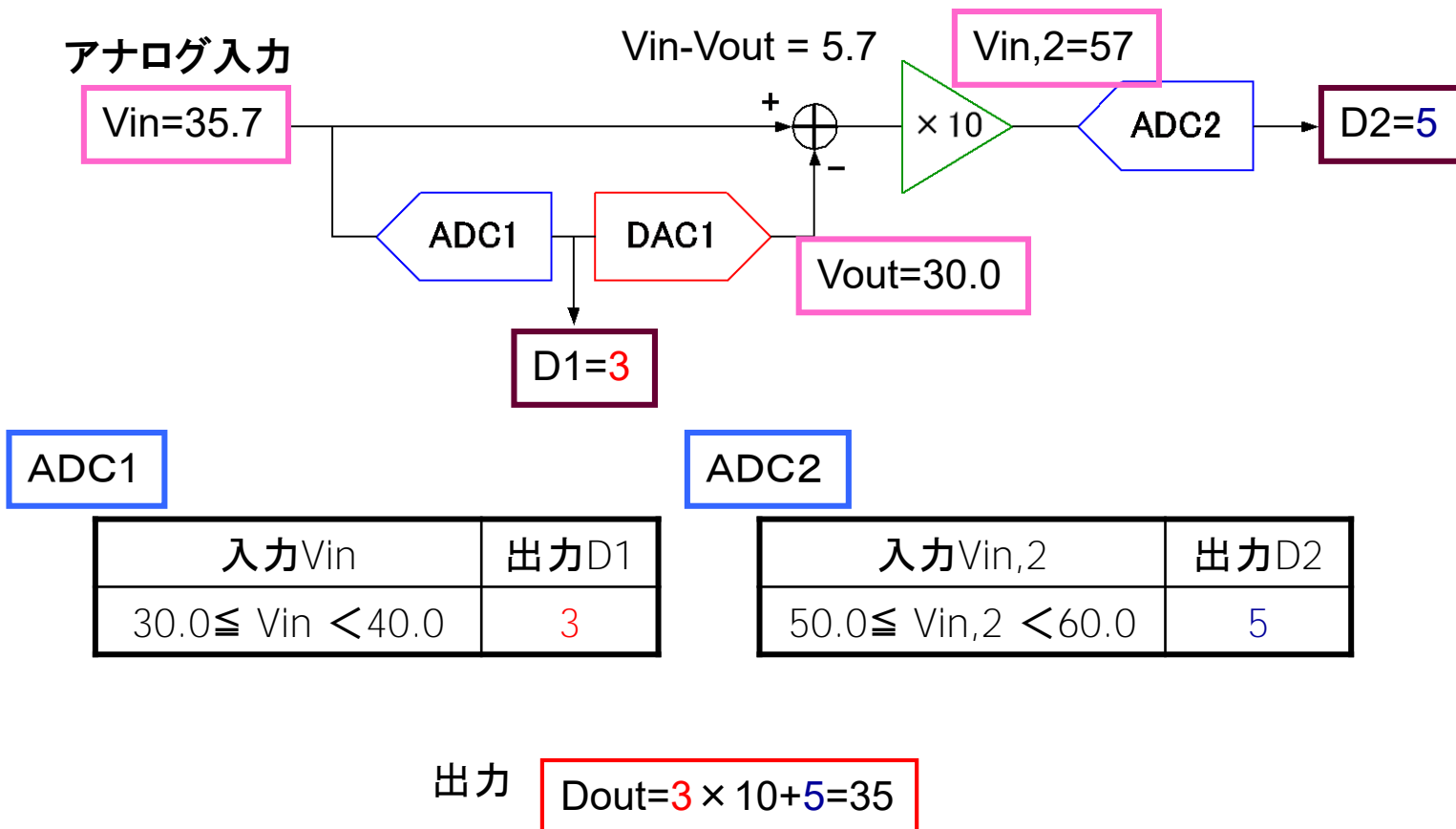


- **単位基準電圧** (または電流、電荷) の
入力デジタル値 (**整数値**) 倍を出力する回路

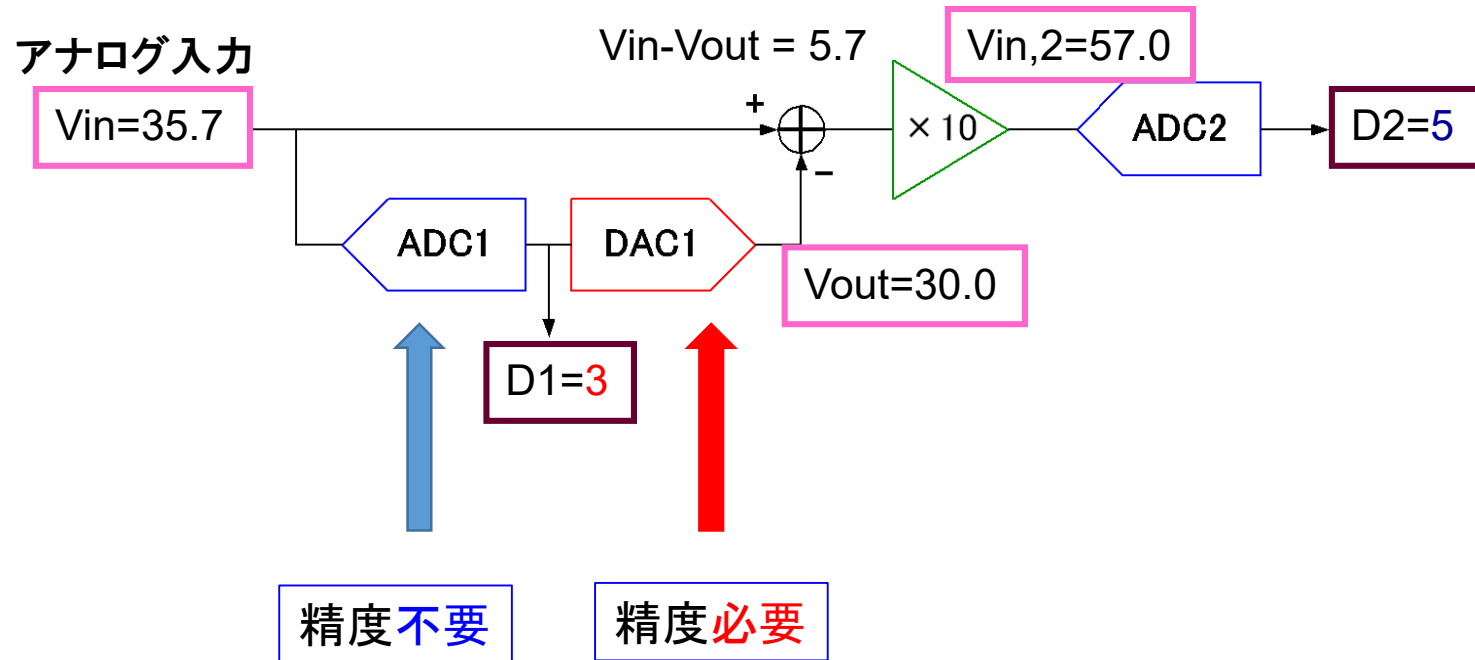


回路センスを感じる

パイプラインADCの構成と動作



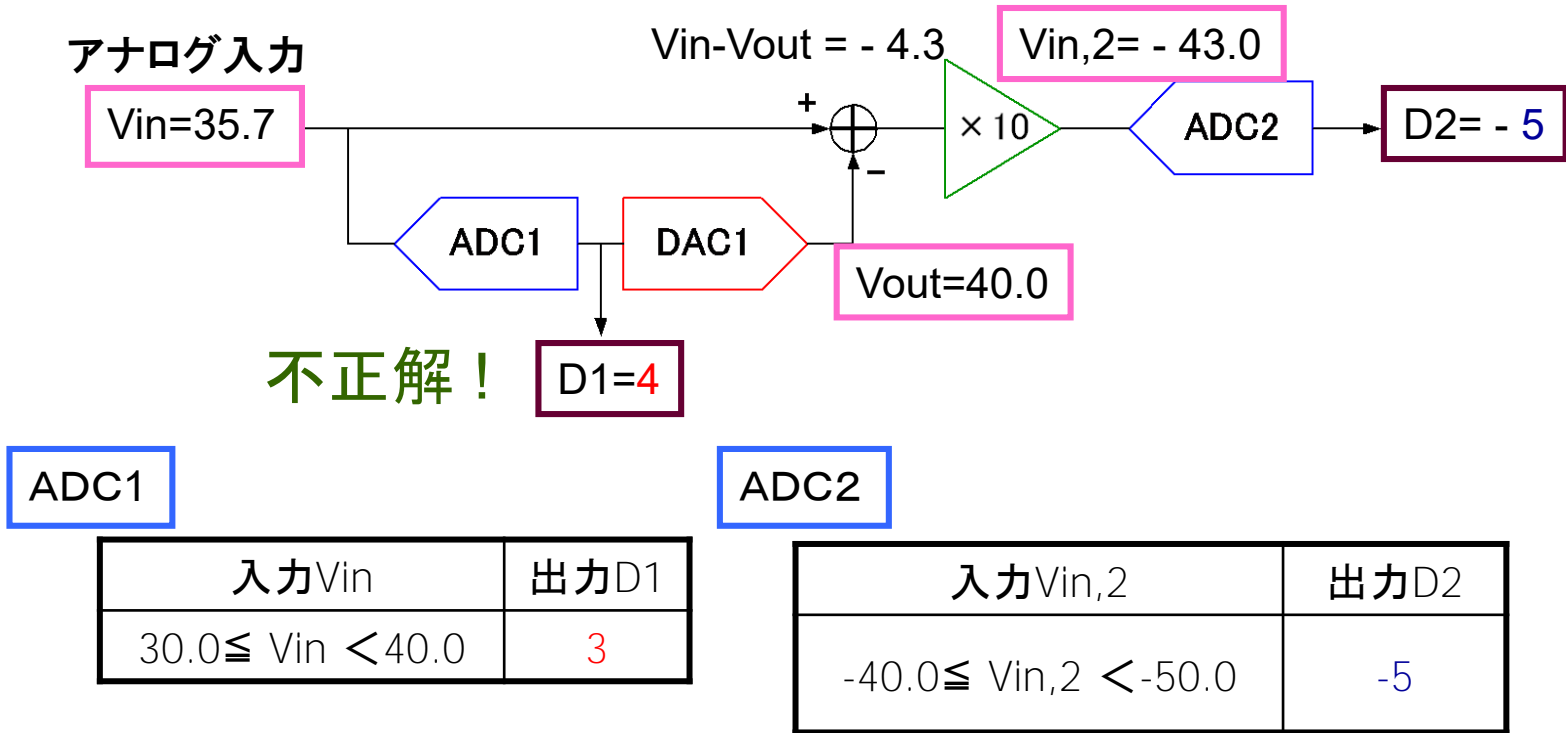
パイプラインADC の内部のADC/DAC



なぜ？

内部ADC1で精度不要

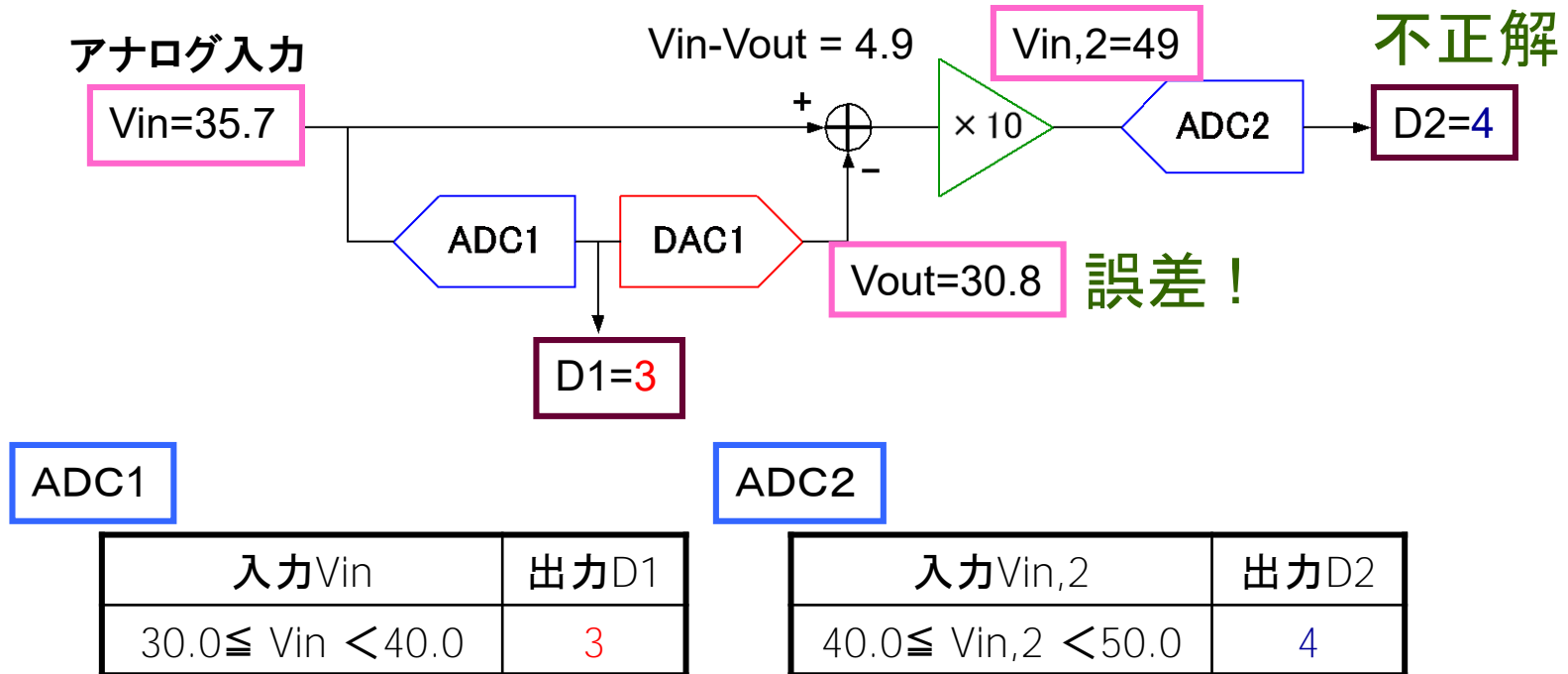
ADC2の入カレンジ冗長性で対応可能



出力 $D_{out} = 4 \times 10 - 5 = 35$

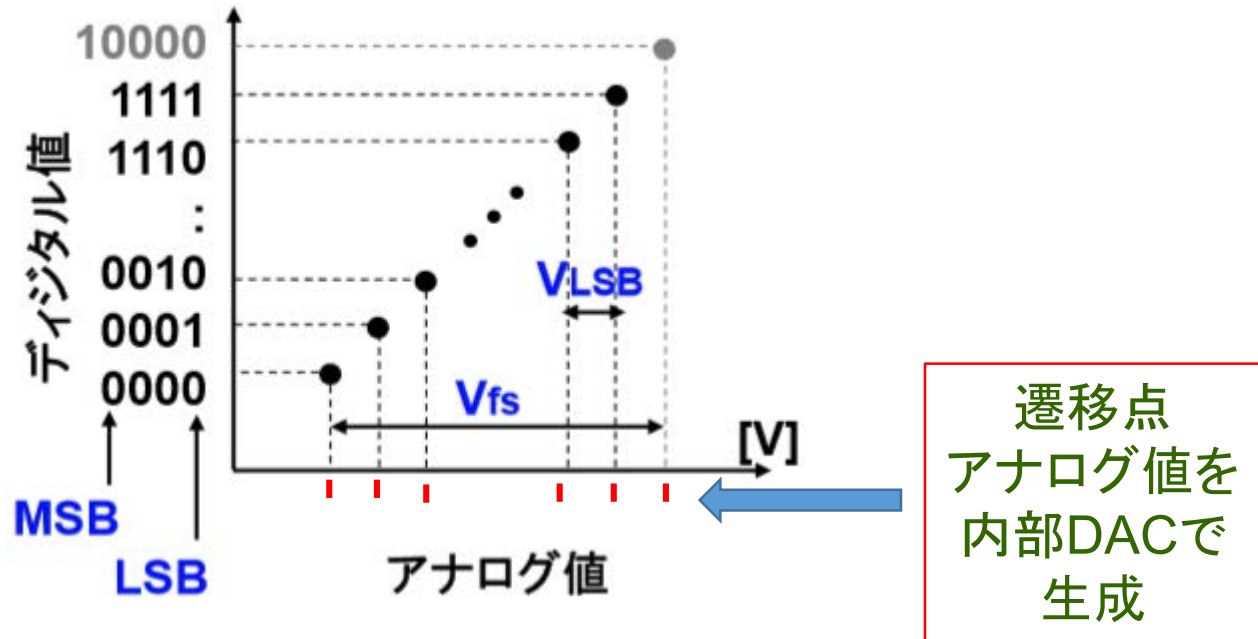
正解!

内部DAC1で精度必要



出力 $D_{out}=3 \times 10 + 4 = 34$ 不正解

ADCの線形性を考える



「ADC全体の線形性の基準は内部DACの線形性である」

(東京都市大名誉教授 堀田正生先生)

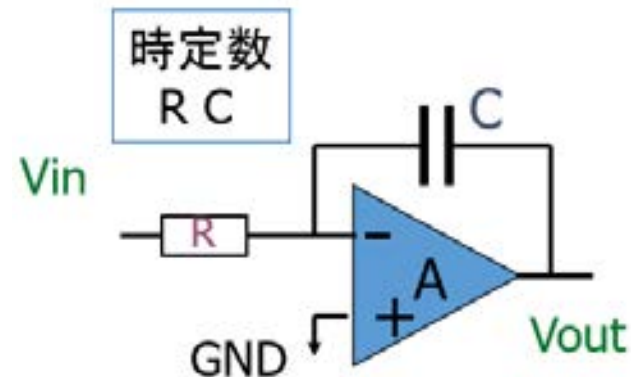
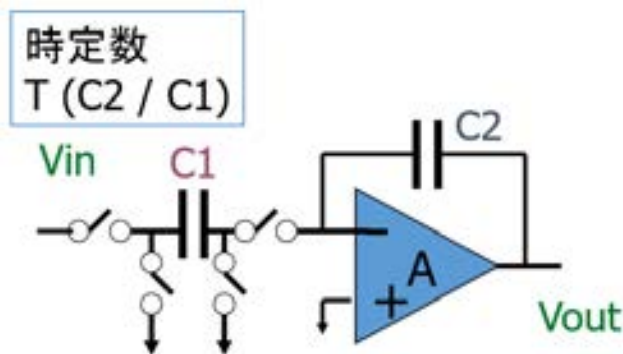
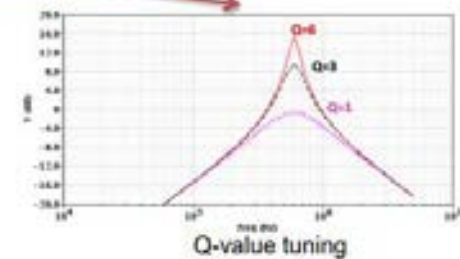
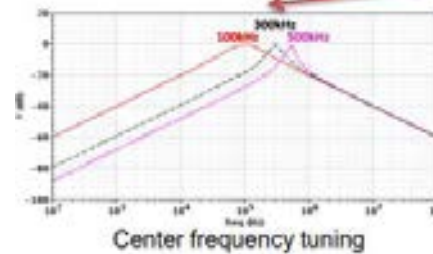
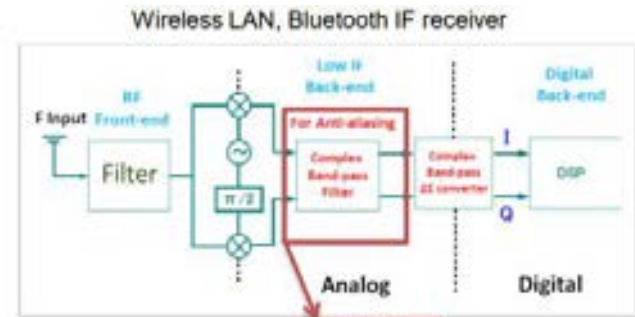
アナログフィルタ特性調整は基準周波数が必要

バンドパスフィルタ中心周波数の調整



基準周波数(時間)が必要

アナログフィルタ回路の
キーコンポーネント:
アナログ積分回路
時定数の調整必要



発表内容

- **起**： 基準信号の重要性の気付き
- **承**： 研究事例
 - 基準電圧・電流源研究
 - 時間デジタイザ回路研究
- **転**： 不易流行
- **結**： まとめ

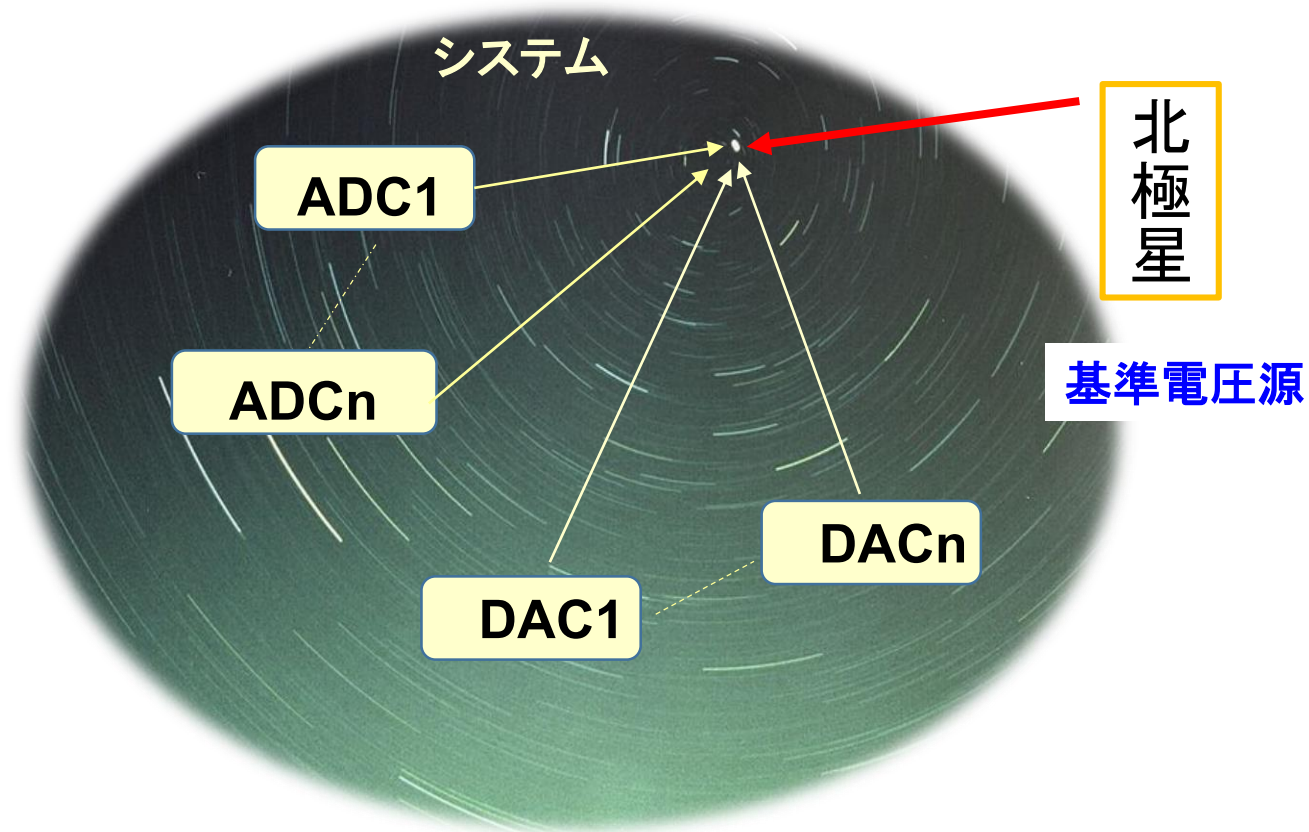
基準電圧源はシステムの北極星

システムの基準電圧源は、システム精度の基準となるもの。

システム内に複数の基準は設けない。

一つの基準にたいして、システム内の全てのアナログ部精度がトレースする様に設計。

基準電圧源は、システム精度における北極星



IC設計での温度特性の重要性

自動販売機メーカーの技術者

「**広い範囲の温度で電子回路の特性保証する必要あり。**
学会論文・発表で少しでも温度特性に言及していると
少しは信用する気になる。」

沖縄の炎天下

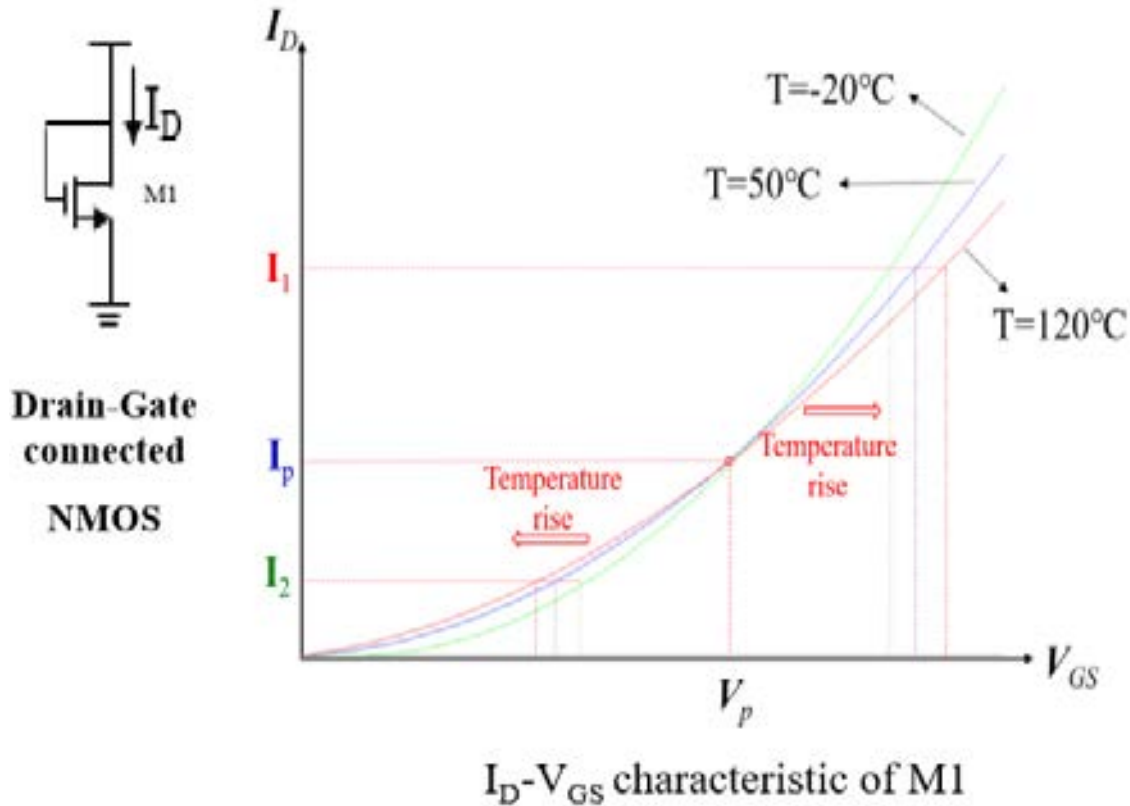


北海道の氷点下



- 「温度特性を調べてなければ信用できない」と指摘される
- **信頼性:** ICはジャンクション温度 10°C 上昇で寿命半分
- 車載用ICでも温度特性は重要

MOS 温度特性



温度が高くなる

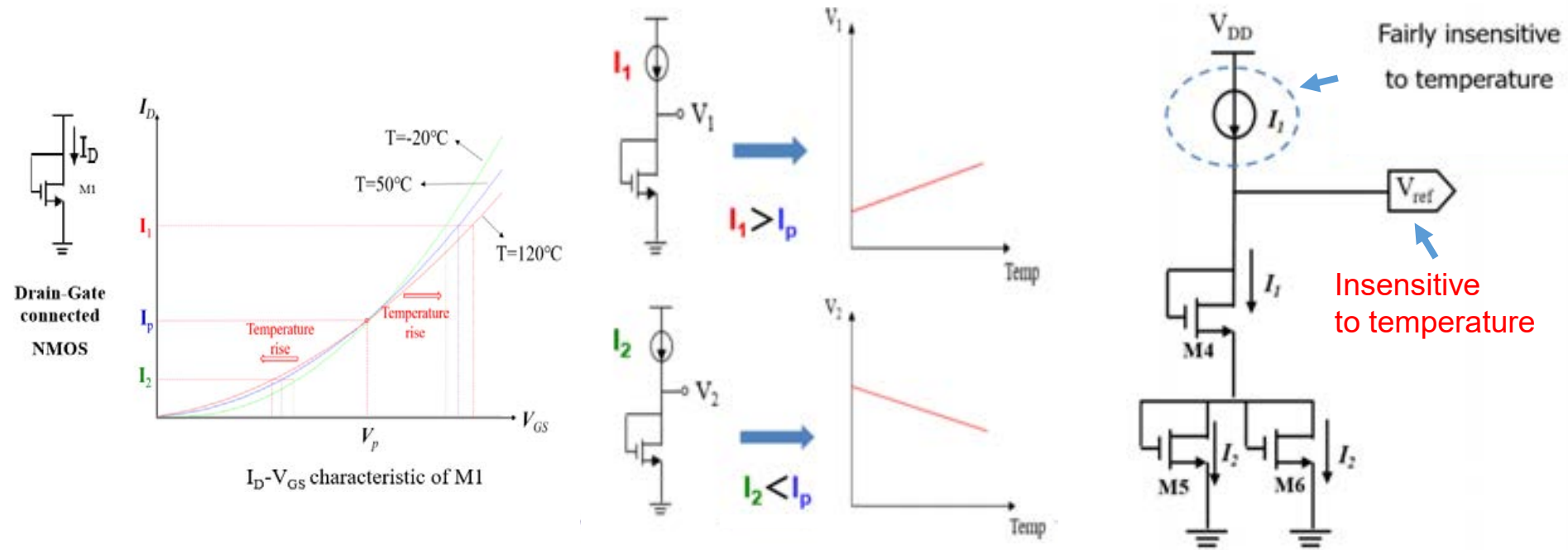


MOS は寝起きが悪くなる
若者の生活習慣 !?

夜： なかなか寝ない (なかなか**オフ**しない)

朝： なかなか起きない (なかなか**オン**しない)

温度不感 基準電圧源



2019年6月のVLSI Circuit Symp で特殊デバイス使用をした発表有



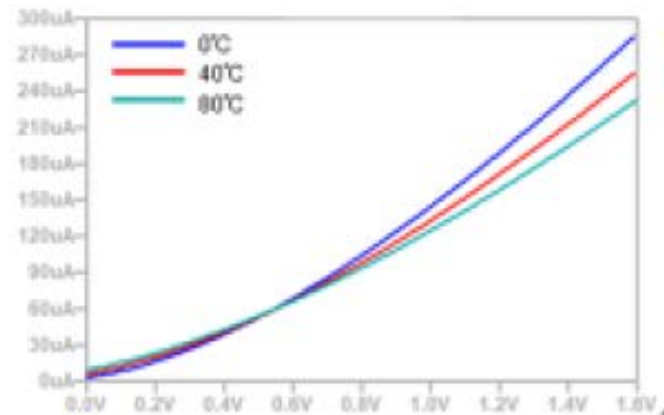
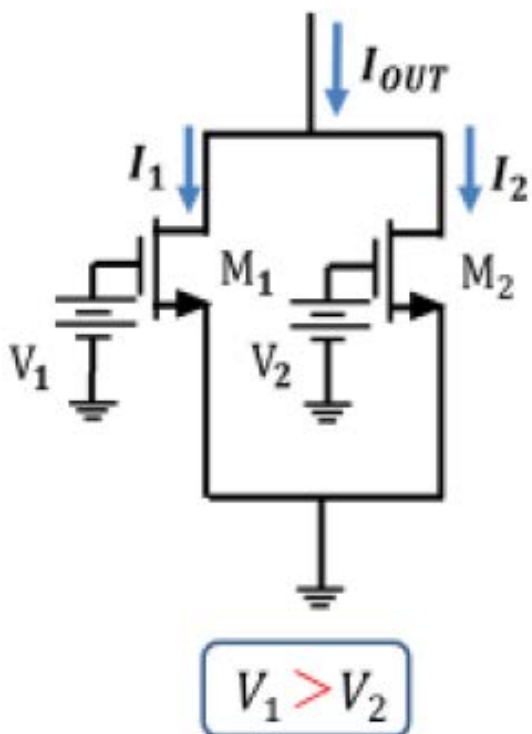
標準CMOS で 正と負の温度特性を実現できることを発見

[1] L. Sha, A. Kuwana, H. Kobayashi, "Reference Voltage Generation Circuit Insensitive to Temperature", Taiwan and Japan Conference on Circuits and Systems (TJCAS), Nikko, Japan (Aug. 2019)

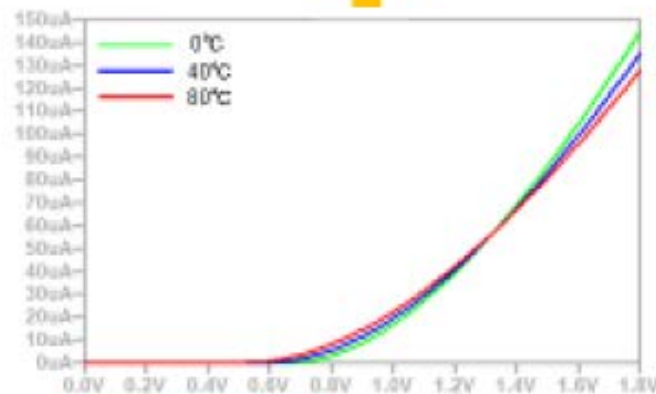
温度不感 基準電流源の基本アイデア

Concept of proposed circuit

Applied different bias voltages to the gates of the NMOSFETs



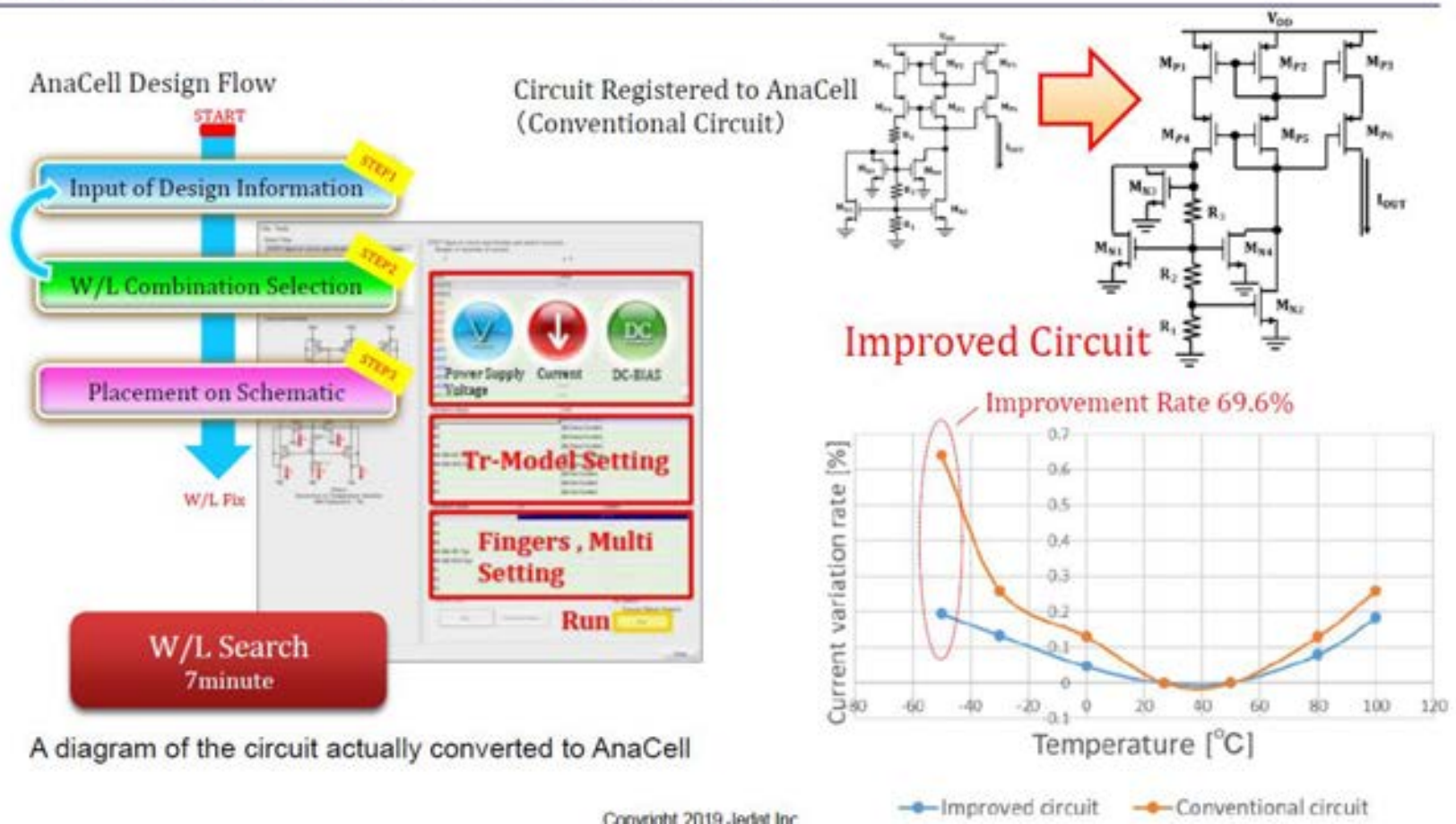
I_D - V_{GS} characteristic of M1



I_D - V_{GS} characteristic of M2

JEDAT社のAnaCell を用いた設計

Experiments in TPSco 65nm PDK

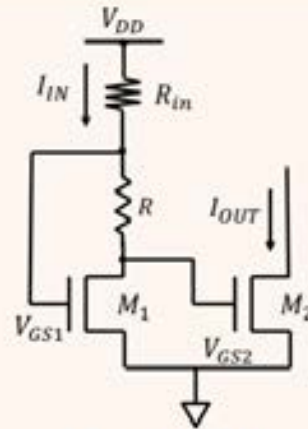


- JEDAT/群馬大共著論文 2019年6月 Design Automation Conference で発表
- 安定性解析、スタートアップ回路も日光での国際会議で共同発表

電源電圧不感 改良永田電流源

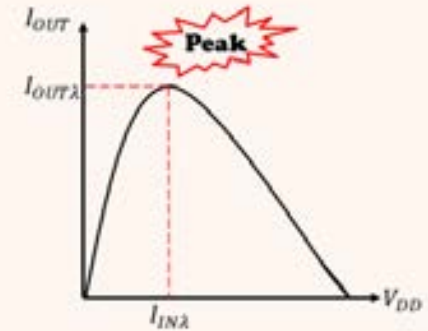
オリジナル 永田電流源

1960年代
日立製作所 永田穰氏
(パイポーラTr)



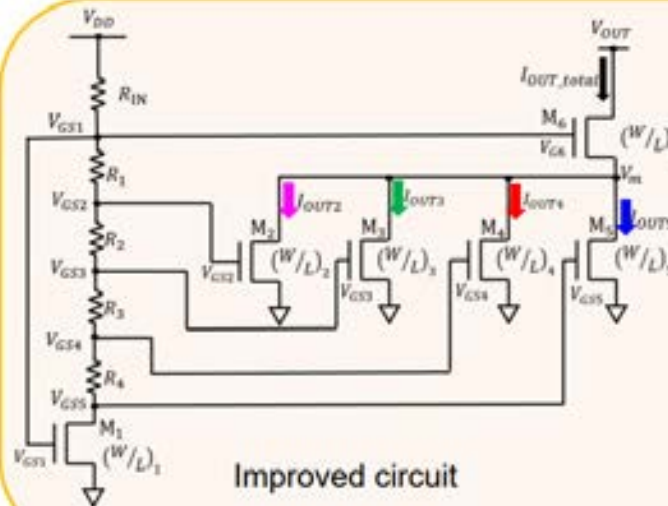
MOS Nagata
Current Mirror Circuit

ピーキング電流源

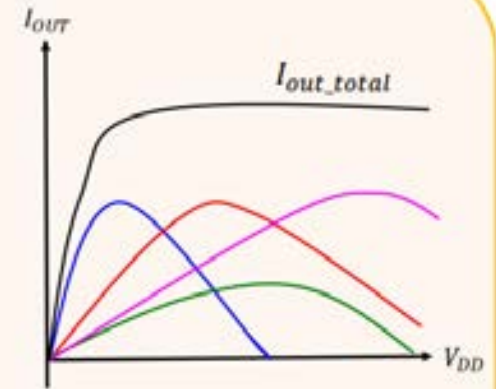


Peaking current
characteristics

改良 永田電流源



Improved circuit



Peaking current characteristics
of improved circuit

改良永田電流源 試作・測定

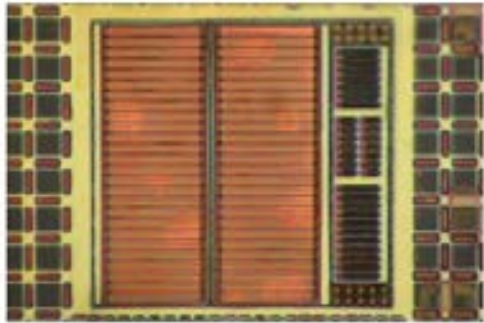
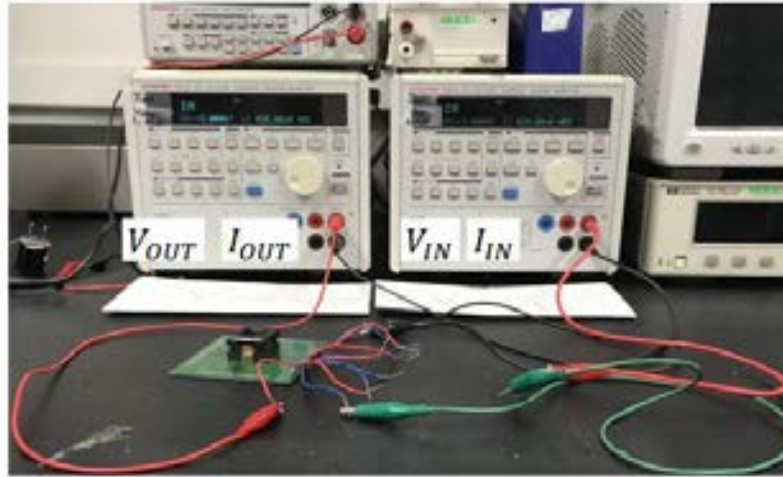
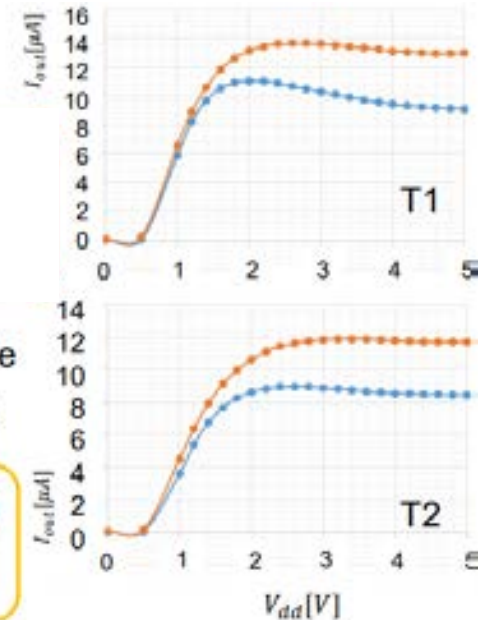
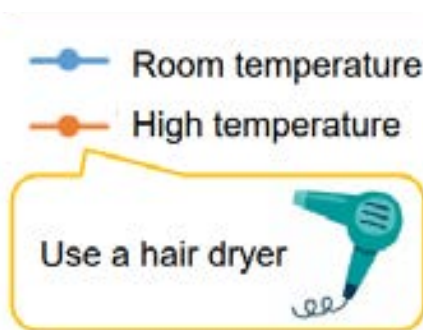
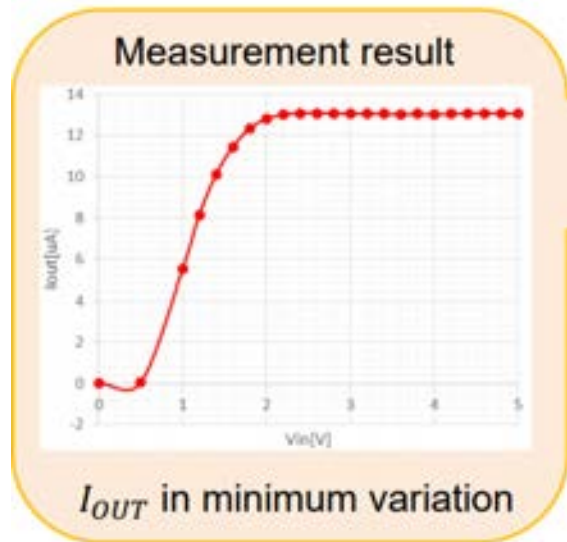


Photo of prototype chip

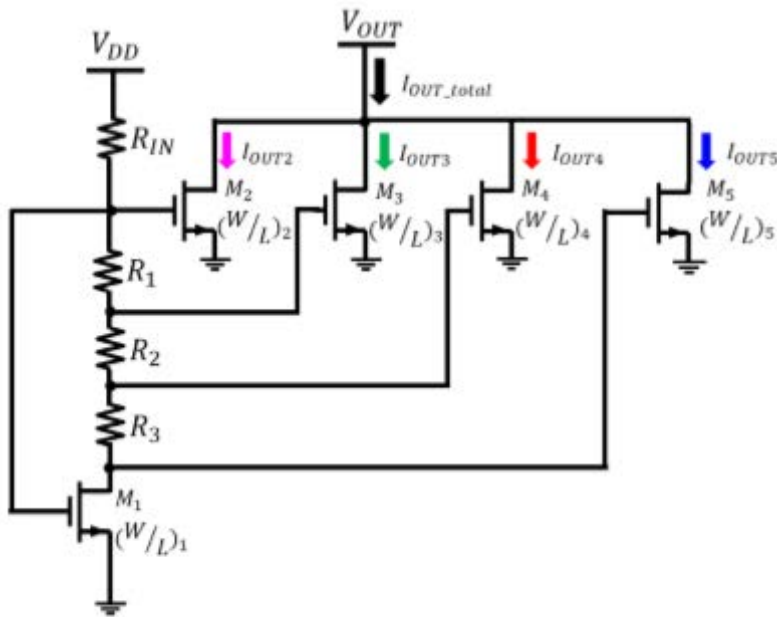


Measurement environment

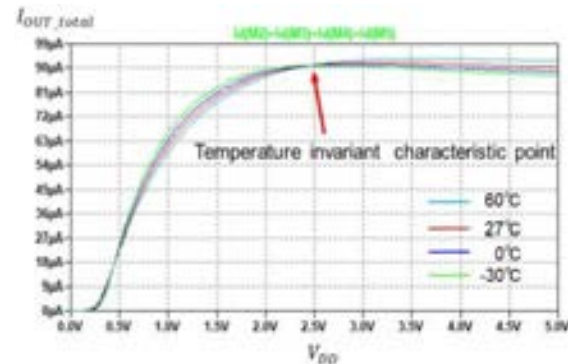
- 電源電圧不感
- 温度変動に弱い



温度にも不感 さらなる改良永田電流源



Proposed circuit



SPICE simulation result

I_{OUT2} and I_{OUT3} have
Negative temperature characteristics



I_{OUT4} and I_{OUT5} have
Positive temperature characteristics



Cancel the temperature characteristics

深みのある回路技術へ

[2] T. Hosono, N. Kushita, Y. Shibasaki, T. Ida, M. Hirano, N. Tsukiji, A. Kuwana, H. Kobayashi, Y. Moroshima, H. Harakawa, T. Oikawa

"Improved Nagata Current Mirror Insensitive to Temperature as well as Supply Voltage", Taiwan and Japan Conference on Circuits and Systems (TJCAS), Nikko, Japan (Aug. 2019)

発表内容

- 起： 基準信号の重要性の気付き
- 承： 研究事例
 - 基準電圧・電流源研究
 - 時間デジタイザ回路研究

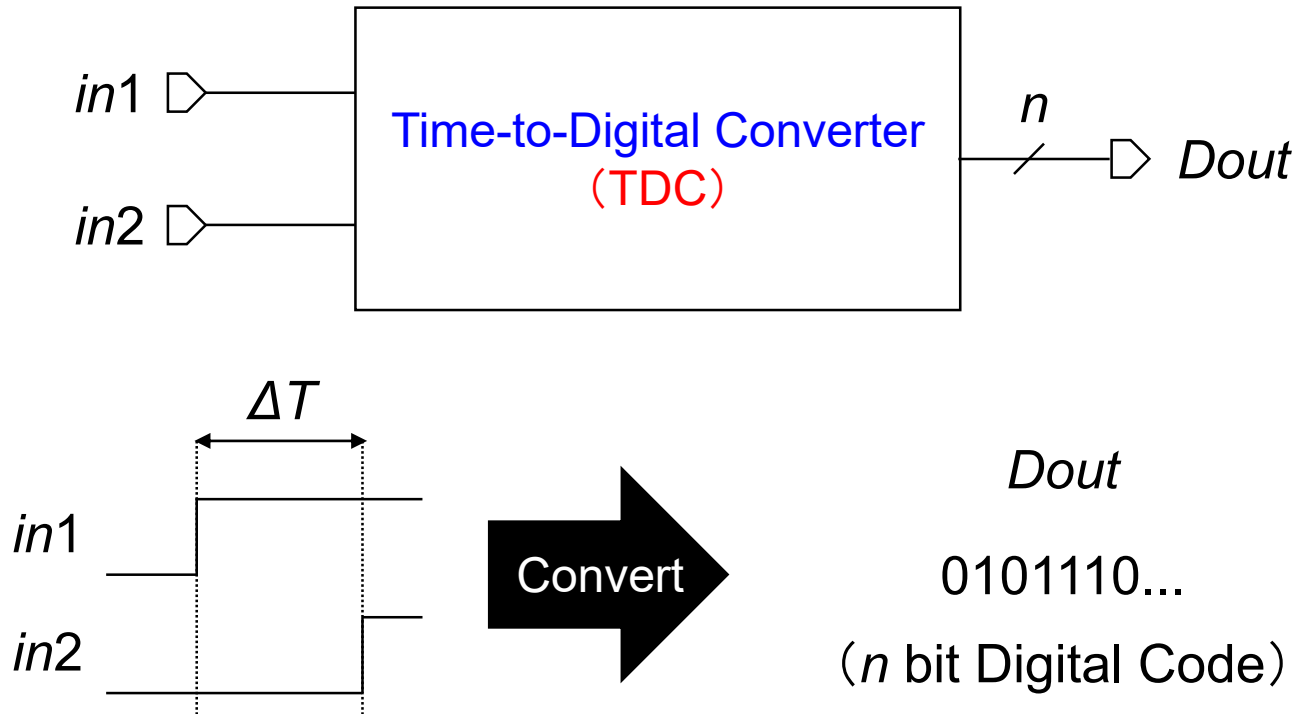
往古来今、之を**宙**と謂い
四方上下、之を**宇**と謂う。

淮南子

時間
空間



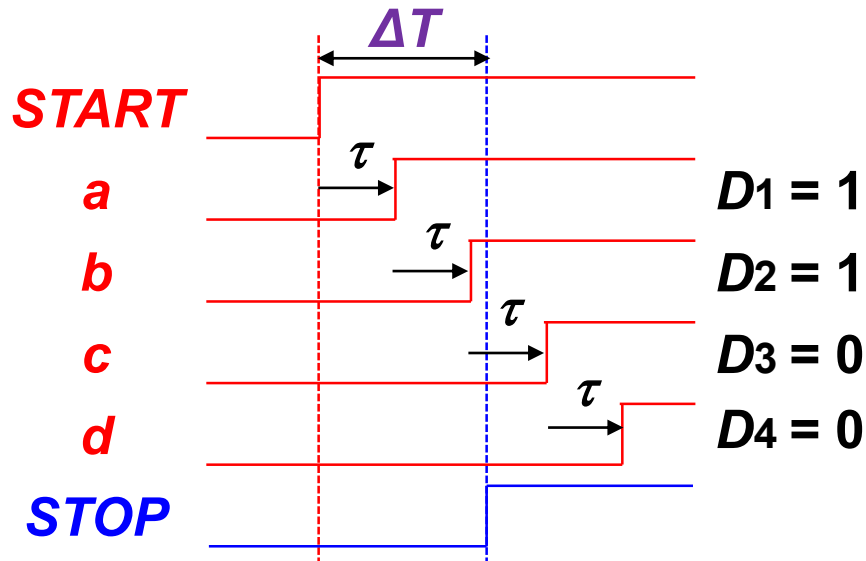
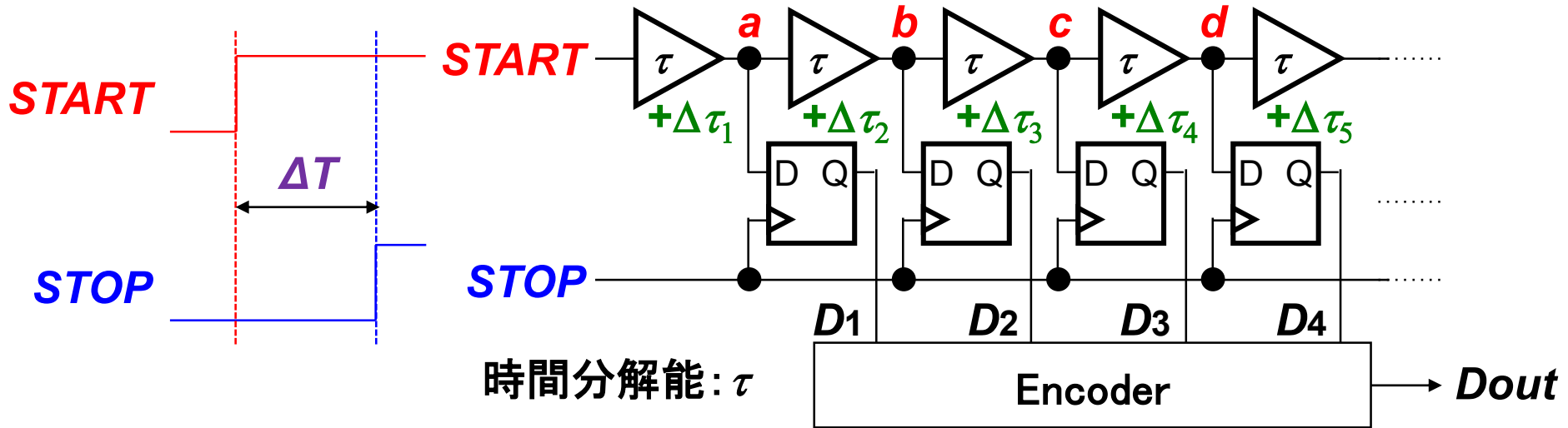
時間デジタイザ回路



2つのデジタル信号間の時間差 ΔT をデジタル値に変換

出力のデジタル値より ΔT を測定可能

フラッシュ型 時間デジタイザの構成と動作



- ΔT の大きさに比例したデジタル値 D_{out} を出力

- 時間分解能 τ

高エネルギー加速器研究機構
素粒子原子核研究所
新井康夫氏による発明

遅延素子 τ の製造ばらつき

「絶対(平均値)ばらつき」

→ 入力レンジに影響

調整には 外部から基準時間信号が必要

論より **証拠**

「相対ばらつき」

→ 非線形性

周りの遅延素子の遅延値と同じかを見る

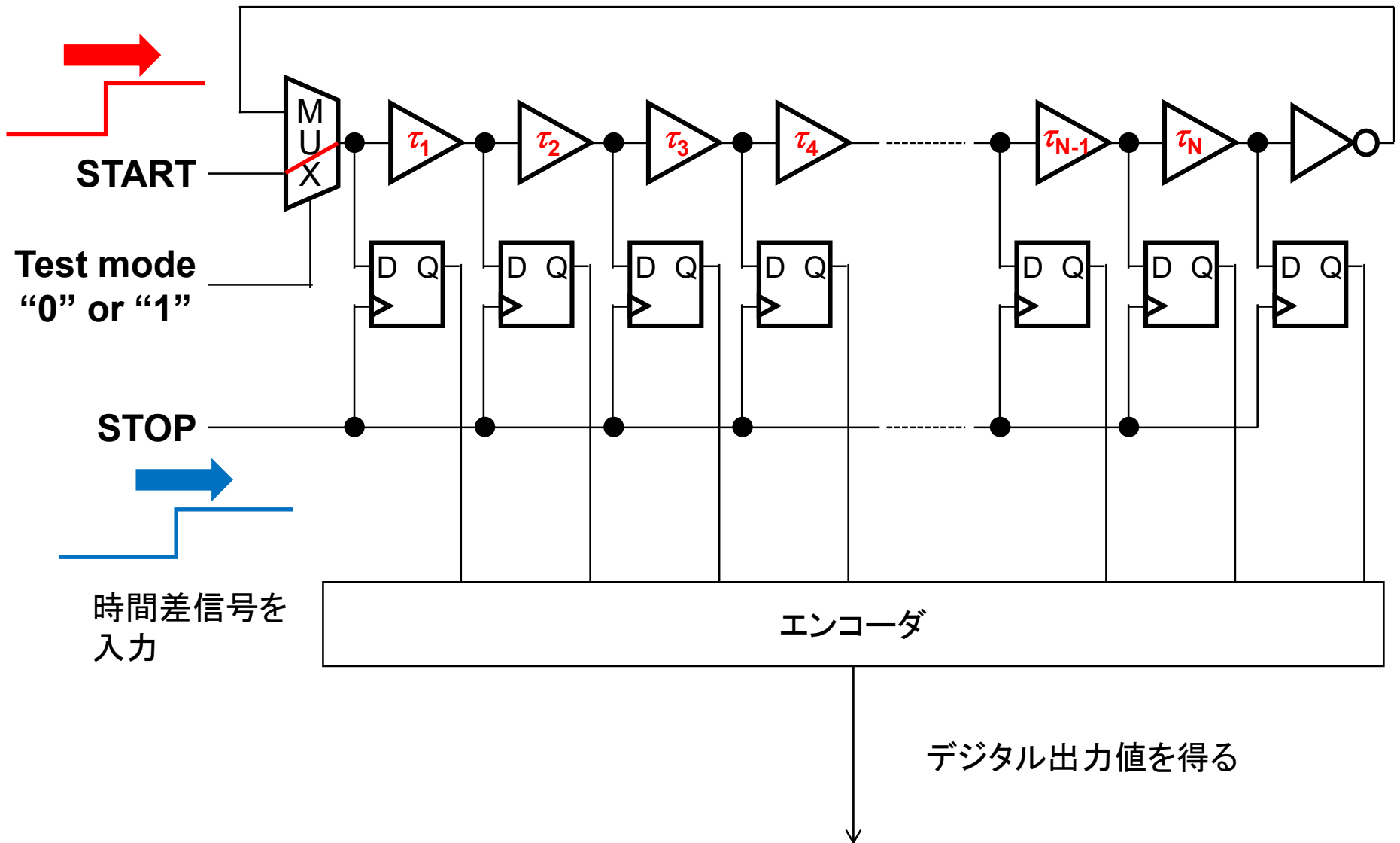
「自分の周り」が基準

外部から基準時間信号不要

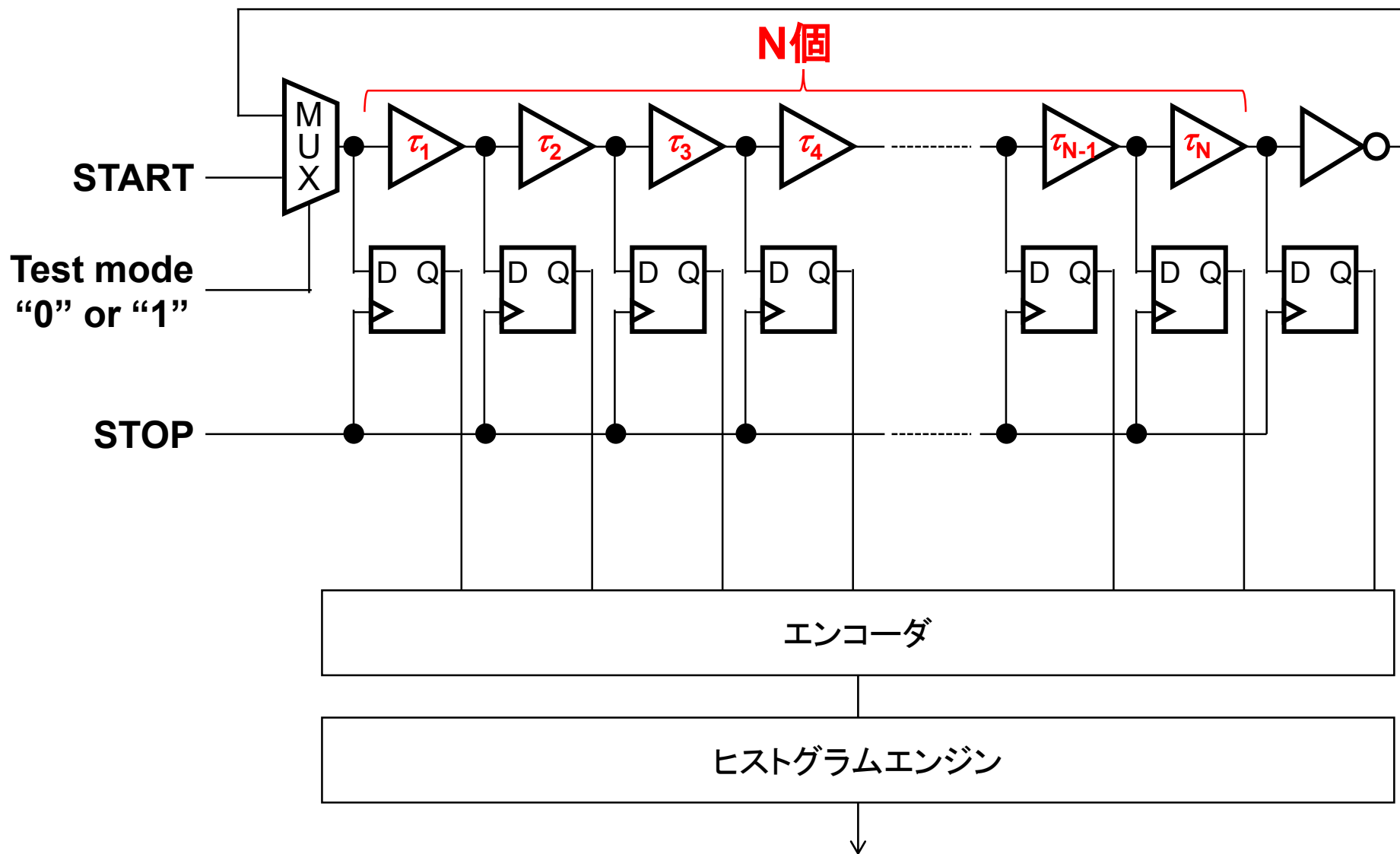
論より証拠

- 今回は「相対ばらつき」に着目

通常測定モード

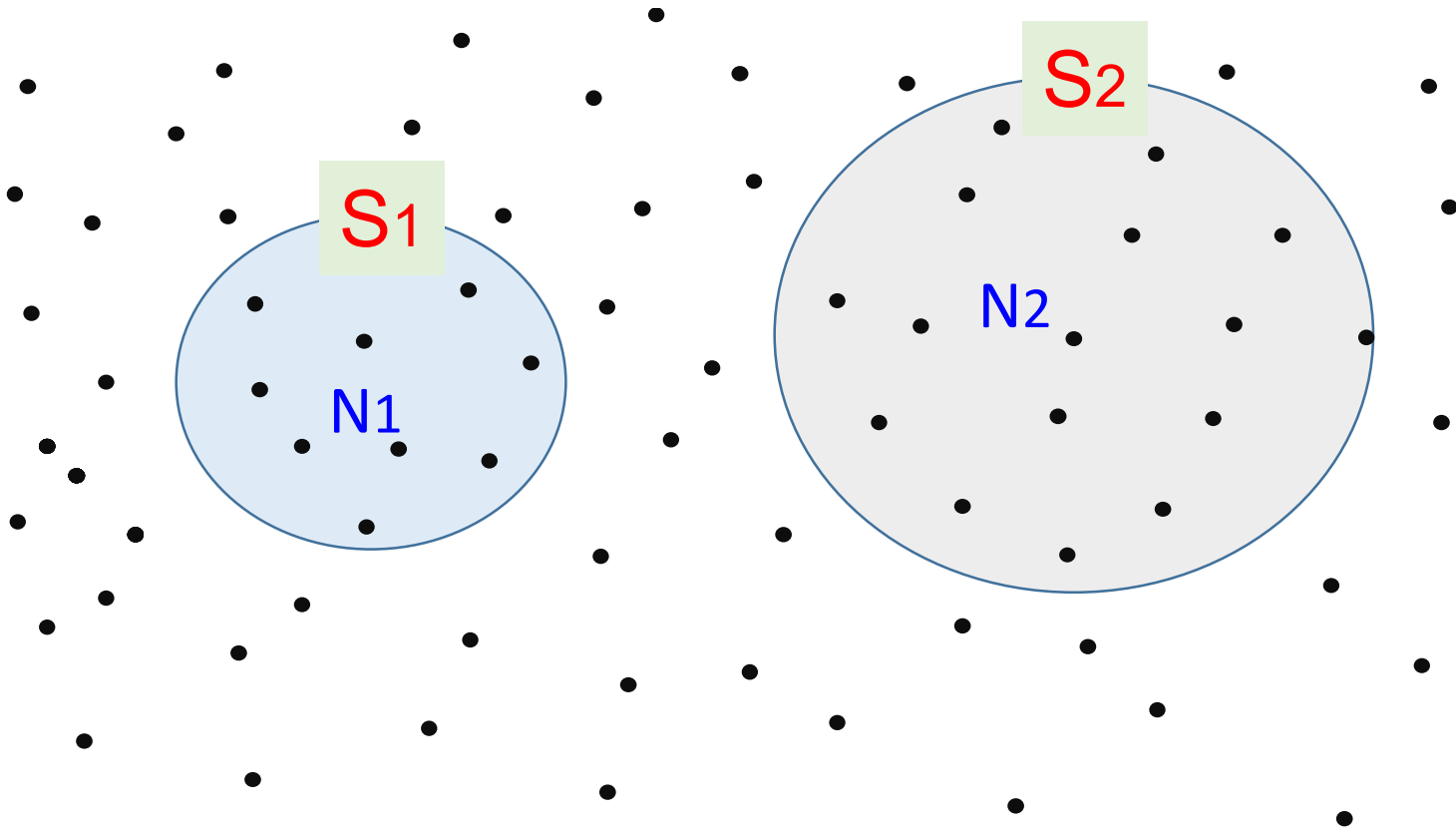


自己校正機能 時間デジタイザ



ヒストグラム法による測定

Random dots (Monte Carlo Method)

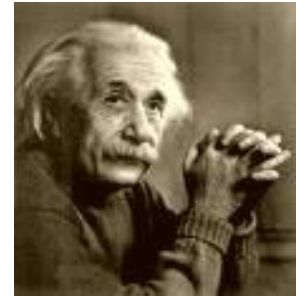


of dots ratio $\frac{N1}{N2}$ \longrightarrow Area ratio $\frac{S1}{S2}$

モンテカルロ法 = サイコロ遊び

「神は サイコロ遊びなどされない」

Albert Einstein 量子力学を批判



「アインシュタインよ、神が何をなさるかなど
注文をつけるべきではない」

Niels Henrik David Bohr

量子力学の育ての親



我々は神ではないので

サイコロ遊び(モンテカルロ法)を使用

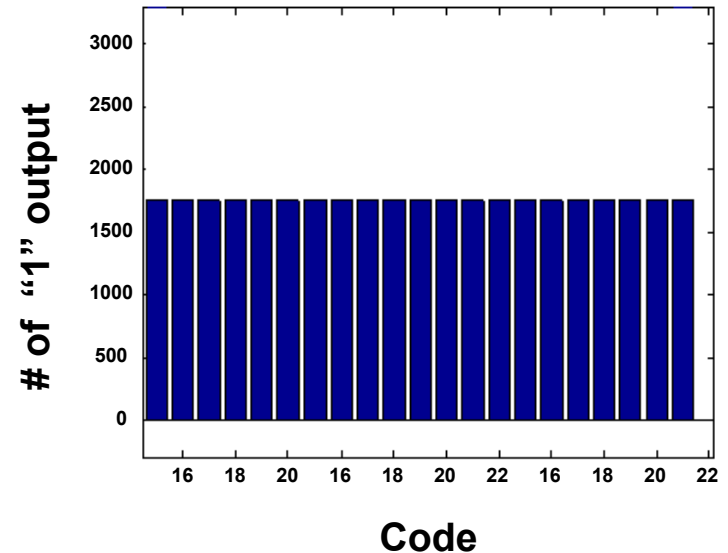
遅延ばらつきなし(理想状態)のヒストグラム

テストモード

2つの入力 START, STOPが
全く相関のないクロックの場合

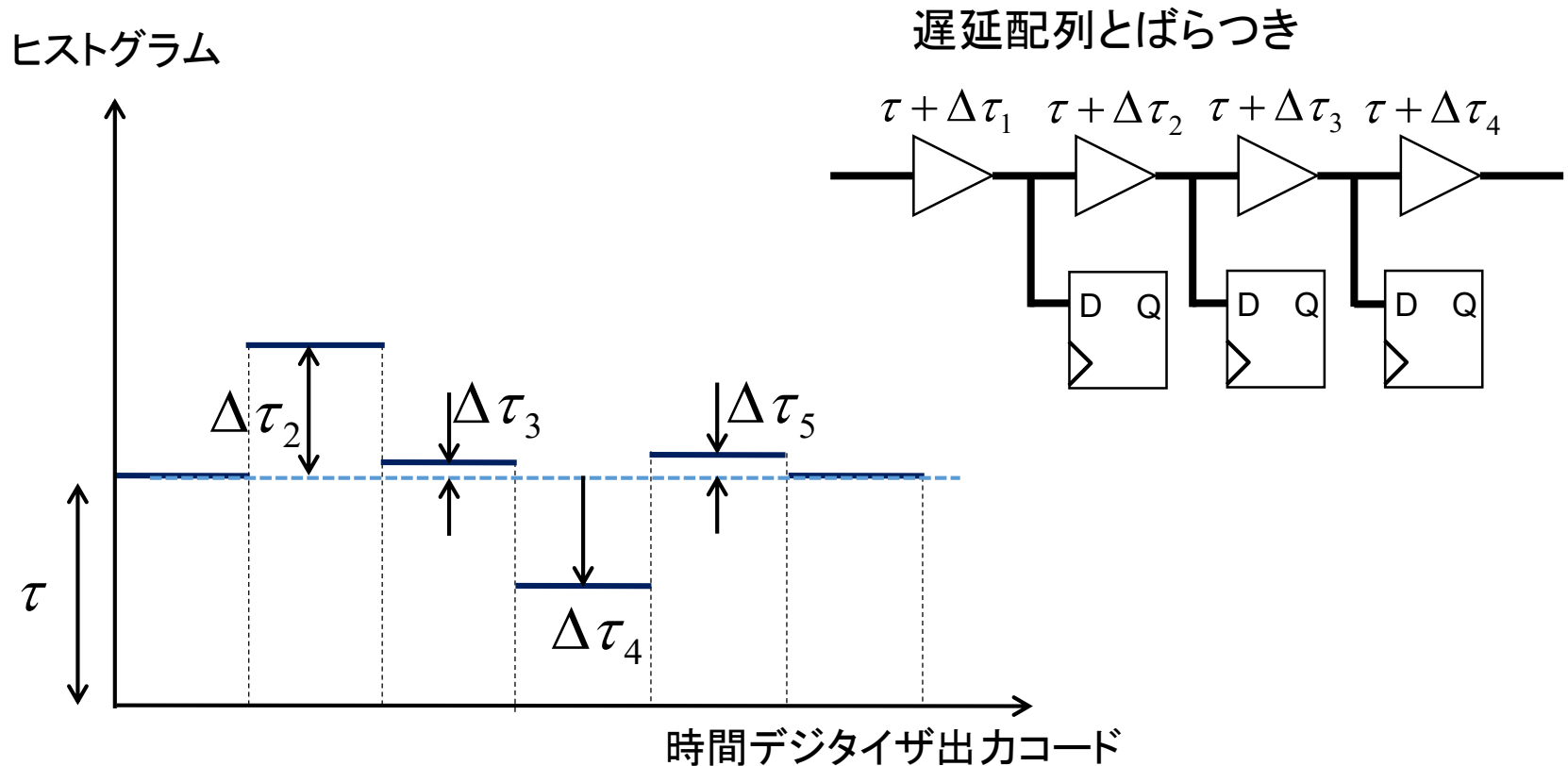


時間デジタイザで、
十分時間をかけて出力データをたくさんとると
全出力デジタルコードのヒストグラムは等しくなる



- モンテカルロ法的一种
- 時間信号なので容易に実現可能
電圧信号では実現大変

ヒストグラム法による遅延ばらつきの測定・補正



ヒストグラム値と遅延値は比例

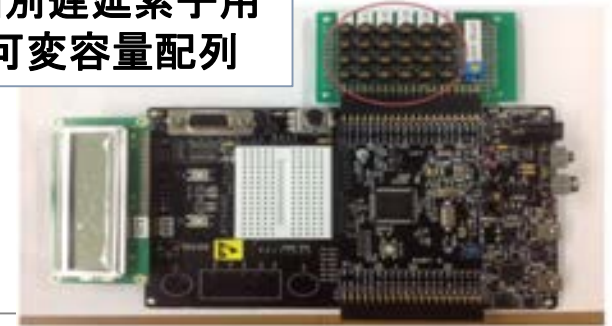


時間デジタイザ回路の非線形を測定値に基づき
デジタル演算で補正

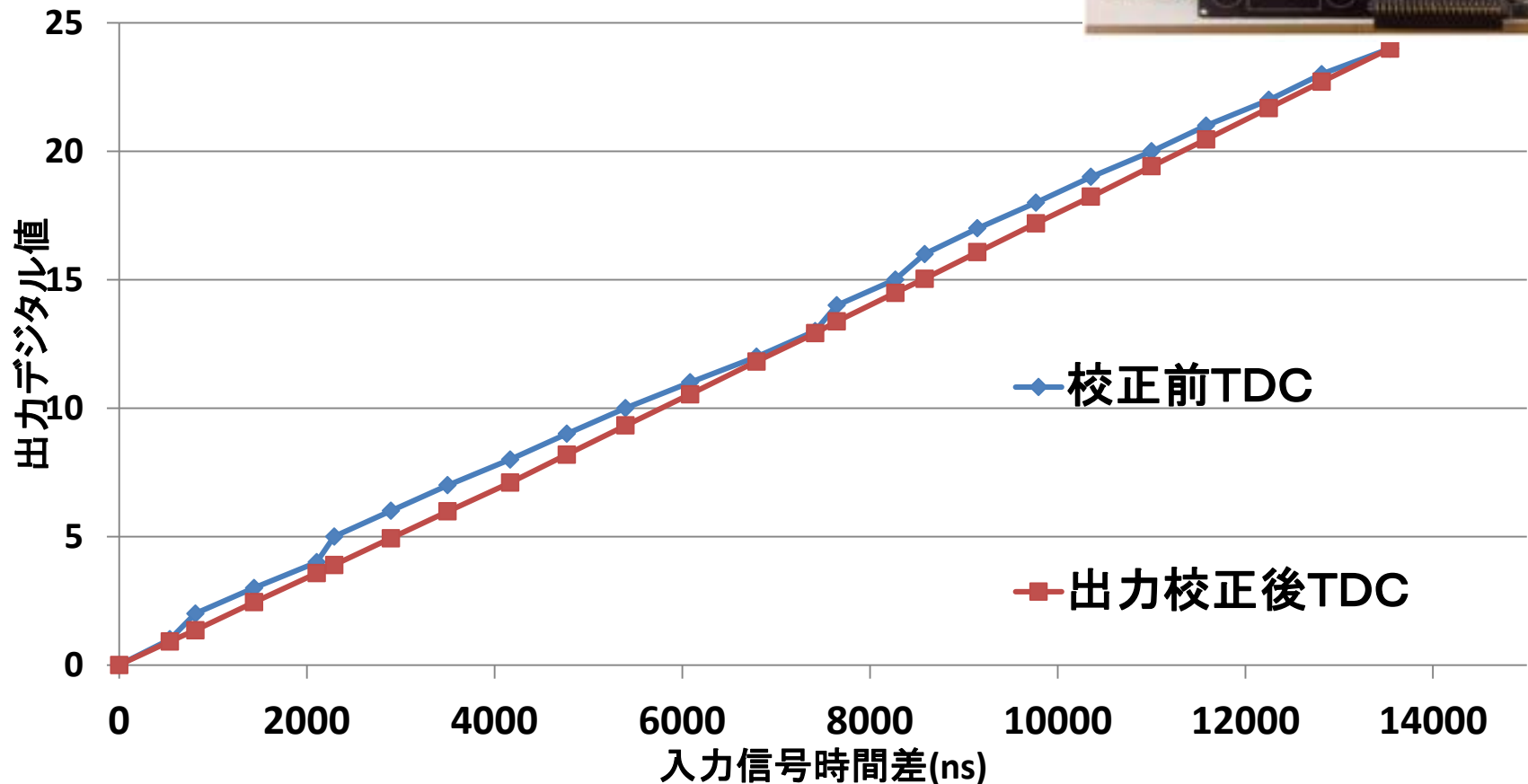
自己校正前後の時間デジタイザ入出力特性

アナログFPGAでの試作・測定

個別遅延素子用
可変容量配列



PSoCTDC出力特性



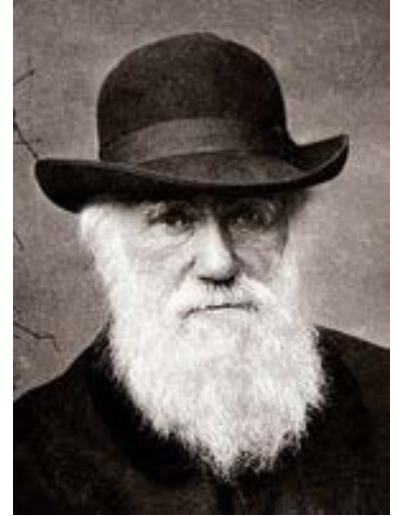
発表内容

- 起： 基準信号の重要性の気付き
- 承： 研究事例
 - 基準電圧・電流源研究
 - 時間デジタイザ回路研究
- **転：** 不易流行
- 結： まとめ

変わる、変わらなければならない

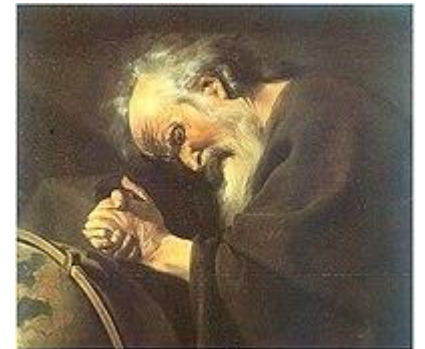
- 生き残る者。
強い者ではない、賢い者でもない。
変化できる者だけが生き残る。

(チャールズ・ダービン 進化論)



日本で首相の国会演説でも引用

- 万物は流転する。
(ギリシャ哲学者 ヘラクレイトス)



日本の古典にも

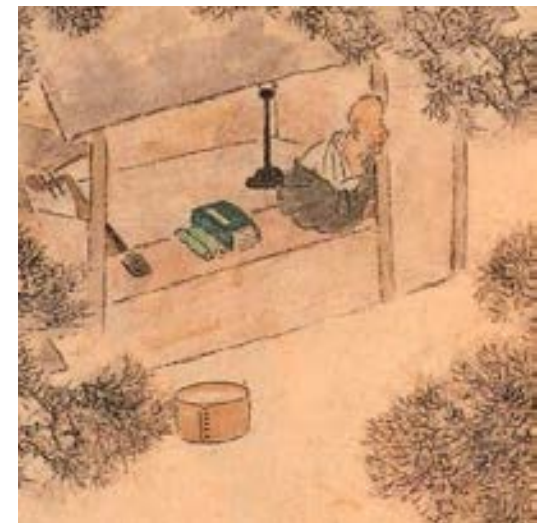
- 祇園精舎の鐘の音、諸行無常の響きあり。

(平家物語)



- ゆく河の流れは絶えずして、
しかももとの水にあらず。
淀みに浮かぶうたかたは、
かつ消えかつ結びて、
久しくとどまりたるためしなし。

(鴨長明 方丈記)



が、何か足りない

応用科学学会講演会での
北森俊行先生(東大名誉教授)のご指摘

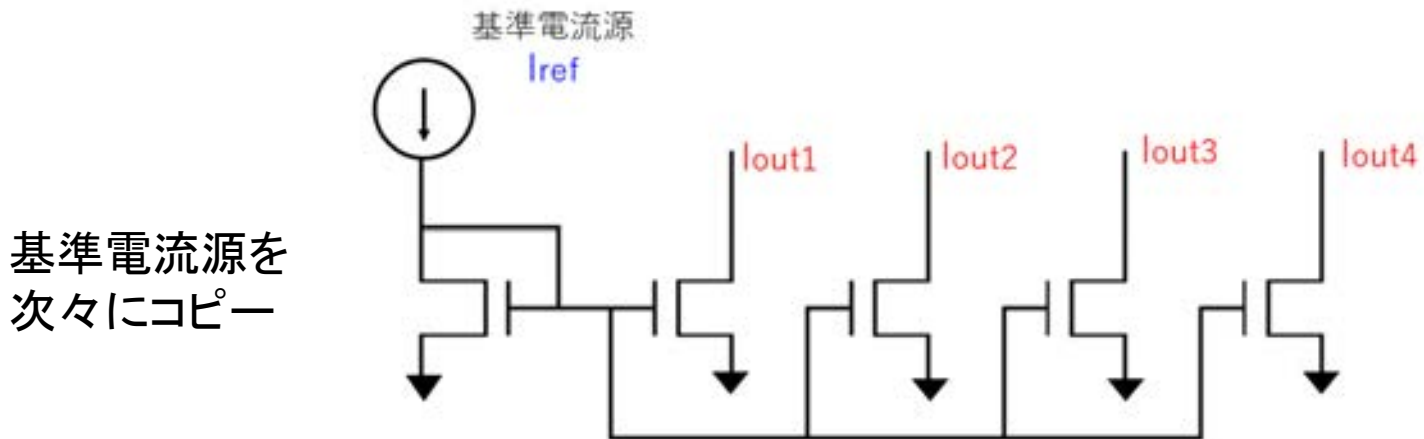


↑ 北森先生

- 時を経ても、条件が変わっても
「変わらないもの」を見つけると本質が分かる。
- 「常に変わっている」ということが
本質であることもあるかもしれないが。。。

変わらないもの

- 航海：北極星
- 数学：写像での不動点 $f(x_0)=x_0$ 不動点 x_0
- 物理学：不変量を見つけるとわかる。
エネルギー保存則、質量保存則
- 計測標準：ジョセフソン電圧標準、セシウム周波数標準
- アナログ集積回路内：基準電圧源、基準電流源
(チップ間、電源電圧変動、温度変動に依存せず一定)



不易流行 (松尾芭蕉)

- **不易**: 変わらないもの、変えてはいけないもの
- **流行**: 時代に応じて変わらなければならないもの
- 「**不易を知らざれば基立ちがたく、
流行を知らざれば風新たならず**」



芭蕉と曾良



奥の細道

芭蕉 都市伝説

● 芭蕉は幕府隠密だった!?

- 徳川家(日光)礼賛の傾向
- 三重県伊賀市出身
- 奥の細道は各藩の様子を探るため?
旅費は幕府から?

● 日光での回路とシステム分野の初の国際会議 Taiwan and Japan Conference on Circuits and Systems

2019年8月 栃木県日光市にて開催
群馬大学がホスト役



あらたふと青葉若葉の日の光
芭蕉

究極の不易「物理量」

SI 単位系 (International System of Units)

メートル m , キログラム kg , 秒 s , アンペア A ,
ケルビン K , モル mol , カンデラ cd

対応する物理量

長さ、質量、時間、電流、熱力学温度、物質質量、光度

定義(2018年に変更決議、2019年5月から実施)

セシウム133原子振動数 $\Delta\nu_{Cs}$ 9192631770 Hz

真空における光速度 c 299792458 m/s

プランク定数 h $6.62607015 \times 10^{-34}$ J s

電気素量 e $1.602176634 \times 10^{-19}$ C

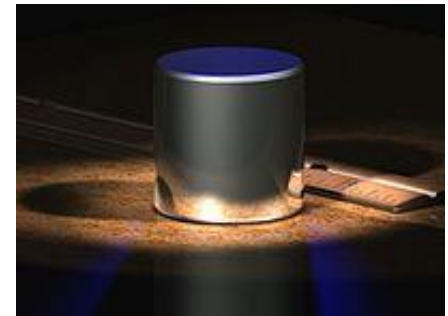
ボルツマン定数 k 1.380649×10^{-23} J/K

アボガドロ定数 N_A $6.02214076 \times 10^{23}$ mol⁻¹

周波数 540×10^{12} Hz 単色光の発光効率 K_{cd} 683 lm/W



メートル原器は
1960年に廃止



キログラム原器は
2019年に廃止

工学センスの重要性

円周率の工学設計での使用桁数

$\pi = 3.14159\ 26535\ 89793\ 23846\ 26433\ 83279\ 50288\ \dots$

小惑星探査機「はやぶさ」 16桁

指輪の制作工房 3桁

砲丸の工場 10桁

陸上競技場のトラック 5桁

タイヤメーカー 企業秘密

モノづくりにおいて精度が重要

(桜井進氏)

逆に言えば、現状そのアプリケーションではそれ以上の精度不要

発表内容

- 起： 基準信号の重要性の気付き
- 承： 研究事例
 - 基準電圧・電流源研究
 - 時間デジタイザ回路研究
- 転： 不易流行
- **結**： まとめ

ものづくりと基準

- 「ものづくり」は「ばらつき」との戦い



「基準」がしっかりしていると「ばらつき」を抑制できる

- アナログ/ミクストシグナル回路での
(自動)調整技術、(自己)校正技術



「基準」を明確にする

まとめ

- アナログ集積回路設計で基準信号に目を向ける



アナログ集積回路設計への視野が広がる

- 温度不感の基準電圧源・電流源の研究紹介



まだまだ純粋アナログ回路研究開発の余地あり

- 時間デジタイザ回路の線形性化の研究紹介

Regression to origin:

新しい時代のテクノロジー, EDA, アプリケーション下での
アナログ回路研究

古人の跡を求めず、古人の求めたるところを求めよ

(松尾芭蕉)

S05-6 Analog Circuits I

15:00 - 15:15 PM

Oct.26, 2016



Simple Reference Current Source Insensitive to Power Supply Voltage Variation -Improved Minoru Nagata Current Source -

Mayu Hirano,

Nobukazu Tukiji, Haruo Kobayashi

Gunma University, JAPAN



群馬大学
GUNMA UNIVERSITY

Research Objective

Objective

- Development of **simple reference current source** insensitive to power supply voltage variation

Our Approach

- Peaking current source invented by Dr. Minoru Nagata (Japanese) in 1966.
- Using multiple current peaks and their sum.

Outline

- ✿ Research Background
- ✿ Nagata Current Mirror Circuit
- ✿ Improved circuit (Zach's Circuit)
- ✿ Proposed MOS Reference Current Source
 - ├─ Circuit Configuration and Operation
 - ├─ SPICE Simulated Characteristics
 - └─ Component Variation Effects
- ✿ Proposed Bipolar Reference Current Source
- ✿ Temperature Effect
- ✿ Conclusion

Outline

Research Background

 Nagata Current Mirror Circuit

 Improved circuit (Zach's Circuit)

 Proposed MOS Reference Current Source

- ├─ Circuit Configuration and Operation
- ├─ SPICE Simulated Characteristics
- └─ Component Variation Effects

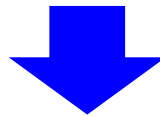
 Proposed Bipolar Reference Current Source

 Temperature Effect

 Conclusion

Research Background

Most analog ICs require
Reference current / voltage source



Stable against PVT variation

P: Process

V: Supply voltage

T: Temperature



Bandgap reference circuit

- ✓ Complicated
- ✓ Large chip area.

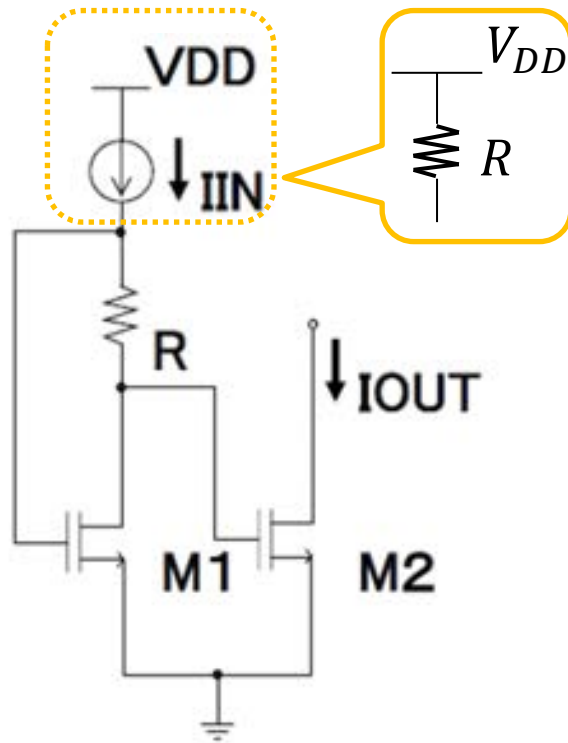
Nagata current mirror

- ✓ **Simple**
- ✓ Only effective for voltage variation

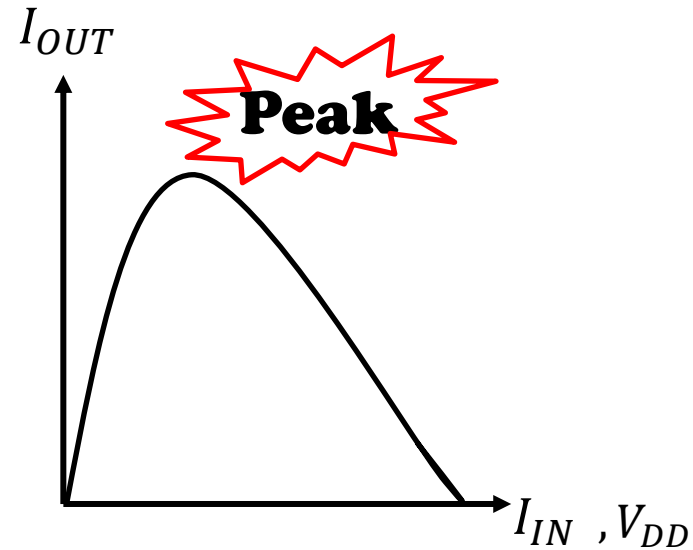
Outline

- ✿ Research Background
- ✿ Nagata Current Mirror Circuit
- ✿ Improved circuit (Zach's Circuit)
- ✿ Proposed MOS Reference Current Source
 - ├─ Circuit Configuration and Operation
 - ├─ SPICE Simulated Characteristics
 - └─ Component Variation Effects
- ✿ Proposed Bipolar Reference Current Source
- ✿ Temperature Effect
- ✿ Conclusion

Original Nagata Current Mirror



MOS Nagata
Current Mirror Circuit



Peaking current characteristics

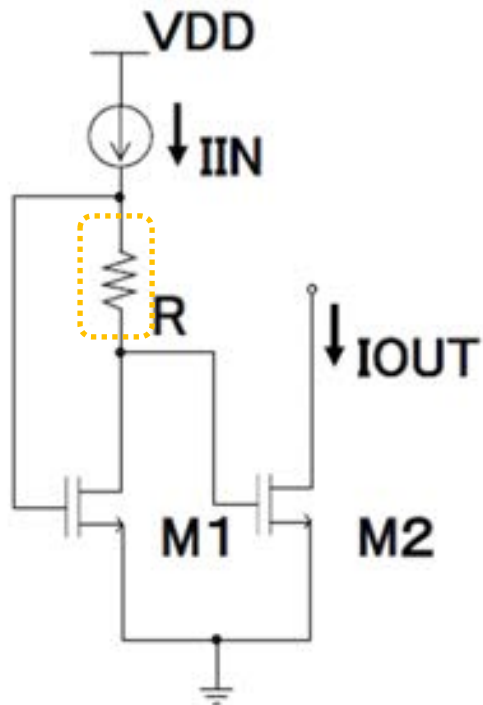
At peak vicinity



Small output current change
against input current change

Simple  Widely used. Ex: in DC-DC converter ICs

Circuit Configuration and Operation(1)



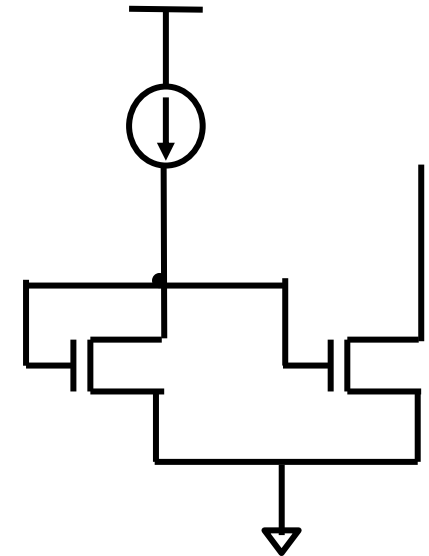
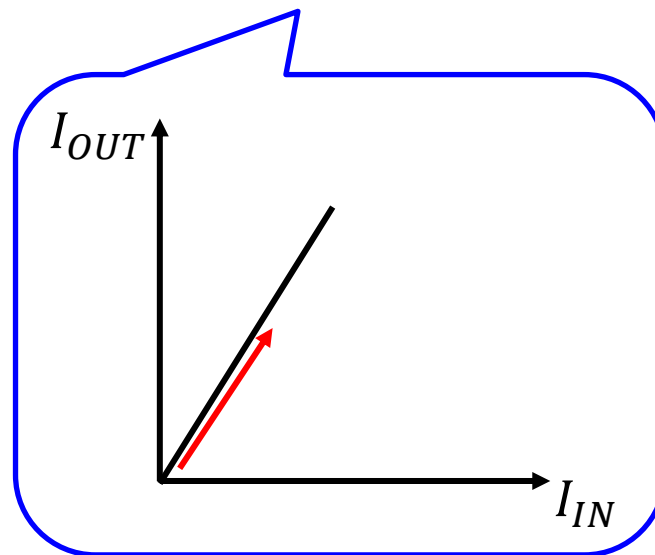
MOS Nagata
Current Mirror

I_{IN} : small



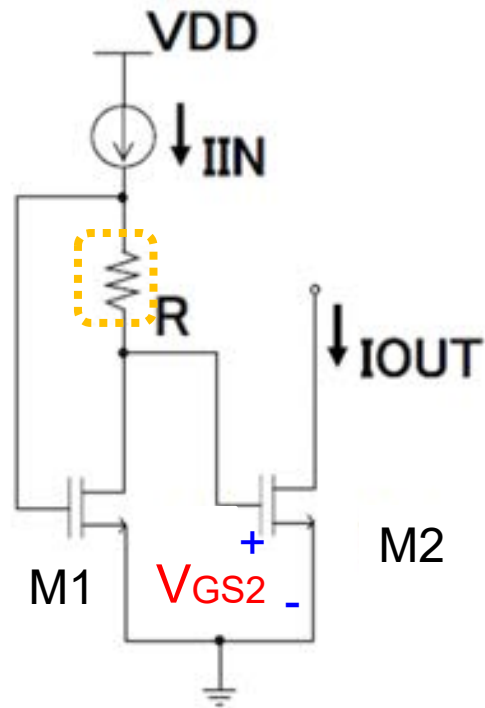
$R I_{IN}$: small

$\rightarrow I_{IN} = I_{OUT}$



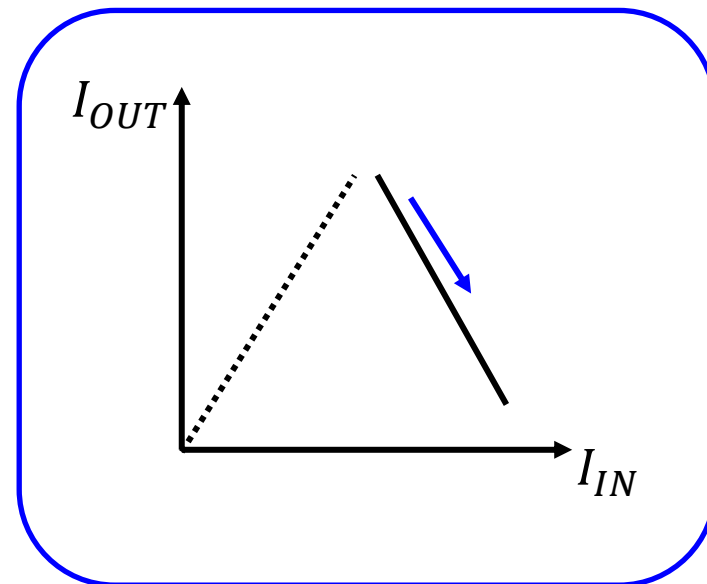
Current Mirror

Circuit Configuration and Operation(2)

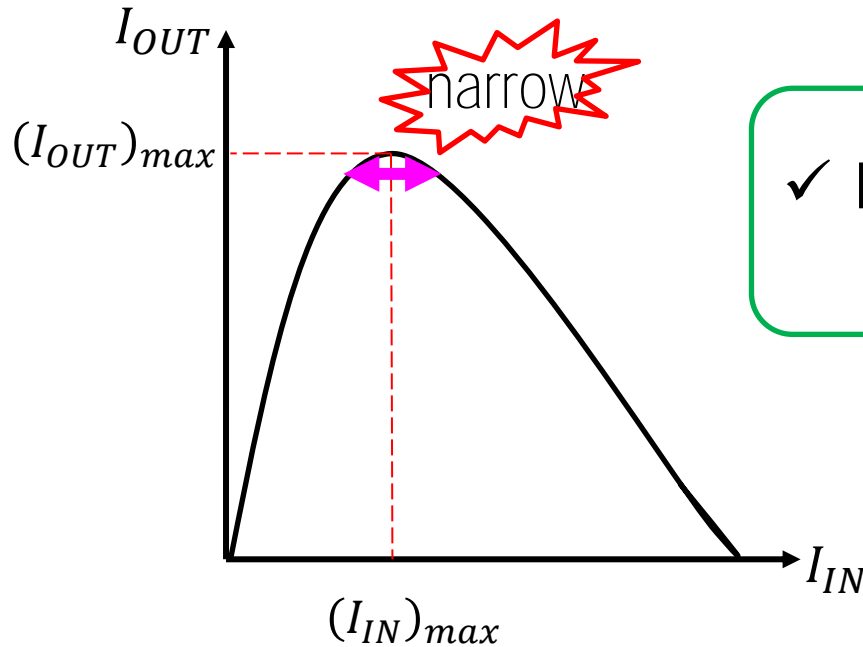


MOS Nagata
Current Mirror Circuit

- ➔ I_{IN} : large
- ➔ $R I_{IN}$: large
- ➔ V_{GS2} becomes smaller



I_{IN} - I_{OUT} Characteristics



$$K_1 = \frac{1}{2} \mu C_{ox} \left(\frac{W}{L} \right)_1$$

λ :

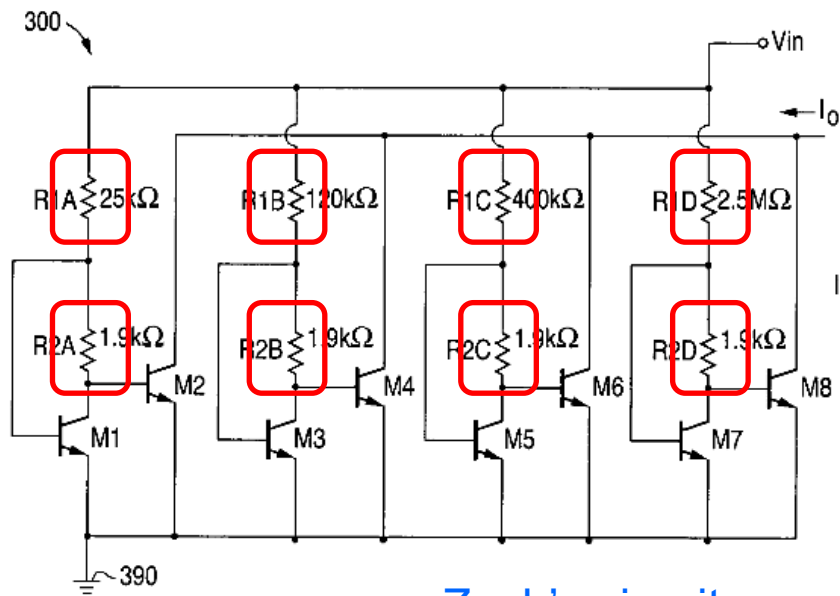
$$(I_{IN})_{max} = \frac{1}{4R^2 K_1 (1 + \lambda V_{DS1})} \quad \dots (1)$$

$$(I_{OUT})_{max} = \frac{(W/L)_2}{4(W/L)_1} \cdot \frac{1}{4R^2 K_1} \frac{(1 + \lambda V_{DS2})}{(1 + \lambda V_{DS1})} \quad \dots (2)$$

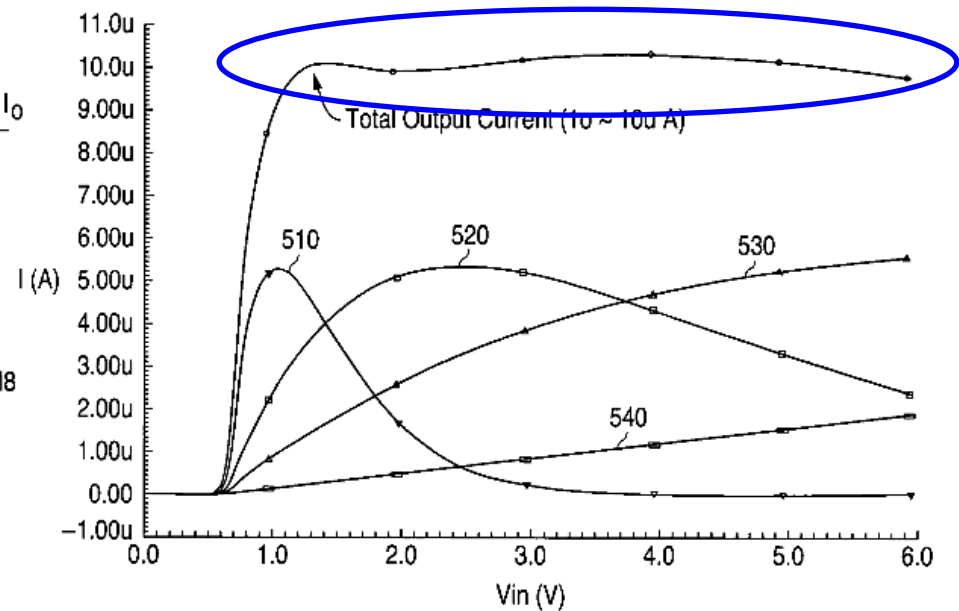
Outline

- ✿ Research Background
- ✿ Nagata Current Mirror Circuit
- ✿ **Improved circuit (Zach's Circuit)**
- ✿ Proposed MOS Reference Current Source
 - ├─ Circuit Configuration and Operation
 - ├─ SPICE Simulated Characteristics
 - └─ Component Variation Effects
- ✿ Proposed Bipolar Reference Current Source
- ✿ Temperature Effect
- ✿ Conclusion

Previous Improved Circuit



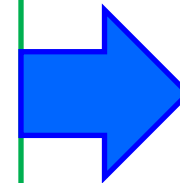
Zach's circuit



Inventor
Zachary Zehner Nosker
Obtained Ph.D.
from Gunma Univ.
Kobayashi Lab.

Problem

Parallel
Resistors

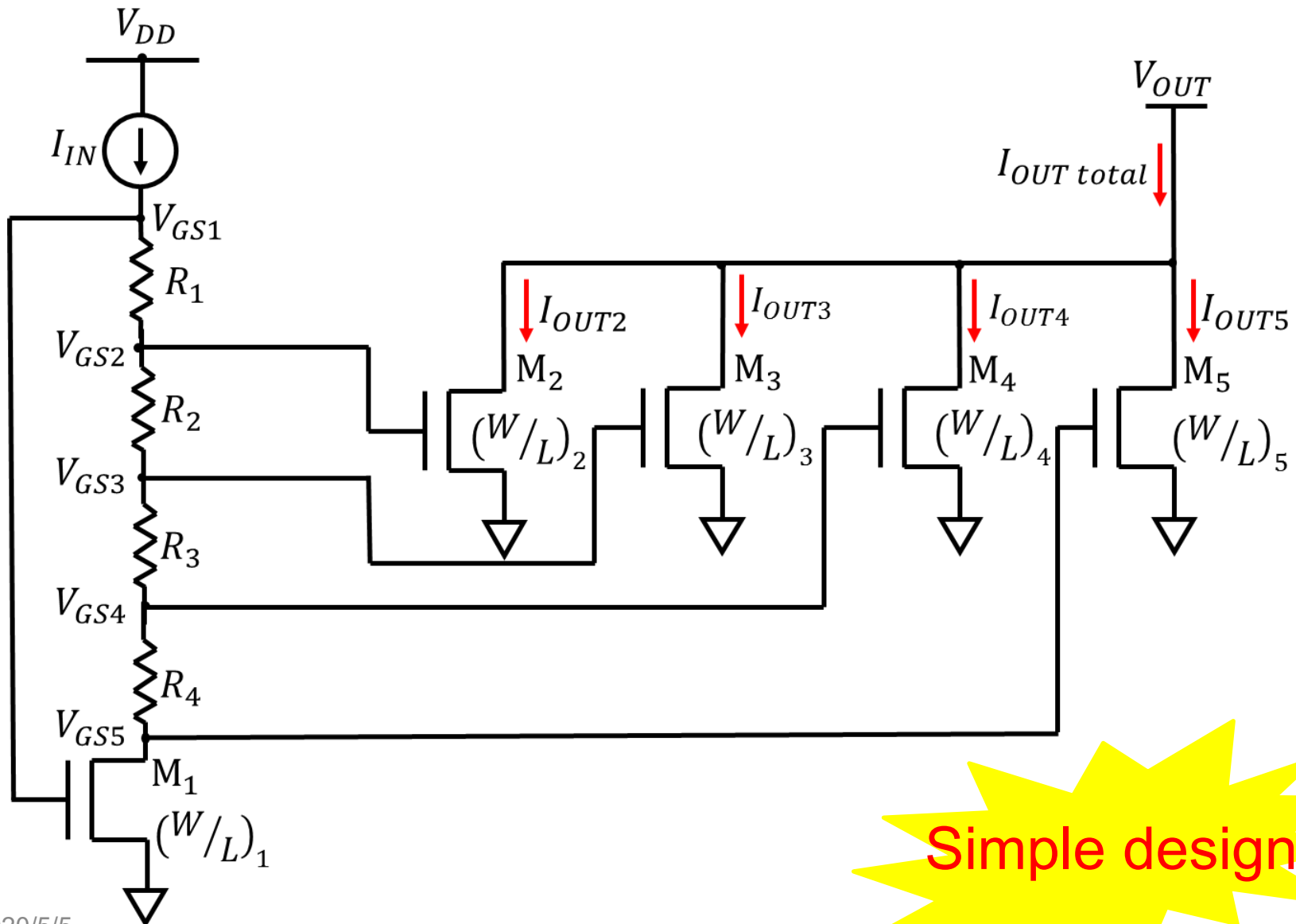


Large chip
area

Outline

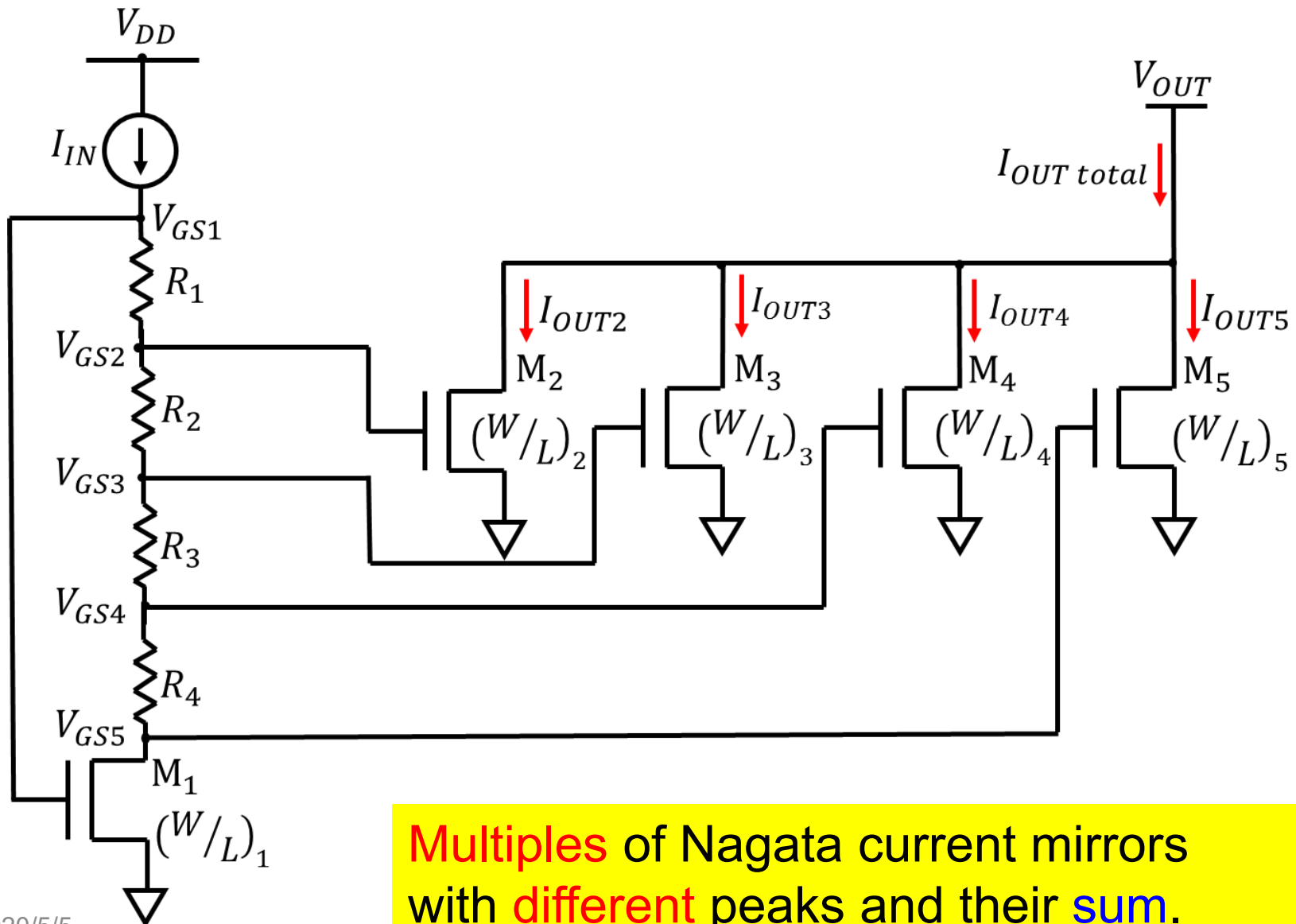
- ✿ Research Background
- ✿ Nagata Current Mirror Circuit
- ✿ Improved circuit (Zach's Circuit)
- ✿ **Proposed MOS Reference Current Source**
 - ├─ Circuit Configuration and Operation
 - ├─ SPICE Simulated Characteristics
 - └─ Component Variation Effects
- ✿ Proposed Bipolar Reference Current Source
- ✿ Temperature Effect
- ✿ Conclusion

Proposed MOS Reference Current Source



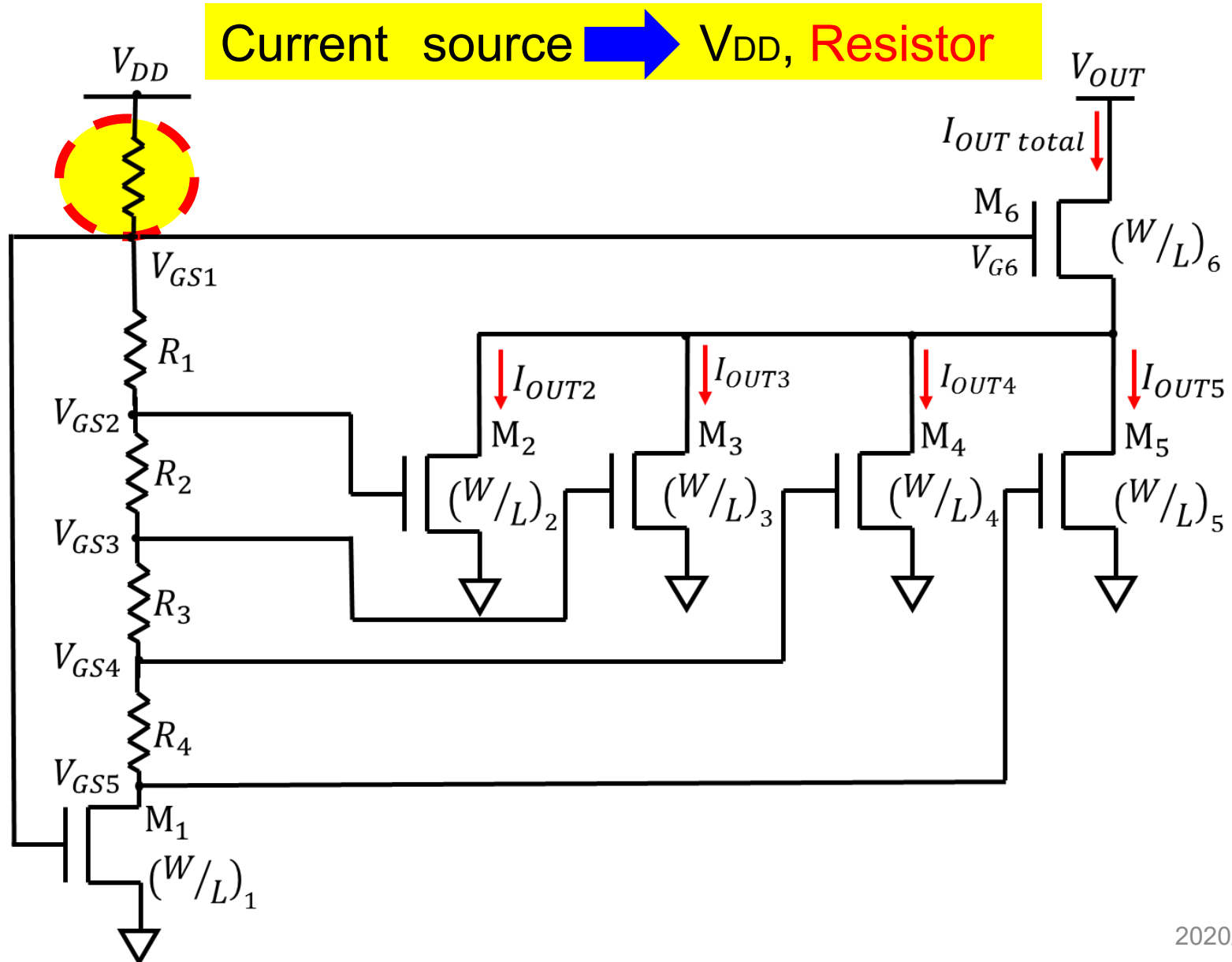
Simple design

Proposed MOS Reference Current Source

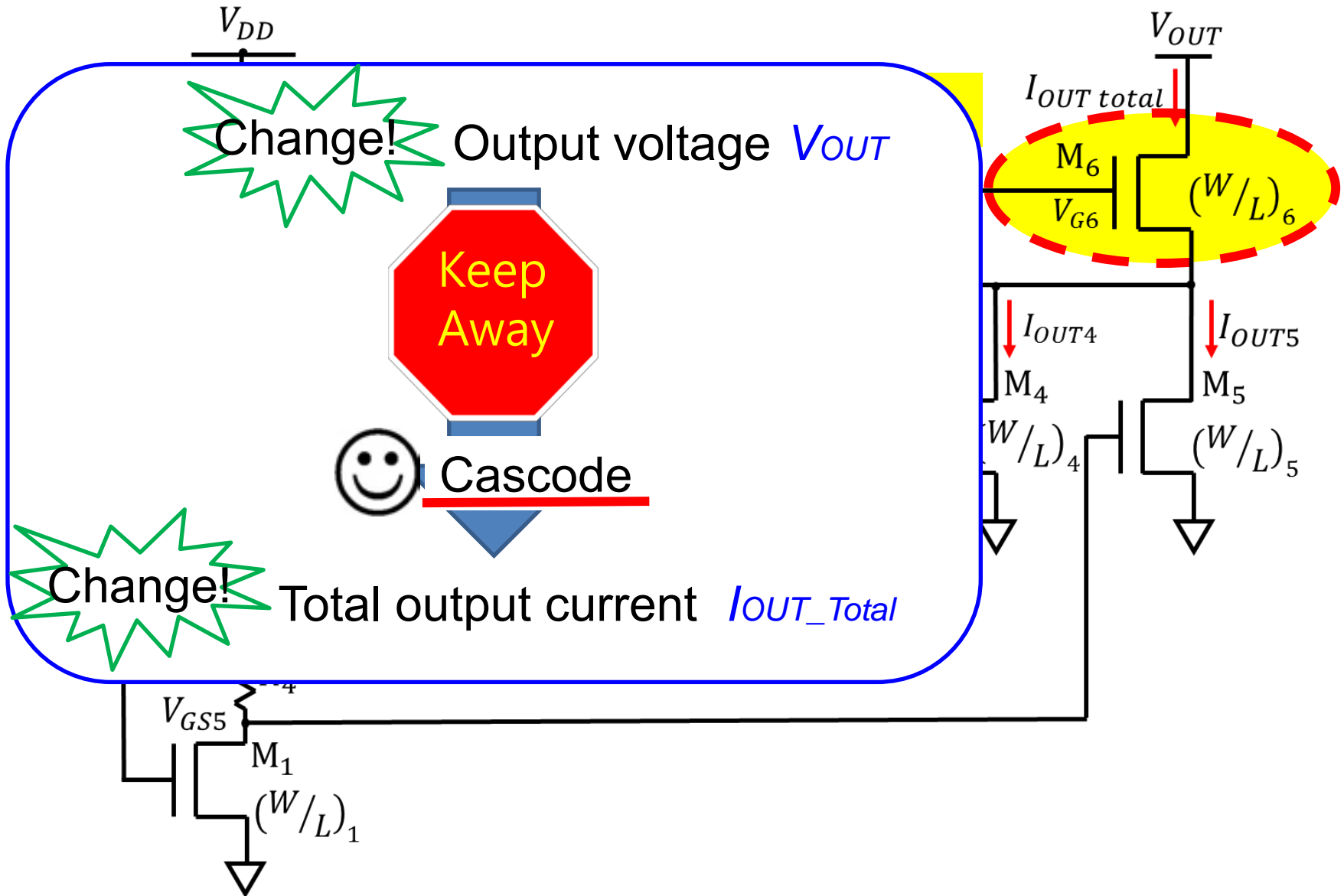


Multiples of Nagata current mirrors
with **different** peaks and their **sum**.

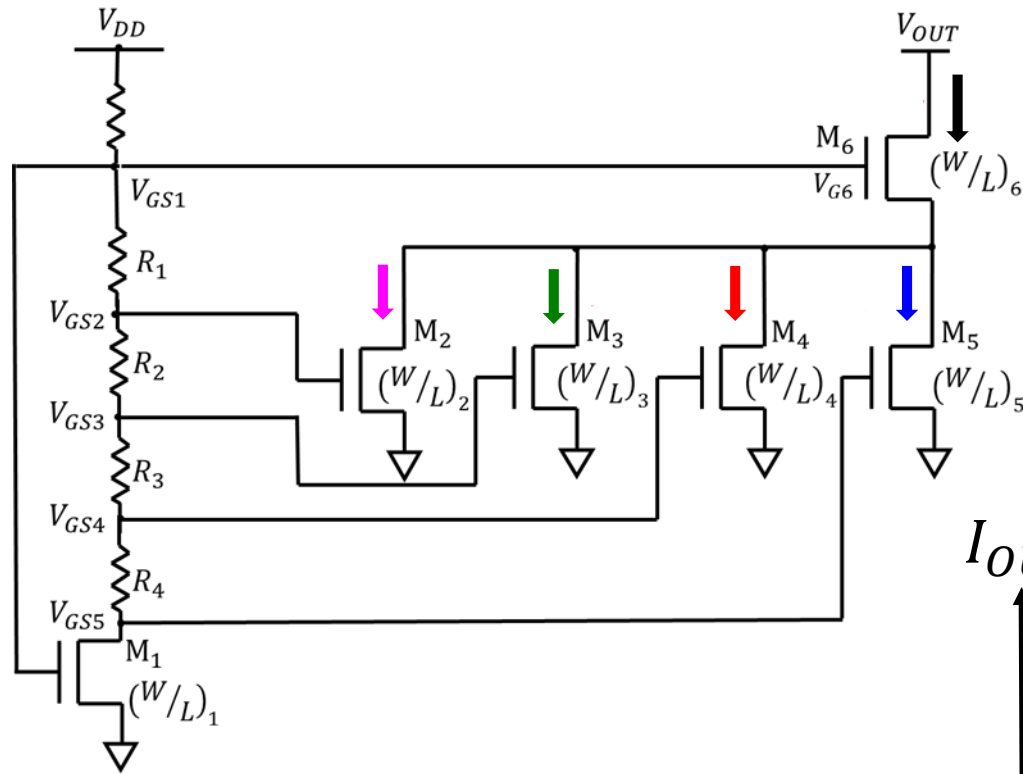
MOS Reference Current Source Details



Cascode Configuration



MOS Reference Current Source Operation

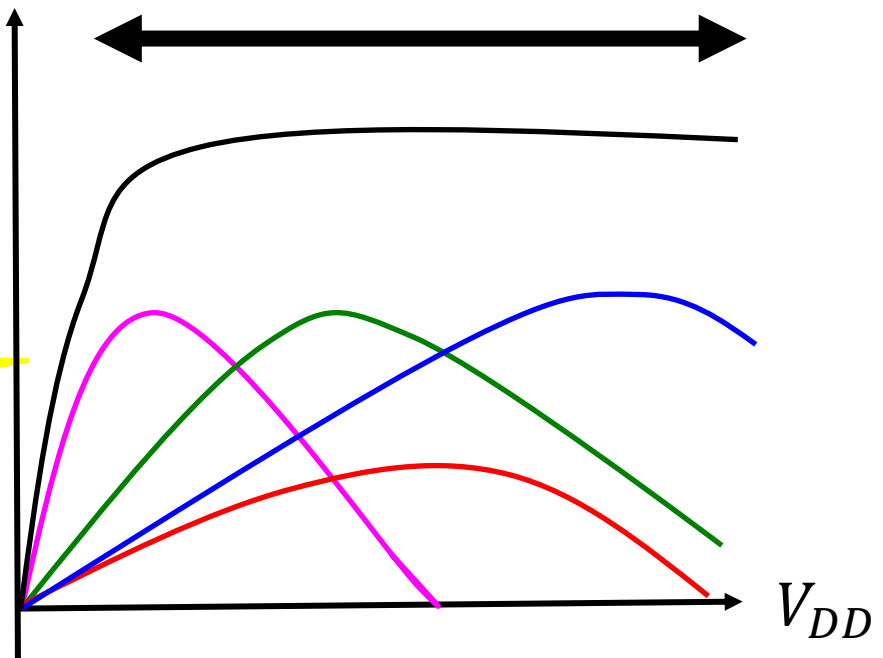


Almost **constant**
total current

I_{OUT}

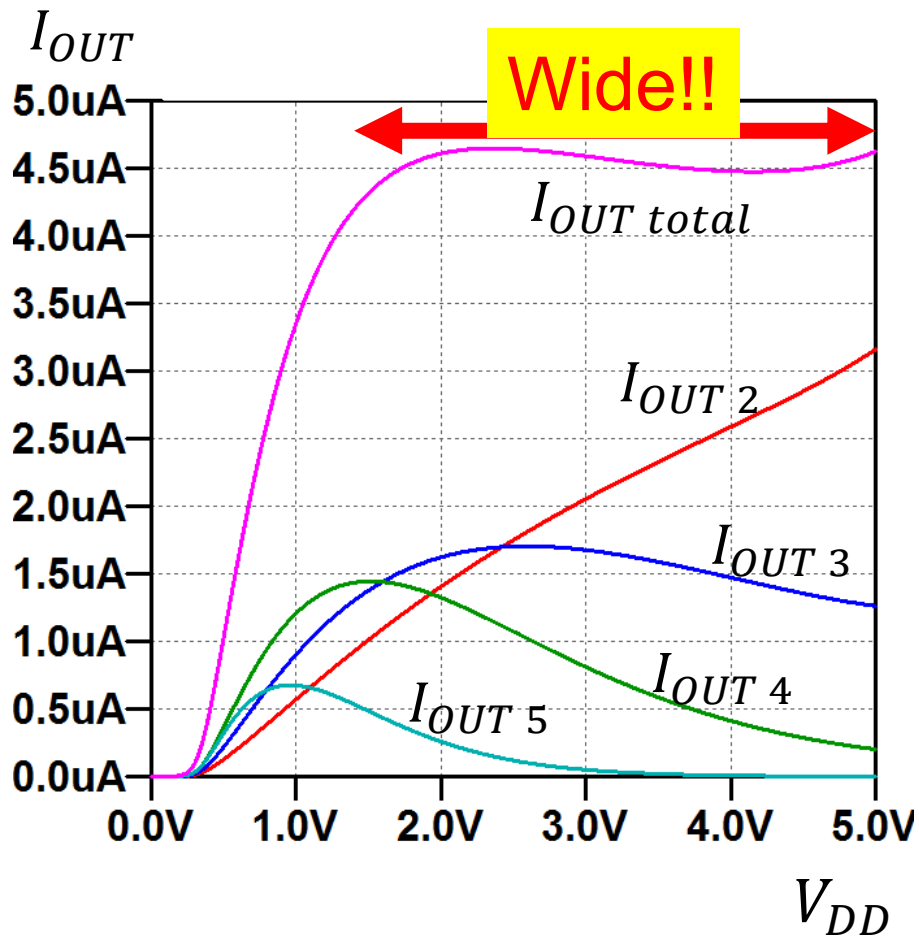
wide

Simple
Reference Current Source

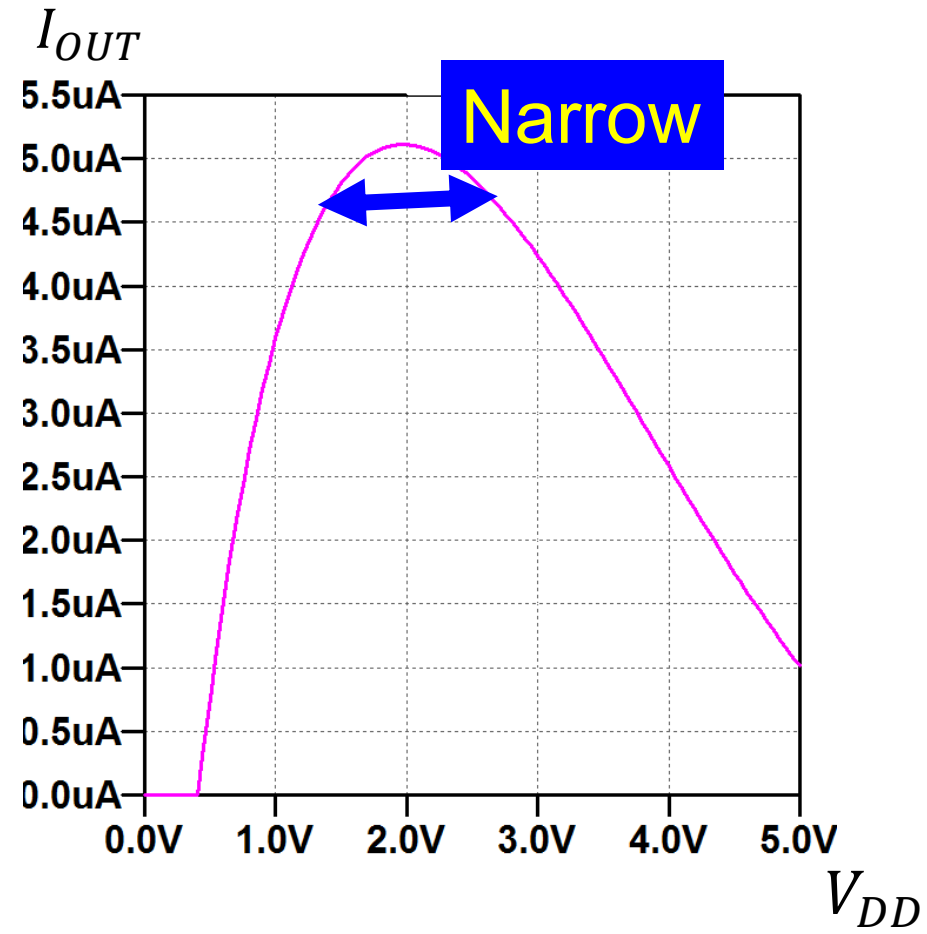


Advantage of Proposed Circuit

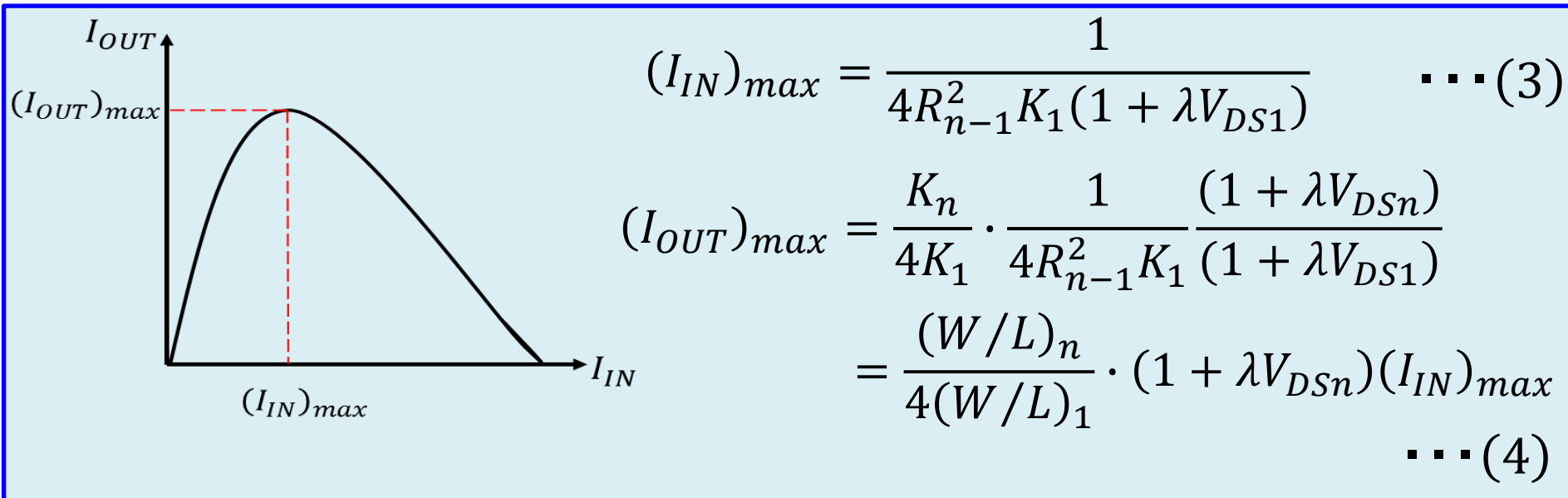
Proposed



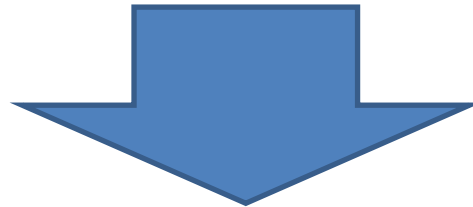
Original



Analysis of Proposed Circuit



Change **resistor values** and **MOSFET sizes**

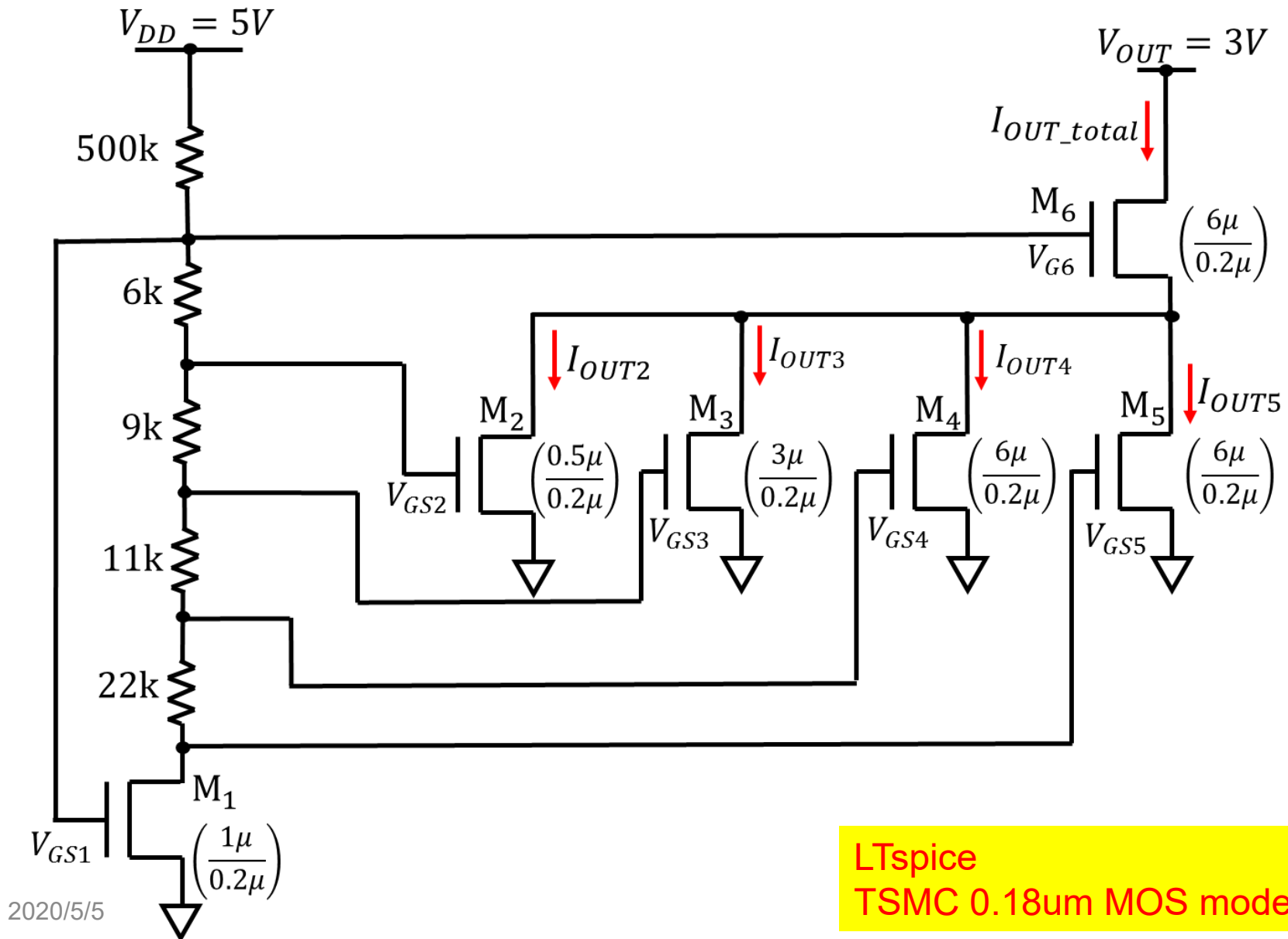


$(I_{OUT})_{max}$ $(I_{IN})_{max}$ Adjusted

Outline

- ✿ Research Background
- ✿ Nagata Current Mirror Circuit
- ✿ Improved circuit (Zach's Circuit)
- ✿ **Proposed MOS Reference Current Source**
 - Circuit Configuration and Operation
 - **SPICE Simulated Characteristics**
 - Component Variation Effects
- ✿ Proposed Bipolar Reference Current Source
- ✿ Temperature Effect
- ✿ Conclusion

SPICE Simulation Circuit

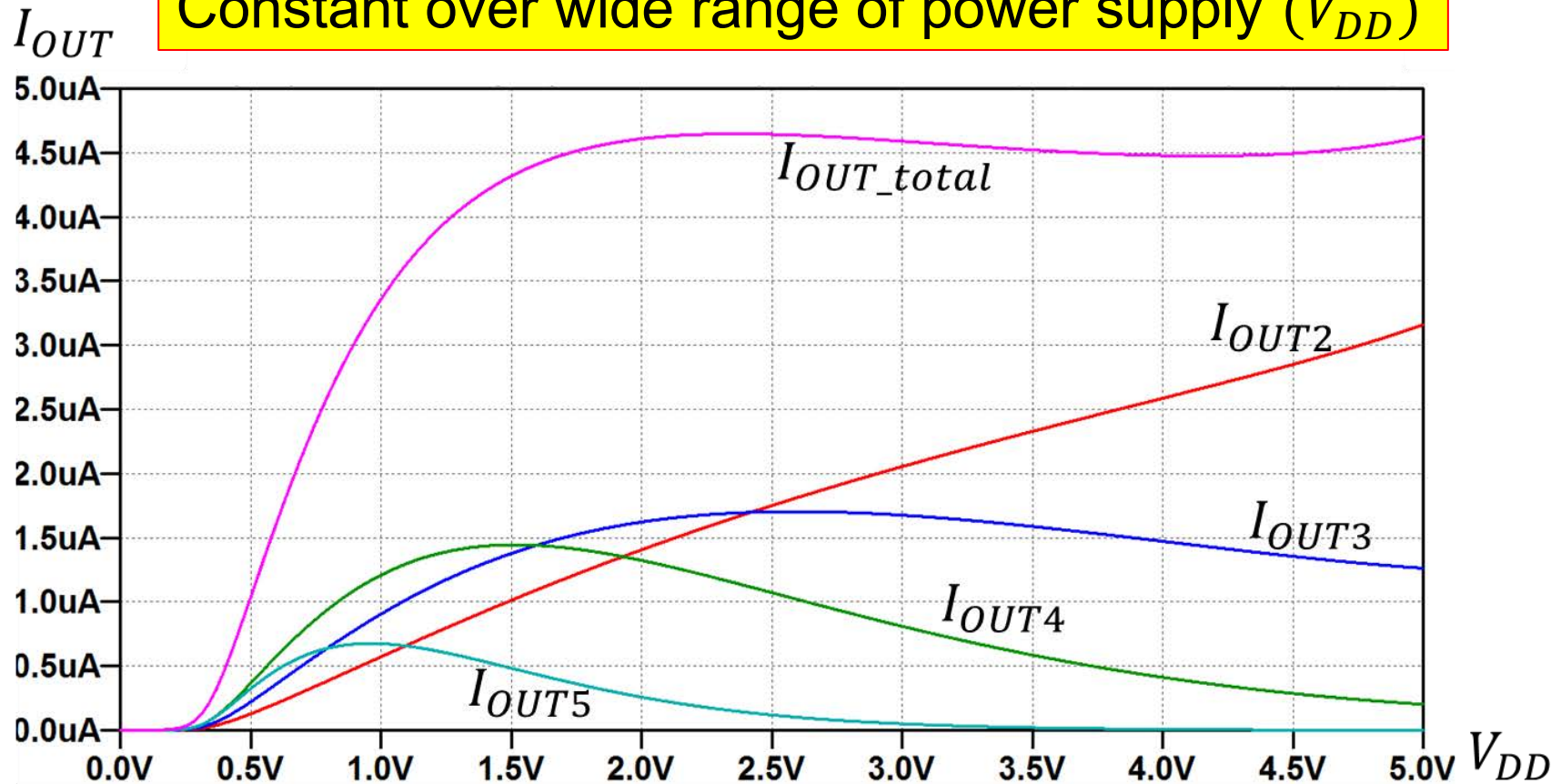


SPICE Simulated Characteristics

$$I_{OUT_total} \sim 4.56\mu A$$



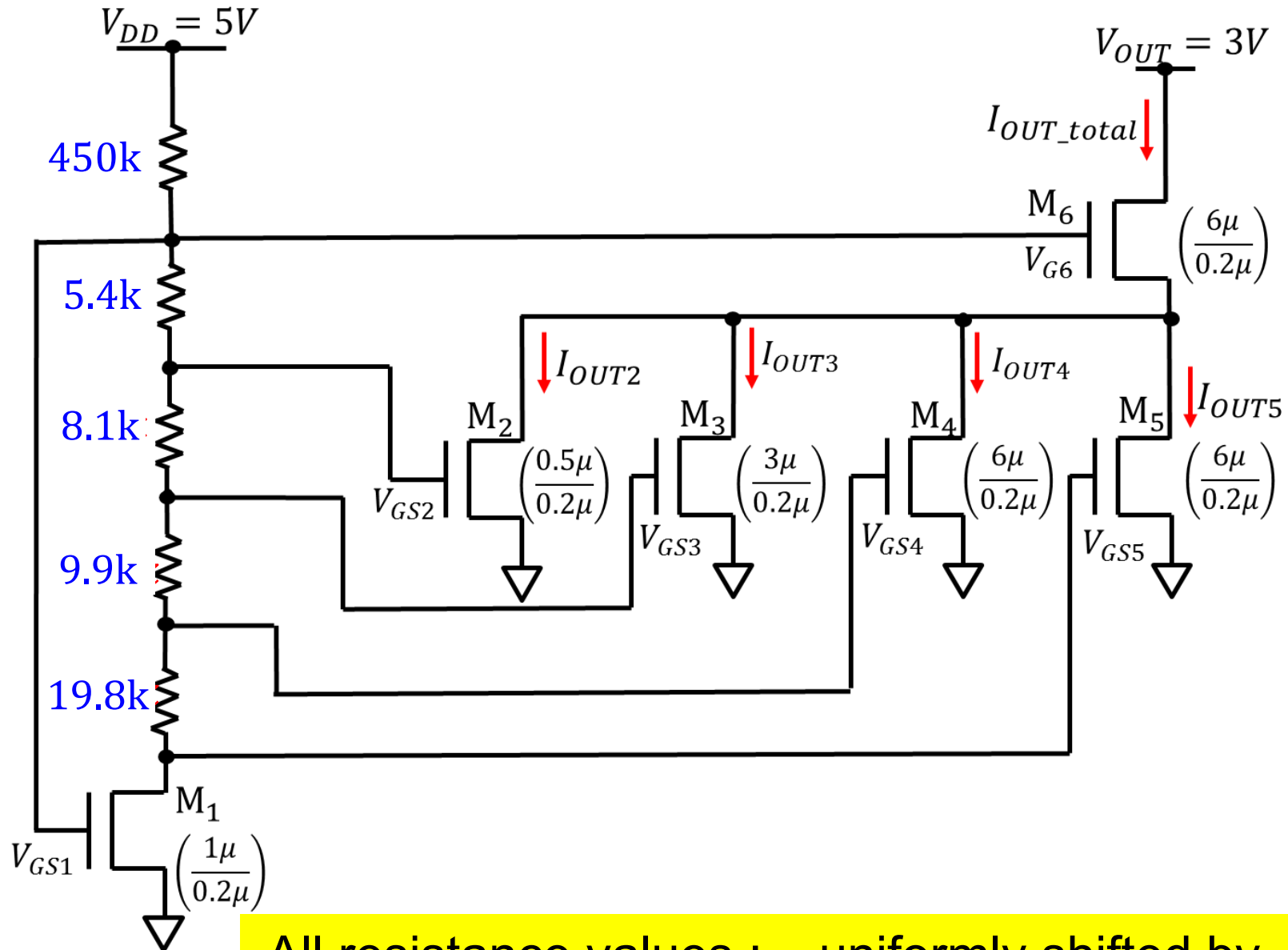
Constant over wide range of power supply (V_{DD})



Outline

- ✿ Research Background
- ✿ Nagata Current Mirror Circuit
- ✿ Improved circuit (Zach's Circuit)
- ✿ **Proposed MOS Reference Current Source**
 - Circuit Configuration and Operation
 - SPICE Simulated Characteristics
 - **Component Variation Effects**
- ✿ Proposed Bipolar Reference Current Source
- ✿ Temperature Effect
- ✿ Conclusion

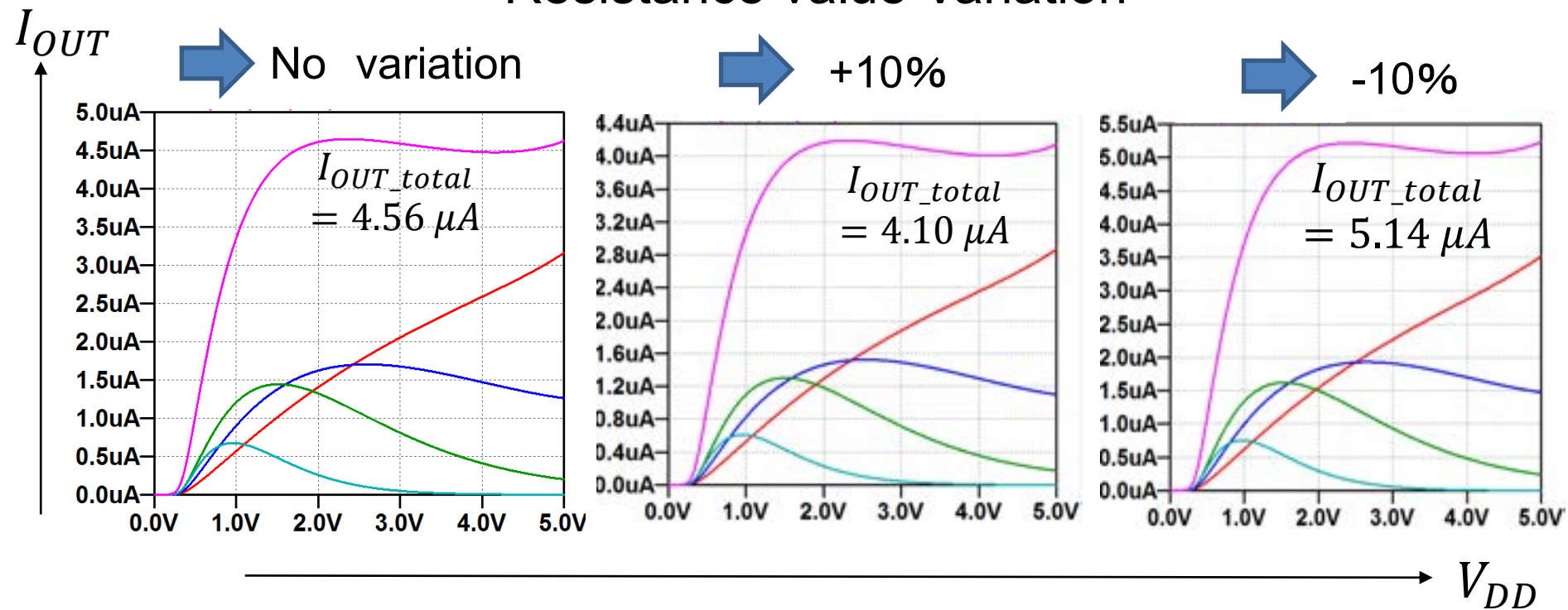
Influence of Resistor Variation



All resistance values : uniformly shifted by $\pm 10\%$

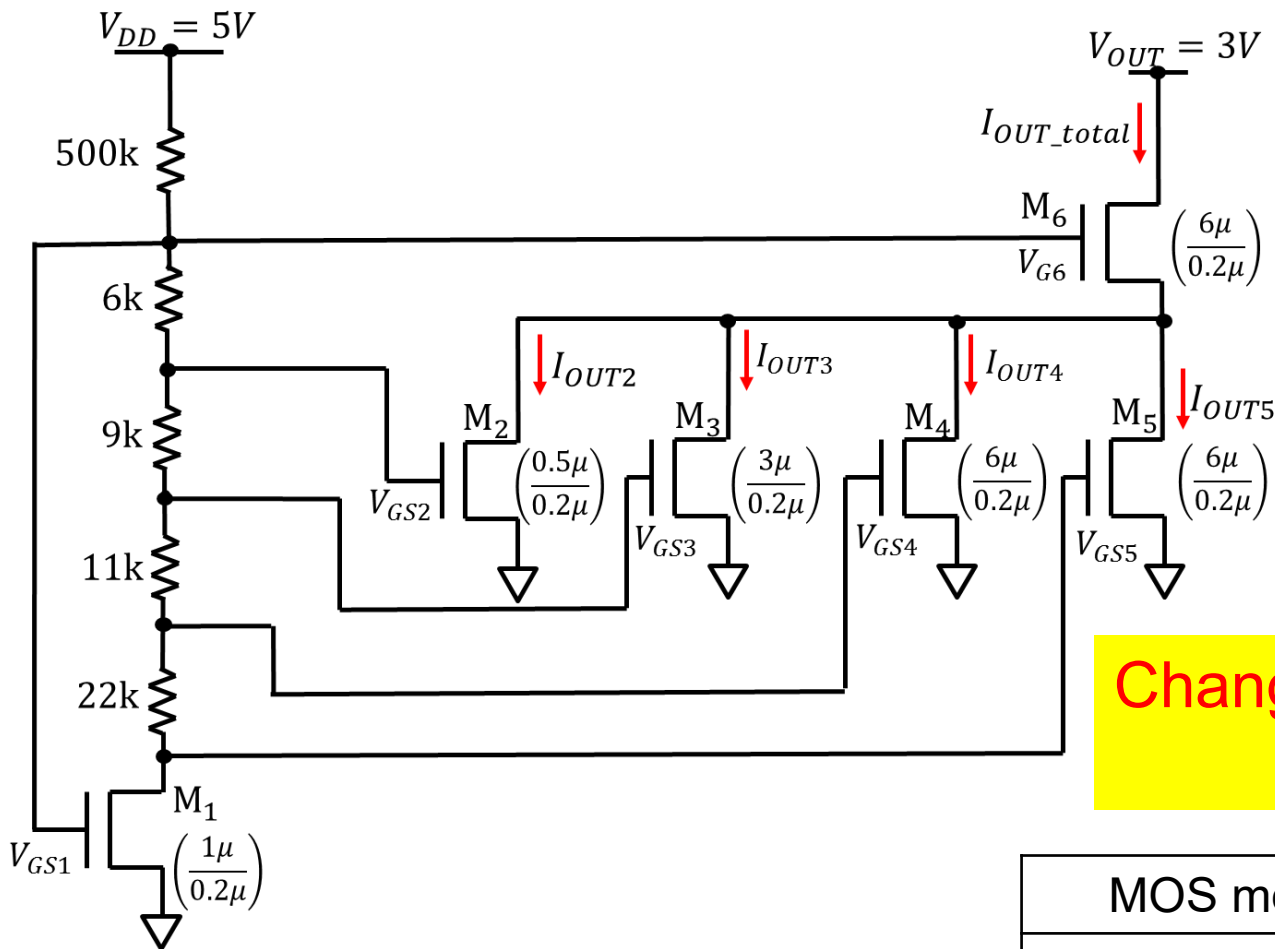
Simulation Result

Resistance value Variation



Resistance value Variation [%]	+10	-10
Total output current change rate [%]	2.4	1.6

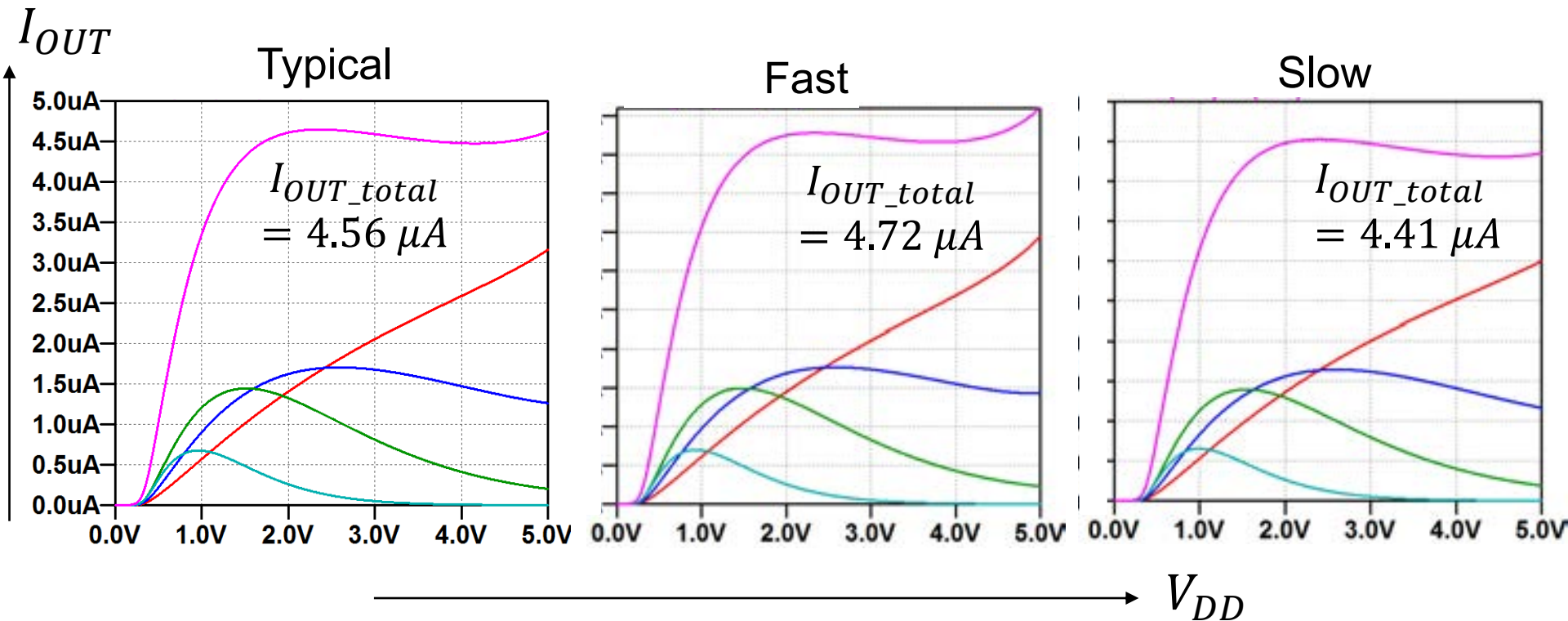
MOS Fast and Slow Models



Change threshold voltage
by $\pm 10\%$

MOS model	Threshold [V]
Typical	0.369
Fast	0.332
Slow	0.406

Simulation Results with Fast & Slow Models

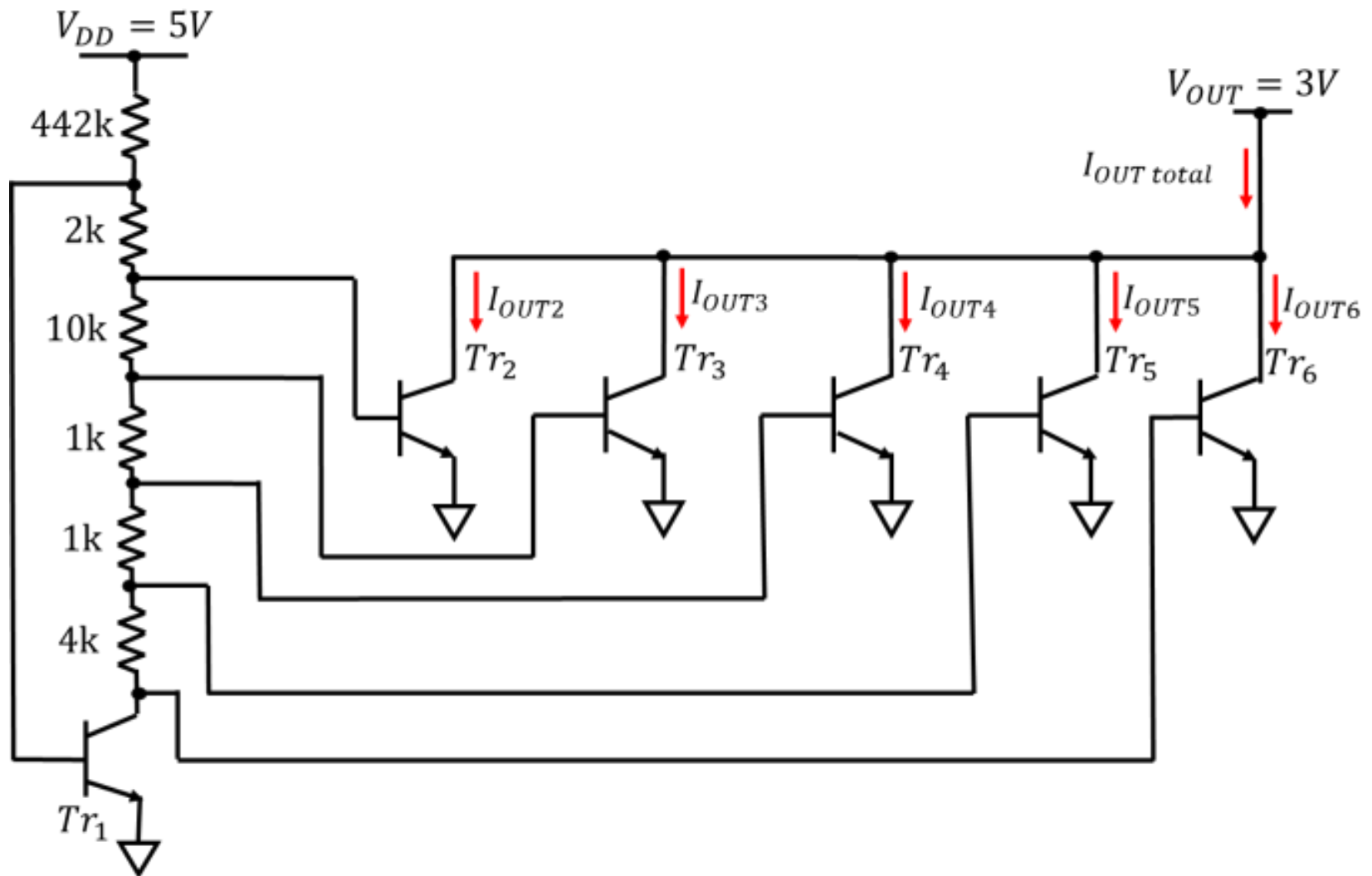


MOS model	Fast	Slow
Total output current change rate [%]	4.4	2.5

Outline

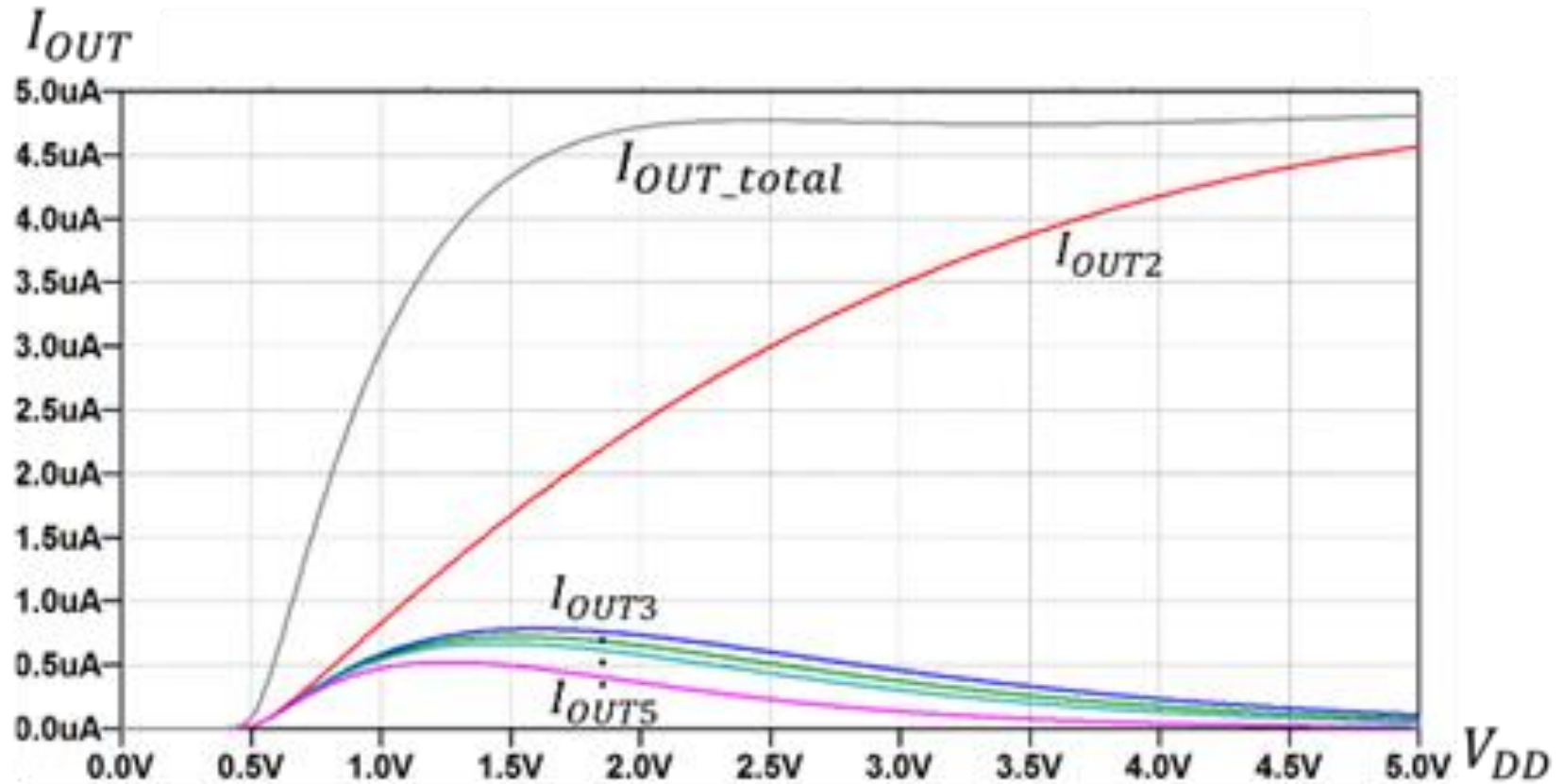
- ✿ Research Background
- ✿ Nagata Current Mirror Circuit
- ✿ Improved circuit (Zach's Circuit)
- ✿ Proposed MOS Reference Current Source
 - ├─ Circuit Configuration and Operation
 - ├─ SPICE Simulated Characteristics
 - └─ Component Variation Effects
- ✿ **Proposed Bipolar Reference Current Source**
- ✿ Temperature Effect
- ✿ Conclusion

Proposed Bipolar Reference Current Source



Simulation Result

Constant over wide range of power supply (V_{DD})



Outline

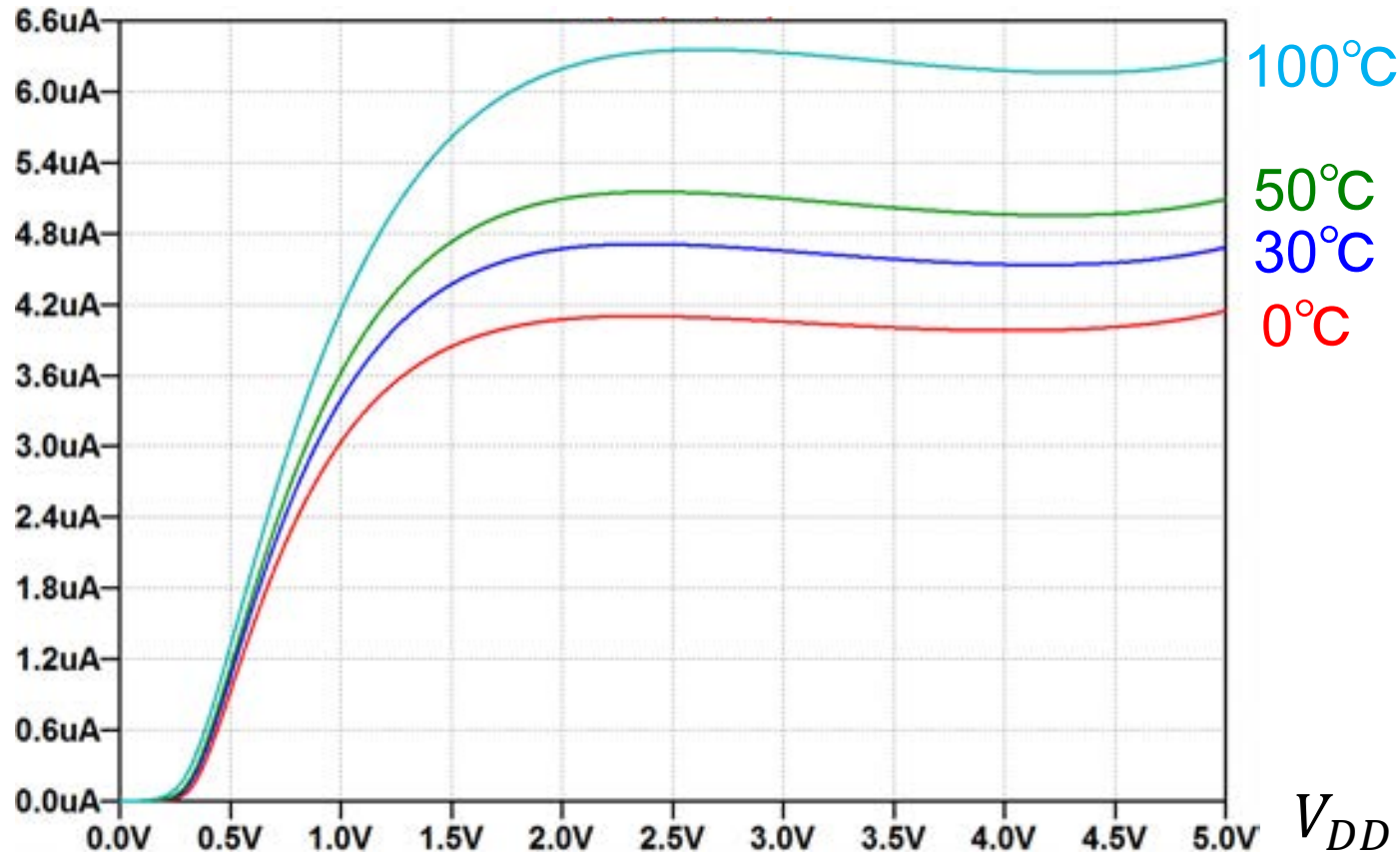
- ✿ Research Background
- ✿ Nagata Current Mirror Circuit
- ✿ Improved circuit (Zach's Circuit)
- ✿ Proposed MOS Reference Current Source
 - ├─ Circuit Configuration and Operation
 - ├─ SPICE Simulated Characteristics
 - └─ Component Variation Effects
- ✿ Proposed Bipolar Reference Current Source
- ✿ **Temperature Effect**
- ✿ Conclusion

Temperature Effect (1)

Proposed MOS circuit

1°C UP → about 0.023μA UP

I_{OUT_total}

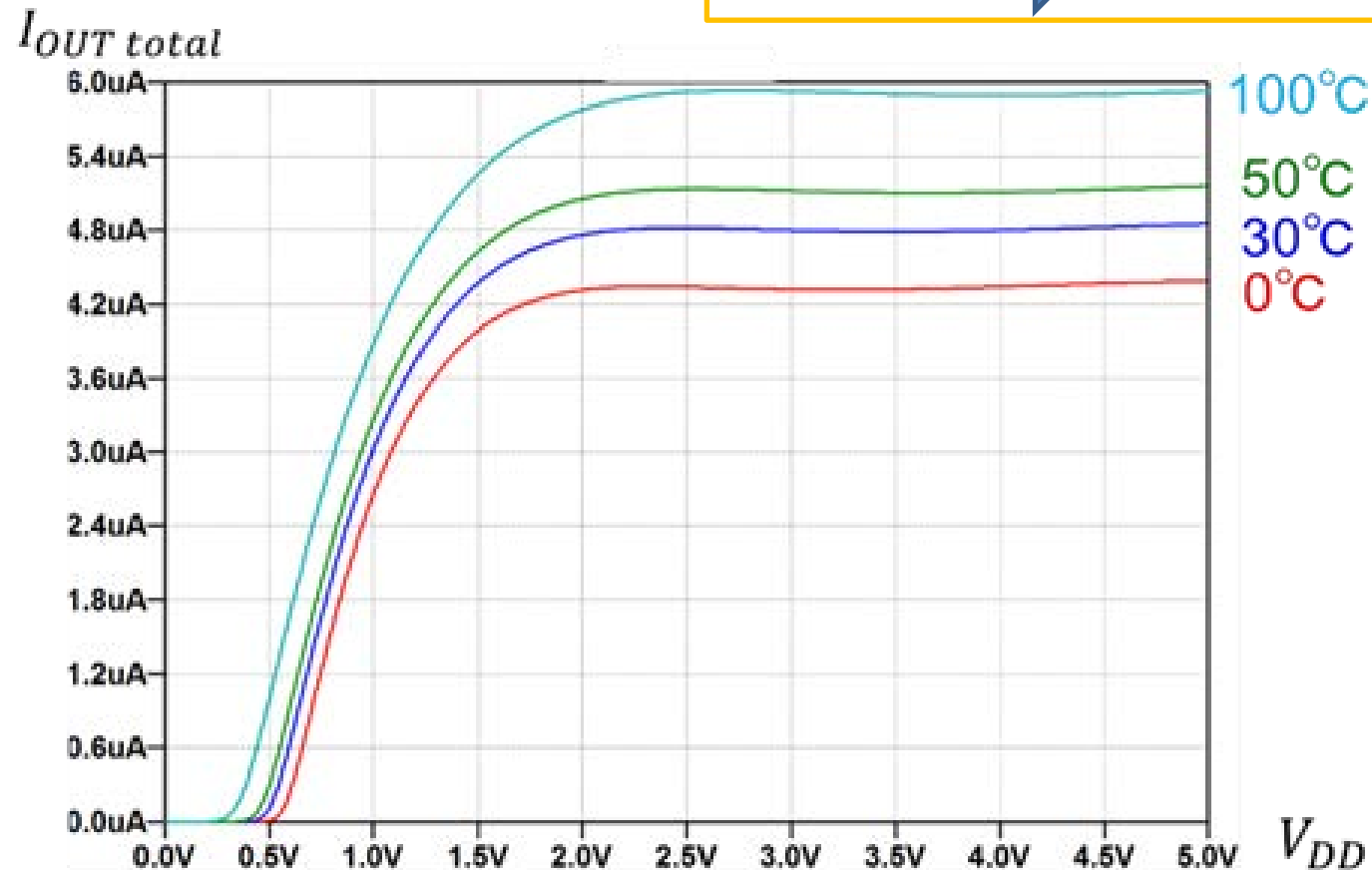


Proposed reference current source does not consider temperature variation effect

Temperature Effect

Proposed **Bipolar** transistor circuit

1°C UP → about 0.015μA UP



Proposed reference current source dose not consider temperature variation effect

Outline

- ✿ Research Background
- ✿ Nagata Current Mirror Circuit
- ✿ Improved circuit (Zach's Circuit)
- ✿ Proposed MOS Reference Current Source
 - ├─ Circuit Configuration and Operation
 - ├─ SPICE Simulated Characteristics
 - └─ Component Variation Effects
- ✿ Proposed Bipolar Reference Current Source
- ✿ Temperature Effect
- ✿ **Conclusion**

Conclusion

- Proposal of MOS & Bipolar reference current sources

➔ Sum of multiple peaking currents

- Comparison

Circuit	Circuit Simplicity	Chip Area	Insensitivity to V_{DD}
Nagata Current Mirror	Excellent	Excellent	Good
Zach's Circuit	Fair	Not good	Excellent
BandGap Reference	Not good	Good	Fair
Proposed Reference Current Source	Good	Excellent	Excellent

Design guidelines of R, W/L values are now ready for reporting elsewhere.

Analog circuit is art & craft

温故知新



Old invention by Dr. Nagata in 1966.

&

New idea



Very good analog circuit !!

Thank you for listening

謝謝



Silicon Verification of Improved Nagata Current Mirrors

M. Hirano, N. Kushita, Y. Moroshima, H. Harakawa, T. Oikawa,
N. Tsukiji, T. Ida, ○Yukiko Shibasaki, H. Kobayashi

ASO Inc.
Gunma University



Outline

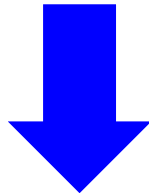
- Research Background
- Nagata current mirror circuit
- Improved circuit
- Design guideline
- Design & implementation
- Measurement
- Evaluation
- Conclusion

Outline

- **Research Background**
- Nagata current mirror circuit
- Improved circuit
- Design guideline
- Design & implementation
- Measurement
- Evaluation
- Conclusion

Research Background

Most analog ICs require
Reference current / voltage source



Stable against PVT variation

P : Process

V : Supply voltage

T : Temperature

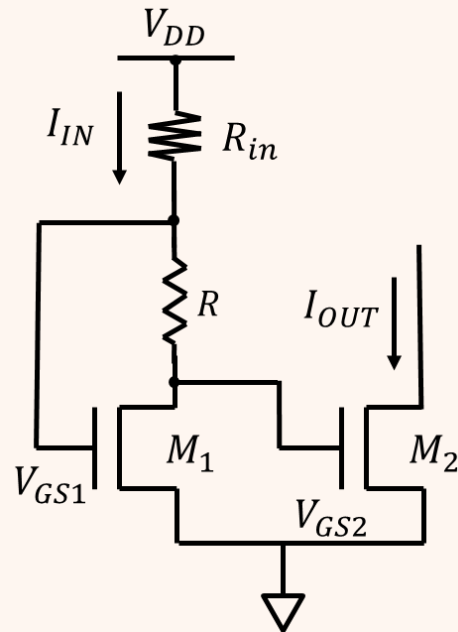
Nagata current mirror

- ✓ Simple
- ✓ Constant current for voltage variations
- ✓ Widely used in analog ICs

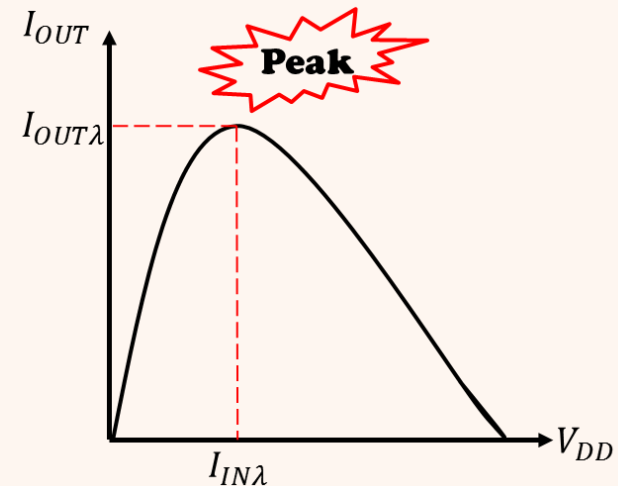
Outline

- Research Background
- **Nagata current mirror circuit**
- Improved circuit
- Design guideline
- Design & implementation
- Measurement
- Evaluation
- Conclusion

Original Nagata Current Mirror



MOS Nagata
Current Mirror Circuit



Peaking current
characteristics

$$I_{IN\lambda} = \frac{1}{4R^2K_1(1 + \lambda V_{DS1})} \cdot I_{OUT\lambda} = \frac{(W/L)_2}{4(W/L)_1} \cdot I_{IN}(1 + \lambda V_{DS2})$$

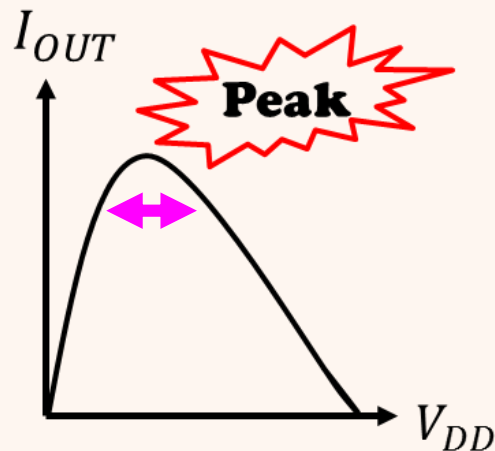
Research Objective

Improved point

Peak vicinity is narrow

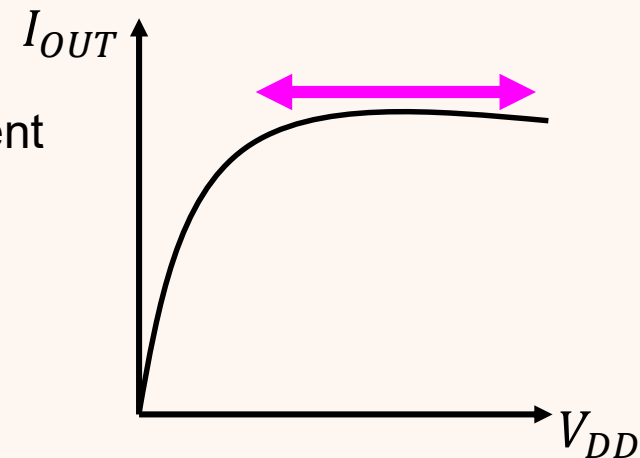


Wider



Peaking current characteristics

Improvement

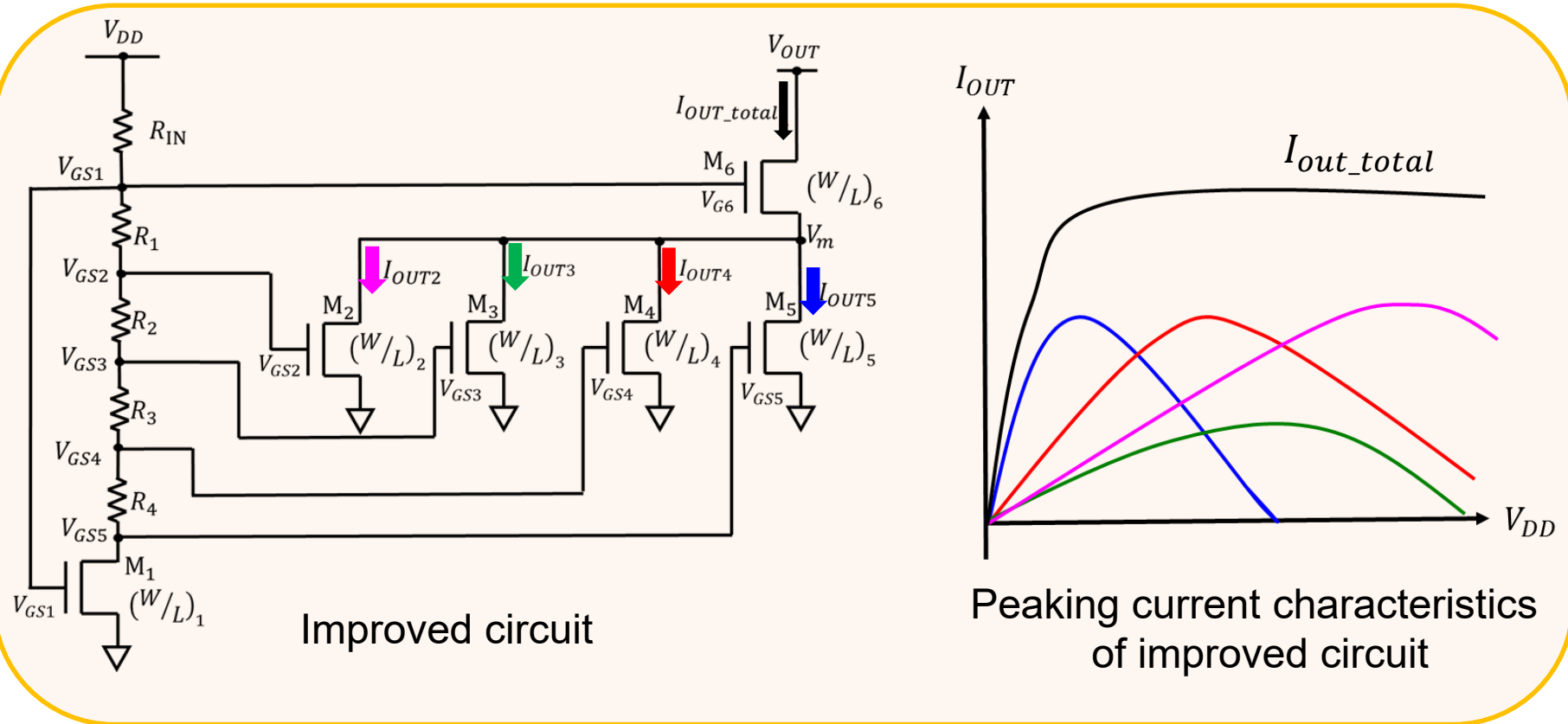


Peaking current characteristics of improved circuit

Outline

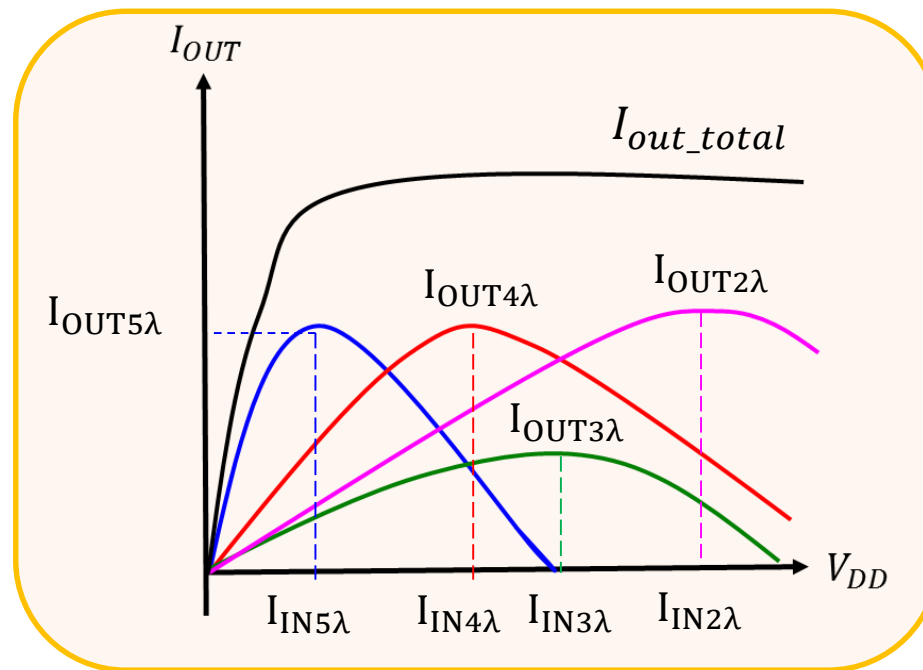
- Research Background
- Nagata current mirror circuit
- **Improved circuit**
- Design guideline
- Design & implementation
- Measurement
- Evaluation
- Conclusion

Overview of Improved Circuit



- ✓ Simple design
- ✓ Using multiple current mirror circuit
- ✓ Different current peaks

Theoretical Formula



Current equation of improved circuit

$$I_{INn\lambda} = \frac{1}{4R'_{n-1}{}^2 K_1 (1 + \lambda V_{DS1})}$$

$$I_{OUTn\lambda} = \frac{(W/L)_n}{(W/L)_1} I_{INn\lambda} (1 + \lambda V_{DSn})$$

$$(n = 2, 3, 4, 5 \quad R'_{n-1} = R_1 + R_2 + \dots + R_{n-1})$$

Condition for saturation region expression

$$R'_{n-1} < \frac{V_{TH}}{I_{IN}}$$

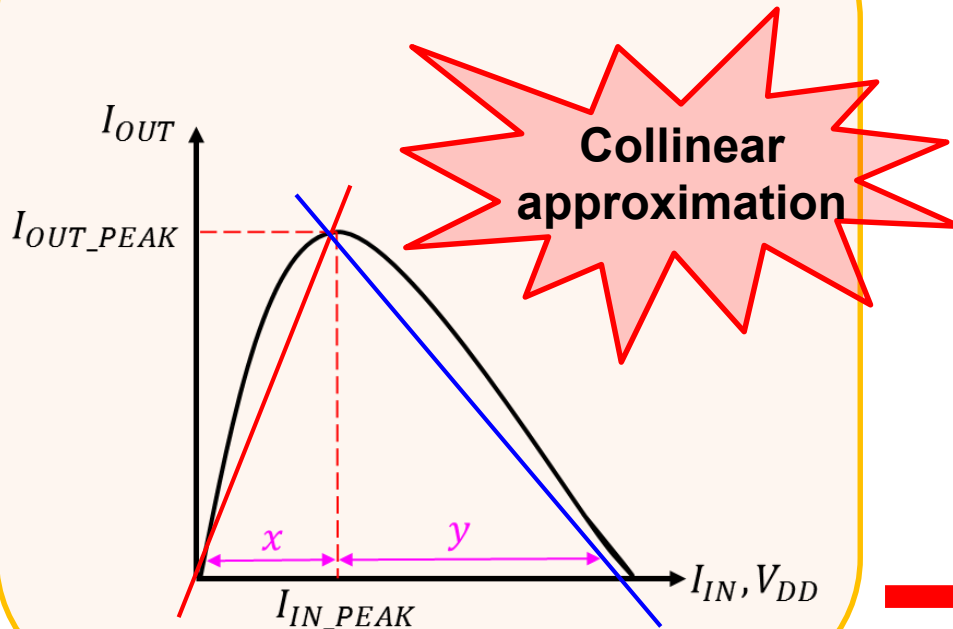
$$V_{OUT} > V_{DD} - R I_{IN} - V_{TH}$$

Outline

- Research Background
- Nagata current mirror circuit
- Improved circuit
- **Design guideline**
- Design & implementation
- Measurement
- Evaluation
- Conclusion

Analysis of Peak Characteristics

Attention peak characteristics



- $x = 0 \sim I_{IN_PEAK}$

$$= \frac{1}{4R^2K_1}$$
- $y = I_{IN_PEAK} \sim I'_{IN}$

$$= I'_{IN} - x$$

$$= \frac{1}{R^2K_1} - \frac{1}{4R^2K_1}$$

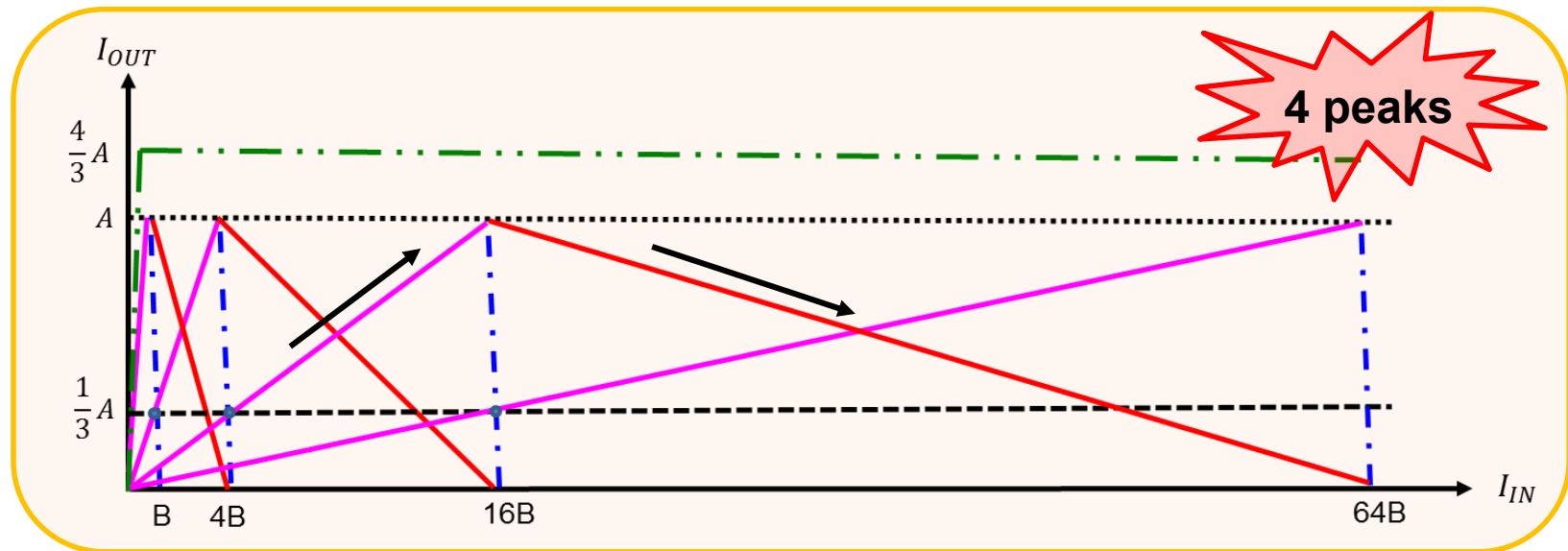
$$= 3x$$

$$x : y = 1 : 3$$

Establish design guideline using this ratio

Overview of Design Guideline

Current decrease ↘ = increase ↗



Design process

- ✓ Determine $I_{OUT} = A$
- ✓ Determine I_{IN} of each peak
 - ➡ Using the ratio ($x : y = 1 : 3$)
- ✓ Derive R , R_{IN} , L , W from theoretical formula

Outline

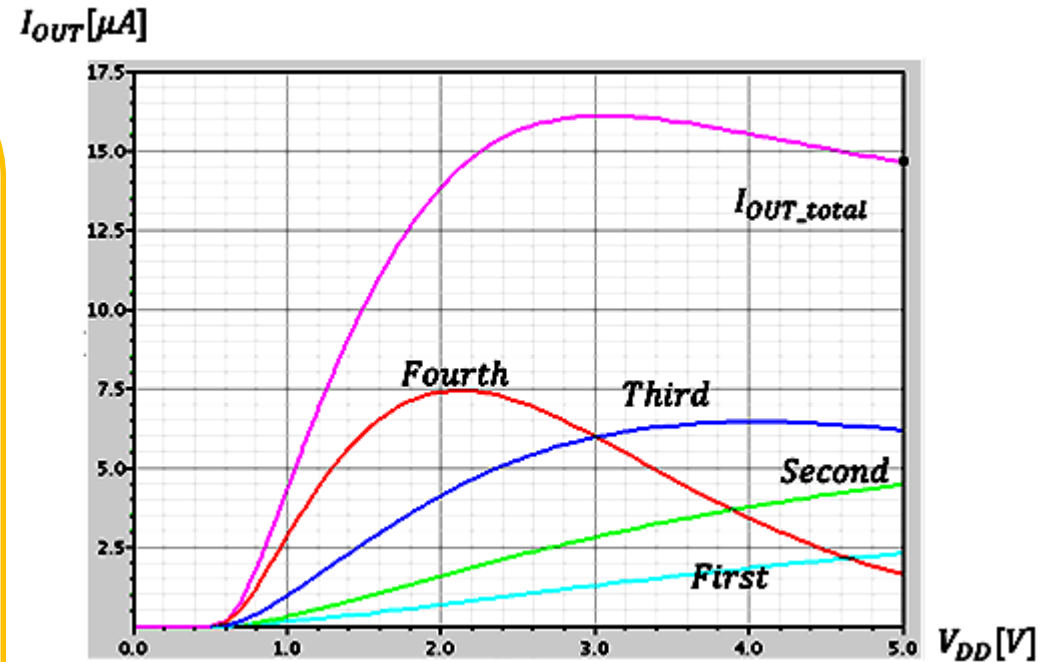
- Research Background
- Nagata current mirror circuit
- Improved circuit
- Design guideline
- **Design & implementation**
- Measurement
- Evaluation
- Conclusion

Parameters by Theoretical Equation

Parameters

$W_1 [\mu m]$	1.5	$R_1 [k\Omega]$	3.3
$W_2 [\mu m]$	0.42	$R_2 [k\Omega]$	3.3
$W_3 [\mu m]$	1.7	$R_3 [k\Omega]$	6.5
$W_4 [\mu m]$	6.8	$R_4 [k\Omega]$	13.2
$W_5 [\mu m]$	27.1	$R_{IN} [k\Omega]$	400
$W_6 [\mu m]$	27.1		

$L = 0.35 [\mu m]$ in all cases



SPICE simulation result

Error by linear approximation and MOS model



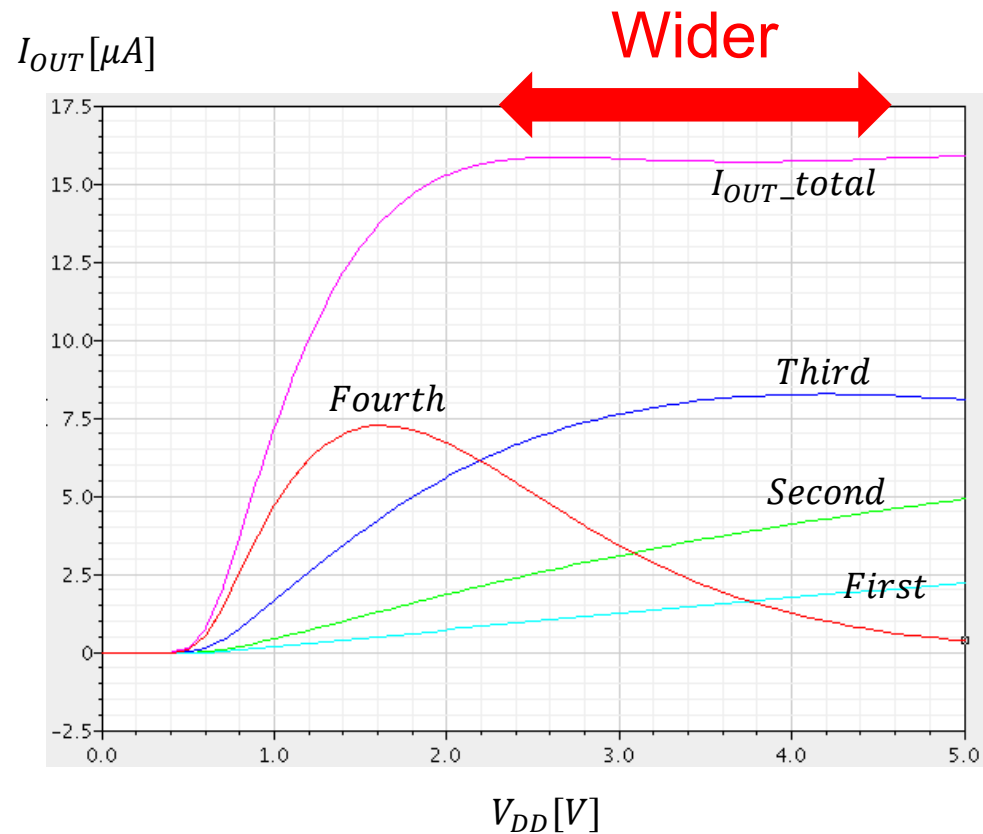
Fine adjustment

Adjusted Parameters

Adjusted parameters

$W_1[\mu m]$	1.5	$R_1[k\Omega]$	3.2
$W_2[\mu m]$	0.42	$R_2[k\Omega]$	3.2
$W_3[\mu m]$	1.7	$R_3[k\Omega]$	6.4
$W_4[\mu m]$	6.8	$R_4[k\Omega]$	22.4
$W_5[\mu m]$	25.5	$R_{IN}[k\Omega]$	400
$W_6[\mu m]$	25.5		

$L = 0.35[\mu m]$ in all cases



SPICE simulation result

Fabricated Chip

Fabricated circuit parameters

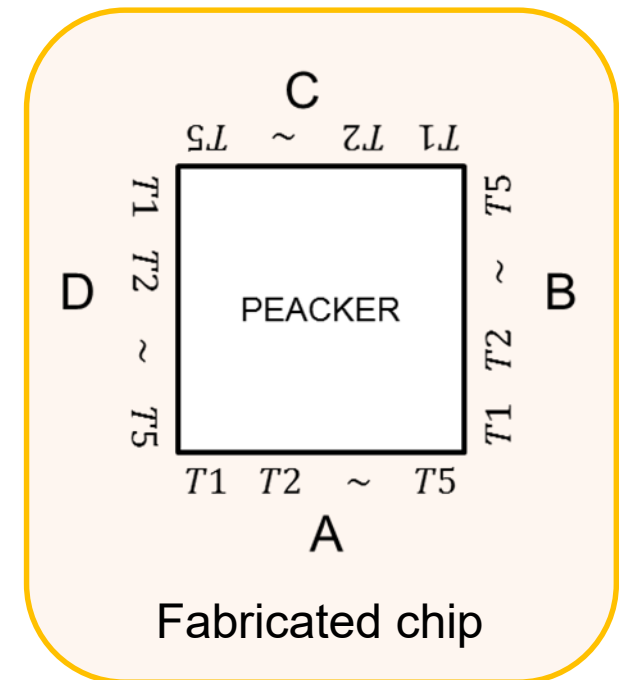
TSMC $0.35\mu\text{m}$ CMOS

Circuit Type	T1	T2	T3	T4	T5
# of peaks	4	4	4	3	4
(W/L)	$(W/L)_{T1}$	$1.5 \times (W/L)_{T1}$	$2 \times (W/L)_{T1}$	$(W/L)_{T4}$	$(W/L)_{T5}$
R	R'_{n-1T1}	R'_{n-1T1}	R'_{n-1T1}	R'_{n-1T4}	R'_{n-1T5}

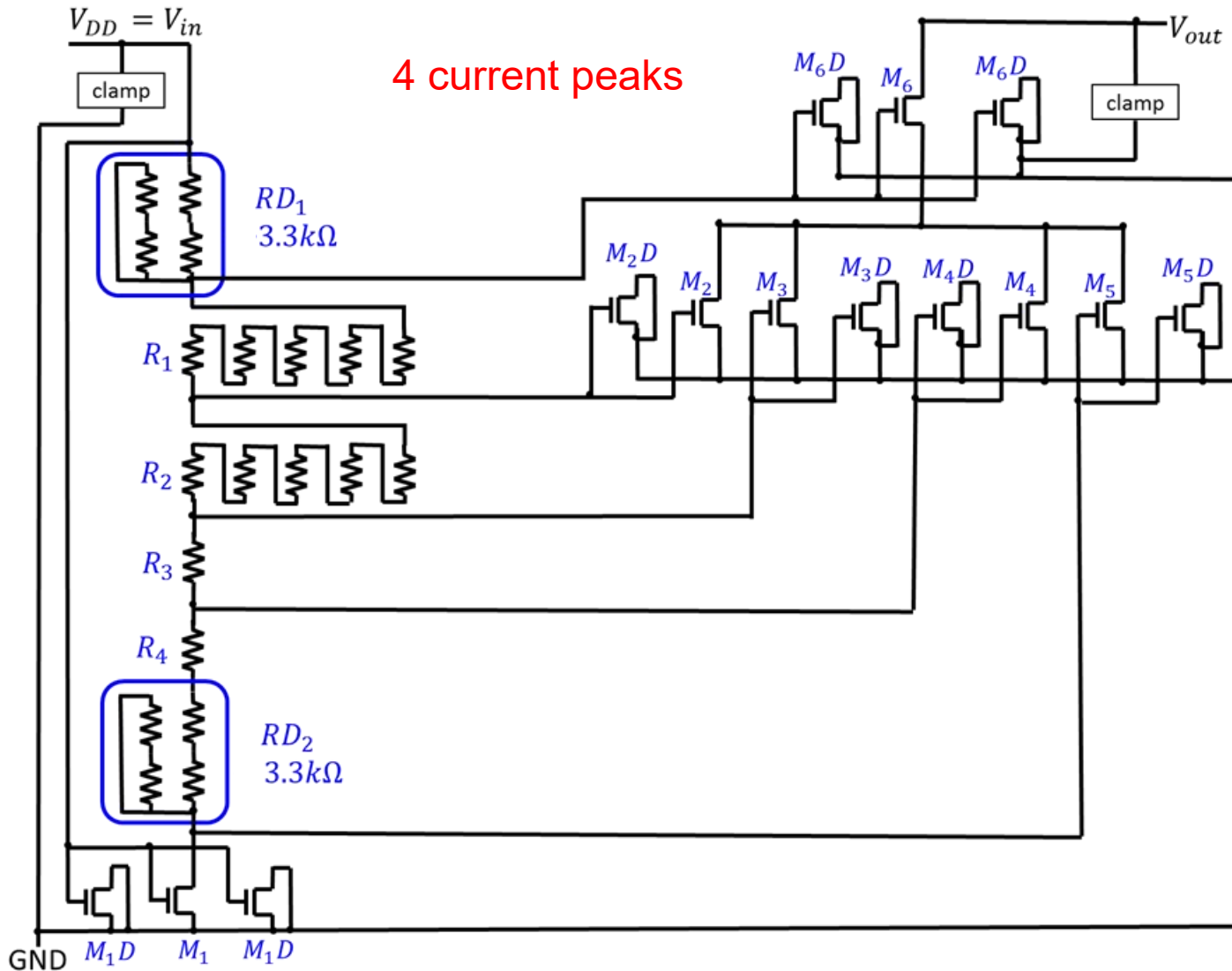
- ✓ 5 chips (#1,...,#5)
- ✓ 4 sets (A,...,D) per one chip
- ✓ 5 circuit (T1,...,T5) per one side



20 samples per circuit type
 4 (A,...,D) x 5(#1,...,#5)



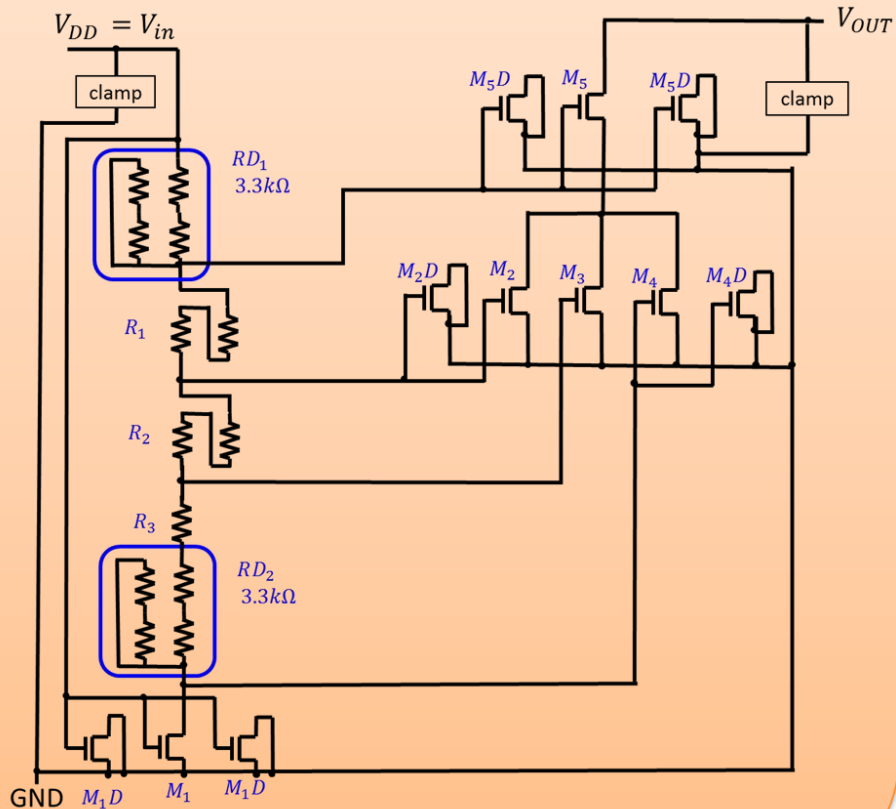
Circuit Diagram of T1/T2/T3



Circuit Diagram of T4 & T5

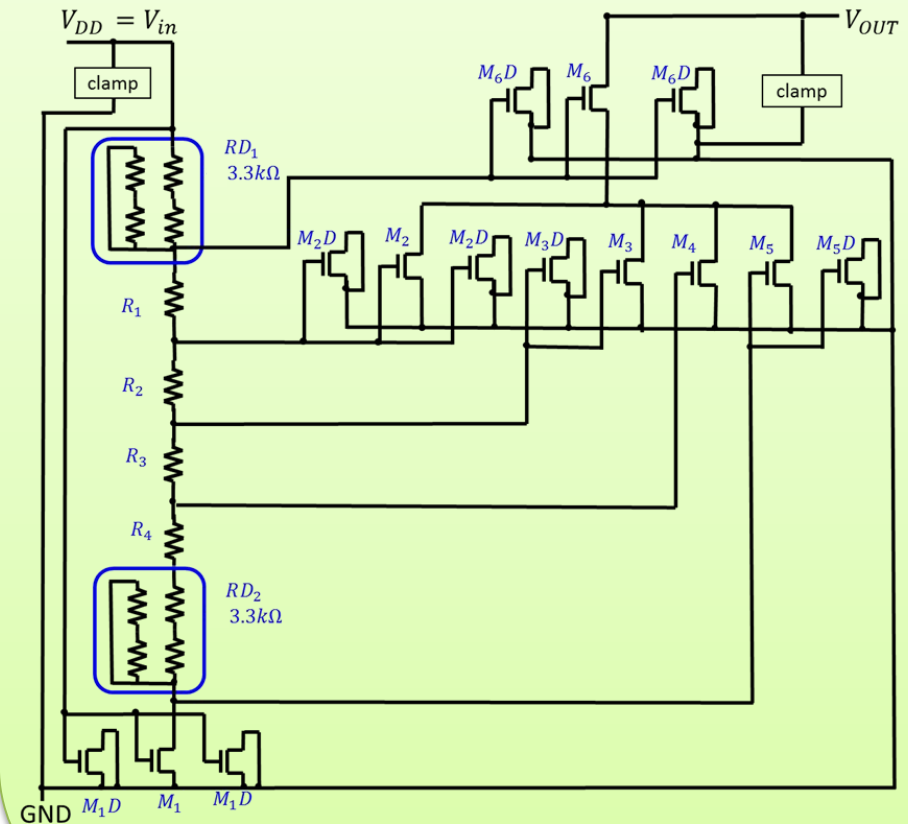
T4

3 current peaks



T5

5 current peaks



Outline

- Research Background
- Nagata current mirror circuit
- Improved circuit
- Design guideline
- Design & implementation
- **Measurement**
- Evaluation
- Conclusion

Measurement Method

- ✓ Output voltage $V_{OUT} = 1V, 2V, 3V$
- ✓ Input voltage $V_{IN} = 0 \sim 5.0 V$



Measured the total output current I_{OUT}

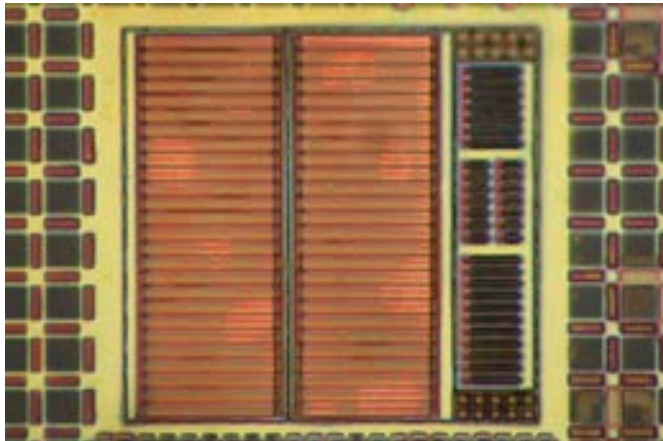
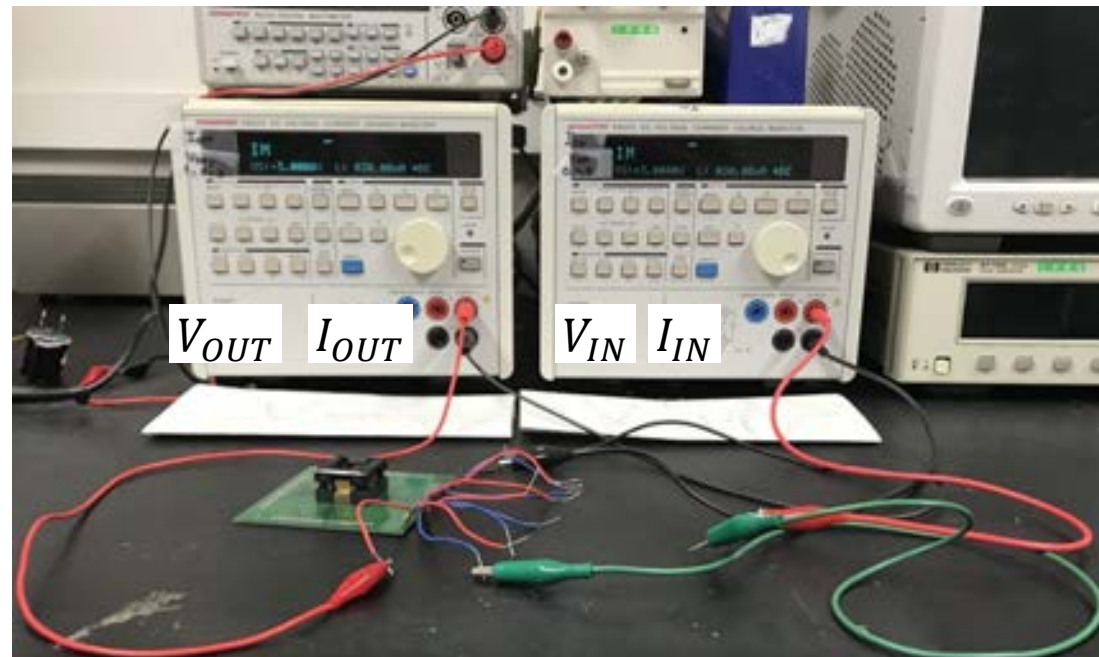
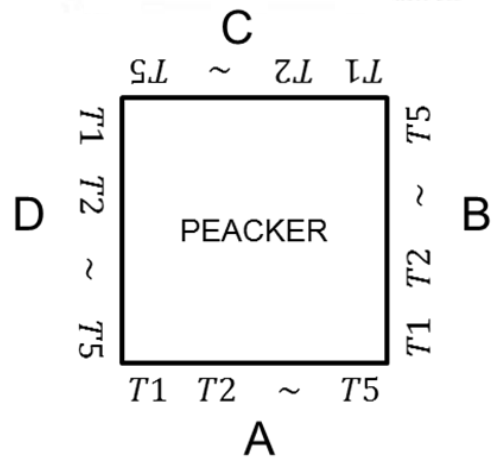
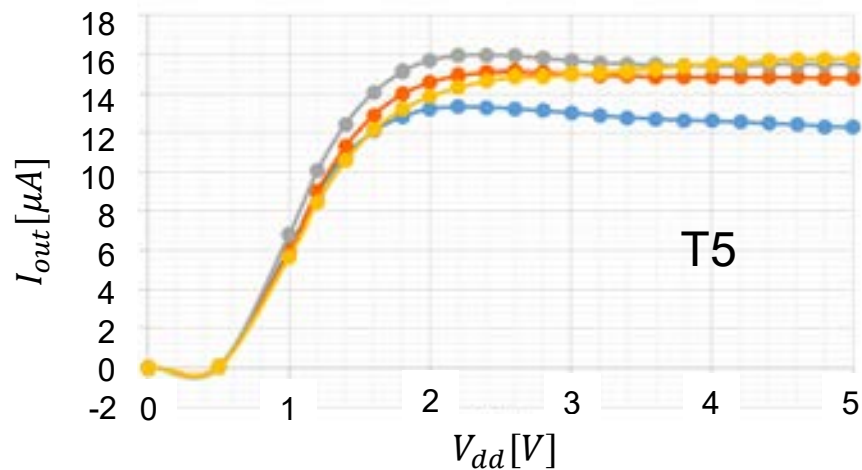
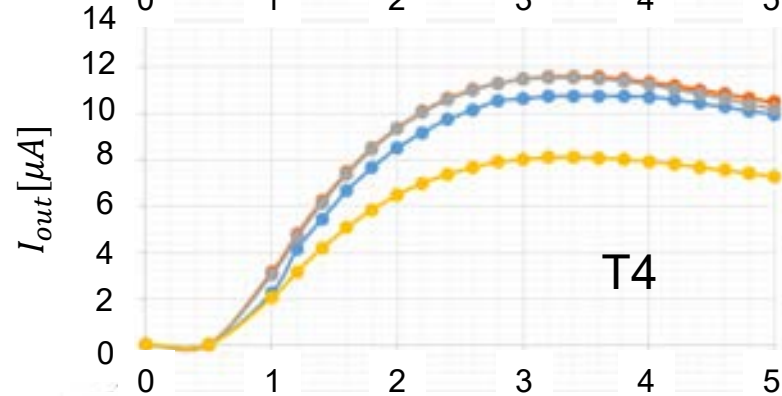
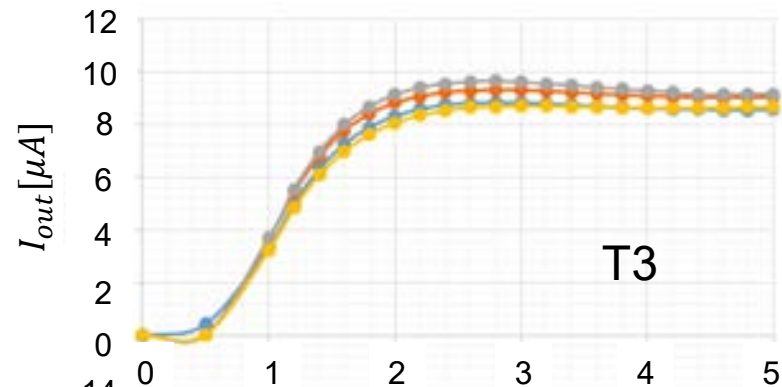
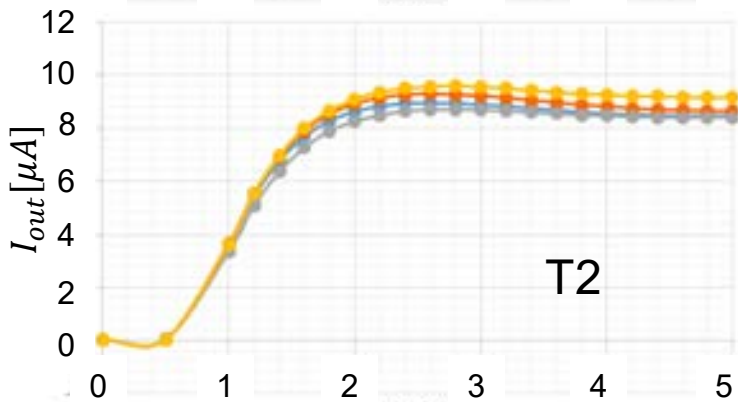
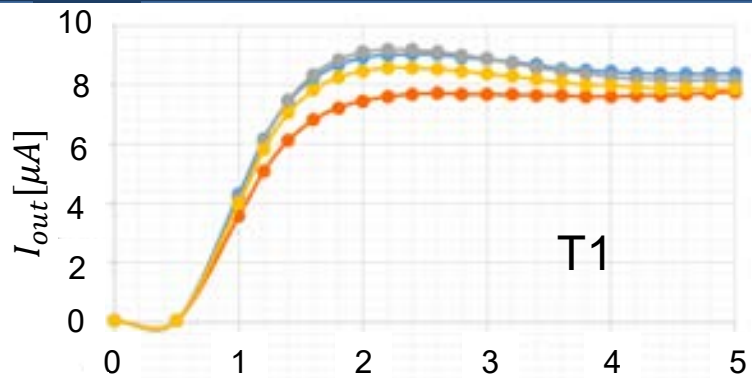


Photo of prototype chip

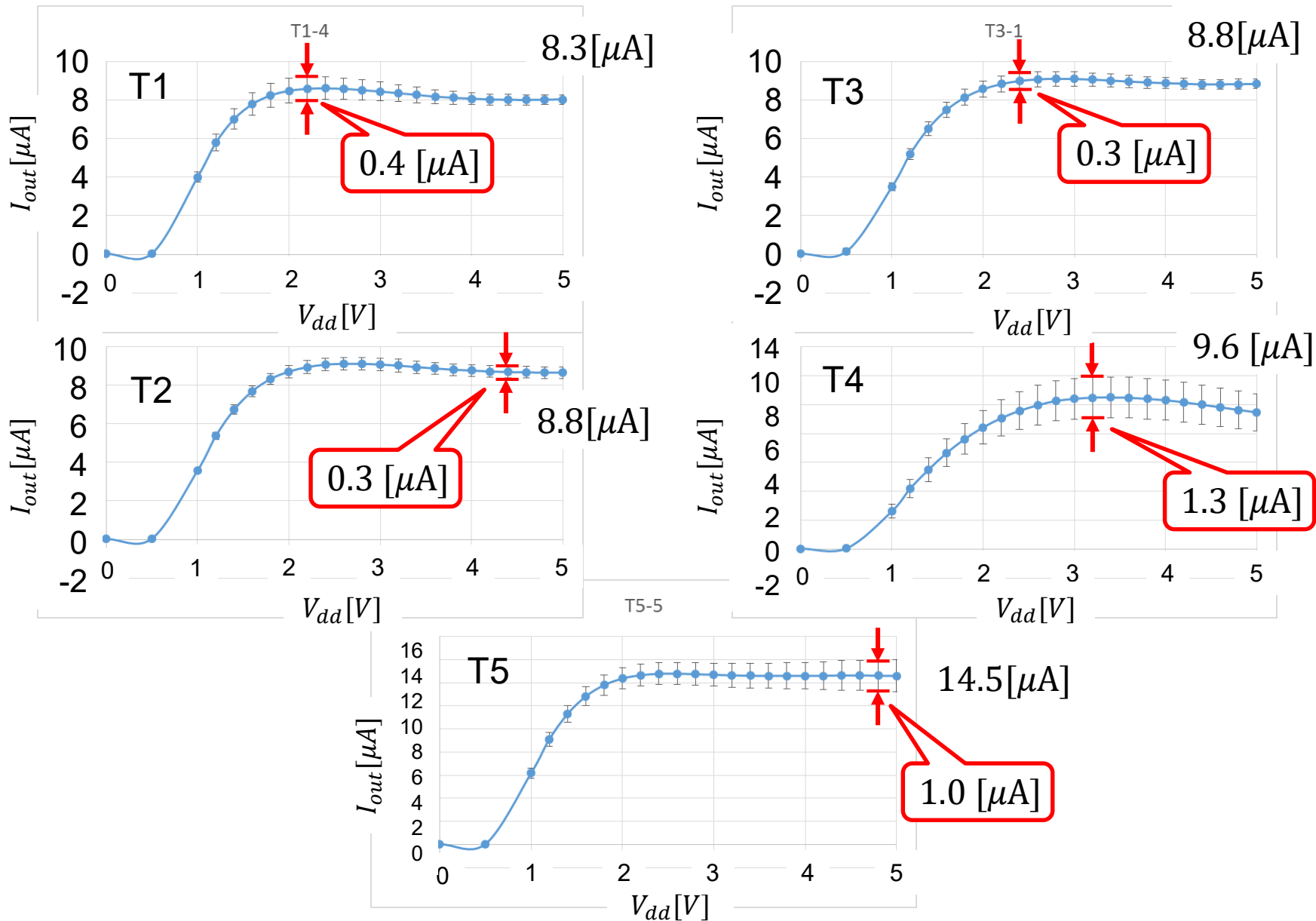


Measurement environment

I_{OUT} Measurement Results (#1) $V_{OUT} = 3V$

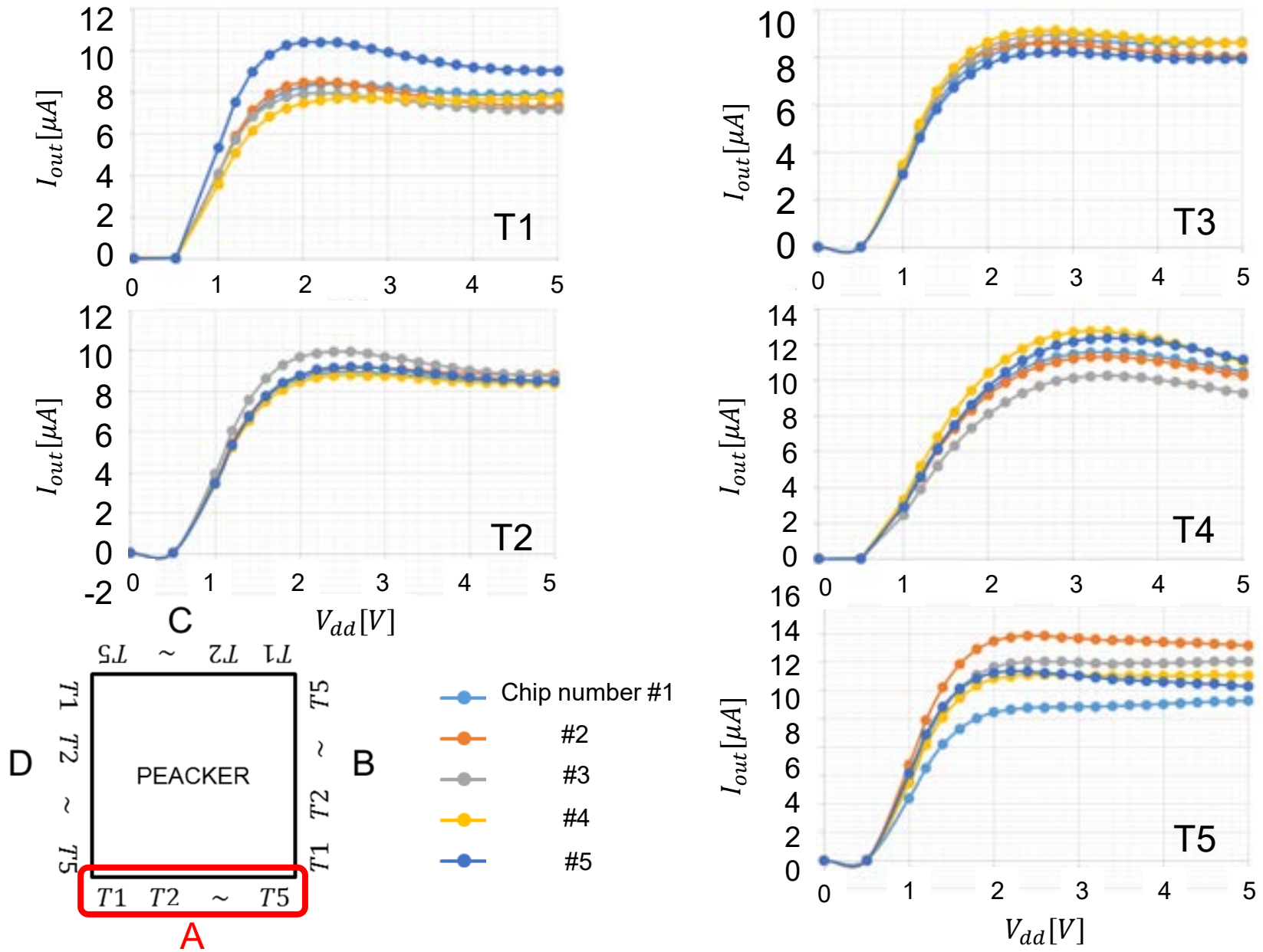


Standard Deviation of I_{OUT} (#1)

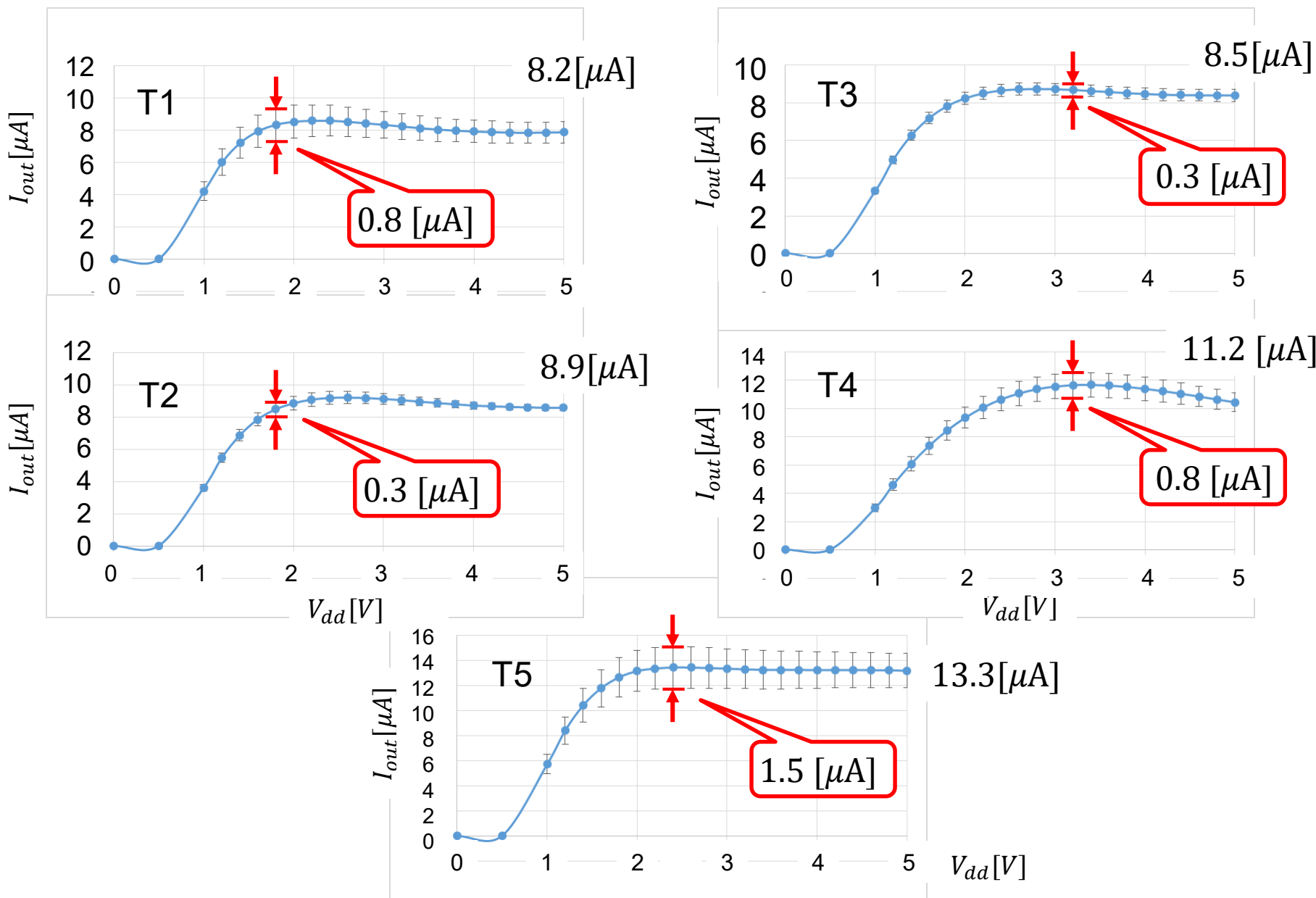


I_{OUT} Measurement Results (Side A)

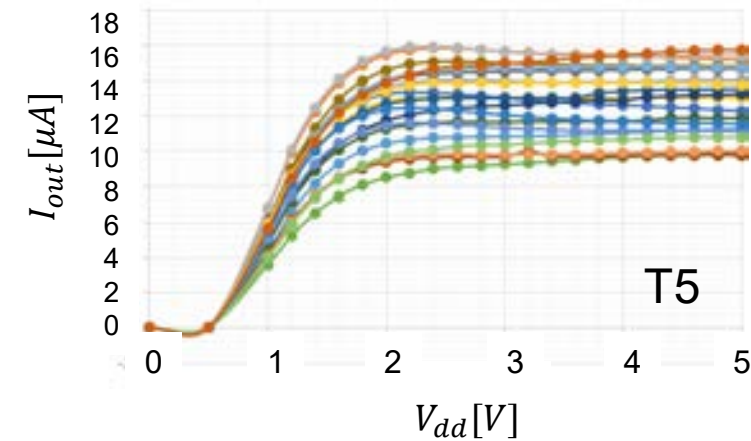
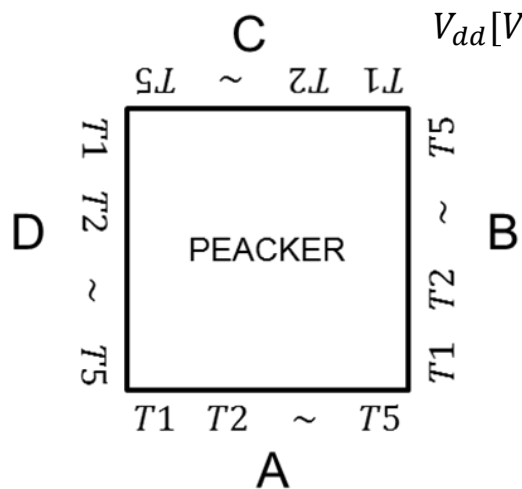
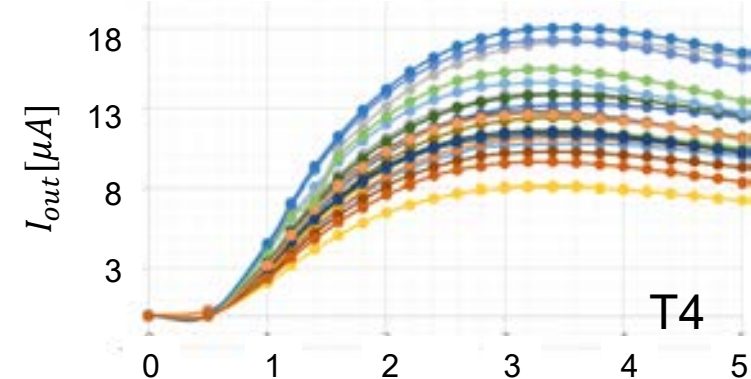
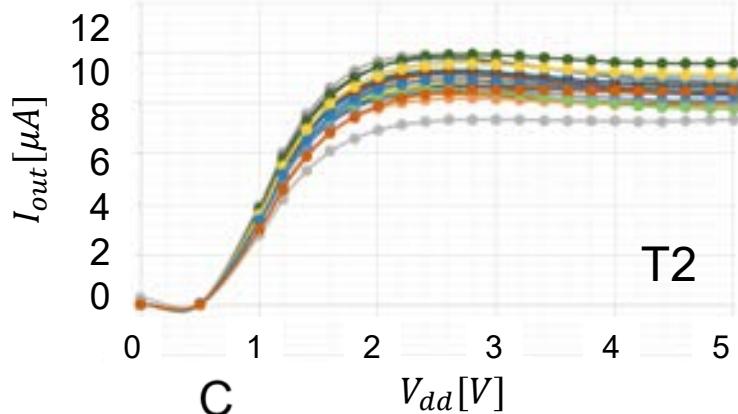
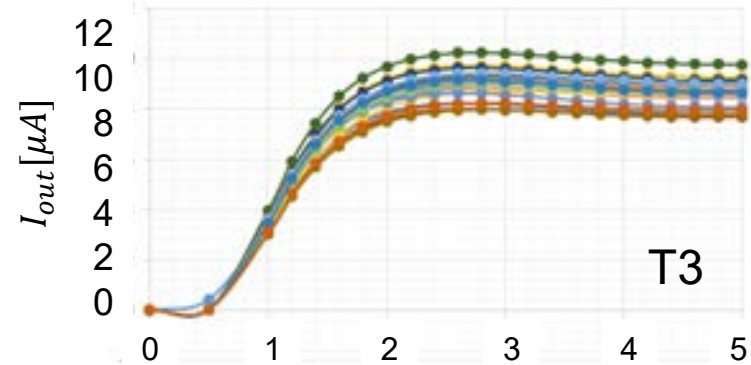
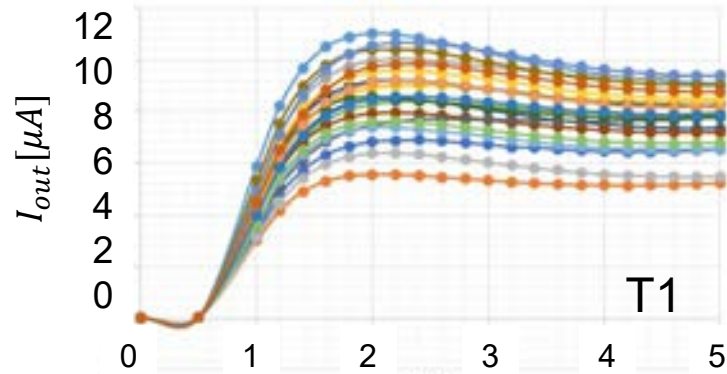
$$V_{OUT} = 3V$$



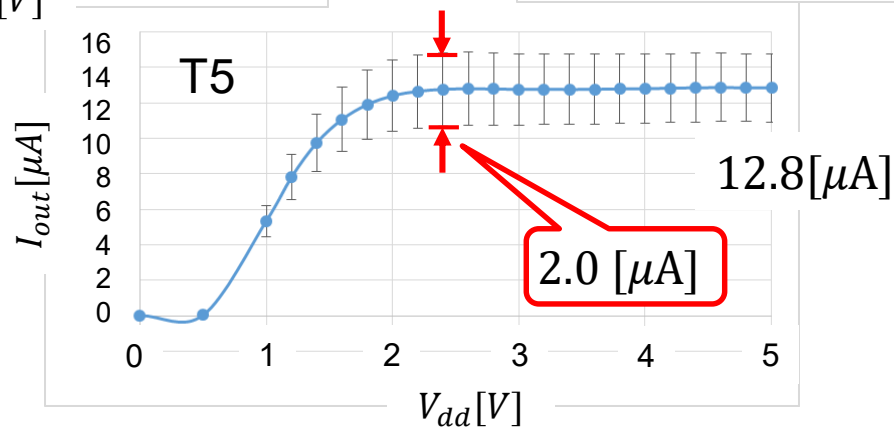
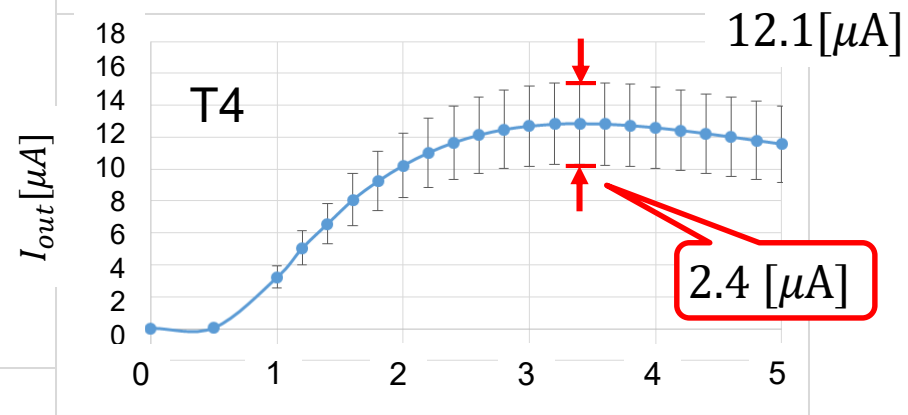
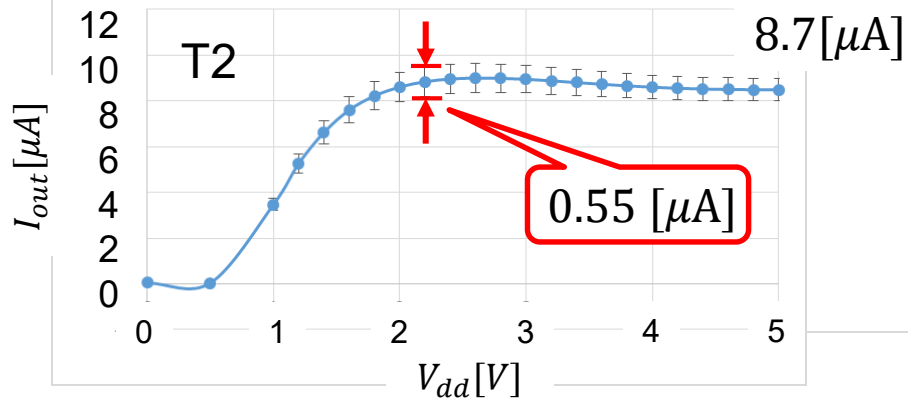
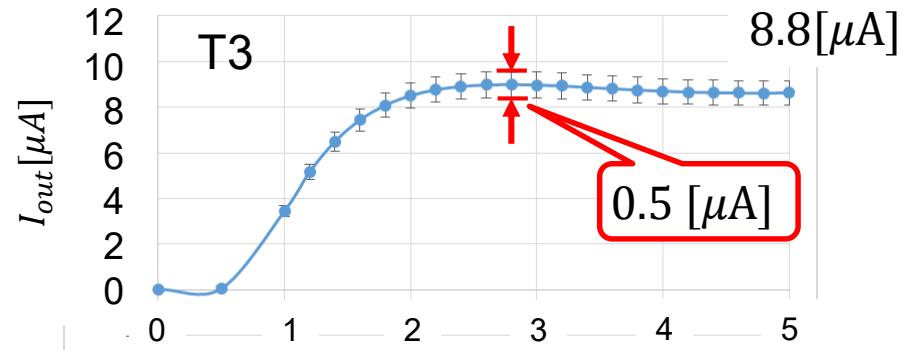
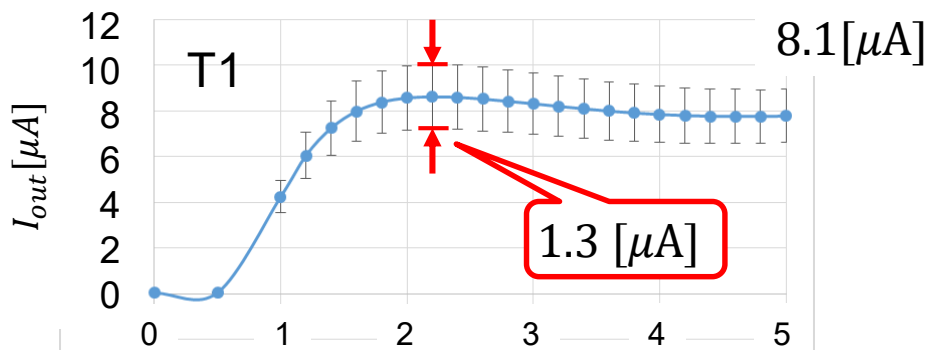
Standard Deviation of I_{OUT} (Side A)



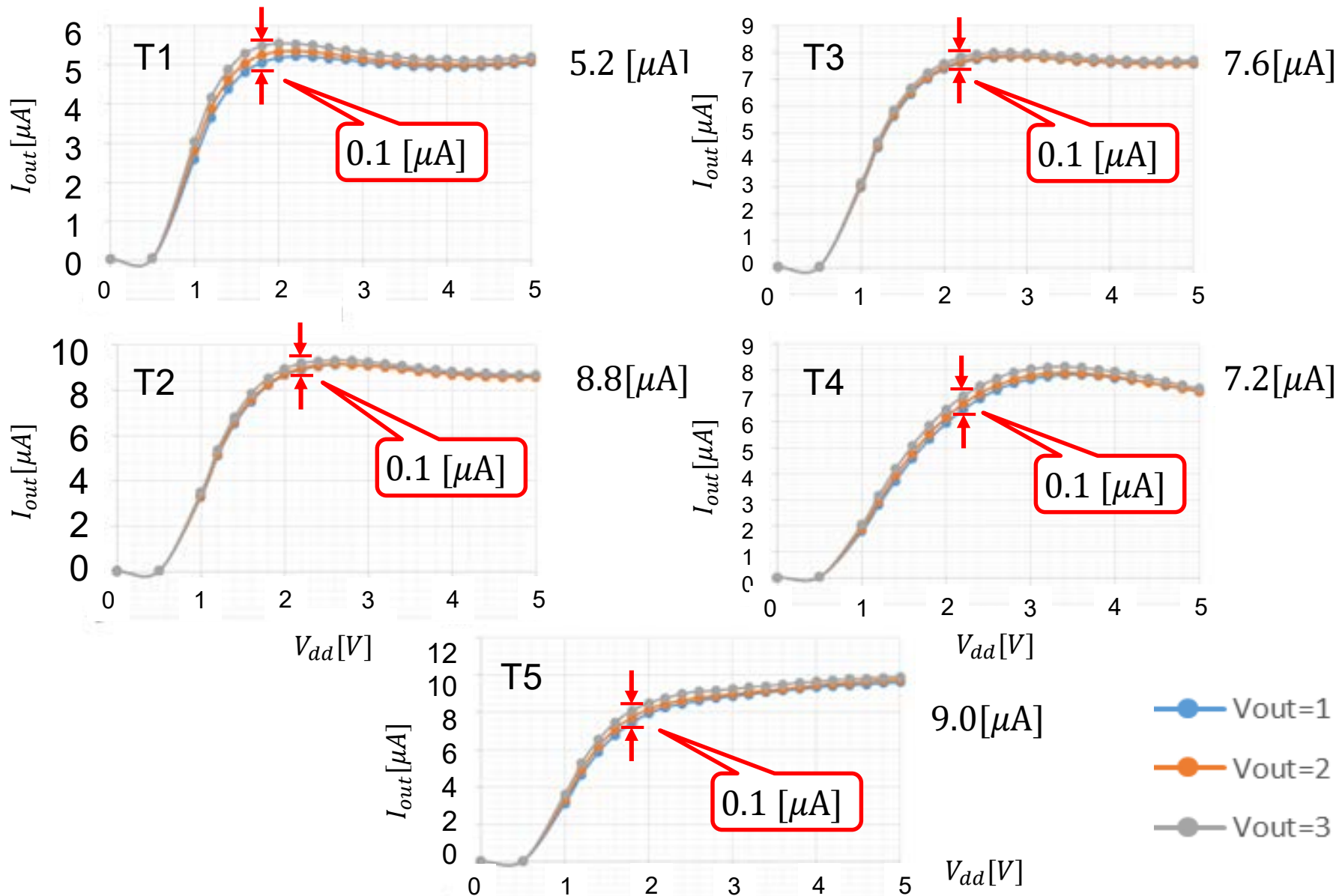
Comparison with All Data

 $V_{OUT} = 3V$


Standard Deviation of All Data



Effect of Output Voltage on I_{OUT}

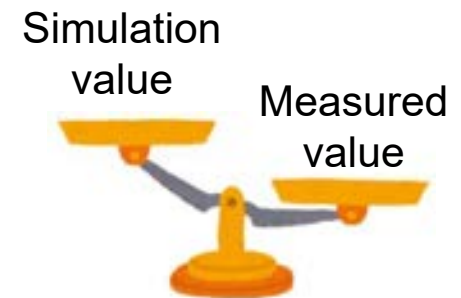
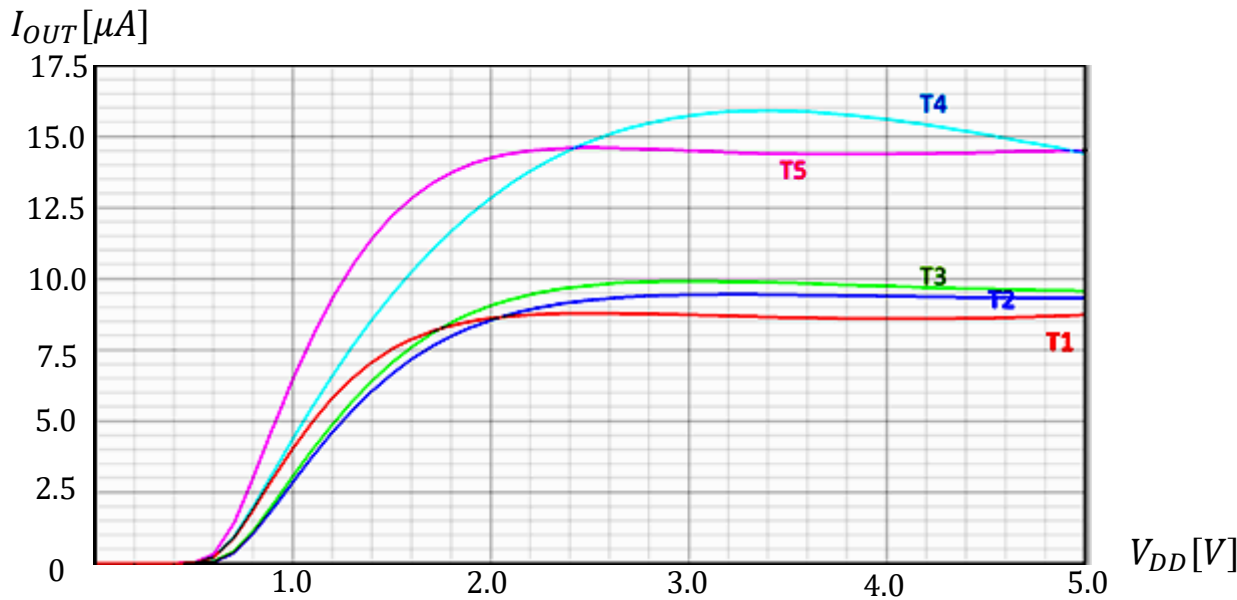


Outline

- Research Background
- Nagata current mirror circuit
- Improved circuit
- Design guideline
- Design & implementation
- Measurement
- **Evaluation**
- Conclusion

Comparison of Measurement & Simulation

Circuit Type	T1	T2	T3	T4	T5
Measured value [μA]	8.1	8.7	8.8	12.4	12.8
Simulation value [μA]	8.7	9.3	9.8	15.2	14.6



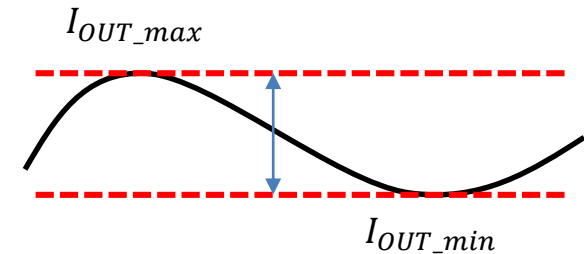
About 5~15%



Effect of process variation from typical process condition

Average Variation of I_{OUT} Over I_{IN}

$$\text{Variation} = \left[\frac{I_{OUT_max} - I_{OUT_min}}{(I_{OUT_max} + I_{OUT_min})/2} \right] \times 100[\%]$$



Circuit Type	T1	T2	T3	T4	T5
Variation [%]	2.9	1.7	1.5	5.7	1.6

Variation of T4 is **the worst**

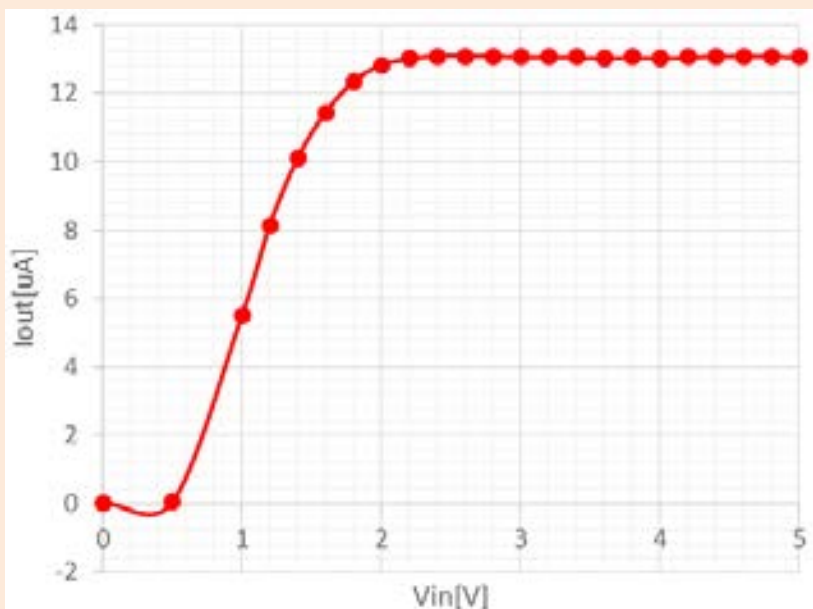
Number of peaks is 3 in T4

Larger number of peaks → more stable I_{OUT}

Minimum Variation of I_{OUT} Over I_{IN}

Circuit Type	T1	T2	T3	T4	T5
Variation [%]	1.9	1.1	1.2	4.9	0.5

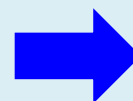
Measurement result



I_{OUT} in minimum variation

I_{OUT} is constant for
supply voltage
variation

Number of peaks
in design freedom



Suppress variation

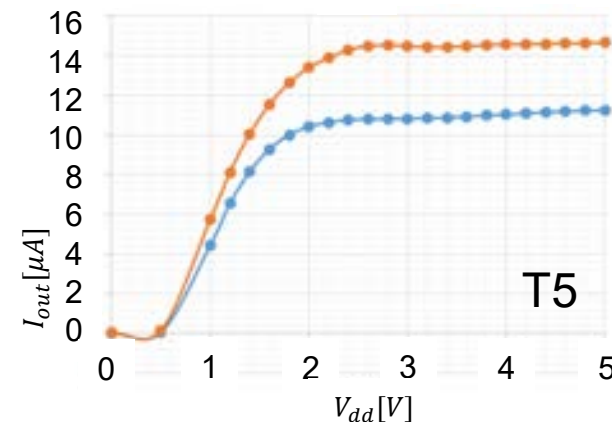
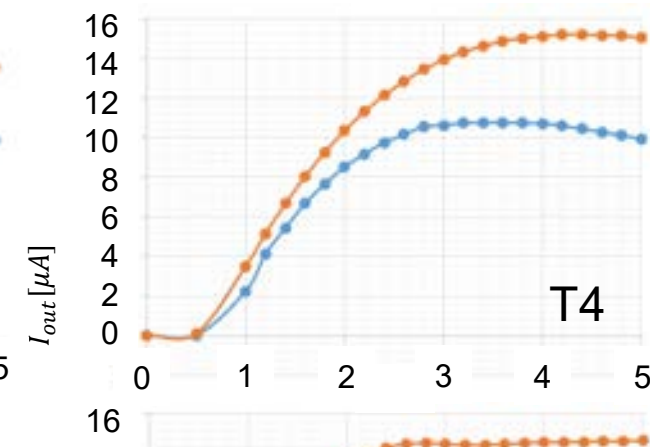
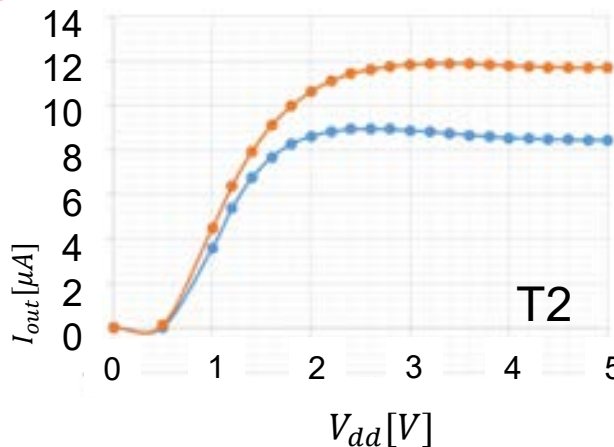
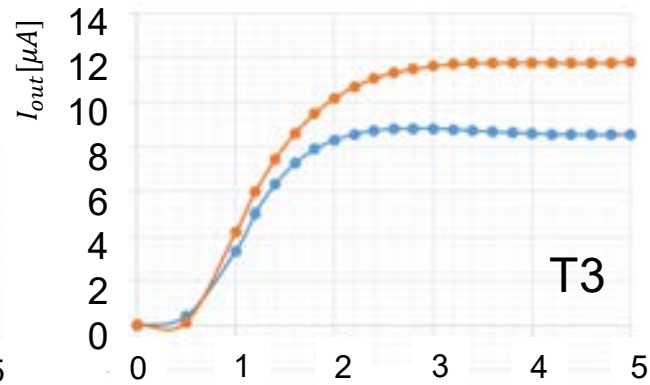
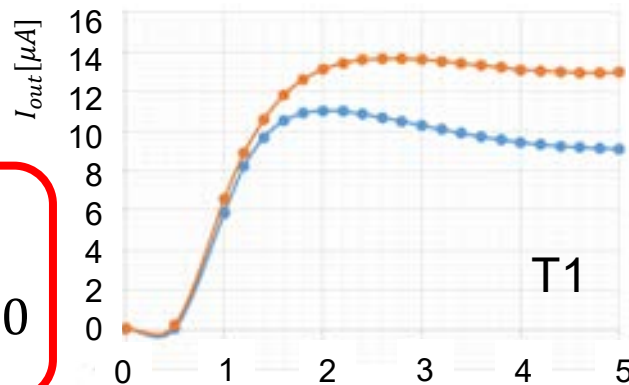
Temperature Characteristics

Variation

$$= \frac{I_{OUT_h} - I_{OUT_r}}{I_{OUT_r}} \times 100$$

- Room temperature
- High temperature

Use a hair dryer



Circuit Type	T1	T2	T3	T4	T5
Room temp. [μA]	10.0	8.7	8.6	10.2	10.9
High temp. [μA]	13.2	11.6	11.5	14.0	14.4
Variation [%]	32	33	34	37	32

Outline

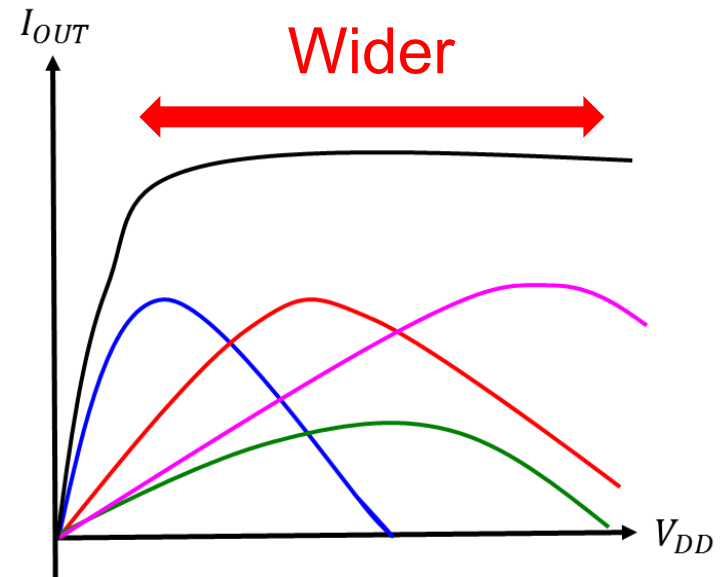
- Research Background
- Nagata current mirror circuit
- Improved circuit
- Design guideline
- Design & implementation
- Measurement
- Evaluation
- **Conclusion**

Conclusion

- ✓ Proposal of MOS reference current sources
 - ➔ Realized by addition of multiple current peaks
- ✓ Design guidelines of proposed circuits
- ✓ SPICE simulation results
- ✓ Measurement & valuation of prototype circuits

Proposed circuits

- ✓ Simple
- ✓ Fairly stable current reference
- ✓ insensitive to wide range of power supply voltage variation



2020年5月8日(金)

こうすればわかる



バンドギャップ基準電圧源回路

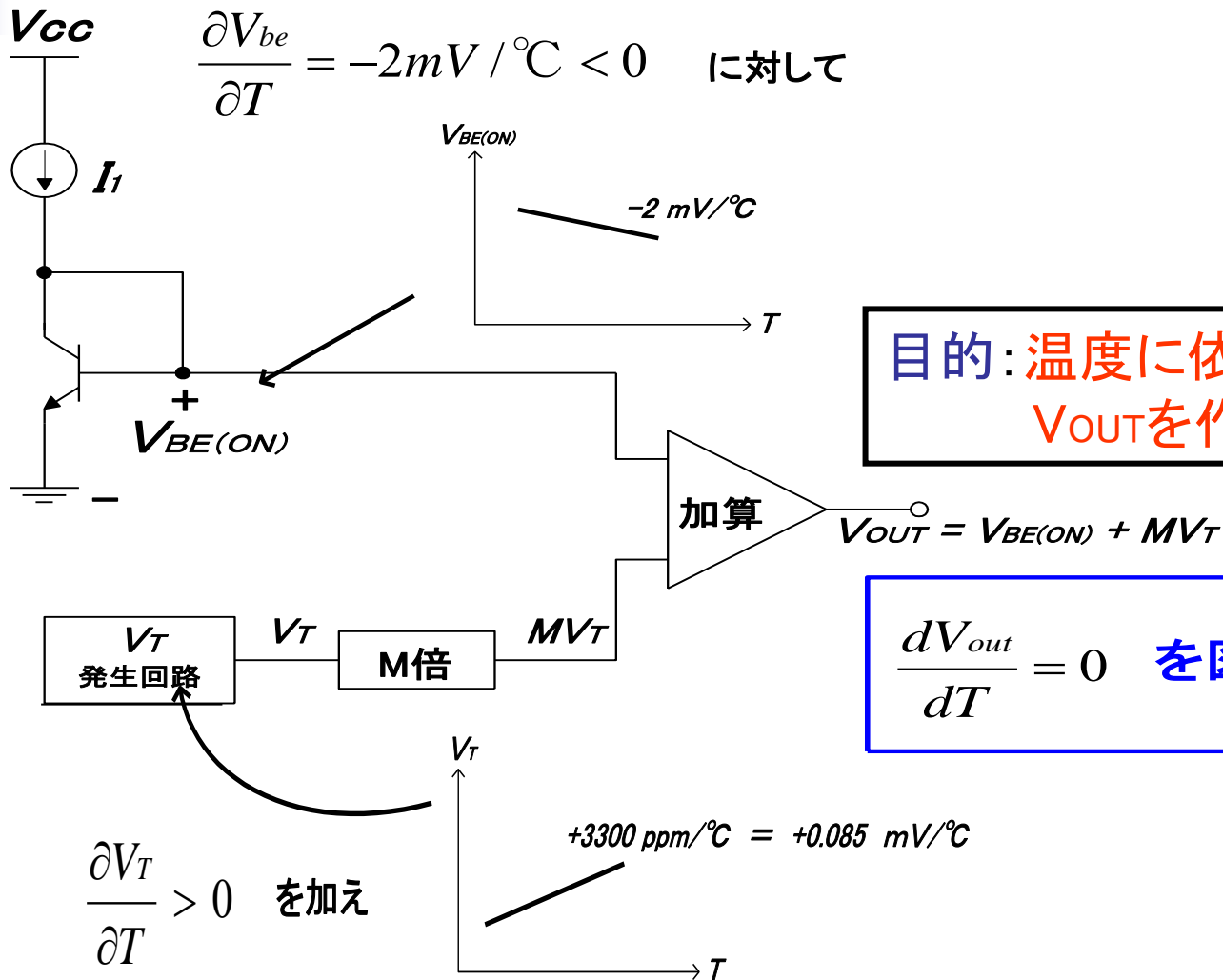
群馬大学 小林春夫

バンドギャップ基準電圧回路

温度依存のない基準電圧源

- バイポーラトランジスタ ベースエミッタ間電圧 V_{BE}
 $\delta V_{BE}/\delta T = -2\text{mV}/^\circ\text{C} < 0$ (負温度係数)
- 熱電圧 $V_T = kT/q$
 k : ボルツマン定数 T : 絶対温度, q : 電子電荷
 $\delta V_T/\delta T = k/q = +0.085\text{mV}/^\circ\text{C} > 0$ (正温度係数)
- 温度依存性のない電圧 V_{OUT}
適切な定数 M
 $V_{OUT} = V_{BE} + M \cdot V_T$
 $\delta V_{OUT}/\delta T = 0$ とできる (温度係数ゼロ)

バンドギャップ基準電圧の原理



目的: 温度に依存しない V_{OUT} を作る

$\frac{dV_{out}}{dT} = 0$ を図る

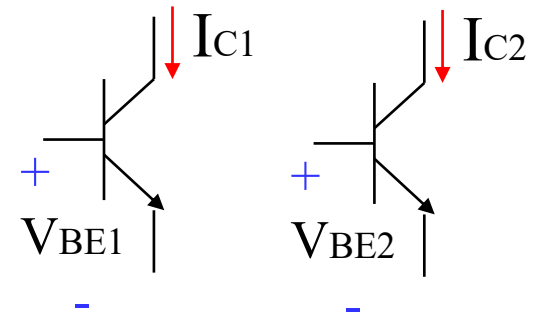
バンドギャップ基準電圧回路

熱電圧 $V_T = kT/q$ を どのようにして回路で得るか

2つの異なるバイポーラトランジスタ

$$I_{c1} = I_{s1} \exp(V_{BE1}/V_T)$$

$$I_{c2} = I_{s2} \exp(V_{BE2}/V_T)$$



$$\Delta V_{BE} = V_{BE1} - V_{BE2} = V_T \ln [(I_{c1} \cdot I_{s2}) / (I_{c2} \cdot I_{s1})]$$

2つのベースエミッタ間電圧の差 $\Delta V_{BE} \rightarrow V_T$ が得られる

PTAT電圧源・電流源

→ 絶対温度 T に比例する電圧源・電流源

PTAT: Proportional to Absolute Temperature

バンドギャップ基準電圧回路の 理解の仕方

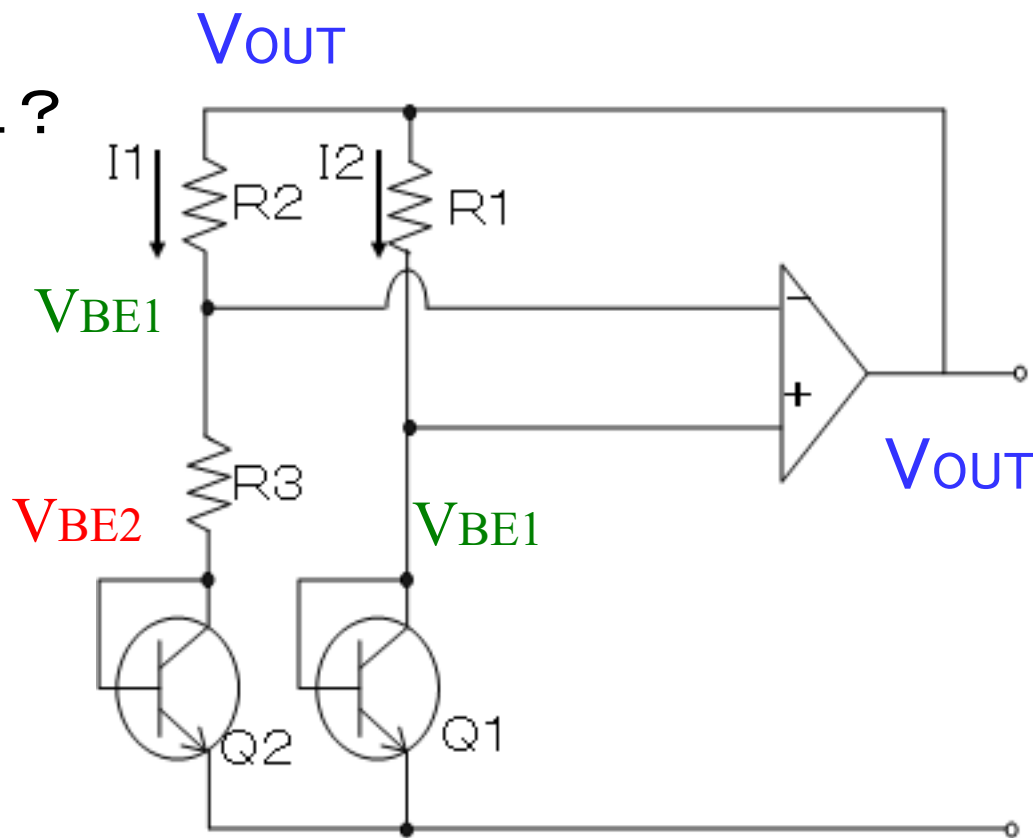
回路例

V_{BE} はどこ？

$\Delta V_{BE} = V_{BE1} - V_{BE2}$ はどこ？

$$I_1 = (V_{BE1} - V_{BE2}) / R_3$$

$$V_{OUT} = V_{BE1} + R_2 I_1$$

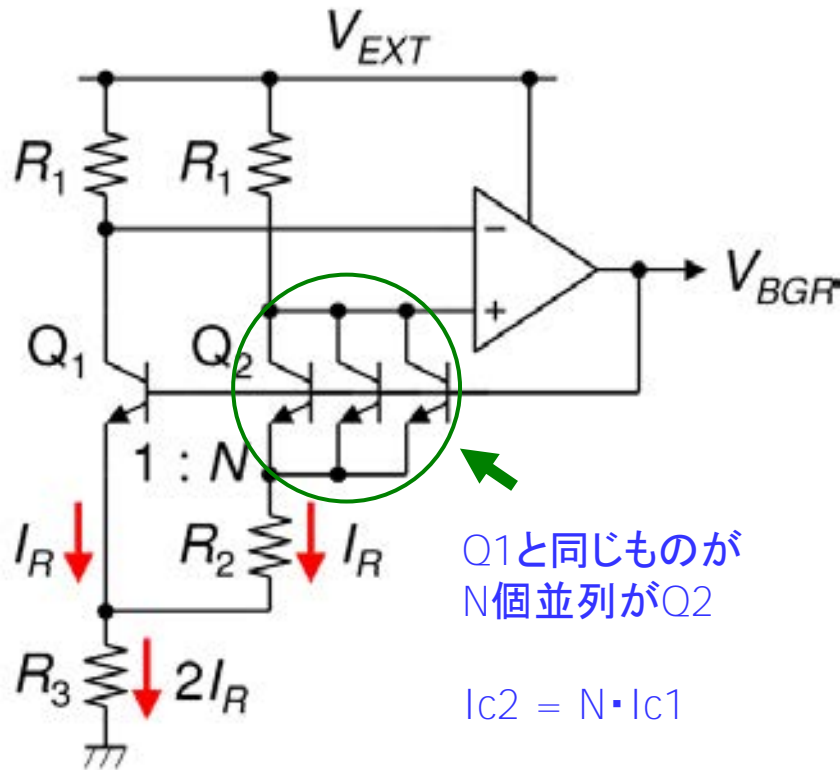


バンドギャップ基準電圧回路 コメント

- バンドギャップ基準電圧回路は多数
前頁までの説明は「第一近似」
 - 現在も回路系国際会議で発表
 - 多くは企業秘で表にでてこない
 - 小規模アナログ回路
 - 回路設計者の能力に依る差別化回路
- CMOS LSI中にも
寄生バイポーラトランジスタを用い実現可能

演習問題 Brokaw 型

バンドギャップ基準電圧源回路



$$I_R = \frac{\Delta V_{BE}}{R_2} = \frac{kT \ln N}{qR_2}$$

$$V_{BGR} = V_{BE1} + 2I_R R_3$$

$$= V_{BE1} + \frac{kT}{q} \cdot \frac{2R_3 \ln N}{R_2}$$



これらの式を導出せよ

ヒント: まず、2つのR1に
同じ電流 I_R が流れる
理由を考察せよ

国際学会開催の中国 杭州市はどこ？



※ICSICT2016 (中国杭州市 2016 年 10 月開催)参加学生報告

([築地](#)、[建龍](#)、[ゴパール](#)、[栗原](#)、[小島](#)、[田村](#)、[平野](#)、[柳田](#)、[浅石](#)、[大河内](#)、[吉澤](#))[教員報告](#)

※2018 年 11 月 中国 青島市開催の国際会議参加報告書

([大岩](#)、[佐々木](#)、[町田](#)、[串田](#)、[串田II](#)、[柴崎](#)、[江林](#)、[杜](#)、[趙](#)、[孫](#)、[白](#)、[李](#)、[チ一](#)、[建龍](#)) [桑名](#)先生、[松田](#)先生、[小堀](#)先生、[小林](#))[学会風景\(動画\)](#)

中国重慶市にて開催の集積回路分野の国際会議 [ASICON 2019](#) に研究室にて 15 名参加、17 件発表し、2 件の Excellent Student Paper Award を受賞しました。

[D3 孫逸菲](#)、[D2 王识宇](#)、[D2 TRAN MINH TRI](#)、[D1 魏江林](#)、[M2 滕啓功](#)、[M2 張鵬飛](#)、

[M1 青木里穂](#)、[M1 八田朱美](#)、[M1 阿部優大](#)、[M1 片山翔吾](#)、[M1 張謹豪](#)、[M1 沙磊](#)、

[M1 平井愛統](#) 教員：[桑名杏奈](#)，教員：[小林春夫](#) [写真集](#) (作成：M1 沙磊)

ICSICT-2016 参加報告書

2016 IEEE 13th International Conference on Solid-State and Integrated Circuit Technology

報告者：群馬大学 理工学府 理工学専攻 電子情報数理教育プログラム
修士1年 平野 繭



1. 参加学会の基本情報

【参加学会名称】 2016 IEEE 13th International Conference on Solid-State and Integrated Circuit Technology

【開催場所】 中国 杭州 White Horse Lake Hotel, Hangzhou, China

【開催期間】 2016年10月25～28日

【一般論文投稿件数】 710件

【採択件数】 397件

【採択率】 56%

【発表内容】 Simple Reference Current Source Insensitive to Power Supply Voltage Variation - Improved Minoru Nagata Current Source

Mayu Hirano, Nobukazu Tsukiji, Haruo Kobayashi Gunma University, Japan

【トピック】 Analog Circuit I

【発表日】 2016年10月26日 15:00～ (12 min talk + 3 min Q/A)



2. 日程

- 10月24日(月) 杭州に向けて出発(桐生→羽田空港→上海虹橋空港→杭州)
25日(火) 杭州観光(西湖・トンポーロ・霊隠寺・一時・夕食)
26日(水) 学会発表
27日(木) 学会発表
28日(金) 学会発表&Banquet
29日(土) 帰国(杭州→上海浦東空港→羽田空港)

3. 学会

【参加目的】

- ◇ 世界での自身の研究レベルの認識
- ◇ 世界の研究動向を知る
- ◇ 自身の能力向上(コミュニケーション能力・プレゼンテーション能力・アピール力・英語力)
- ◇ 中国文化を知る
- ◇ チャレンジ精神・計画性を身につける

【報告】

IEEE主催のICSICTは1986年から開催されており、今年で30周年を迎えた。

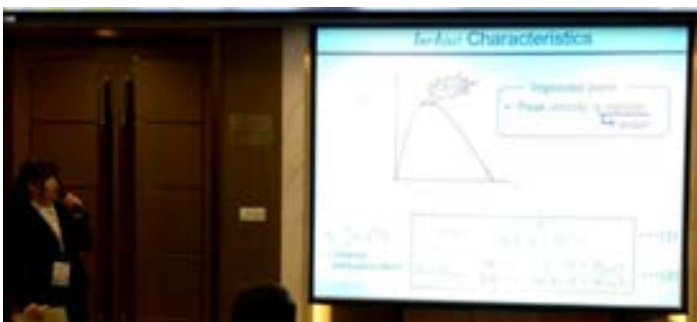
本国際学会の一般論文投稿件数は710件・採択件数は397件(採択率:56%)・招待論文投稿件数:136件・口頭発表件数:313件・ポスター発表件数:212件であり、そのうち群馬大学の口頭発表件数は16件である。

学会参加の流れは以下の通りである。

英語論文の作成(3ページ)→論文投稿(6月7日)→論文採択の結果待ち→論文採択通知 Accepted!!(8月14日)→発表スライド作成→発表練習→発表本番

私は10月26日15:00から15分間(発表12分・質問3分)口頭発表を行った。本番では、パソコンが遠く原稿を置く場所もなかったのですごく焦ってしまっていたが、発表が始まるとポインターの使い方や間の取り方などにも注意しながら、落ち着いて発表できたと思う。しかし、所々で単語を忘れてしまった。原稿を見ずにスムーズに発表するためには、今このスライドで何を伝えたいか、一番伝えたいことを自分の英語で表現できるようにしておけば良いと思った。

質疑応答や発表後にコメントをいただいた際、自分の伝えたいことを思うように英語にできず、英語力の低さを痛感した。また、英語のプレゼンでは◎・○・△といった記号も日本のような意味にはとってくられず、しっかりと記載する必要があると思った。



発表風景(平野繭)



学会記念品

- ・バック
- ・USB
- ・ハンドミラー
- ・パンフレット



番外編！ ～杭州での思い出～



【交通機関】

中国での移動は、新幹線、バス、地下鉄、タクシーを使いました。

- 新幹線

切符を買うためにはパスポートの提示が必要で、チケットには名前やパスポート番号の一部が記載されていました。

- バス

2元ととても安く、観光地ということもあり、多くの人が利用していました。しかし、カーブや急ブレーキには注意が必要です。

- 地下鉄

手荷物検査や飛び込み防止用のホームドアが設置されて安全面に力を入れていると感じました。また、上海虹橋空港から上海浦東空港間の移動の際に、オシャレな人が多く驚きました。

- タクシー

ホテル周辺では、おもにタクシーを使いました。初乗りは10元+ガソリン代の1円で11元と安く、ホテルのコンシェルジュを通すと行き先も告げてくれます。帰りは魔法のカード（ホテルの住所が書いてあるもの）を見せるだけでホテルまで連れて行ってくれました。

先輩方から中国の運転は荒いと聞いていましたが、本当にヒヤリ・ハットの連続でした。横断歩道の青信号も短く、車もスピードを緩めてくれないので、涉るときは小走りでした。



地下鉄の券売機



新幹線



手荷物検査

【観光】



雷峯塔



西湖



西湖の遊覧船



西湖周辺のお土産屋さん



25日の昼食



靈陰寺



霊陰寺



お茶屋さん一時



25日の夕食



杭州限定のタンブラーを求め星巴克珈琲へ



夜の街



杭州万象城 (MIXC)

私の中華料理ランキング TOP3

第1位 甘辛い味付けの豚肉



甘辛い味付けが癖になる！！
豚肉は1度あげてあり、カリット、ジューシー
冷めてもおいしく、餡とお肉がしっかりと絡まってい
て最高においしい！！
これぞBEST OF 中華料理☆☆☆
とにかく！！白米と一緒に食べたかったあああ
ただし骨がたくさんあるので食べるときは、お肉が
いっぱい付いているものを見極める必要が。

第2位 東坡肉(トンポウロウ)



今回の旅で何度も食べた名物の東坡肉！！
東坡肉は豚の角煮でよく煮込まれているので、口
の中でホロホロととけていく、脂身も多いが、そこ
がまたフワリとした食感でたまらない！！
少し濃い目の味付けだが、肉まんの皮に東坡肉を
はさんで食べるとちょうど良い濃さになり食べやす
い。
東坡肉という料理名は詩人である蘇東坡からきたと
いわれている。

第3位 龍井蝦仁



えび料理の龍井蝦仁
小エビがフワフワでとっても優しい味付け、お酢
をつけて食べるみたいなのですが、小エビ自体に
味が付いているのでそのままでも十分においしい
です。
白米+龍井蝦仁+お酢を6滴ぐらいがちょうど良い
かも
龍井蝦仁は杭州で有名なお茶、龍井(ロンジン)
茶を使って調理されているらしい…

惜しくもランキング落ちした料理

えび料理



ロースとビーフ的な何か



えびの餃子



麻婆豆腐



4. 最後に

国際学会では英語が使われるので、言葉の壁を感じたが、中国は漢字表記なので、親しみやすく少しは理解することができました。また、文化の違いが心配でしたが、食事も美味しく、公共交通機関でのマナーも日本とあまり変わらなかったのでカルチャーショックはうけませんでした。物価自体は日本とほとんど変わらず、バスやタクシーの料金が安いので、日本も安くしてほしいと思いました。

海外旅行が好きで何カ国が行ったことがあります。中国ははじめてだったのでとても新鮮で、まだまだ知らないことがたくさんあると思いました。また、中国での学会発表を終え、英語の大切さ重要性を再認識し、新たな夢を見つけることもできました。

今回は、中国での移動・バスの手配・チケットの購入など、ほとんどを建龍さんに行っていただき、ありがとうございました。また、このような貴重な機会を与えてくださった小林先生および学会参加を支援してくださった石川さんに心より感謝申し上げます。

ICSICT2018 参加報告書

群馬大学大学院 理工学府
理工学専攻 電子情報・数理領域
小林研究室 博士前期課程 1年
柴崎 有祈子

1. 参加学会名称

2018 IEEE 14th International Conference on Solid-State and Integrate Circuit Technology (ICSICT 2018)

2. 開催場所

Huangdao Sheraton Hotel, Qingdao, China



Qingdao (青島)



学会開催ホテル

3. 開催期間

2018/10/31(Wed)-11/3(Sat)
(渡航期間は 2018/10/29(Mon)-11/4(Sun))

4. スケジュール

10/29(Mon)	成田発 青島到着
10/30(Tue)	ハイアール社見学 観光
10/31(Wed)	ICSICT2018 Tutorial
11/1(Thu)	ICSICT2018 Opening & Keynote & Session
11/2(Fri)	ICSICT2018 Session
11/3(Sat)	ICSICT2018 Session & Banquet
11/4(Sun)	帰国

5. 報告・感想

ICSICT2018 は、IEEE が主催するデバイス技術や集積回路技術をテーマとした国際会議である。1986 年に北京で初めて開催され、今回は 14 回目の開催となった。本国際会議における一般論文投稿件数は 475 件で、採択数は 335 件、採択率は 75% である。参加学生は、北京大学や復旦大学の学生が多いように見受けられた。

<発表論文>

“Silicon Verification of Improved Nagata Current Mirrors”

Mayu Hirano, Nene Kushita, Youich Moroshima, Hiromichi Harakawa, Takashi Oikawa, Nubkazu Tsukiji, Takashi Ida, Yukiko Shibasaki and Haruo Kobayashi

<発表日>

2018/11/2(Fri) 11:00~ (12min talk + 3min Q&A)

普段の自分の研究とは異なる内容についての発表であったため、事前の発表資料作成等に苦戦したが、同研究室の先輩方に助けていただき、無事準備を終えることができた。今回研究室から参加した学生の中で、自分が最初の発表だったため、様子がわからず大変緊張した。事前に練習を重ねたため落ち着いて発表を終えることができたものの、同時によりよいプレゼンテーションを行うために自分に足りない能力を自覚することができた。今回の経験を今後の研究や発表に活かしたい。



発表の様子（報告者本人）

6. 謝辞

この度、ICSICT2018 に参加させていただき、貴重な経験を積むことができました。今回このような発表の機会を用意していただいた小林春夫先生、研究指導していただきました諸先生方、学会参加のサポートをしていただいた石川信宣技術専門職員をはじめとする研究室のみなさまに感謝申し上げます。本当にありがとうございました。



青島流亭国際空港



滞在先のホテル



青島ビール博物館①



青島ビール博物館②



生ビール（入場券に付属）



栈橋付近の海



栈橋



栈橋の先の建物



青島海底世界



チンアナゴ (かわいい)



Opening



甘味にはしゃぎ取りすぎたビュッフェ



2万歩散歩した先の海



ホテル内装



Banquet



集合写真

システム集積回路工学論

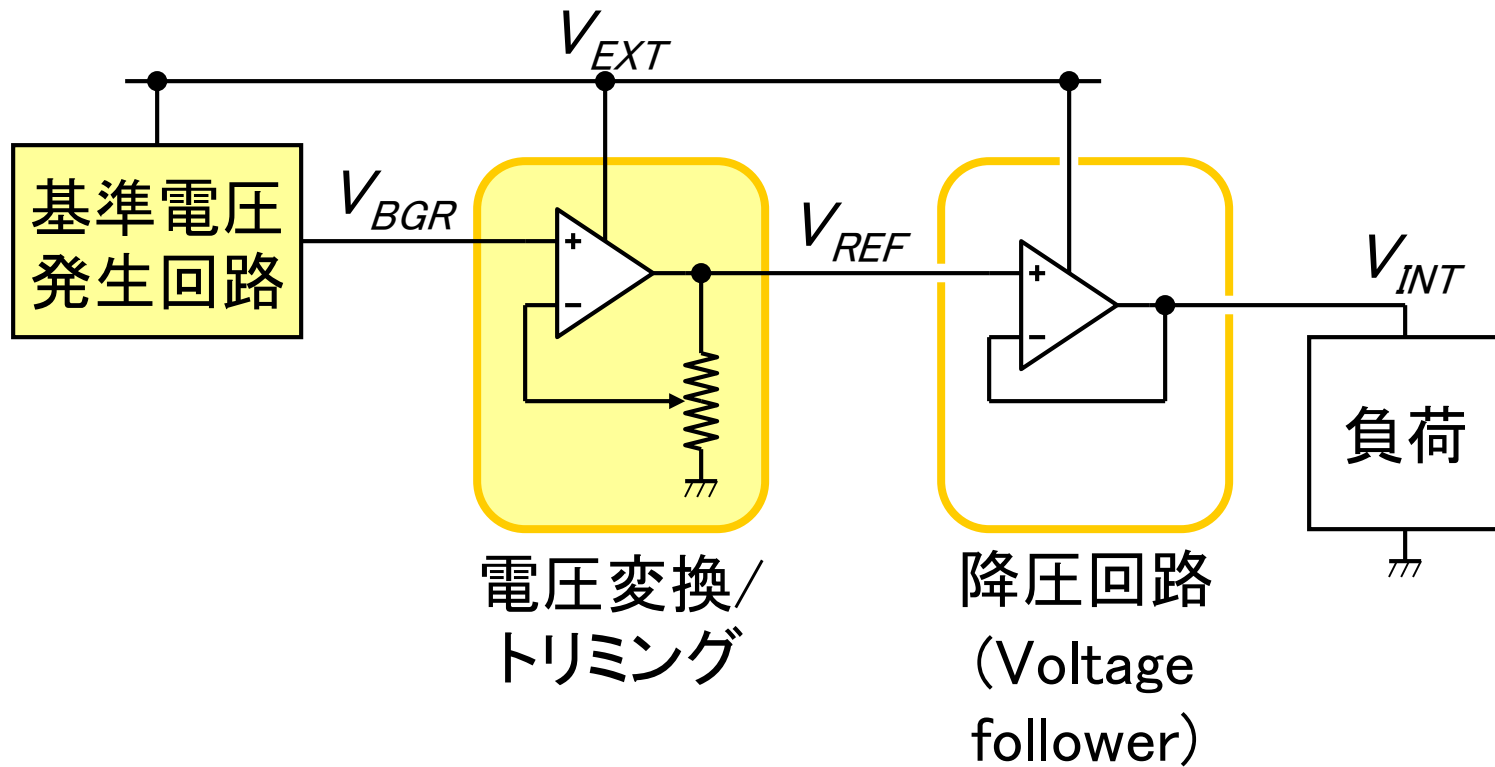
第2回 基準電圧発生回路

群馬大学客員教授 堀口真志

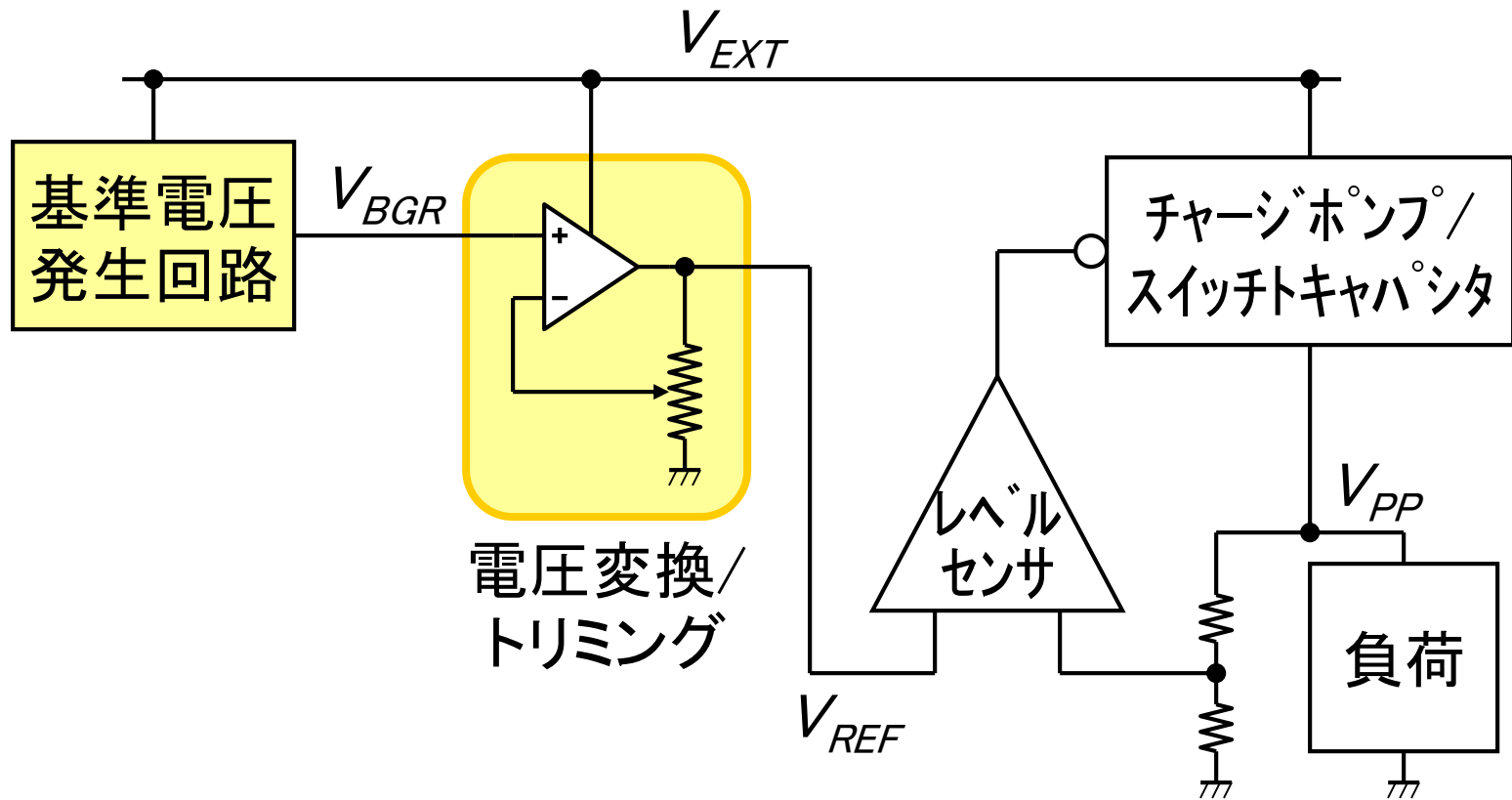
目次

- 1 基準電圧発生方式
- 2 V_{TH} 型、 ΔV_{TH} 型基準電圧発生回路
- 3 Bandgap Reference基準電圧発生回路
- 4 トリミング回路
- 5 バーンインを可能にするために
- 6 レイアウト上の注意

オンチップ電源回路の基本構成(降圧)



オンチップ電源回路の基本構成(昇圧)



基準電圧発生回路

PVT(Process Voltage Temperature)変動に対する安定性

- Process …… トリミング
- Voltage …… MOS V_{TH} 、 MOS ΔV_{TH} 、
バイポーラ V_{BE}
- Temperature a (正の温度係数) + b (負の温度係数)
 a' (正の温度係数) - b' (正の温度係数)
 a'' (負の温度係数) - b'' (負の温度係数)

各種テスト可能

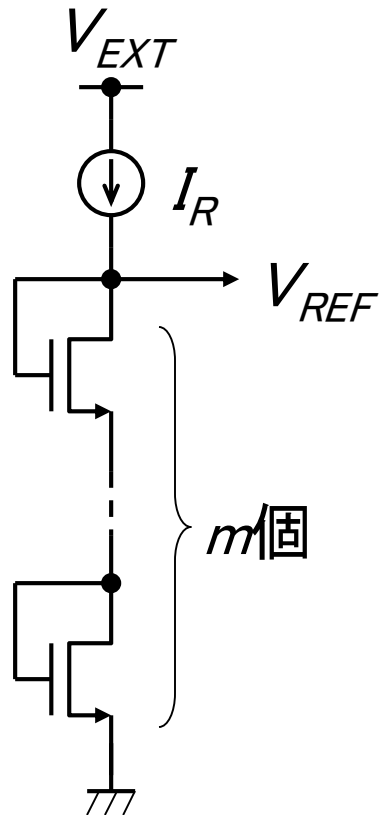
内部回路の動作マージンテスト

バーンイン

基準電圧発生方式の比較

	MOS V_{TH}	MOS ΔV_{TH}	Bandgap Ref.
温度依存性	大	小	小
プロセスバラツキ	大	大	中～小
工程増加	なし	低 V_{TH} MOS	なし (三重ウェル)
出力電圧	$m V_{TH}$	$m \Delta V_{TH}$	1.2 – 1.25V
V_{EXTmin}	$m V_{TH} + \alpha$	$V_{THN} + V_{THP} + \alpha$	1.2 – 1.25V + α

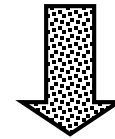
V_{TH} 基準電圧発生回路



$$V_{REF} = m V_{TH}$$

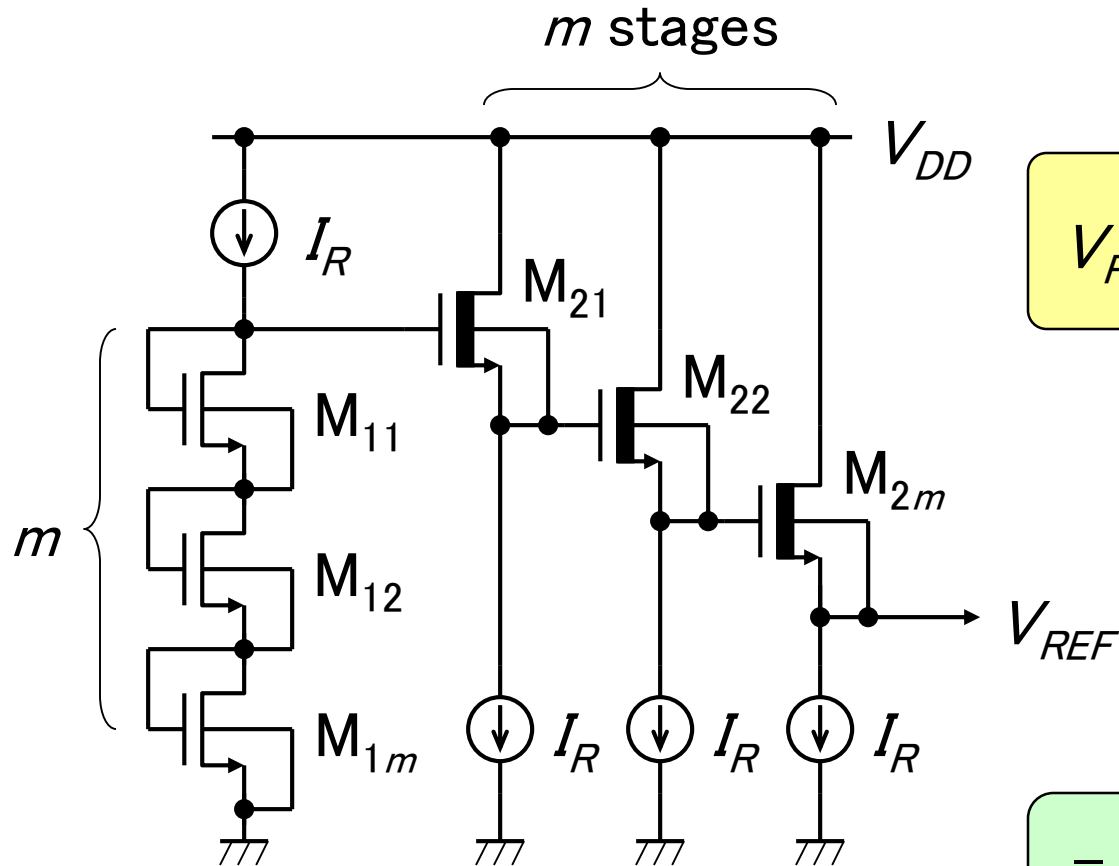
温度係数大

$$\Delta V_{REF} / \Delta T = -2 \text{ mV}/^\circ \text{C} \times m$$



正の温度係数をもつ物理量と
組み合わせる必要あり

ΔV_{TH} 型基準電圧発生回路(1)

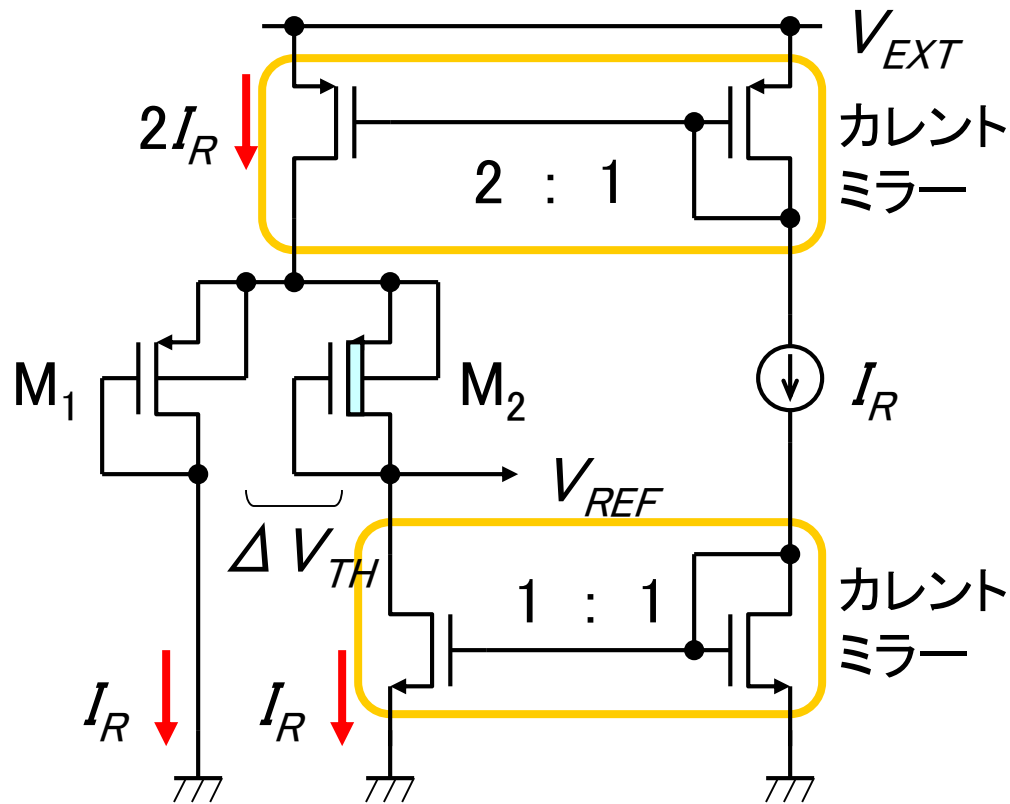


$$V_{REF} = m(V_{THN} - V_{THD})$$

- Depletion NMOS必要

$$- V_{EXTmin} = mV_{THN} + \alpha$$

ΔV_{TH} 型基準電圧発生回路(2)

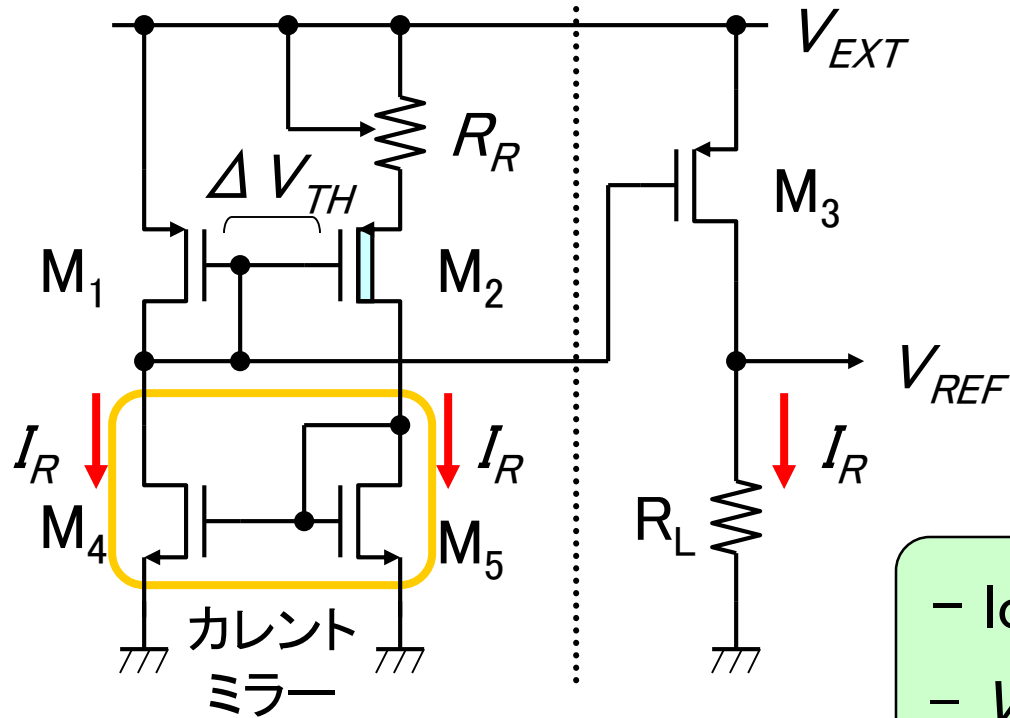


$$V_{REF} = \Delta V_{TH}$$

- low- V_{TH} PMOS必要
- $V_{EXTmin} = V_{THN} - V_{THP} + \alpha$

ΔV_{TH} 型基準電圧発生回路(3)

ΔV_{TH} - I Converter I - V Converter

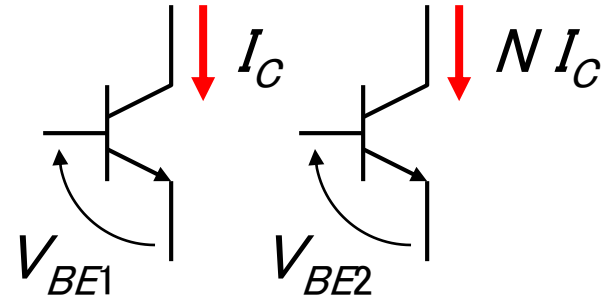
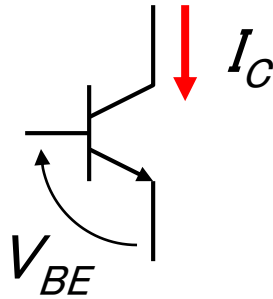


$$I_R = \frac{\Delta V_{TH}}{R_R}$$

$$V_{REF} = \frac{R_L \Delta V_{TH}}{R_R}$$

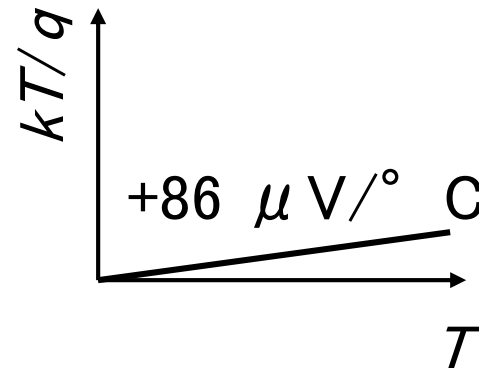
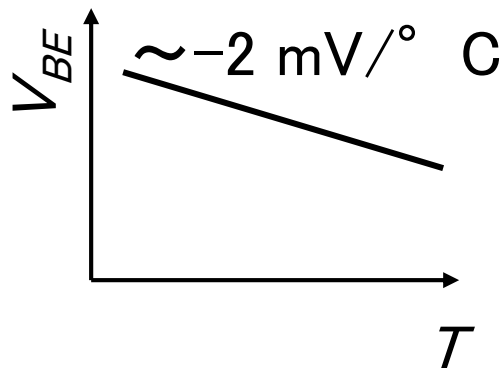
- low- V_{TH} PMOS必要
- $V_{EXTmin} = V_{THN} - |V_{THP}| + \alpha$
- トリミング可能

Bandgap基準電圧発生回路の原理



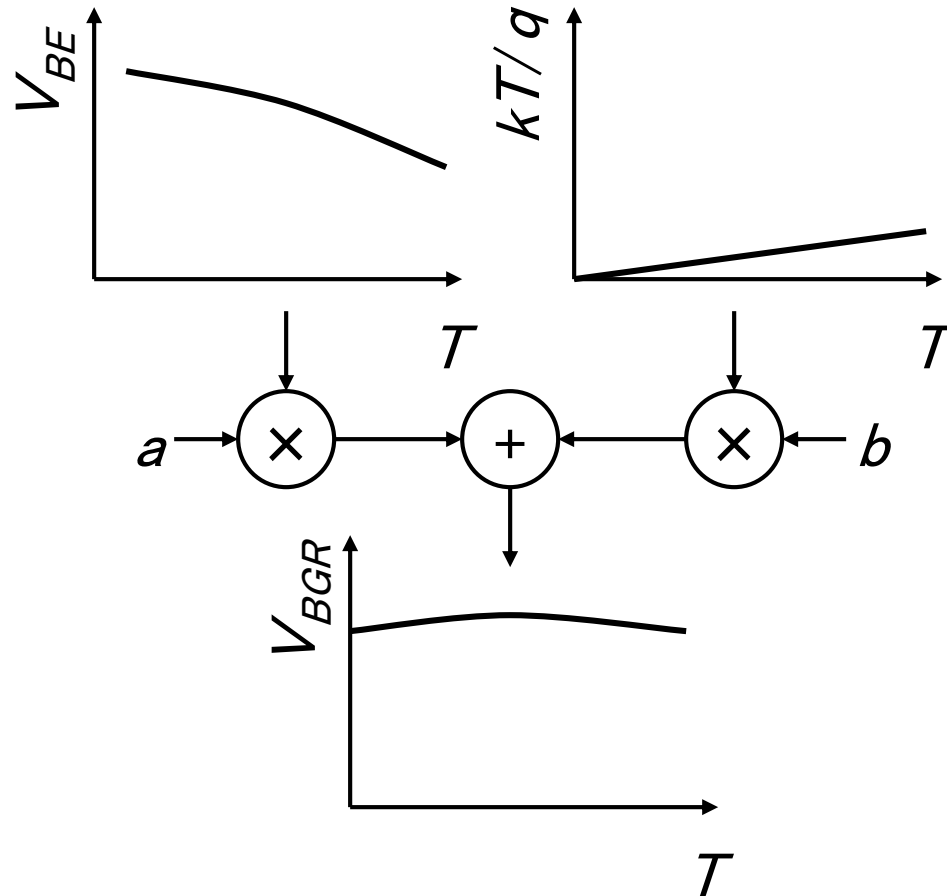
$$\Delta V_{BE} = V_{BE2} - V_{BE1} = \frac{kT \ln N}{q}$$

k : Boltzmann定数 q : 素電荷



$$V_{BGR} = a \cdot V_{BE} + b \cdot kT/q \quad \text{温度依存性キャンセル可能}$$

Bandgap基準電圧の生成

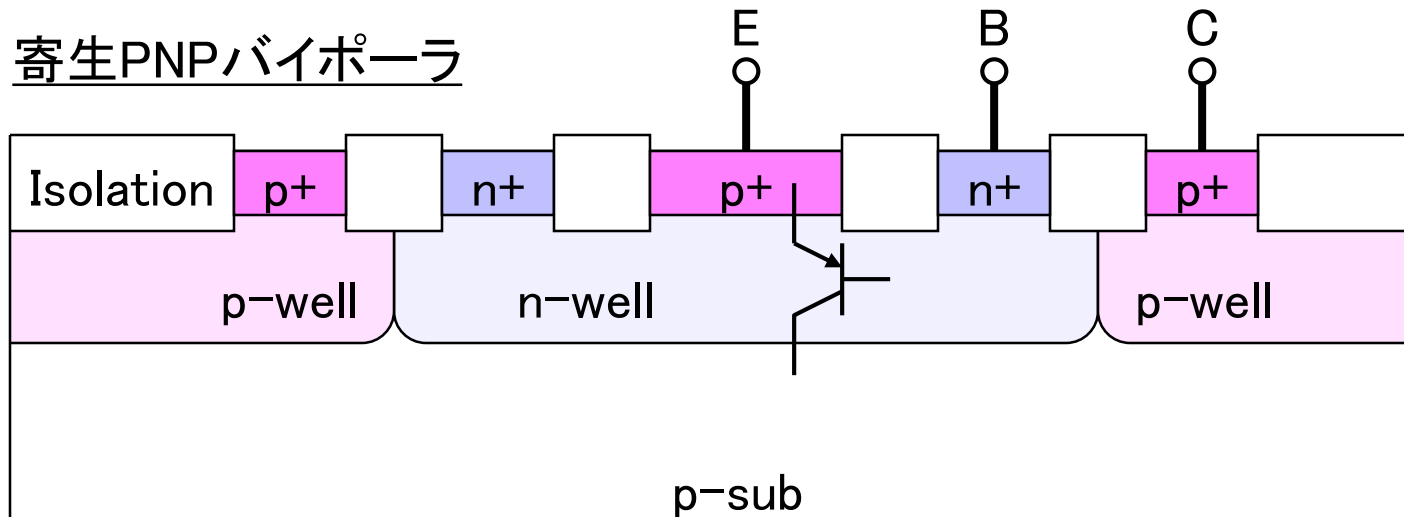


普通的设计: $a = 1$, $b = 21 \sim 23$, $V_{BGR} = 1.2 \sim 1.25V$

$T \rightarrow 0$ のとき $V_{BGR} \rightarrow E_g / q$, E_g : Si の bandgap

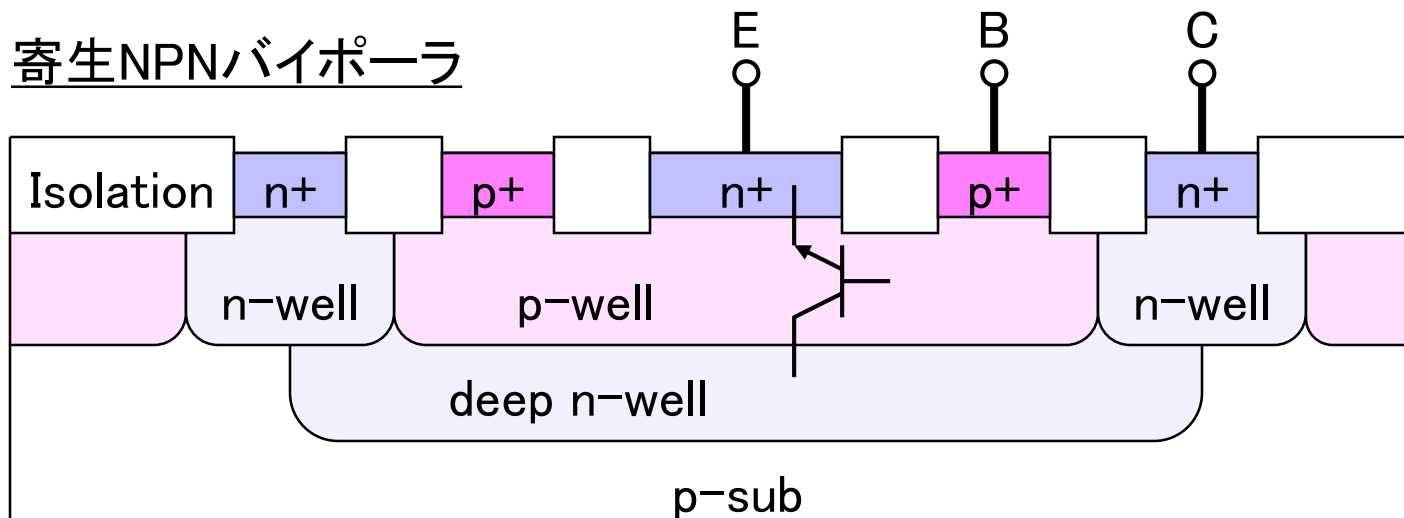
寄生バイポーラトランジスタ

寄生PNPバイポーラ



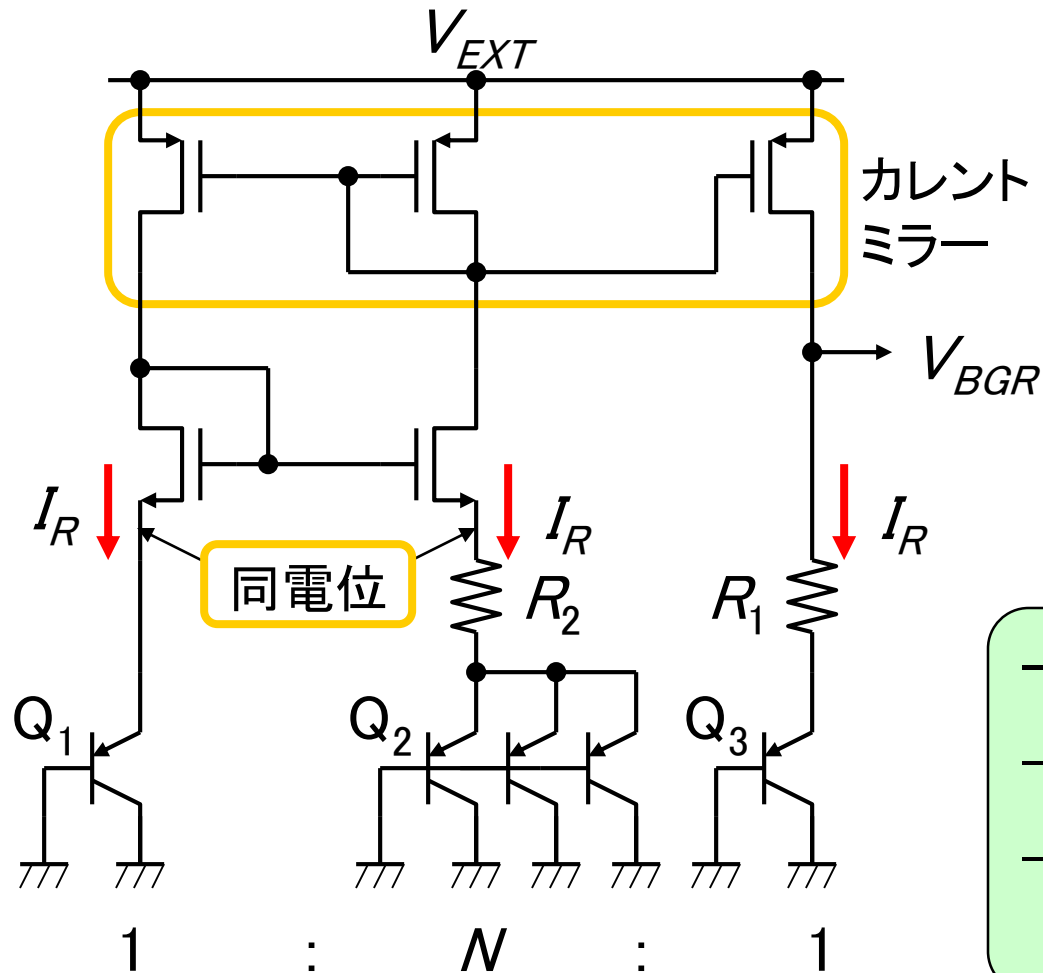
C = p-sub
(通常は接地)

寄生NPNバイポーラ



三重ウェル構造
E, B, C任意

Bandgap基準電圧発生回路(1)

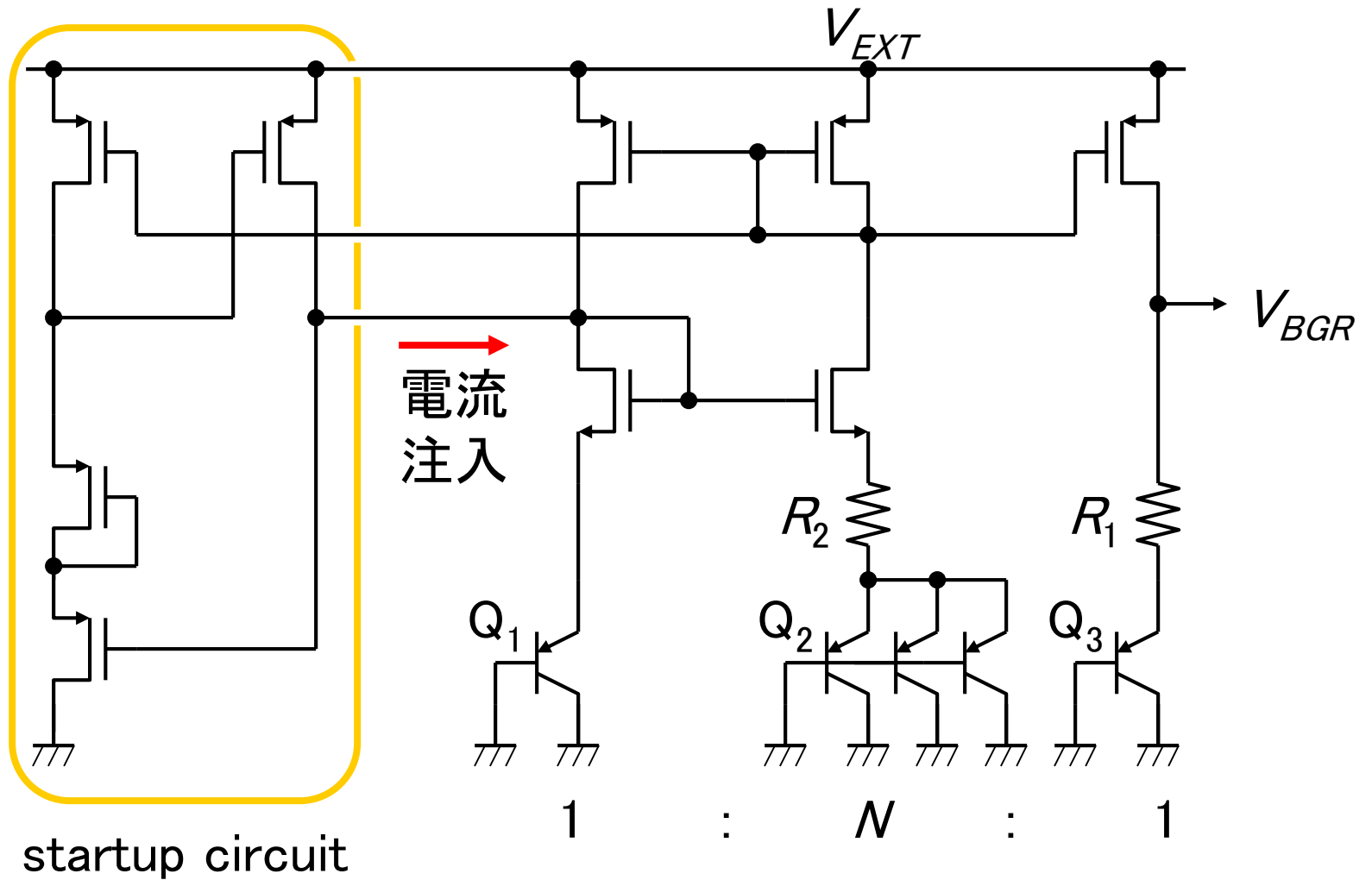


$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

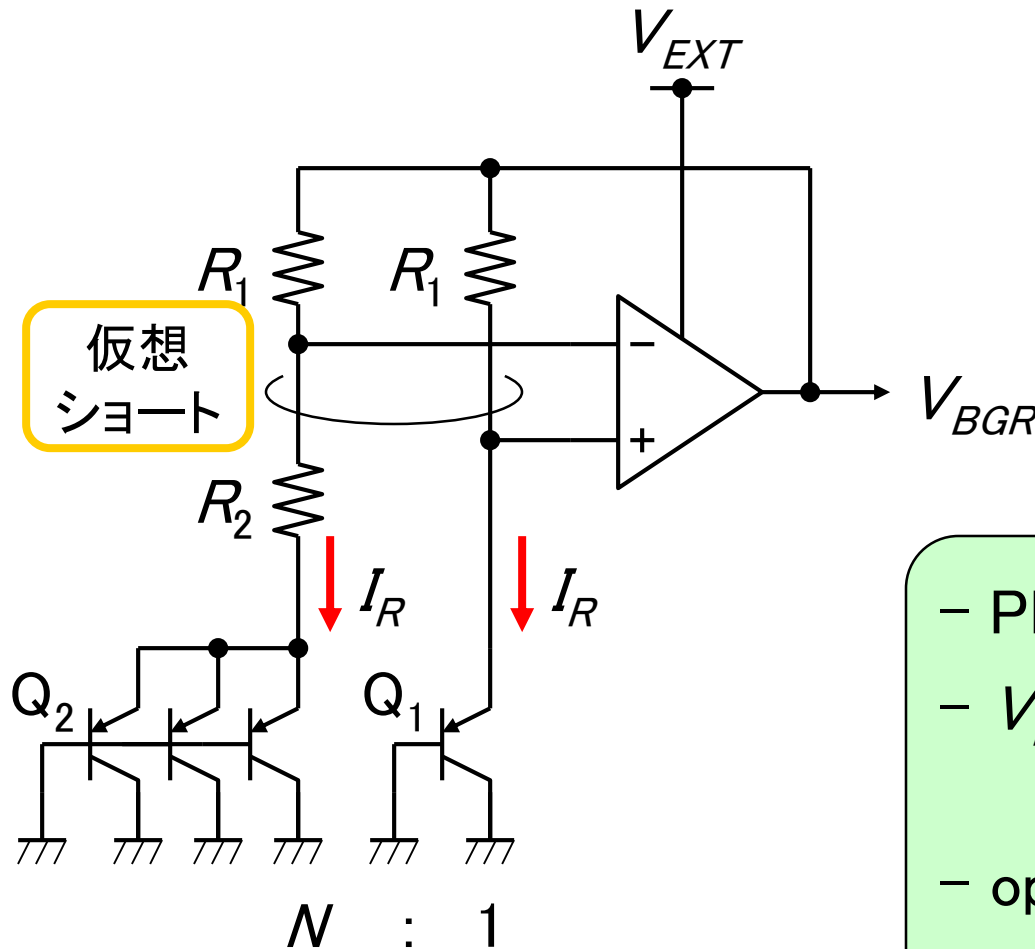
$$\begin{aligned} V_{BGR} &= V_{BE3} + I_R R_1 \\ &= V_{BE3} + \frac{kT}{q} \cdot \frac{R_1 \ln N}{R_2} \end{aligned}$$

- PNP寄生バイポーラ使用
- $V_{EXTmin} = 1.25V + \alpha$
- self bias型回路
- startup circuit必要

Startup Circuit



Bandgap基準電圧発生回路(2)

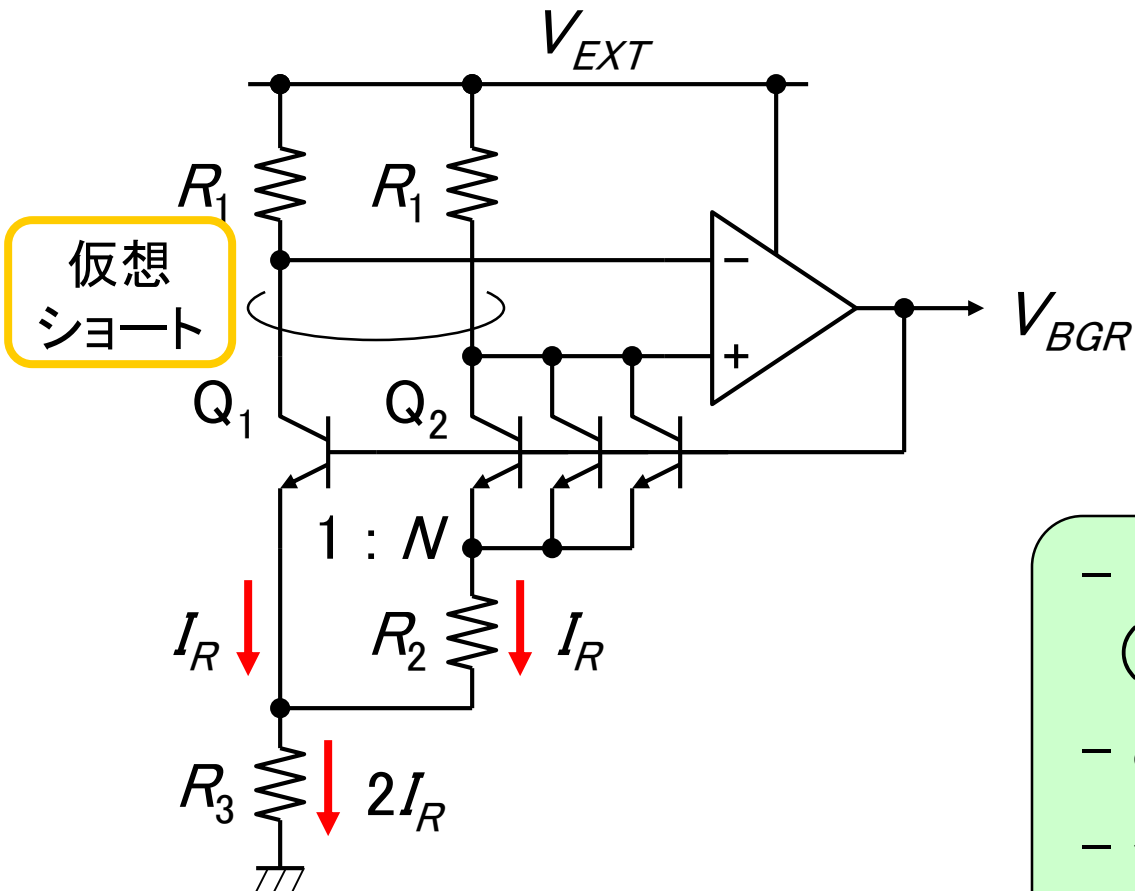


$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$\begin{aligned} V_{BGR} &= V_{BE1} + I_R R_1 \\ &= V_{BE1} + \frac{kT}{q} \cdot \frac{R_1 \ln N}{R_2} \end{aligned}$$

- PNP寄生バイポーラ使用
- $V_{EXTmin} = \max(1.25V + \alpha, \text{op-amp動作電圧})$
- op-ampのオフセット要注意
- 位相余裕確保必要

Bandgap基準電圧発生回路(3)(Brokaw型)



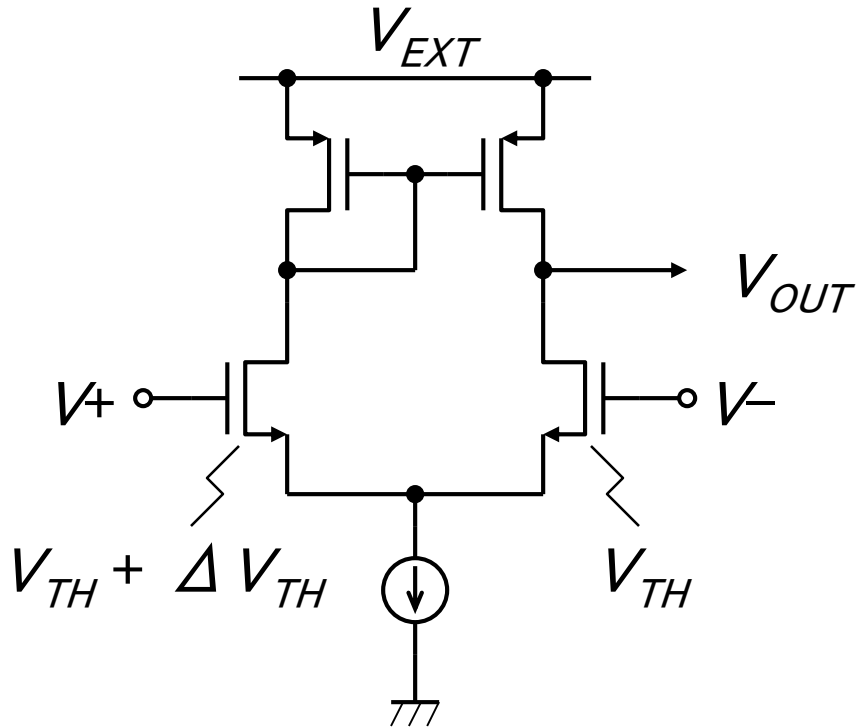
$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$\begin{aligned} V_{BGR} &= V_{BE1} + 2I_R R_3 \\ &= V_{BE1} + \frac{kT}{q} \cdot \frac{2R_3 \ln N}{R_2} \end{aligned}$$

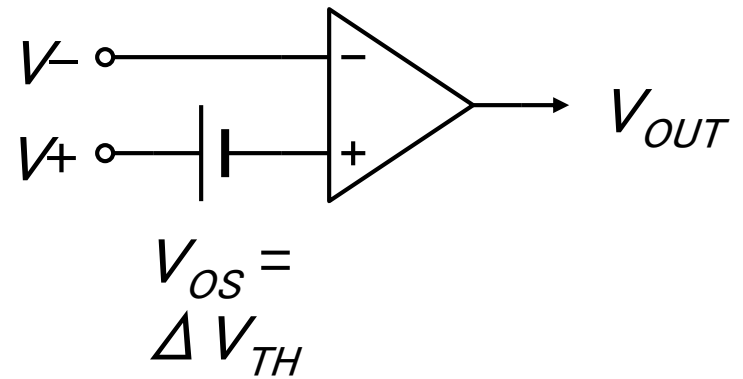
- NPN寄生バイポーラ使用 (三重ウェル構造必要)
- op-ampオフセットの影響小
- 位相余裕確保必要
- V_{EXTmin} が高い

A. P. Brokaw, IEEE J. SSC, SC-9, p.388, Dec. 1974.

Op-ampのオフセット電圧



等価回路



低電圧用Bandgap基準電圧発生回路

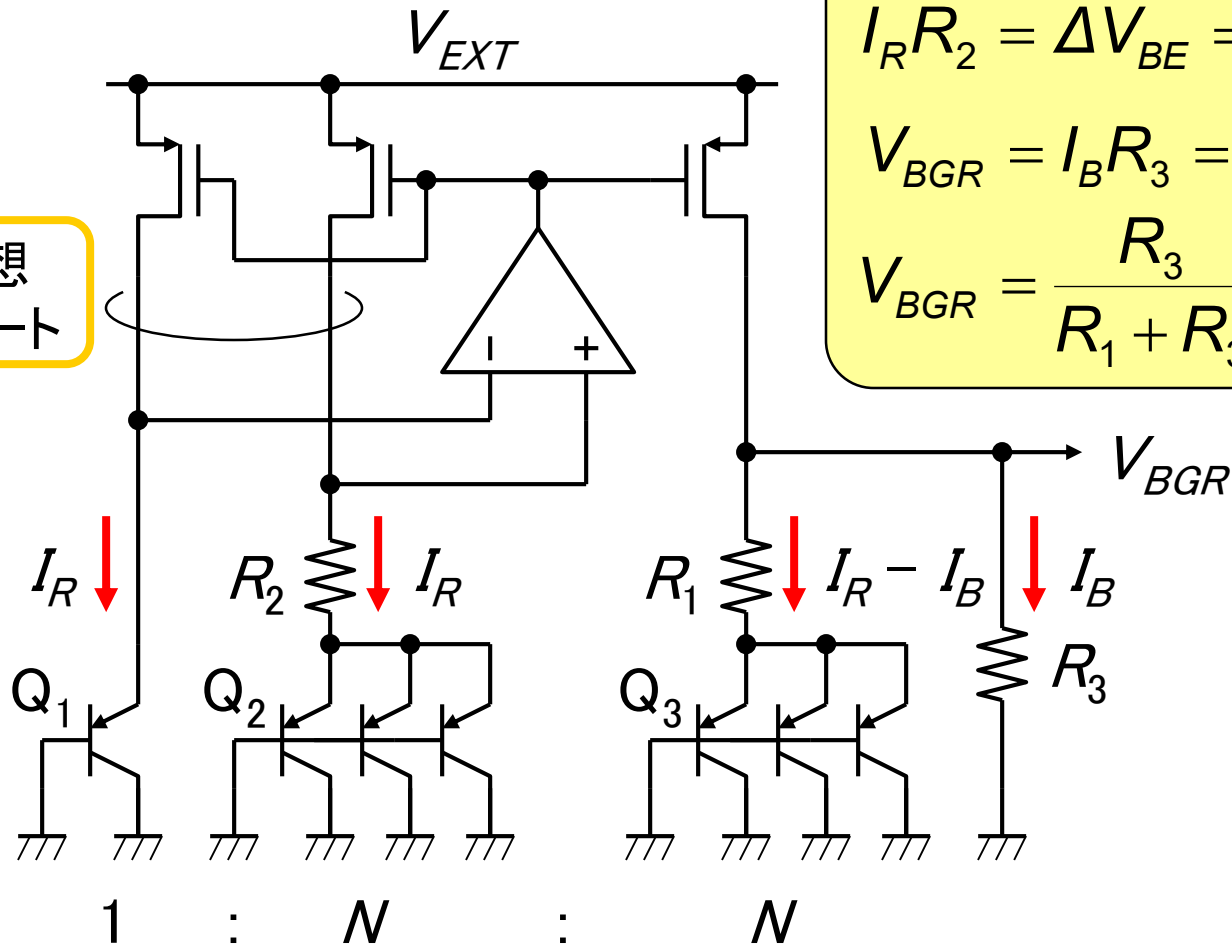
$$V_{BGR} = a \cdot V_{BE} + b \cdot kT/q$$

通常の設計: $a = 1, b = 21 \sim 23, V_{BGR} = 1.2 \sim 1.25V$

低電圧用設計: $a < 1, b/a = 21 \sim 23, V_{BGR} = 1.2 \sim 1.25V \times a$

低電圧用Bandgap基準電圧発生回路(1)

仮想
ショート

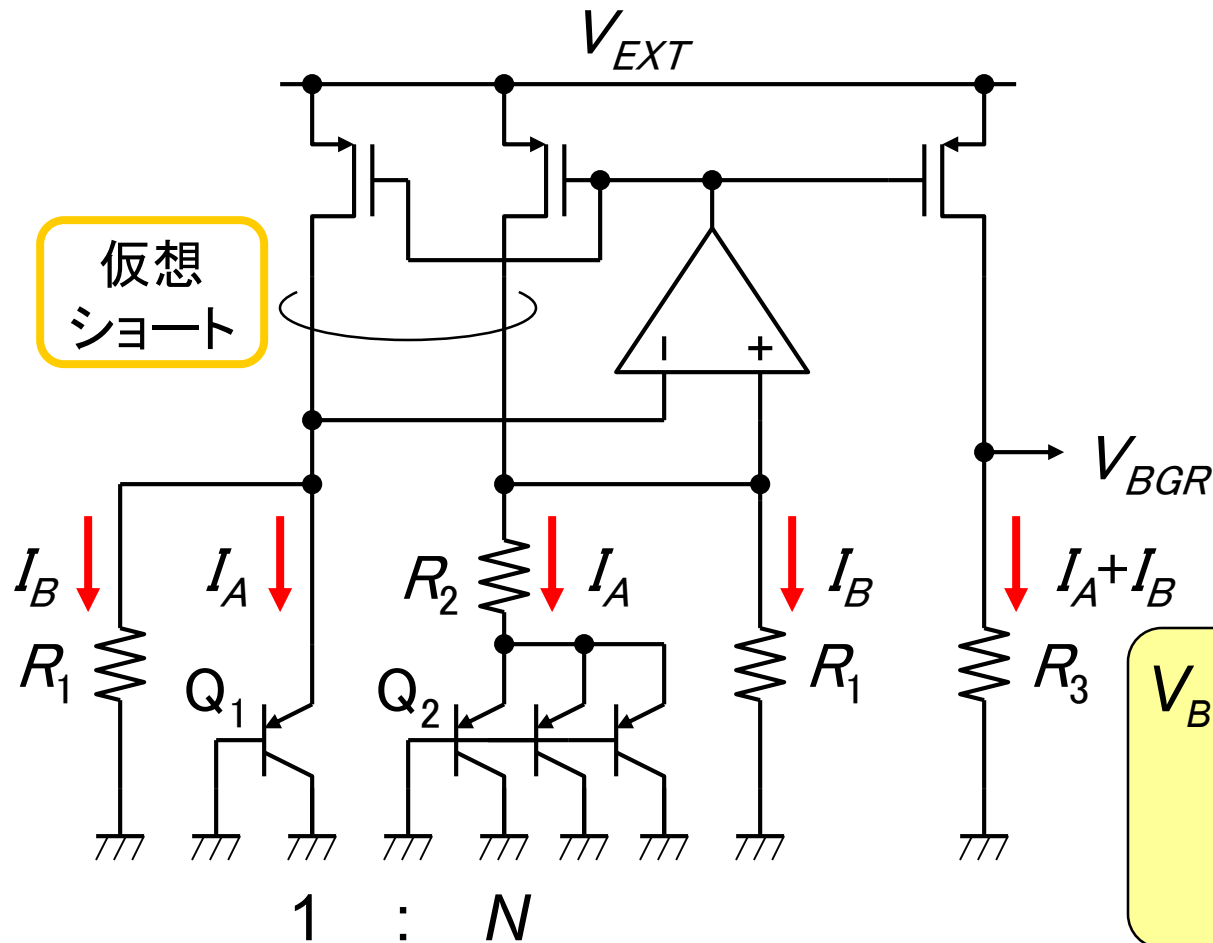


$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$V_{BGR} = I_B R_3 = \Delta V_{BE3} + (I_R - I_B) R_1$$

$$V_{BGR} = \frac{R_3}{R_1 + R_3} \cdot \left(V_{BE3} + \frac{R_1}{R_2} \cdot \frac{kT \ln N}{q} \right)$$

低電圧用Bandgap基準電圧発生回路(2)



$$I_A R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

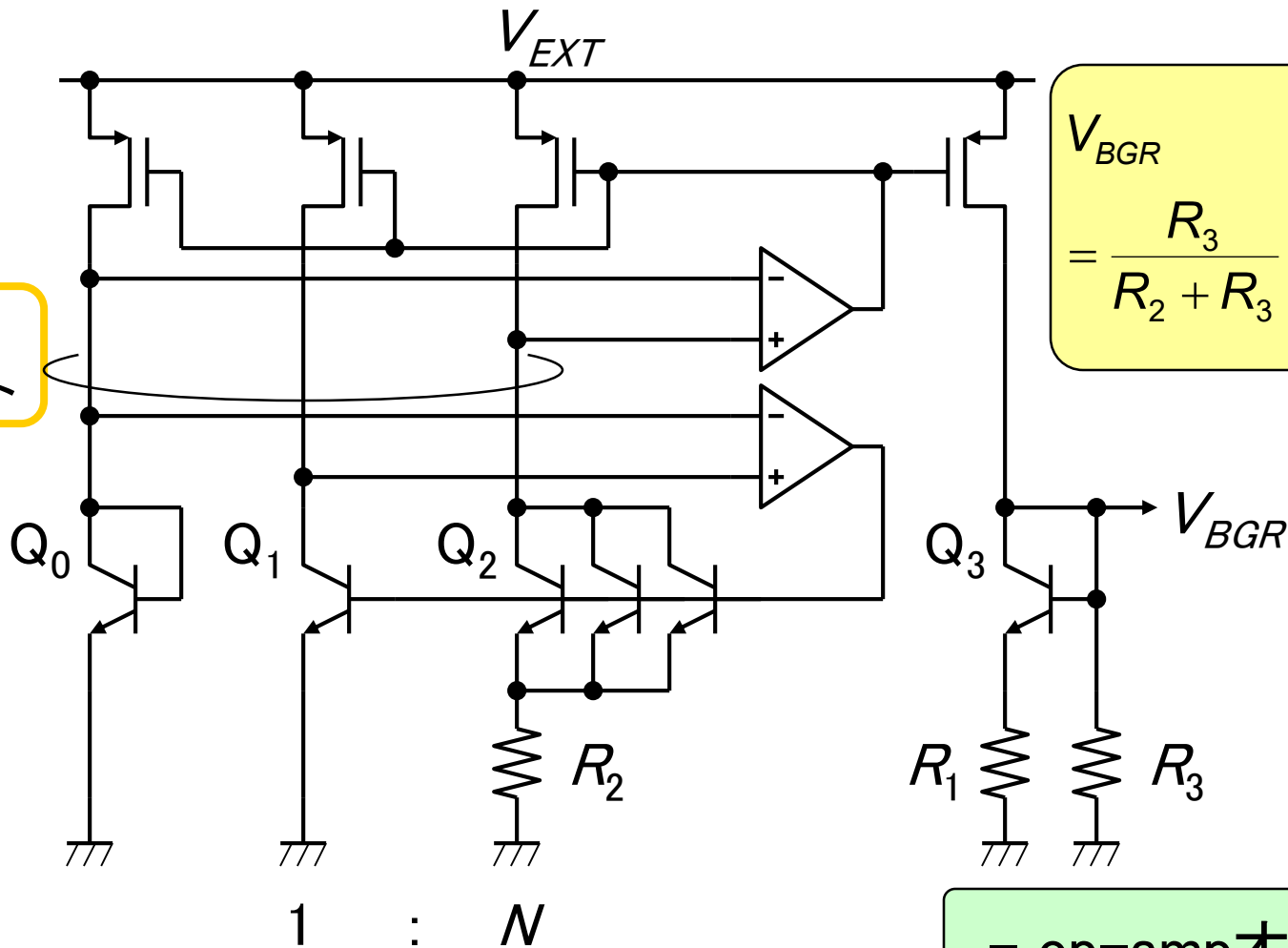
$$I_B R_1 = V_{BE1}$$

$$V_{BGR} = (I_A + I_B) R_3$$

$$= \frac{R_3}{R_1} \cdot V_{BE1} + \frac{R_3}{R_2} \cdot \frac{kT \ln N}{q}$$

H. Banba, IEEE J. SSC, 34, p.670, May 1999

低電圧用Bandgap基準電圧発生回路(3)

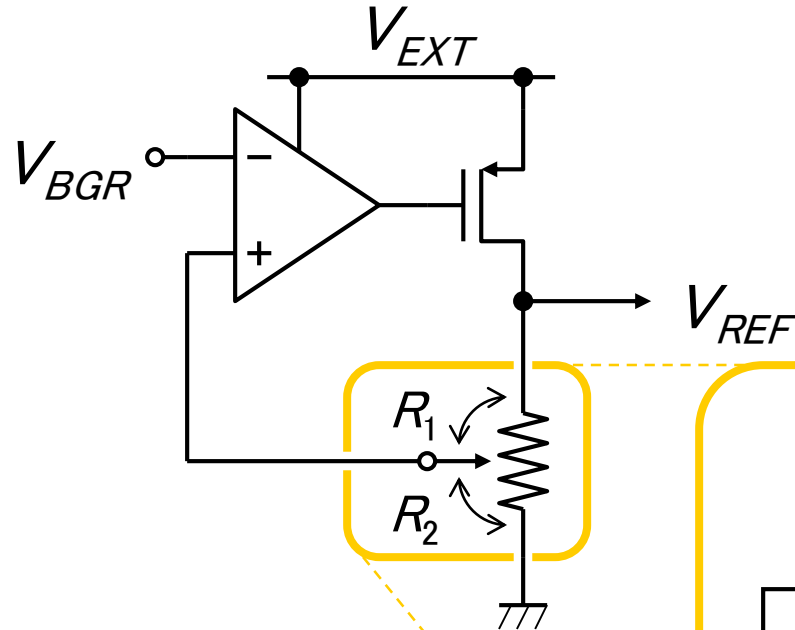


$$V_{BGR} = \frac{R_3}{R_2 + R_3} \cdot \left(V_{BE3} + \frac{R_2}{R_1} \cdot \frac{kT \ln N}{q} \right)$$

- op-ampオフセットの影響小

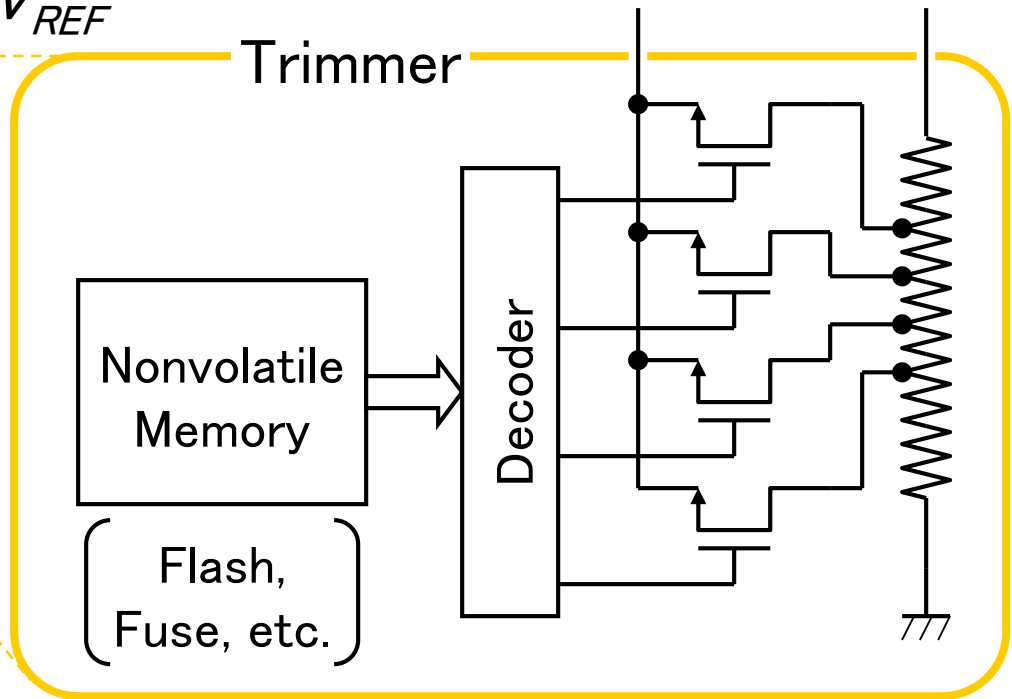
Y. Okuda, Symp. VLSI Circuits, p. 96, June 2007

トリミング回路

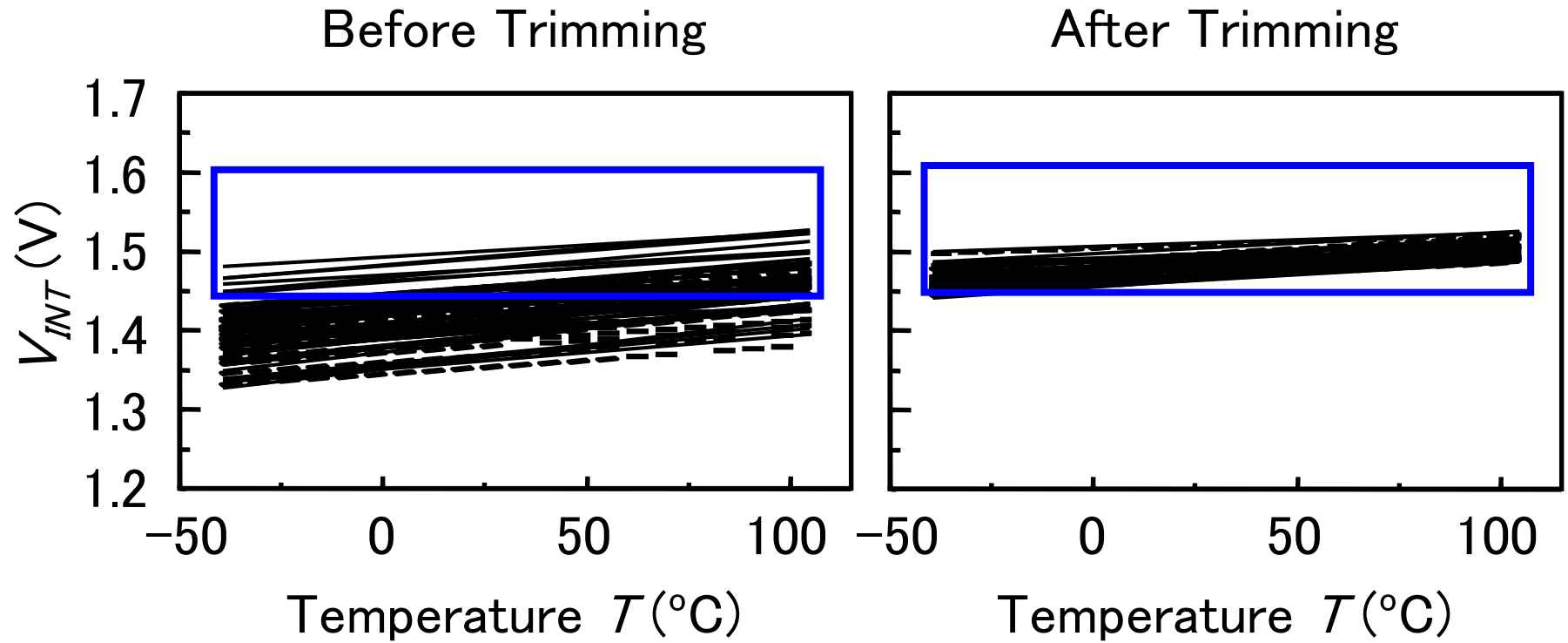


- Transfer gateの V_{TH} 注意
- 位相余裕確保必要

$$V_{REF} = \frac{R_1 + R_2}{R_2} \cdot V_{BGR}$$



トリミングの効果



バーンインを可能にするために

バーンインとは？

目的： 潜在欠陥の顕在化による初期故障率の低減

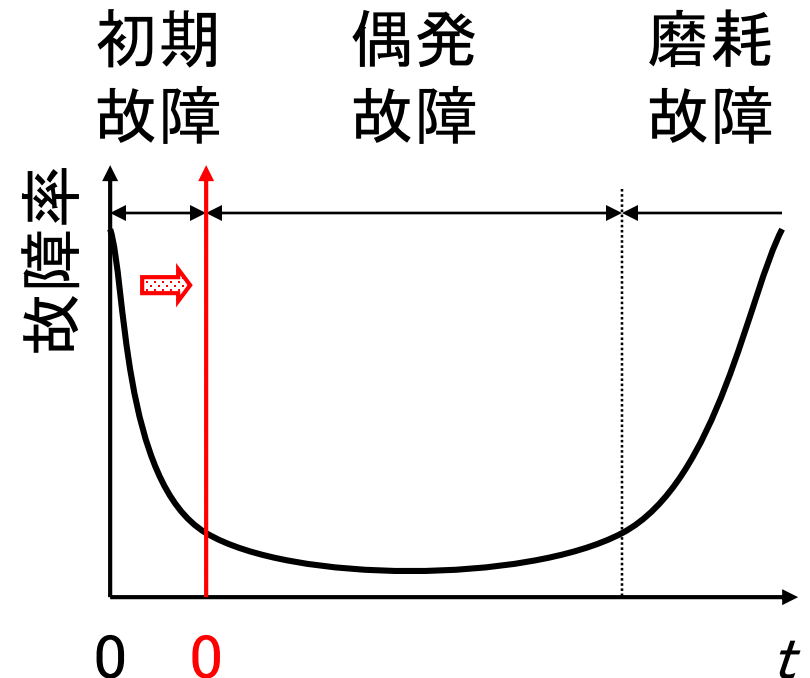
方法： ストレス(高温、**高電圧**)を加えることにより、
顕在化を加速

降圧回路がある場合の問題点

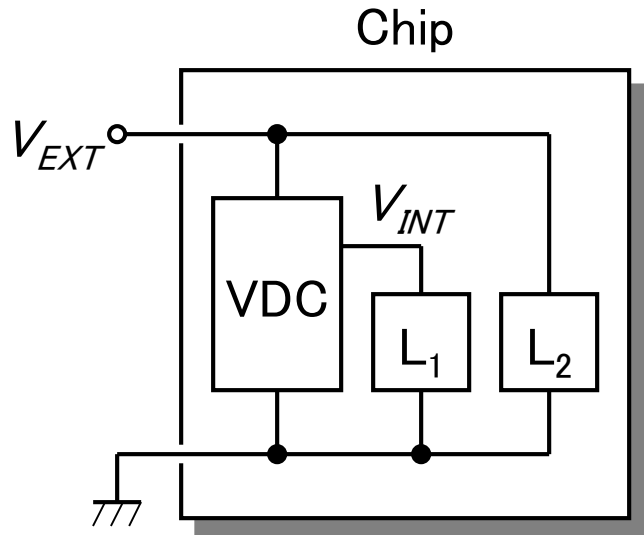
内部回路にストレス電圧がかからない

解決策

降圧回路でバーンイン用電圧を発生



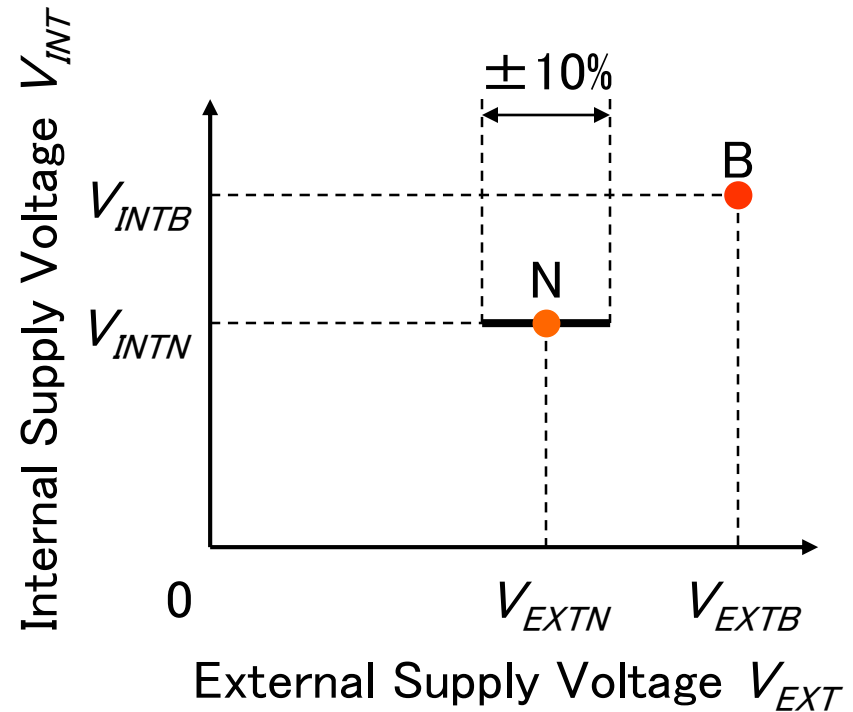
バーンイン電圧の発生



VDC: Voltage down converter

L_1 : Core circuit

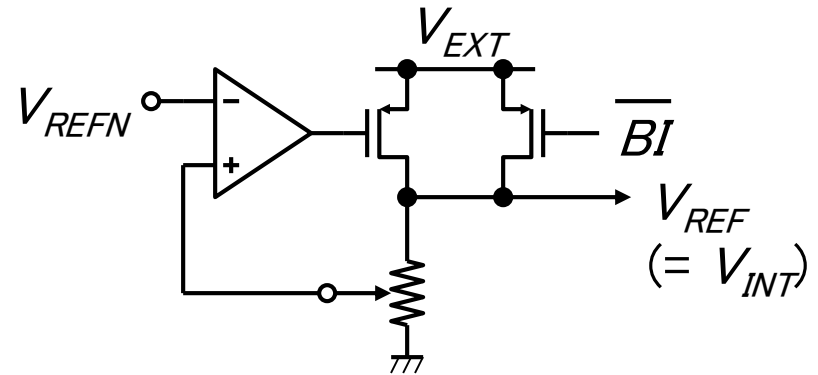
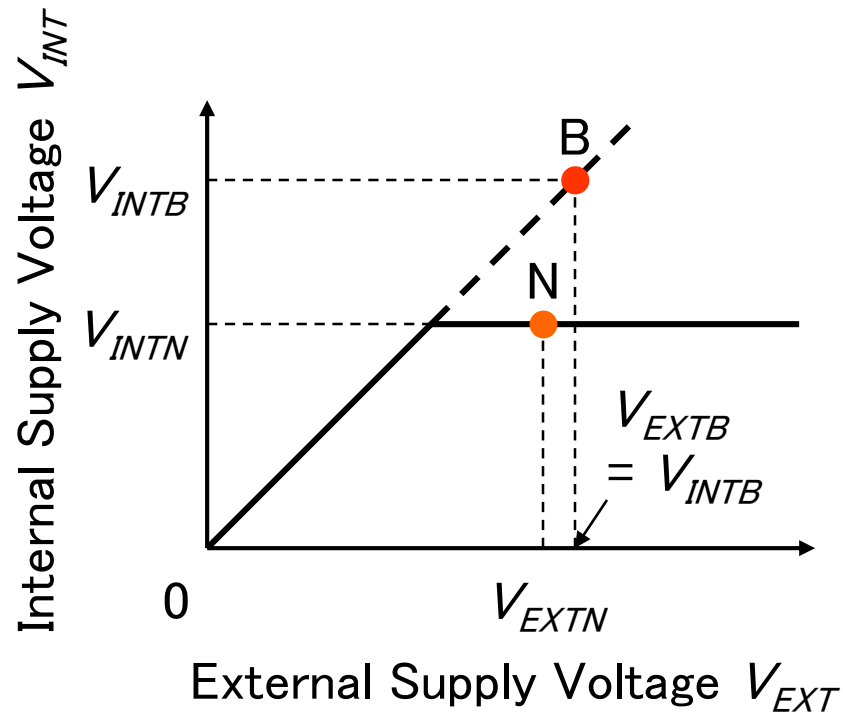
L_2 : I/O circuit



N: 通常動作

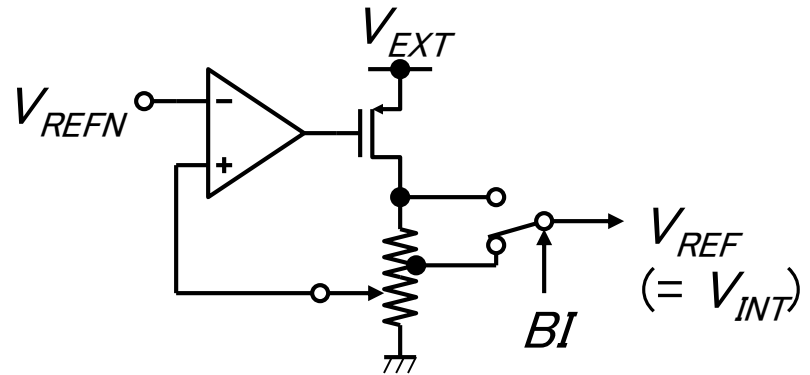
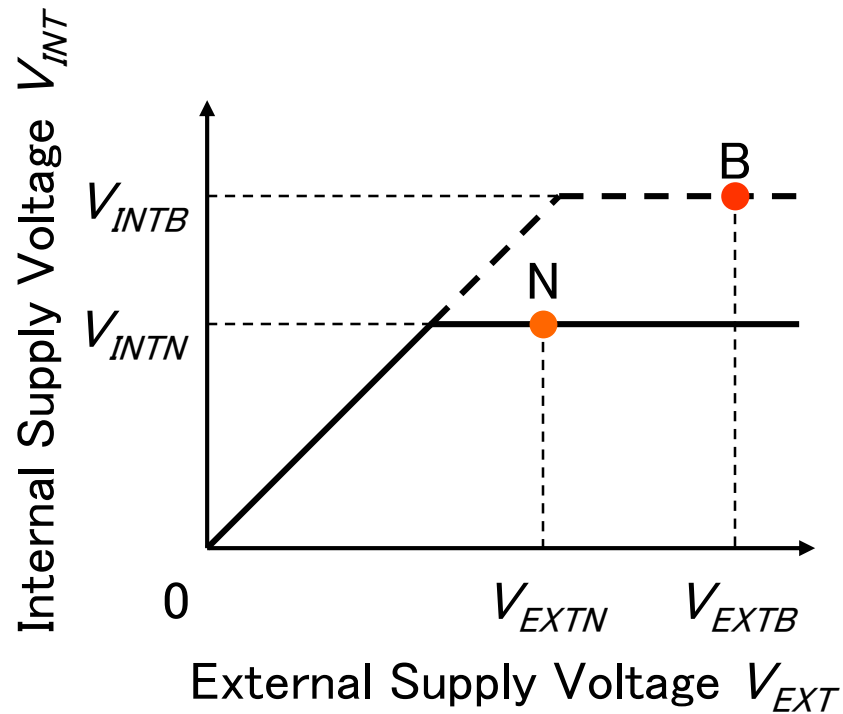
B: バーンイン

バーンイン電圧の発生方法(1)



- V_{EXT} の加速が不十分

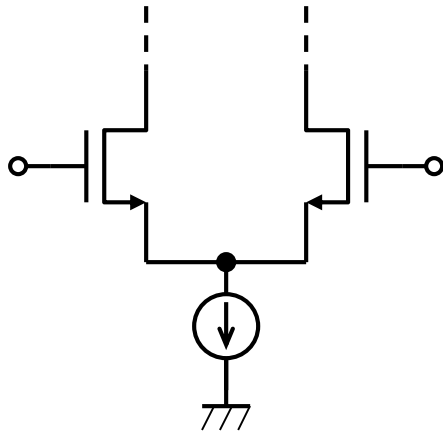
バーンイン電圧の発生方法(2)



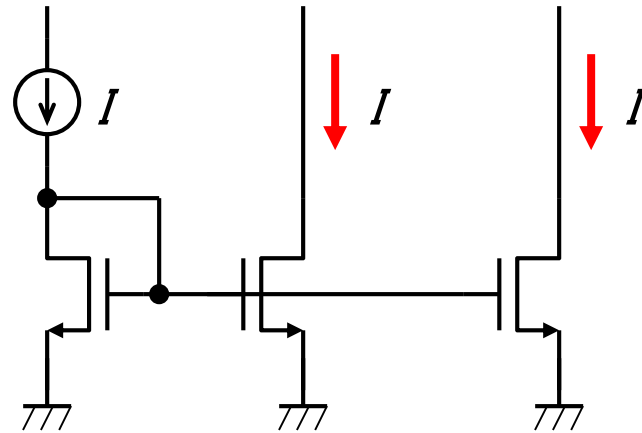
レイアウト上の注意

(1) 素子間のミスマッチ

差動増幅器



カレントミラー



(2) ノイズ

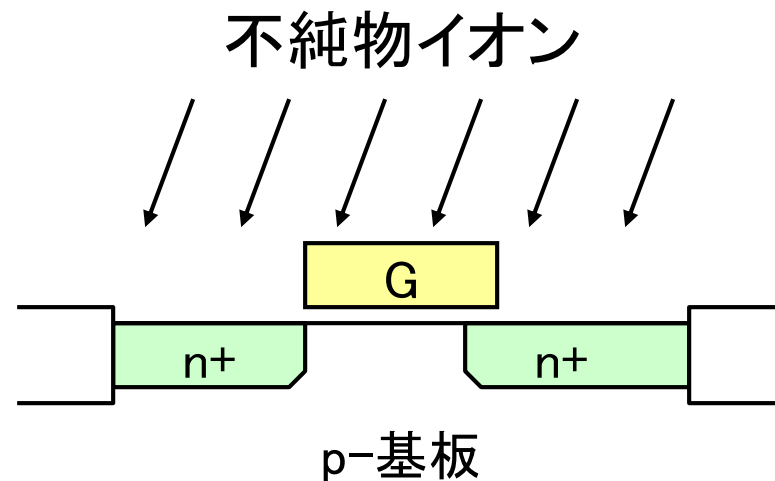
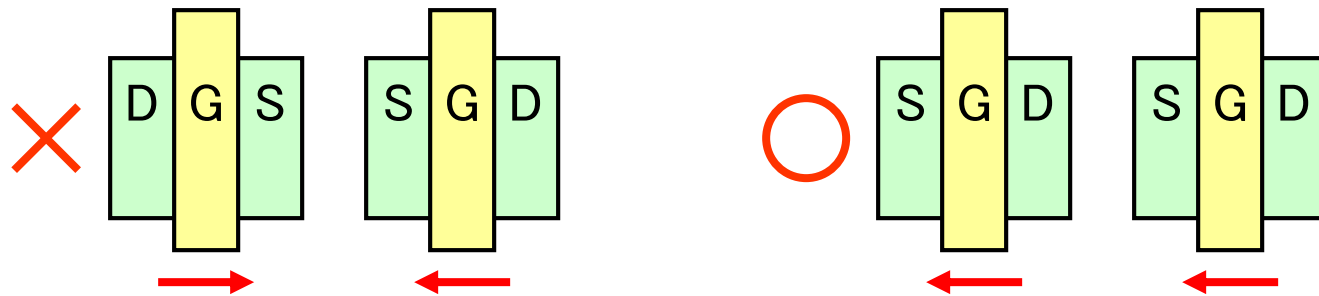
高インピーダンスの回路

レイアウト上の注意……ミスマッチ(1)

MOSTランジスタのミスマッチ低減

(1) 電流を同一方向に

斜めインプラ(イオン打ち込み)の影響を排除



レイアウト上の注意……ミスマッチ(2)

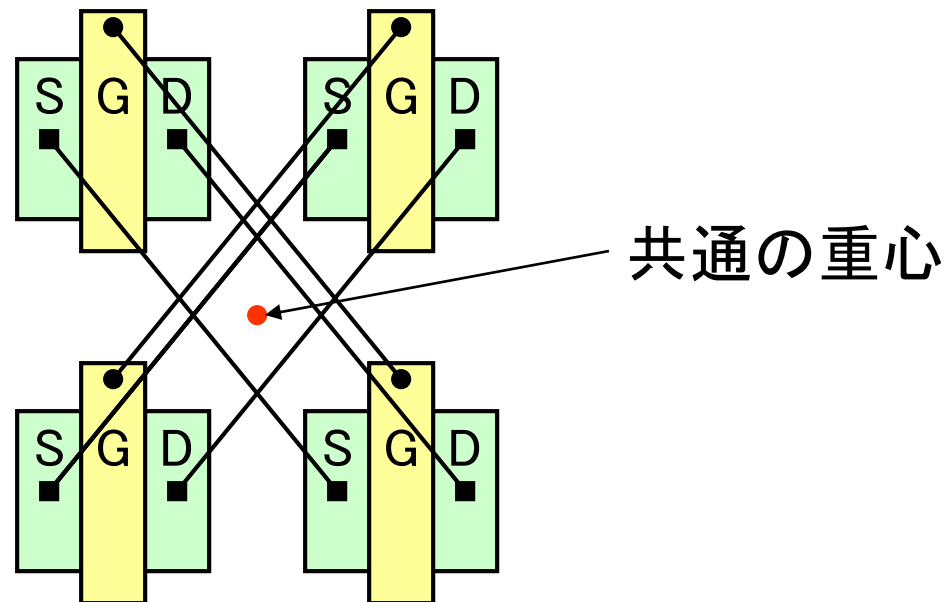
MOSTランジスタのミスマッチ低減

(2) L, W を大きく

短チャネル、狭チャネル効果低減

$$\Delta V_{TH} \propto 1/\sqrt{LW}$$

(3) Common centroid配置

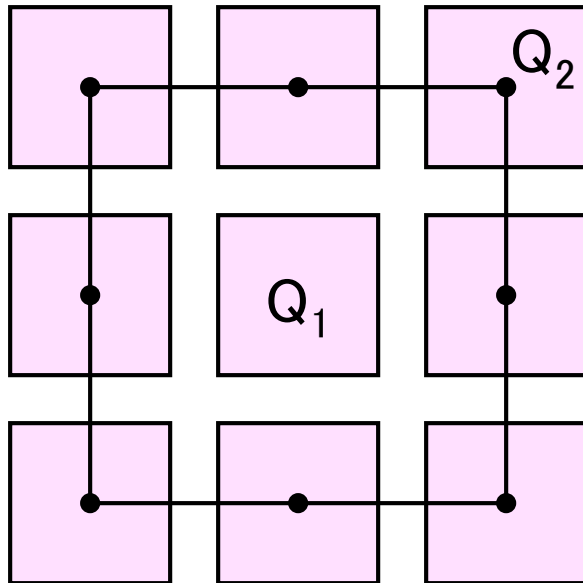


レイアウト上の注意……ミスマッチ(3)

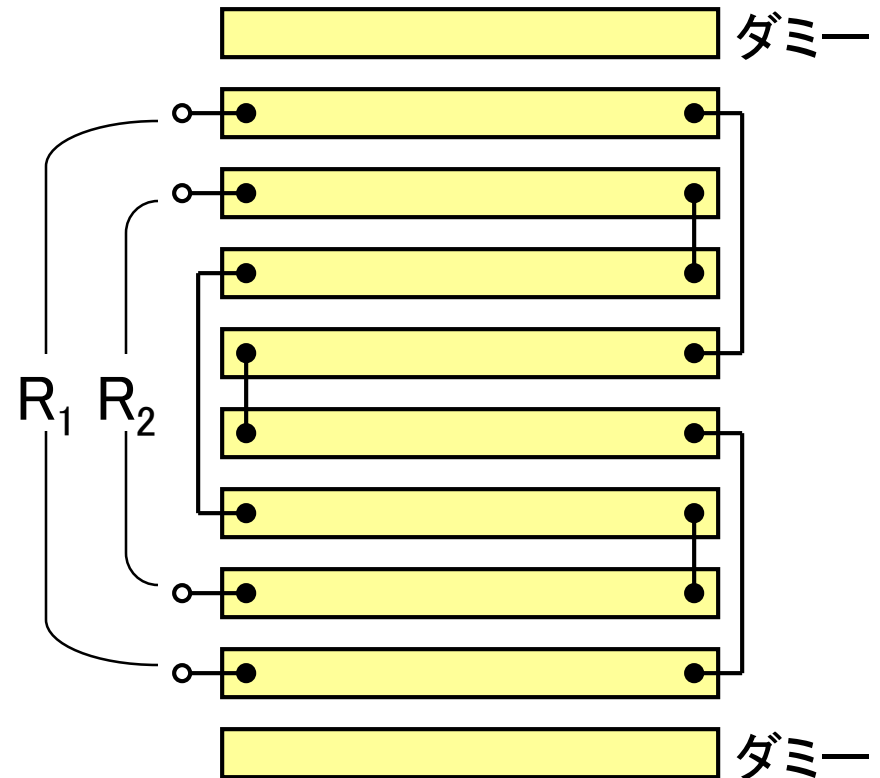
素子のミスマッチ低減

Common centroid配置

バイポーラトランジスタ

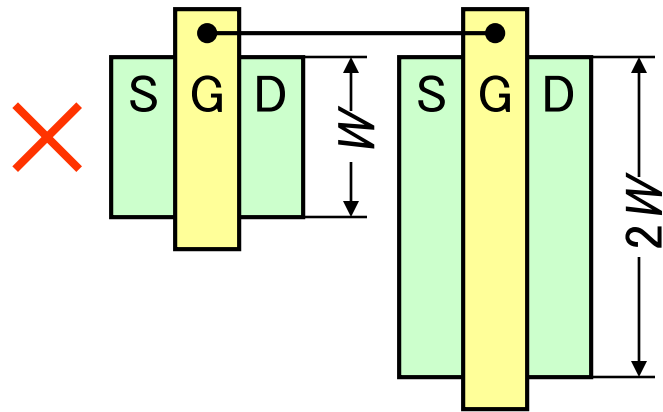


抵抗



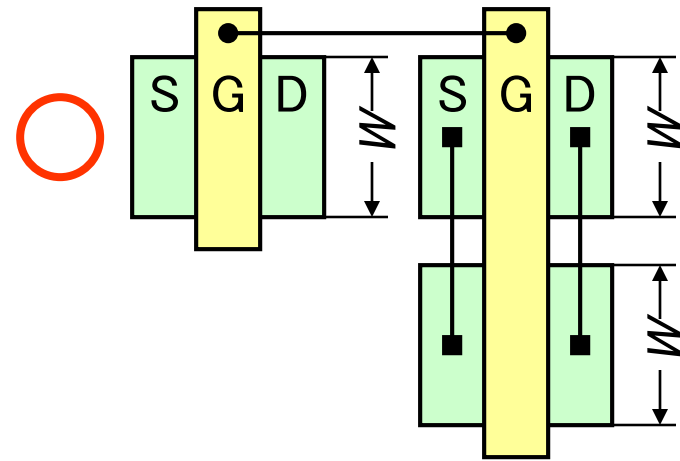
レイアウト上の注意……ミスマッチ(4)

カレントミラーのミラー比を正確に



$$W_{eff1} = W - \Delta W$$

$$W_{eff2} = 2W - \Delta W$$



$$W_{eff1} = W - \Delta W$$

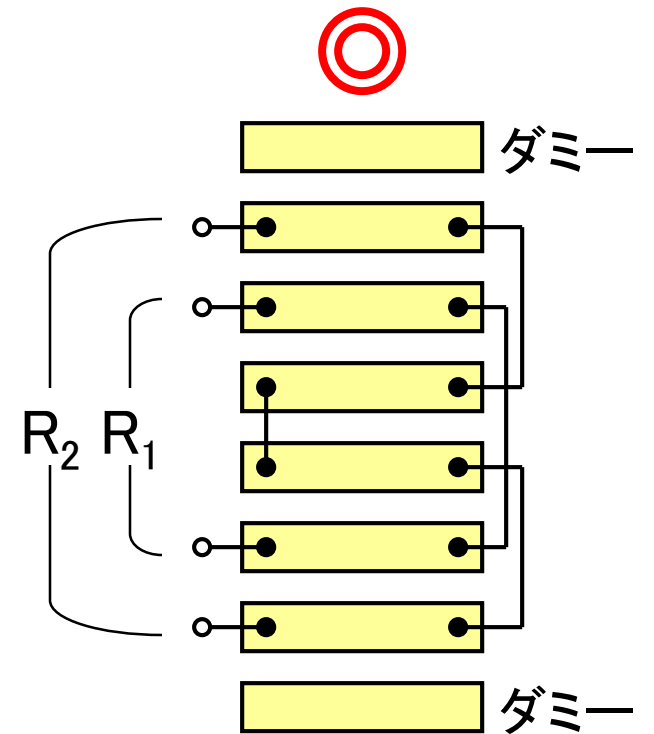
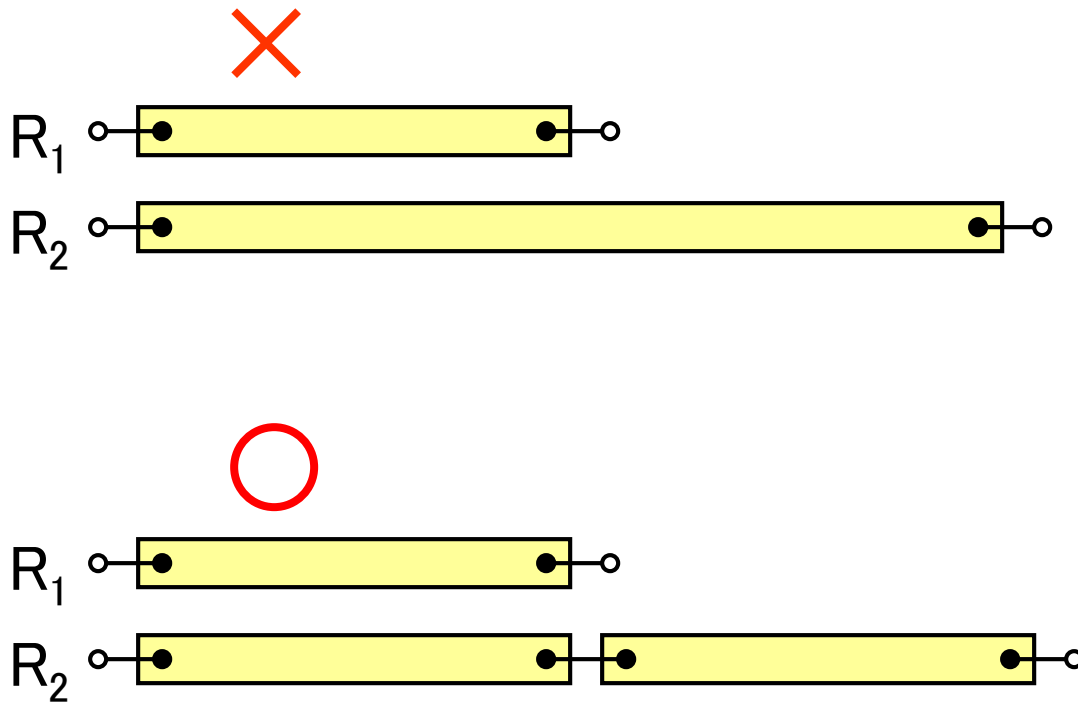
$$W_{eff2} = 2(W - \Delta W)$$

✗ 定数を M 倍する

○ 同じ定数の素子を M 個並べる

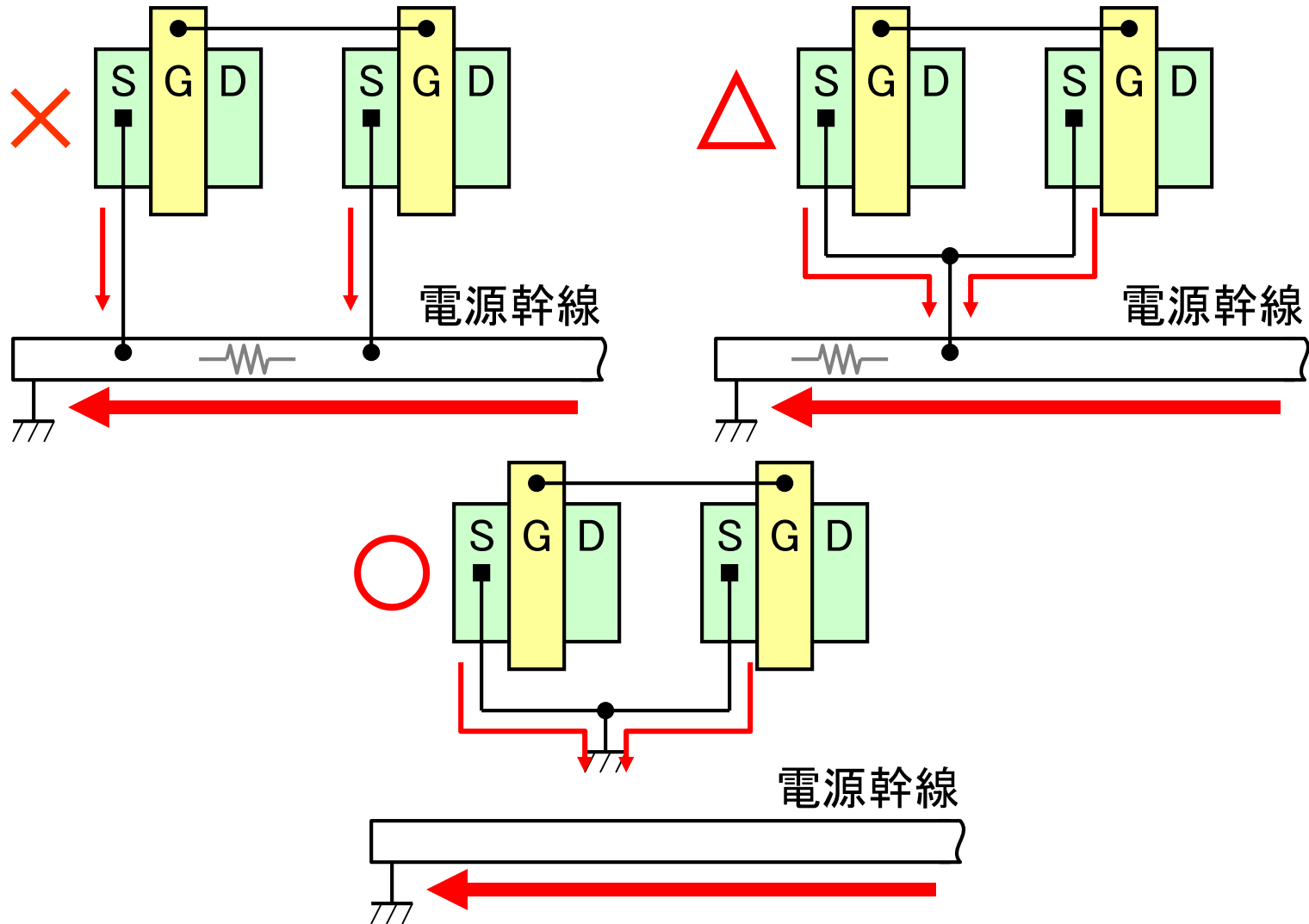
レイアウト上の注意……ミスマッチ(5)

抵抗比を正確に



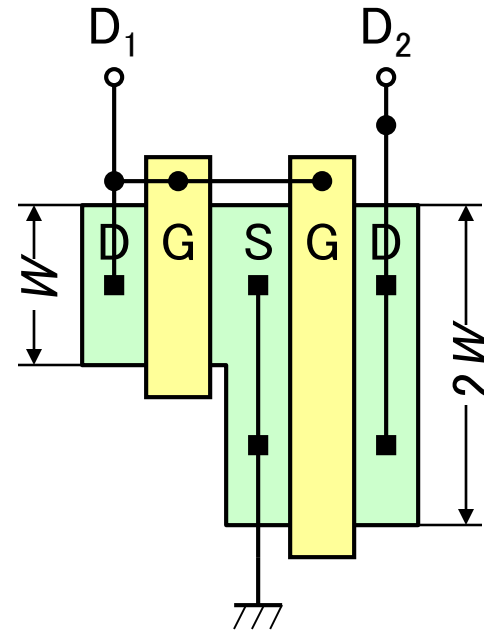
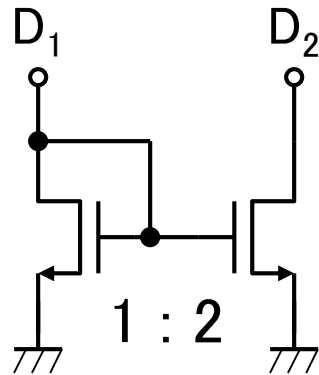
レイアウト上の注意……ノイズ

カレントミラーのソース寄生抵抗に注意



問題

1:2のカレントミラーを作るべく、図のようにレイアウトした。
このレイアウトが良くない理由を2つあげよ。



システム集積回路工学論

第6回 低電圧・高精度CMOSバンドギャップレファレンス回路

群馬大学客員教授 堀口真志

目次

- 1 背景
- 2 従来のBGR回路
- 3 低電圧・高精度BGR回路
- 4 実測結果
- 5 まとめ

背景

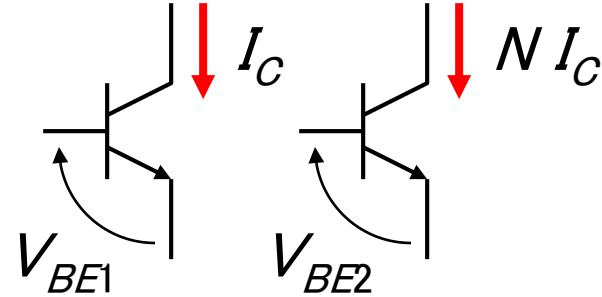
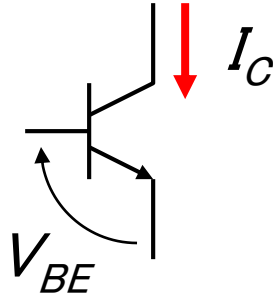
Bandgap reference回路 (BGR回路)

- ・高精度化
 - 温度ドリフト (線形、非線形) の低減
 - 電圧ばらつき の低減
 - トリミング …… テストコスト、製造コスト の増加
- ・低動作電圧化
 - 出力電圧 ~ 1.2 V による制約
 - 電源電圧 の低下に伴う低動作電圧化 の要求

目次

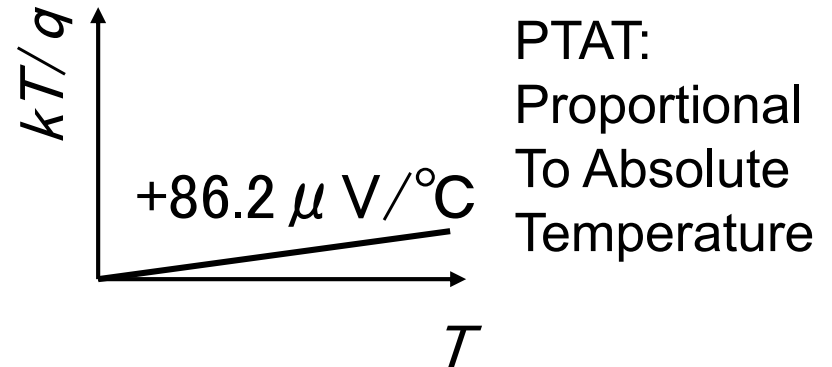
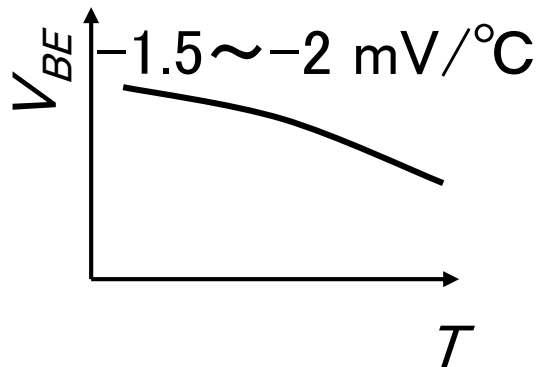
- 1 背景
- 2 従来のBGR回路
- 3 低電圧・高精度BGR回路
- 4 実測結果
- 5 まとめ

BGR回路の原理



$$\Delta V_{BE} = V_{BE2} - V_{BE1} = \frac{kT \ln N}{q}$$

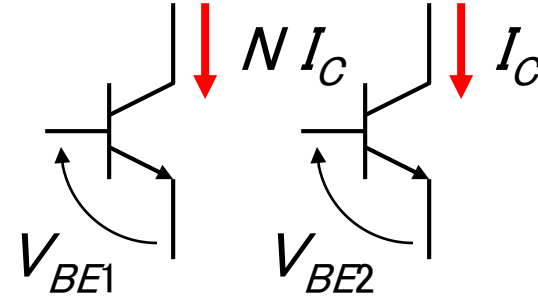
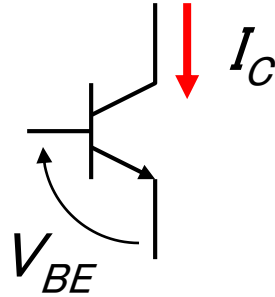
k : Boltzmann定数 q : 素電荷



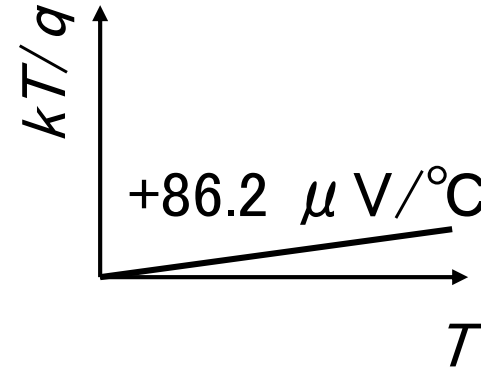
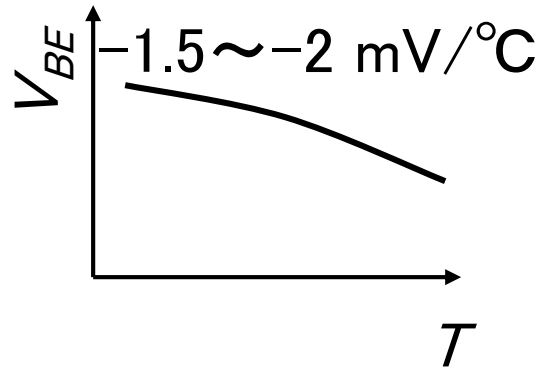
PTAT:
Proportional
To Absolute
Temperature

$V_{BGR} = a \cdot V_{BE} + b \cdot kT/q$ 温度依存性キャンセル可能
普通の設計: $a = 1, b = 18 \sim 23, V_{BGR} = 1.2 \sim 1.25\text{V}$

低電圧BGR回路の原理



$$\Delta V_{BE} = V_{BE1} - V_{BE2} = \frac{kT \ln N}{q}$$

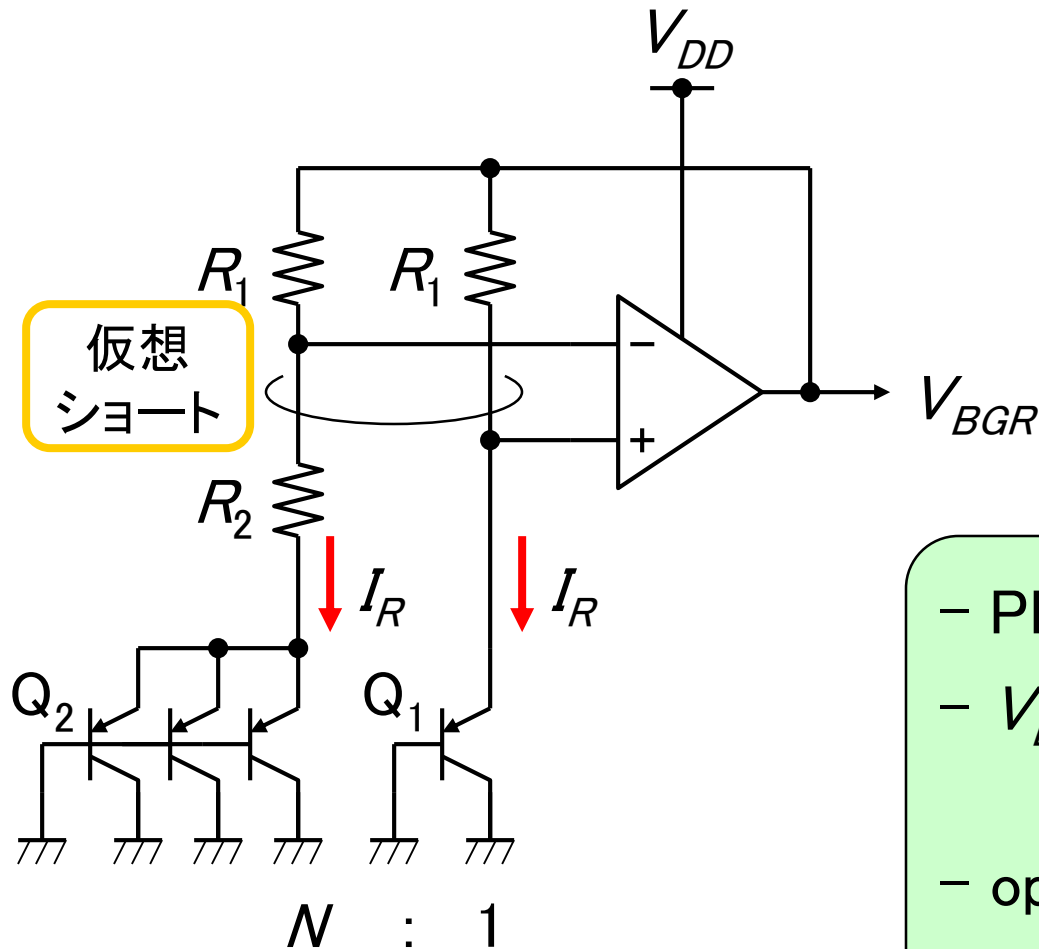


$$V_{BGR} = a \cdot V_{BE} + b \cdot kT/q$$

普通の設計: $a = 1$, $b = 18 \sim 23$, $V_{BGR} = 1.2 \sim 1.25\text{V}$

低電圧用設計: $a < 1$, $b/a = 18 \sim 23$, $V_{BGR} = 1.2 \sim 1.25\text{V} \times a$

従来型BGR回路

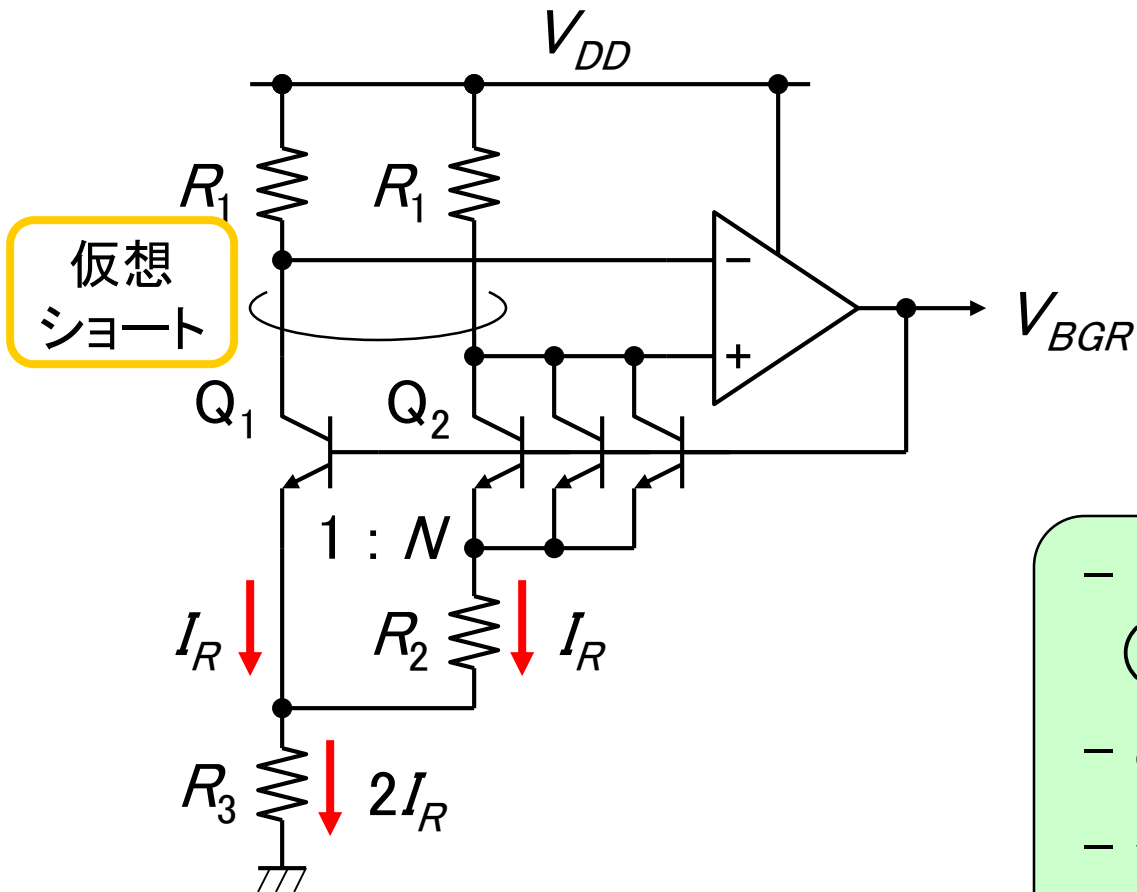


$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$\begin{aligned} V_{BGR} &= V_{BE1} + I_R R_1 \\ &= V_{BE1} + \frac{kT}{q} \cdot \frac{R_1 \ln N}{R_2} \end{aligned}$$

- PNP寄生バイポーラ使用
- $V_{DDmin} = \max(1.25V + \alpha, \text{op-amp動作電圧})$
- op-ampのオフセット要注意
- 位相余裕確保必要

高精度BGR回路

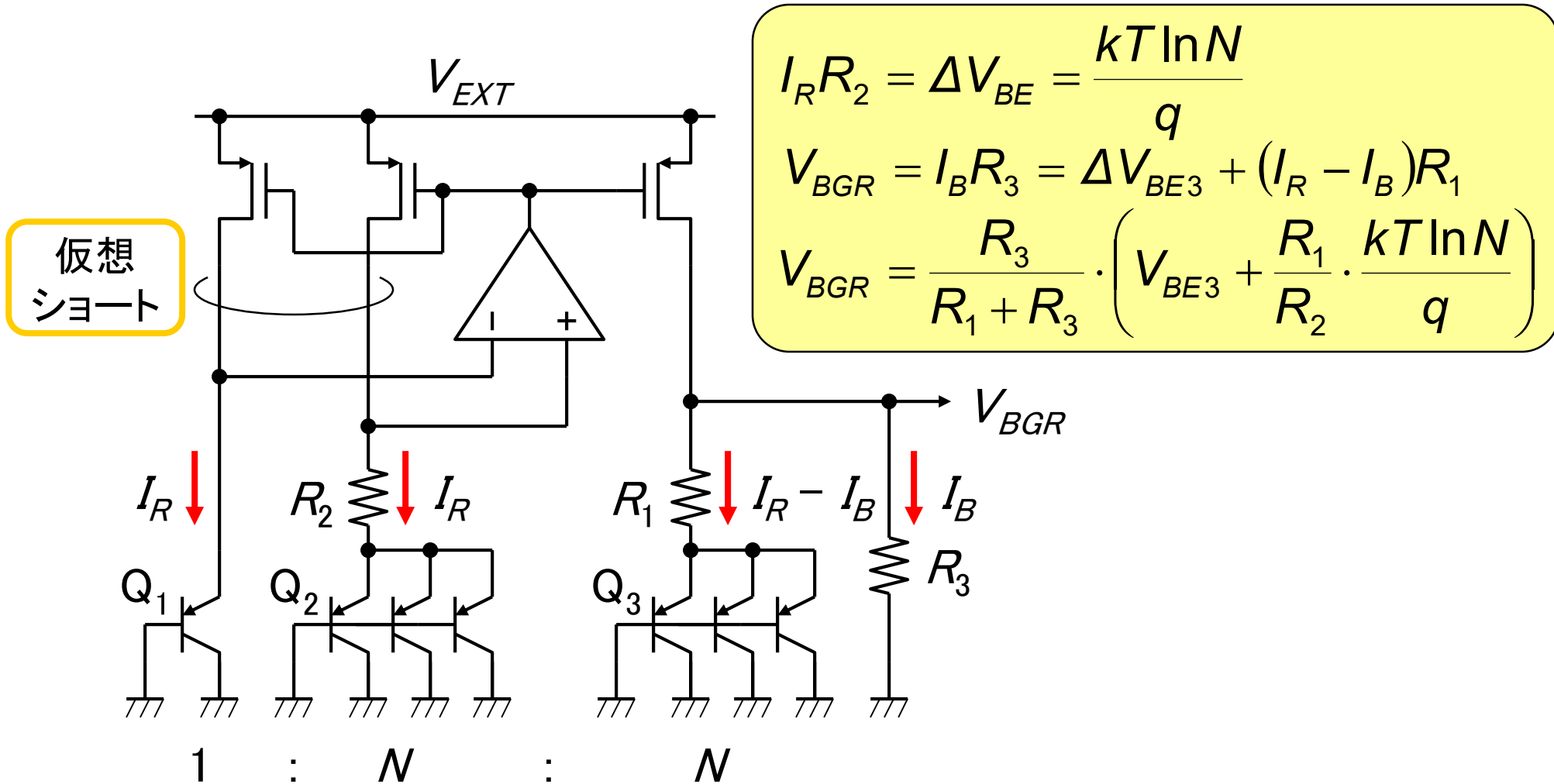


$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$\begin{aligned} V_{BGR} &= V_{BE1} + 2I_R R_3 \\ &= V_{BE1} + \frac{kT}{q} \cdot \frac{2R_3 \ln N}{R_2} \end{aligned}$$

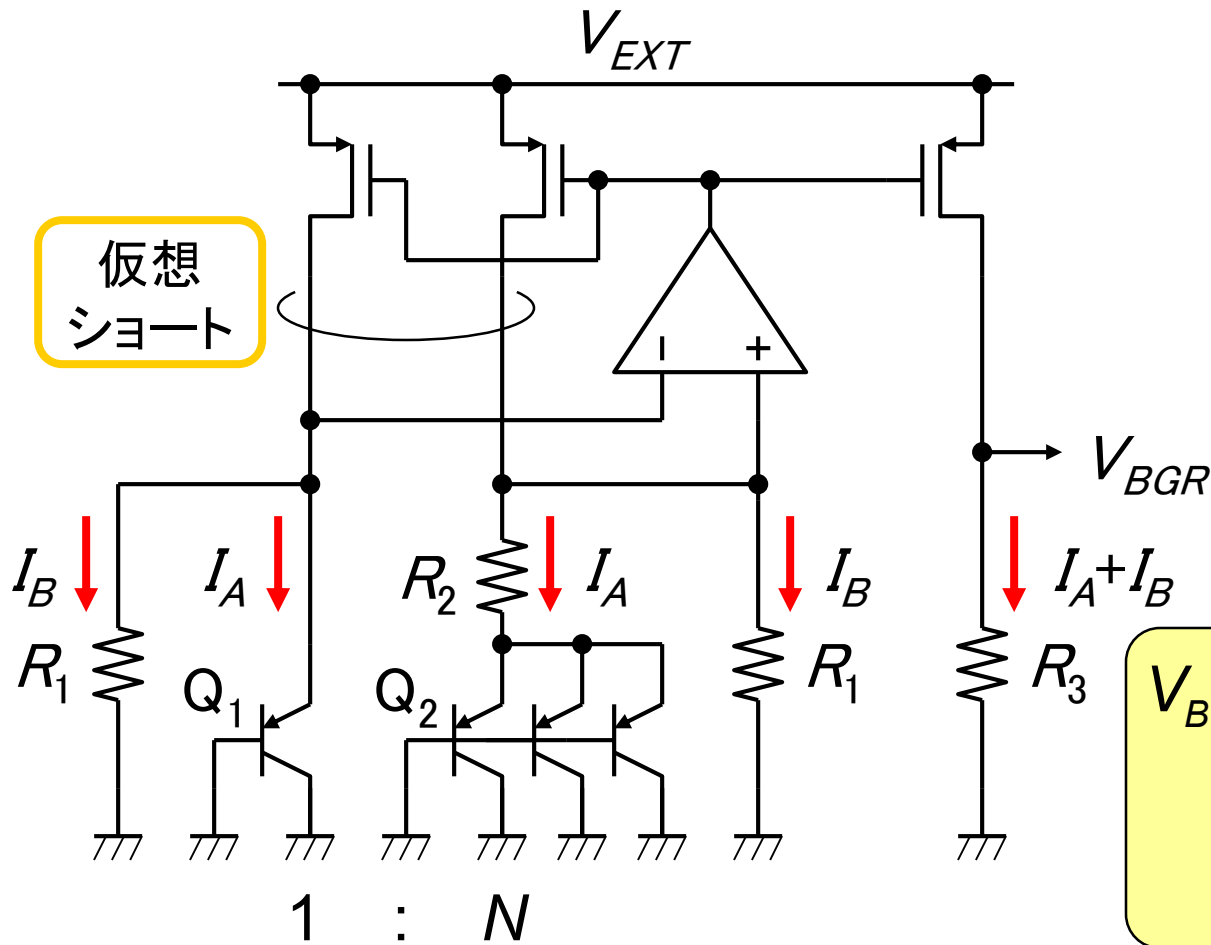
- NPN寄生バイポーラ使用 (三重ウェル構造必要)
- op-ampオフセットの影響小
- 位相余裕確保必要
- V_{DDmin} が高い

低電圧BGR回路(1)



H. Neuteboom, IEEE J. SSC, 32, p.1790, Nov. 1997

低電圧BGR回路(2)

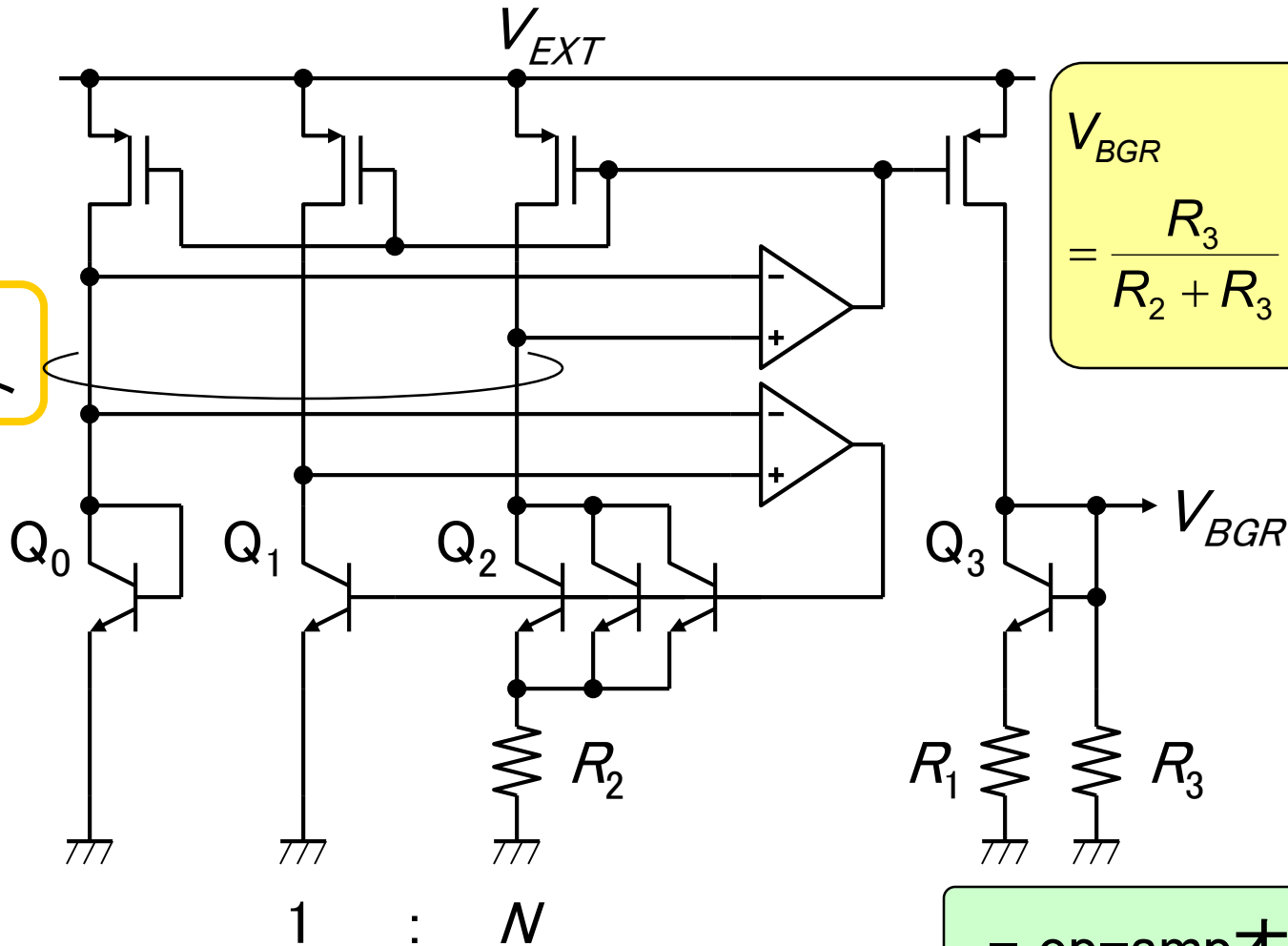


$$I_A R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$I_B R_1 = V_{BE1}$$

$$\begin{aligned} V_{BGR} &= (I_A + I_B) R_3 \\ &= \frac{R_3}{R_1} \cdot V_{BE1} + \frac{R_3}{R_2} \cdot \frac{kT \ln N}{q} \end{aligned}$$

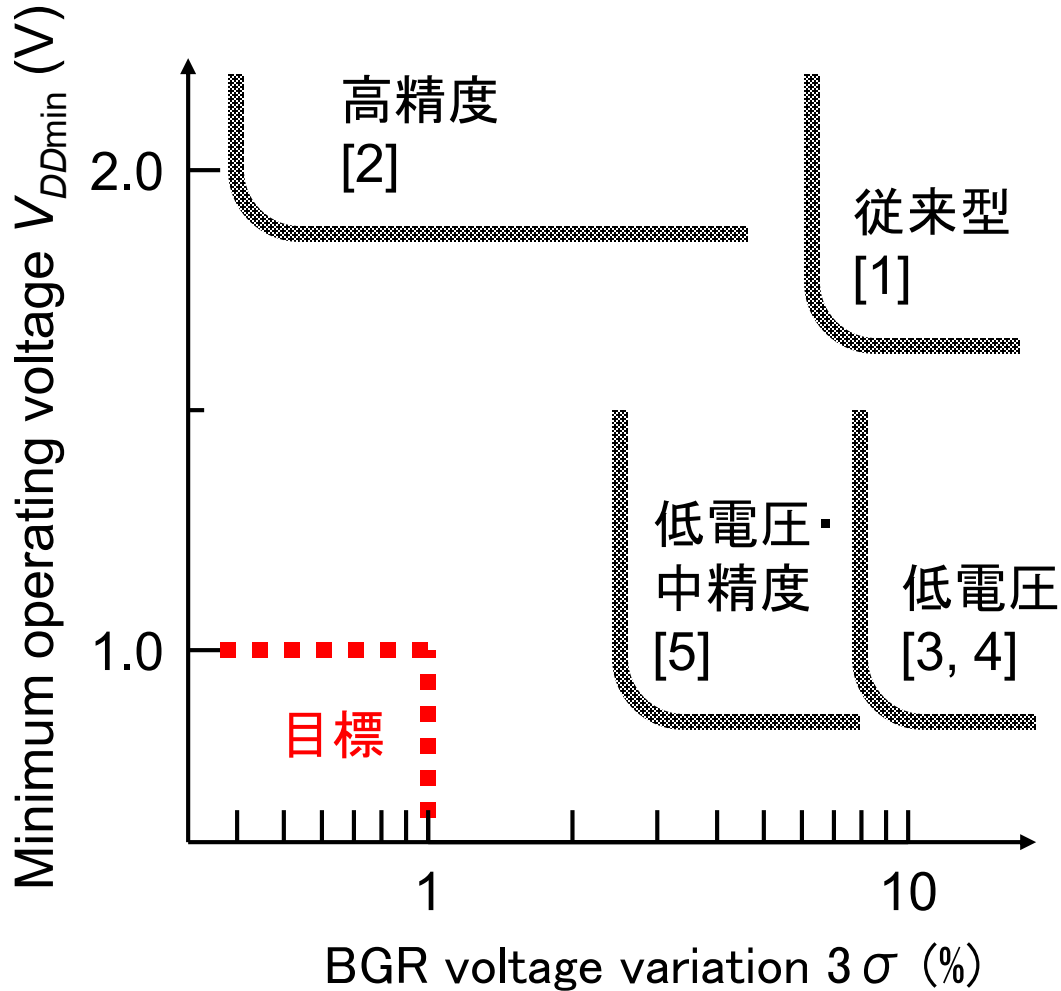
低電圧・中精度BGR回路



$$V_{BGR} = \frac{R_3}{R_2 + R_3} \cdot \left(V_{BE3} + \frac{R_2}{R_1} \cdot \frac{kT \ln N}{q} \right)$$

- op-ampオフセットの影響小

電圧ばらつきと動作下限電圧



- [1] K. E. Kuijk, IEEE J. SSC, SC-8, p. 222, June 1973.
- [2] A. P. Brokaw, IEEE J. SSC, SC-9, p.388, Dec. 1974
- [3].H. Neuteboom, IEEE J. SSC 32, p.1790, Nov. 1997
- [4] H. Banba, IEEE J. SSC, 34, p.670, May 1999
- [5] Y. Okuda, Symp. VLSI Circuits, p. 96, June 2007

V_{BE} の温度依存性

$$V_{BE} = \underbrace{V_G(T) - \frac{T}{T_R} \{V_G(T_R) - V_{BE}(T_R)\}}_{\text{線形}} - \underbrace{(\eta - m) \frac{kT}{q} \ln\left(\frac{T}{T_R}\right)}_{\text{非線形 (上に凸)}}$$

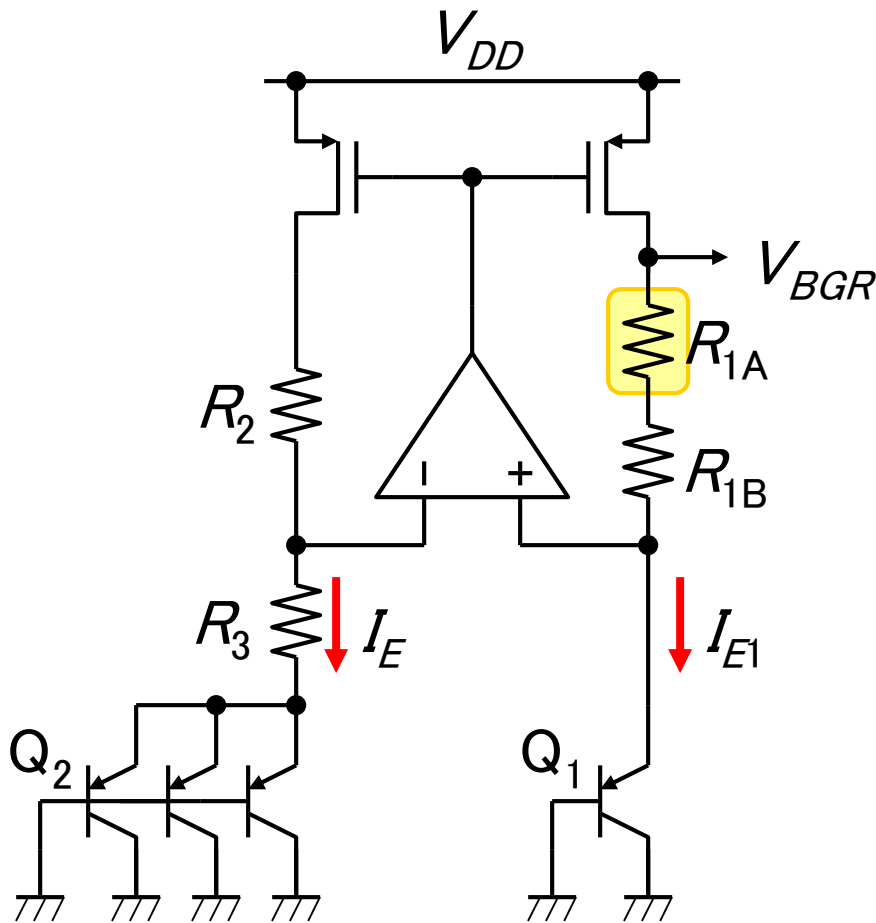
V_G : Bandgap電圧

T_R : Reference温度

η : バイポーラの構造に依存する定数、3.6~4

m : コレクタ電流 I_C の温度依存性、 $I_C \propto T^m$
PTATの場合、 $m = 1$

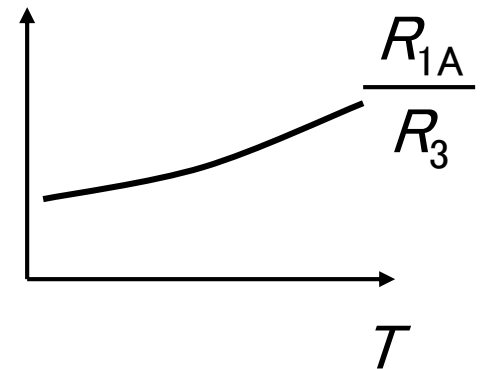
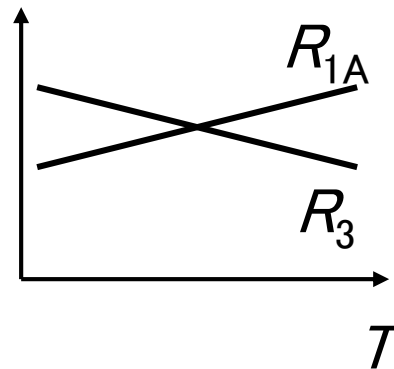
Curvature compensation (灣曲補正) BGR回路(1)



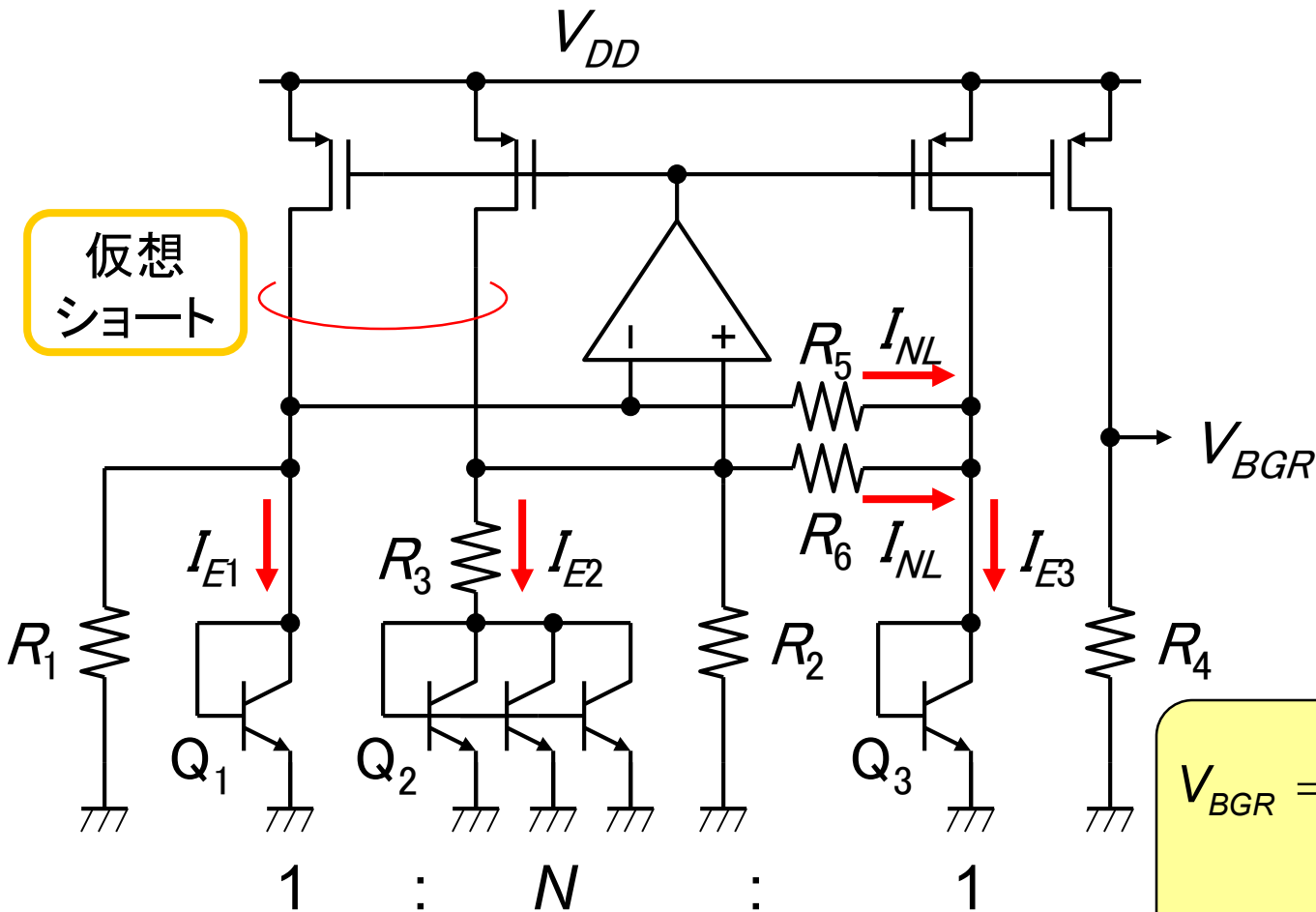
R_{1A} : 擴散層抵抗 (溫度係數 > 0)
 R_{1B}, R_2, R_3 : Poly-Si抵抗 (溫度係數 < 0)

$$V_{BGR} = V_{BE1} + I_E (R_{1A} + R_{1B})$$

$$= V_{BE1} + \frac{kT \ln N}{q} \left(\frac{R_{1A}}{R_3} + \frac{R_{1B}}{R_3} \right)$$



Curvature compensation (湾曲補正) BGR回路(2)



$$R_1 = R_2, R_5 = R_6$$

$$I_{E1} = I_{E2} = \frac{kT \ln N}{qR_3} \propto T^1$$

$$I_{E3} \propto T^0$$

$$I_{NL} = \frac{V_{BE1} - V_{BE3}}{R_5}$$

$$= \frac{kT}{qR_5} \ln \frac{T}{T_R}$$

$$V_{BGR} = \left(I_{E1} + \frac{V_{BE1}}{R_1} + I_{NL} \right) R_4$$

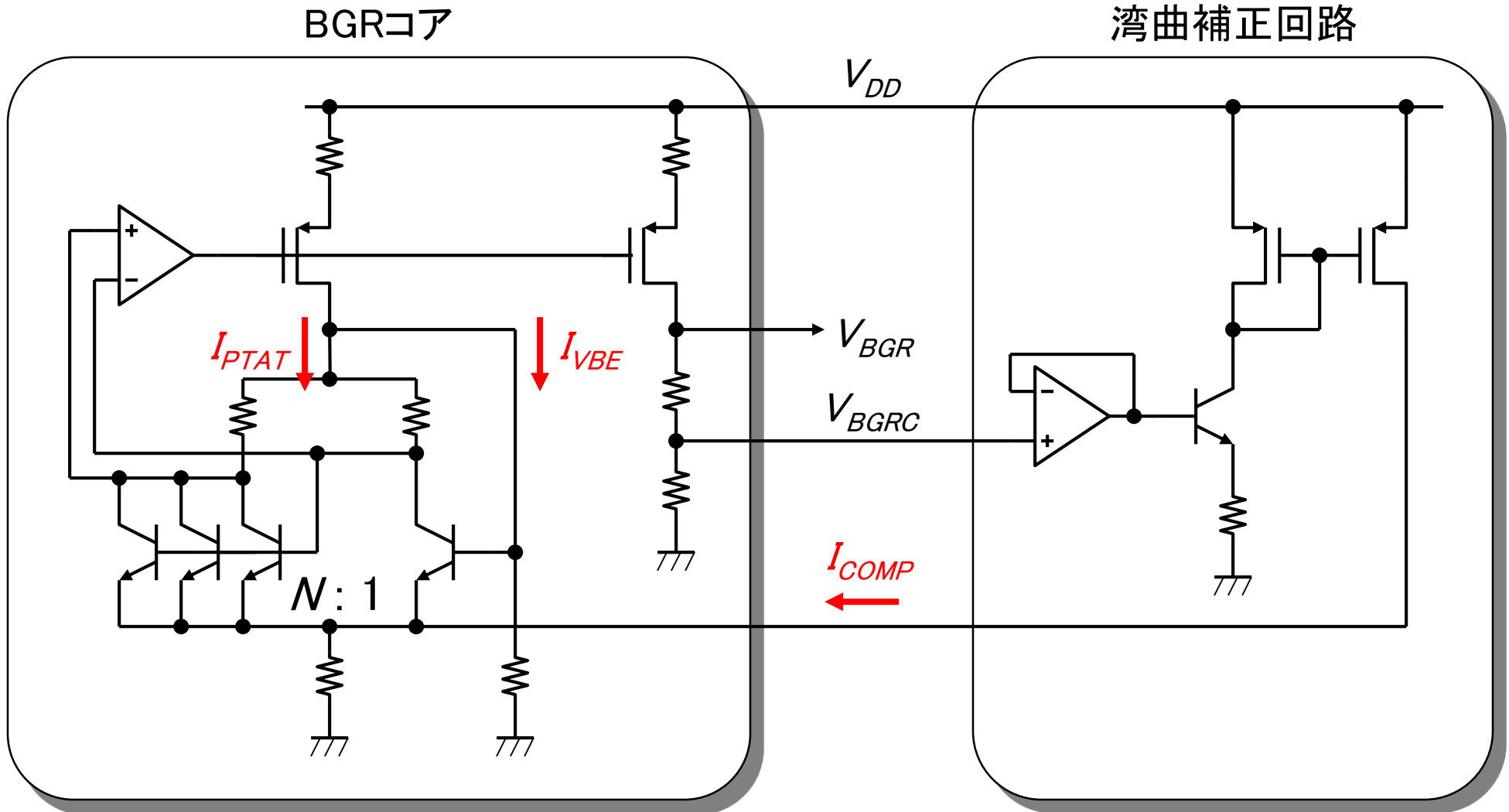
$$= (\text{線形}) + \left\{ \frac{R_4(\eta - 1)}{R_1} - \frac{R_4}{R_5} \right\} \frac{kT}{q} \ln \frac{T}{T_R}$$

キャンセル可能

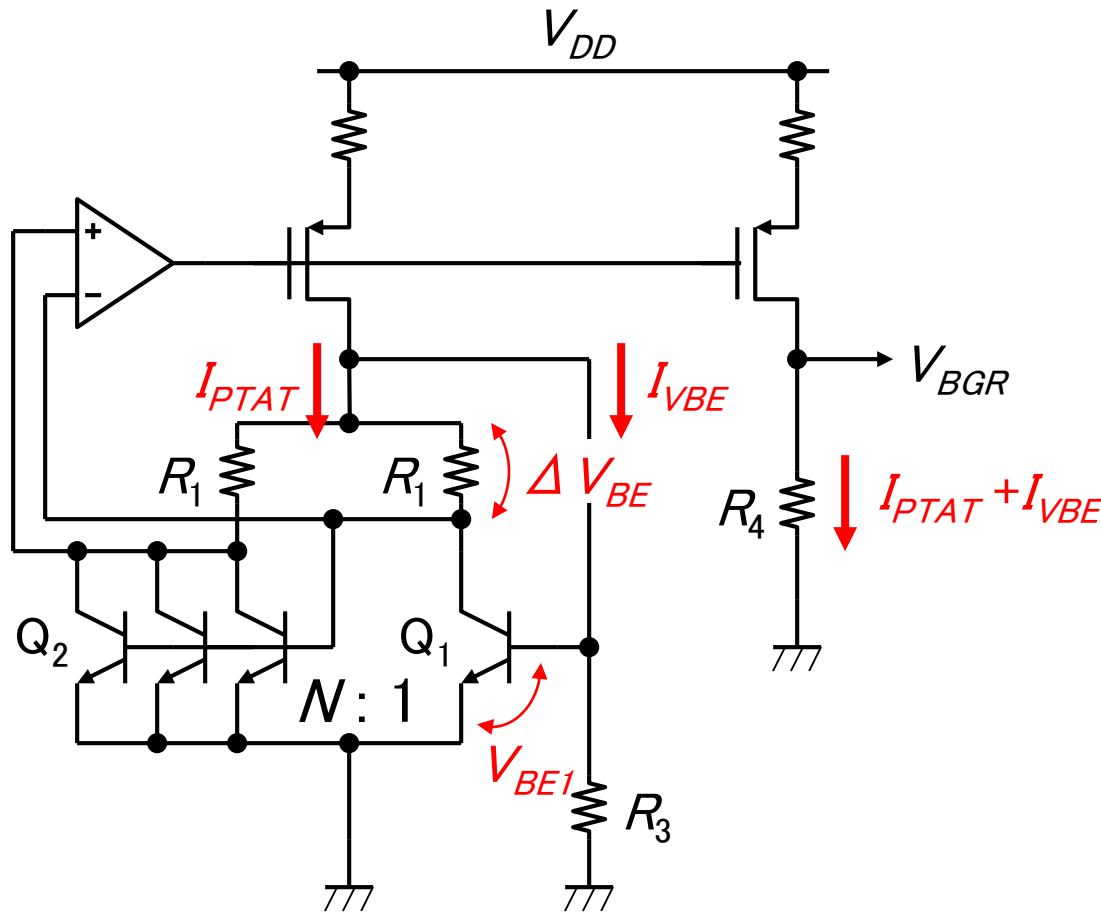
目次

- 1 背景
- 2 従来のBGR回路
- 3 低電圧・高精度BGR回路**
- 4 実測結果
- 5 まとめ

低電圧・高精度BGR回路の提案



BGRコア



$$\frac{I_{PTAT}}{2} = \frac{\Delta V_{BE}}{R_1} = \frac{kT \ln N}{qR_1}$$

$$I_{VBE} = \frac{V_{BE1}}{R_3}$$

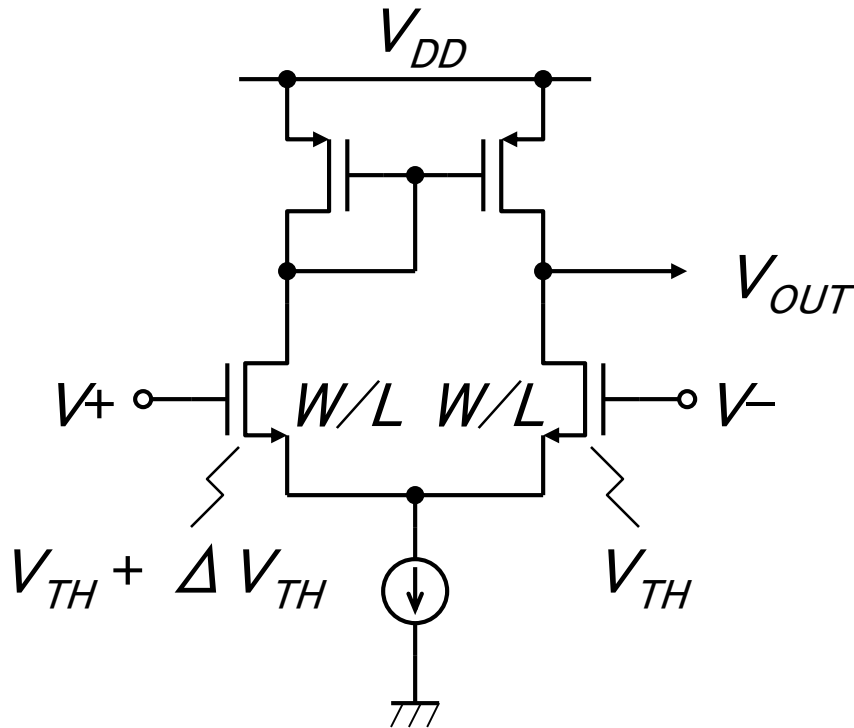
$$V_{BGR} = (I_{PTAT} + I_{VBE})R_4$$

$$= R_4 \left(\frac{V_{BE1}}{R_3} + \frac{2kT \ln N}{qR_1} \right)$$

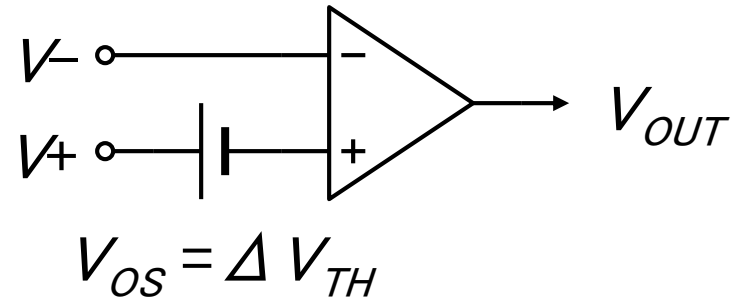
電圧ばらつき要因

- ・ オペアンプのオフセット電圧 non-PTAT
 - ・ バイポーラのグローバルばらつき (V_{BE} , h_{FE})
 - ・ バイポーラのローカルばらつき (V_{BE} , h_{FE})
 - ・ 抵抗のグローバルばらつき
 - ・ 抵抗のローカルばらつき
- } PTAT

オペアンプのオフセット電圧



等価回路

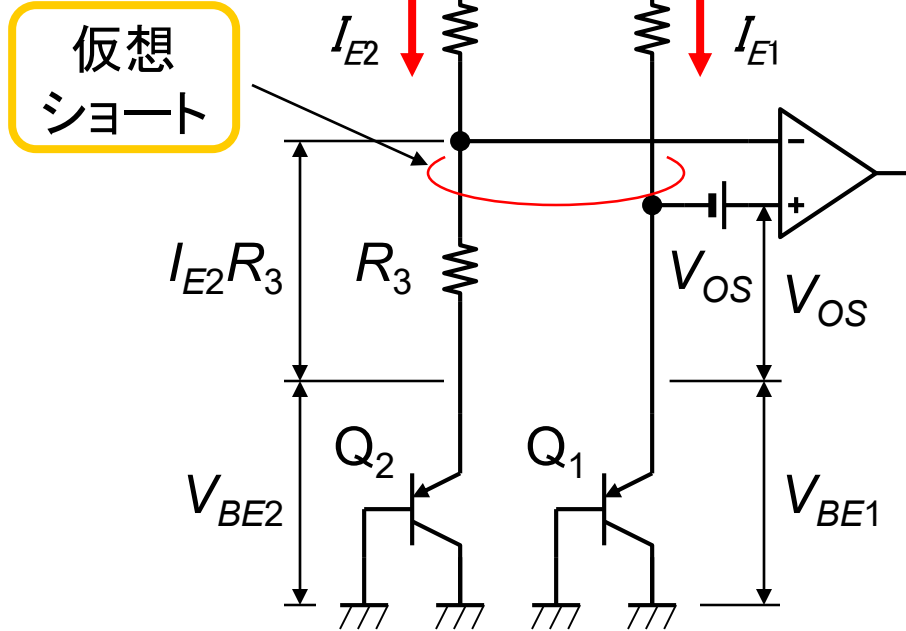


$$\sigma(V_{TH}) = \frac{q}{C_{OX}} \sqrt{\frac{N_A W_D}{3LW}}$$

$$\sigma(\Delta V_{TH}) = \sqrt{2} \cdot \sigma(V_{TH})$$

C_{OX} : ゲート絶縁膜の面積当り容量
 N_A : 不純物濃度
 W_D : 空乏層幅

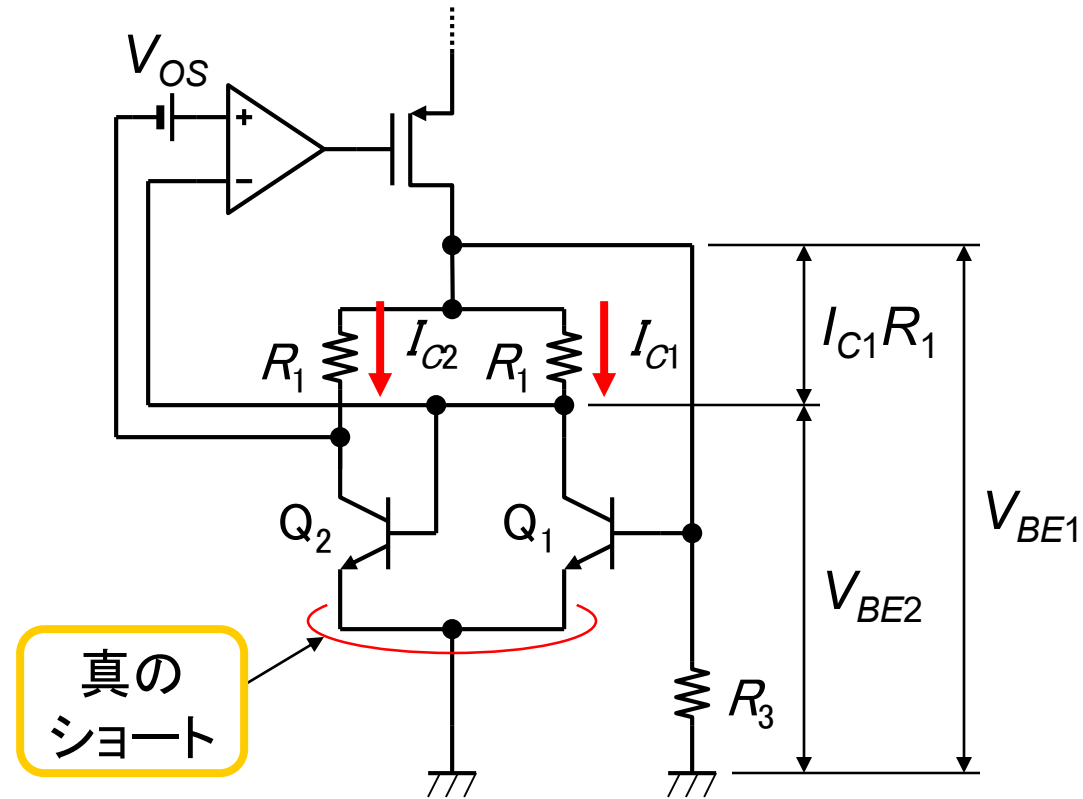
オペアンプオフセット電圧の影響



✗ $I_{E2} R_3 \neq V_{BE1} - V_{BE2}$

✗ $I_{E1} \neq I_{E2}$

Conventional BGR

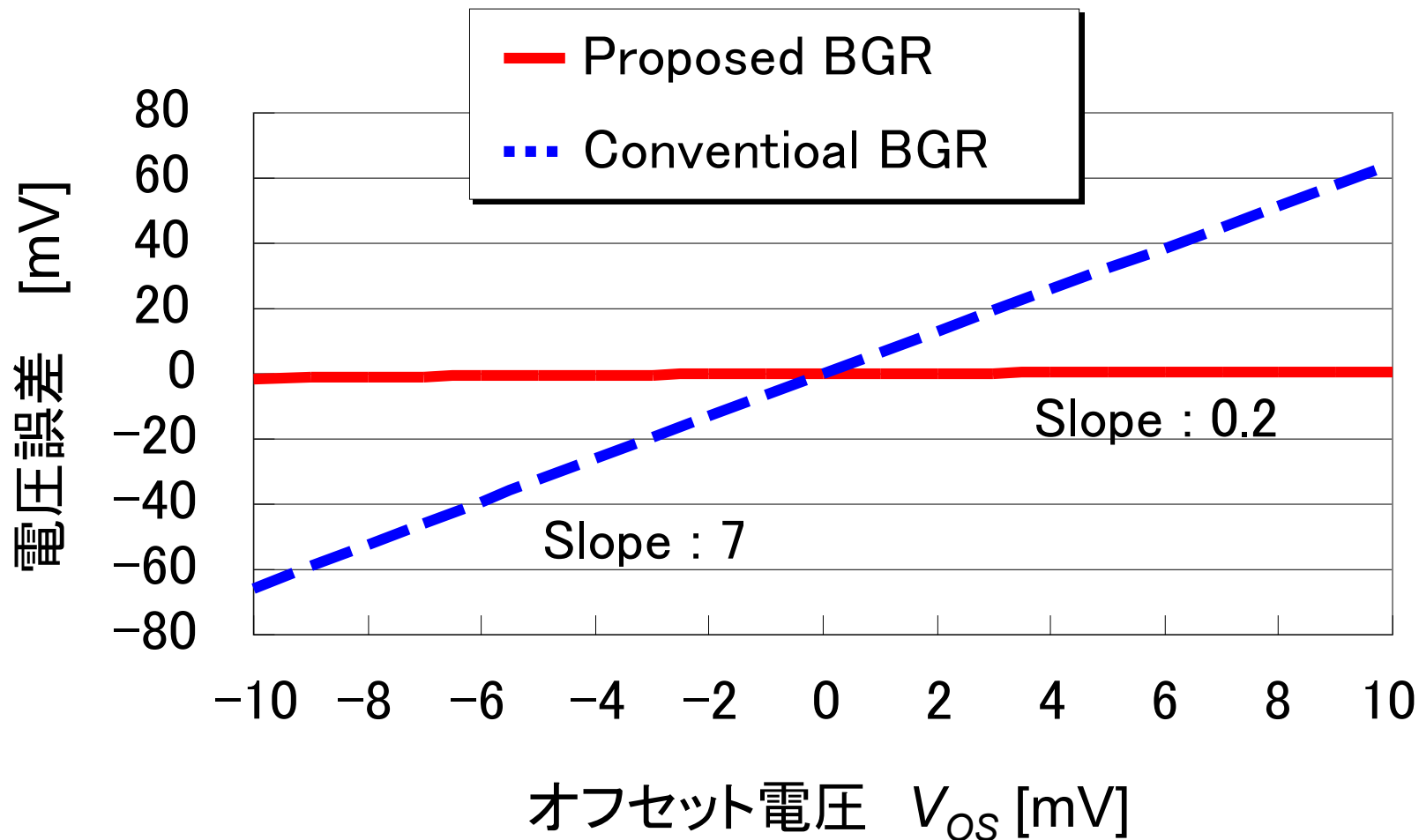


○ $I_{C1} R_1 = V_{BE1} - V_{BE2}$

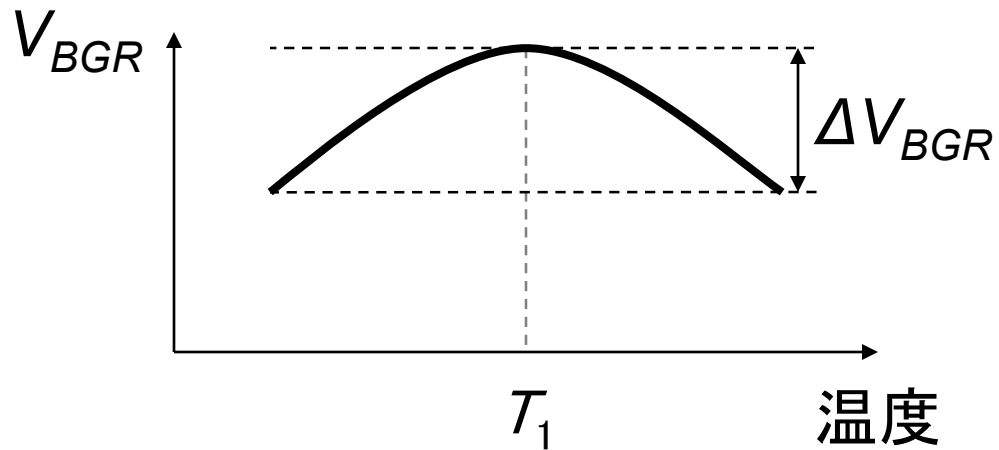
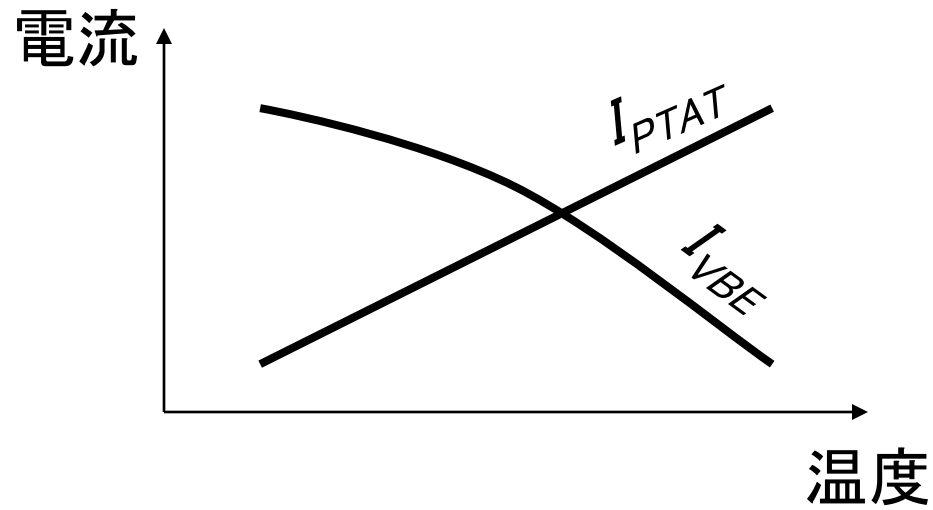
✗ $I_{C1} \neq I_{C2}$

Proposed BGR

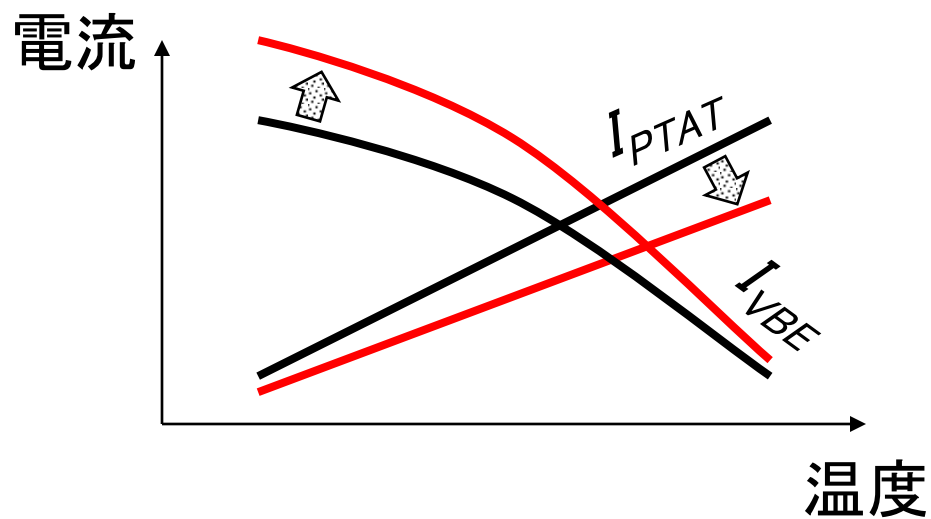
オペアンプオフセット電圧の影響



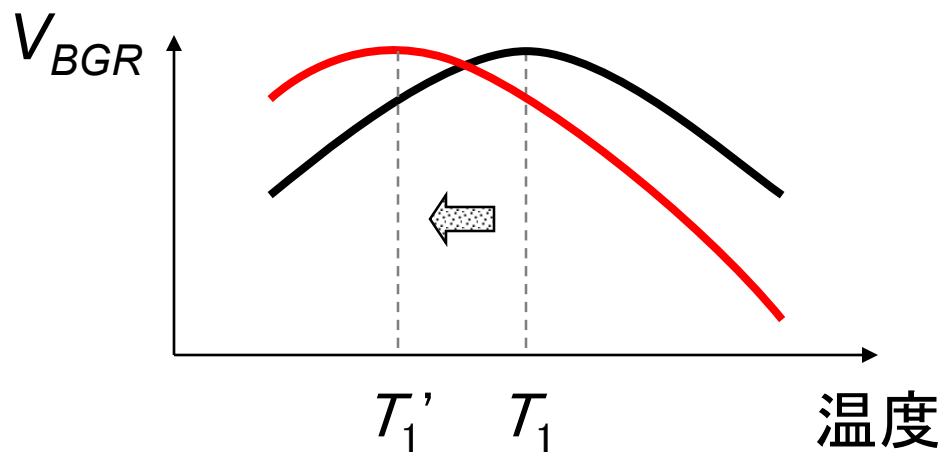
湾曲補正の原理



湾曲補正の原理

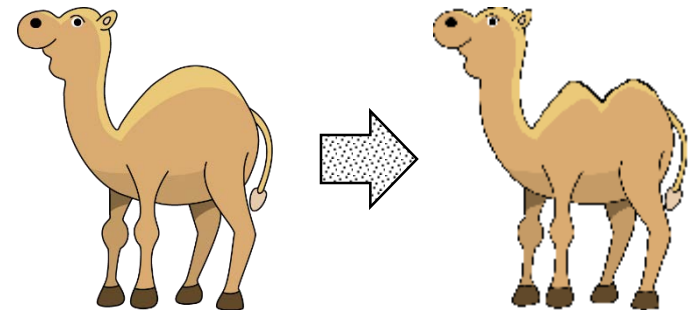
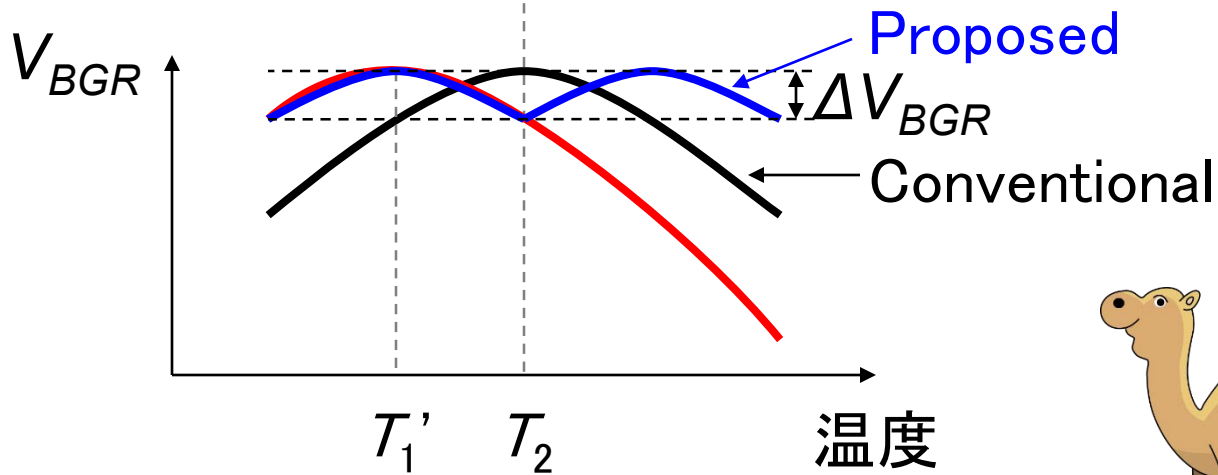
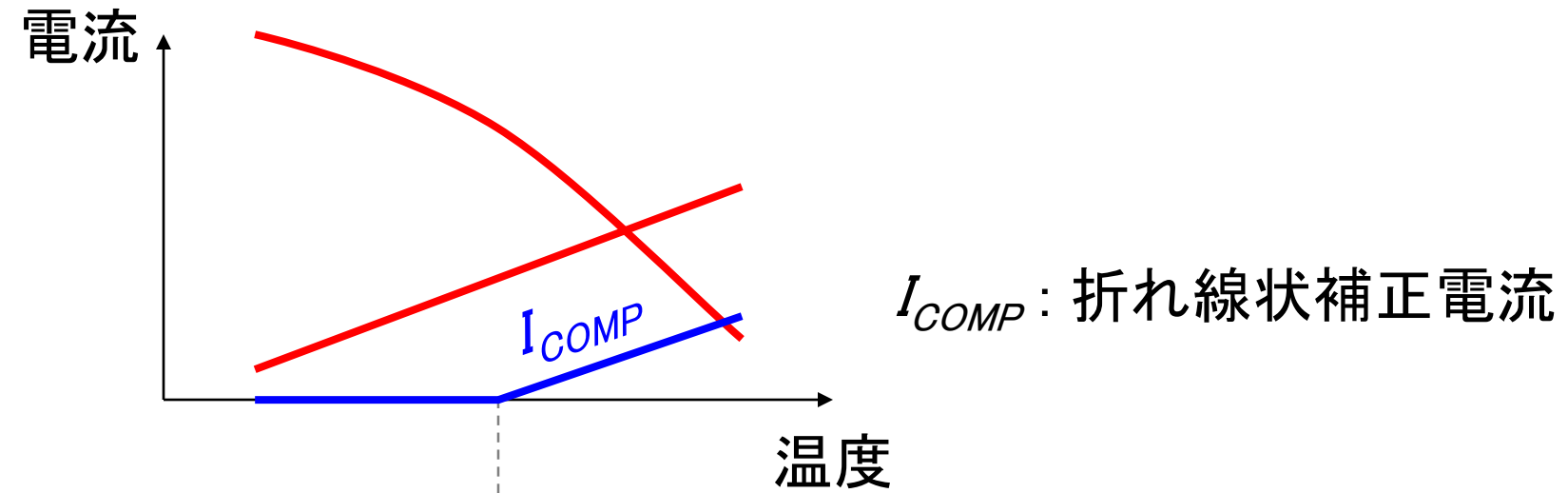


I_{PTAT} と I_{VBE} の割合を調整



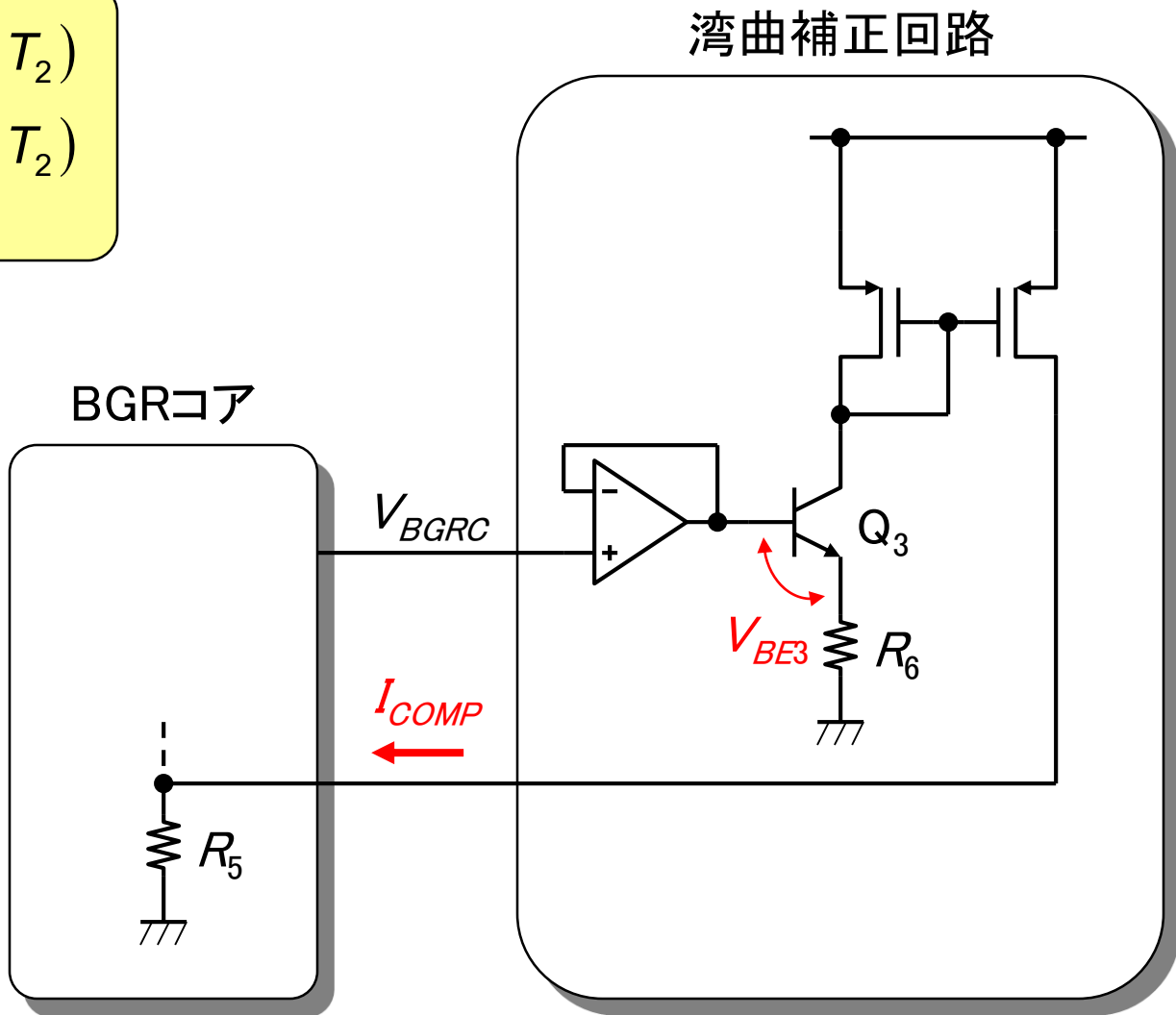
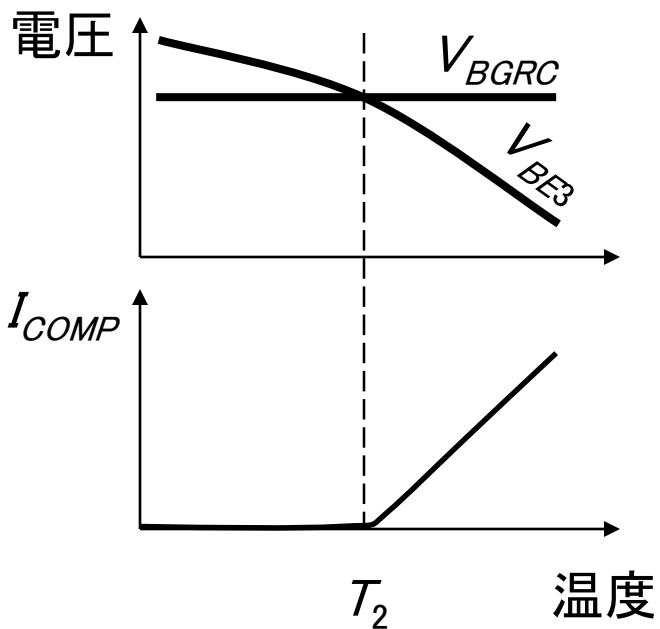
T_1 を低温側へシフト

湾曲補正の原理



湾曲補正回路

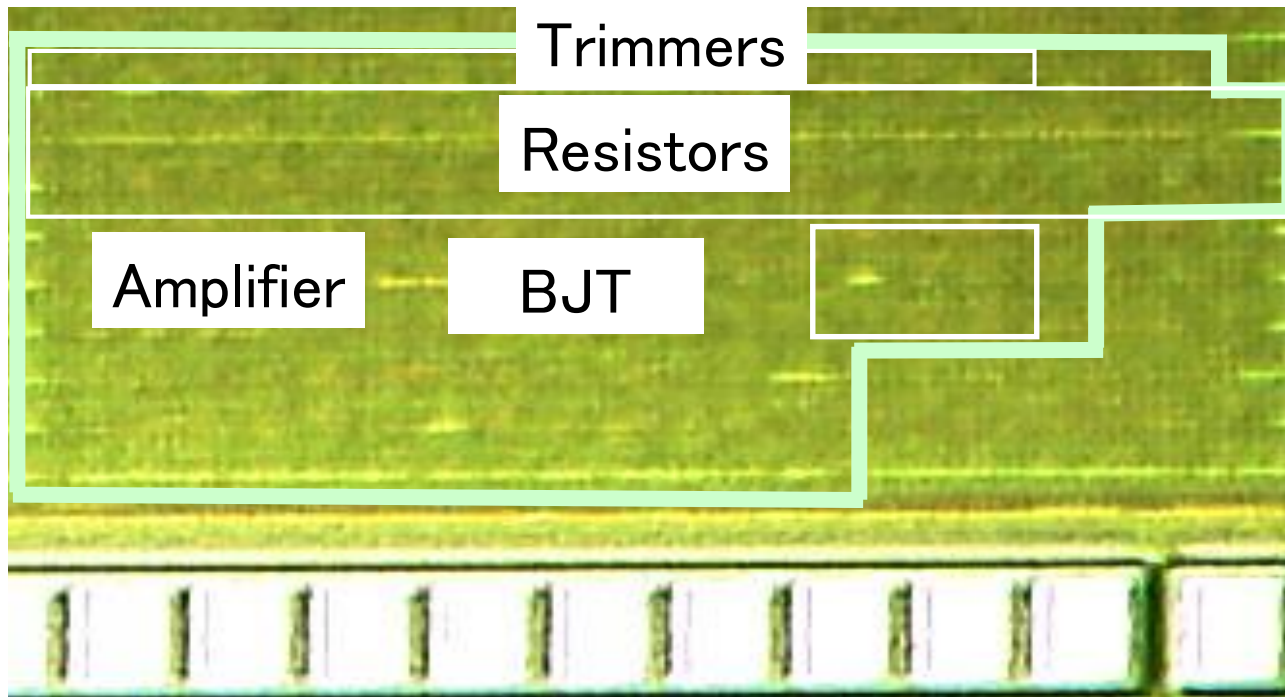
$$I_{COMP} = \begin{cases} 0 & (T \leq T_2) \\ \frac{V_{BGRC} - V_{BE3}}{R_6} & (T \geq T_2) \end{cases}$$



目次

- 1 背景
- 2 従来のBGR回路
- 3 低電圧・高精度BGR回路
- 4 実測結果**
- 5 まとめ

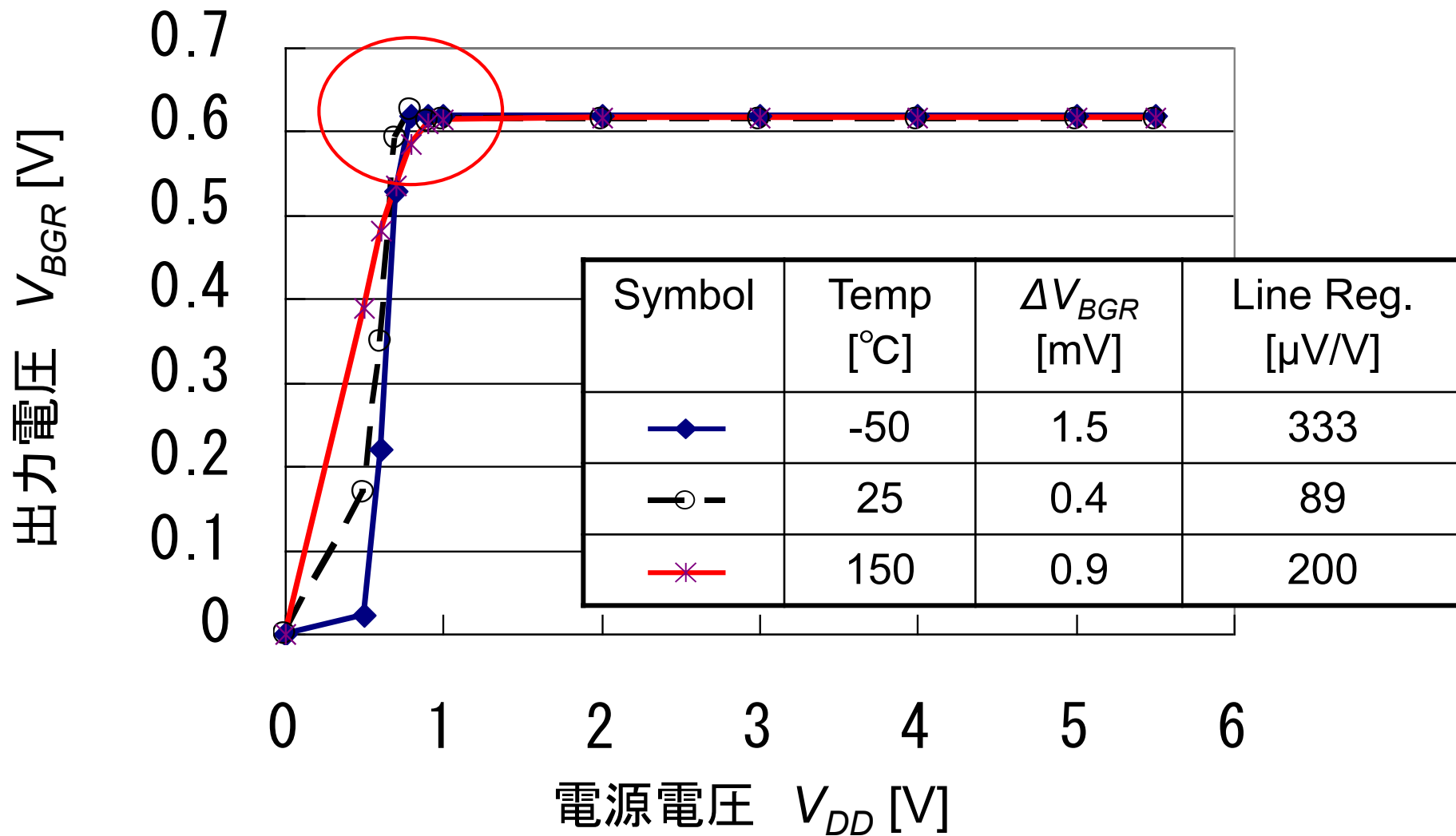
試作チップ



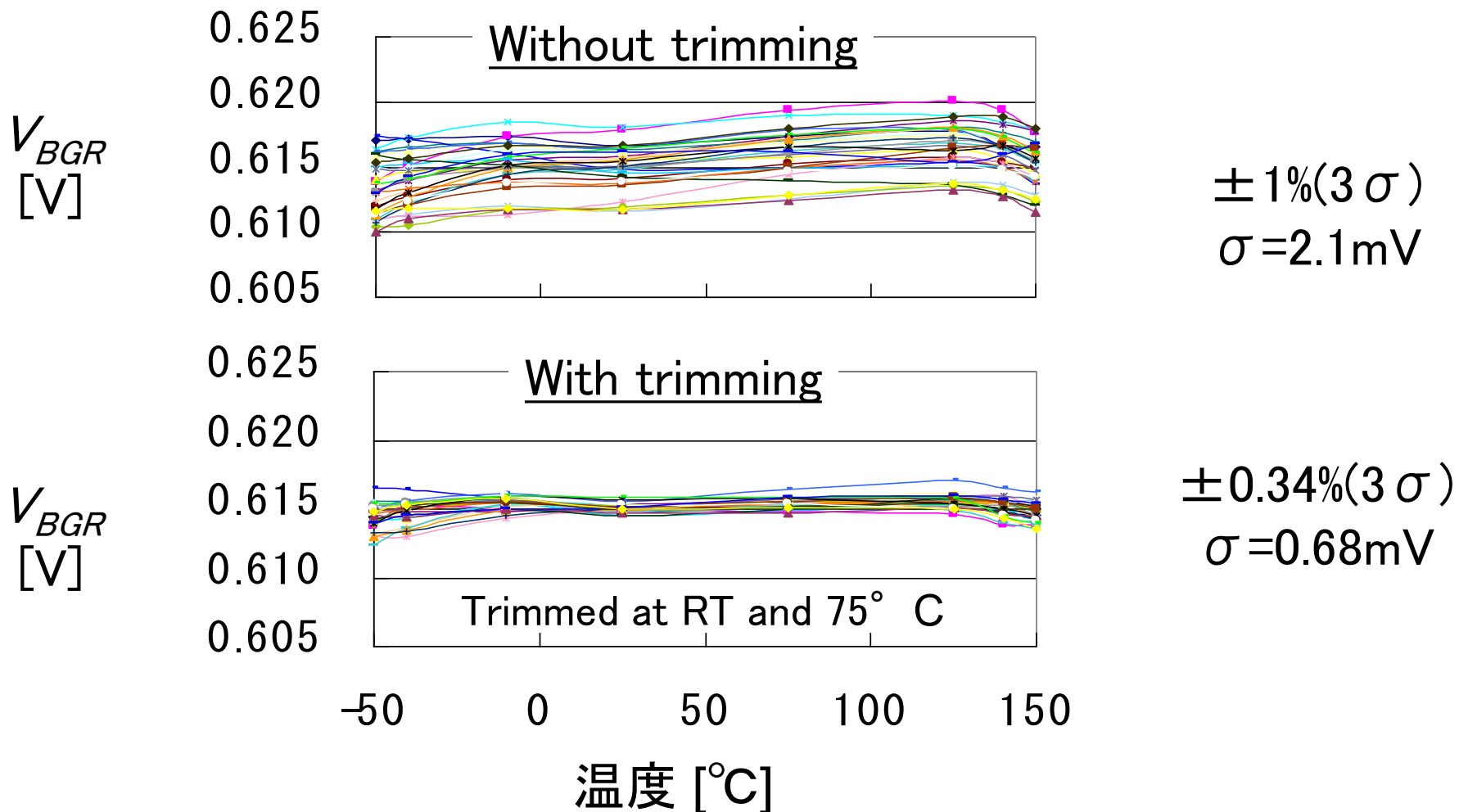
Core Area = 0.1mm^2

Technology: $0.13\text{-}\mu\text{m}$ triple-well CMOS

電源電圧依存性

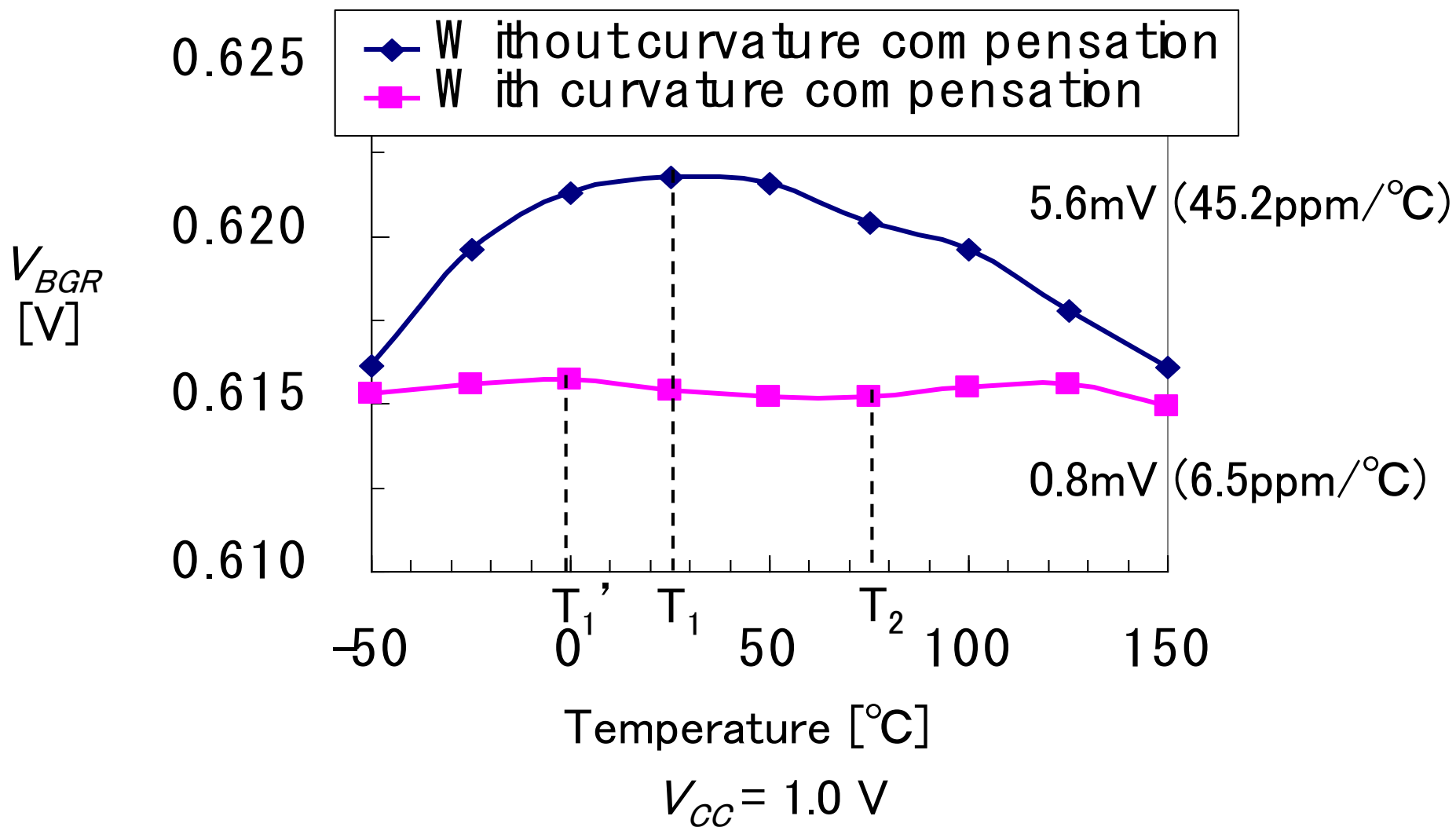


ばらつきと温度依存性



$V_{DD} = 1.0\text{ V}$, 31 samples

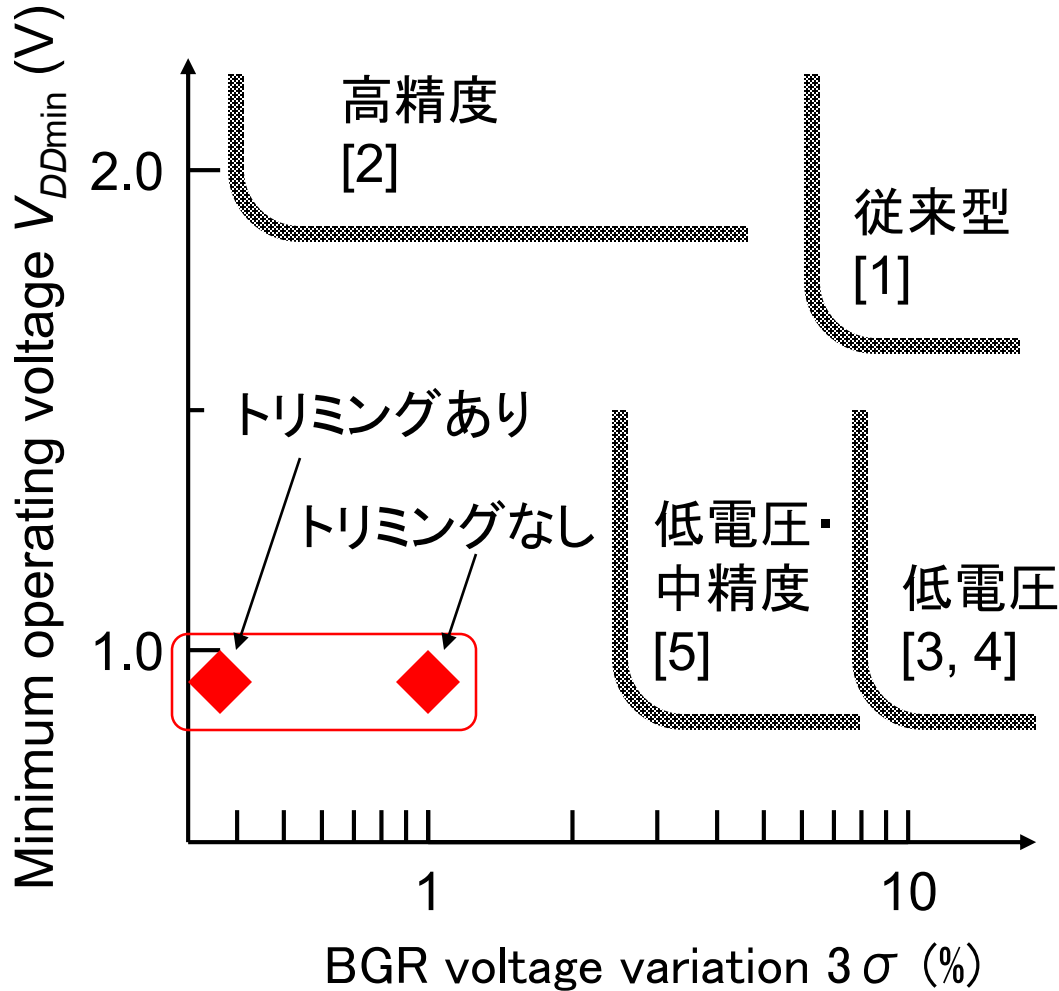
湾曲補正の効果



目次

- 1 背景
- 2 従来のBGR回路
- 3 低電圧・高精度BGR回路
- 4 実測結果
- 5 **まとめ**

電圧ばらつきと動作下限電圧



- [1] K. E. Kuijk, IEEE J. SSC, SC-8, p. 222, June 1973.
- [2] A. P. Brokaw, IEEE J. SSC, SC-9, p.388, Dec. 1974
- [3].H. Neuteboom, IEEE J. SSC 32, p.1790, Nov. 1997
- [4] H. Banba, IEEE J. SSC, 34, p.670, May 1999
- [5] Y. Okuda, Symp. VLSI Circuits, p. 96, June 2007

まとめ

低電圧・高精度CMOS bandgap reference (BGR)回路

- オペアンプのオフセットの影響が小さく低電圧動作可能なBGRコア回路
 - (a) 動作電源電圧0.9~5.5V
 - (b) 電圧ばらつき
 $\pm 0.34\% / \pm 1\%$ (トリミングあり/なし)
- 折れ線状補正電流による湾曲補正回路
温度ドリフト1mV以下を実現

バンドギャップ基準電圧源回路

群馬大学大学院 理工学府電子情報数理

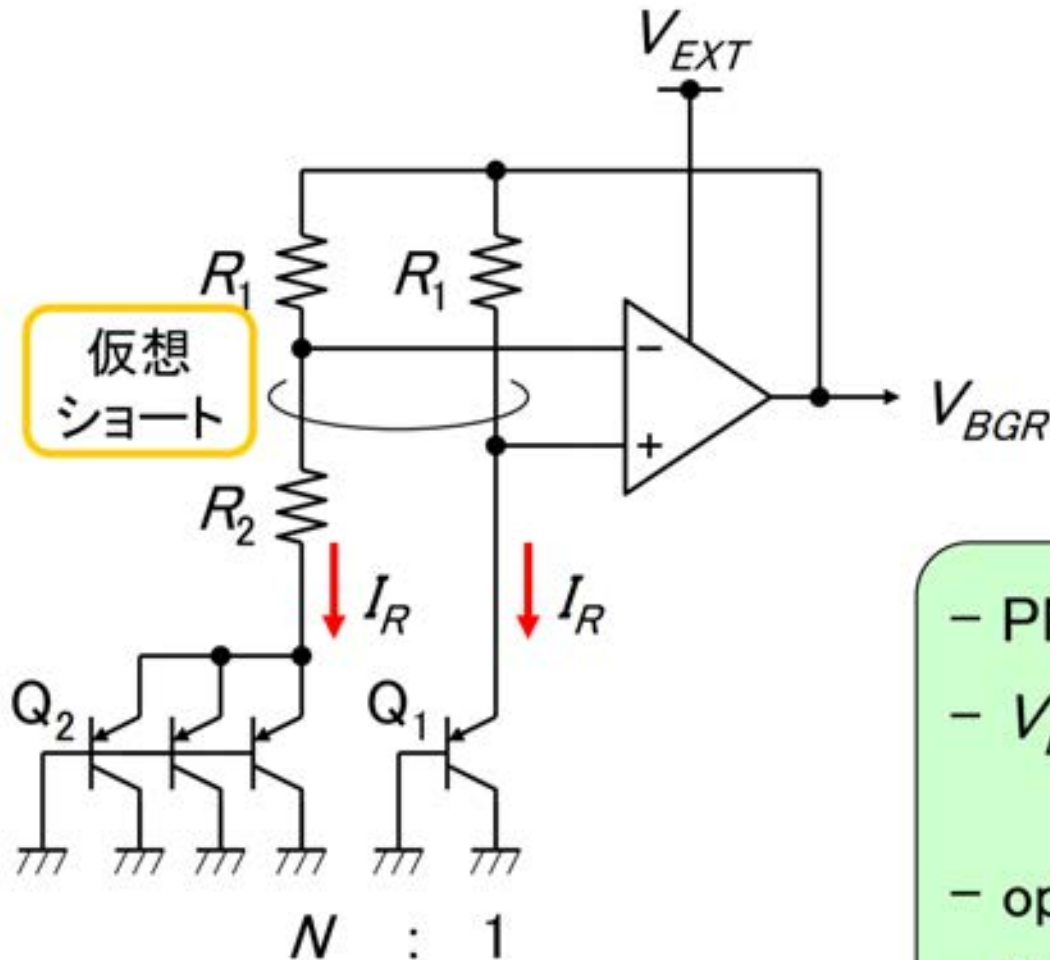
小林研究室

修士1年 山本 颯馬

バンドギャップ基準電圧源回路の1つ

群馬大学客員教授 堀口真志先生のスライドより

<https://kobaweb.ei.st.gunma-u.ac.jp/lecture/horiguchi-2.pdf>



$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$V_{BGR} = V_{BE1} + I_R R_1$$

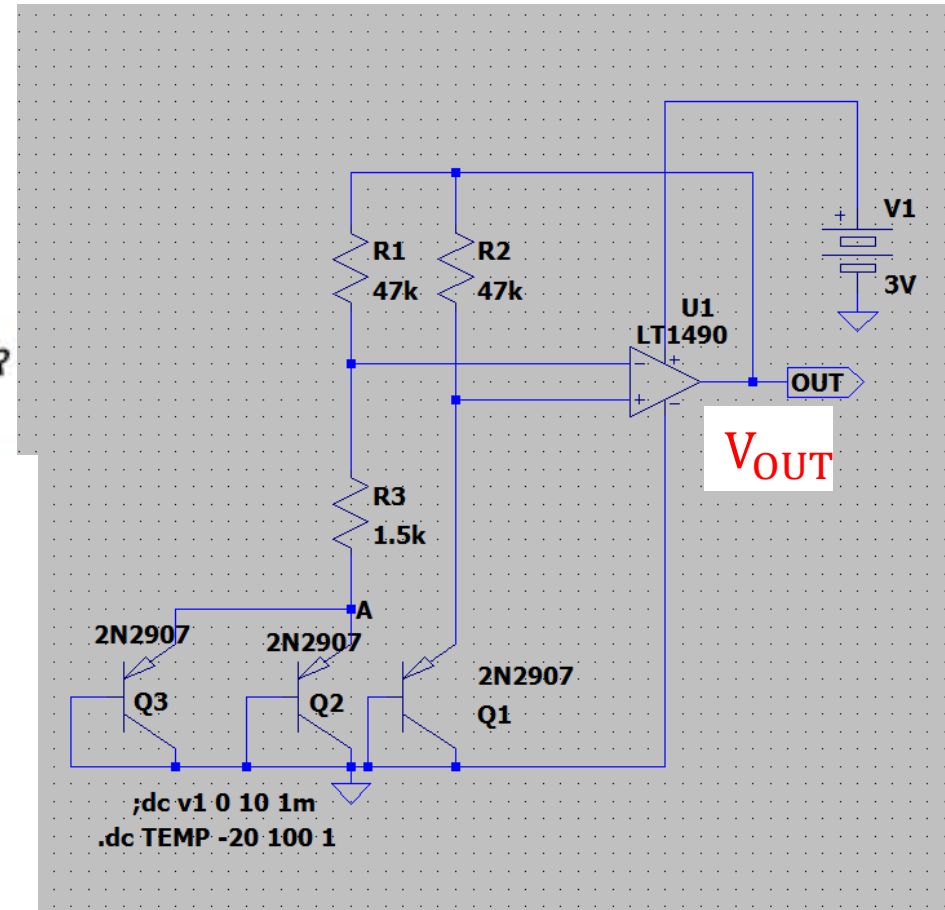
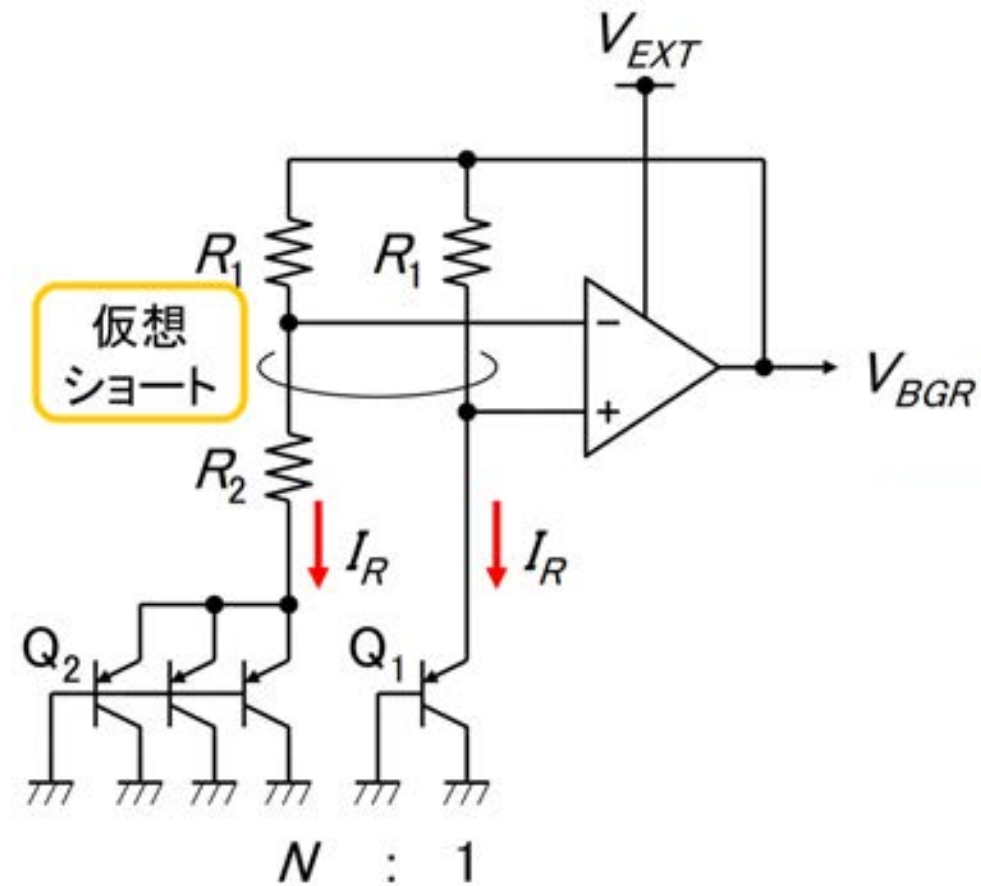
$$= V_{BE1} + \frac{kT}{q} \cdot \frac{R_1 \ln N}{R_2}$$

- PNP寄生バイポーラ使用
- $V_{EXTmin} = \max(1.25V + \alpha, \text{op-amp動作電圧})$
- op-ampのオフセット要注意
- 位相余裕確保必要

バンドギャップ基準電圧源回路のシミュレーション

堀口真志先生のスライド
バンドギャップ基準電圧源回路

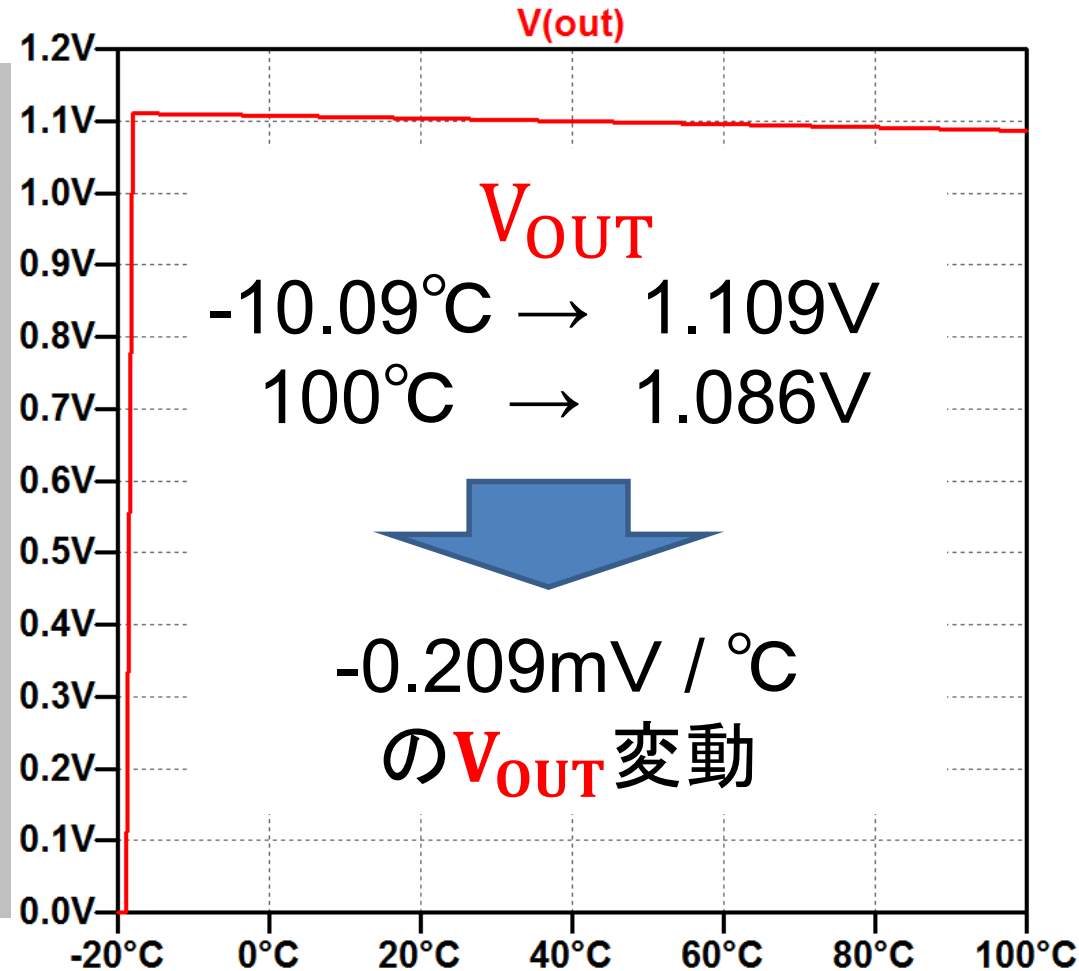
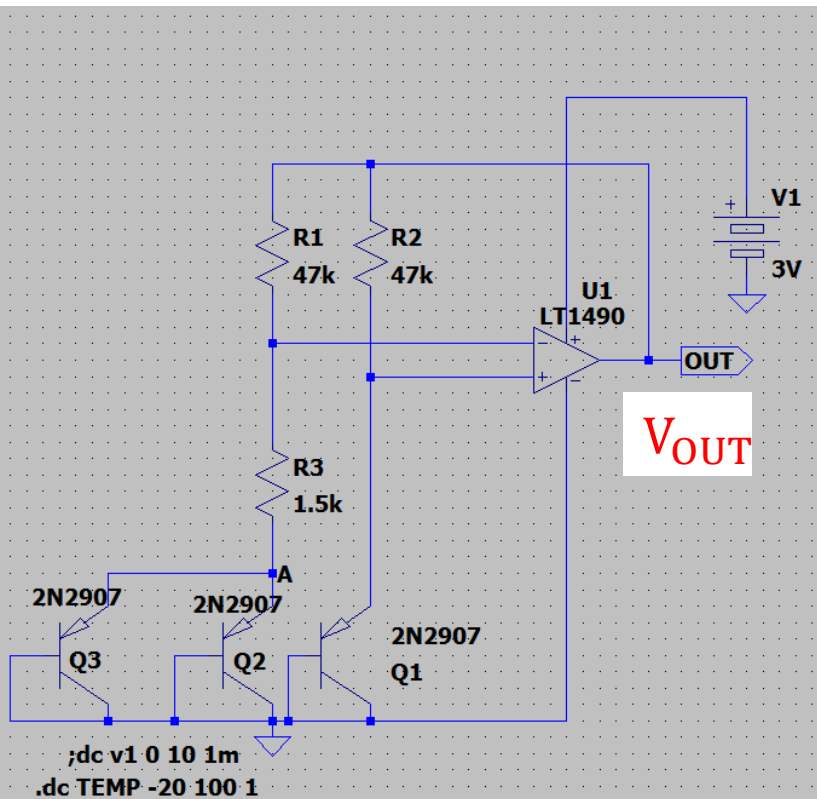
LTspice回路
電源電圧 3V



バンドギャップ基準電圧源回路のシミュレーション

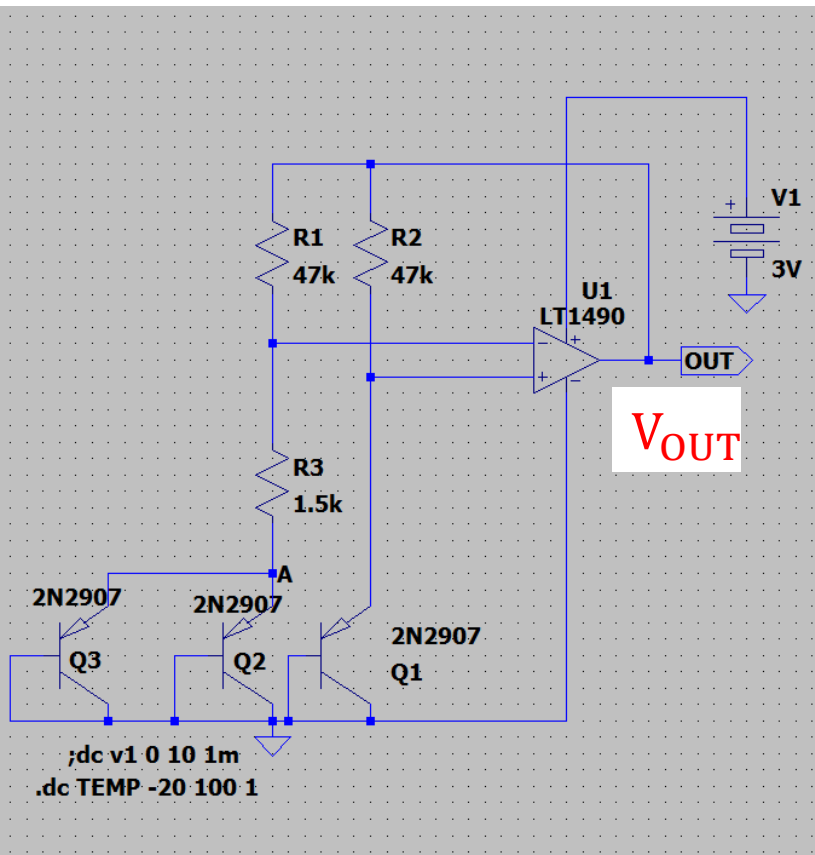
電源電圧 3V

温度解析 $-20^{\circ}\text{C} \sim 100^{\circ}\text{C}$

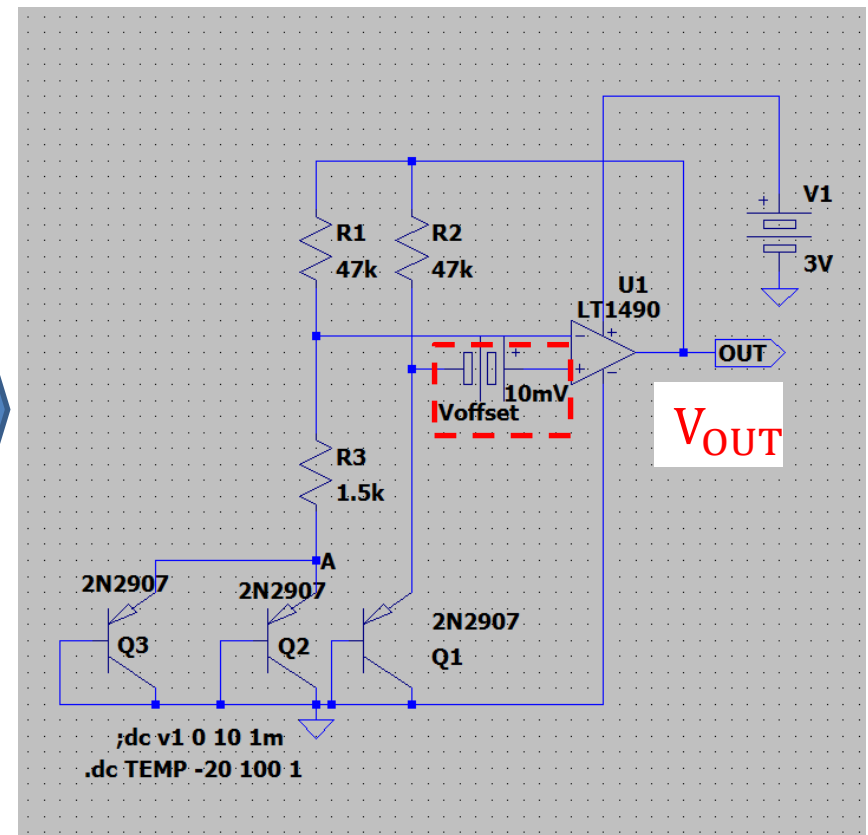


オフセット電圧(10mV)の追加

電源電圧 3V



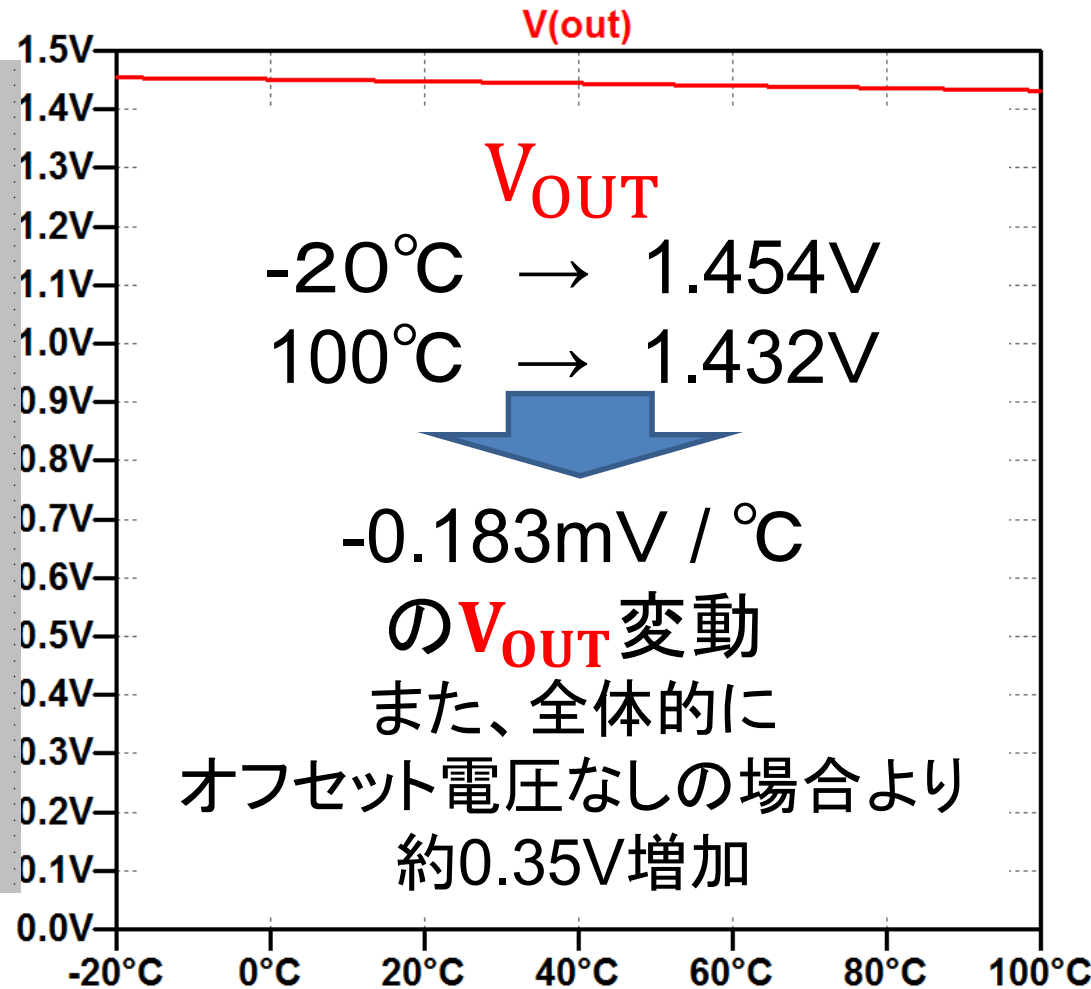
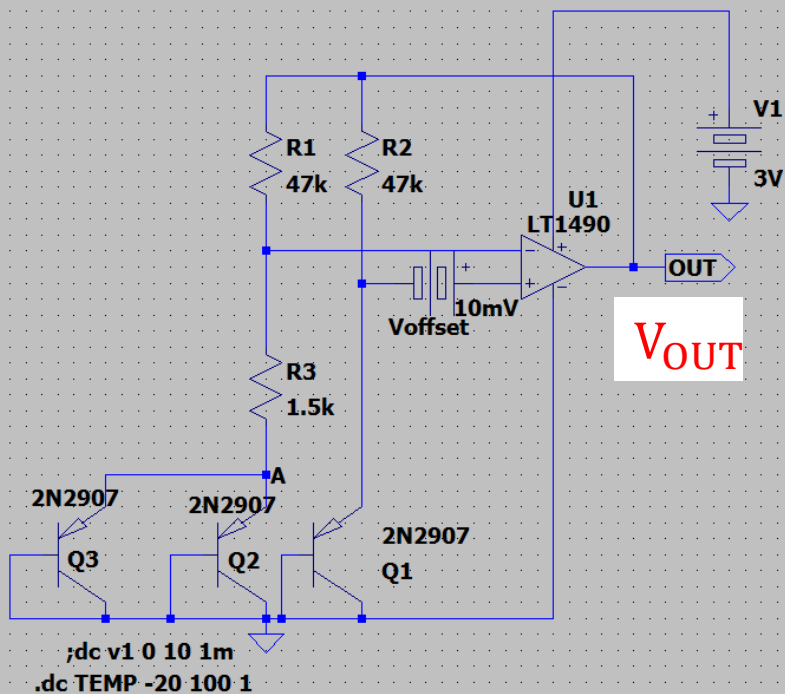
電源電圧 3V



バンドギャップ基準電圧源回路のシミュレーション

電源電圧 3V

温度解析 $-20^{\circ}\text{C} \sim 100^{\circ}\text{C}$



問題41の式の導出の参考回路

トランジスタの比 $Q_1:Q_2=n:1$

抵抗 $R_1=R_2$ の場合、
OPアンプ(U_1)を使った帰還ループにより、
 Q_1 と Q_2 のコレクタ電流は $I_{C1}=I_{C2}$

よって

Q_1 の逆方向飽和電流は nI_S

Q_2 の逆方向飽和電流は I_S

R_3 の両端電圧 $\Delta V_{BE} = V_{BE1} - V_{BE2}$

温度補償方法: 抵抗比の調整で可能

参考文献:

QC出版社 QCconnect

ブロコウ・セル 基準電圧源の温度補償

<https://cc.cqpub.co.jp/system/contents/1735/>

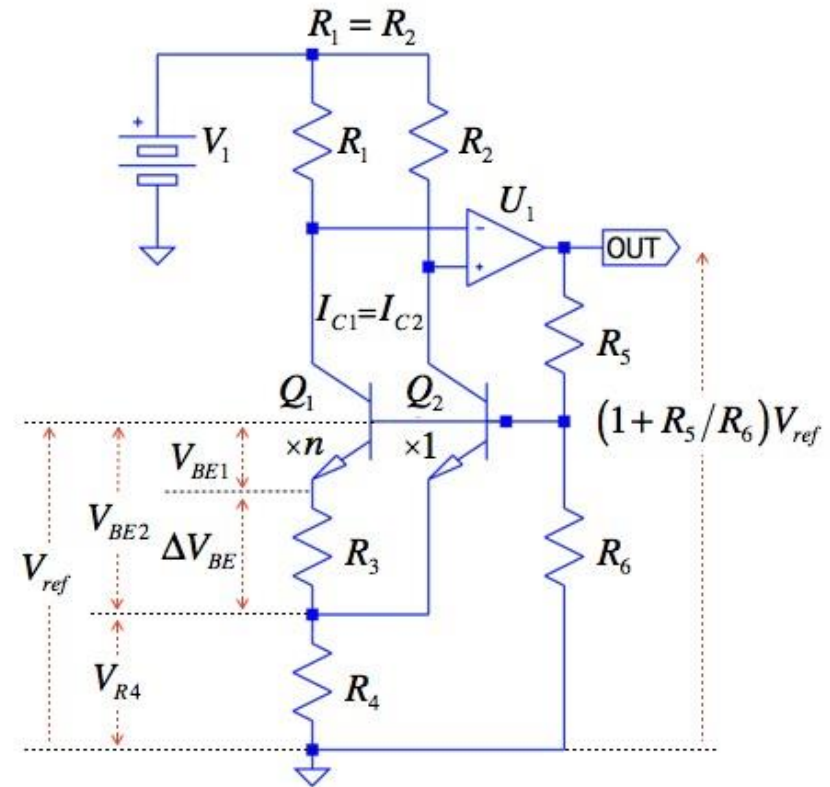
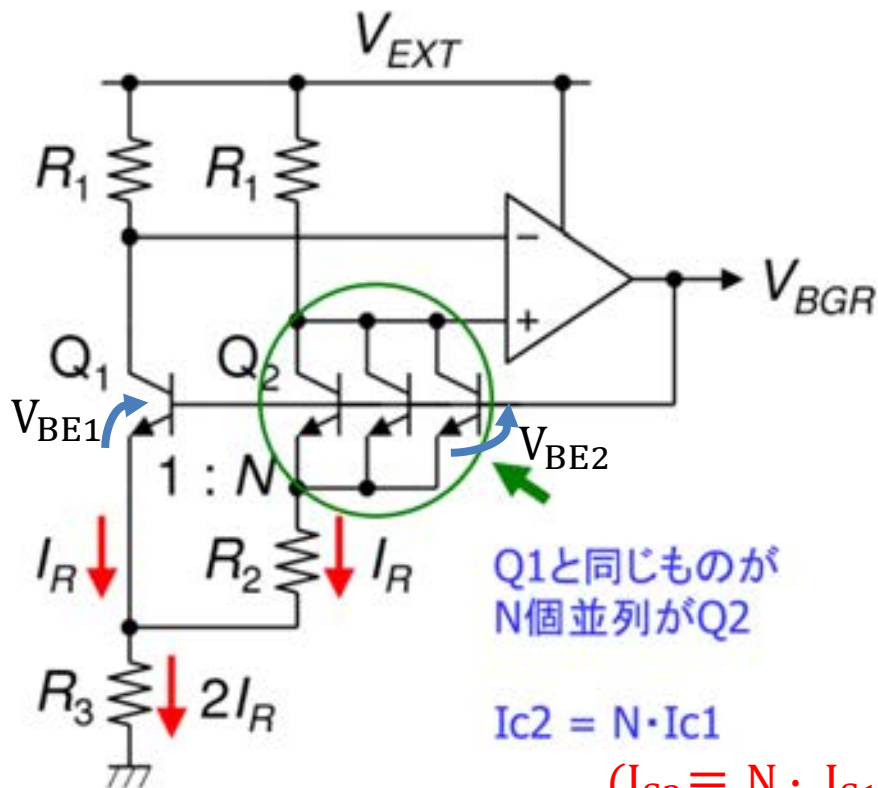


図1 ブロコウ・セル
(バンドギャップ・リファレンス回路)

バンドギャップ基準電圧源回路 問題41

問題41 Brokaw 型

バンドギャップ基準電圧源回路



$$I_R = \frac{\Delta V_{BE}}{R_2} = \frac{kT \ln N}{qR_2}$$

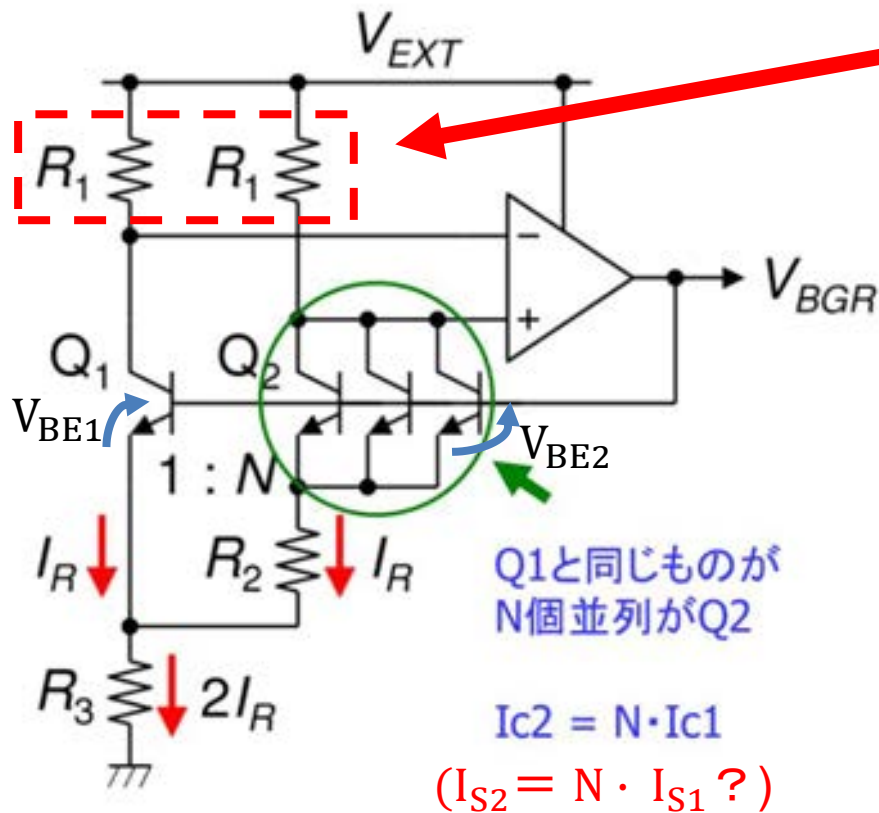
$$V_{BGR} = V_{BE1} + 2I_R R_3$$

$$= V_{BE1} + \frac{kT}{q} \cdot \frac{2R_3 \ln N}{R_2}$$



これらの式を導出せよ

バンドギャップ基準電圧源回路 問題41



これらの2つの抵抗が等しい

&

OPアンプを理想と仮定
 → 抵抗の両端電圧も等しい



Q₁とQ₂のコレクタ電流は
 $I_{C1} = I_{C2} = I_R$

$$I_R = \frac{\Delta V_{BE}}{R_2} = \frac{kT \ln N}{qR_2} \quad \text{の導出}$$

$I_{C1} = I_{C2} = I_R$ である。

$$I_{C1} = I_R = I_{S1} \exp\left(\frac{V_{BE1}}{V_T}\right)$$



$$V_{BE1} = V_T \ln\left(\frac{I_R}{I_{S1}}\right)$$

$$I_{C2} = I_R = I_{S2} \exp\left(\frac{V_{BE2}}{V_T}\right) = N \cdot I_{S1} \exp\left(\frac{V_{BE2}}{V_T}\right)$$

($I_{S2} = N \cdot I_{S1}$ より)



$$V_{BE2} = V_T \ln\left(\frac{I_R}{N \cdot I_{S1}}\right)$$

よって

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = V_T \ln\left(\frac{I_R}{I_{S1}}\right) - V_T \ln\left(\frac{I_R}{N \cdot I_{S1}}\right) = V_T \ln N$$

よって

$$I_R = \frac{\Delta V_{BE}}{R_2} = V_T \ln N = \frac{kT \ln N}{qR_2}$$

$$(V_T = \frac{kT}{q} \text{より})$$

$$V_{\text{BGR}} = V_{\text{BE1}} + \frac{kT}{q} \frac{2R_3 \ln N}{R_2} \quad \text{の導出}$$

回路図より

$$V_{\text{BGR}} = V_{\text{BE1}} + 2I_{\text{R}}R_3$$

$$I_{\text{R}} = \frac{\Delta V_{\text{BE}}}{R_2} = \frac{kT \ln N}{qR_2} \text{を代入すると、}$$

$$V_{\text{BGR}} = V_{\text{BE1}} + 2R_3 \frac{kT \ln N}{qR_2} = V_{\text{BE1}} + \frac{kT}{q} \frac{2R_3 \ln N}{R_2}$$

ツェナーダイオード利用電圧リファレンス回路

Analog Devices社
米National Semiconductor社
などが採用(1970年代)

チップの表面層下に
ツェナーダイオード埋込

↓

デバイスのノイズ抑制

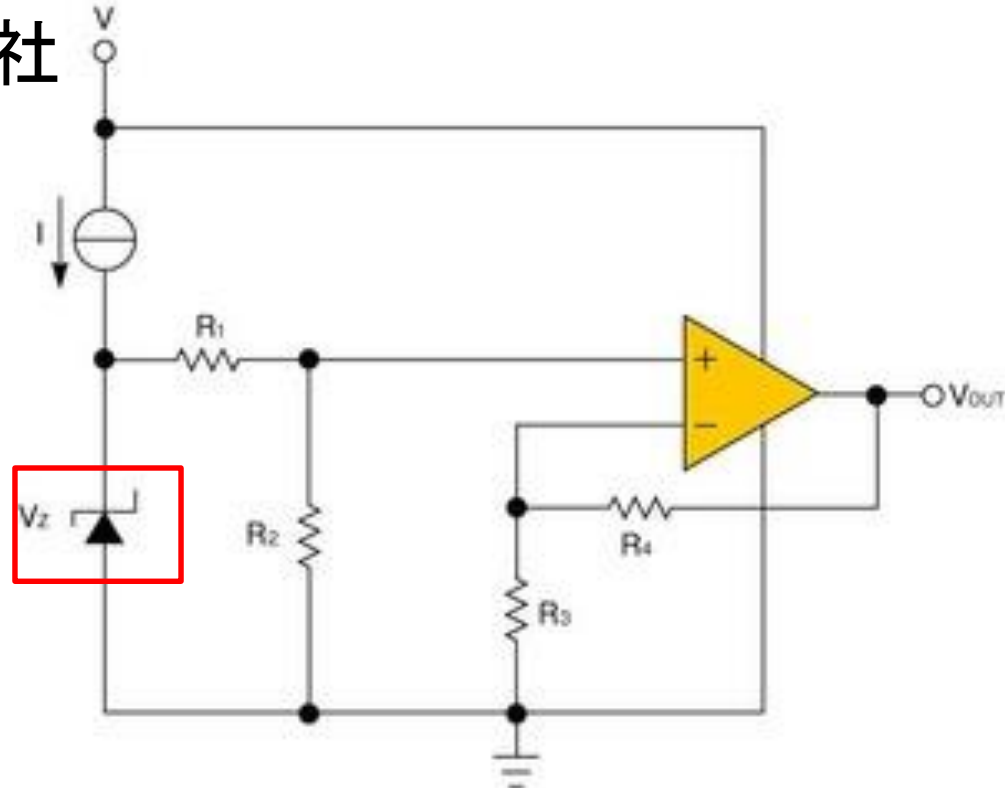


図2 ツェナーダイオードを利用した電圧リファレンス回路

バンドギャップリファレンス回路

バンドギャップ電圧効果に基づく
電圧リファレンス回路

バンドギャップ電圧効果を
D F Hilbiber氏が発見(1964年)

のちにBob Widlar氏が採用(1971年)

出力電圧: 一般的に1.25V
($\approx 0K$ におけるシリコンの
バンドギャップ電圧)

V_{PTAT} → 絶対温度に比例

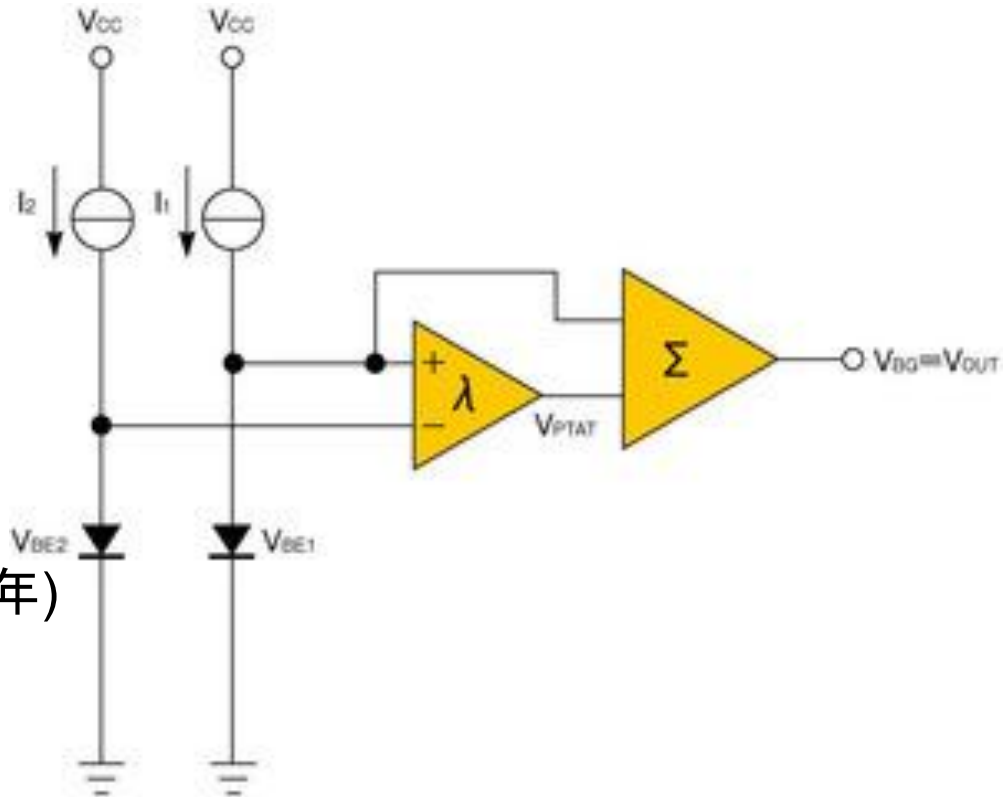


図3 バンドギャップリファレンス回路

ベース-エミッタ間電圧 V_{BE} の温度依存係数の影響

↑ 相殺 ↓

V_{BE1} と V_{BE2} の差電圧 V_{PTAT} (もしくは ΔV_{BE}) の影響

→ バンドギャップ電圧 V_{BG} ほぼ一定

Brokaw型バンドギャップリファレンス回路

Paul Brokaw氏が考案(1974年)

フィードバック利用→誤差減少↓

Brokaw氏

「個別部品で電源を構成しようとしているときに、降伏電圧が6.8Vのツェナーダイオードを使うのよりも低い基準電圧が欲しいと思って、この電圧リファレンス回路の構成を思いついた」

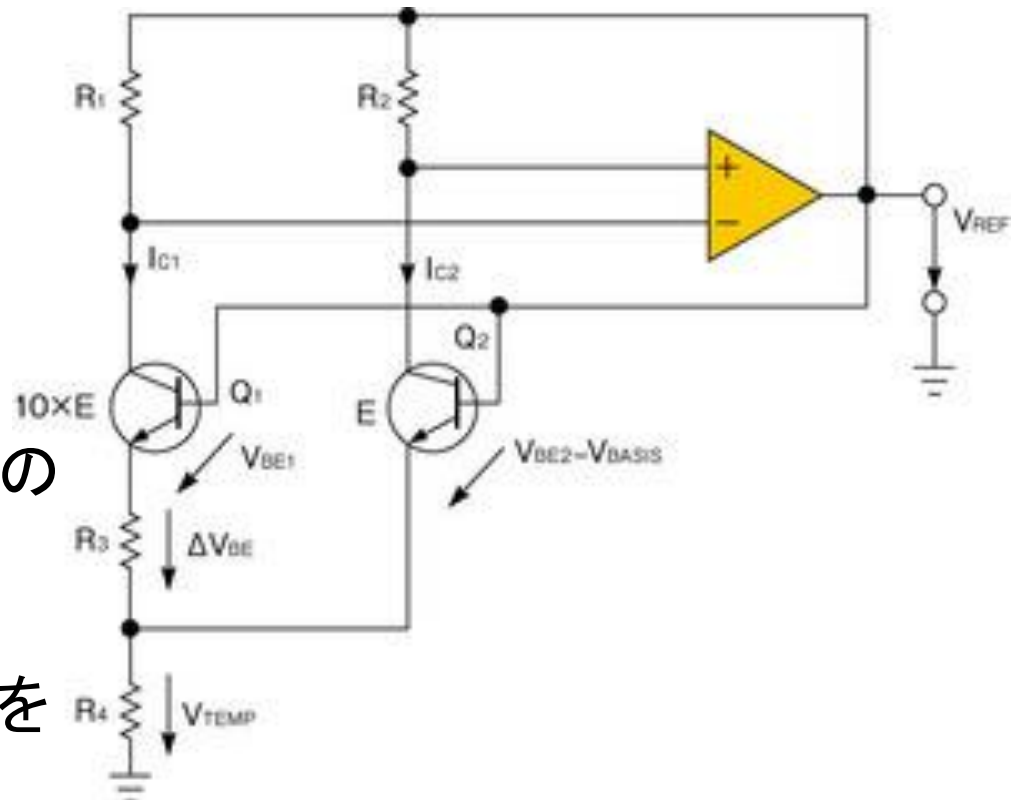
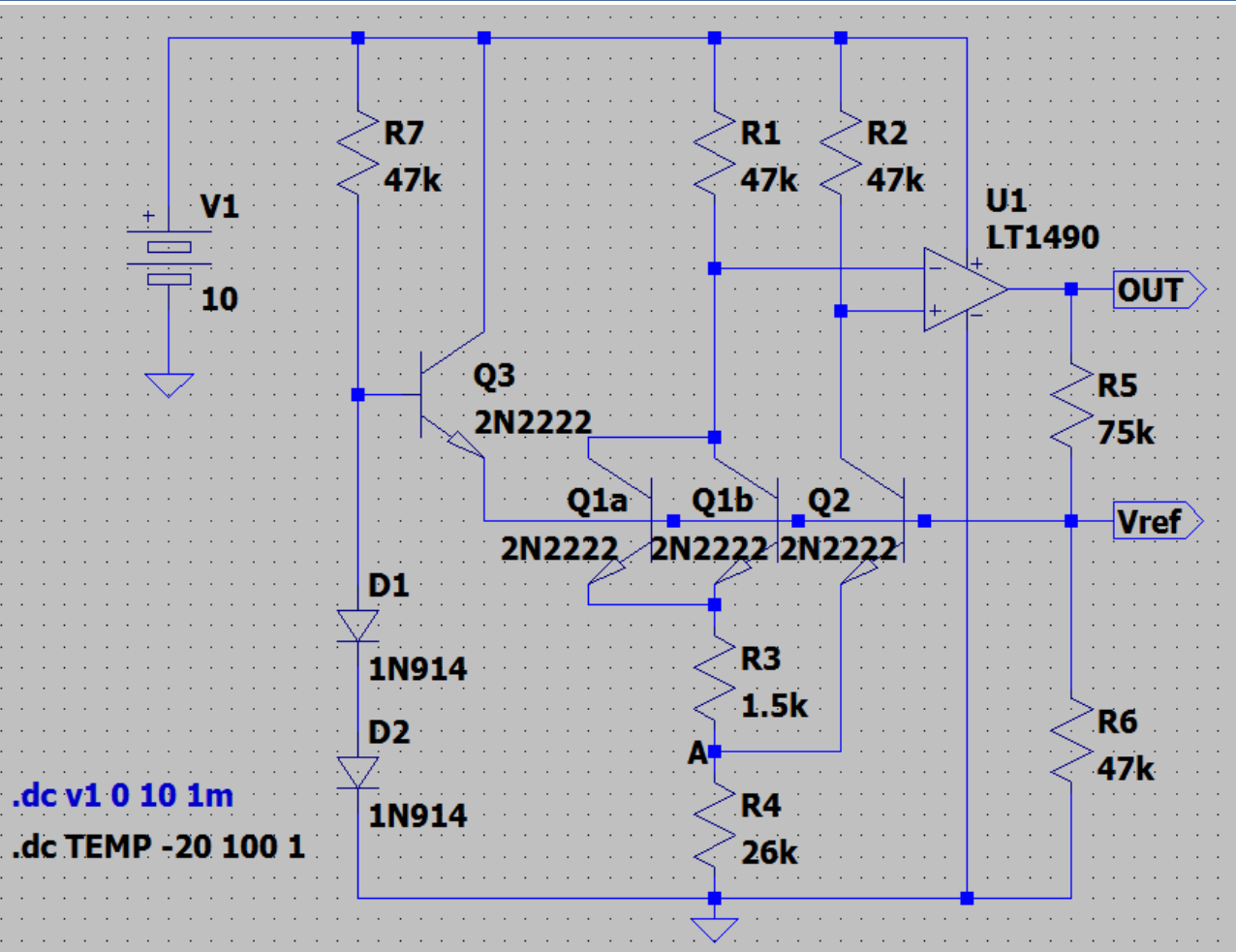


図4 Brokaw(ブロコウ)セル

Brokaw型バンドギャップリファレンス回路のシミュレーション

スタートアップ回路付

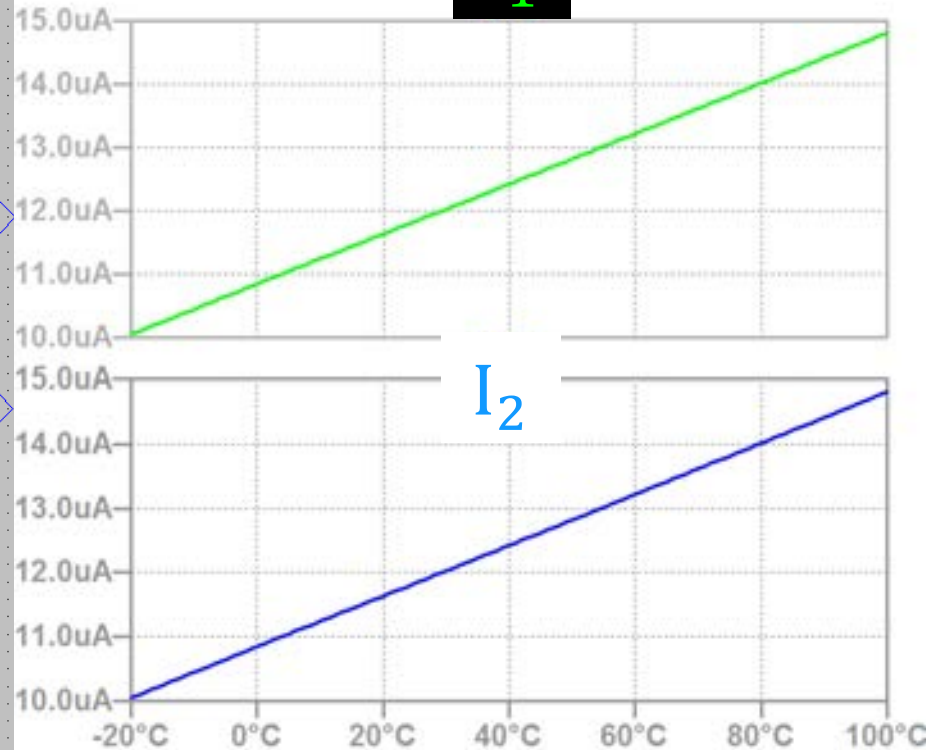
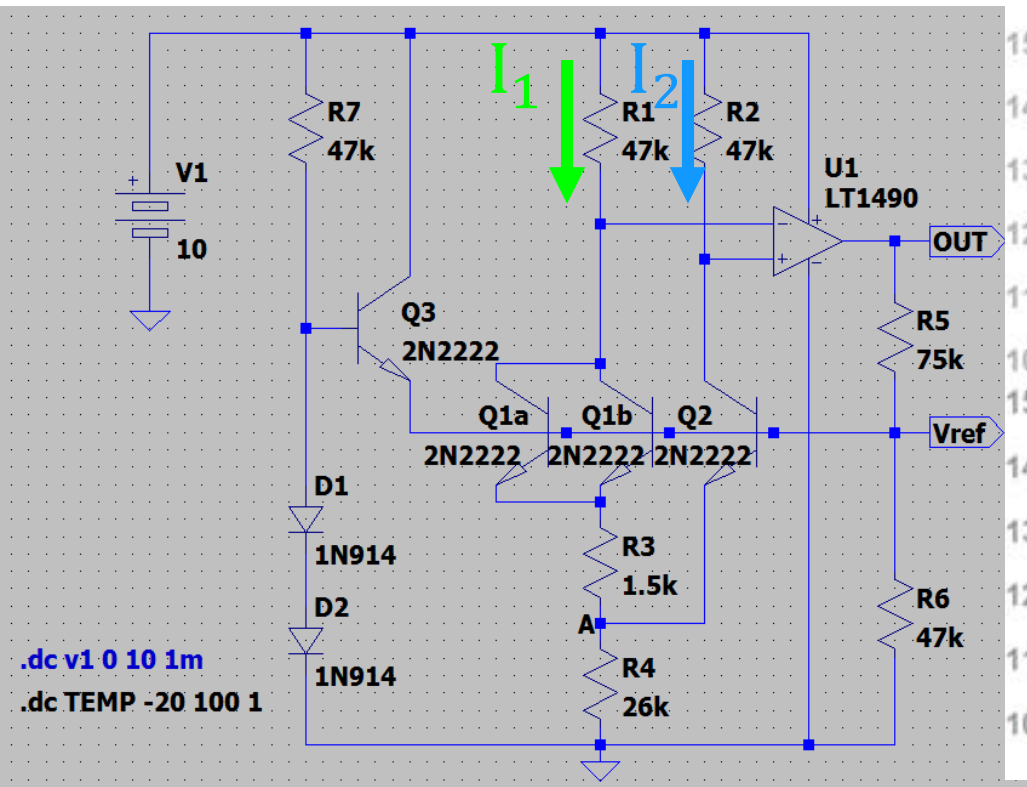


配布元:QC出版社 QCconnect ブロコウ・セル
基準電圧源の温度補償 解説

<https://cc.cqpub.co.jp/system/file/fetch/5392/>

Brokaw型バンドギャップリファレンス回路のシミュレーション

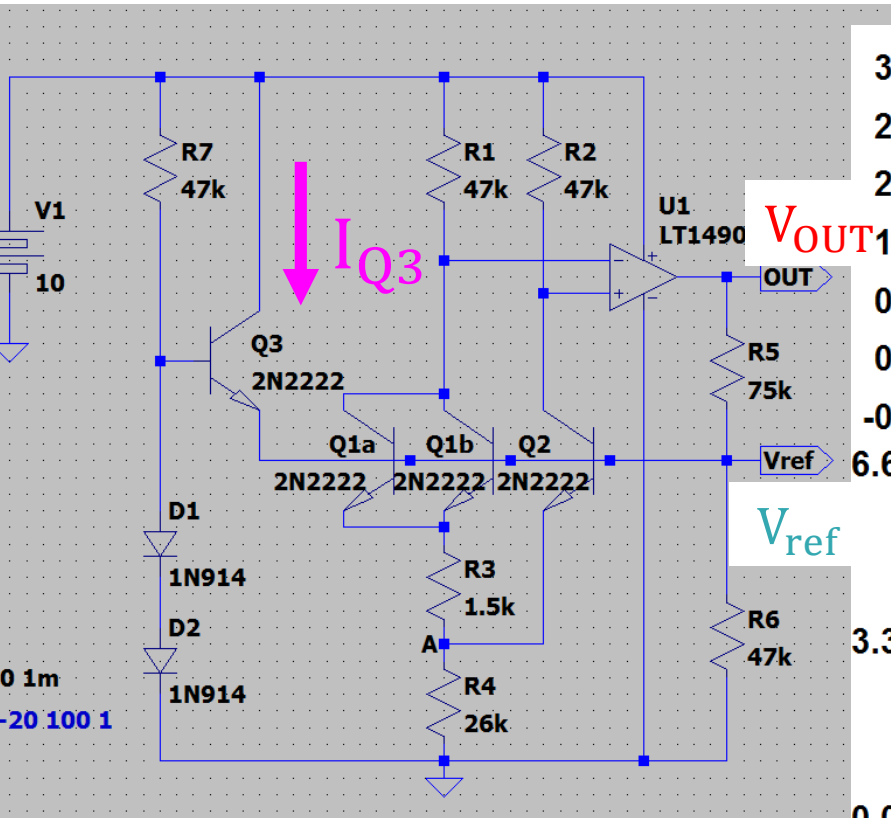
$$I_1 = I_2$$



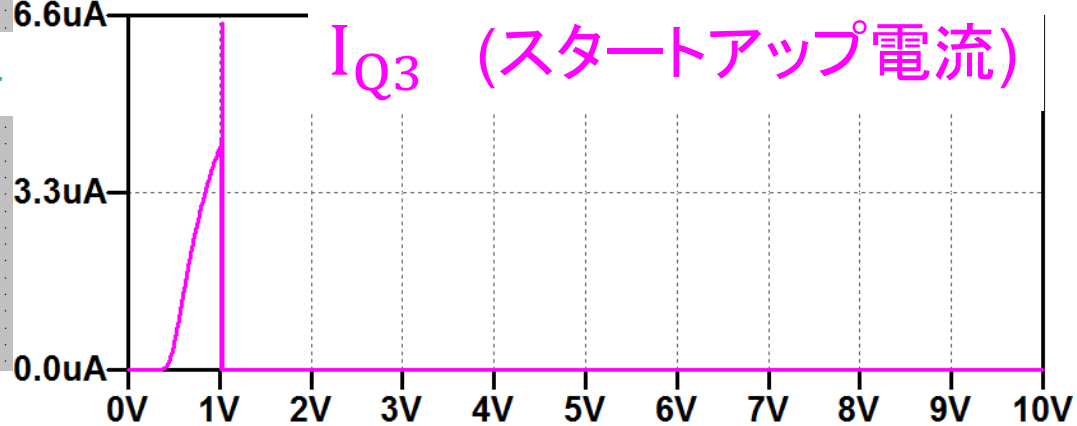
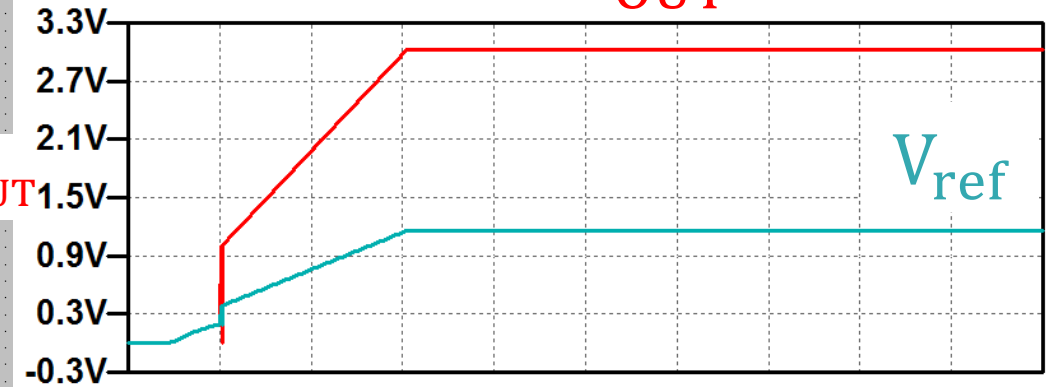
Brokaw型バンドギャップリファレンス回路の起動

V1 DC解析 $-20^{\circ}\text{C} \sim 100^{\circ}\text{C}$

約1Vで回路起動

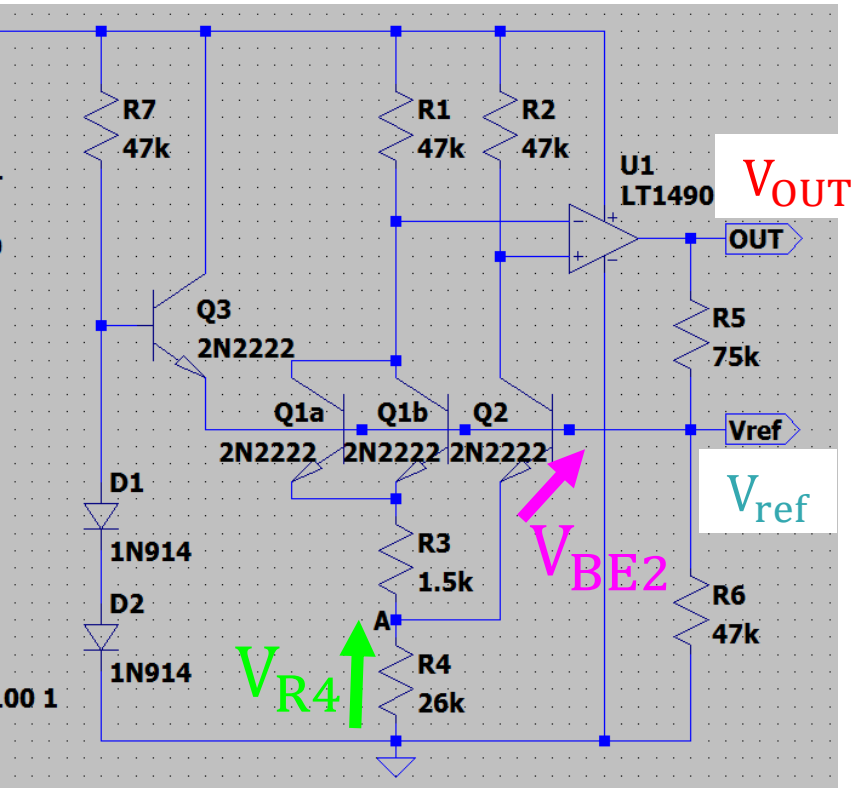


出力電圧 V_{OUT}



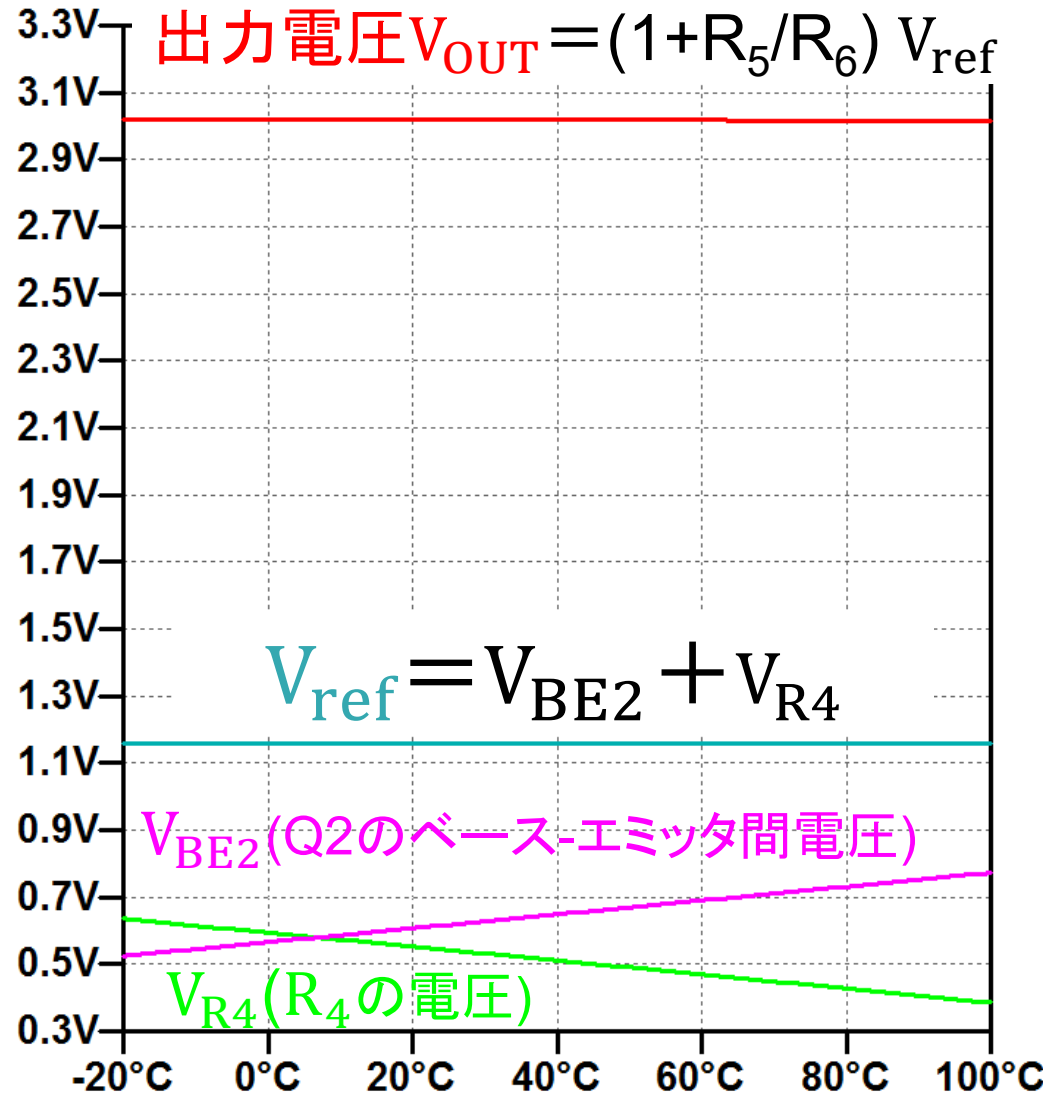
スタートアップ後は電流流れない

Brokaw型バンドギャップリファレンス回路の温度補償



温度解析 $-20^{\circ}\text{C} \sim 100^{\circ}\text{C}$

$$\text{出力電圧 } V_{\text{OUT}} = (1 + R_5/R_6) V_{\text{ref}}$$



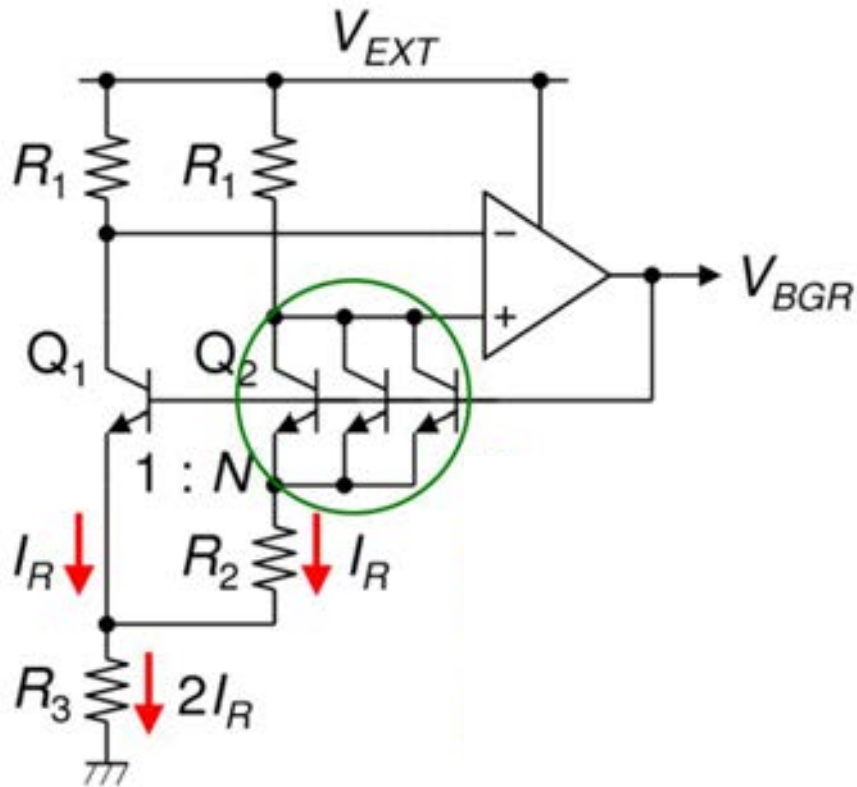
V_{BE2} と V_{R4} が相殺

$\rightarrow V_{\text{ref}}$ 一定

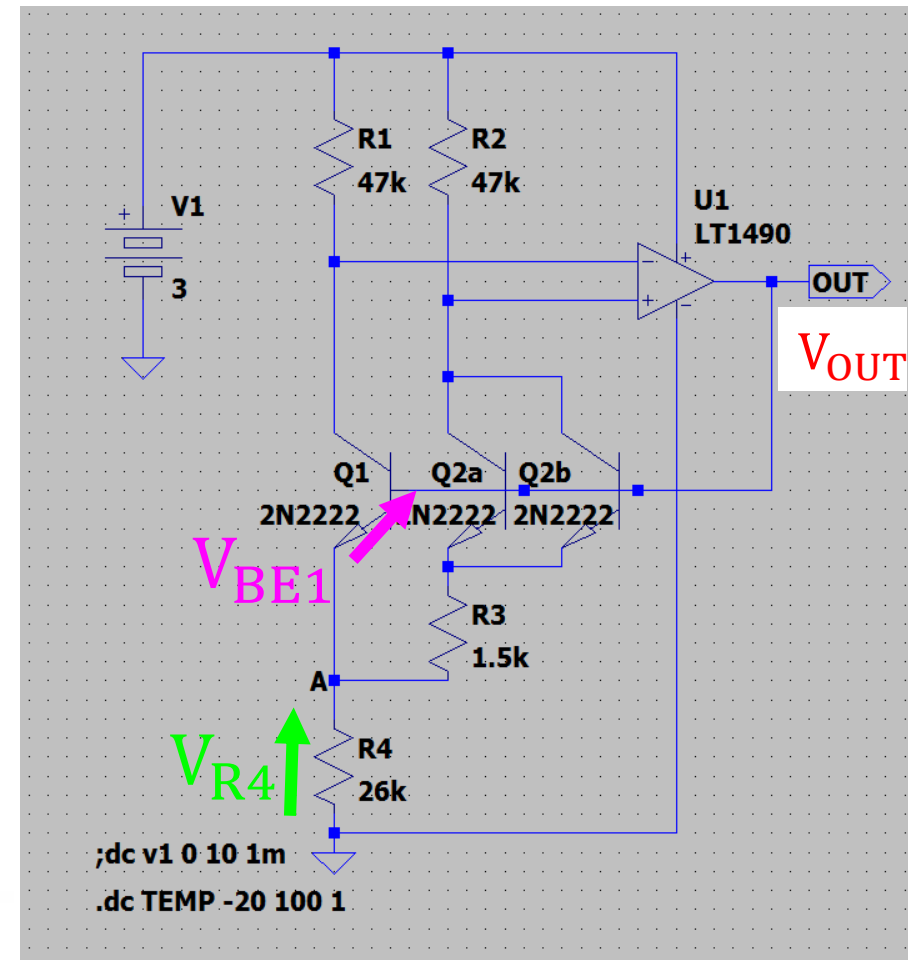
$\rightarrow V_{\text{OUT}}$ 一定

Brokaw型バンドギャップ基準電圧源回路のシミュレーション

小林先生のスライド
(朝ゼミ問題41より)

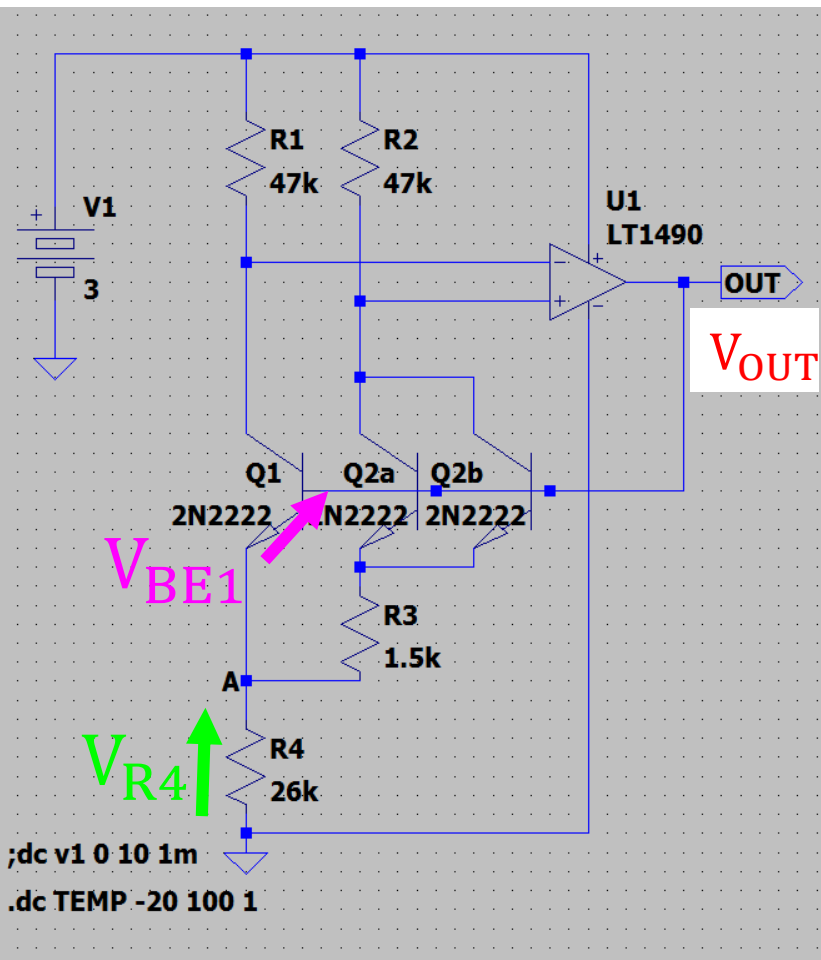


LTspice回路
電源電圧 3V

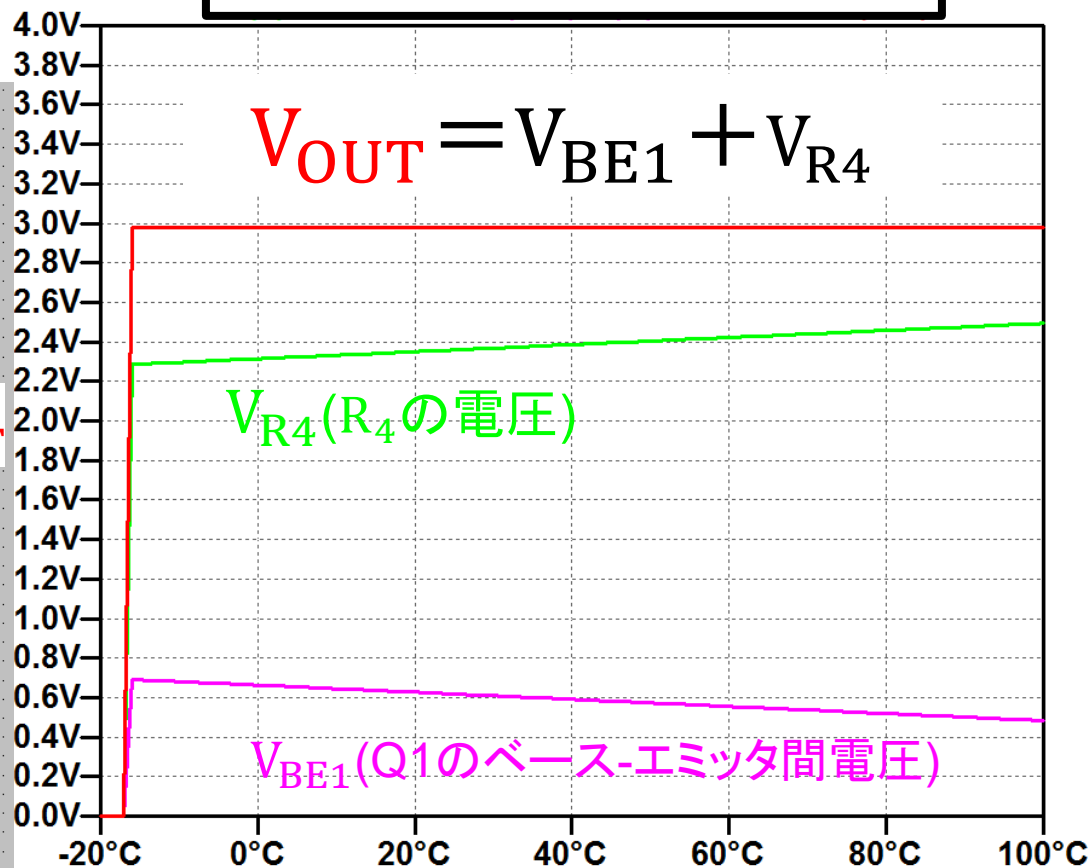


Brokaw型バンドギャップ基準電圧源回路のシミュレーション

電源電圧 3V



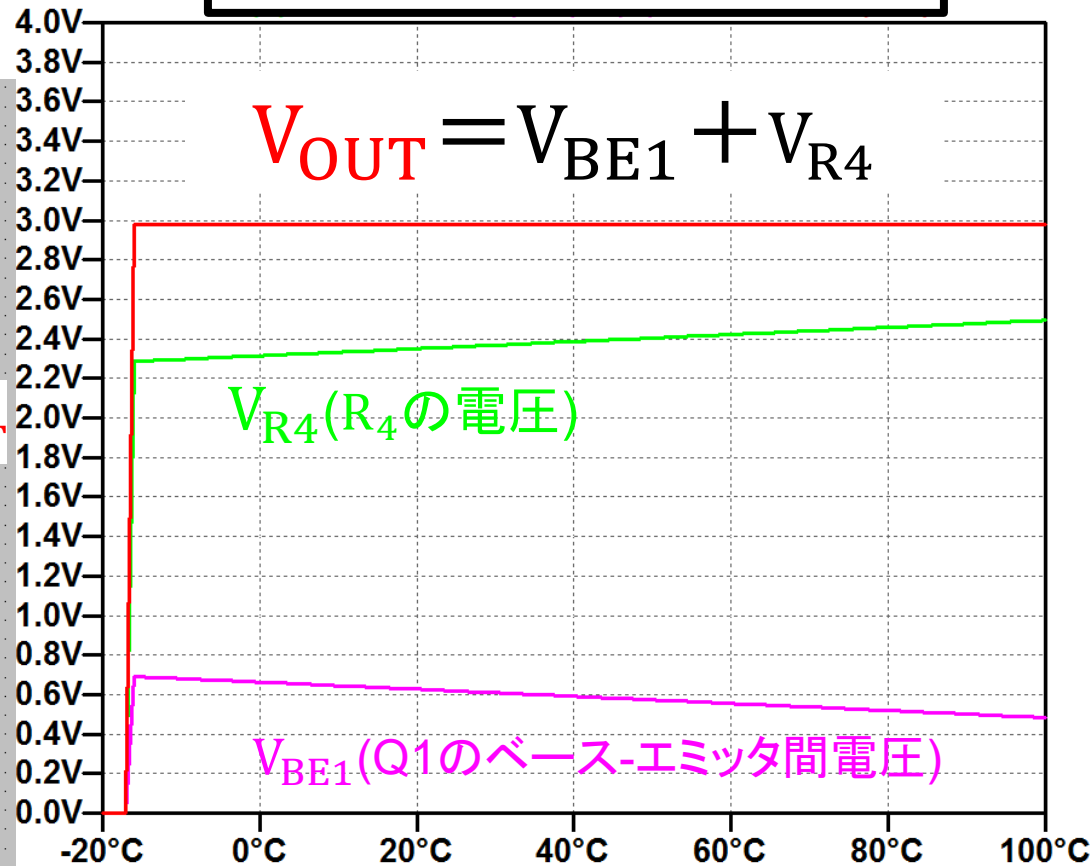
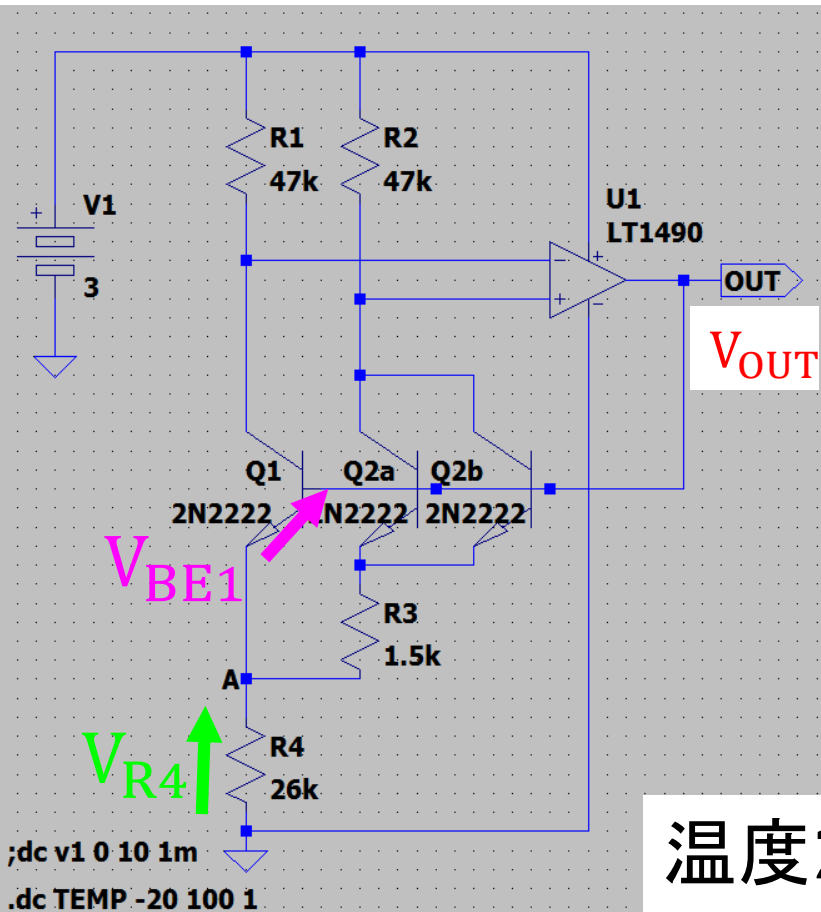
温度解析 -20°C~100°C

 V_{BE1} と V_{R4} が相殺→ V_{OUT} 一定

オフセット電圧なし

電源電圧 3V

温度解析 -20°C~100°C



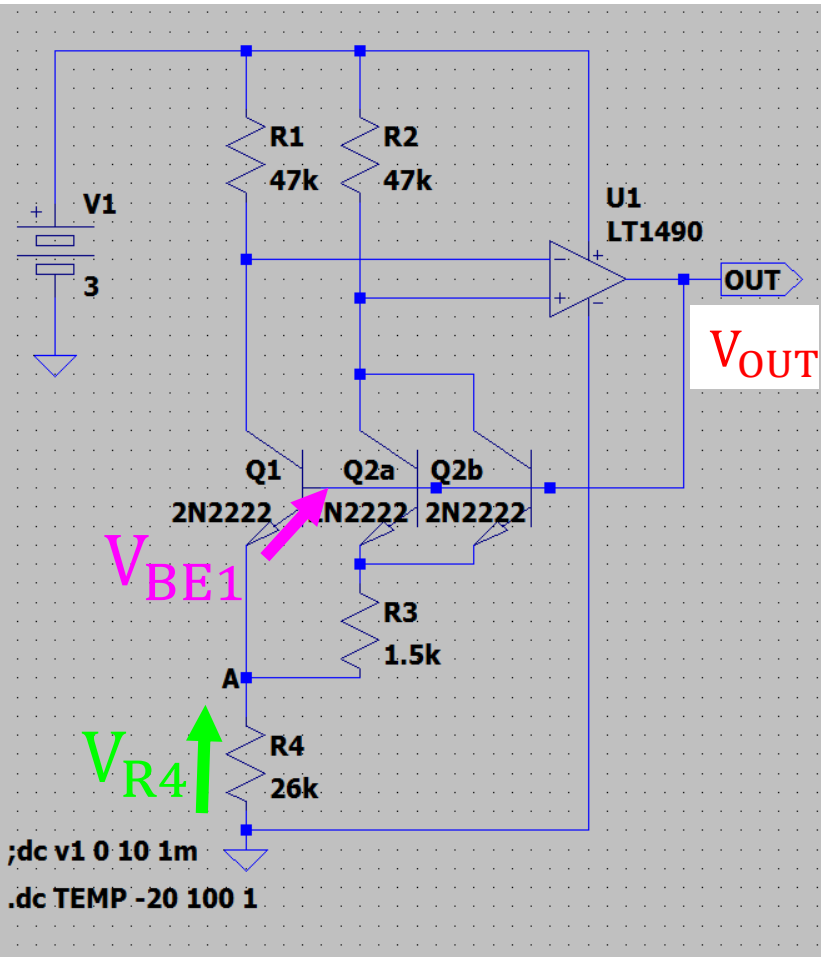
温度27.137356°Cにおいて

V_{BE1} :0.61424174V V_{R4} :2.3628633V

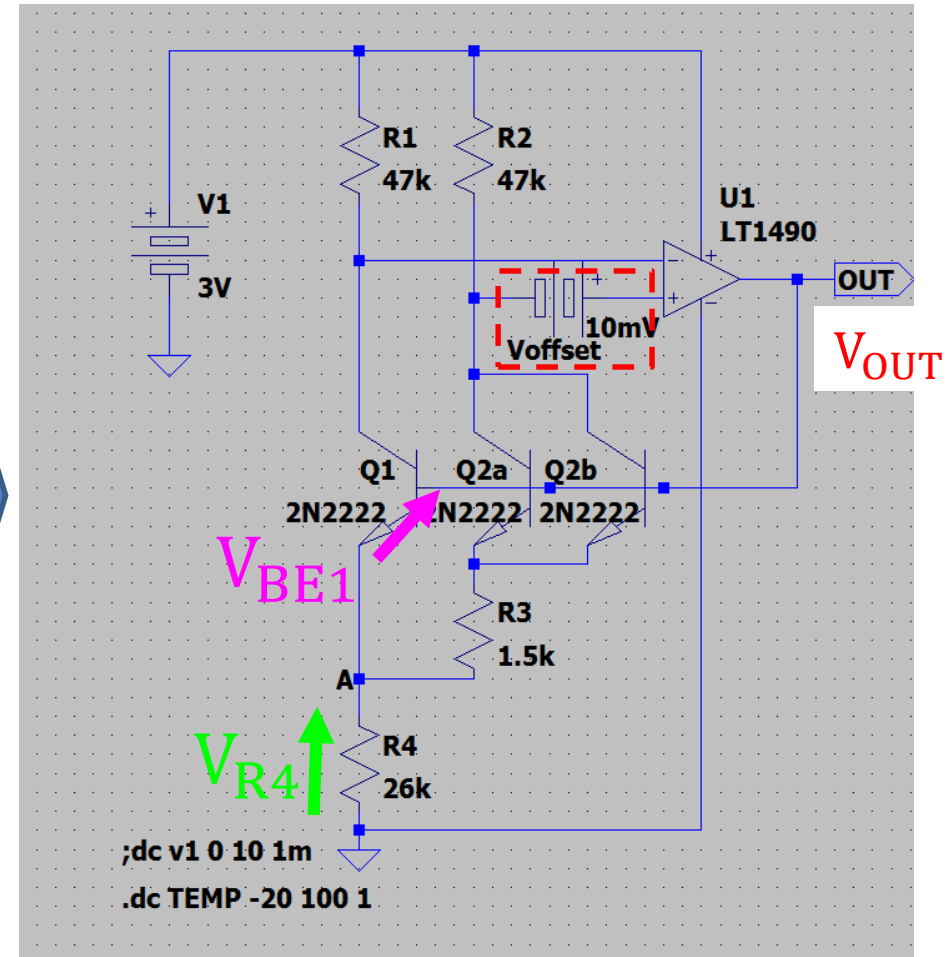
V_{OUT} :2.9771051V

オフセット電圧(10mV)の追加

電源電圧 3V



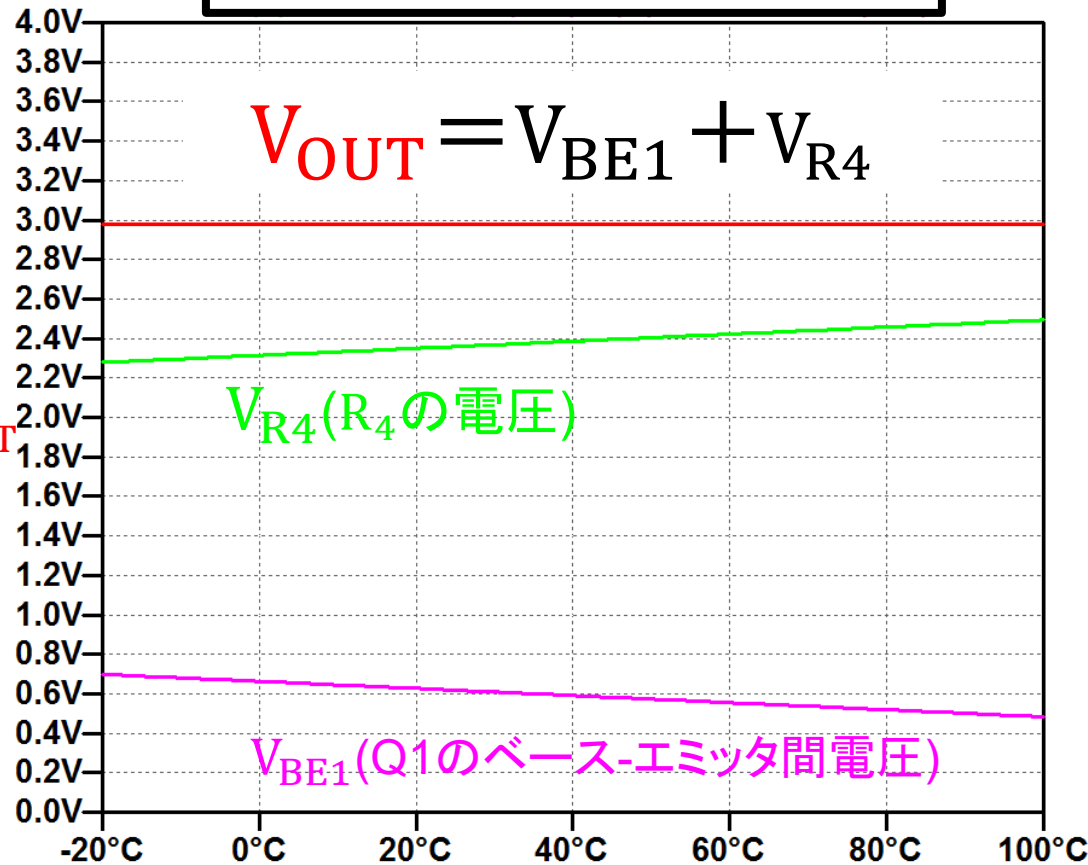
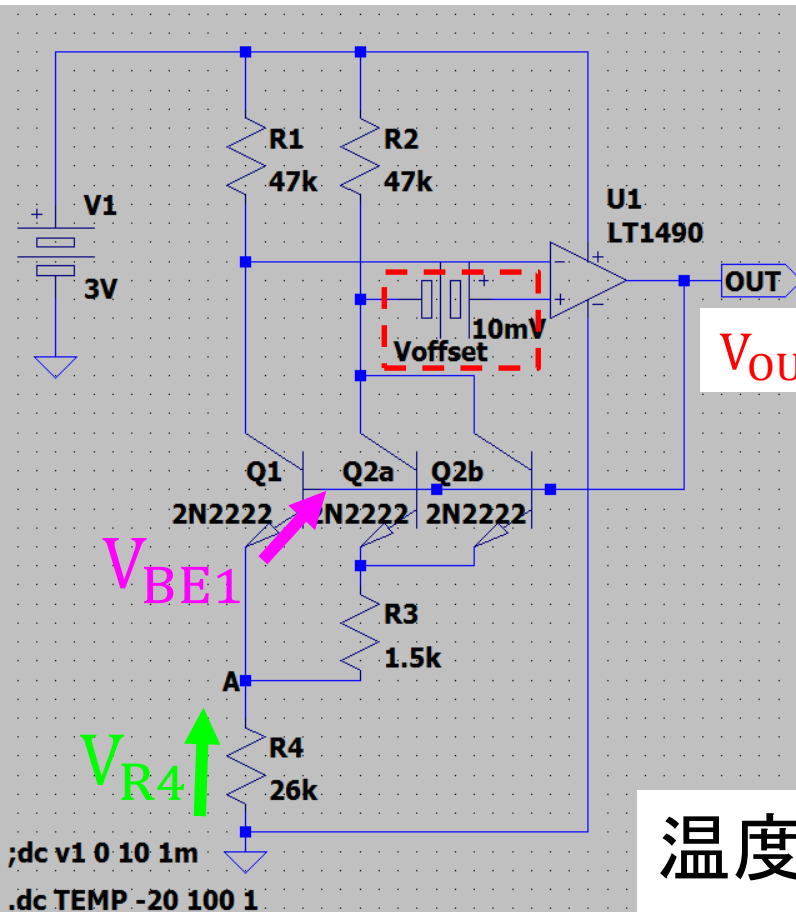
電源電圧 3V



オフセット電圧(10mV)あり

電源電圧 3V

温度解析 -20°C~100°C



温度27.137356°Cにおいて

V_{BE1} :0.61424174V V_{R4} :2.3628631V

V_{OUT} :2.9771049V

オフセット電圧なしとありの比較

温度27.137356°Cにおいて

オフセット電圧なし

$V_{BE1}: 0.61424174V$

$V_{R4}: 2.3628633V$

$V_{OUT}: 2.9771051V$

オフセット電圧(10mV)あり

$V_{BE1}: 0.61424174V$

$V_{R4}: 2.3628631V$

$V_{OUT}: 2.9771049V$

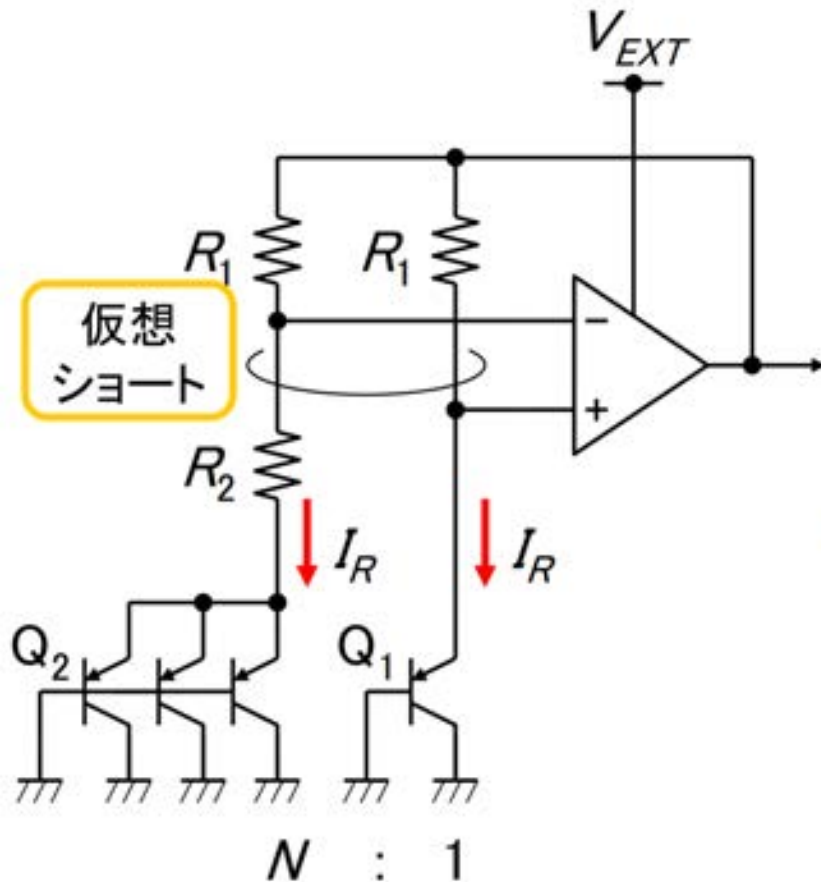


出力電圧

V_{OUT} の差: $0.0000002V$ → オフセット電圧の影響小

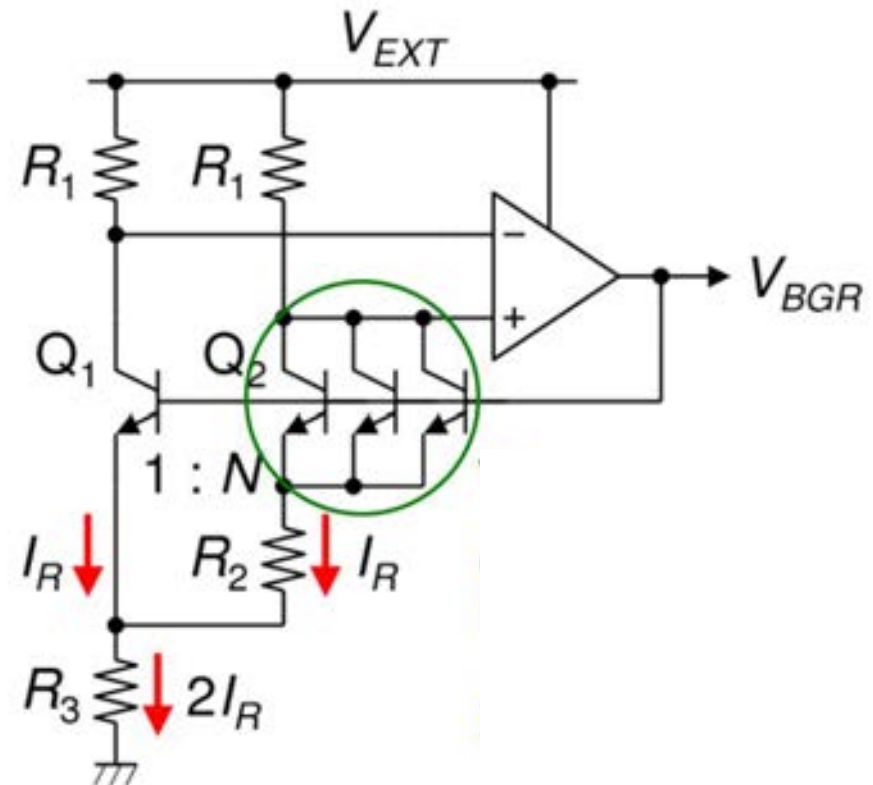
Brokaw型でない回路とBrokaw型回路の比較まとめ

Brokaw型でない回路



温度変化の影響 **大**
 オフセット電圧の影響 **大**

Brokaw型回路



温度変化の影響 **小**
 オフセット電圧の影響 **小**

参考文献

[7スライド目 問題41 式の導出の参考回路] QC出版社 QCconnect
ブロコウ・セル 基準電圧源の温度補償
<https://cc.cqpub.co.jp/system/contents/1735/>

[12.13.14スライド目] EDN Japan > パワー/電源 > 電圧リファレンスICを正しく
選ぶ (2/4) (2011年02月01日 00時04分 公開)
https://ednjapan.com/edn/articles/1102/01/news110_2.html

[15スライド目 バンドギャップリファレンス回路のLtspice回路データ]
QC出版社 QCconnect ブロコウ・セル 基準電圧源の温度補償 解説
<https://cc.cqpub.co.jp/system/file/fetch/5392/>