数学を用いた時間デジタル回路アーキテクチャ	 中国の剰余定理 ²
朝余系(孫子算経)を用いた 時間デジタル変換回路 李从兵(群馬大学) 加藤健太郎(鶴岡高専) 王俊善小林春夫(群馬大学)	<complex-block><text><text><text></text></text></text></complex-block>
孫子算経 3	二人の孫子 4
 「3で割ると2余り、5で割ると3余り、 7で割ると2余る数は何か」 答え 23 一般化したのが「中国人の剰余定理」。 鶏兎同籠(けいとどうりゆう) 「キジとウサギが同じ篭(かご)。頭が35個 足は94本。キジ、ウサギはそれぞれいくらか。 日本に入ってきて「鶴亀算」となる が、孫子算経と孫子兵法とは 直接は関係ないようである。 	「孫武」 戦わずして勝つ 「孫臏 (そんびん)」 馬を三組ずつ出して勝負する競馬。 相手の上等の馬が出る競走に自分の下等の馬、 中等の馬が出る競走に上等の馬、 下等の馬が出る競走に中等の馬を出させる。
<section-header><section-header><section-header><list-item><list-item><list-item><section-header><section-header><section-header><section-header></section-header></section-header></section-header></section-header></list-item></list-item></list-item></section-header></section-header></section-header>	<section-header><page-header><section-header><section-header><section-header><section-header><section-header><complex-block><text></text></complex-block></section-header></section-header></section-header></section-header></section-header></page-header></section-header>



千一個から三十一個へ!!

剰余系TDC回路を検討

剰余系の例 ¹¹	剰余定理の例 ¹²
基数 2,3,5 互いに素 N=2x3x5 = 30 0からN-1(=29) までの整数の一つをk a: kを2 で割った余り a= mod2 (k) b: k を3で割った余り b= mod3(k) c: k を5 で割った余り c= mod5(k) k と (a, b, c) の組は1対1に対応する。	基数 2, 3, 5 互いに素 N=2x3x5 = 30 0からN-1(=29) までの整数の一つを k a: kを2 で割った余り a= mod2 (k) b: k を3で割った余り b= mod3(k) c: k を5 で割った余り c= mod5(k) k と (a, b, c) の組は1対1に対応する。 k を (a, b, c) で表現
kを (a, b, c) で表現 剰余表現 中国人の剰余定理 (Chinese Remainder Theorem) (a, b, c) から kを求めるアルゴリズム	 剰余定理 (Chinese Remainder Theorem) (a, b, c) から k を求めるアルゴリズム 剰余定理は、 この問題を他の整数についても適用できるように一般化したもの。

剰余DCの原理

13

16

18

TDC 回路は信号が時間であることを利用すると"剰余"が容易 に得られる。 三つのリング発振回路(遅延m₁t, m₂t, m₃t)を利用し、 発振状態から経過時間Tの測定を行うことが可能で。 剰余定理に基づいて、(a, b, c)からkを求め、 経過時間T=k×T を得る。

例えば、三つのリング発振回路(遅延21,31,51)を利用し、 発振している状態から経過時間Tの測定を行う。 Tを2Tで割った余りはa Tを3Tで割った余りはb Tを5Tで割った余りはc ⇒剰余定理でT=k*T





リング発振回路構成により剰余が容易に得られる。 電圧信号を入力とするADCでは剰余を得るのは簡単ではない。

リング発振回路で剰余を得る ● START 信号立ち上がりで発振開始 剰余 ● STOP 信号立ち上がりで発振中止 1 τ 1 0 τ 0 τ



RTL(Register Transfer Level) 検証

回路機能をHDL (Hardware Descrption Language)で記述し、ISim を使用し、 下記条件でシミュレーションを行った:

•STOP クロック周波数=100MHz

バッファ遅延T=30.30ns

■START 信号がL からH に変化=200ns



タイミングチャート



20







Binary Code と Gray Code

25

Decimal numbers	Binary Code	Gray Code
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

Gray code TDC



Gray code TDC と回路非理想特性の影響²⁷



RTL simulation results for 4-bit Gray code based TDC without and with one delay mismatch.

時間は最も貴重な資源

「成果を上げる者は、 仕事からスタートしない。 時間からスタートする。



計画からもスタートしない。 まず、何に時間がとられているかを 知ることからスタートする。

次に、時間を奪おうとする非生産的な要求を退ける。 そして、得られた自由な時間を大きくまとめる」

マネージメント学 ピーター・ドラッカー

28