

$\Delta\Sigma$ DA変調器のデジタルディザ信号による 性能改善と回路設計の検討

群馬大学
工学部 電気電子工学科 学部4年
小林研究室

小島潤也 新井薫子 小林春夫



Kobayashi Lab

- 研究背景・目的
- 提案回路の構成
- シミュレーション構成・結果
- FPGA実装
- まとめ

アウトライン

3/33

- 研究背景・目的
- 提案回路の構成
- シミュレーション構成・結果
- FPGA実装
- まとめ

研究背景

4/33



集積回路の信号処理 → デジタル回路に恩恵

アナログ・デジタル変換器 (ADC)
デジタル・アナログ変換器 (DAC)

高性能を要求

アナログ: 連続的な信号

- 自然界の信号(音、光)
- アナログ時計 など



デジタル



デジタル: 離散的な数値の信号

- 2進数
- デジタル時計 など



アナログ



研究目的

5/33

直流信号、低周波信号に対して



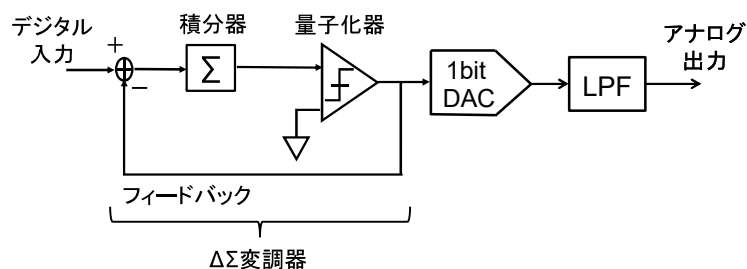
簡単な回路構成

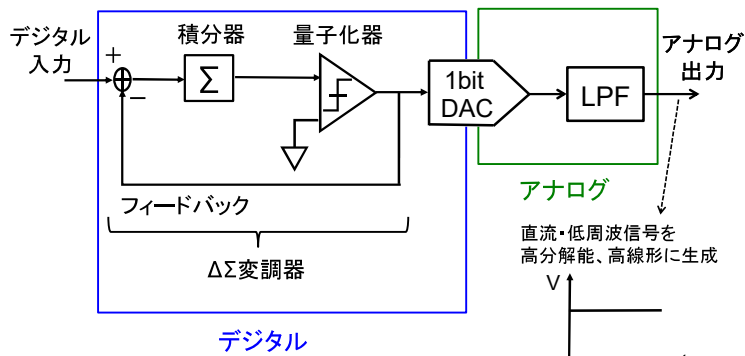
高分解能、高線形で出力できる
デジタル・アナログ変換器(DAC)を開発

$\Delta\Sigma$ DA変換器に注目

$\Delta\Sigma$ DA変換器の構成

6/33

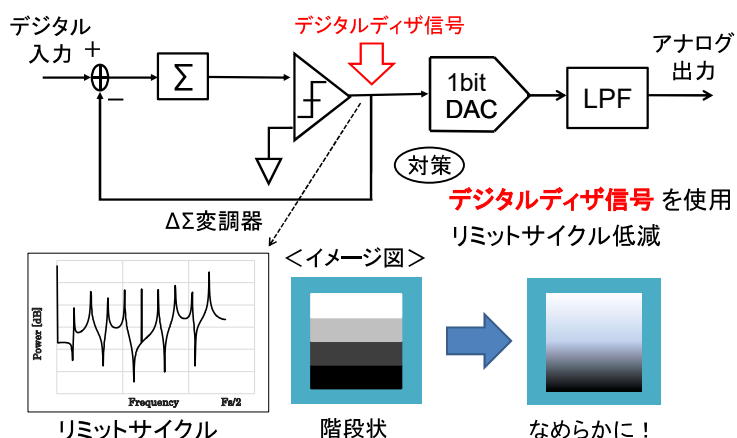
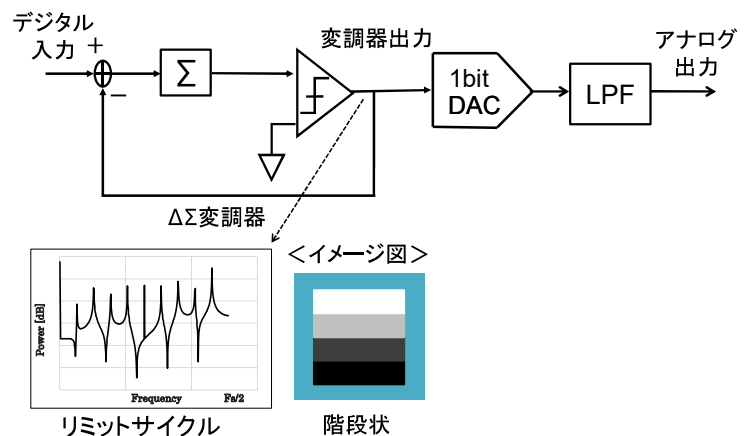
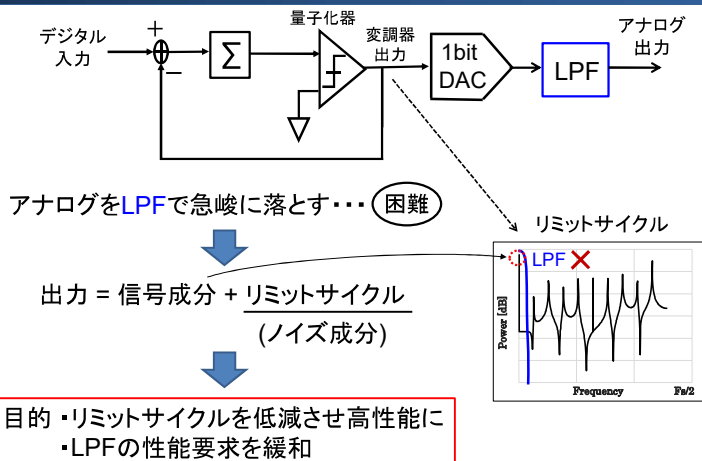
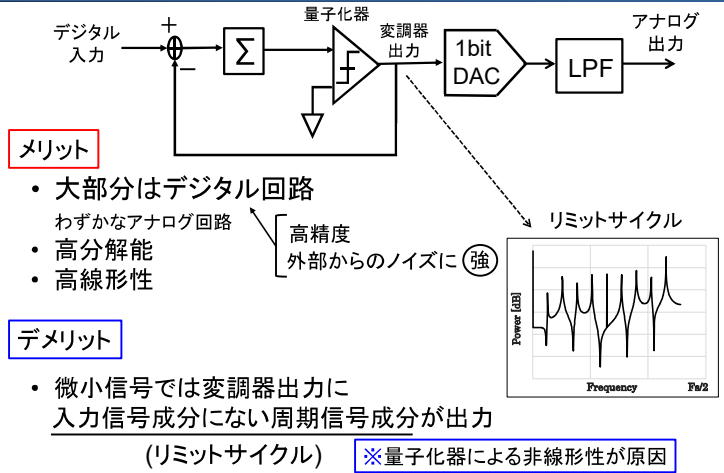




※ナイキストDAC⇒ 10bit以上高線形性の回路設計は難しい...

アナログ
直流・低周波信号を高分解能、高線形に生成

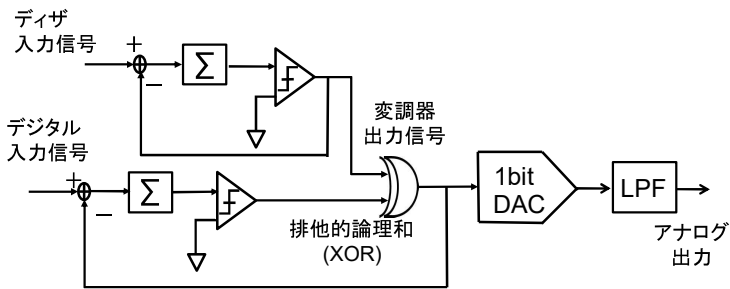
- 電子計測器
- LSI試験装置等に使用



- 研究背景・目的
- 提案回路の構成
- シミュレーション構成・結果
- FPGA実装
- まとめ

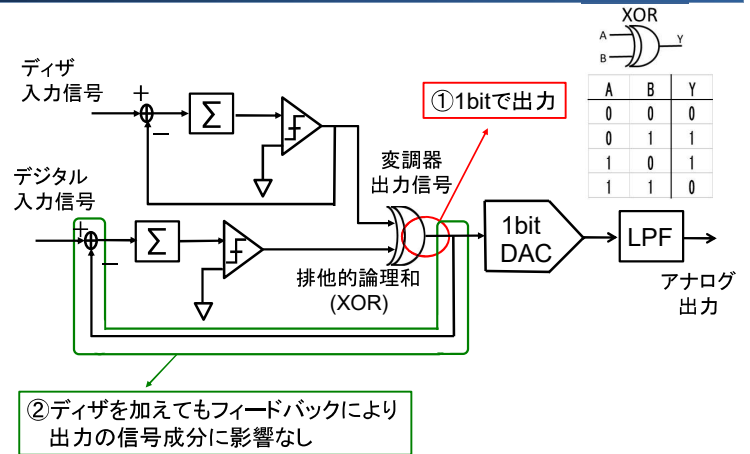
提案回路の構成

13/33



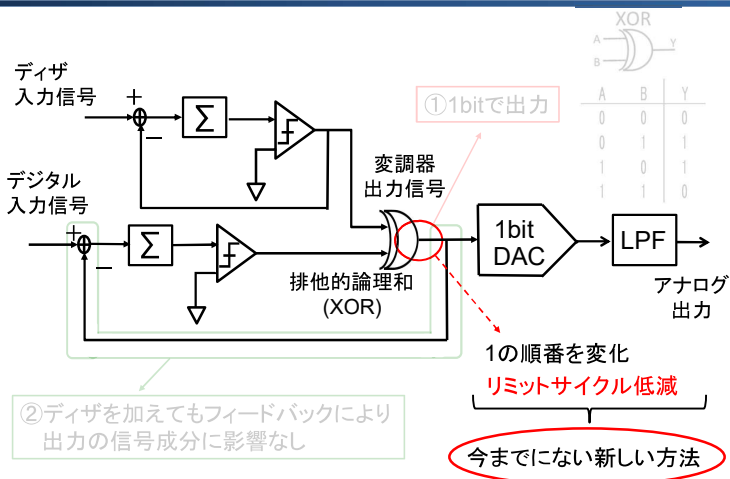
提案回路の構成

14/33



提案回路の構成

15/33



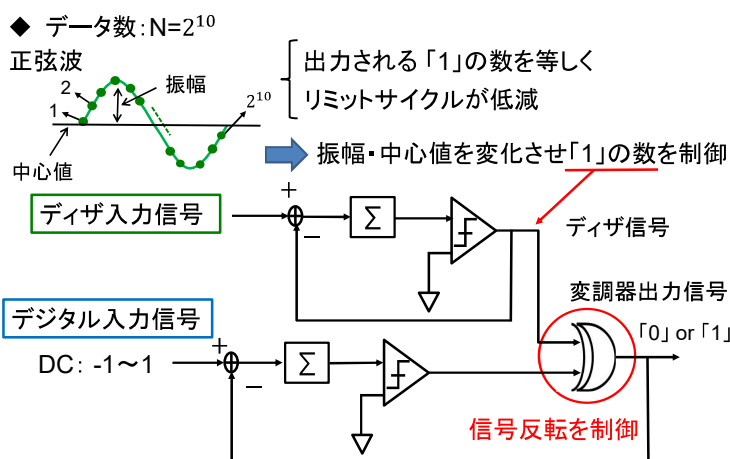
アウトライン

16/33

- 研究背景・目的
- 提案回路の構成
- シミュレーション構成・結果
- FPGA実装
- まとめ

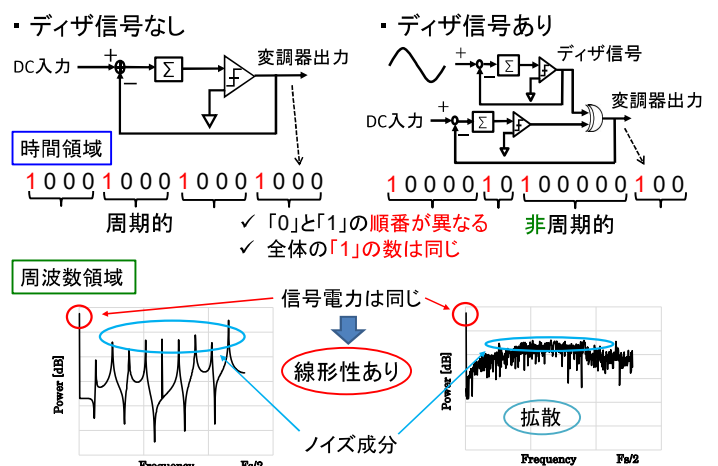
シミュレーション構成

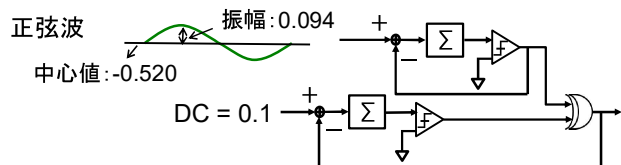
17/33



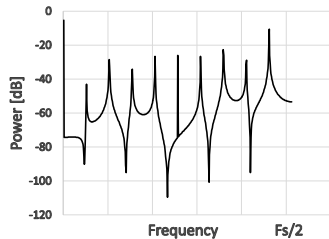
シミュレーション構成

18/33

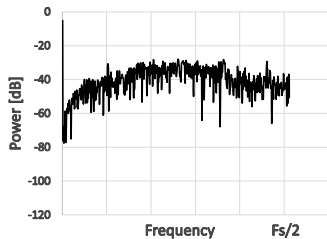




従来



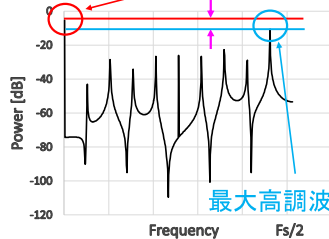
提案



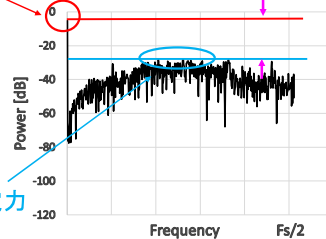
● 評価法: $SFDR = \frac{\text{信号電力}}{\text{最大高調波電力}}$

$$SFDR = 5.4 \text{ dB} < 22.9 \text{ dB}$$

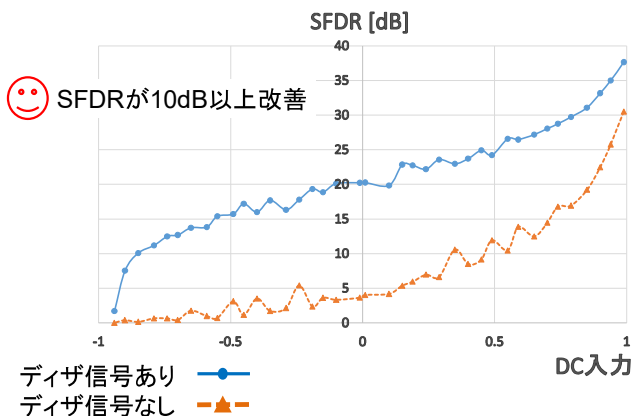
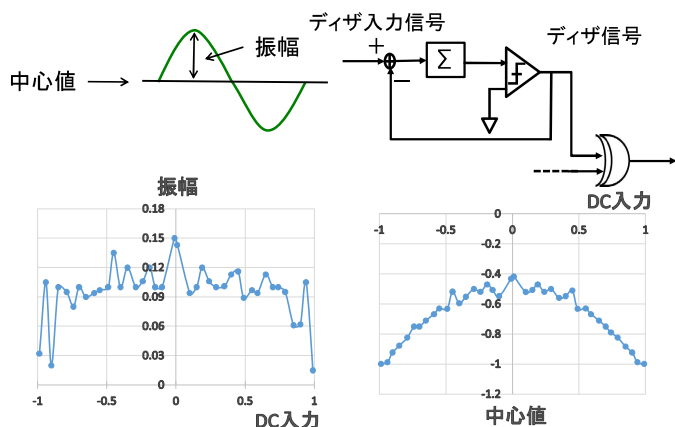
従来



提案



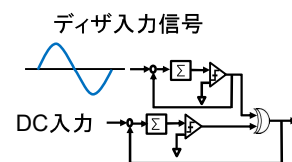
◆ 最大高調波電力が小さくなる正弦波の振幅・中心値



- 研究背景・目的
- 提案回路の構成
- シミュレーション構成・結果
- FPGA実装
- まとめ

デジタル回路実現のために

- ◆ ディザ入力信号で使用する正弦波の発生
- ◆ DC入力に対して正弦波の振幅、中心値を毎回変更



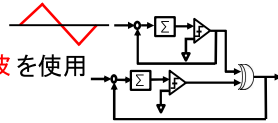
デジタル回路実現のために

<変更点>

◆ディザ入力信号で使用する正弦波の発生



◆三角波を使用



◆DC入力に対して正弦波の振幅、中心値を毎回変更



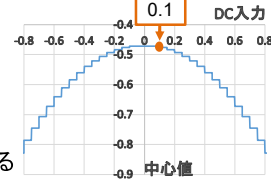
◆振幅 : 0.256 と一定
中心値 : 近似を使用(p.21)
中心値を自動的に決定



(ex) DC=0.1 のとき

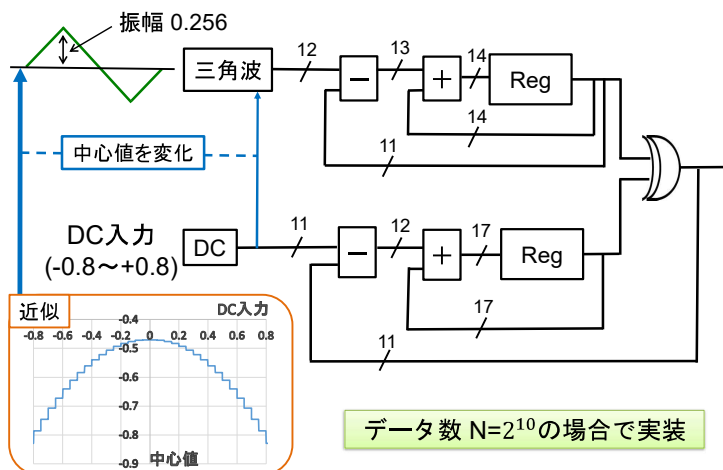
振幅 = 0.256
中心値 = -0.476

DC入力のみを変化させる



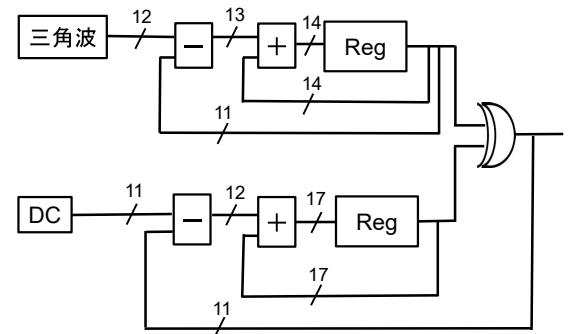
デジタル回路(提案回路)

27/33



デジタル回路(提案回路)

26/33



FPGAのボードと出力波形

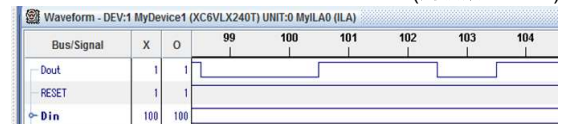
28/33



Xilinx
Virtex-6 ML605

FPGAのボード

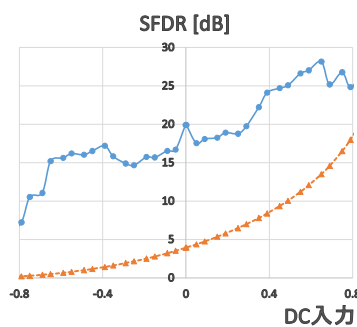
(周波数 50MHz)



出力波形の一部

FPGAの結果

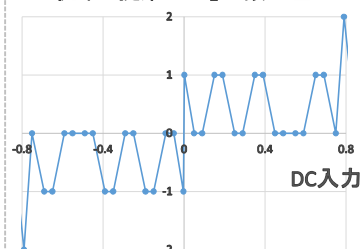
29/33



ディザ信号あり (blue line)
ディザ信号なし (orange line)

😊 SFDRが10dB以上改善

従来と提案の「1」の数の差



「1」の数の差は
±2の範囲に収まった

➡️ 😊 線形性あり

アウトライン

30/33

- 研究背景・目的
- 提案回路の構成
- シミュレーション構成・結果
- FPGA実装
- まとめ

<まとめ>

$\Delta\Sigma$ 変調器では

従来: 直流・低周波信号でリミットサイクルが発生



提案: ディザ信号と排他的論理和を用いた構成

- リミットサイクル低減 $\Rightarrow$ LPFの性能要求を緩和
- SFDR向上
- 線形性あり
- FPGAでの動作を確認

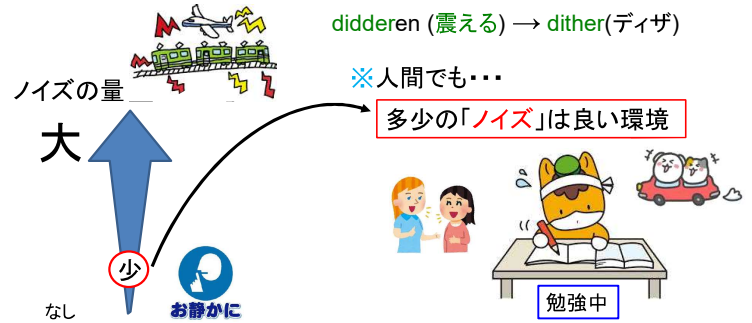
<dither(ディザ)の起源>

✓ 第二次世界大戦の頃

爆撃機には計算機が使用 $\rightarrow$ 地上より飛行機上の方がうまく動作

理由: 振動の刺激が誤差を減少

didden (震える) $\rightarrow$ dither(ディザ)



回路も人間も皆同じ

「完全に静かな場所では集中できない」



Philip E. Vernon
心理学者(英)



Q&A

Q1.XORを用いていたが、他の論理回路(AND、OR)ではどうか

A1.他の論理回路では確認していない。XORではディザ信号を加えることはノイズを加えることに相当するため、考えやすい。

Q2.周期的な三角波や正弦波を入力していたが、ランダムにしたらどうか。

A2.ランダムのはきは確認していない。リミットサイクル低減に繋がると思うが扱いにくいと考える。ランダムでの検証は今後の課題としたい。