

CMOS A/D変換器の 入力容量解析

群馬大学大学院工学研究科電気電子工学専攻

小暮英行

発表内容

1. 入力容量の定義とその求め方
2. CMOS ADCの入力容量
3. MOSTランジスタのゲート容量
4. 差動アンプの入力容量
5. 低入力容量差動アンプの提案
6. まとめ

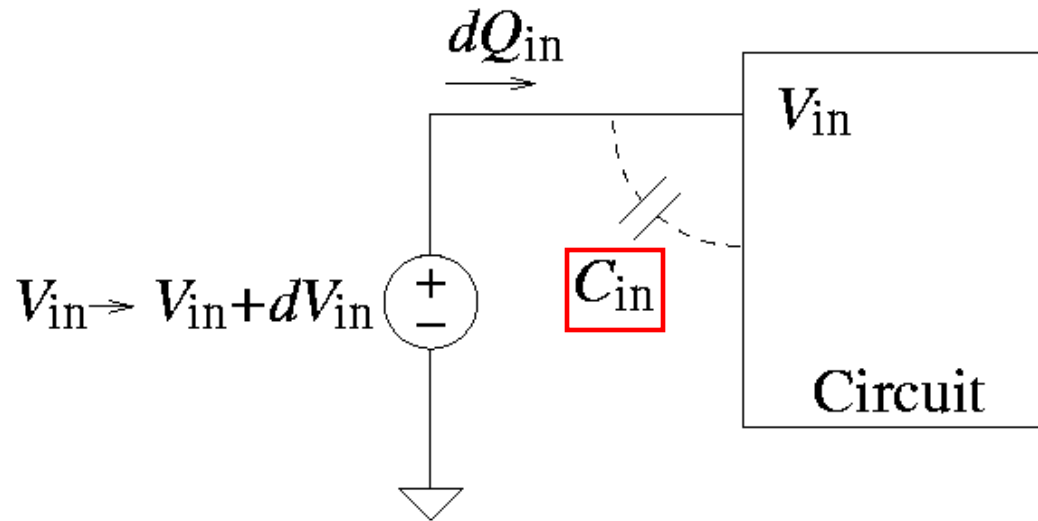
研究目的

高速CMOS ADCのAC性能向上のため

- 入力容量の非線形性を解析する
- 非線形性を緩和する回路を提案する

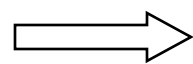
1. 入力容量の定義とその求め方

入力容量の定義



入力電圧 $V_{in} \rightarrow V_{in} + dV_{in}$

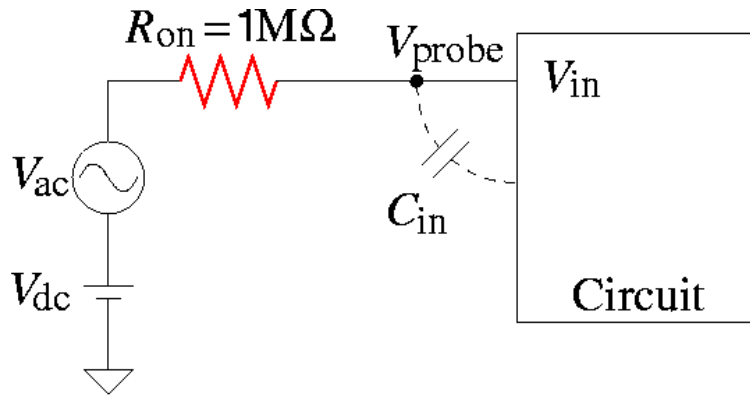
流入電荷 dQ_{in}



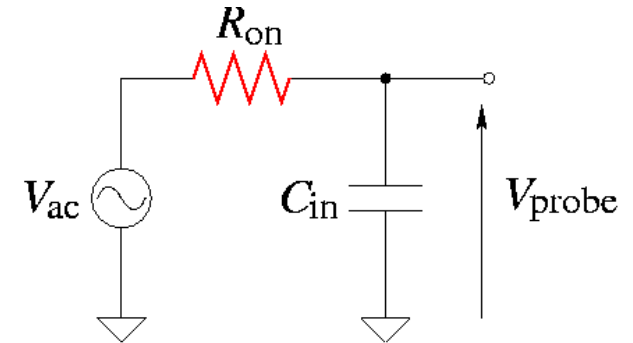
入力容量

$$C_{in} = \frac{dQ_{in}}{dV_{in}}$$

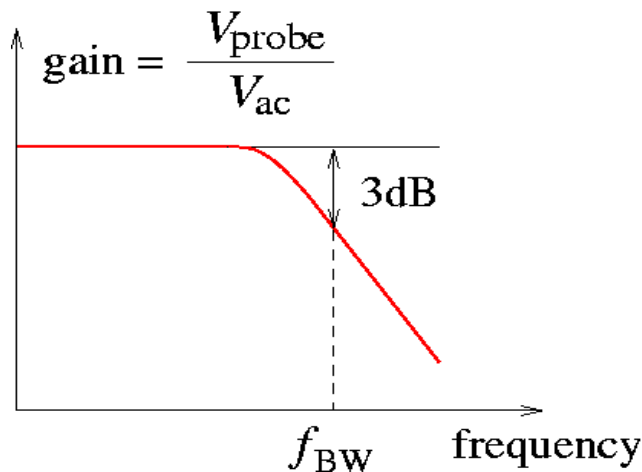
SPICEシミュレーションによる 入力容量の求め方



近似すると



AC解析



帯域

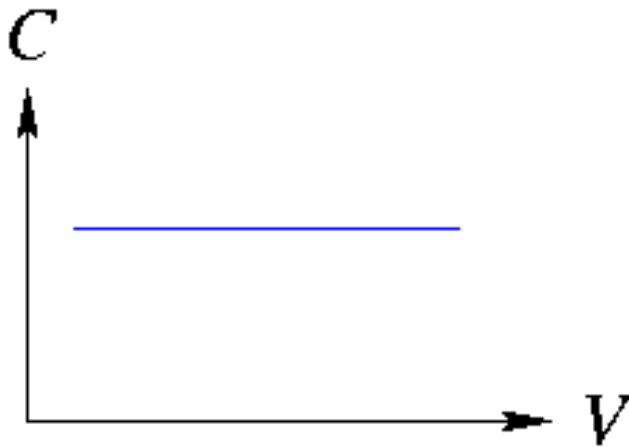
$$f_{BW} = \frac{1}{2\pi R_{on} C_{in}}$$



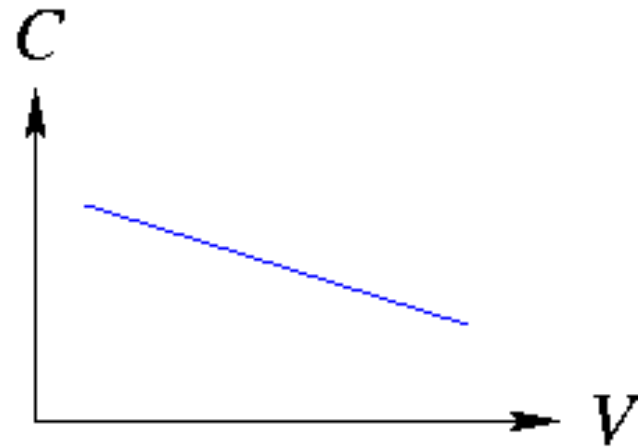
$$\text{入力容量 } C_{in} = \frac{1}{2\pi f_{BW} R_{on}}$$

容量の非線形性とは

線形



非線形



入力容量の非線形性 → AC性能を劣化させる要因

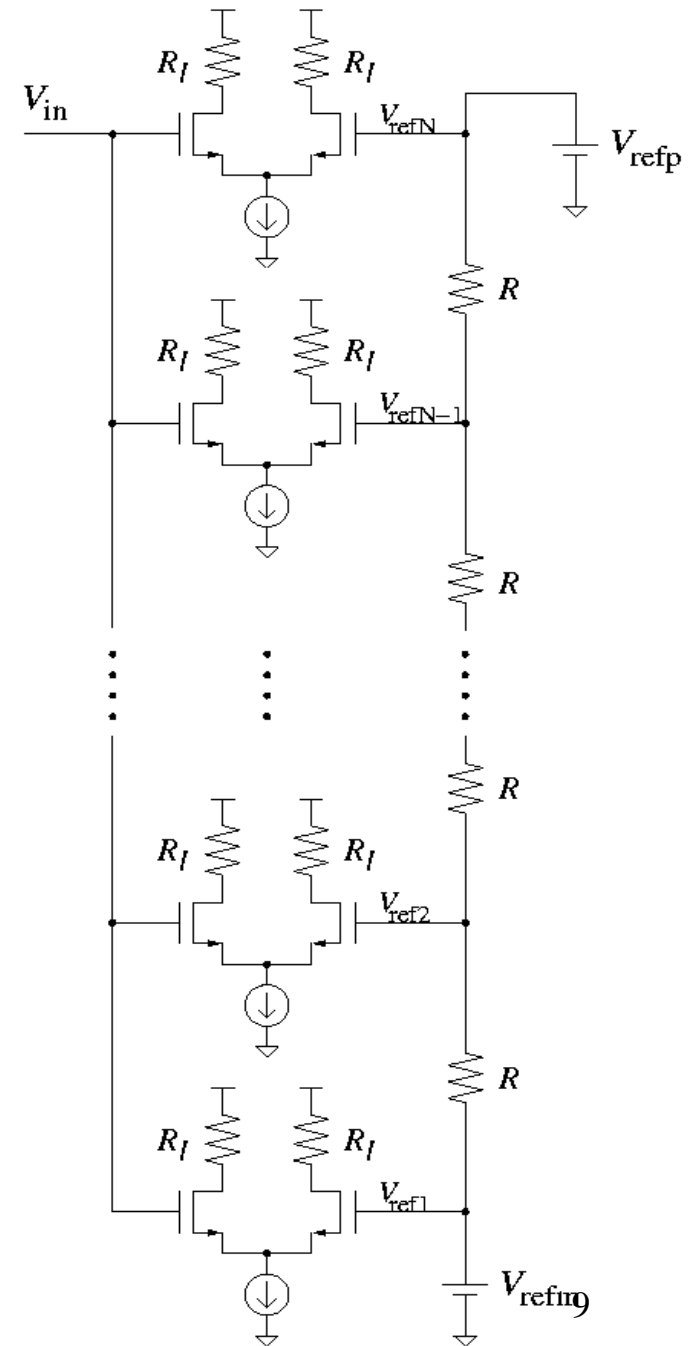
例. 立ち上がりステップ入力と
立ち下がりステップ入力とで応答が異なってしまう

2. CMOS ADCの入力容量

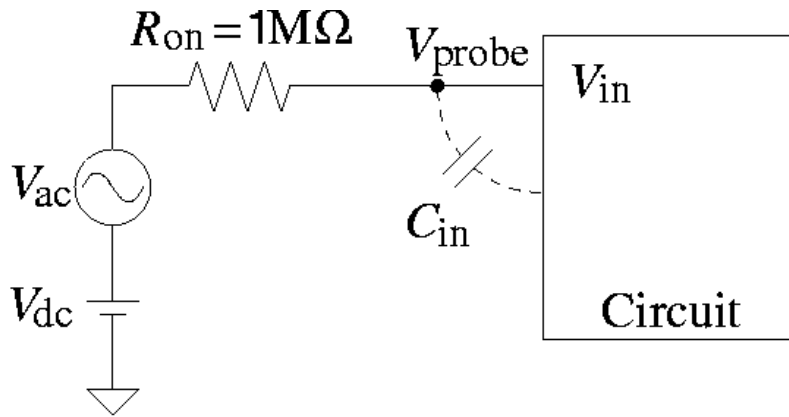
CMOS ADC

フラッシュ型CMOS ADC入力部

- 差動アンプN個の並列構成
- 抵抗ラダーからVref生成
- 差動アンプに入力電圧VinとVrefを供給

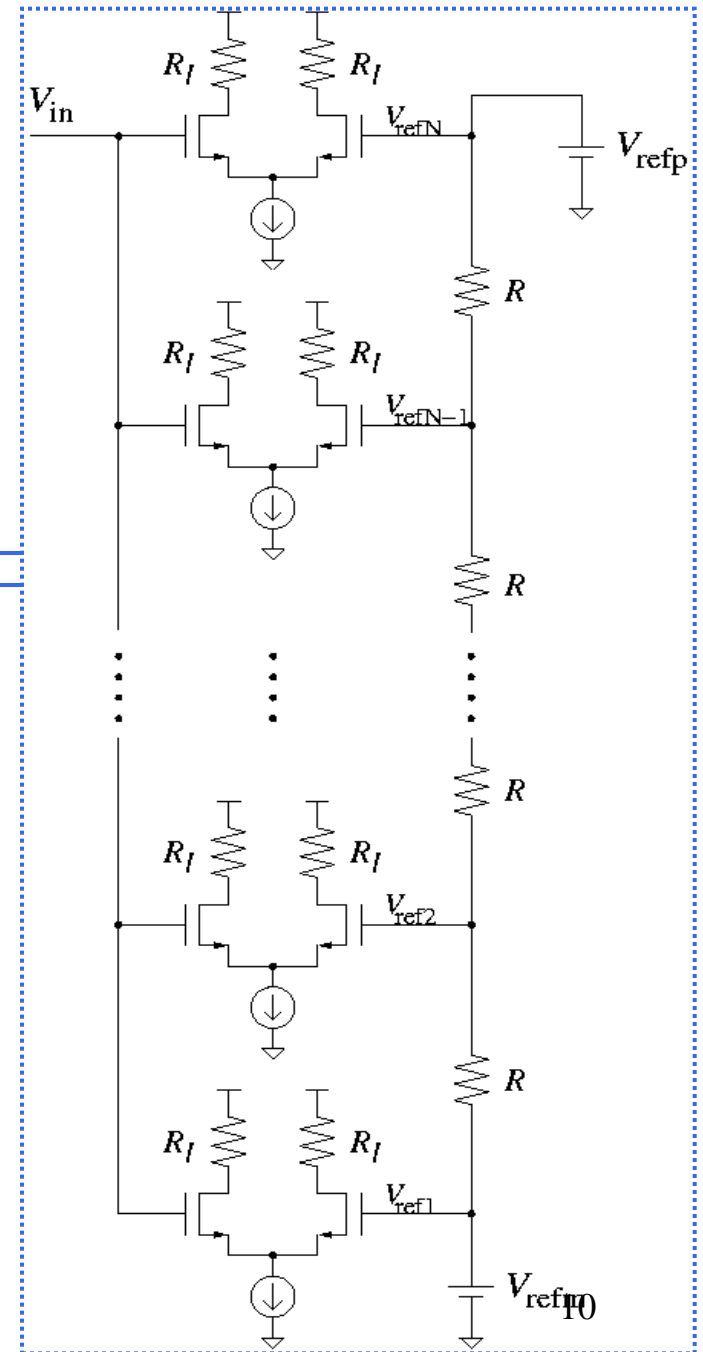


CMOS ADCの 入力容量の求め方



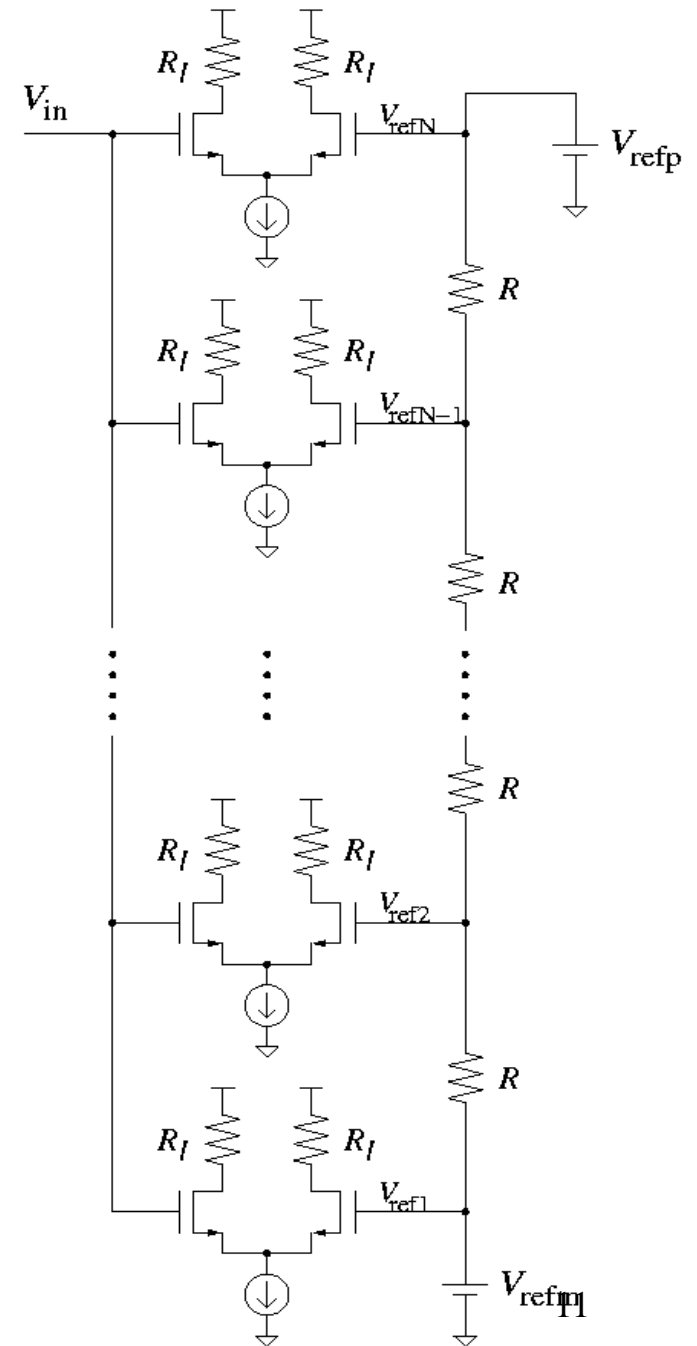
AC解析より帯域 f_{BW} を求める

⇒ 入力容量 $C_{in} = \frac{1}{2\pi f_{BW} R_{on}}$

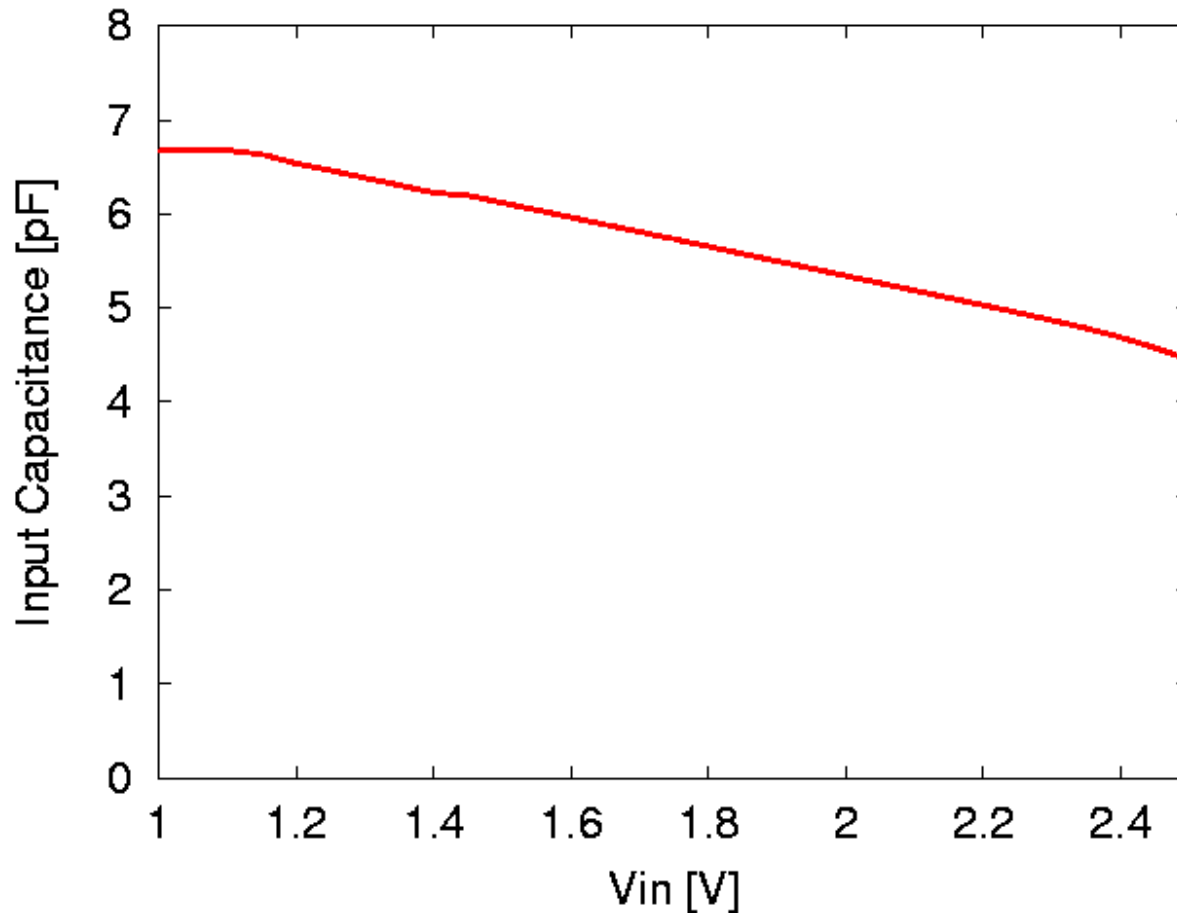


シミュレーション条件

- MOSIS 0.35 μm CMOS process
- BSIM3 model
- $V_{\text{refp}}=2.5\text{V}$, $V_{\text{refm}}=1.0\text{V}$
- $R=5\Omega$, $R_l=1\text{k}\Omega$
- $W/L=100/0.35$
- $I_{\text{bias}}=200\mu\text{A}$
- 差動アンプ数 $N=45$

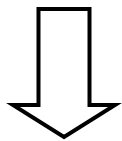


CMOS ADCの入力容量

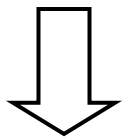


入力電圧が高くなると入力容量は減少する

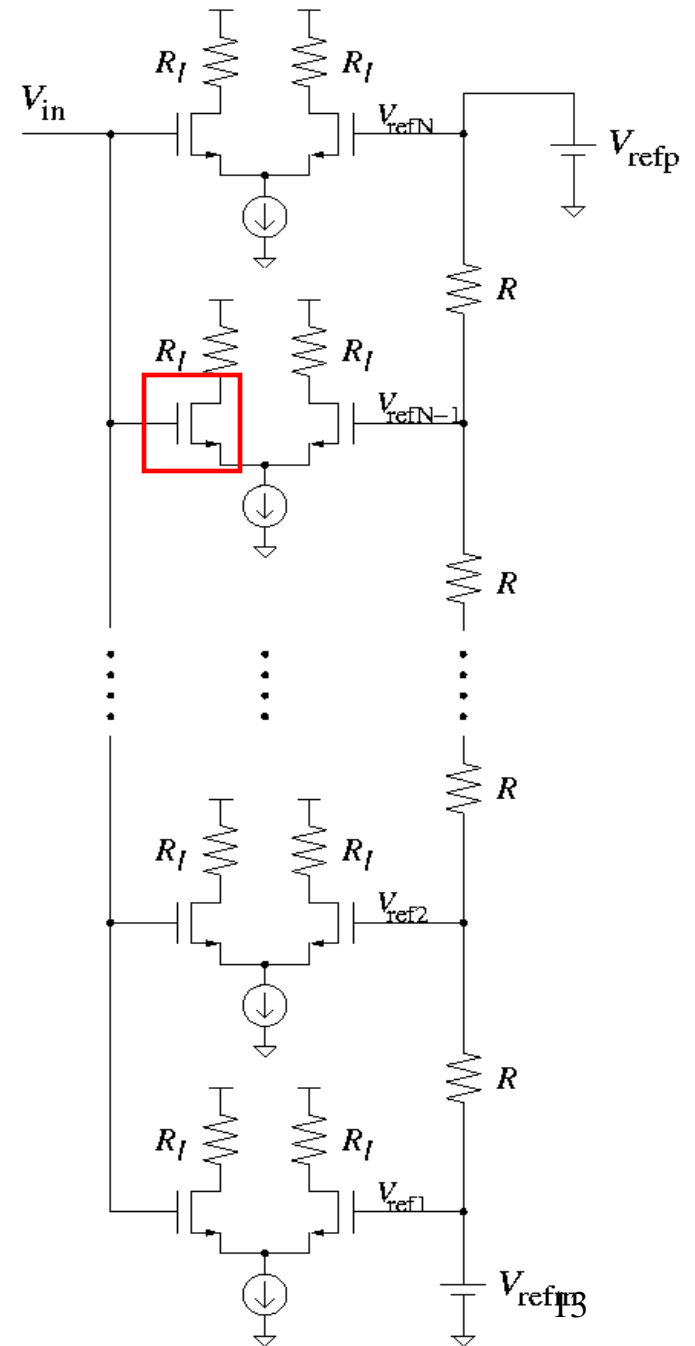
CMOS ADCの入力容量が
なぜ非線形なのかを
解析するために...



CMOS ADCの入力容量を
MOSTランジスタのゲート容量の
足し合わせと考える

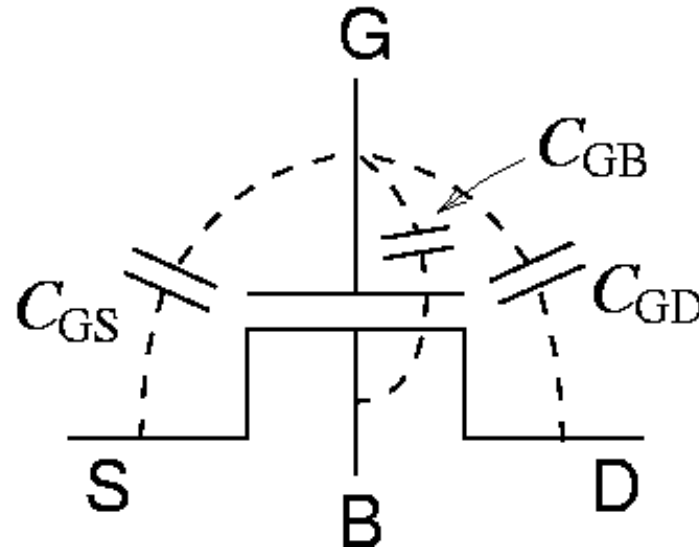


MOSTランジスタの
ゲート容量を調べる



3. MOSトランジスタのゲート容量

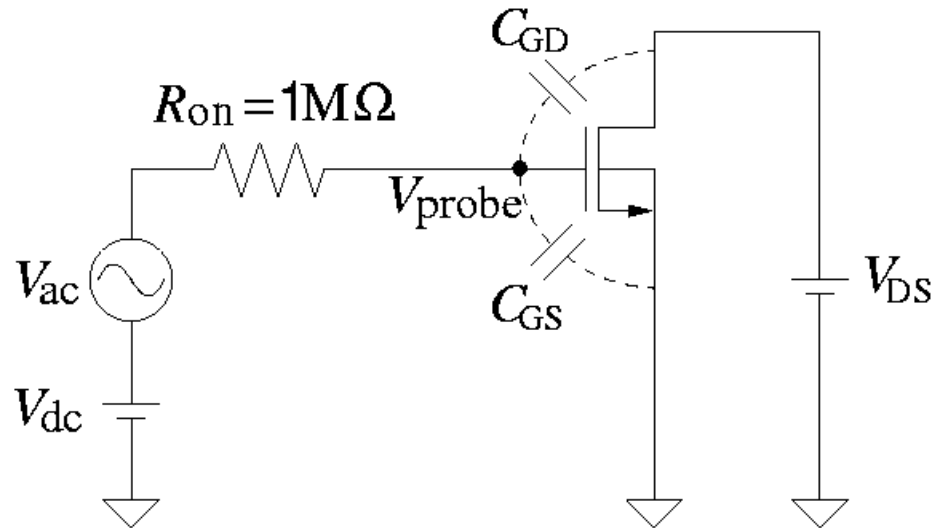
MOSTランジスタのゲート容量



ゲート容量

- ゲート-ドレイン間容量 C_{GD}
- ゲート-ソース間容量 C_{GS}
- ゲート-バルク間容量 C_{GB}

MOSTランジスタのゲート容量の 求め方

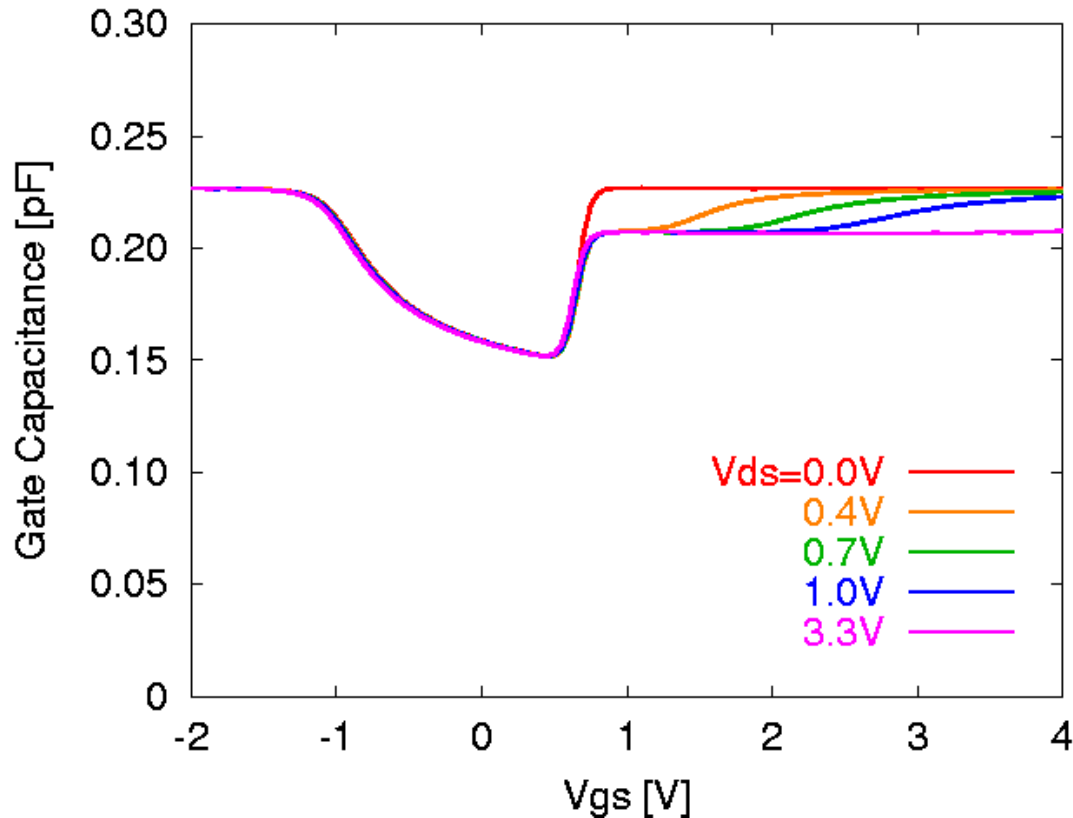


- BSIM3 model
- $W/L=100/0.35$

AC解析より帯域 f_{BW} を求める

⇒ ゲート容量 $C_{gate} = \frac{1}{2\pi f_{BW} R_{on}}$

MOSTランジスタのゲート容量



- OFF時よりON時の方がゲート容量は大きい
- V_{ds} が低い方がゲート容量は大きい

⇒ Meyer容量モデルと定性的に合致

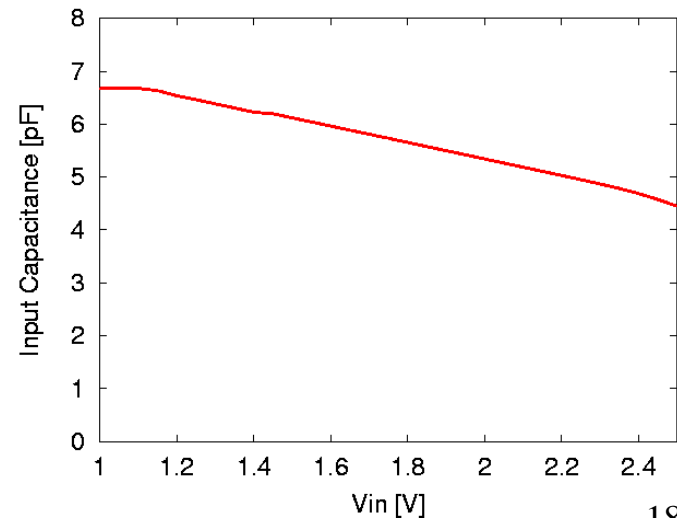
“ADCの入力容量=MOSゲート容量の総和”
と考えると...

ADCの入力電圧が上昇する

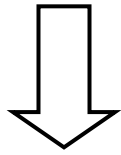
⇒ (入力差動アンプ内の)
ON状態のMOSTランジスタ数が増える

⇒ 入力容量が増加する

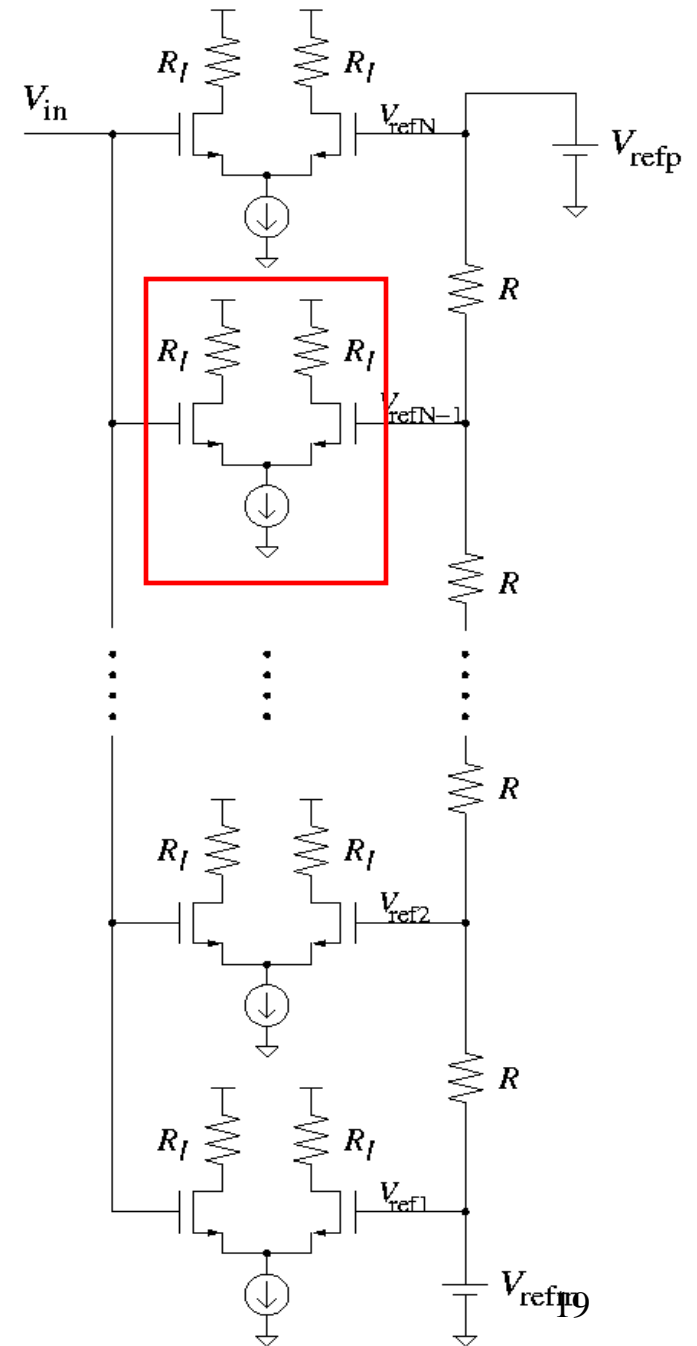
ADCの入力容量の
シミュレーション結果に
矛盾する



MOSゲート容量の総和では
ADCの非線形性を説明できない

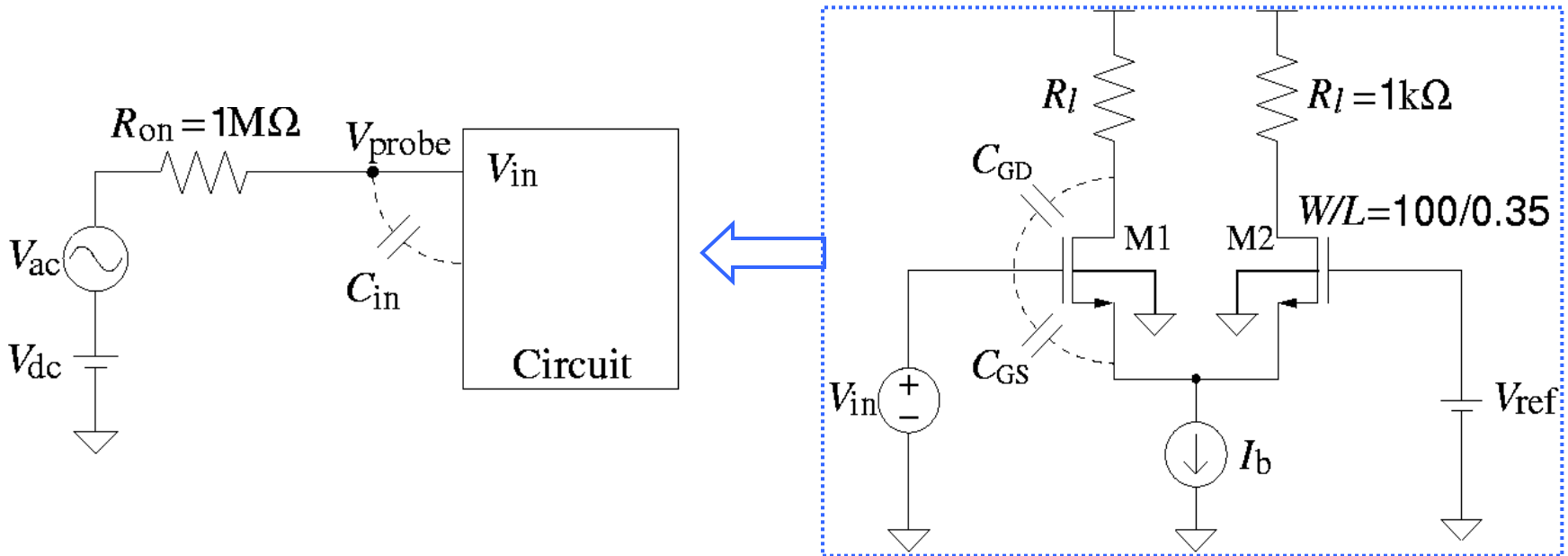


差動アンプの
入力容量を調べる



4. 差動アンプの入力容量

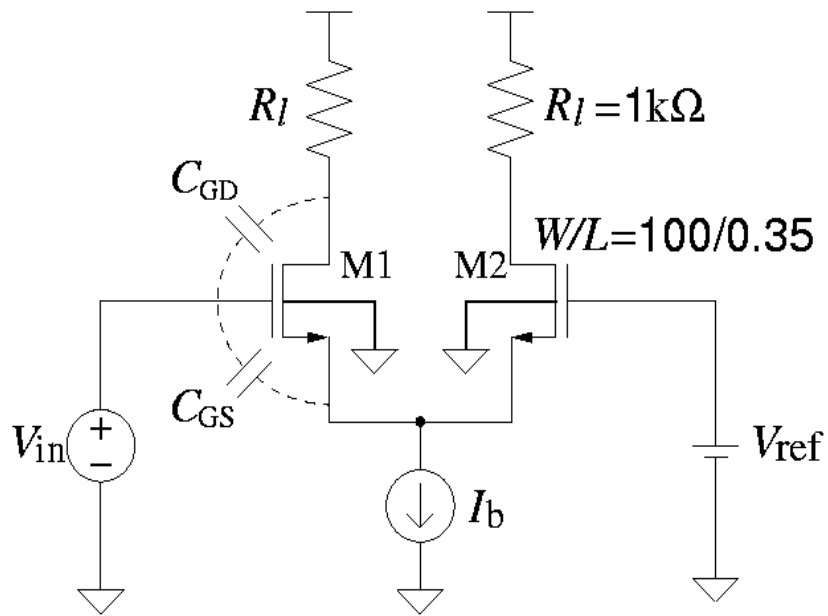
差動アンプの入力容量の 求め方



AC解析より帯域 f_{BW} を求める

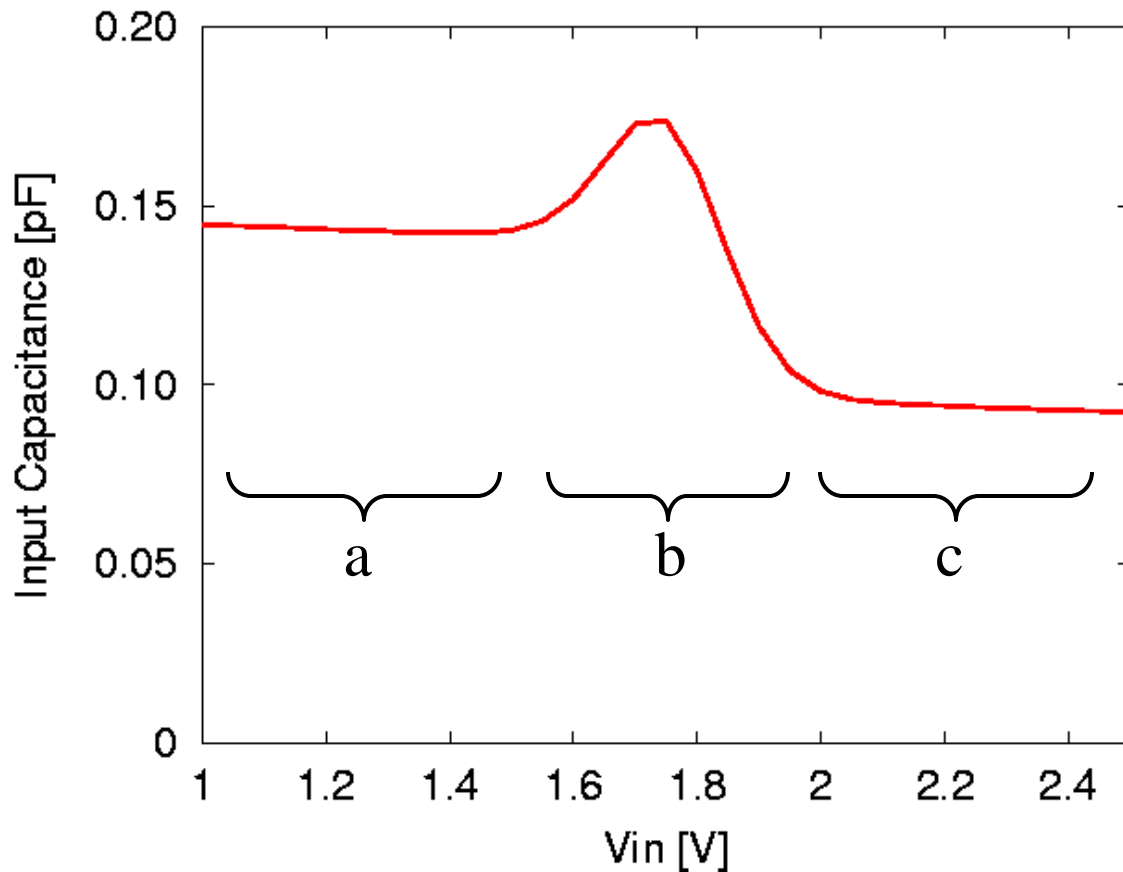
⇒ 入力容量
$$C_{in} = \frac{1}{2\pi f_{BW} R_{on}}$$

シミュレーション条件



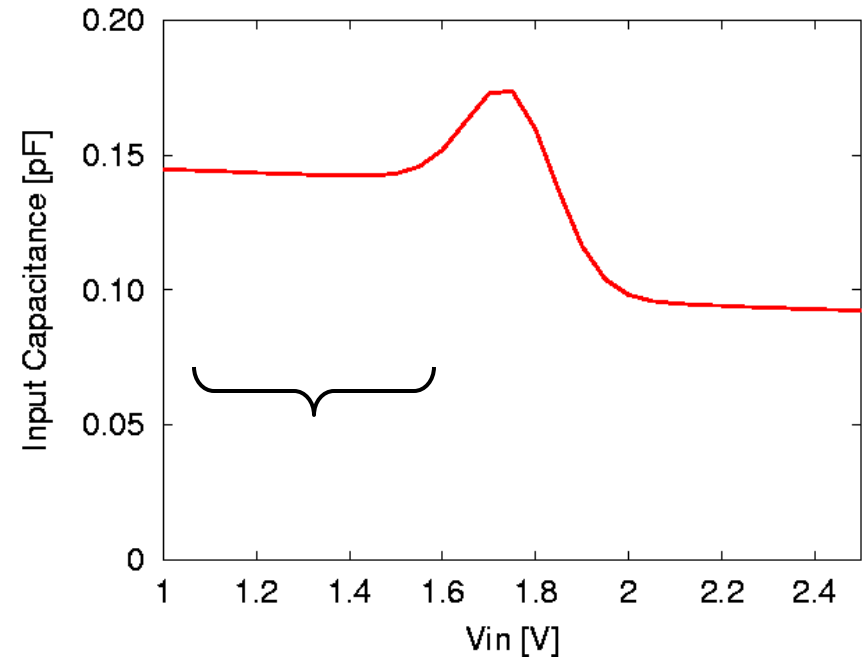
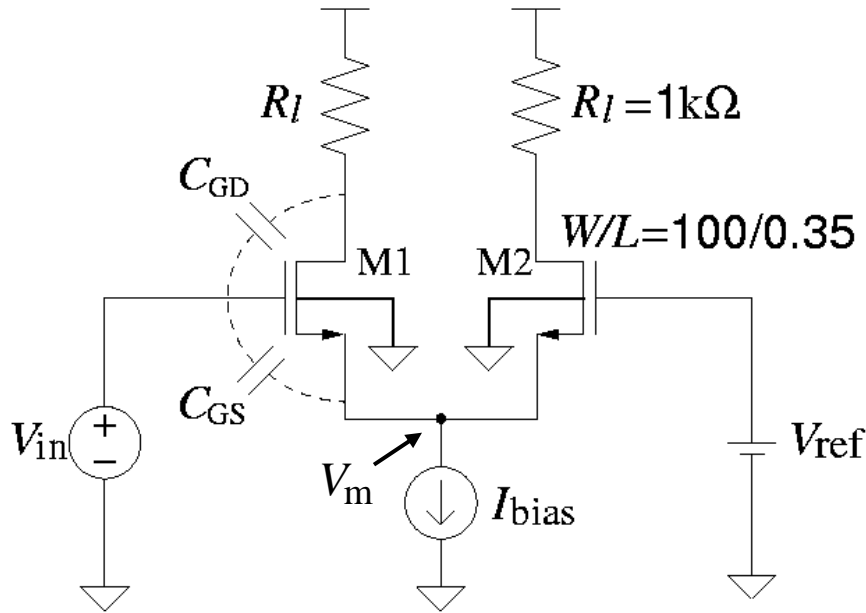
- BSIM3 model
- $V_{ref} = 1.0V \sim 2.5V$
- $R_l = 1k\Omega$
- $W/L = 100/0.35$
- $I_b = 200\mu A$

差動アンプの入力容量 ($V_{\text{ref}}=1.75\text{V}$)



- $V_{\text{in}}=V_{\text{ref}}$ 付近で入力容量が増加する
- $V_{\text{in}}<V_{\text{ref}}$ より $V_{\text{in}}>V_{\text{ref}}$ で入力容量小

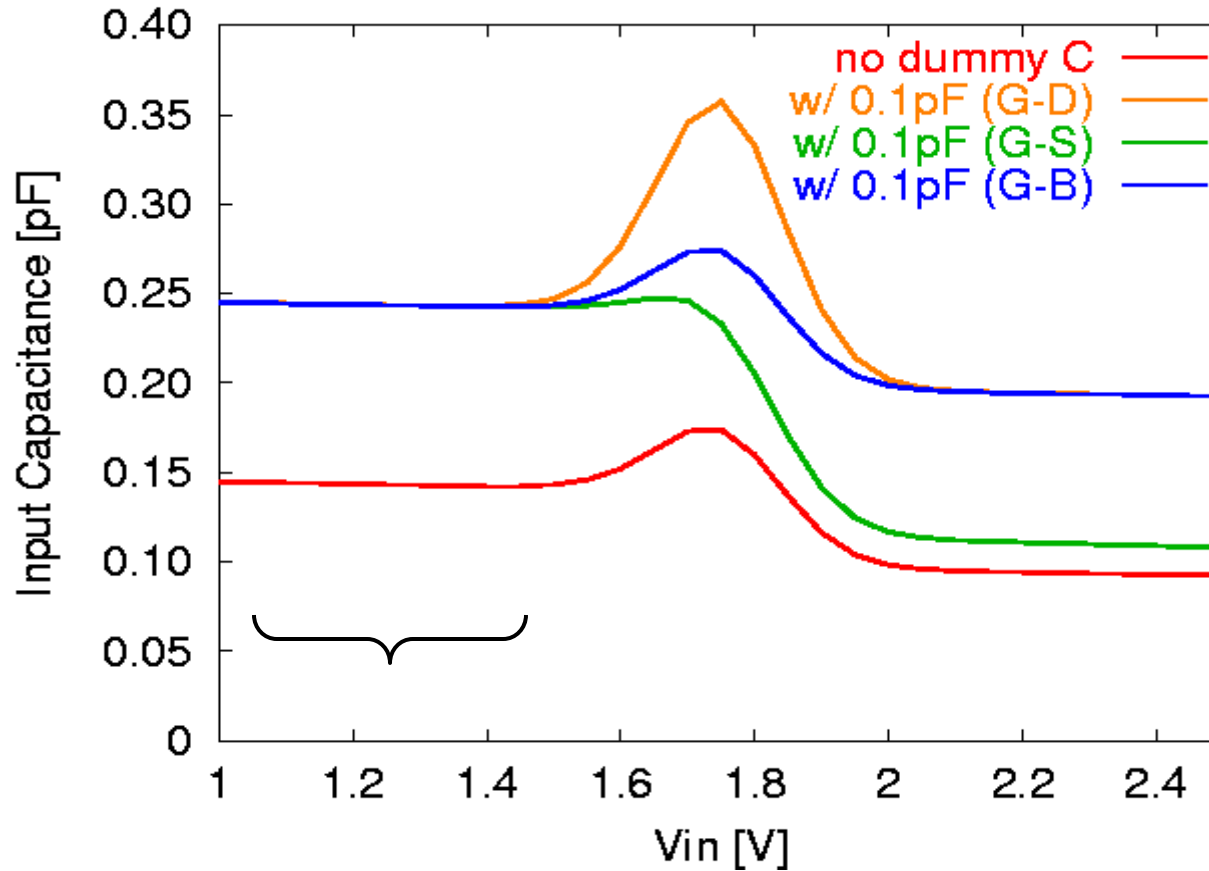
(a). $V_{in} \ll V_{ref}$ の領域



入力 V_{in} から OFF 状態の MOST ランジスタの
容量 C_{GD} , C_{GS} , C_{GB} が見える

⇒ 確認するためにダミー容量による解析を行う

(a). $V_{in} \ll V_{ref}$ の領域 (ダミー容量による解析)

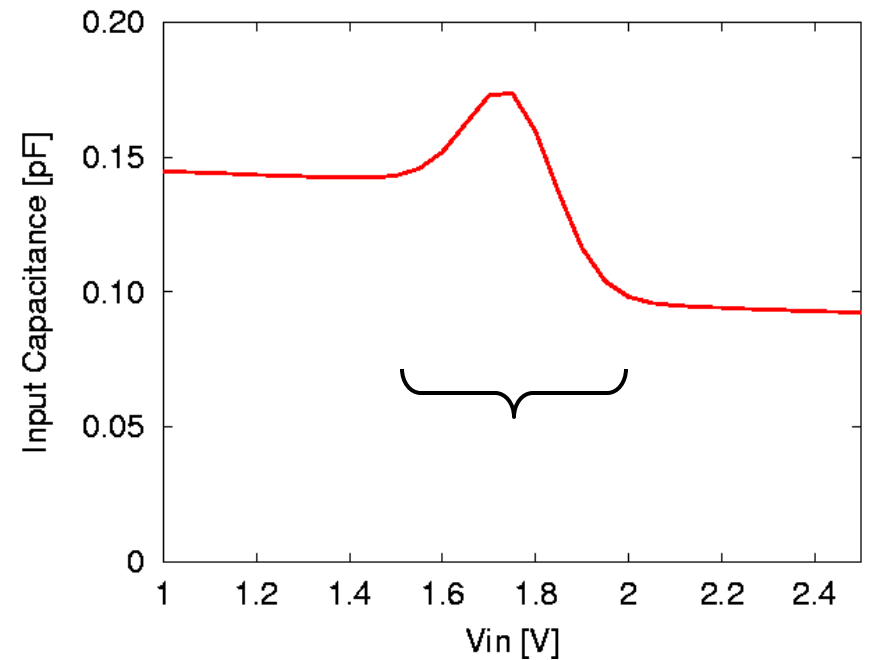
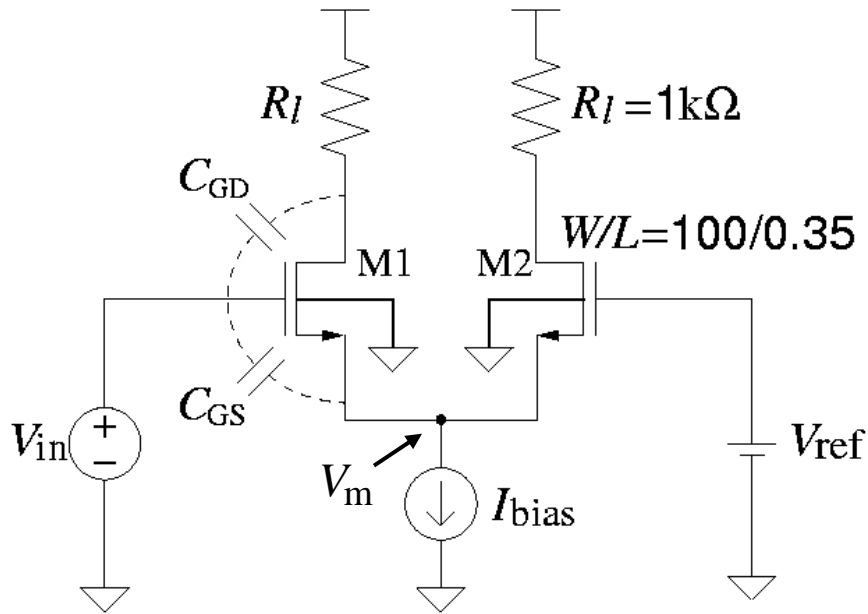


ダミー容量の影響

- G-D間 : あり
- G-S間 : あり
- G-B間 : あり

} V_{in} から
 C_{GD} , C_{GS} , C_{GB} が見える

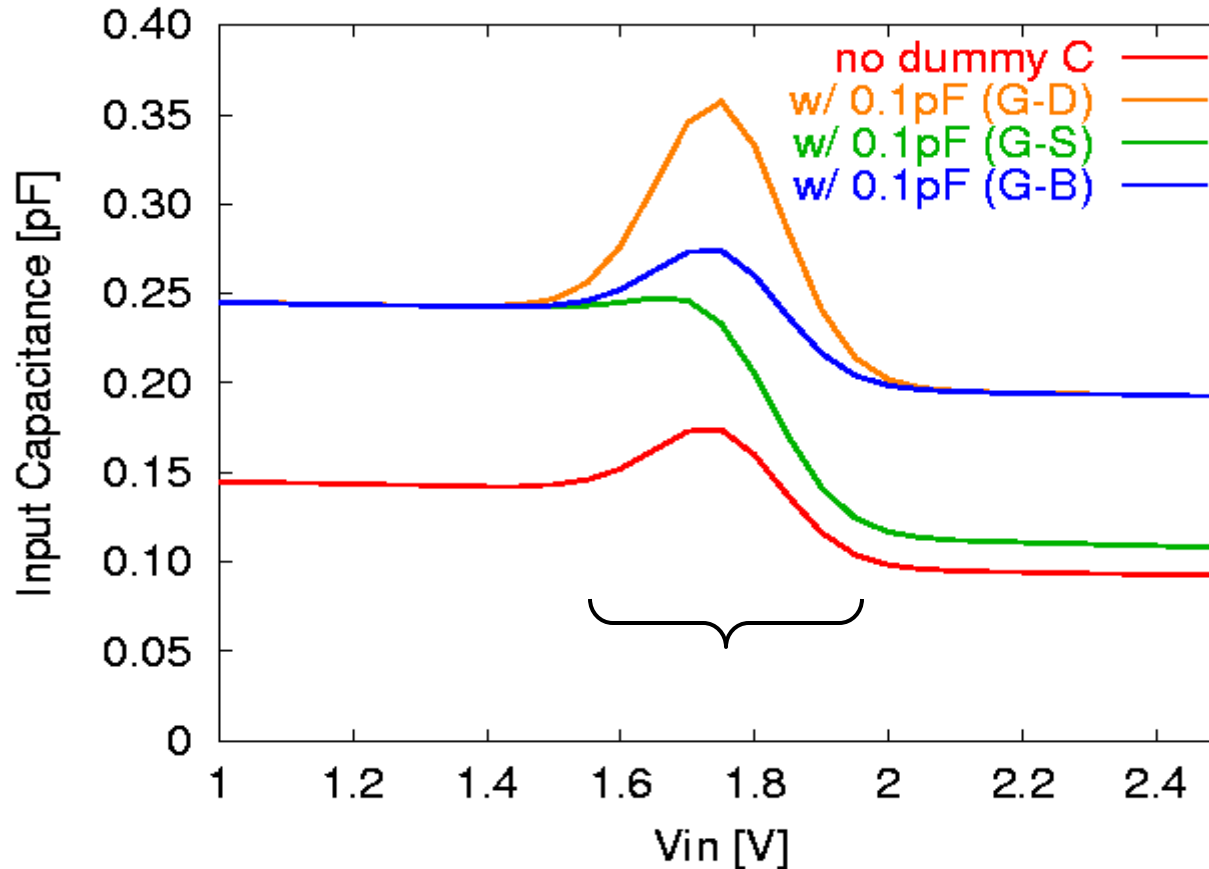
(b). $V_{in} \approx V_{ref}$ の領域



差動アンプのゲインが高くなる

→ 入力 V_{in} からミラー容量 $(1+A)C_{GD}$ と C_{GS} , C_{GB} が見える

(b). $V_{in} \approx V_{ref}$ の領域 (ダミー容量による解析)



ダミー容量の影響

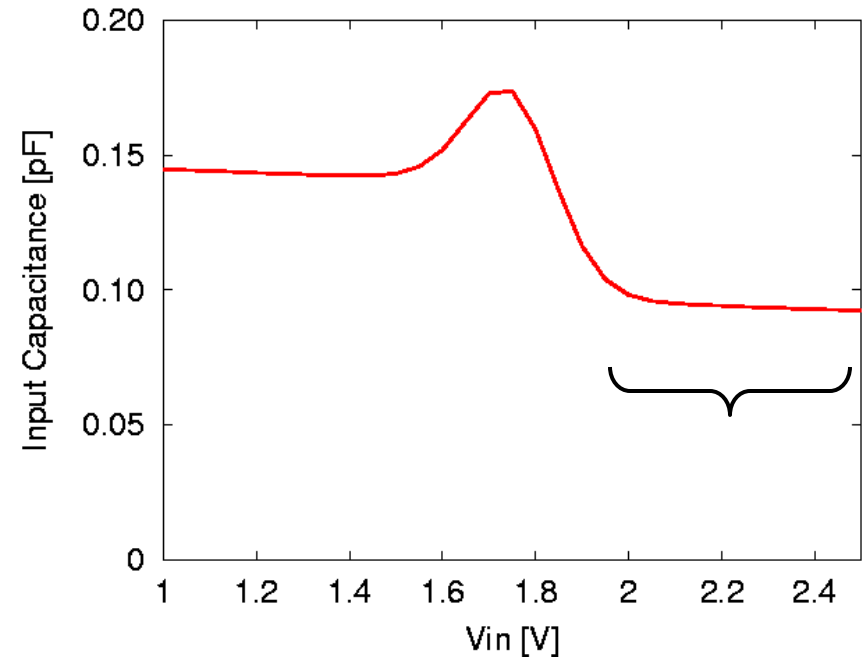
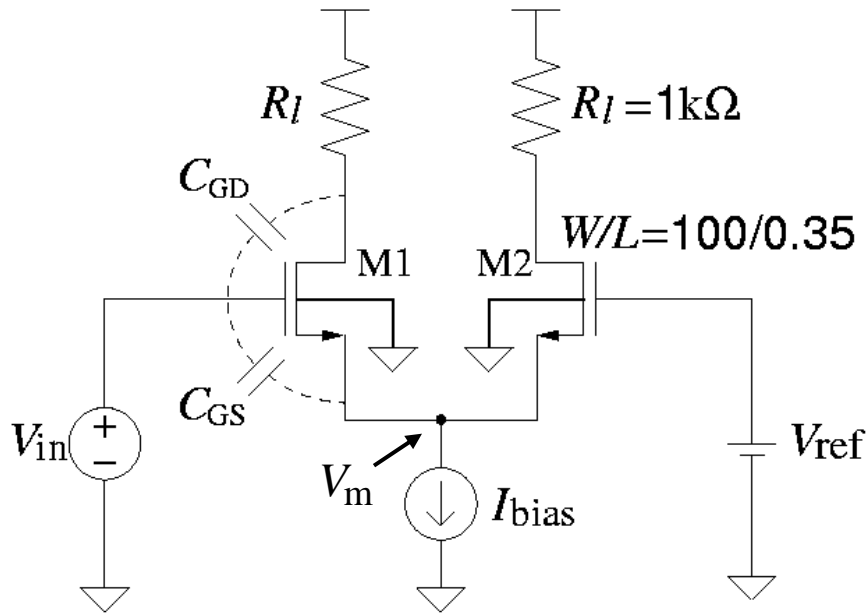
G-D間 : 特にあり

G-S間 : 少なくなる

G-B間 : あり

V_{in} から C_{GD} が
特に大きく見える

(c). $V_{in} \gg V_{ref}$ の領域

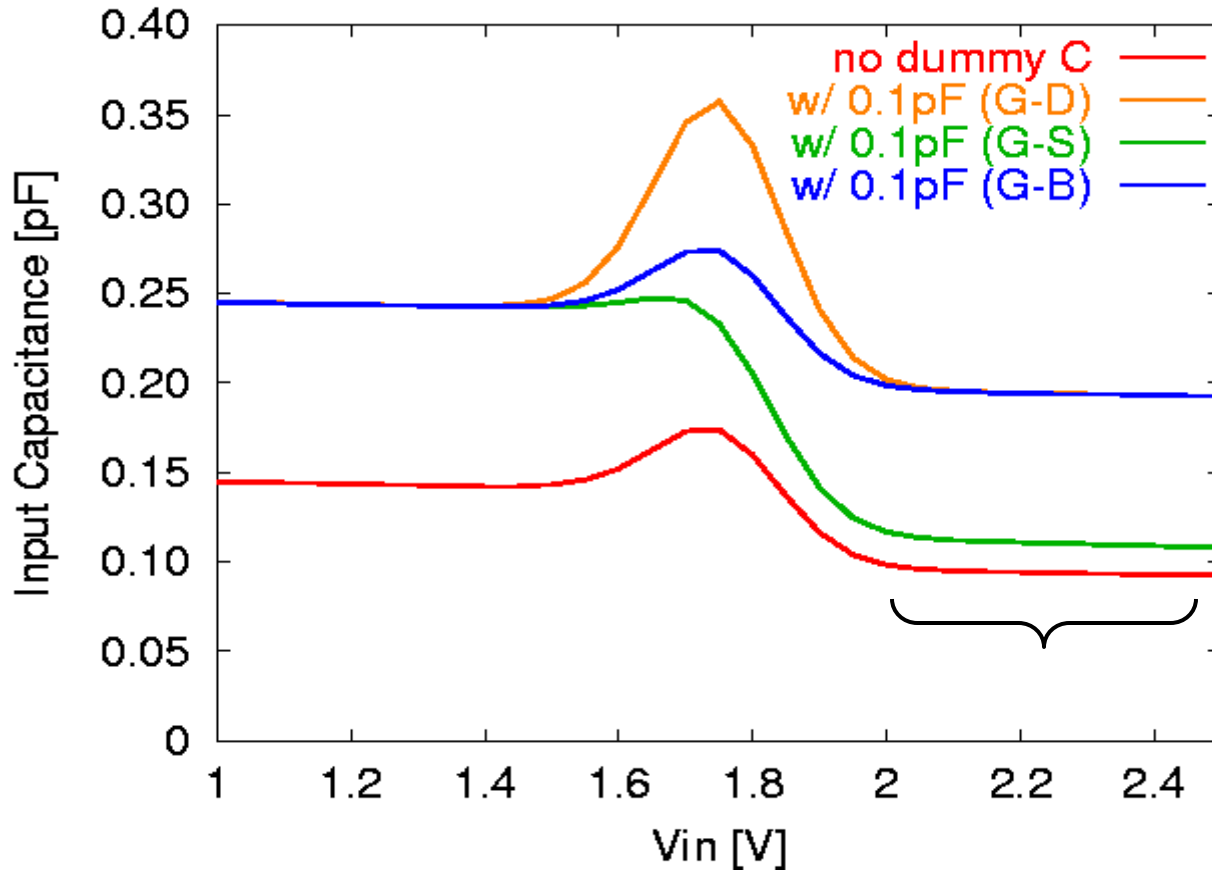


$$V_{in} - V_m = const.$$

→ C_{GS} が見えない

→ 入力 V_{in} から ON 状態の MOST ランジスタの容量 C_{GD} , C_{GB} だけが見える

(c). $V_{in} \ll V_{ref}$ の領域 (ダミー容量による解析)



ダミー容量の影響

G-D間 : あり

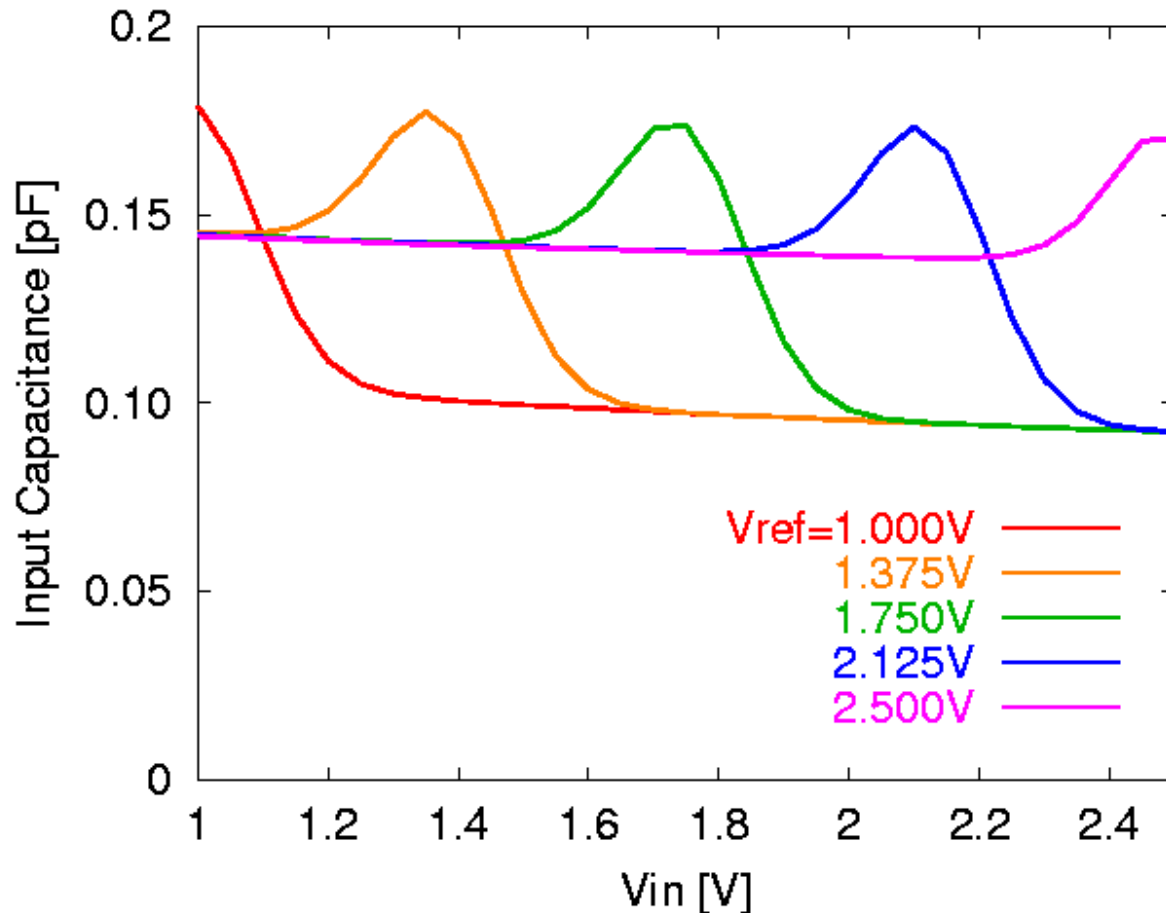
G-S間 : 少ない

G-B間 : あり

V_{in} から

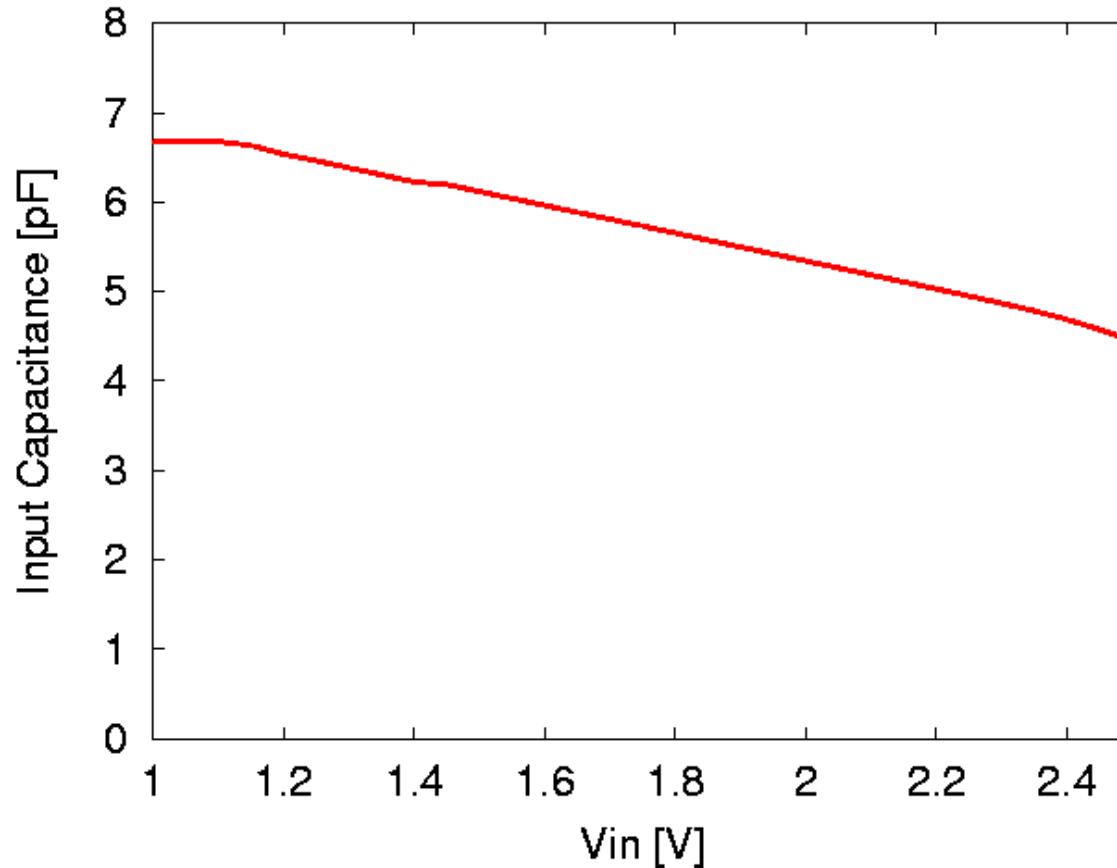
C_{GS} はほとんど見えない

V_{ref} を変えた時の差動アンプの入力容量



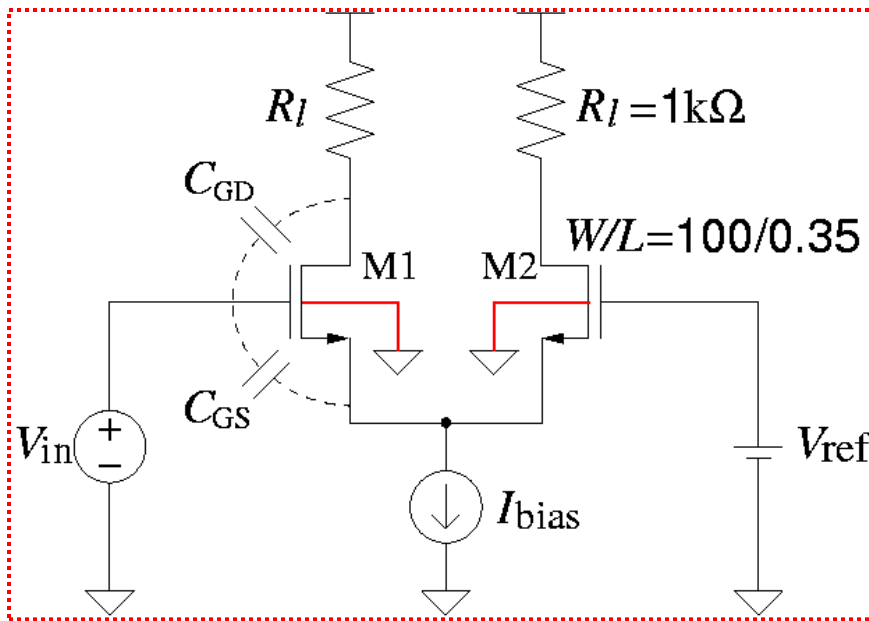
- $V_{in} \approx V_{ref}$ 付近で入力容量が増加する
- $V_{in} < V_{ref}$ より $V_{in} > V_{ref}$ で入力容量小

CMOS ADCの入力容量

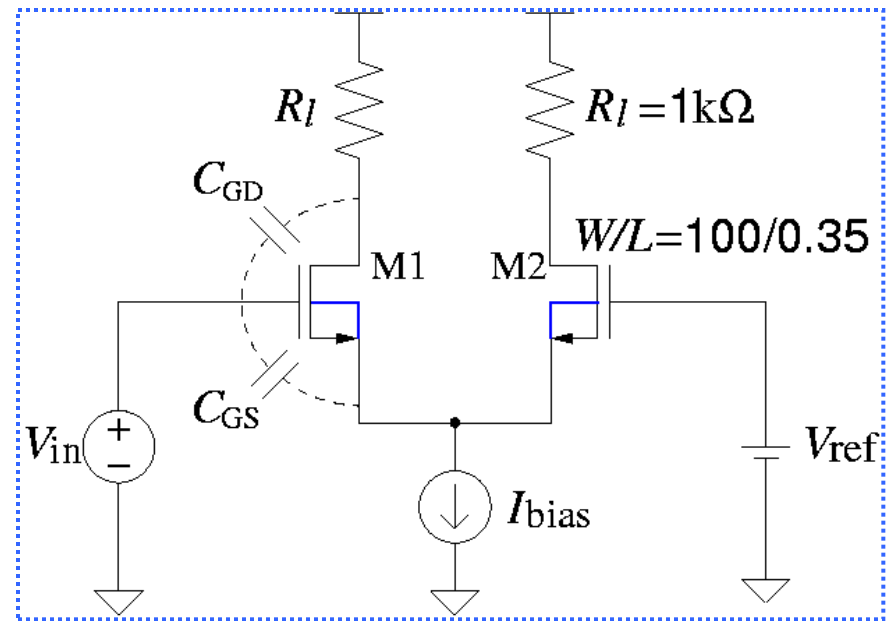


差動アンプの入力容量の重ねあわせで
CMOS ADCの非線形性が説明できる

バルク接続の異なる 差動アンプ

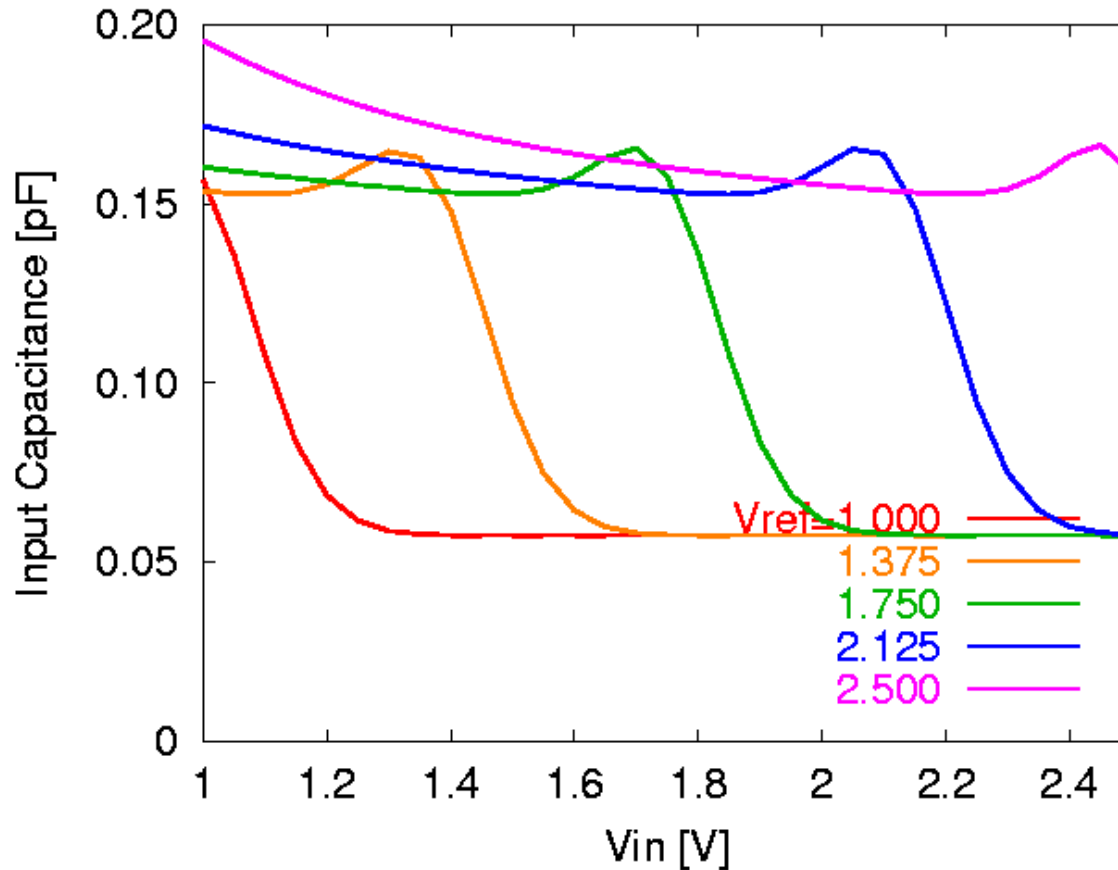


Bulk - Vss



Bulk - Source

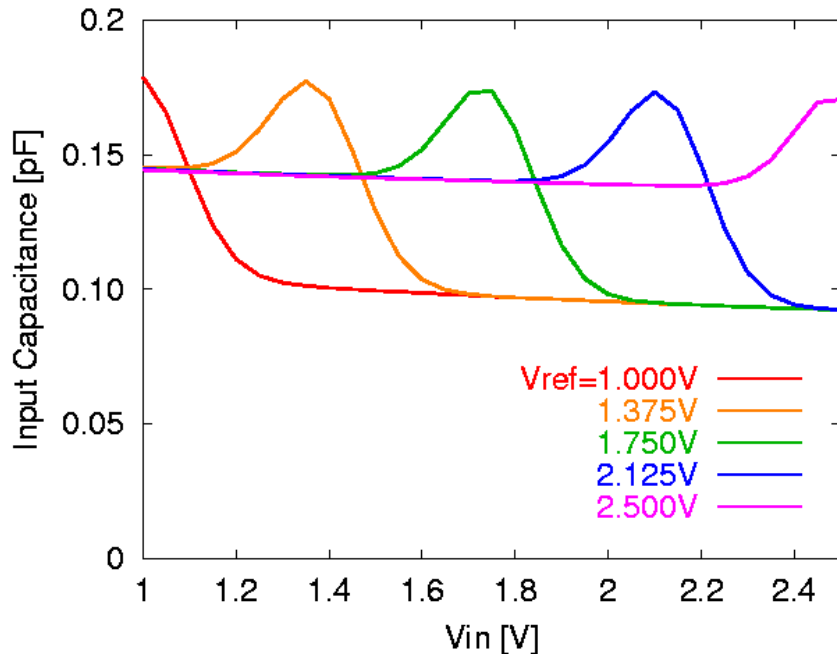
差動アンプ(Bulk-Source)の入力容量



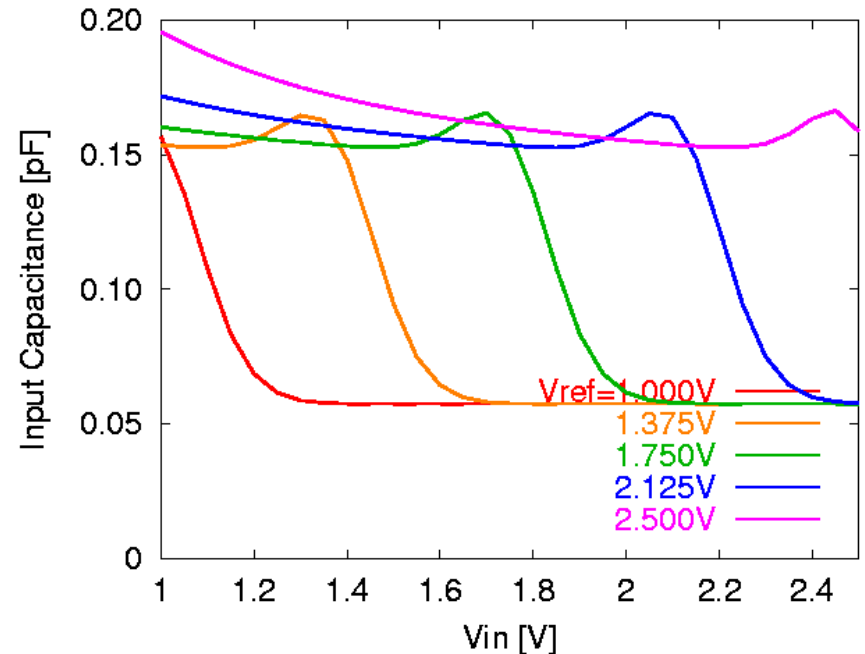
- $V_{in} \approx V_{ref}$ 付近で入力容量が増加する
- $V_{in} < V_{ref}$ より $V_{in} > V_{ref}$ で入力容量小

差動アンプの入力容量の比較

Bulk - Vss



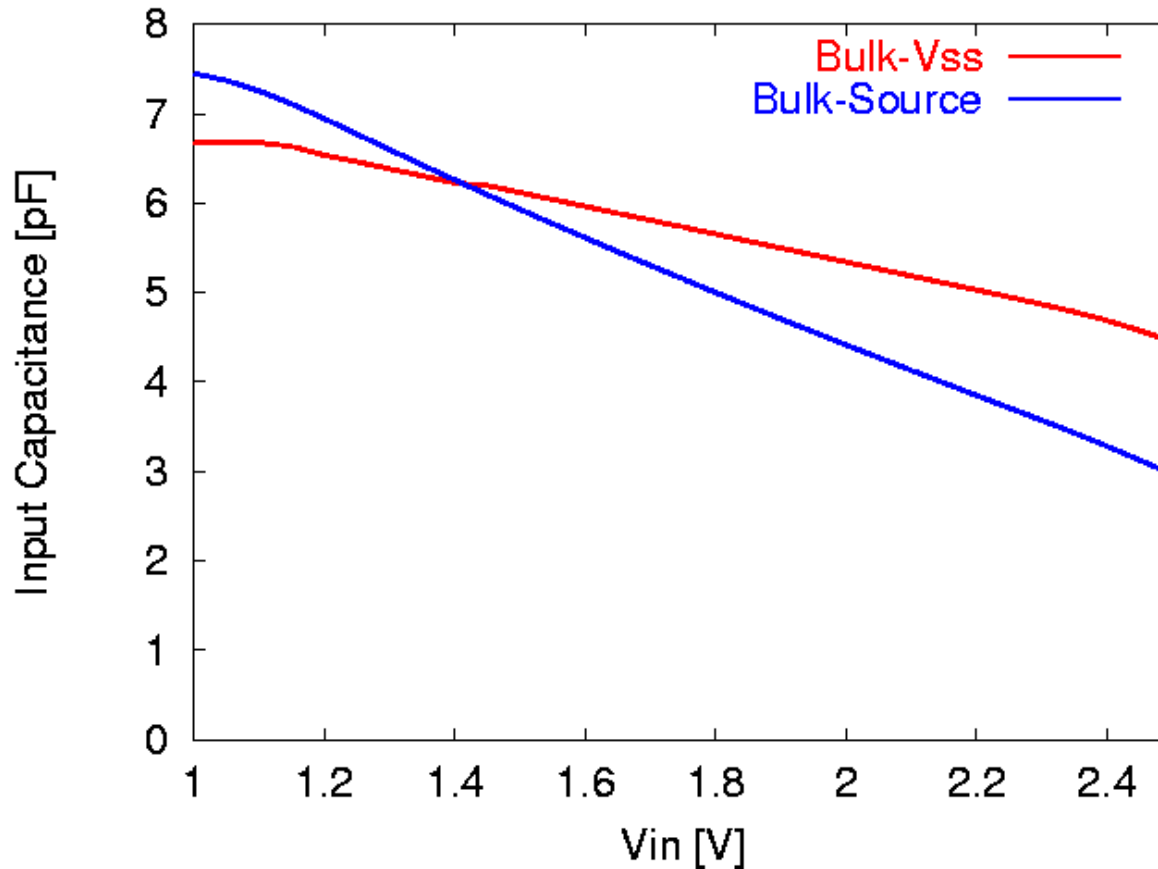
Bulk - Source



Bulk-Source接続

$V_{in} \ll V_{ref}$: C_{GS} だけでなく C_{GB} も見えなくなる

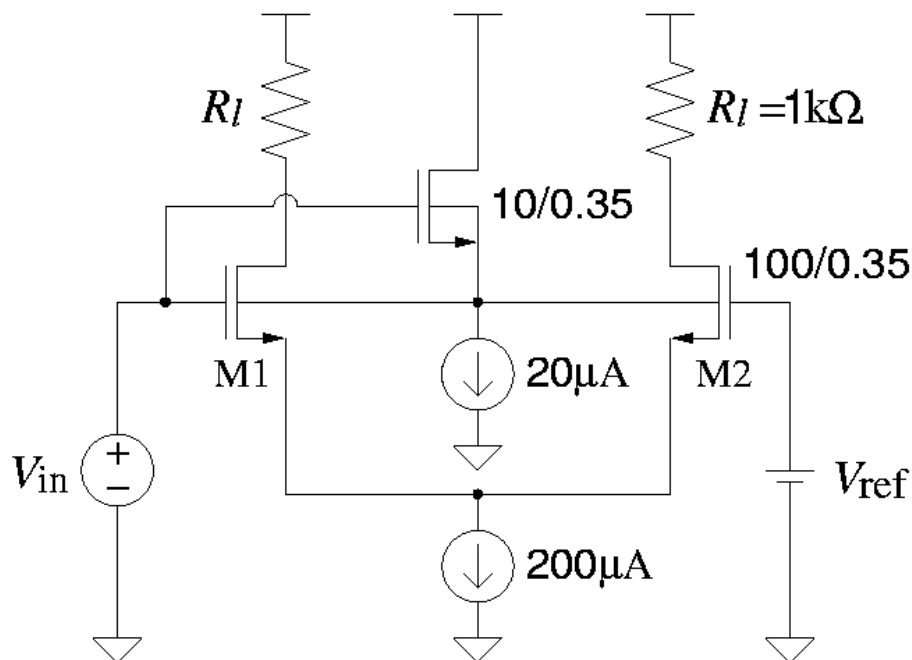
CMOS ADCの入力容量の比較



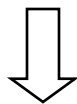
Bulk-Source 接続の方が非線形性が大きい

5. 低入力容量差動アンプの提案

低入力容量差動アンプ

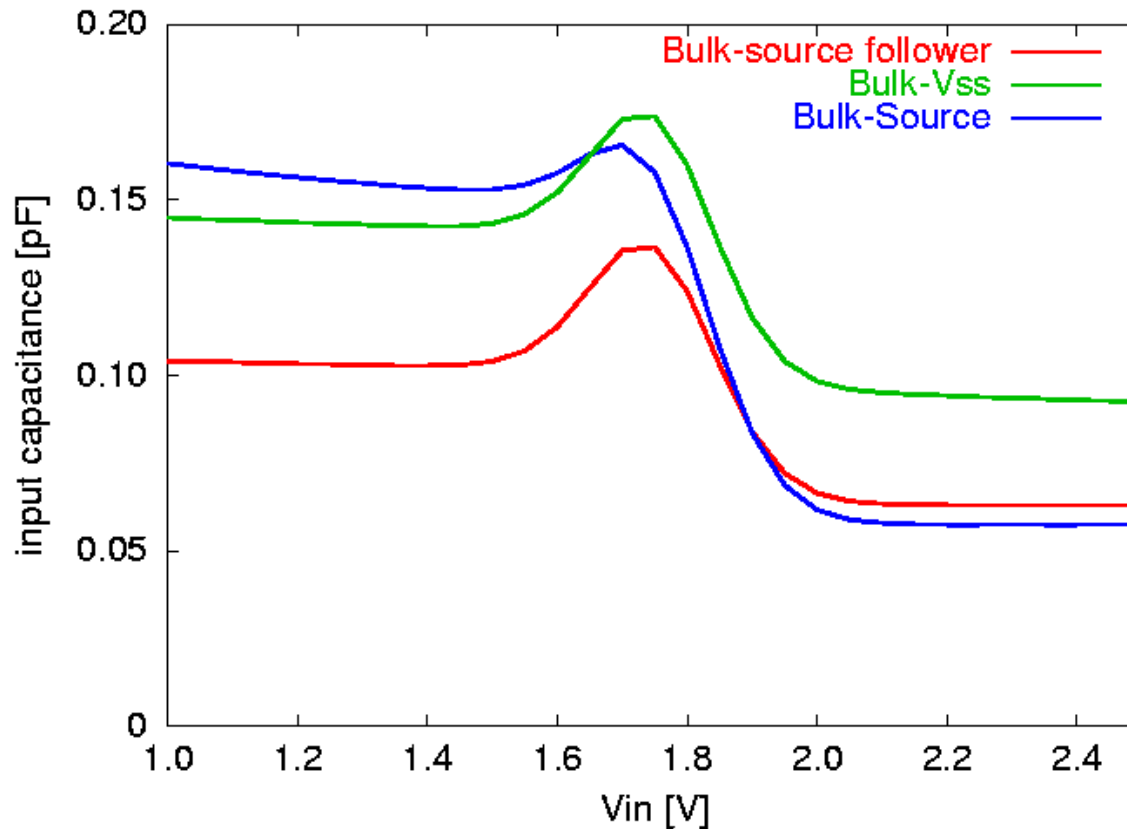


- V_{in} 側MOSと並列にソースフォロワを付加
- 両側のMOSのBulkを駆動



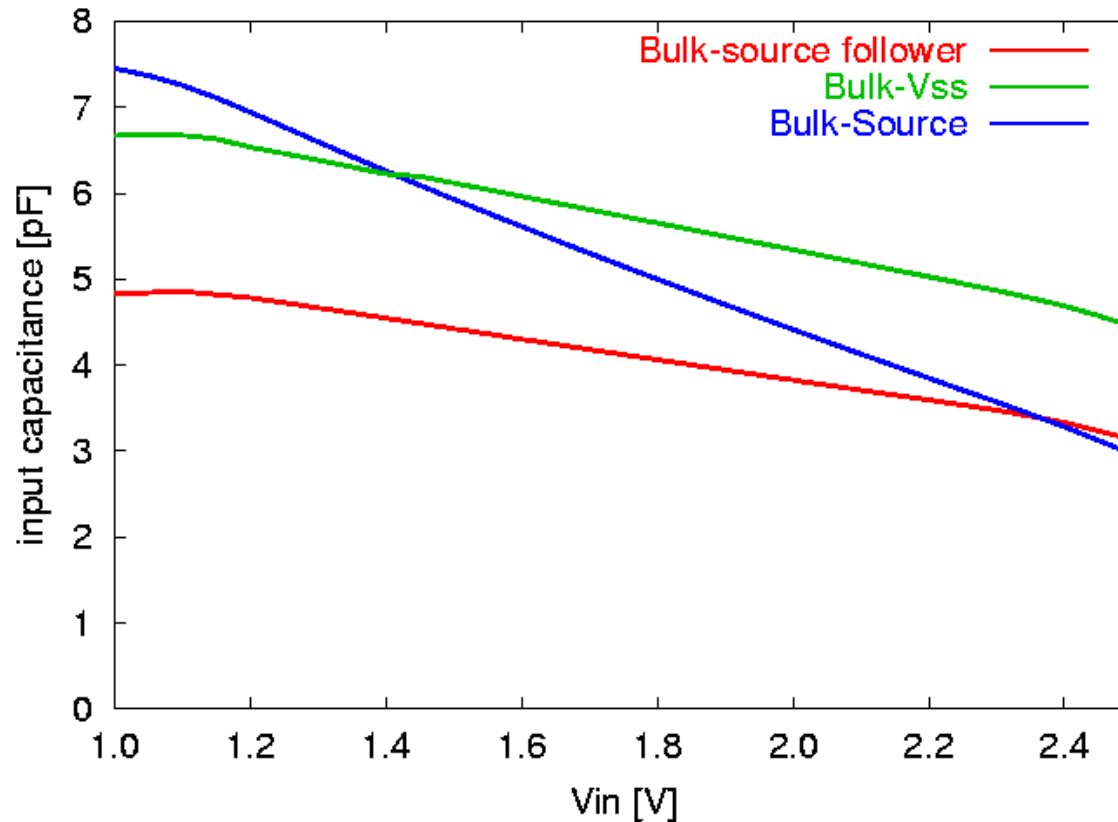
ゲート・バルク間電圧が一定となり C_{GB} が見えなくなる 37

差動アンプの入力容量 ($V_{ref}=1.75V$)



従来の差動アンプ(Bulk-Vss)に比べ
入力容量が約30%減少

CMOS ADCの入力容量



従来の差動アンプ(Bulk-Vss)を用いたADCに比べ
入力容量が約30%減少

6. まとめ

研究成果

この研究により次の事がわかった

- CMOS ADCの入力容量

入力電圧が大きくなると減少する

- その原因は

MOSゲート容量の足し合わせでは説明できない

入力段差動アンプの入力容量を考える必要あり

- 入力差動アンプの入力容量特性

$V_{in} \ll V_{ref}$: C_{GD}, C_{GS}, C_{GB} が見える

$V_{in} \approx V_{ref}$: ミラー容量 $(1+A)C_{GD}$ と C_{GS}, C_{GB} が見える

$V_{in} \gg V_{ref}$: C_{GD}, C_{GB} だけが見える

- 差動アンプ中のMOSのバルク

V_{SS} に接続 : 入力容量の非線形性 小

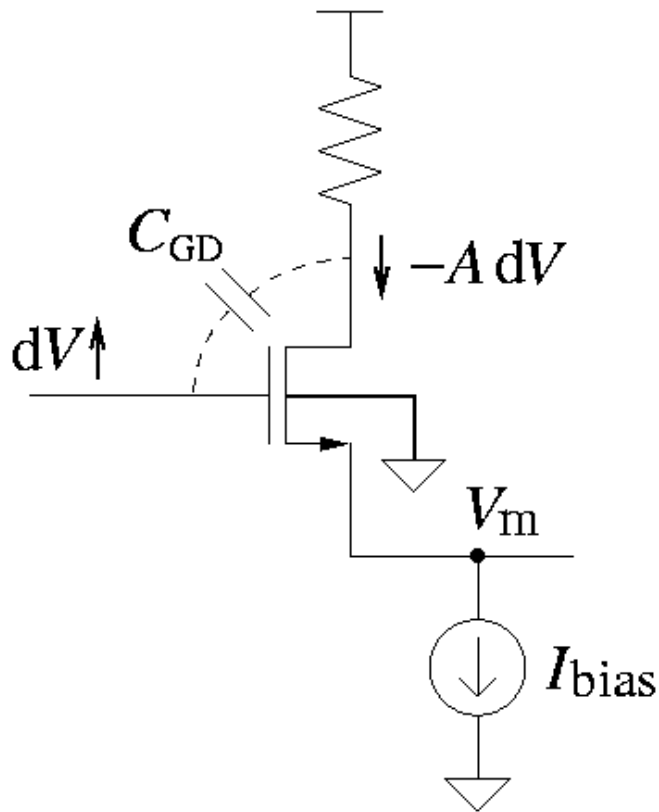
ソースに接続 : 入力容量の非線形性 大

低入力容量差動アンプを提案した

今後の課題

- 非線形性がADCの性能に与える影響を調べる
- 実際のADCの非線形性測定

ミラー容量



$$V_{in} \rightarrow V_{in} + dV$$
$$V_{out} \rightarrow V_{out} - AdV$$
$$dQ_{GD} = (1 + A) C_{GD} dV$$



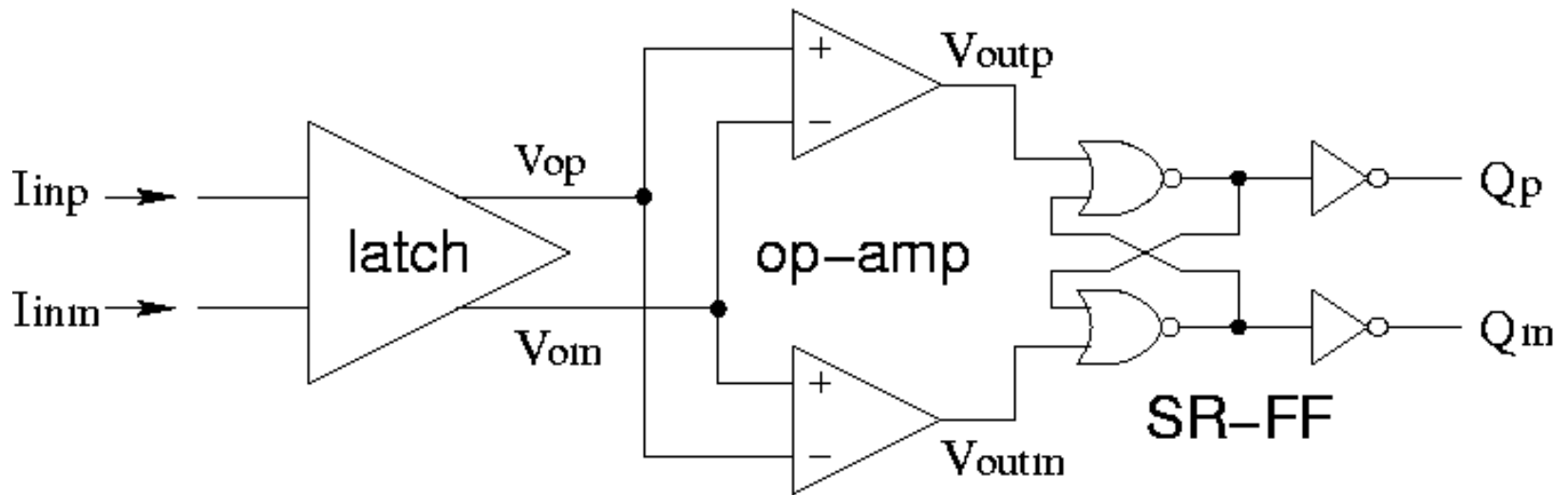
容量が $(1+A)$ 倍に見える

CMOS A/D変換器の コンパレータの高速化

群馬大学大学院工学研究科電気電子工学専攻

小暮英行

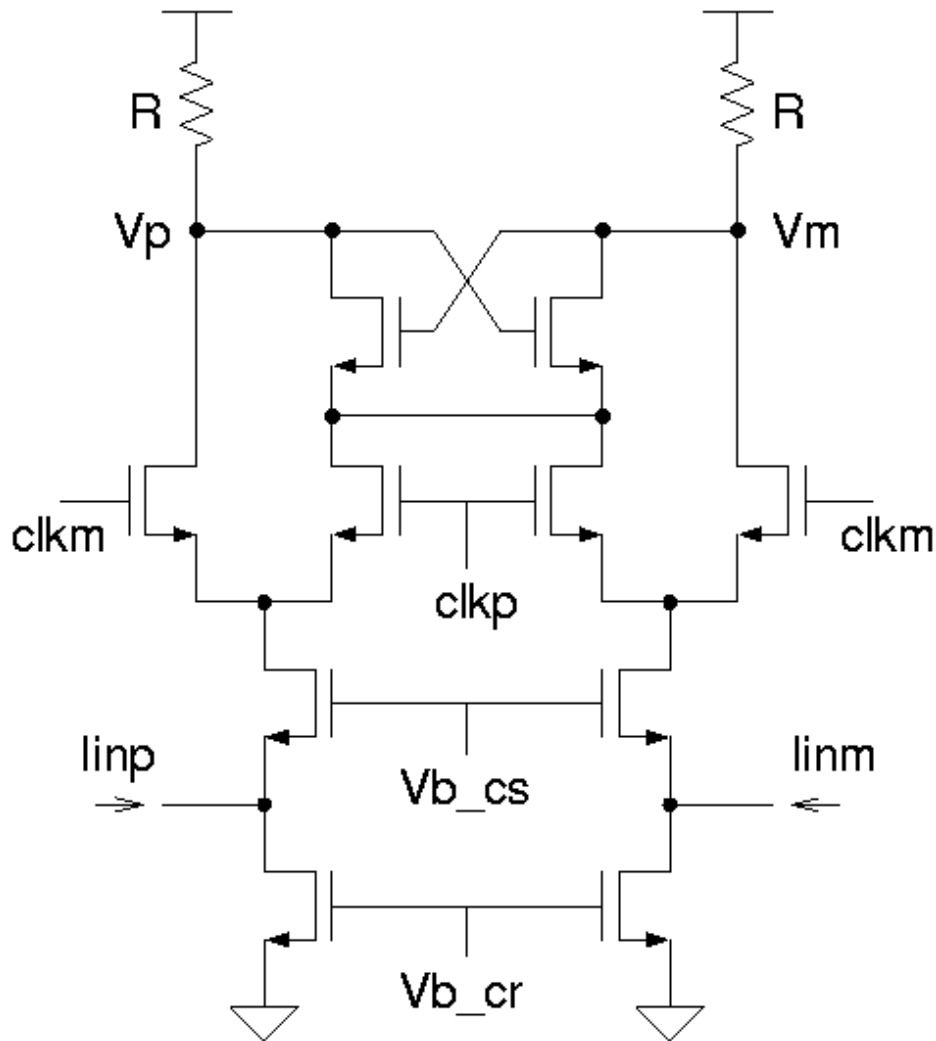
コンパレータのブロック図



差動入力電流 I_{inp} , I_{inm} の大小を比較

ロジックレベルで Q_p , Q_m を出力

ラッチ回路



電流入力 I_{inp} , I_{inm}

電圧出力 V_p , V_m

クロック clk_p , clk_m

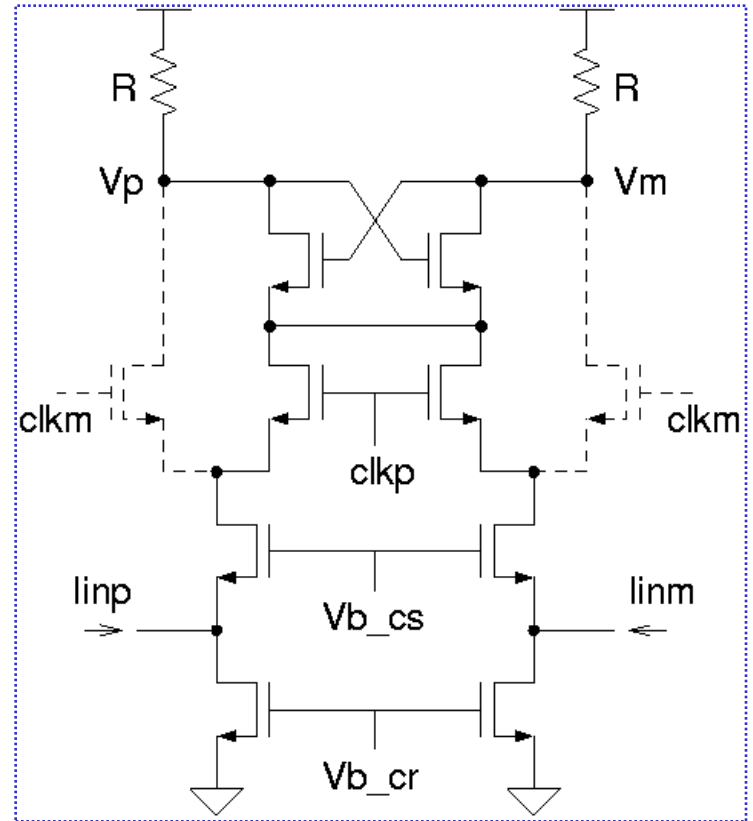
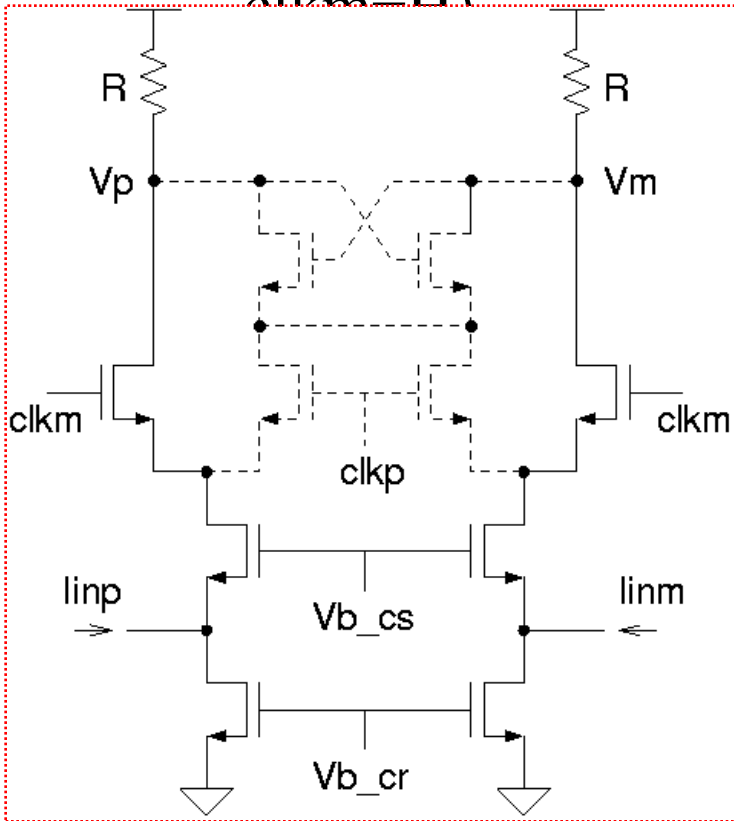
電流入力的大小を

比較・保持

2つの動作モード

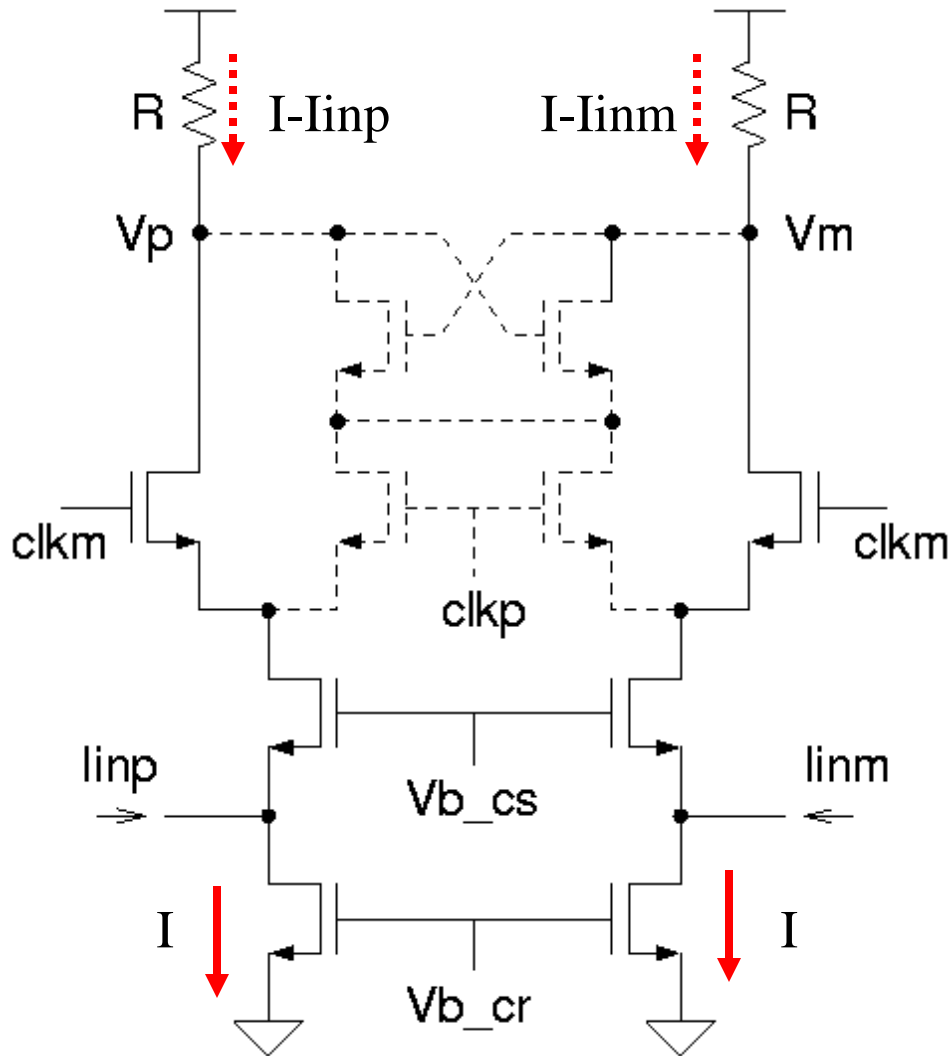
トラックモード (clkp=L, clkm=H)

ラッチモード (clkp=H, clkm=L)



クロックにより2つの動作モードを交互に遷移する

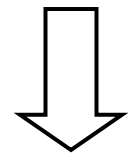
トラックモード



$$V_p = V_{dd} - R(I - I_{inp})$$

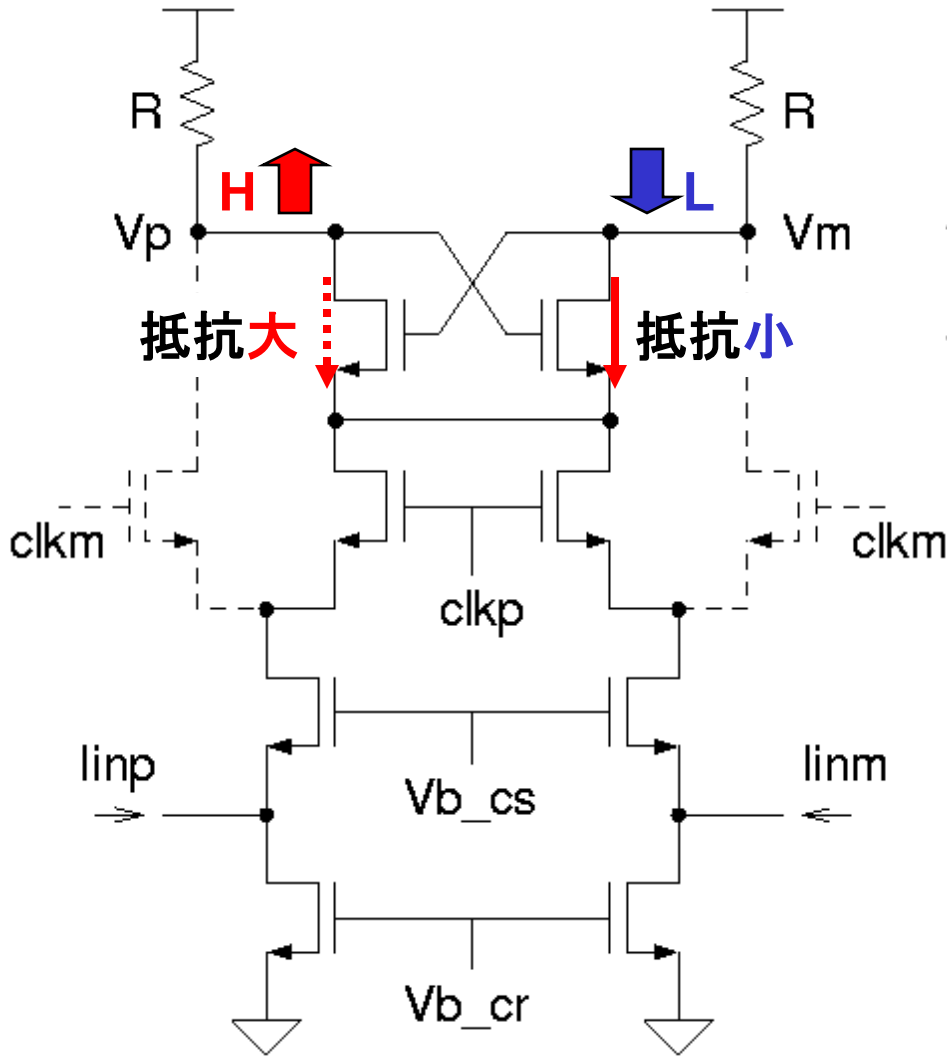
$$V_m = V_{dd} - R(I - I_{inm})$$

$$\therefore V_p - V_m = R(I_{inp} - I_{inm})$$



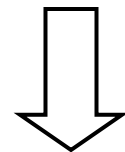
入力電流に比例した電圧を出力

ラッチモード



$$V_p \simeq V_{dd}$$

$$V_m \simeq V_{dd} - R\{2I - (I_{inp} + I_{inm})\}$$



直前のトラックモードの状態を
正帰還により増幅・保持