第４２４回　群馬大学アナログ集積回路研究会

Rev. 20200702.0.1

令和2年度
集積回路設計技術
次世代集積回路工学特論

PLL設計の基礎

元澤 篤史
(atsushi.motozawa.kx@renesas.com)

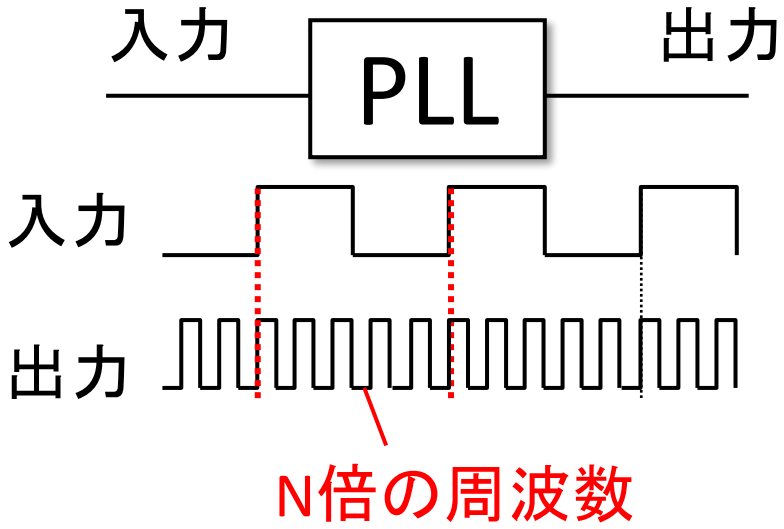
自己紹介

Biography: Atsushi Motozawa received B.S. and M.S. degrees in electrical engineering from Gunma University, Gunma, Japan, in 2006 and 2008, respectively. He joined Renesas Technology Corp., Takasaki, Japan, in 2008, where he was engaged in development of an RX analog front end for NFC LSIs. From 2010 to 2014, he was with Renesas Electronics Corp., Kawasaki, Japan, where he was engaged in designing sensors and a low power BGR for industrial ICs, and PLLs for automotive ICs. From 2014, he was with Renesas System Design, Co., Ltd. Since 2017, he has been with Renesas Electronics Corp., Kodaira, Japan. He is engaged in designing PLLs for SoCs.

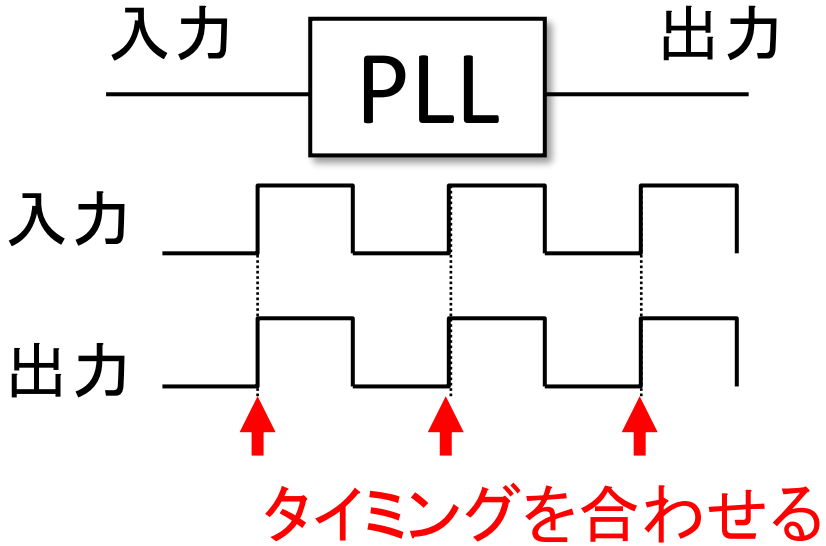
PLL(Phase Locked Loop)とは

■基本機能

入力周波数のN倍の出力周波数を生成する。



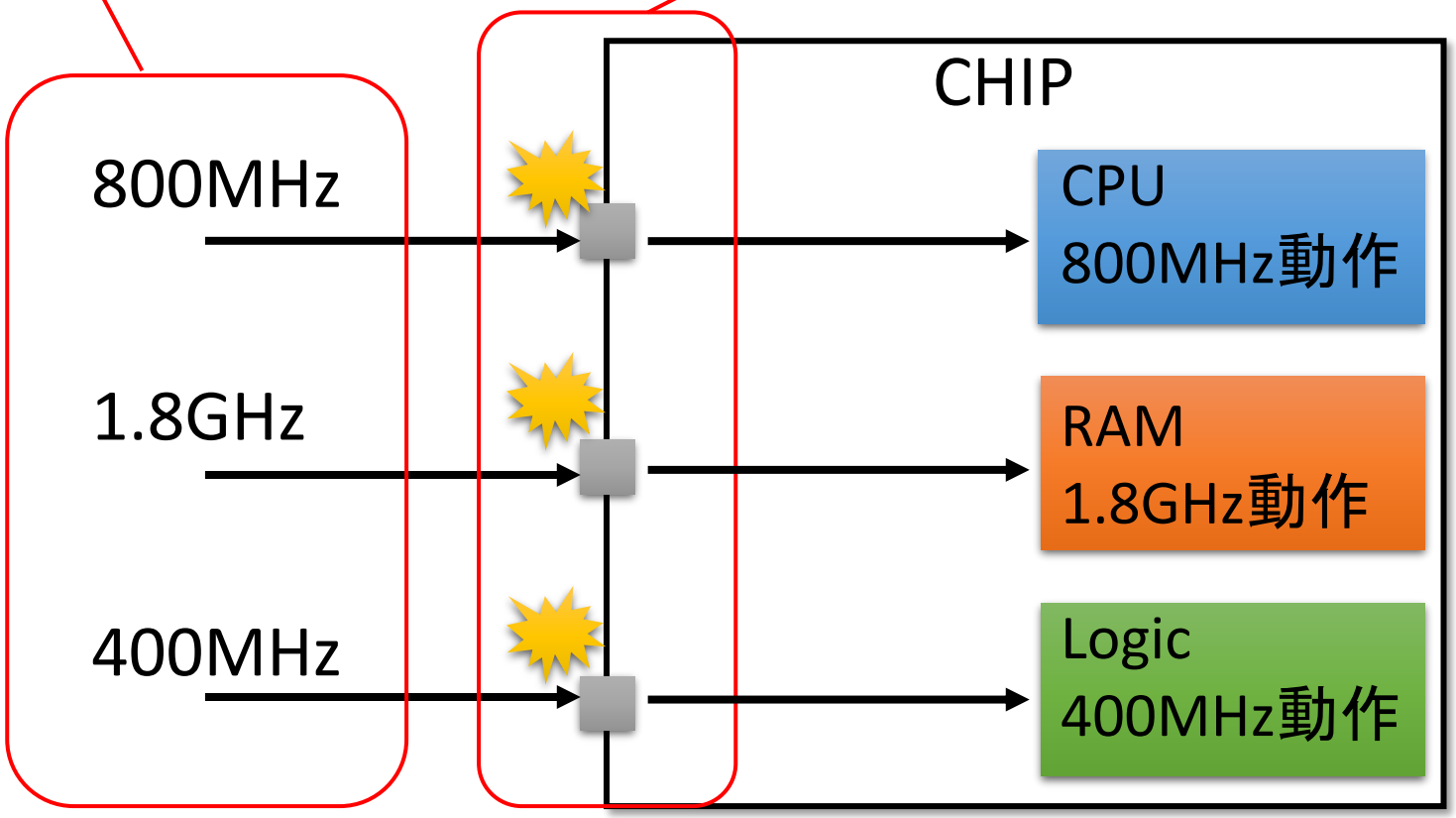
入力クロックと出力クロックの位相を同期させる。



PLLがチップ内にないと。。。

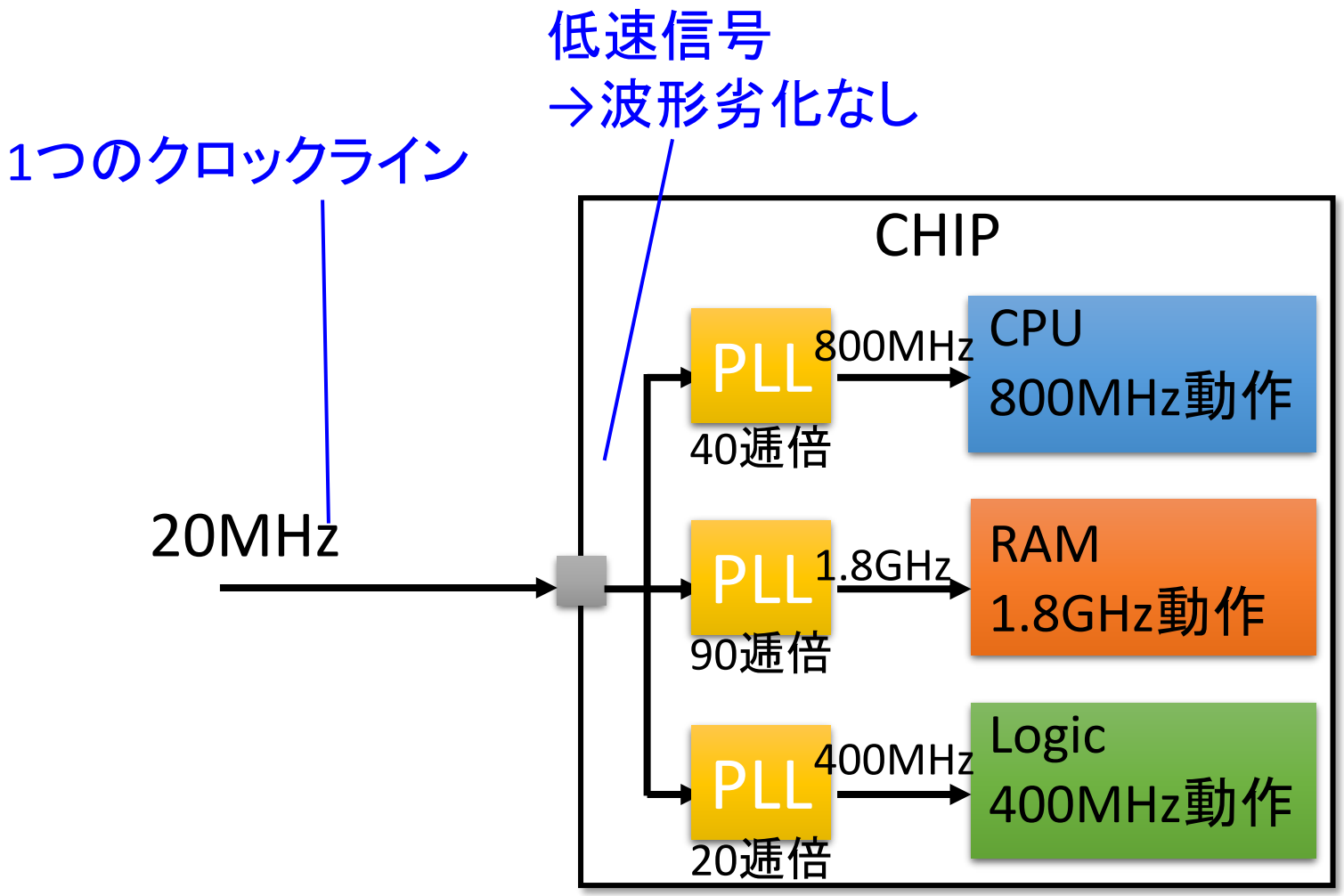
ボード上の複数のクロック
→クロストーク
→ボード面積増

高周波信号
→反射
→波形劣化



PLLの用途

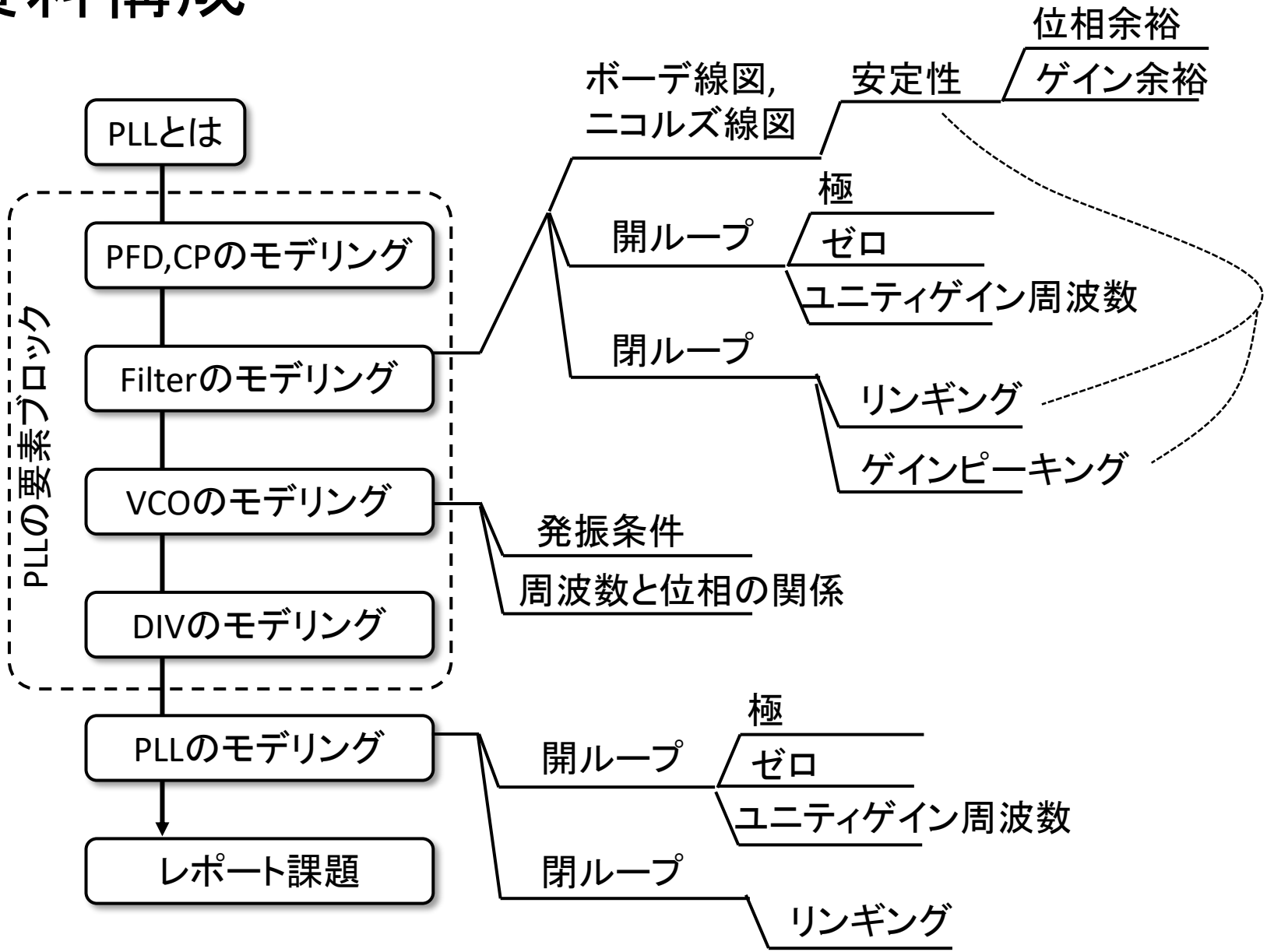
PLLをチップ内に搭載



本講義で学べる事

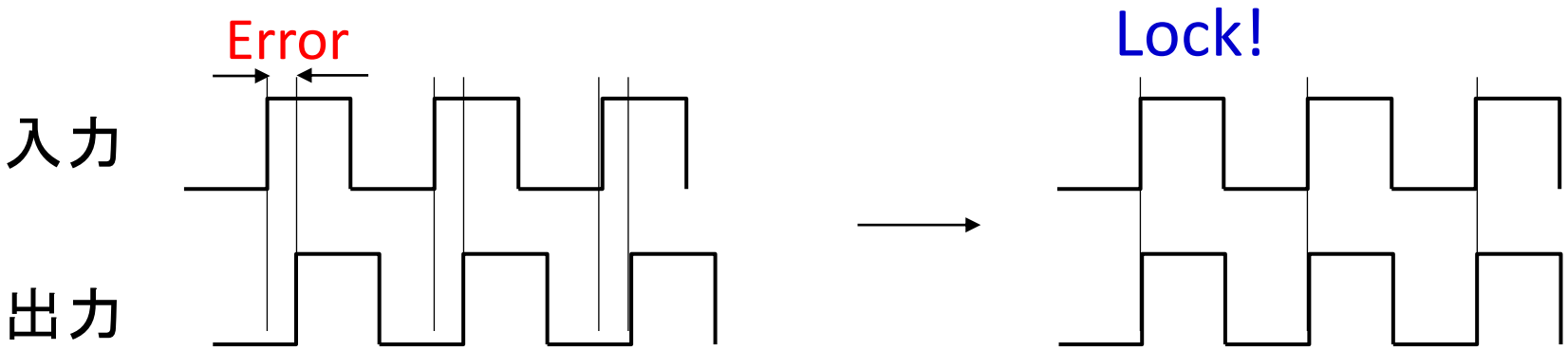
(1) PLLの基本動作と要素回路ブロックの理解
(2) PLLのモデリング法
(3) PLLのシステム設計の基礎

資料構成


PLLとは
PLLの要素ブロック
PFD,CPのモデリング
Filterのモデリング
VCOのモデリング
DIVのモデリング
PLLのモデリング
レポート課題
ボーデ線図,
ニコルズ線図
安定性
位相余裕
ゲイン余裕
開ループ
極
ゼロ
ユニティゲイン周波数
閉ループ
リンギング
ゲインピーキング
発振条件
周波数と位相の関係
開ループ
極
ゼロ
ユニティゲイン周波数
閉ループ
リンギング

PLLの構成要素

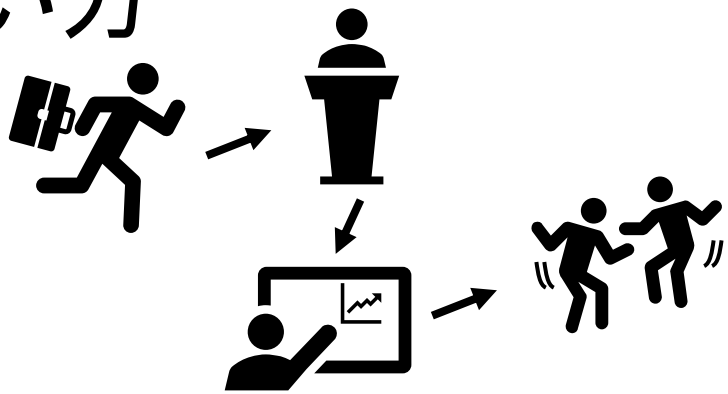
- 発振器
- 誤差検出器
- 負帰還ループ



お気に入りの時計の使い方

自宅

電波時計、正確



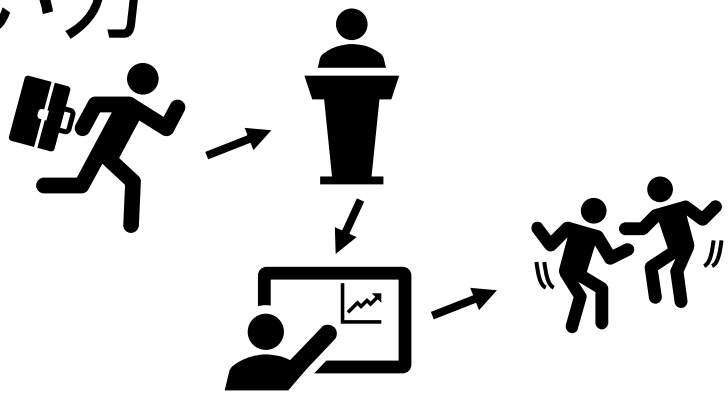
外出

お気に入り、ずれる

お気に入りの時計の使い方

自宅

電波時計、正確



外出

お気に入り、ずれる

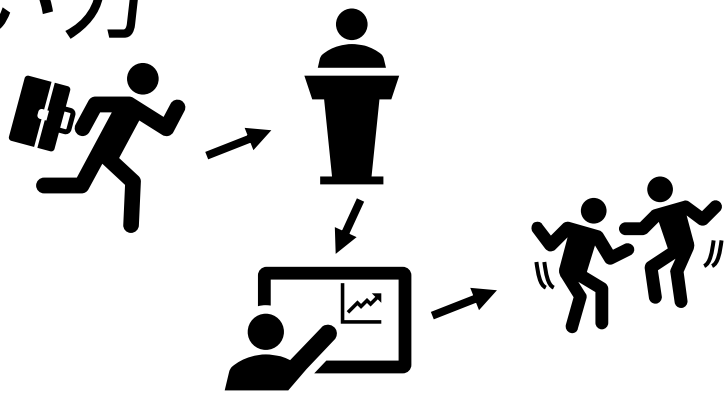
・ずれのチェック、時間合わせ

・週に1回くりかえす

お気に入りの時計の使い方

自宅

電波時計、正確



外出

発振器

お気に入り、ずれる

誤差検出

・ずれのチェック、時間合わせ

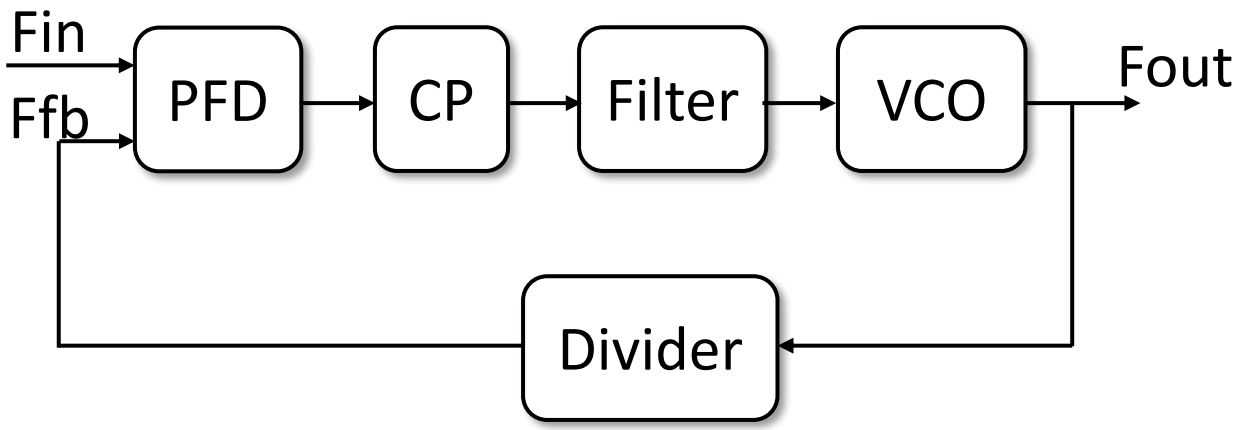
帰還ループ

・週に1回くりかえす

主なPLLの要求特性

- 面積
- 消費電力
- 入力周波数範囲
- 出力周波数範囲
- ジッタ
- ロックタイム

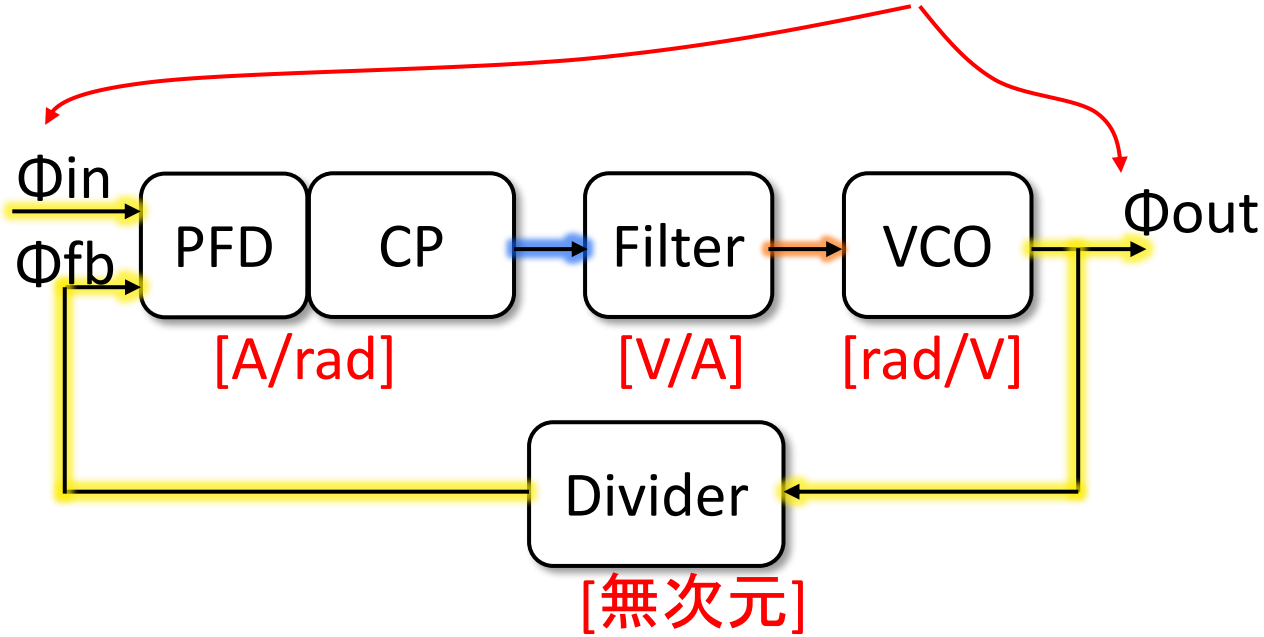
PLLのブロック図



・PFD(Phase frequency detector)
　-入力CLK Finと帰還CLK Ffbの位相及び周波数の誤差を検出する。
・CP(Charge pump)
　-検出された誤差量に応じた電流を出力する。
・Filter
　-VCO制御電圧生成と安定性確保。
・VCO(Voltage-controlled oscillator)
　-入力電圧に応じた周波数で発振する。
・Divider
　-入力周波数を分周する。

信号線のドメイン

入出力は周波数ドメインではなく、
位相ドメインであることに注意！



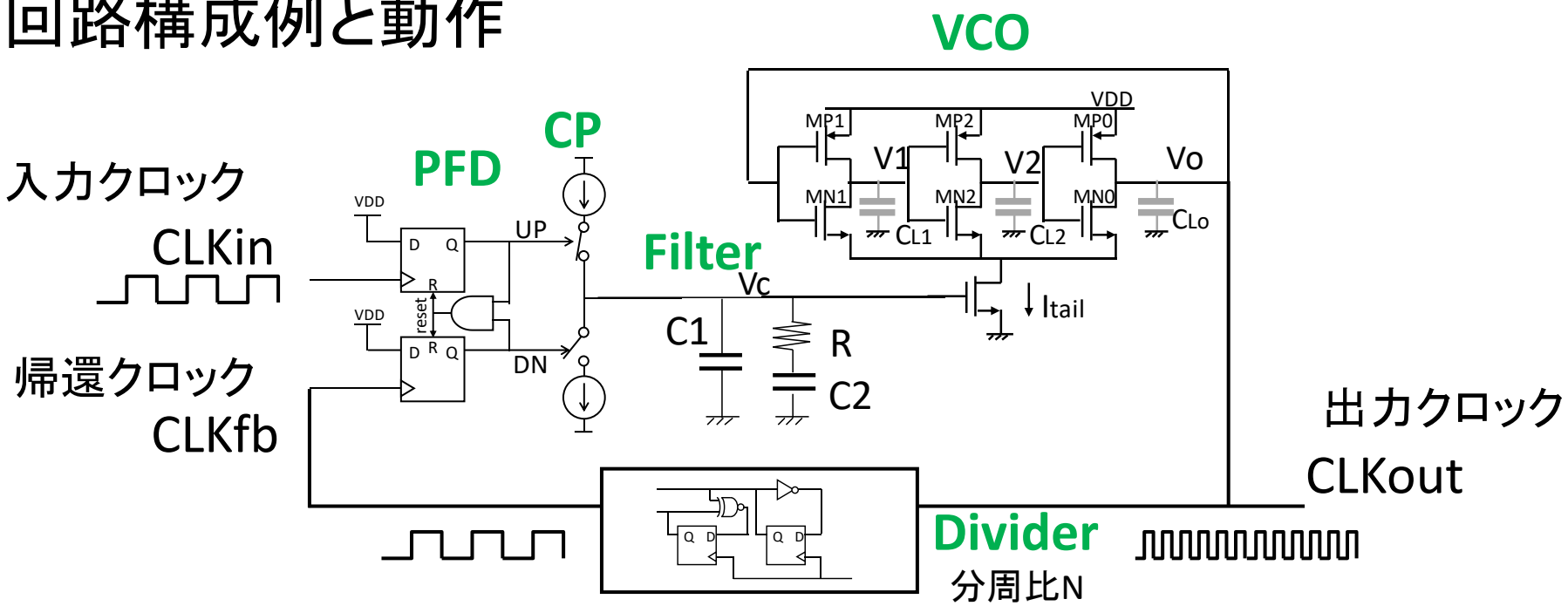
位相[rad]

電流[A]

電圧[V]

PLLのループには複数
のドメインが含まれる。

回路構成例と動作



(i)入力周波数 > 帰還周波数

- PFDが周波数誤差を検知
- CPがfilterに電流を**流し込む**
- **Vc電位が上昇**し、出力周波数が**高くなる**。

(ii)入力周波数 < 帰還周波数

- PFDが周波数誤差を検知
- CPがfilterから電流を**引き抜く**
- **Vc電位が低下**し、出力周波数が**低くなる**。

(i), (ii)の状態を繰り返し
出力周波数が収束していく。
収束後は下記が成り立つ。

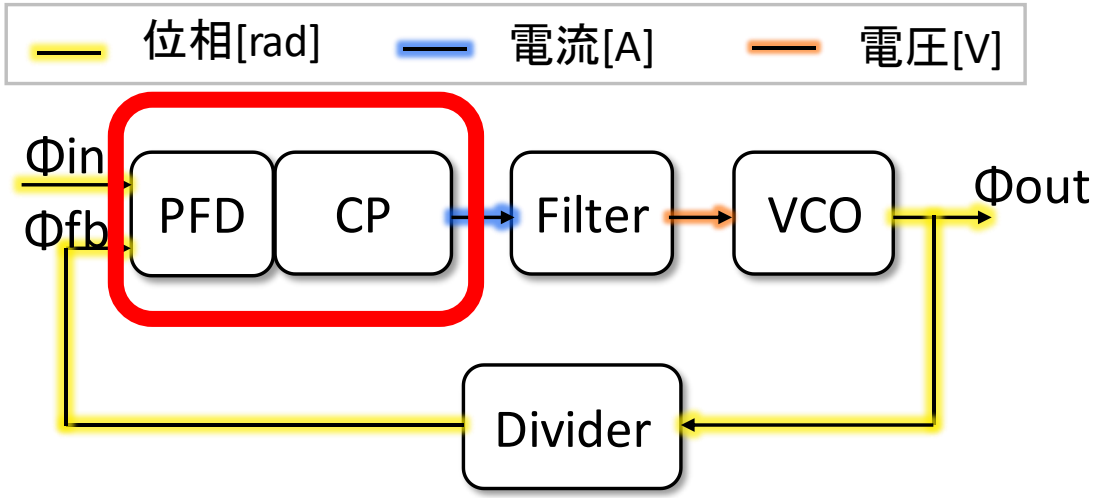
$$f_{in} = f_{fb}$$

$$f_{out} = N f_{in}$$

位相/周波数比較器(PFD)と チャージポンプ(CP)のモデリング

PFDが入力位相Φinと帰還位相Φfbの差を検出する。
CPはその検出された位相差に応じた電流を生成する。

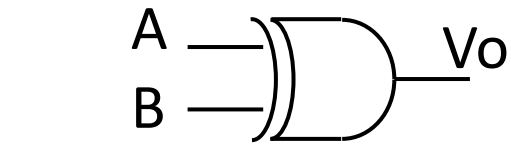
*PFDは周波数検出も行う。

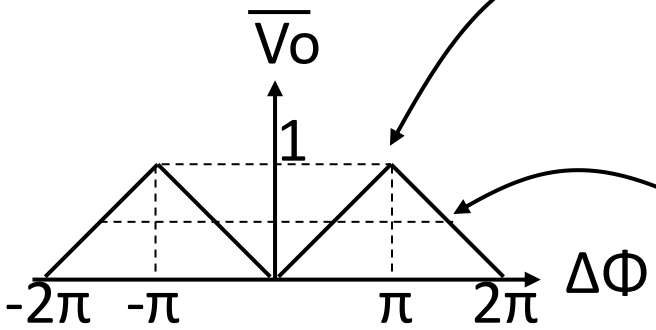


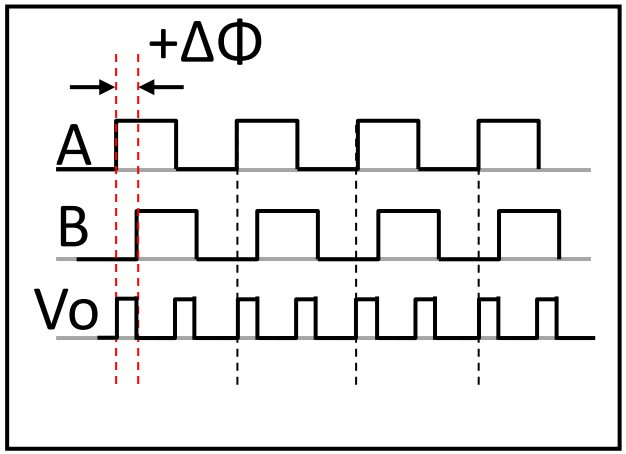
位相検出器

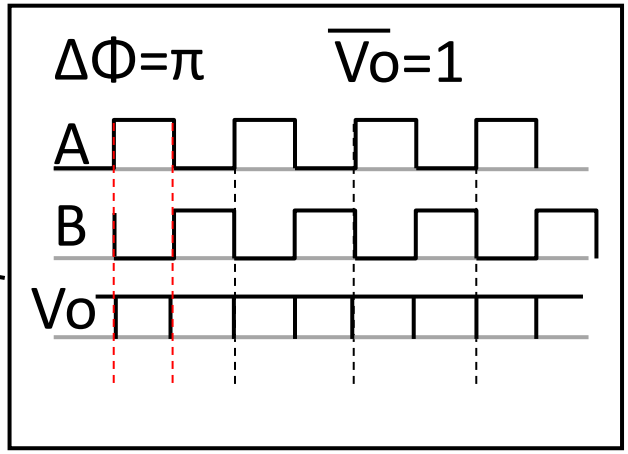
XOR

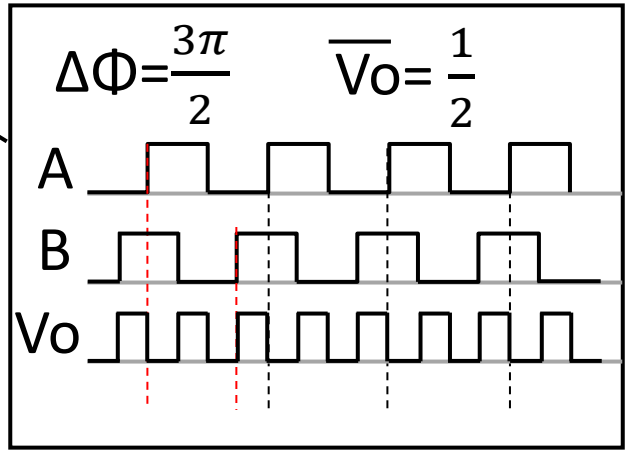
- シンプルな構成
- 周波数比較が行えない





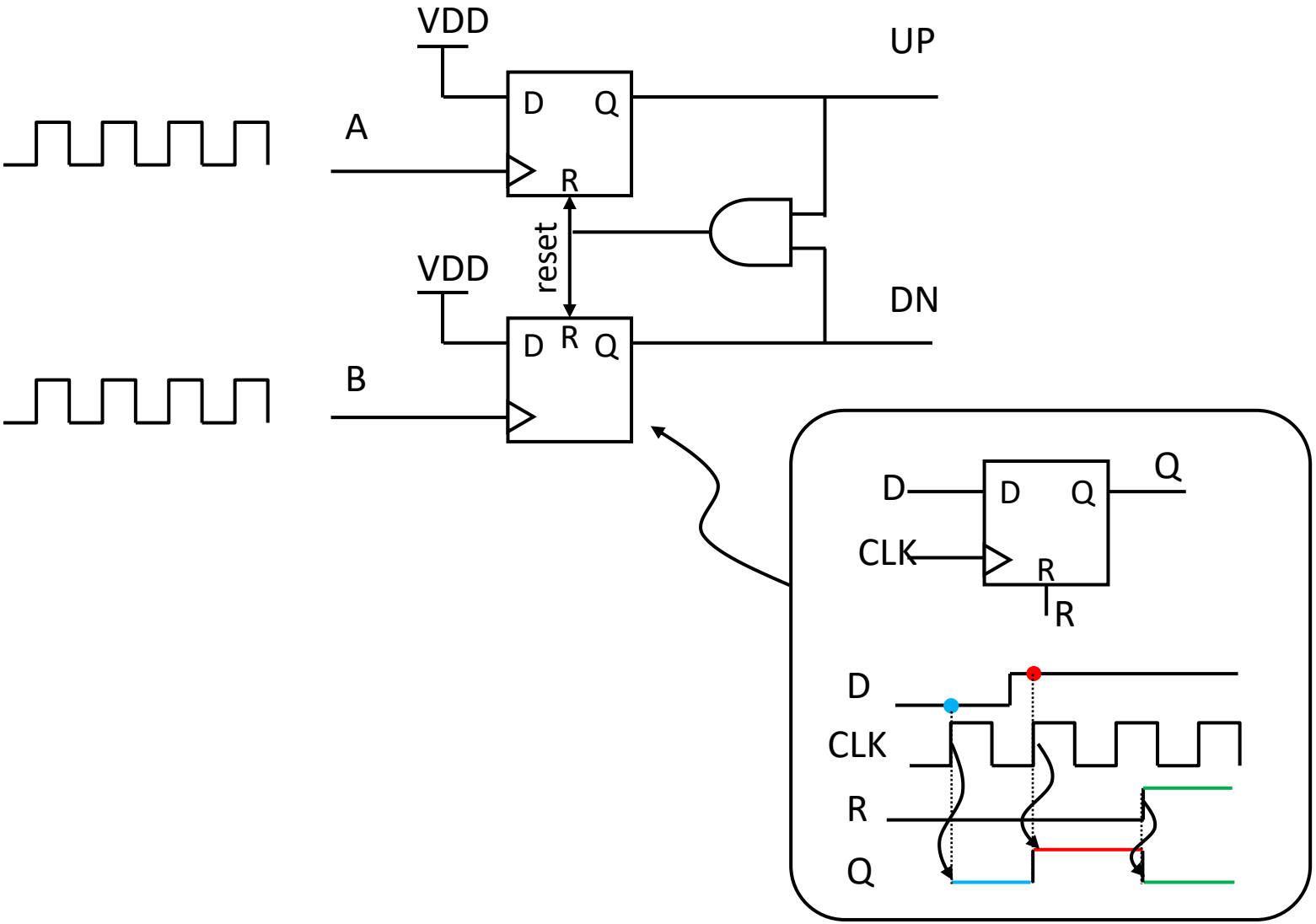






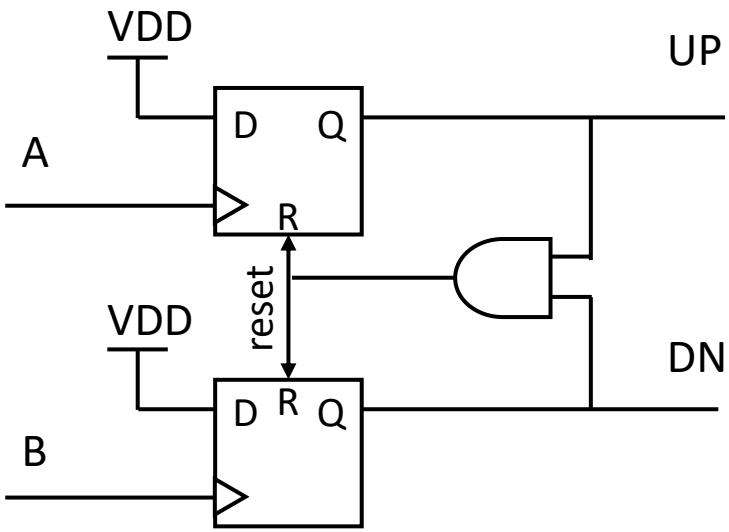
位相/周波数検出器(PFD)

- 位相と周波数検出が行える。

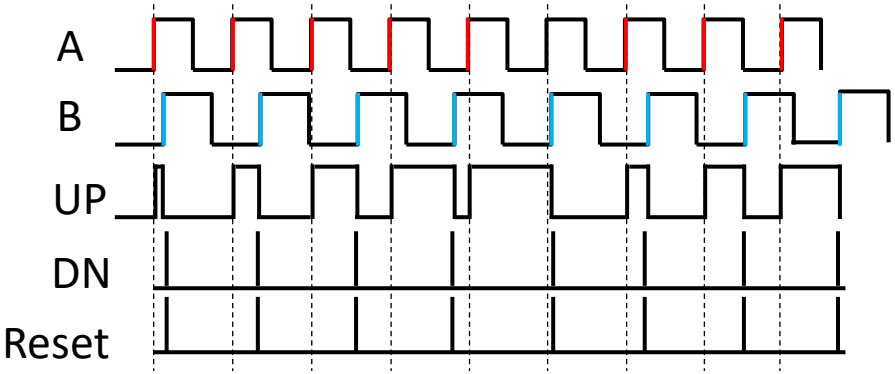


位相/周波数検出器(PFD)

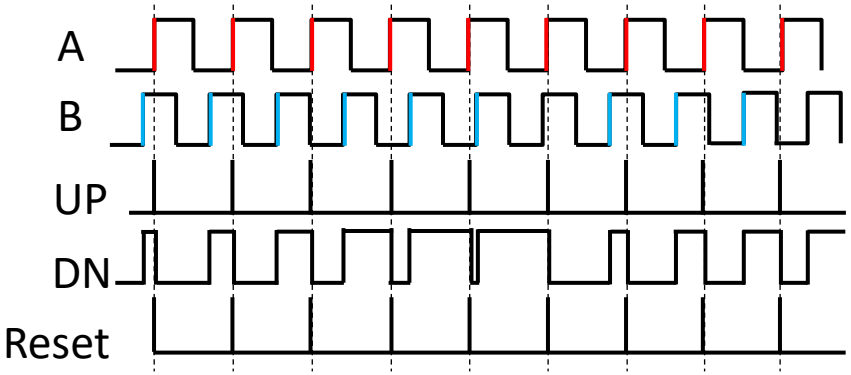
周波数検出



$\omega_A > \omega_B$ $\overline{V_{UP}} > 0, \overline{V_{DN}} = 0$

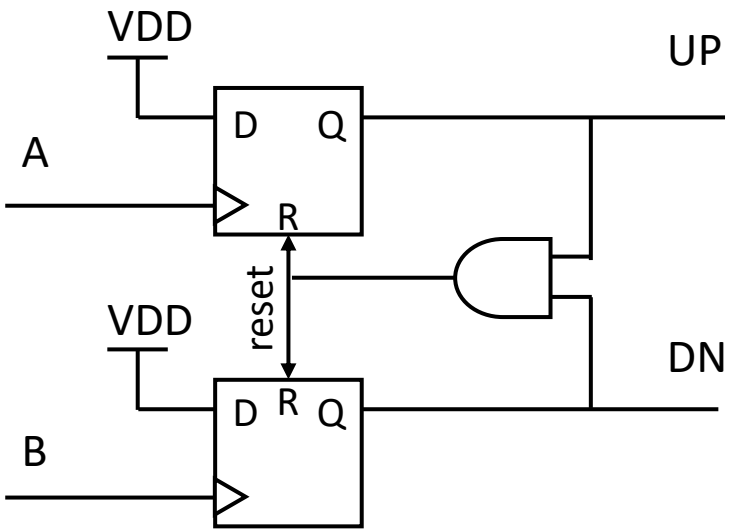


$\omega_A < \omega_B$ $\overline{V_{DN}} > 0, \overline{V_{UP}} = 0$



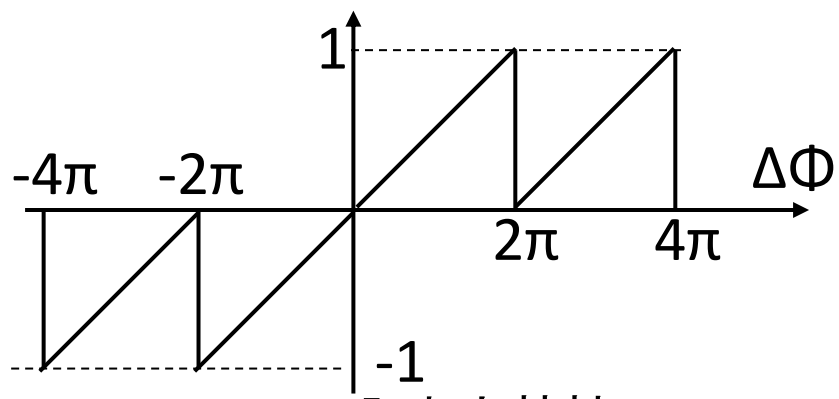
位相/周波数検出器(PFD)

位相検出



$\omega_A = \omega_B$

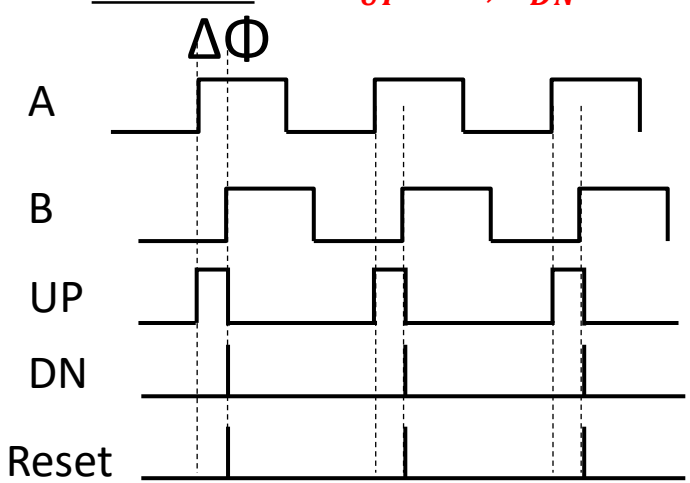
$V_o = \overline{V_{UP}} - \overline{V_{DN}}$



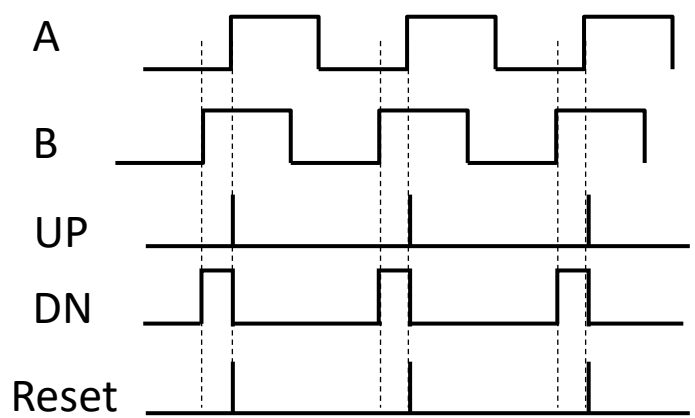
PFDの入出力特性

$\omega_A = \omega_B$

ΔΦが正 $\overline{V_{UP}} > 0, \overline{V_{DN}} = 0$

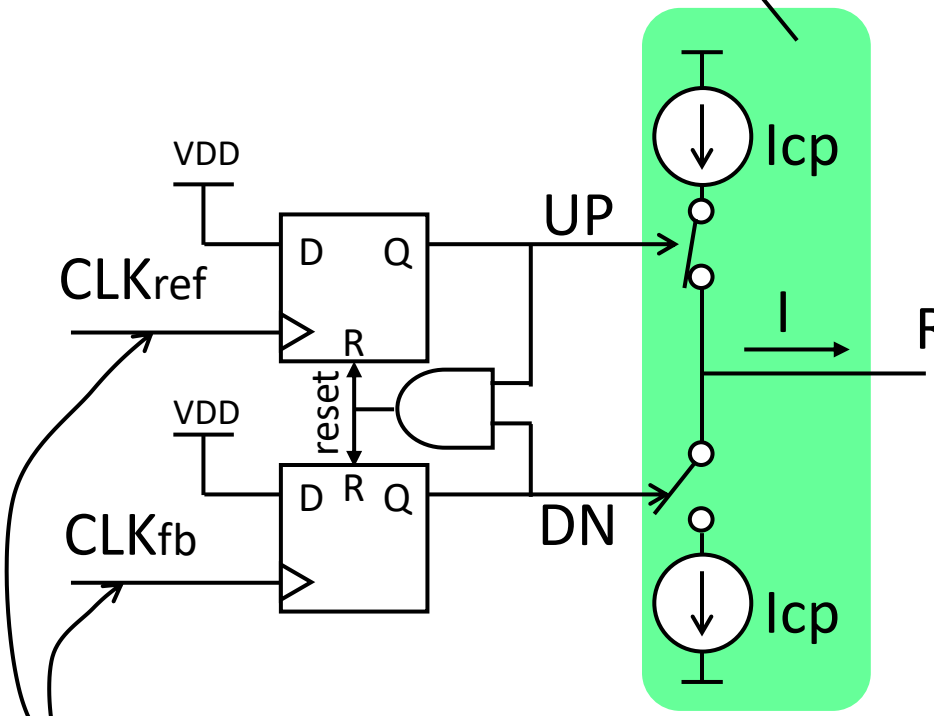


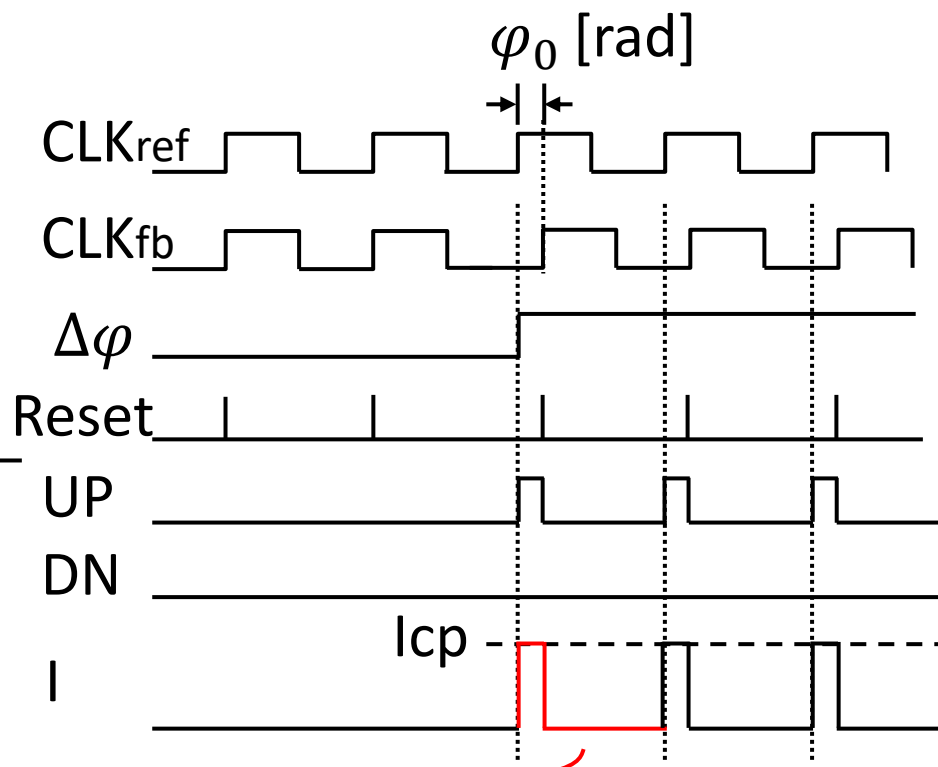
ΔΦが負 $\overline{V_{DN}} > 0, \overline{V_{UP}} = 0$



PFD＋CP(チャージポンプ)

チャージポンプ:
入力のパルスに応じて電流を出力する。



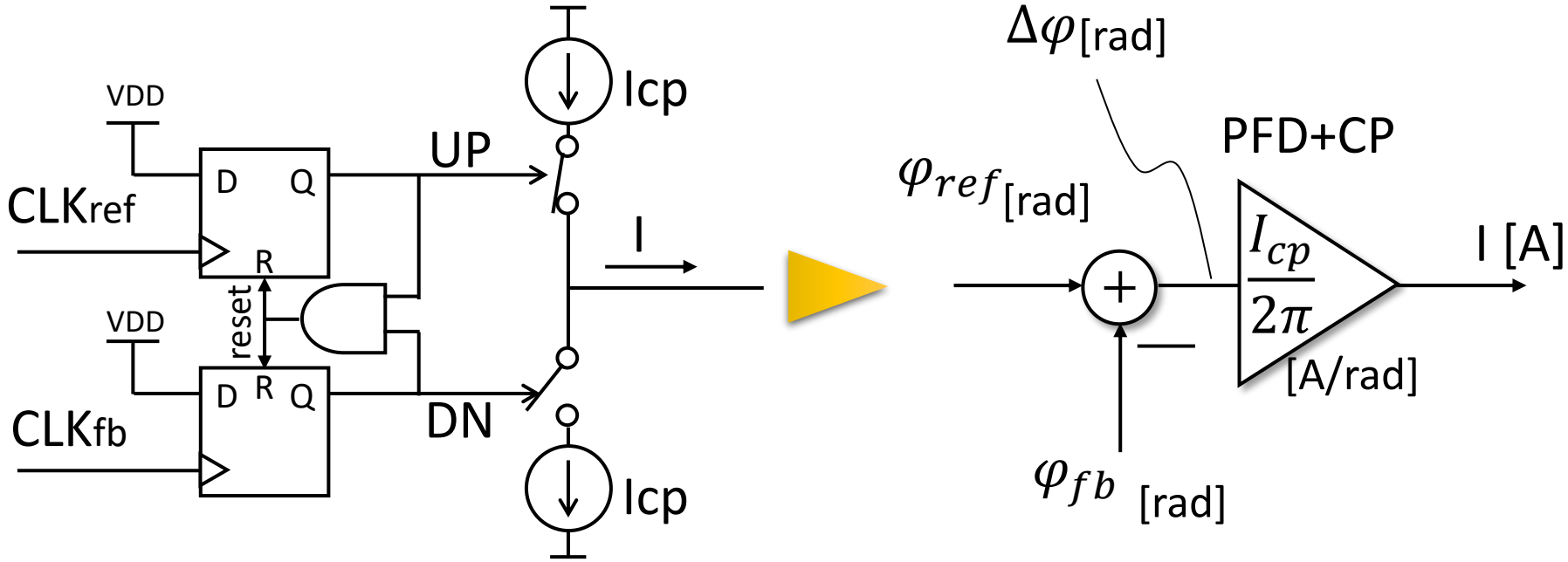


位相差$\Delta\varphi = \varphi_0$ [rad]

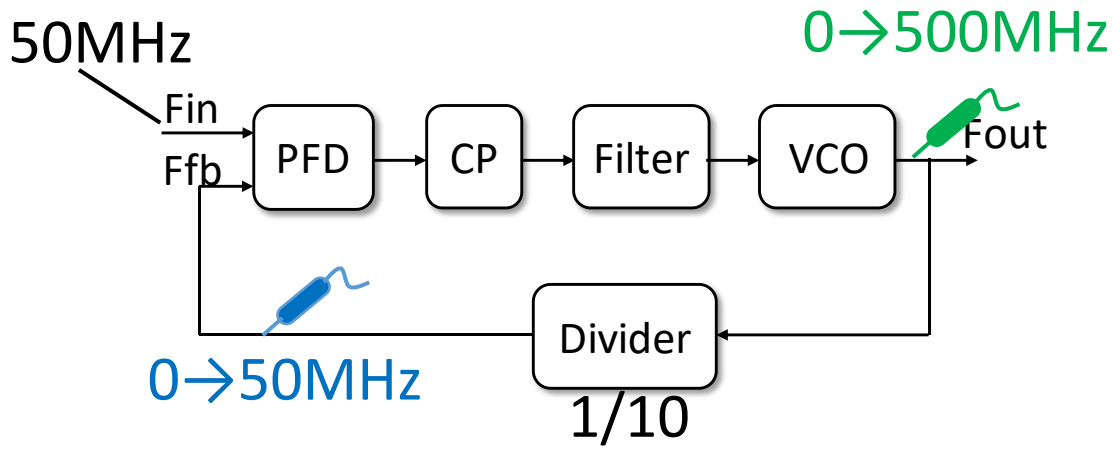
平均電流は $\dfrac{\varphi_0}{2\pi} I_{cp}$ [A]

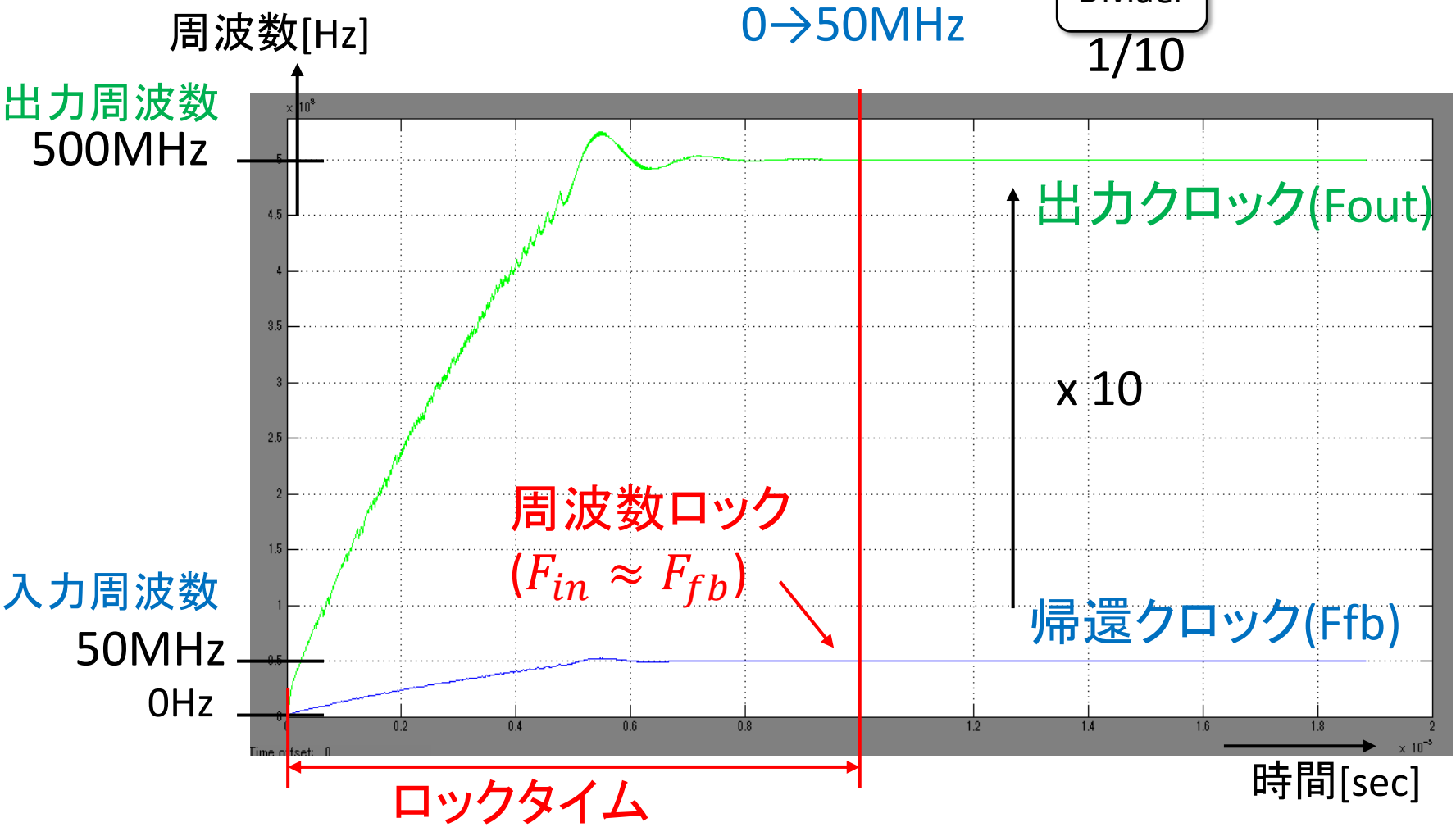
PFD+CPの伝達関数は $\dfrac{I}{\Delta\varphi} = \dfrac{I_{cp}}{2\pi}$ [A/rad]

PFDとCPのモデリング

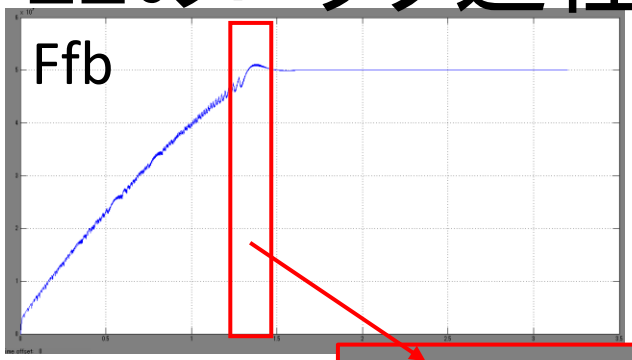


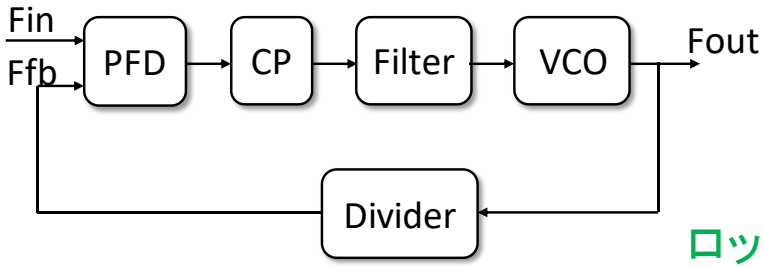
PLLの
周波数ロック過程





PLLのロック過程





ロック過程において
Ffb=Finの時、その両者
の位相差は約1/Fin[s]

CP出力

FinとFfbの
立ち上がりエッジ
の時間差

20ns

0s

Ffb;
帰還周波数

50MHz

Fin;入力周波数

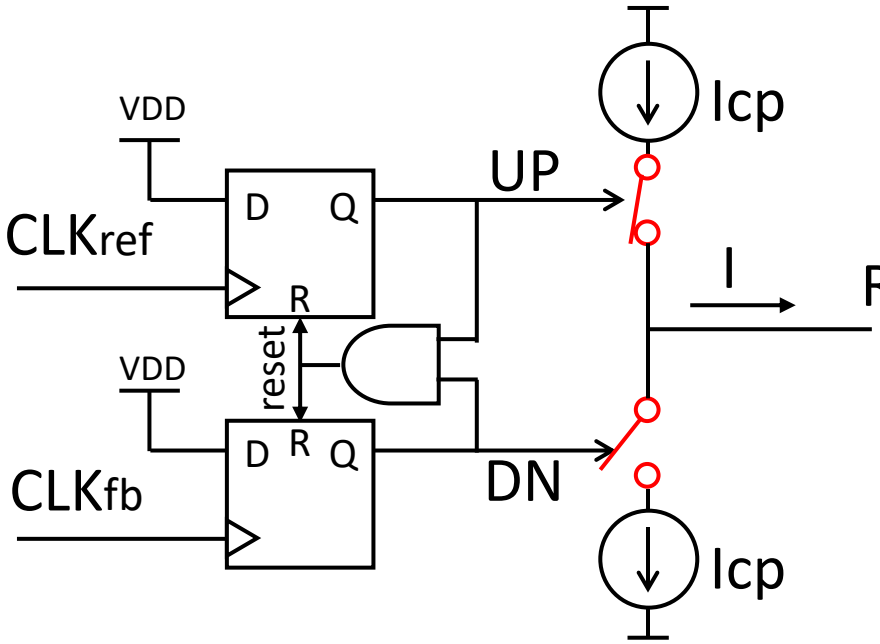
Ffb

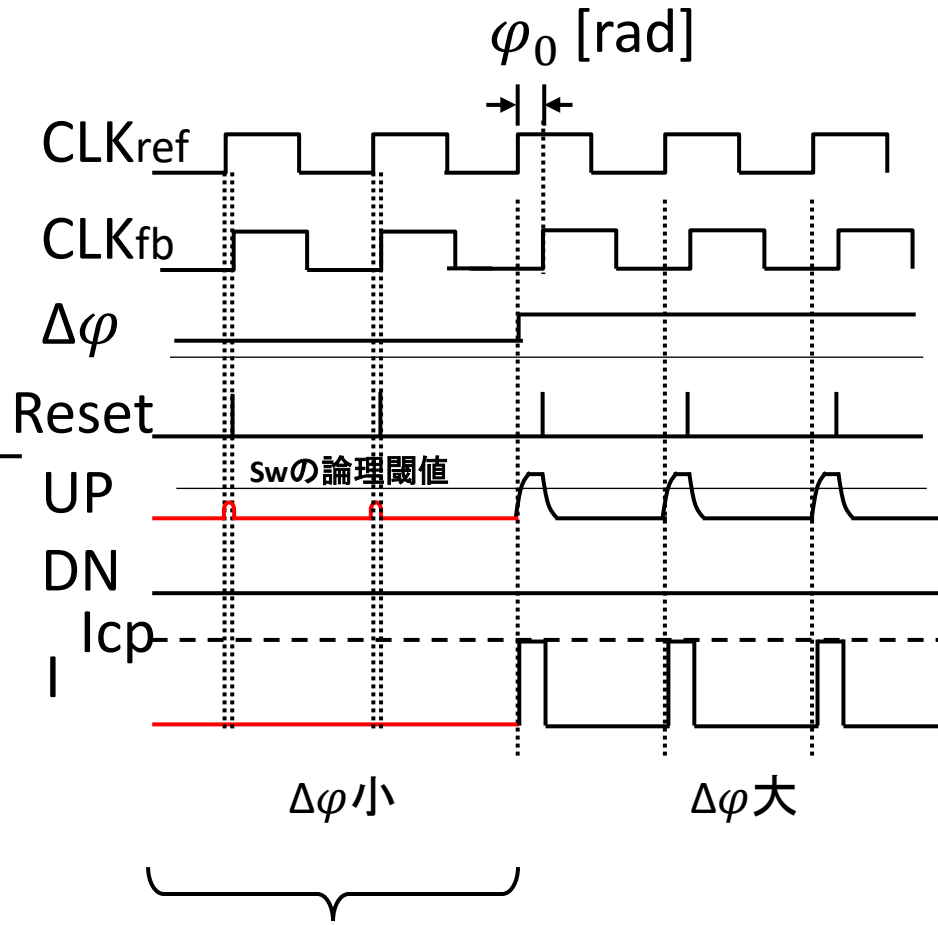
周波数検出

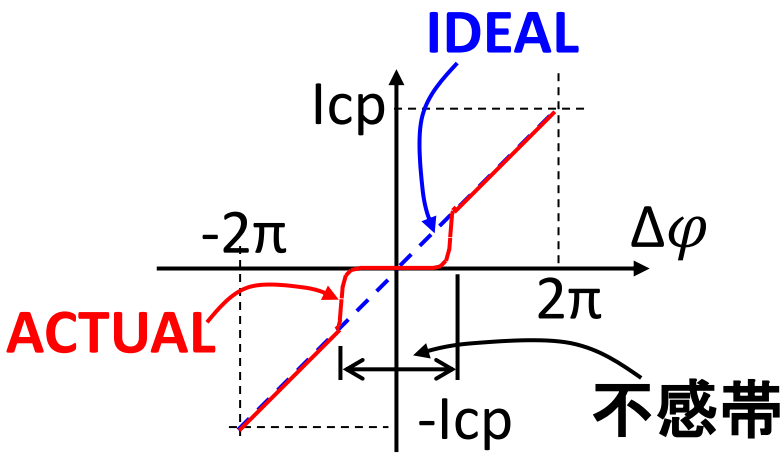
位相検出

PFD

微小位相差時の不感帯







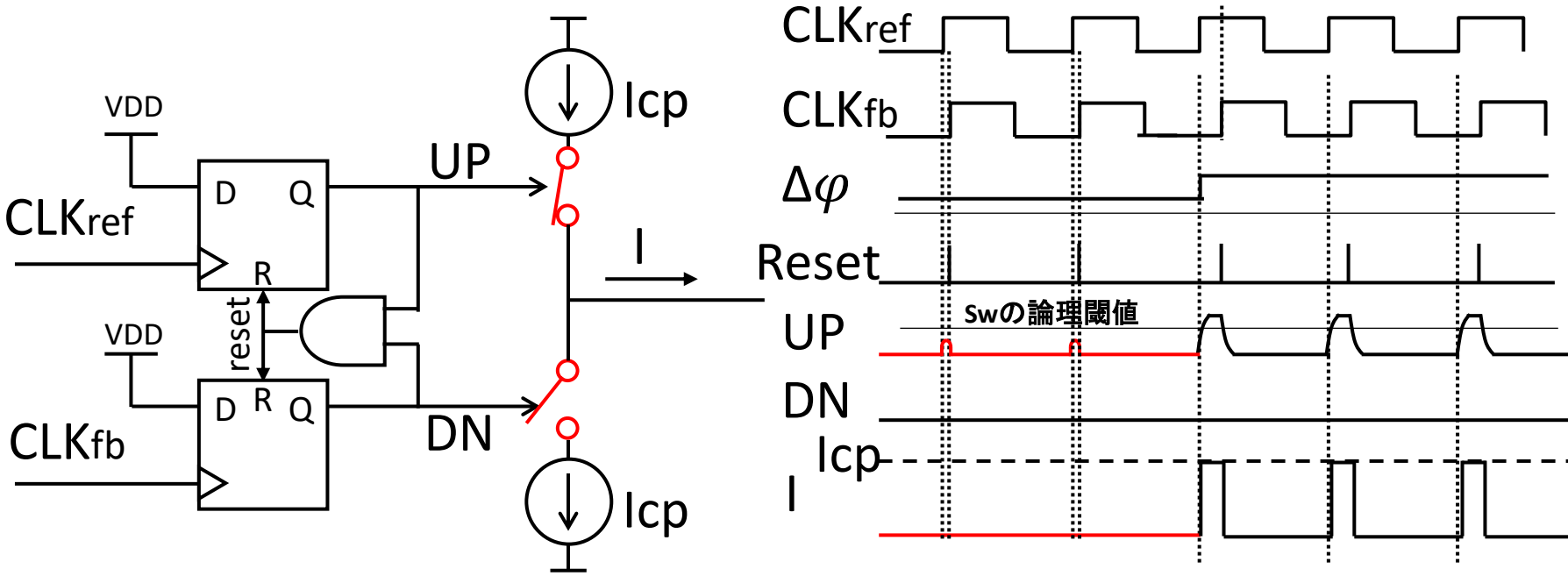
PFD+CPの入出力特性

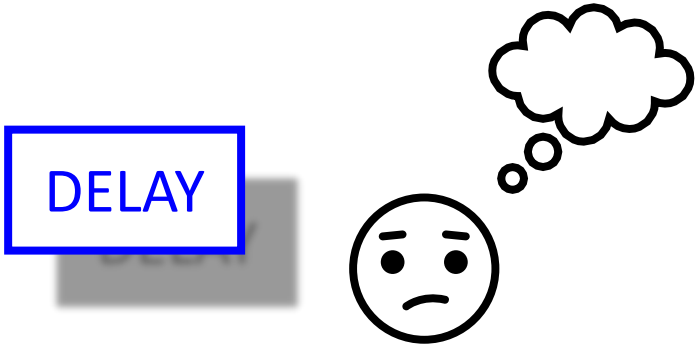
位相差が微小の場合、
CPのSWをONできない
(寄生容量の影響)

⇩

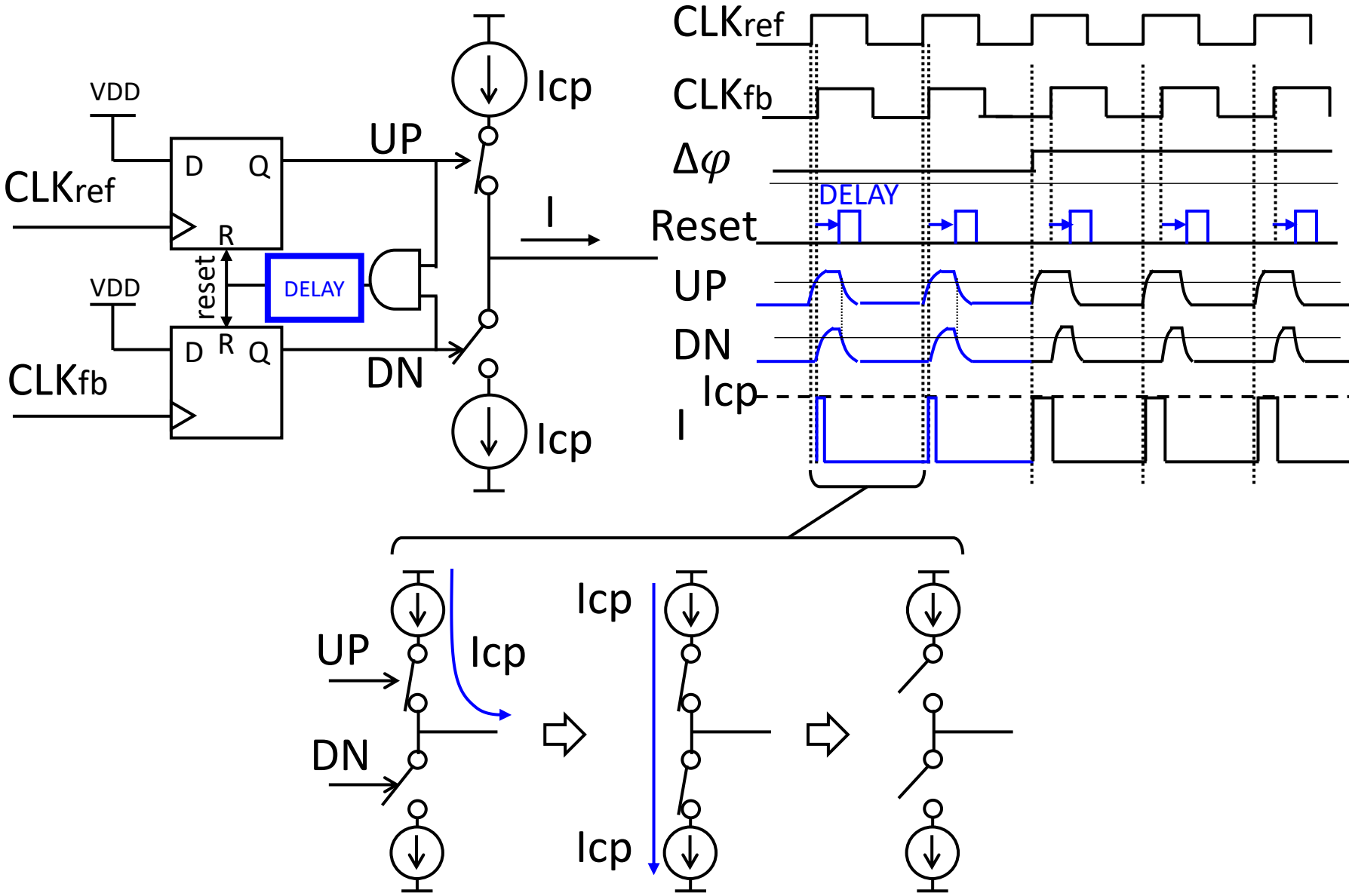
不感帯

不感帯の対策は？


VDD
CLKref
D
Q
R
UP
Icp
I
reset
VDD
CLKfb
D
R
Q
DN
Icp
CLKref
CLKfb
Δφ
Reset
Swの論理閾値
UP
DN
Icp
I


DELAY

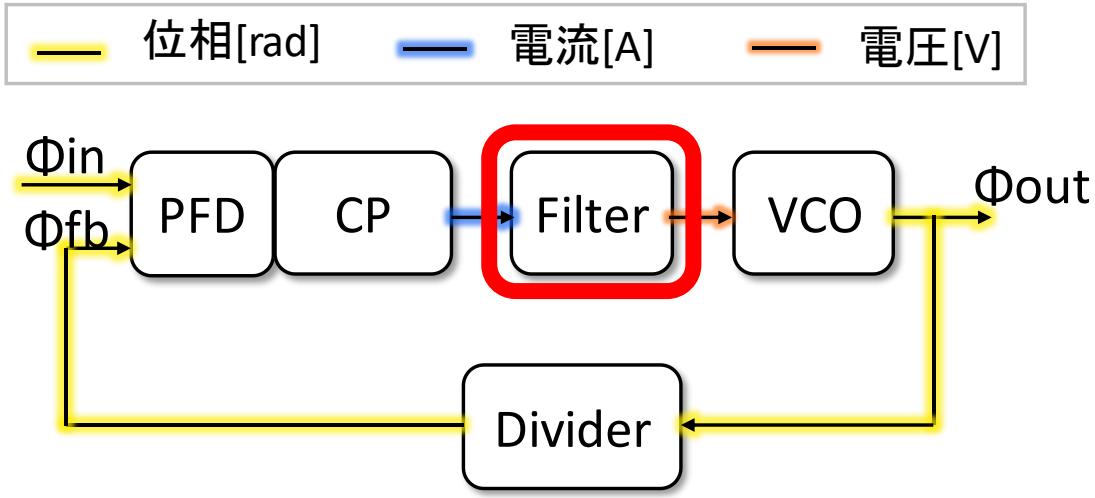
不感帯の対策は？



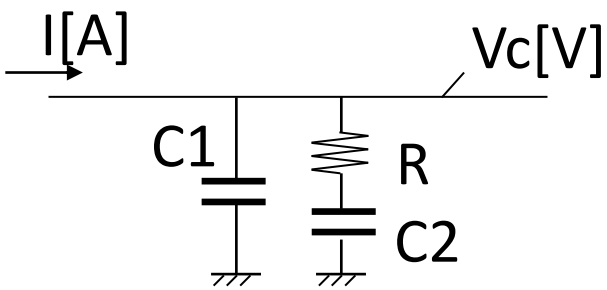
UP側とDN側の電流源間のミスマッチに注意

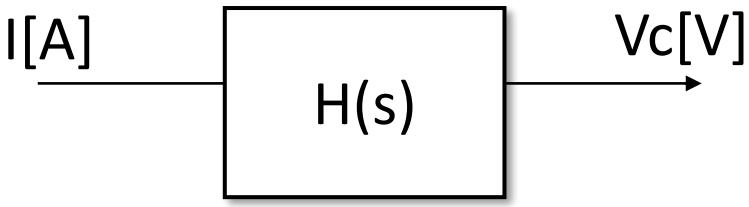
Filterのモデリング

フィルタへの入力はCPからのパルス電流。
出力は電圧。
出力電圧がVCOの発振周波数を制御する。
フィルタの役割は信号の平滑化と安定性確保。



Filter (Lag-lead filter)

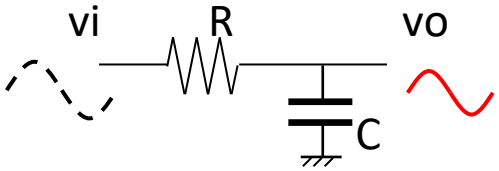




$$V_c = \frac{1}{s(C_1 + C_2)} \cdot \frac{sRC_2 + 1}{sR\dfrac{C_1 C_2}{C_1 + C_2} + 1} \cdot I$$

$$H(s) = \frac{V_c}{I} = \frac{1}{s(C_1 + C_2)} \cdot \frac{sRC_2 + 1}{sR\dfrac{C_1 C_2}{C_1 + C_2} + 1}$$

ボーデ線図：系の周波数特性(利得、位相)を把握するためのグラフ

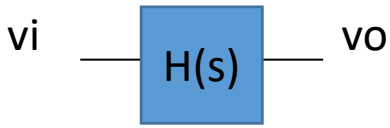


伝達関数:

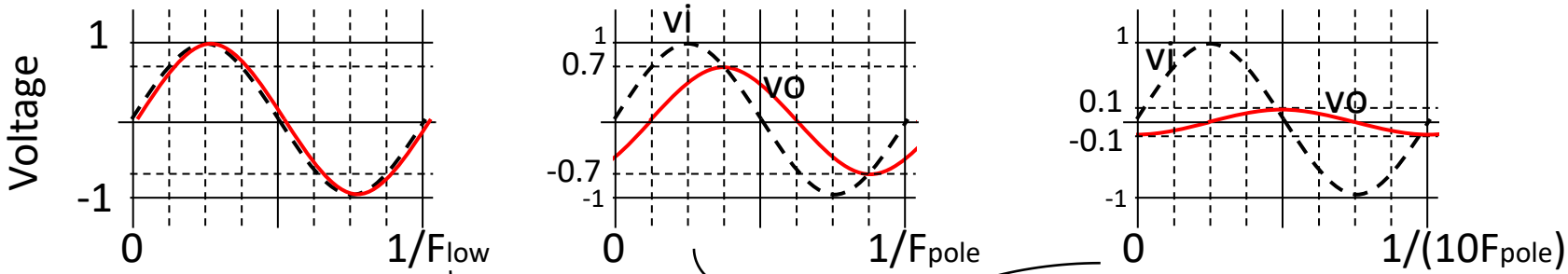
$$\frac{v_o}{v_i} = H(s) = \frac{1}{sRC+1}$$

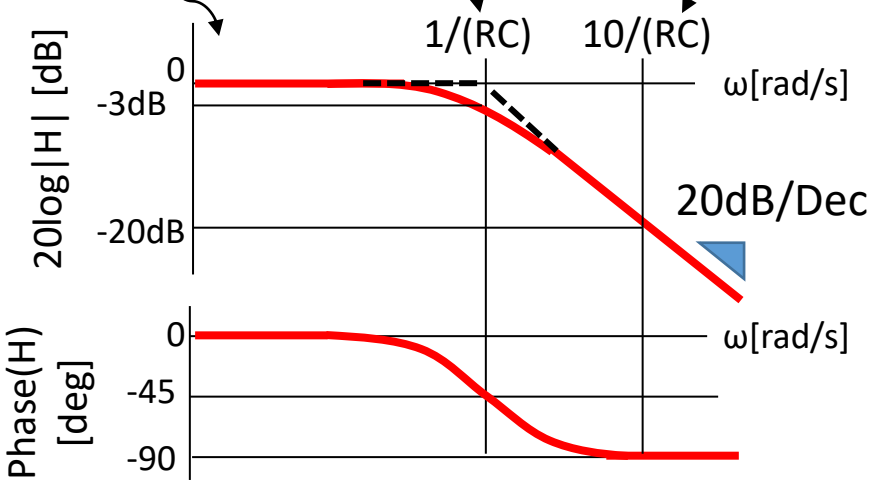
振幅ゲイン: $\dfrac{1}{\sqrt{1+(\omega RC)^2}}$

位相遷移: $-\tan^{-1}(\omega RC)$



入力角周波数: [rad/s]	低	1/(RC) 極 (Pole)	10/(RC)



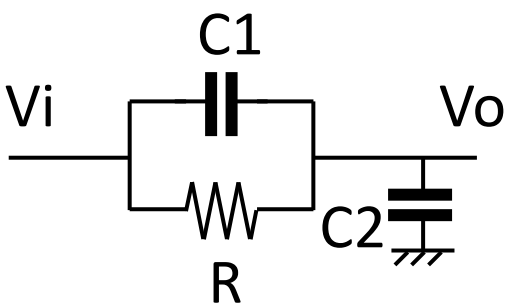


- 極: 1/(RC) [rad/s]
- 1つの極90°シフト
- ゲイン傾斜20dB/dec

※目安:極周波数のx10で90°回転

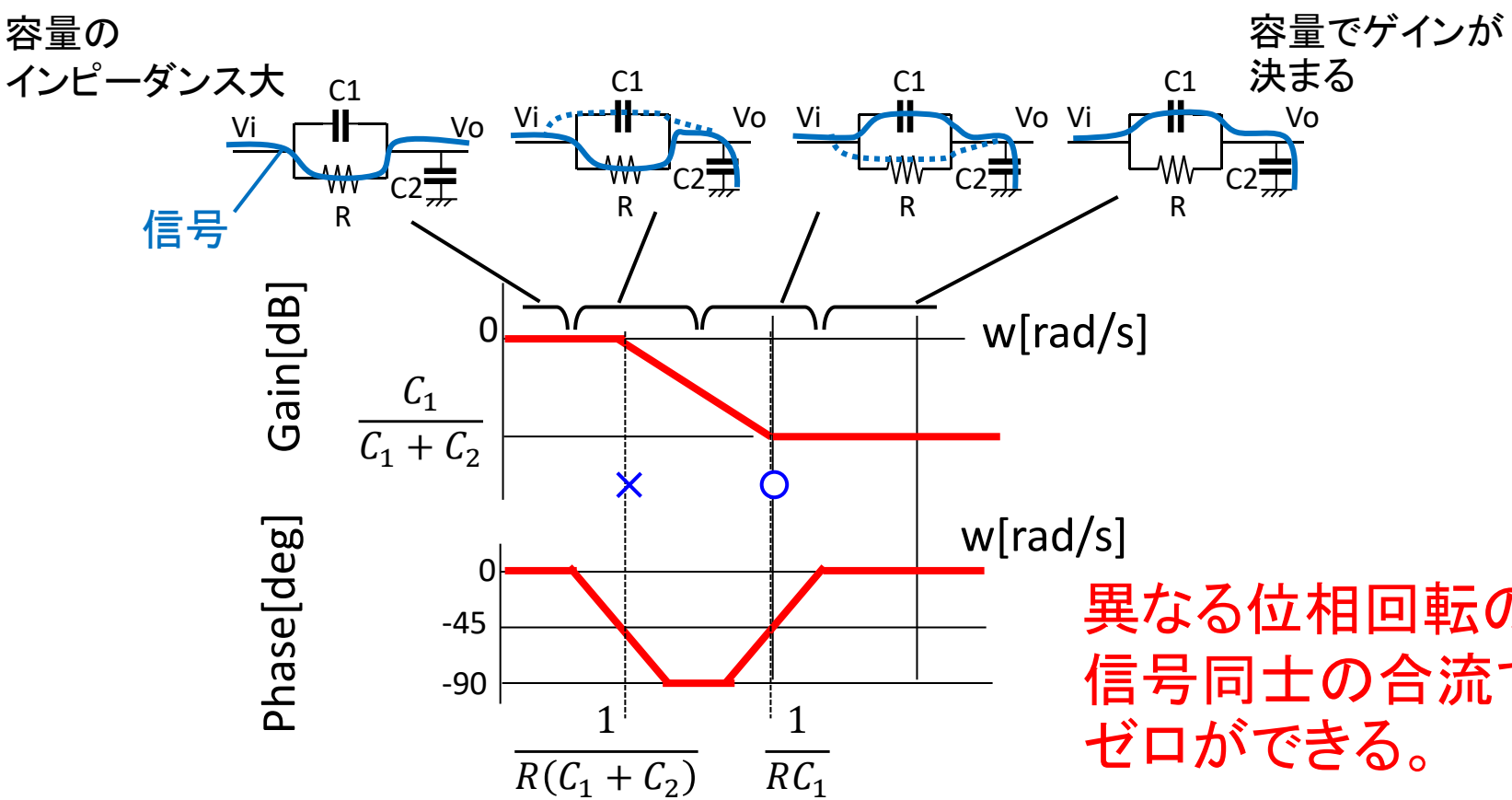
極とゼロ点

$$\frac{v_o}{v_i} = \frac{C_1}{C_1 + C_2} \frac{s + \frac{1}{RC_1}}{s + \frac{1}{R(C_1 + C_2)}}$$



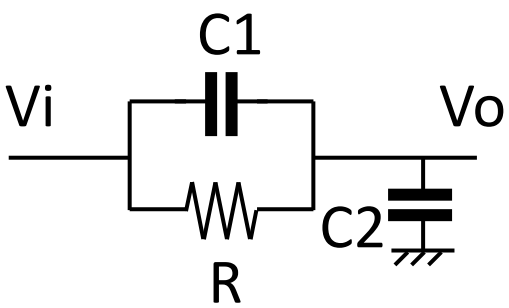
ゼロ点 $-\frac{1}{RC_1}$ ○

極 $-\frac{1}{R(C_1 + C_2)}$ ×



異なる位相回転の
信号同士の合流で
ゼロができる。

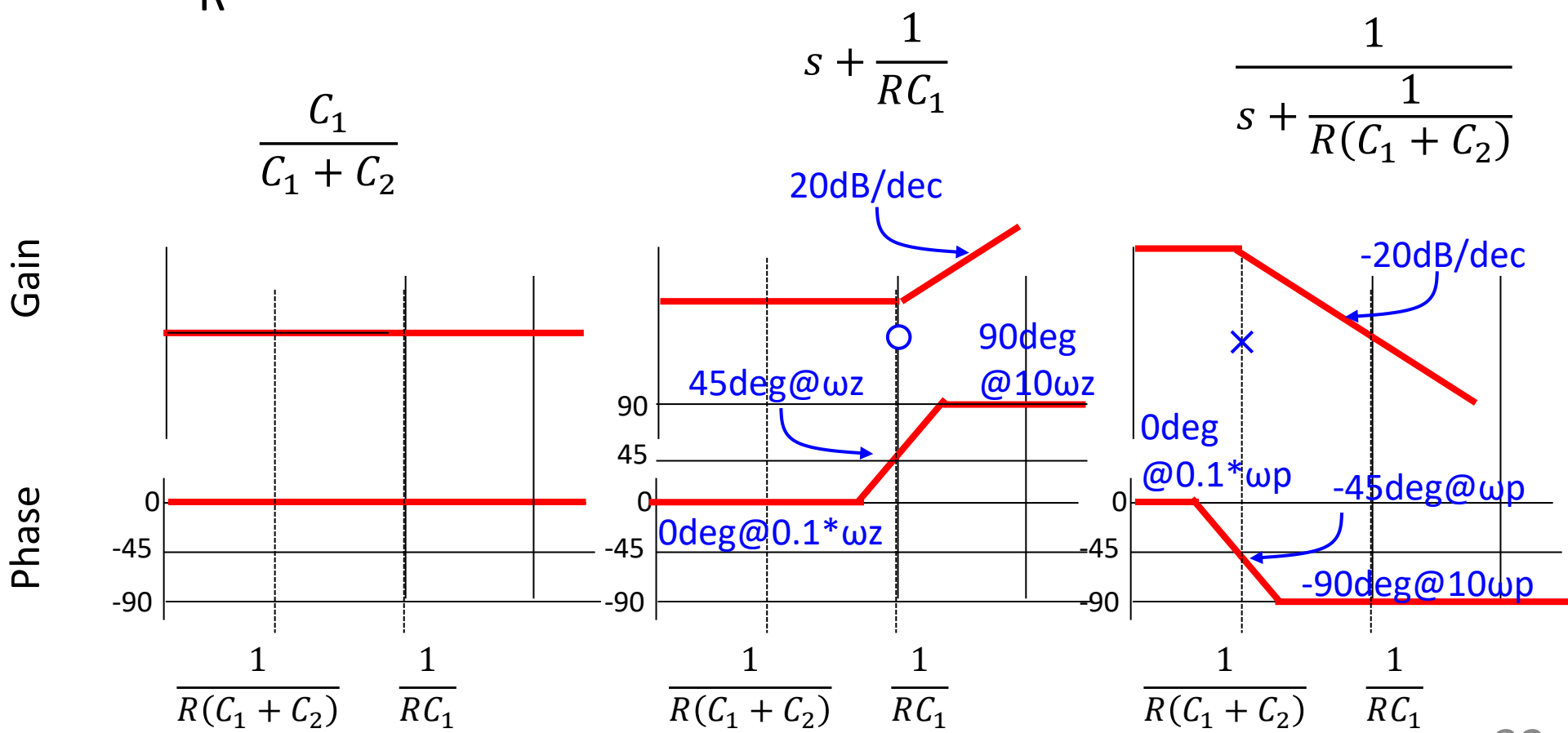
極とゼロ点



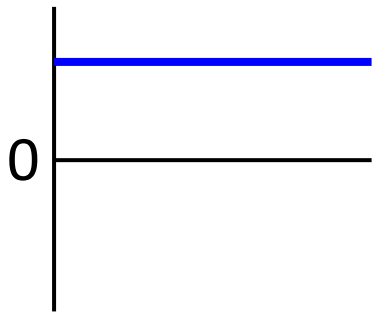
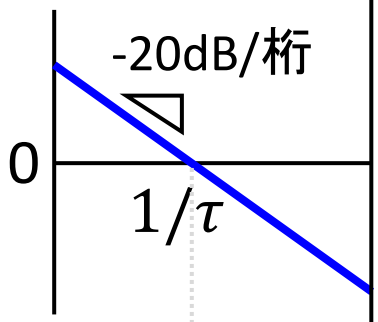
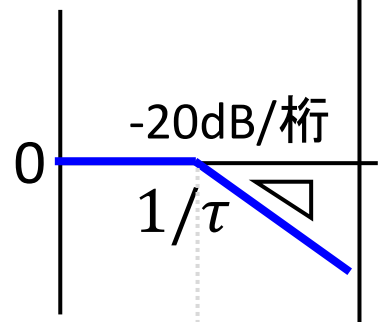
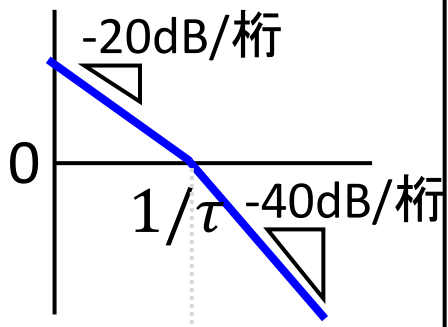
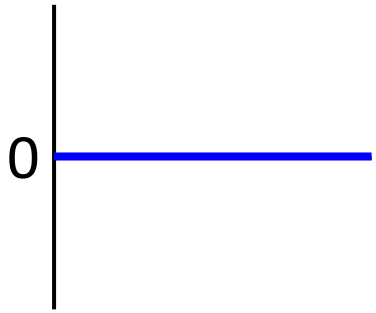
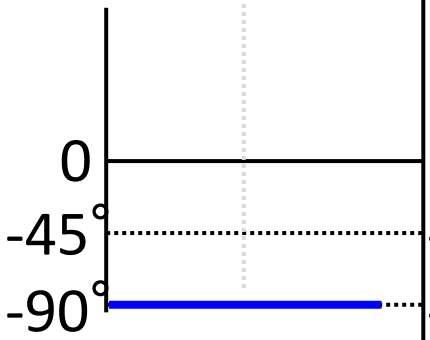
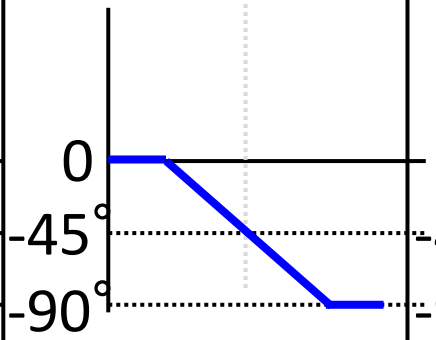
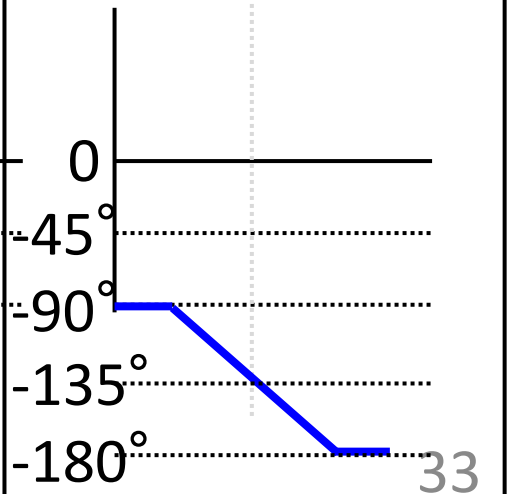
$$\frac{v_o}{v_i} = \frac{C_1}{C_1 + C_2} \frac{s + \frac{1}{RC_1}}{s + \frac{1}{R(C_1 + C_2)}}$$

ゼロ点 $-\frac{1}{RC_1}$

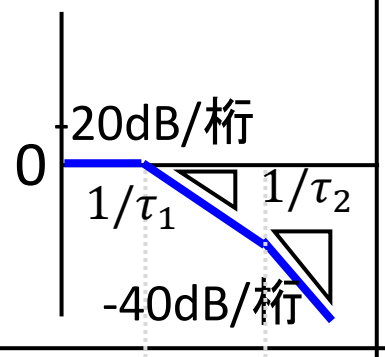
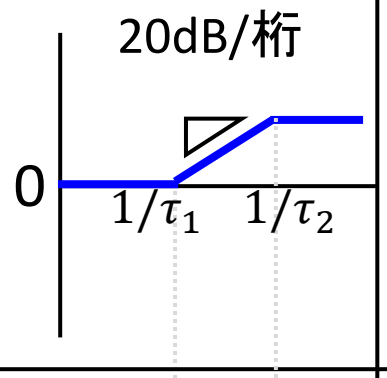
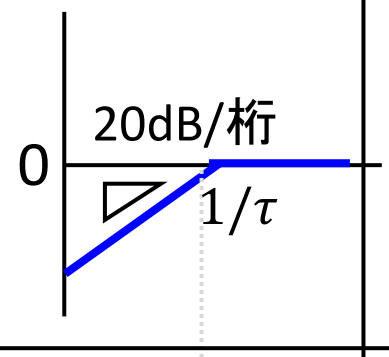
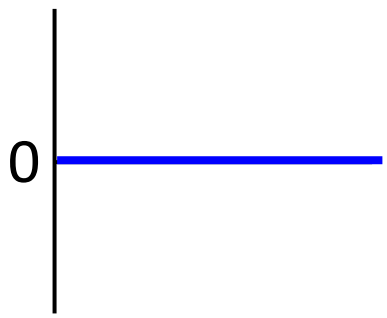
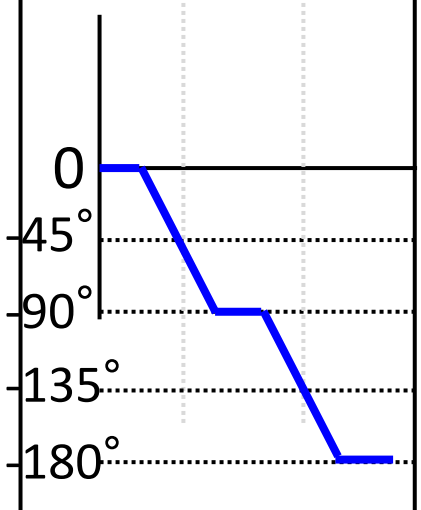
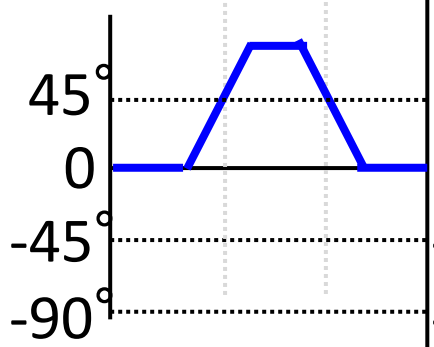
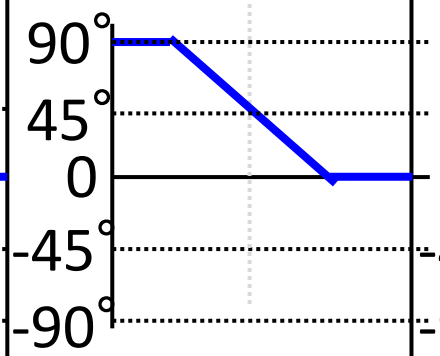
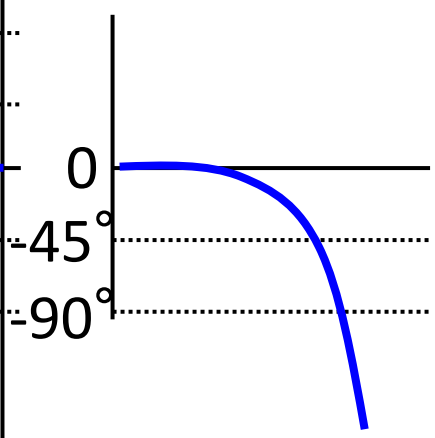
極 $-\frac{1}{R(C_1 + C_2)}$



ボード線図

名称	比例	完全積分	1次遅れ	完全積分と1次遅れ
伝達関数	K	$\frac{1}{\tau s}$	$\frac{1}{\tau s+1}$	$\frac{1}{s(\tau s+1)}$
ゲイン曲線				
位相曲線				

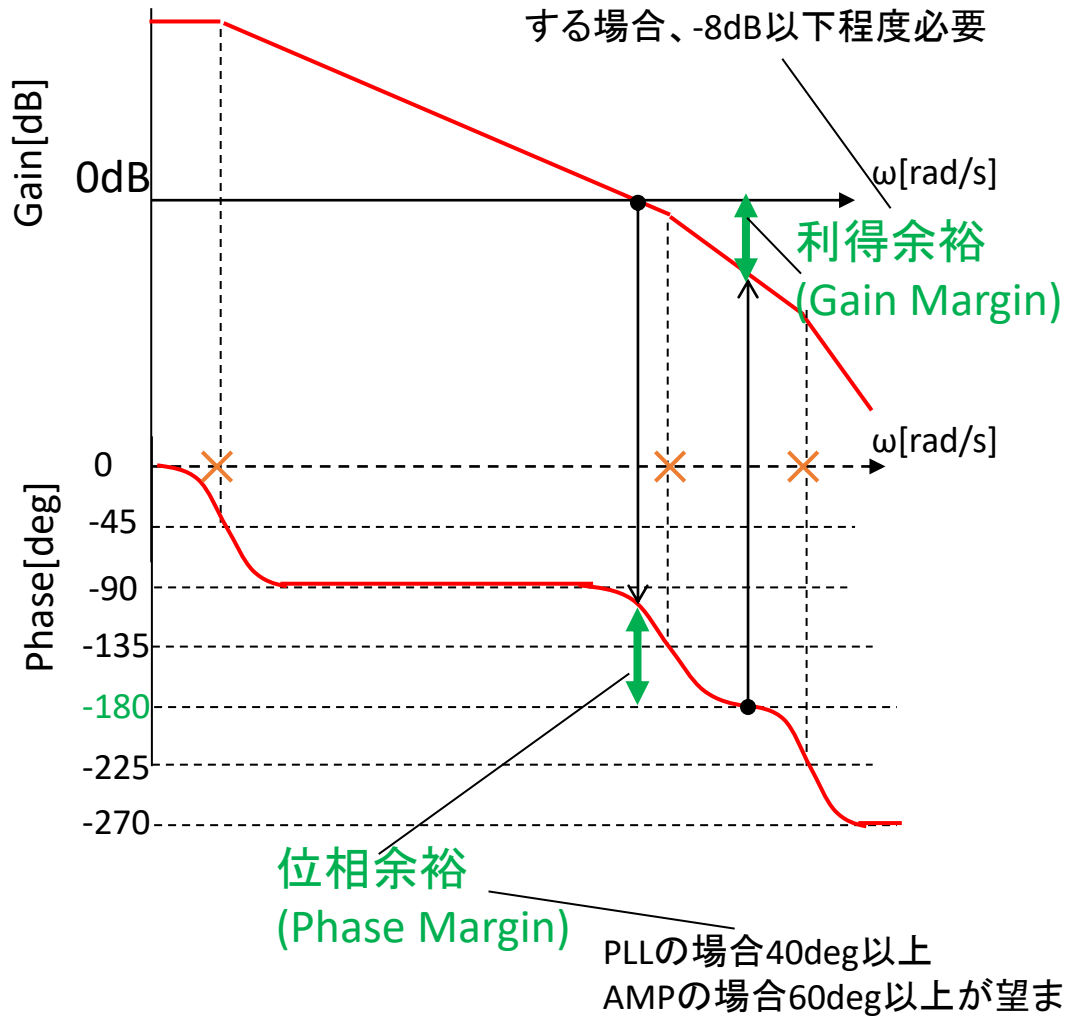
ボード線図

名称	2次遅れ	位相進み	1次HPF	無駄時間
伝達関数	$\dfrac{1}{(\tau_1 s+1)(\tau_2 s+1)}$	$\dfrac{\tau_1 s+1}{\tau_2 s+1}$ $\tau_2 < \tau_1$	$\dfrac{s}{\tau s+1}$	e^{-ts}
ゲイン曲線				
位相曲線				

位相余裕、利得余裕

★位相余裕: [0dB利得時の位相]と[-180°]の差
★利得余裕: [-180°の時の利得]と[0dB]の差

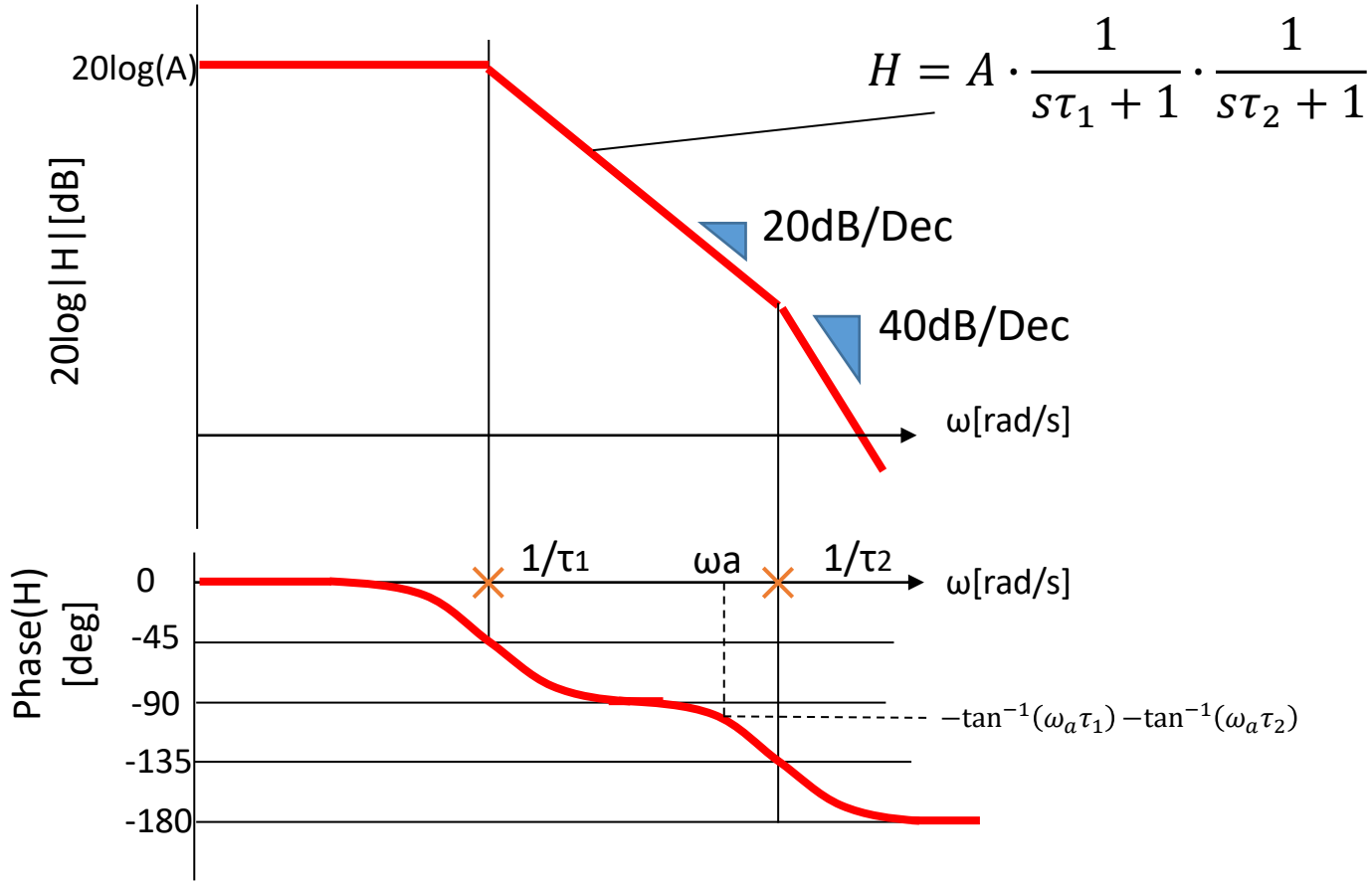
◆Bode Chart



複数極の位相回転

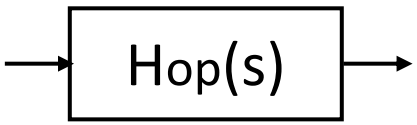
・極のみがN個→90*N[deg]位相が回転する。
・任意の周波数ωaの位相遅れは次式

$$-\tan^{-1}(\omega_a\tau_1)-\tan^{-1}(\omega_a\tau_2)$$

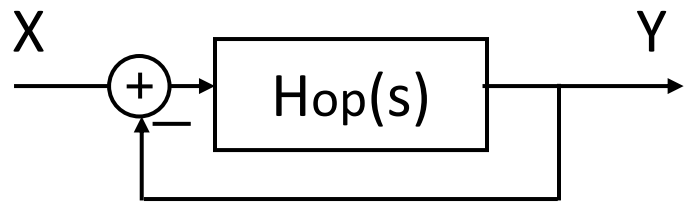


開ループと閉ループ

【開ループ】



【閉ループ】



$$H_{clsd} = \frac{Y}{X} = \frac{H_{op}}{1 + H_{op}}$$

開ループ、閉ループの伝達関数をそれぞれ次のようにおく。

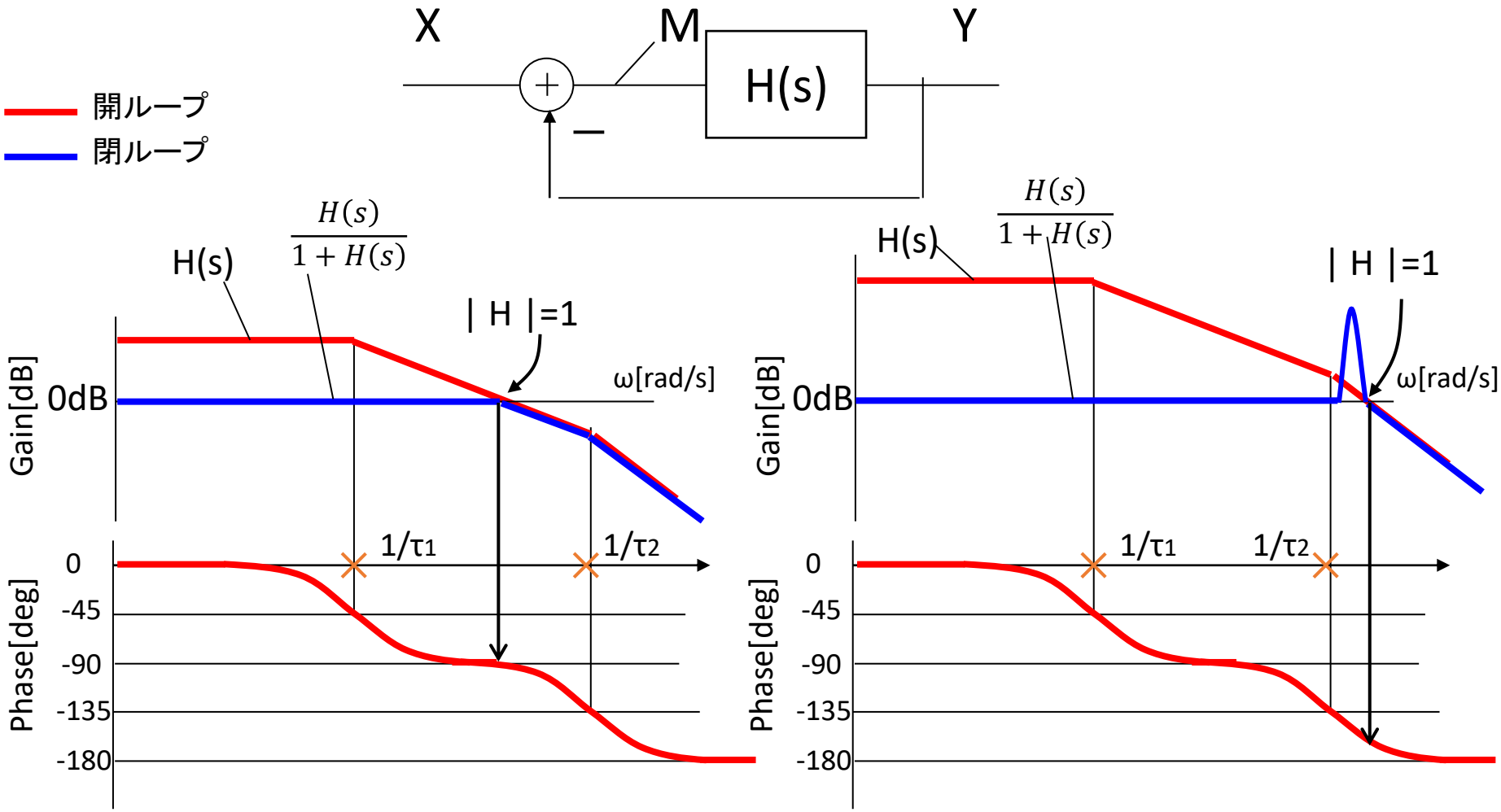
$$H_{op} = \left|H_{op}\right| e^{j\varphi}$$

$$H_{clsd} = |H_{clsd}| e^{j\alpha}$$

$\left(\left|H_{op}\right|, \varphi\right), (|H_{clsd}|, \alpha)$は下記のように書ける。

$$|H_{clsd}| = \frac{1}{\sqrt{1 + \frac{1}{\left|H_{op}\right|}\cos\varphi + \frac{1}{\left|H_{op}\right|^2}}} \qquad \alpha = -\tan^{-1}\left(-\frac{\sin\varphi}{\left|H_{op}\right| + \cos\varphi}\right)$$

安定性

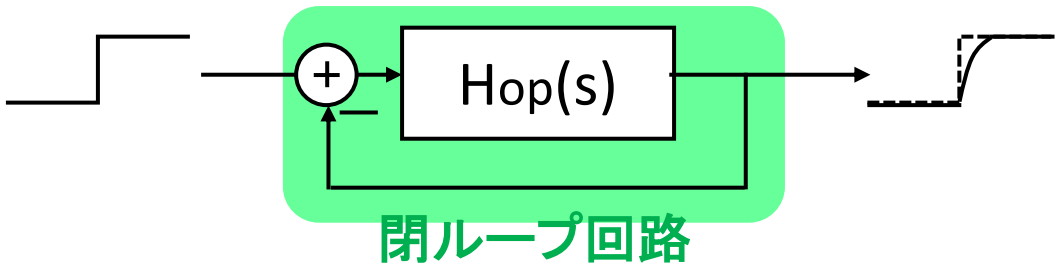


ピーク無。
閉ループは安定

開ループ特性で-180degとなる周波数と利得1の周波数が近い

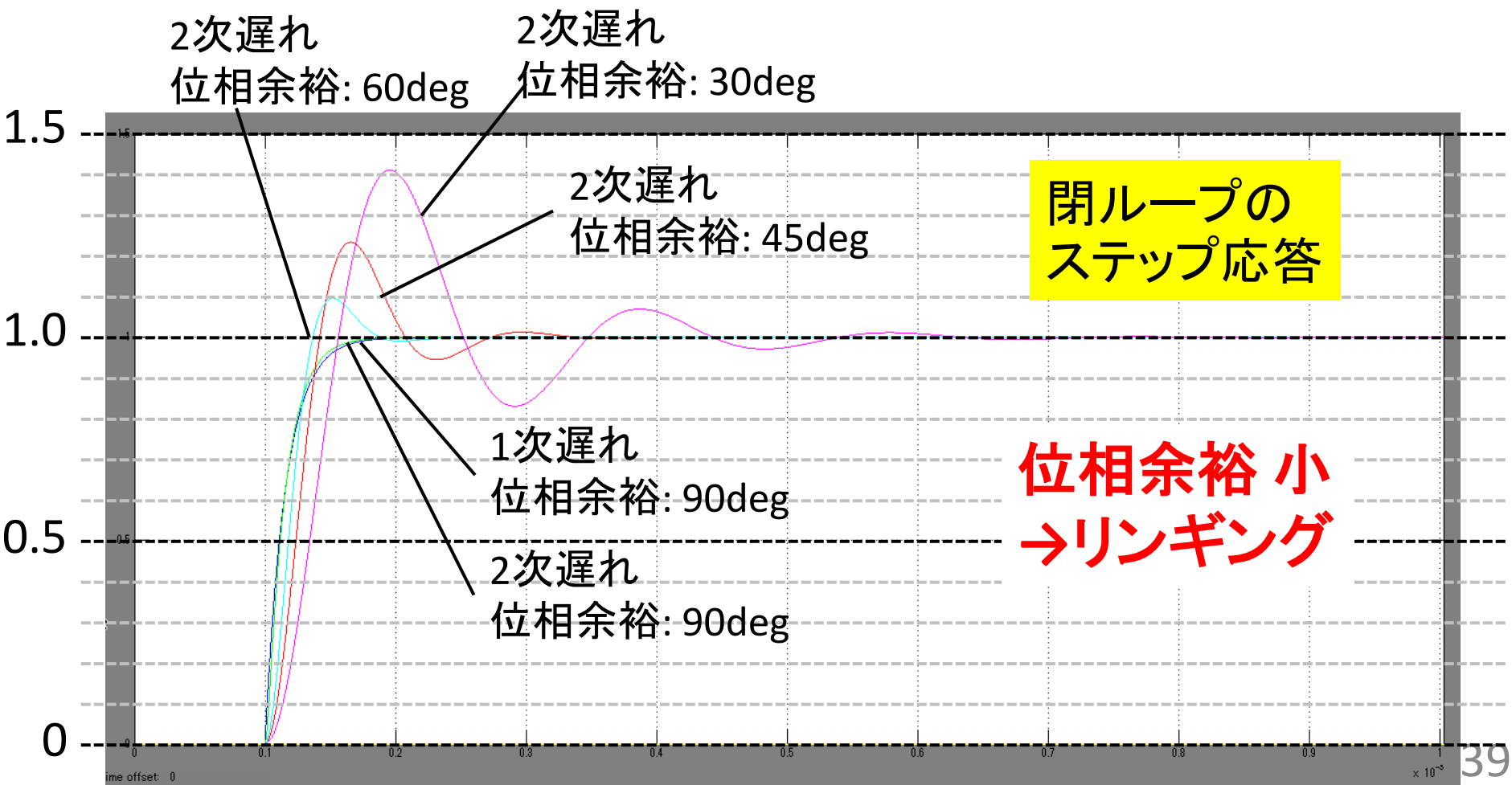
ピークあり。
閉ループは不安定

安定性と
閉ループのステップ応答



Hop(s)

1次遅れ	2次遅れ
$\dfrac{1}{\tau s+1}$	$\dfrac{1}{(\tau_1 s+1)(\tau_2 s+1)}$



ニコルズ線図

- 開ループ、閉ループのゲイン/位相特性が読み取れる
- ナイキスト線図の(-1, j0)はニコルズ線図では(0dB, -180deg)に投影される

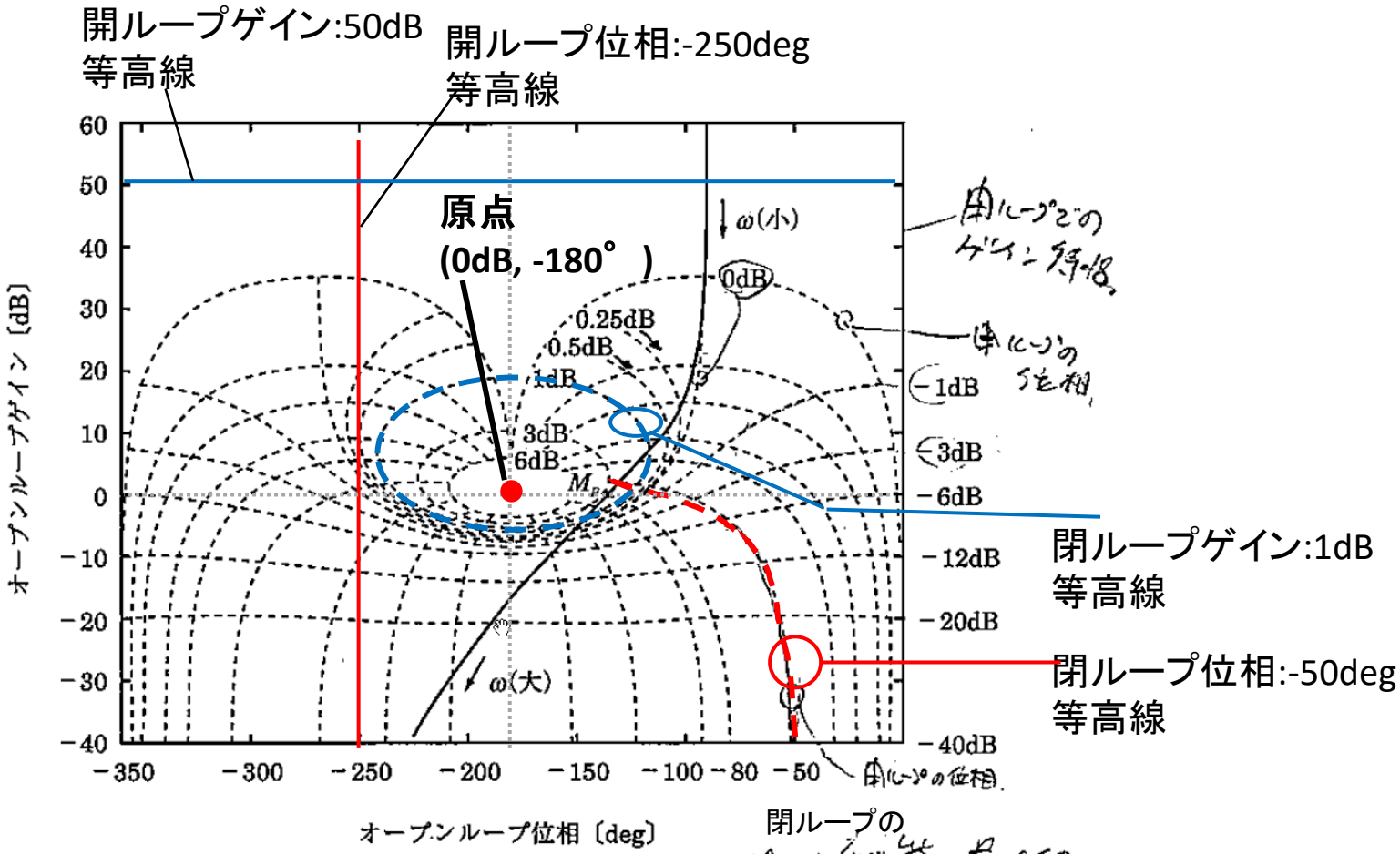


図 6.10　ニコルズ線図

ニコルズ線図

原点が軌跡の左側に位置する場合は安定

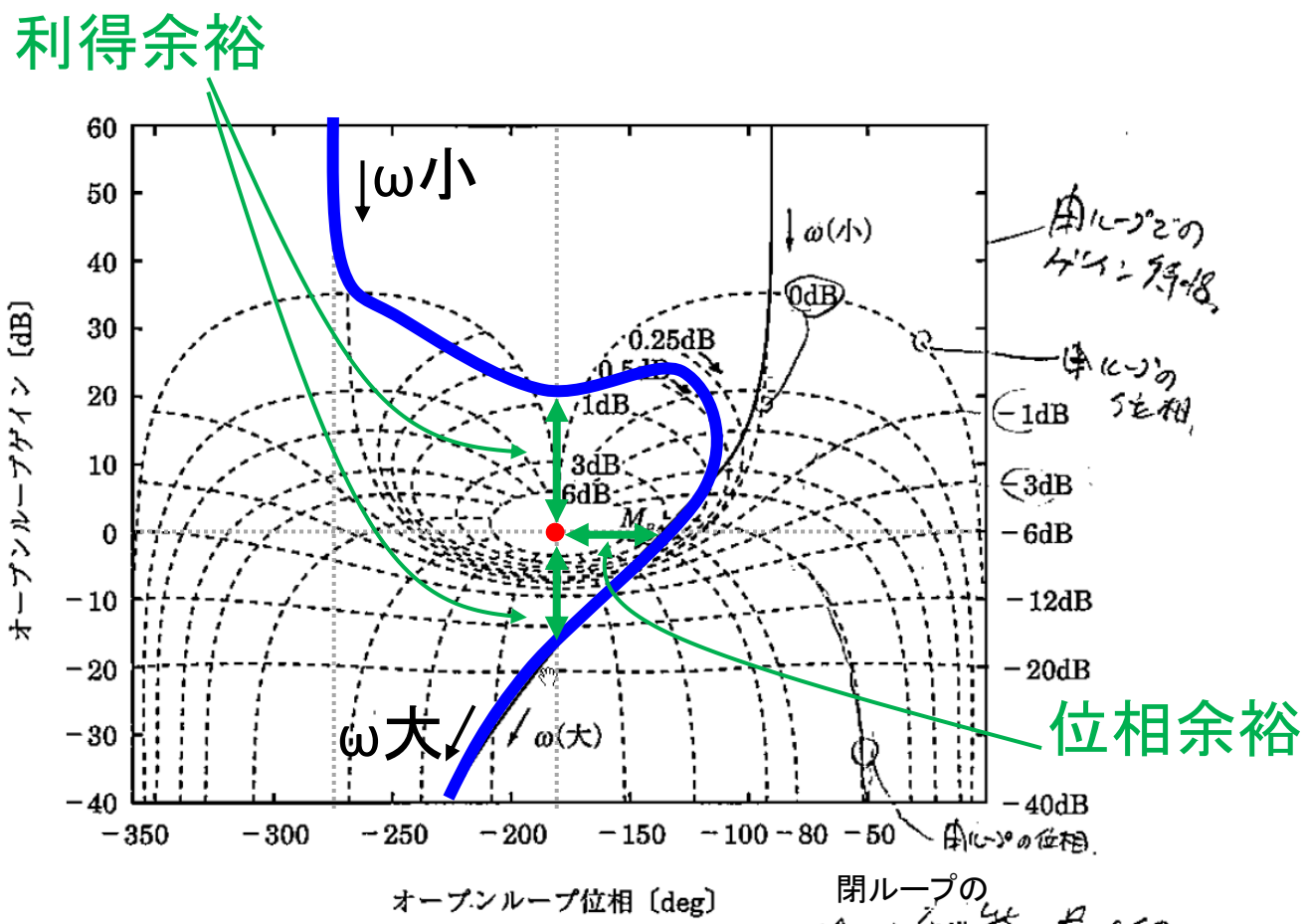
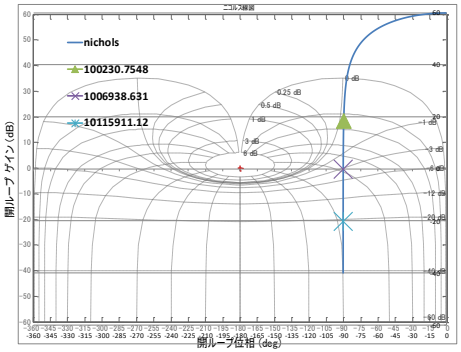


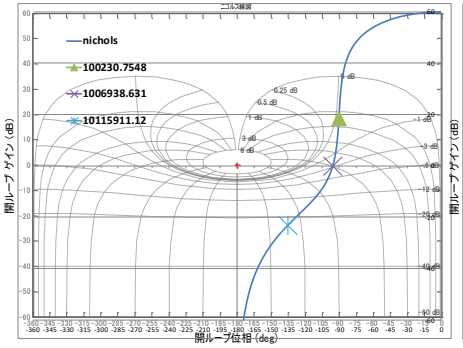
図 6.10　ニコルズ線図

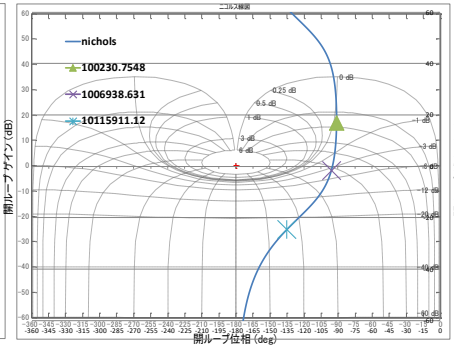
ボーデ線図とニコルズ線図;

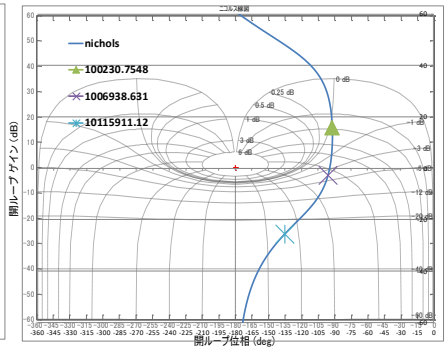
	安定	安定	安定	安定
開ループ特性	$\dfrac{A}{s\tau+1}$	$\dfrac{A}{(s\tau_1+1)(s\tau_2+1)}$	$\dfrac{A}{s^2}\dfrac{s\tau_2+1}{s\tau_1+1}$	$\dfrac{A}{s^3}\dfrac{(s\tau_2+1)^2}{s\tau_1+1}$

ニコルズ線図

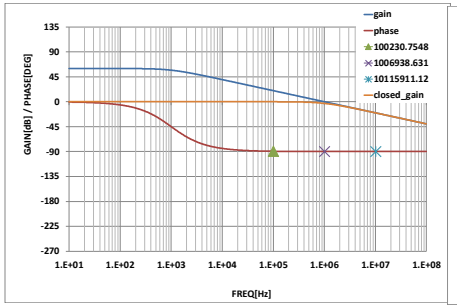


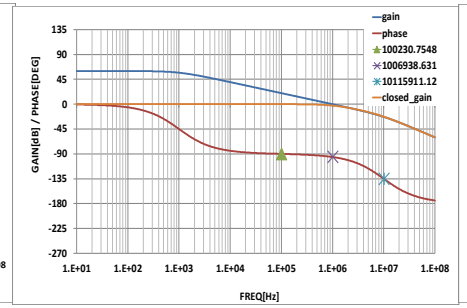


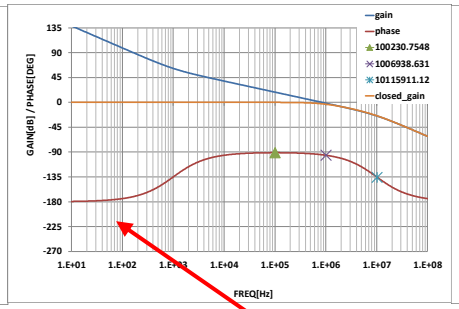


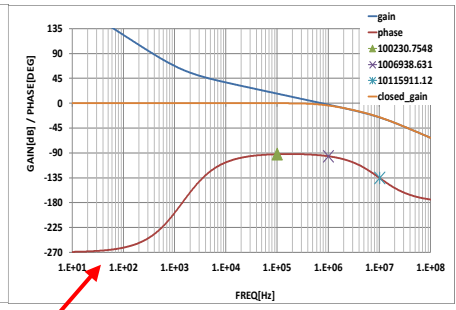


ボーデ線図





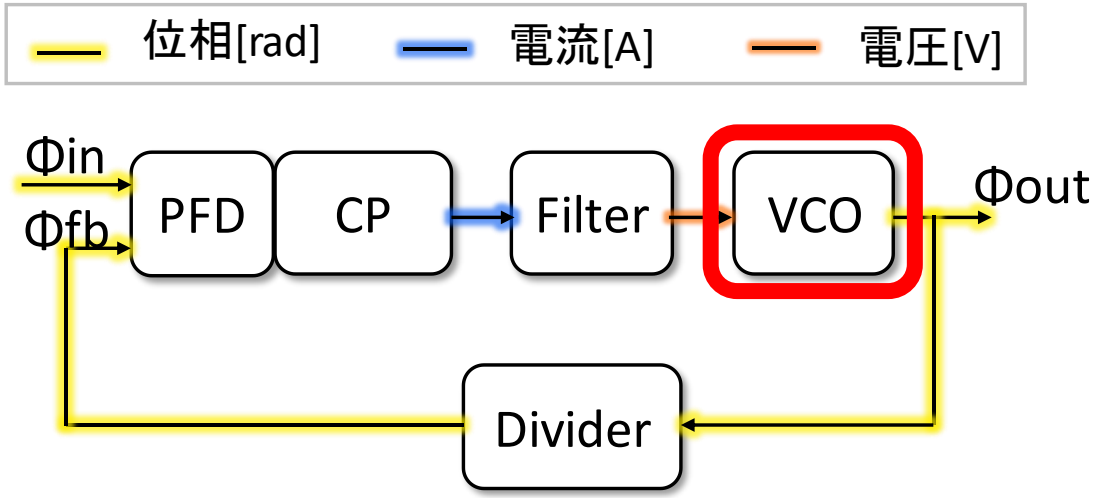




位相が-180degでも
利得があれば安定！

発振器のモデリング

VCOの発振周波数は入力電圧で制御される。
ただ、PLLのループ特性の解析においては、
VCOの出力は位相[rad]であるので注意。



バルクハウゼンの発振条件

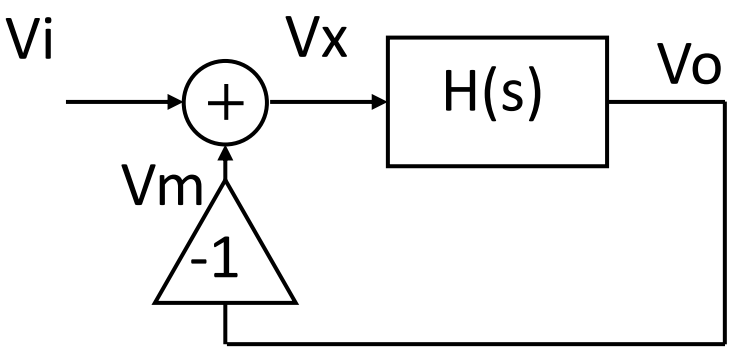
ω_0において 下記の2つの条件を満たすとき、
発振が持続する。

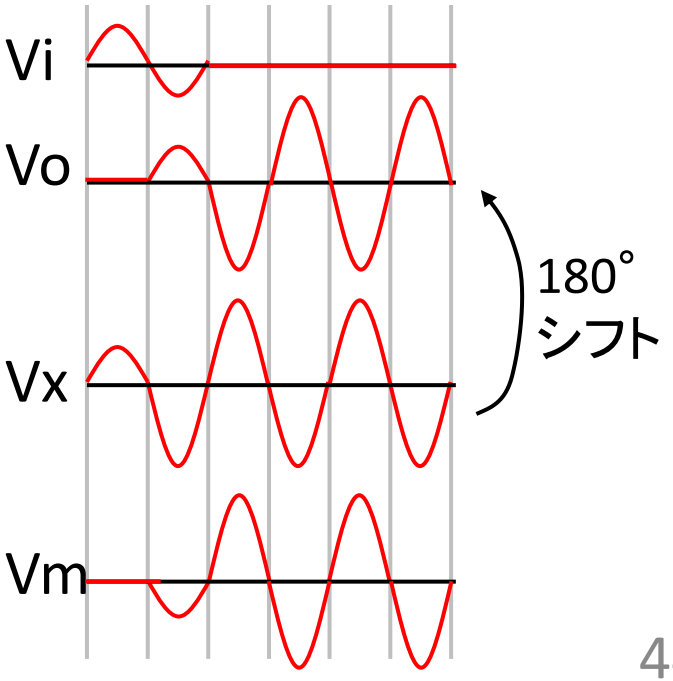
位相シフト条件

$$\angle H(j\omega_0) = 180°$$

利得条件

$$|H(j\omega_0)| \geq 1$$





位相と振幅

$$H(s) = G\frac{\left(1+\frac{s}{\omega_{z1}}\right)\left(1+\frac{s}{\omega_{z2}}\right)\cdots\left(1+\frac{s}{\omega_{zn}}\right)}{\left(1+\frac{s}{\omega_{p1}}\right)\left(1+\frac{s}{\omega_{p2}}\right)\cdots\left(1+\frac{s}{\omega_{pm}}\right)}$$

ω_0での利得は

$$20\log|H(j\omega_0)| = 20\log|G| + 20\log\left|1+j\frac{\omega_0}{\omega_{z1}}\right| + \cdots + 20\log\left|1+j\frac{\omega_0}{\omega_{zn}}\right|$$

$$-20\log\left|1+j\frac{\omega_0}{\omega_{p1}}\right| - \cdots - 20\log\left|1+j\frac{\omega_0}{\omega_{pm}}\right|$$

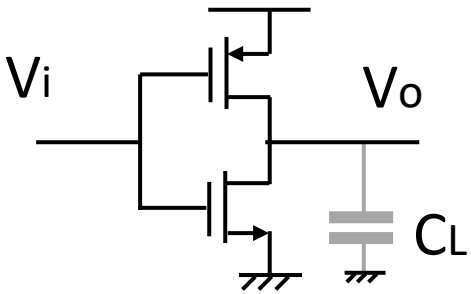
$$= 20\log|G| + 10\sum_{k=1}^{n}\log\left(1+\left(\frac{\omega_0}{\omega_{z1}}\right)^2\right) - 10\sum_{k=1}^{m}\log\left(1+\left(\frac{\omega_0}{\omega_{p1}}\right)^2\right)$$

ω_0での位相は

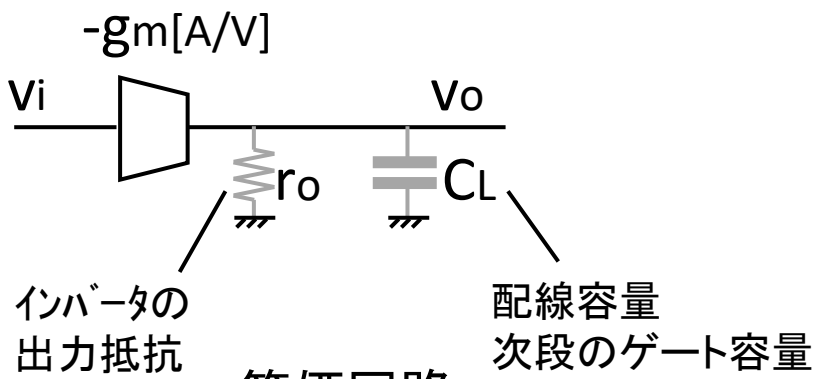
$$\angle H(j\omega_0) = \tan^{-1}\frac{\omega_0}{\omega_{z1}} + \cdots + \tan^{-1}\frac{\omega_0}{\omega_{zn}} - \tan^{-1}\frac{\omega_0}{\omega_{p1}} + \cdots + \tan^{-1}\frac{\omega_0}{\omega_{pm}}$$

$$= \sum_{k=1}^{n}\tan^{-1}\frac{\omega_0}{\omega_{zn}} - \sum_{k=1}^{n}\tan^{-1}\frac{\omega_0}{\omega_{pm}}$$

インバータ1段の利得と位相



1段のインバータ回路



等価回路

入出力伝達関数$H_{inv}(s)$は

$$H_{inv}(s) = \frac{v_o}{v_i} = -\frac{g_m r_o}{1 + r_o C_L s}$$

直流利得は$g_m r_o$

ω_oでの利得は

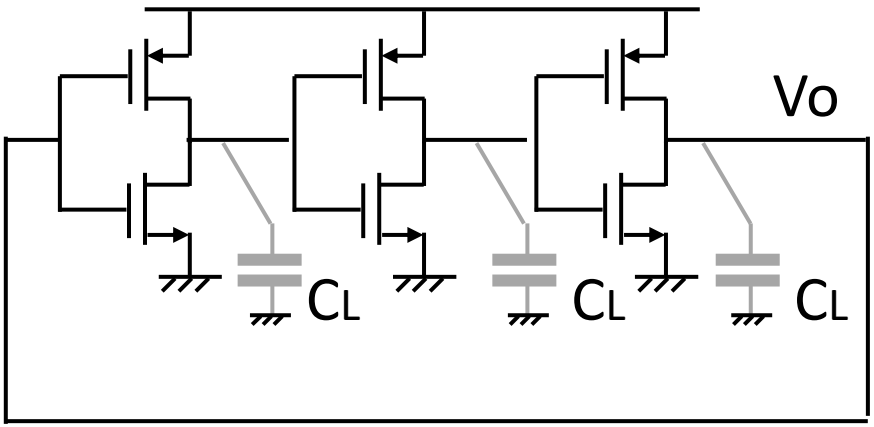
$$|H_{inv}(j\omega_0)| = \frac{g_m r_o}{\sqrt{1 + (r_o C_L \omega_0)^2}}$$

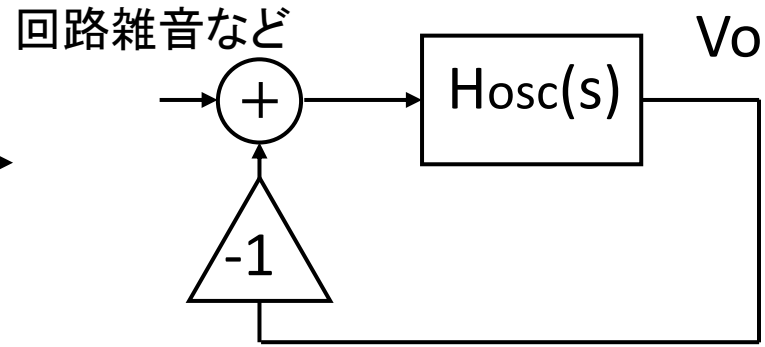
ω_oでの位相は

$$\angle H_{inv}(j\omega_0) = -\tan^{-1}(r_o C_L \omega_0)$$

＊位相シフトは$\tan^{-1}(r_o C_L \omega_0)$といえる。

3段リング発振器





3段の直列インバータのループ利得は

$$\left(H_{inv}(s)\right)^3 = -\left(\frac{g_m r_o}{1 + r_o C_L s}\right)^3 = -H_{OSC}(s)$$

$$H_{OSC}(s) \equiv \left(\frac{g_m r_o}{1 + r_o C_L s}\right)^3$$

従って、3段リング発振器は右図のように描くことができる。
Hosc(s) 利得と位相シフトは、

利得 $\left(\frac{g_m r_o}{\sqrt{1 + (r_o C_L \omega)^2}}\right)^3$

位相シフト $3\tan^{-1}(r_o C_L \omega)$

3段リング発振器の発振周波数

バルクハウゼンの発振条件よりHosc(s)の位相シフトが180°の時に発振が起こる。その時の周波数ω_{osc}とすると、

$$\tan^{-1}(r_o C_L \omega_{OSC}) = \frac{\pi}{3}$$

$$r_o C_L \omega_{OSC} = \sqrt{3}$$

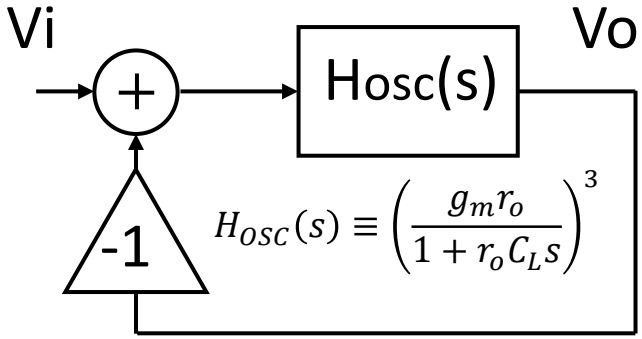
$$\therefore \omega_{OSC} = \frac{\sqrt{3}}{r_o C_L} \quad \text{[rad/s]}$$

利得条件より

$$\left(\frac{g_m r_o}{\sqrt{1 + (r_o C_L \omega_{osc})^2}}\right)^3 = \left(\frac{g_m r_o}{2}\right)^3 \geq 1$$

従って、3段リング発振器はインバータの直流利得gmroが2より大きい時に発振する。

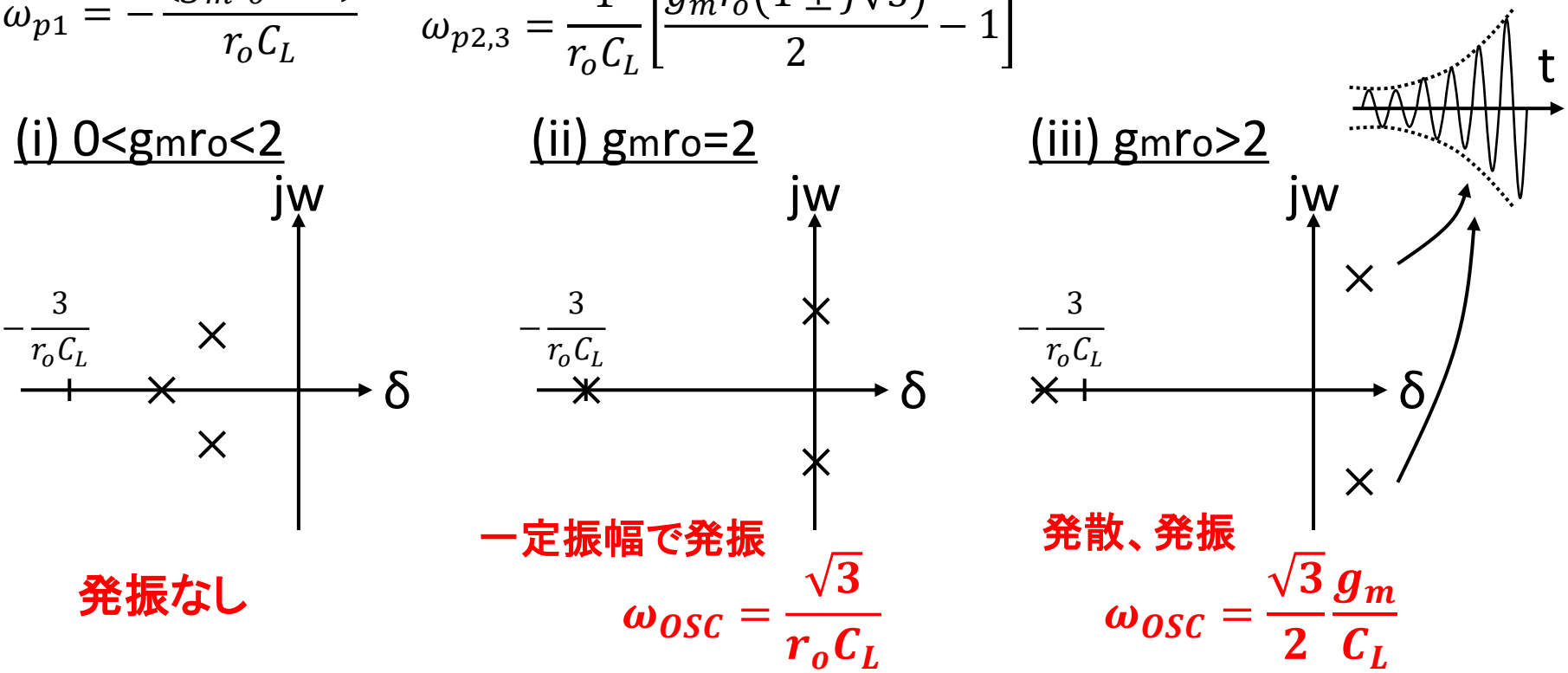
小信号発振周波数



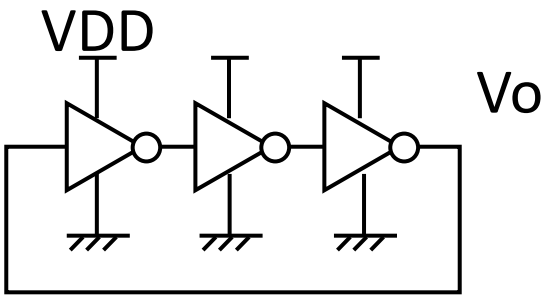
$$\frac{v_o(s)}{v_i(s)} = \frac{H_{OSC}(s)}{1 + H_{OSC}(s)}$$

$$= \frac{(g_m r_o)^3}{(1 + r_o C_L s + g_m r_o)[(1 + r_o C_L s)^2 - (1 + r_o C_L s) g_m r_o + (g_m r_o)^2]}$$

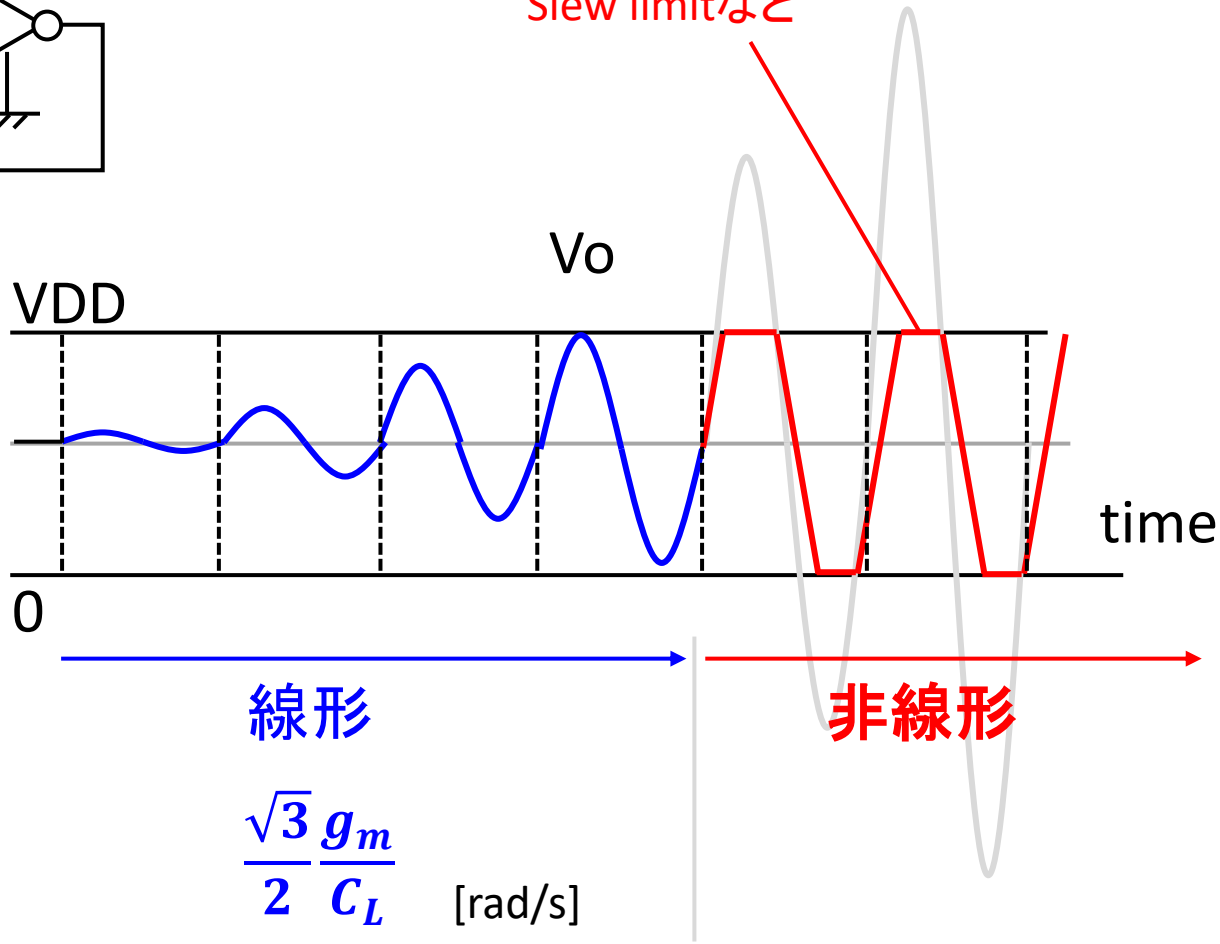
$$\omega_{p1} = -\frac{(g_m r_o + 1)}{r_o C_L} \qquad \omega_{p2,3} = \frac{1}{r_o C_L}\left[\frac{g_m r_o (1 \pm j\sqrt{3})}{2} - 1\right]$$



大信号発振



下記の影響(制限)により非線形動作となる。
電源電圧範囲
素子の線形動作範囲
Slew limitなど

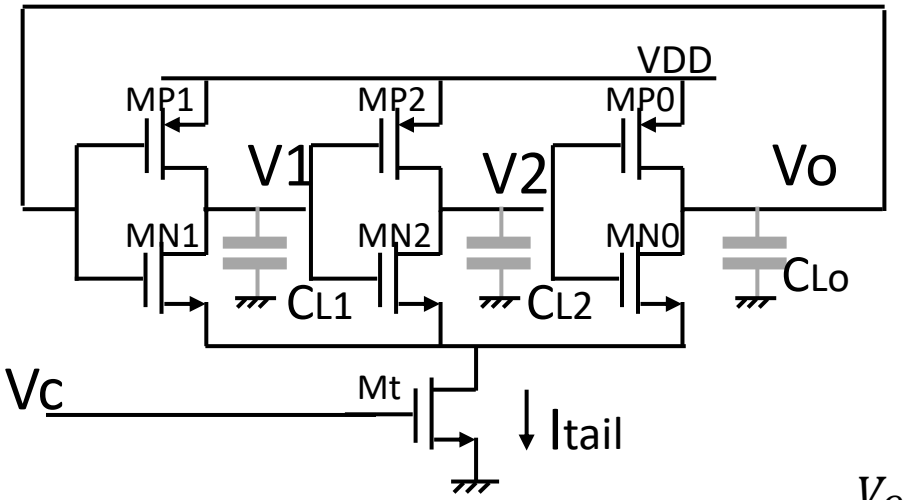


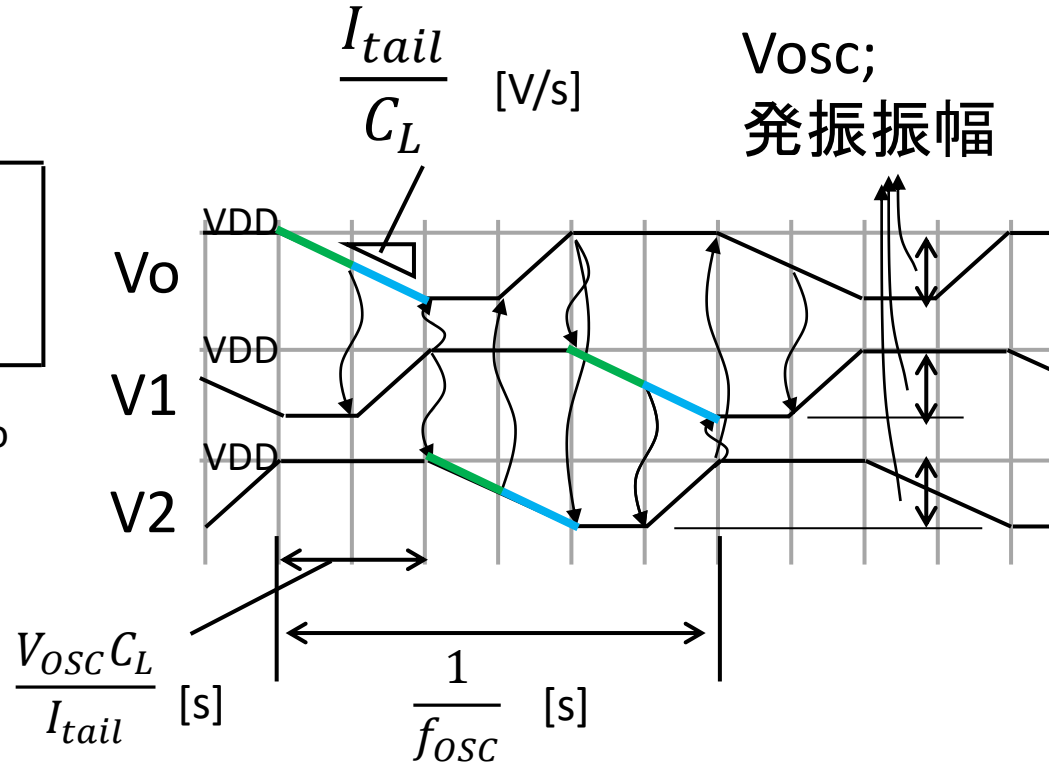
動作状態

発振周波数

$$\frac{\sqrt{3}}{2}\frac{g_m}{C_L}$$ [rad/s]

電圧制御発振器(Voltage-controlled oscillator; VCO)





制御電圧Vcで
発振周波数foscを調節。

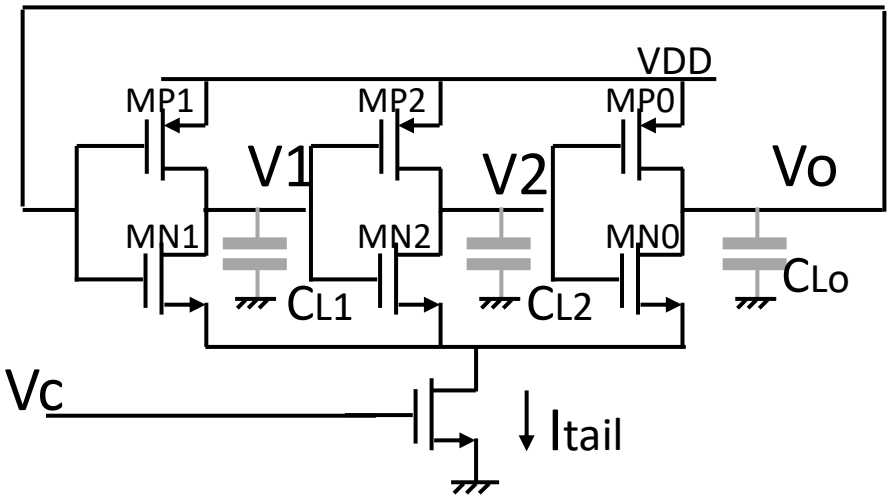
$$\omega_{OSC} = 2\pi \frac{I_{tail}}{3V_{OSC}C_L} = \frac{1}{2}\mu C_{ox}\left(\frac{W}{L}\right)_t (V_c - V_{th})^2 \frac{2\pi}{3V_{OSC}C_L} \quad \text{[rad/s]}$$

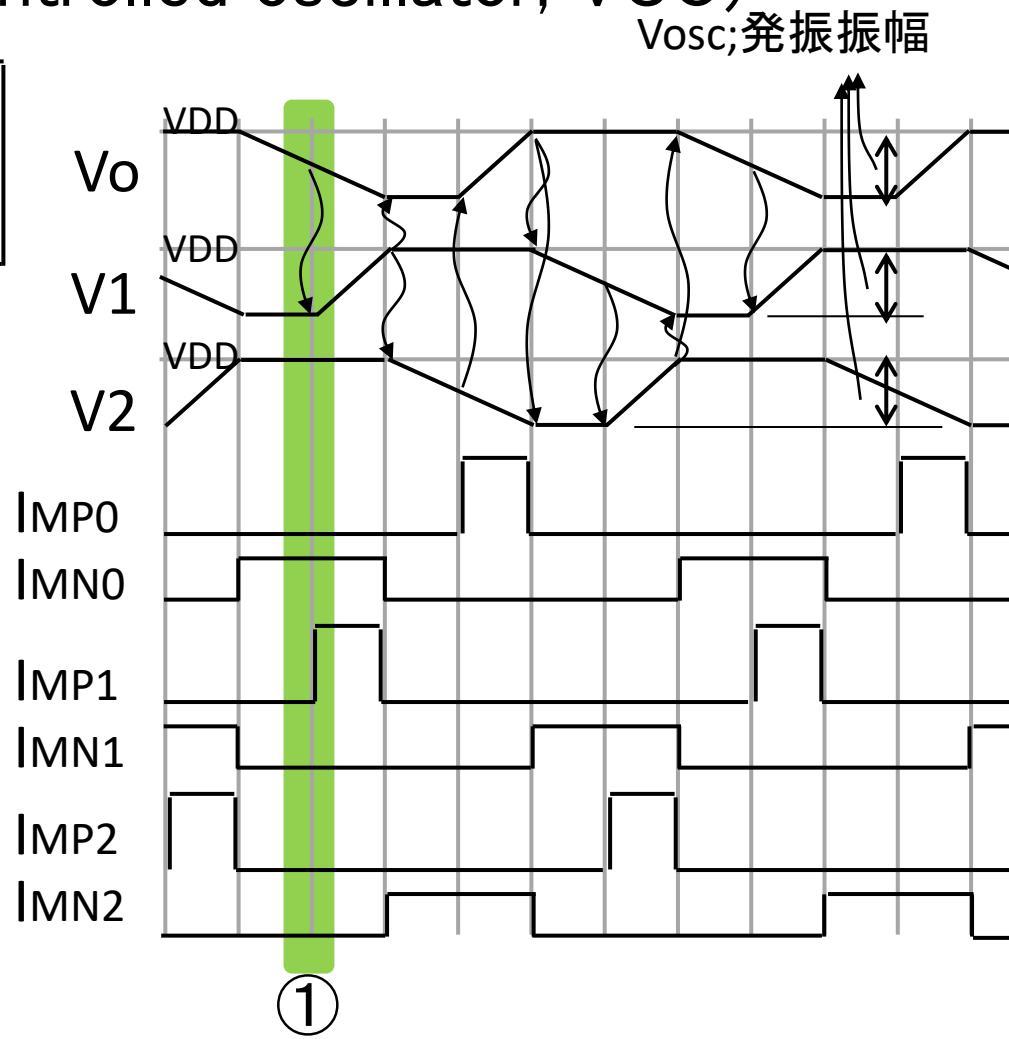
段数

CL= CIo= CL1 =CL2V

発振周波数はVcで調節できる。

電圧制御発振器(Voltage-controlled oscillator; VCO)

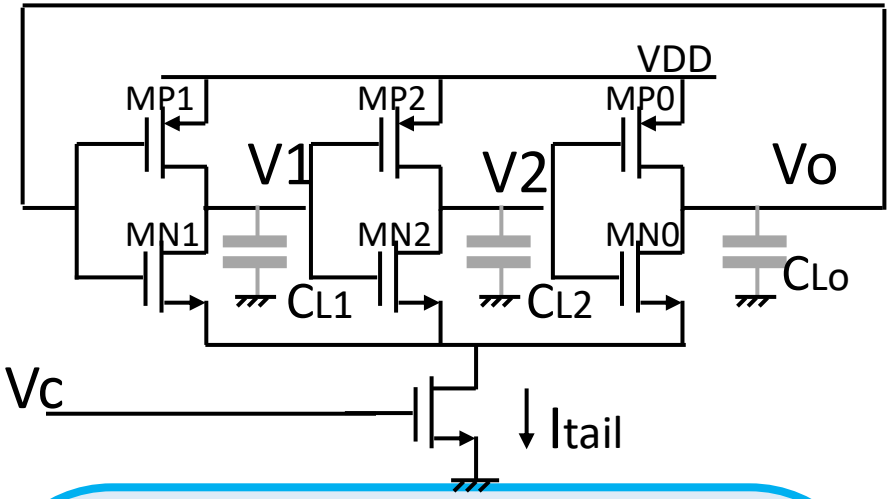


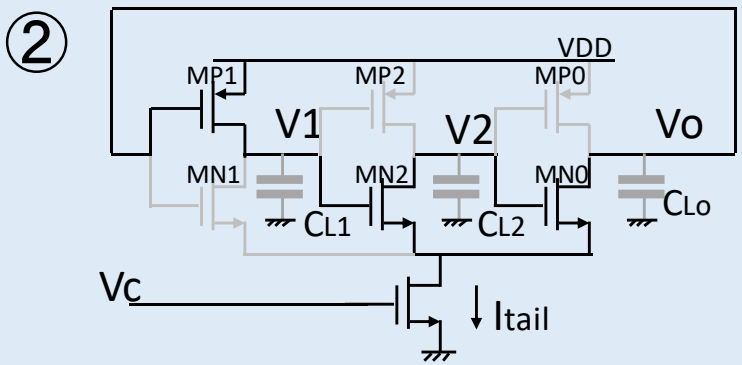


①

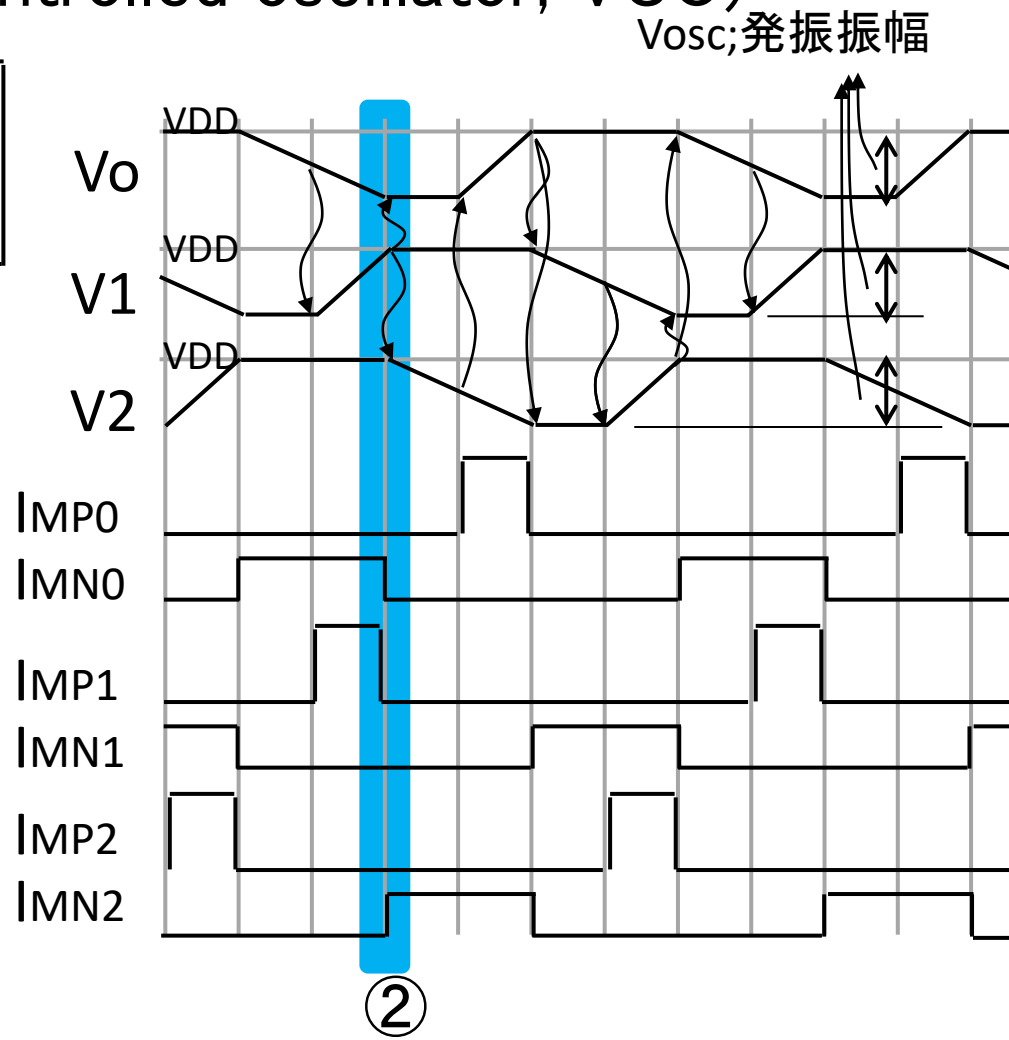
Voが低下しMP1がON.
電流がVDDからMP1を介してCL1へ流れる。
V1電位は上昇を始める。
IMP2はゼロ⇒MP2のVdsが0Vのため。
IMN2もゼロ⇒MN2のVgsがVthより低い為

電圧制御発振器(Voltage-controlled oscillator; VCO)





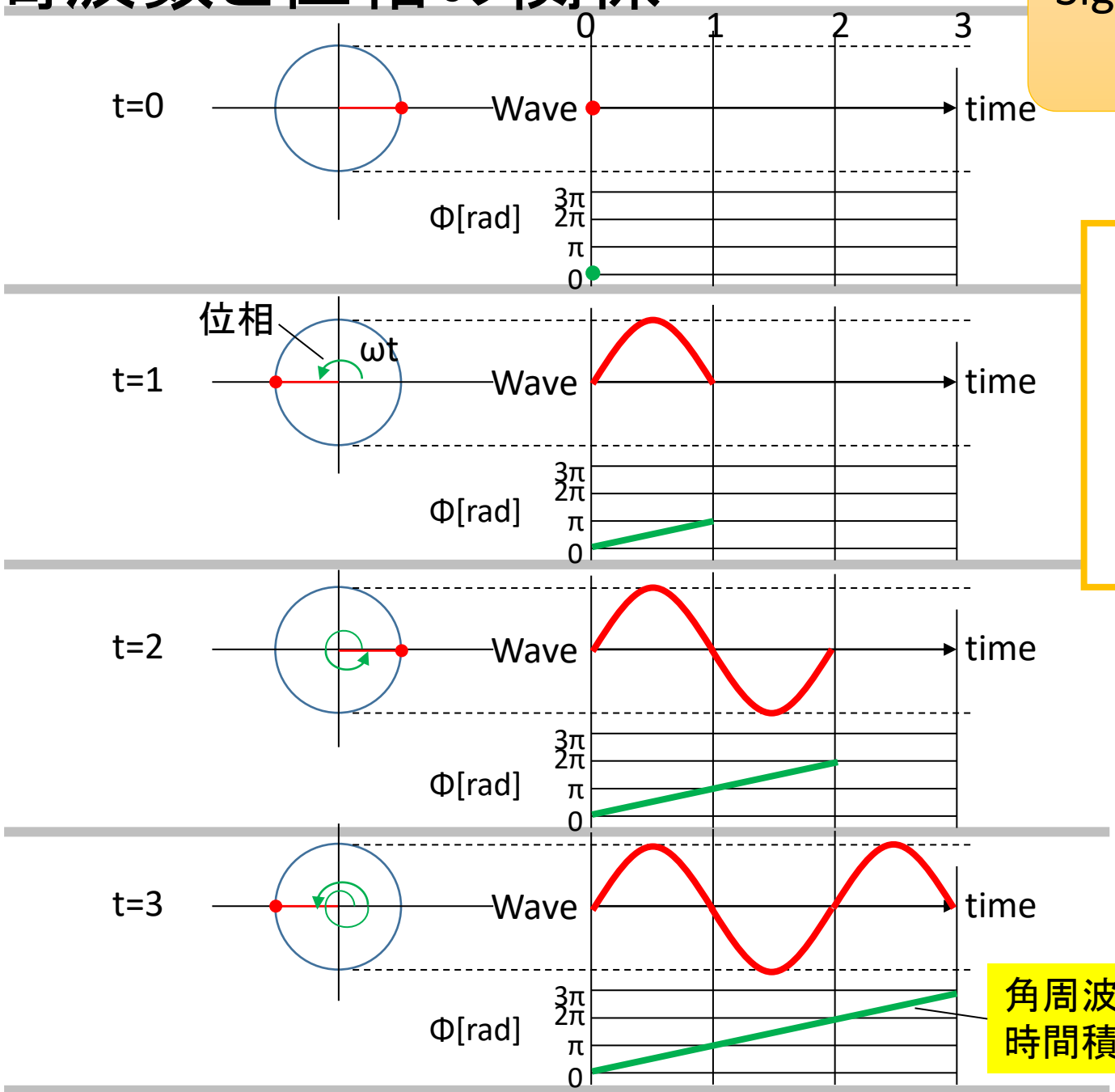
MN2のVgsがMN0のVgsと同じ程度になった時、IMN2が流れる。電流値はItail。その後、V2はCL/Itailの傾き(slew rate)で下降する。



周波数と位相の関係

Signal: Sin(ωt)

ω=π [rad/s]

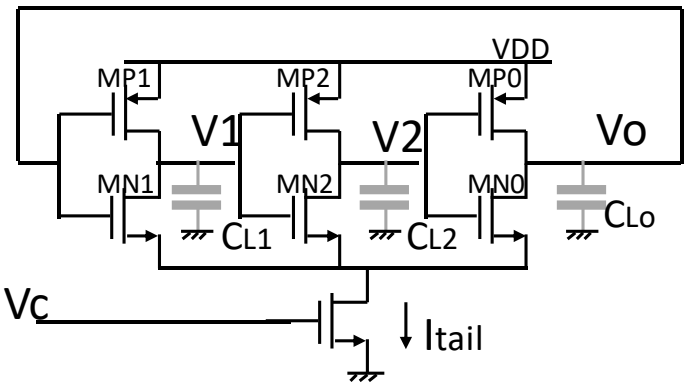


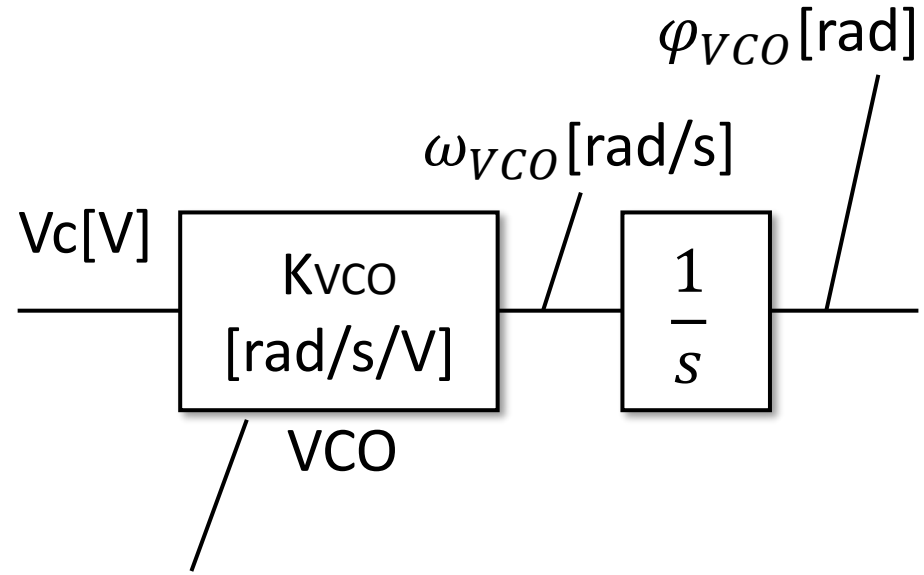
$$\underset{[\mathrm{rad}]}{\phi} = \int \omega \, dt$$

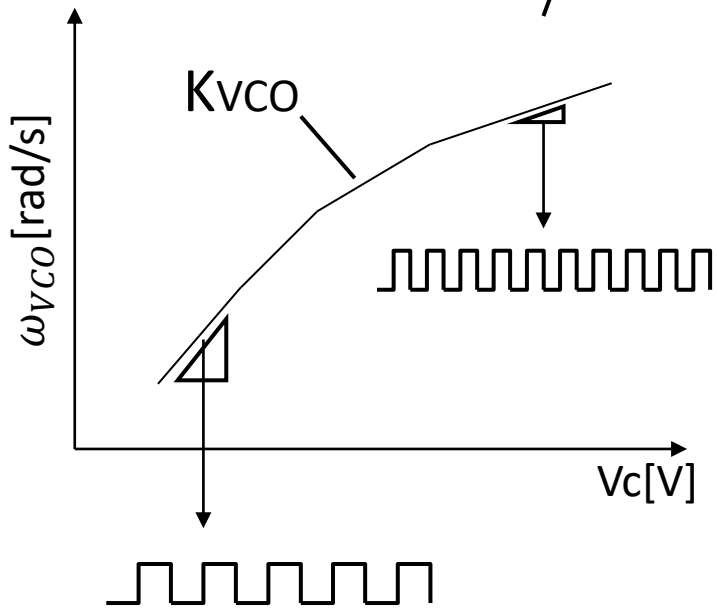
位相は周波数の積分値

角周波数ωの時間積分

VCOのモデル化

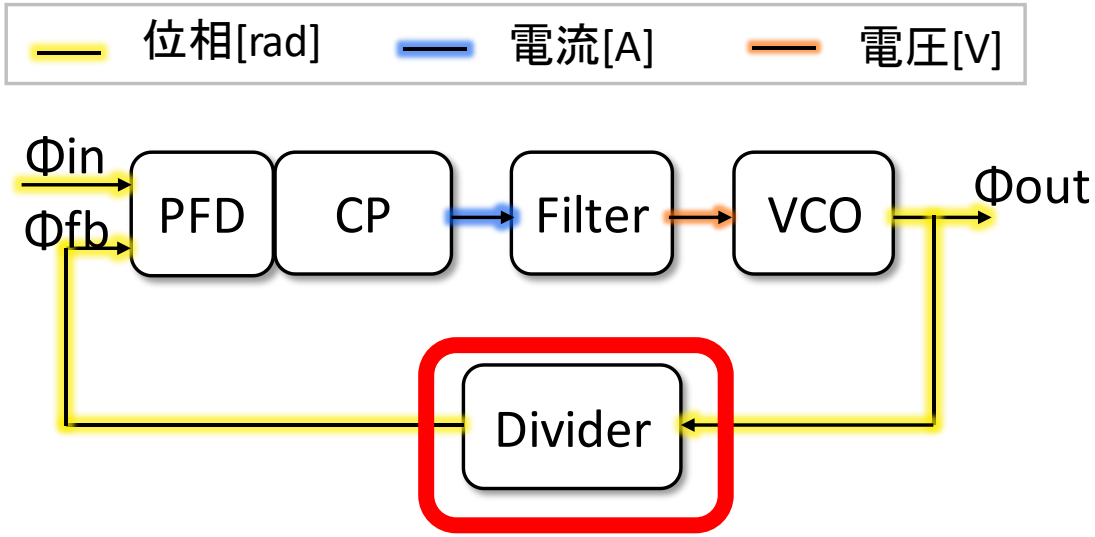

VDD
MP1
MP2
MP0
V1
V2
Vo
MN1
MN2
MN0
CL1
CL2
CLo
Vc
Itail


φ_{VCO}[rad]
ω_{VCO}[rad/s]
Vc[V]
Kvco
[rad/s/V]
$\frac{1}{s}$
VCO


Kvco
ω_{VCO}[rad/s]
Vc[V]

分周器(ディバイダー)のモデリング

発振器の周波数を分周して
PFDに伝える。

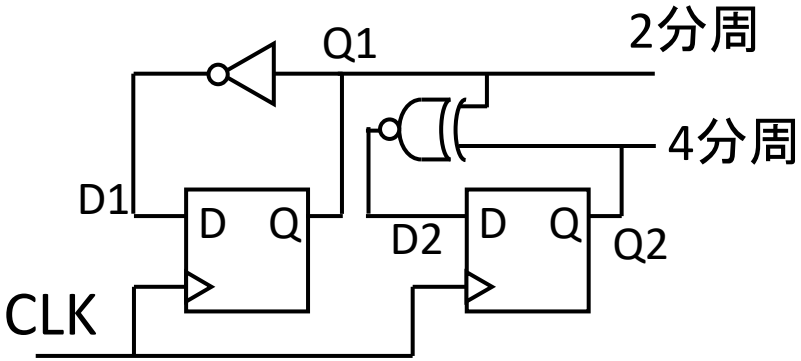


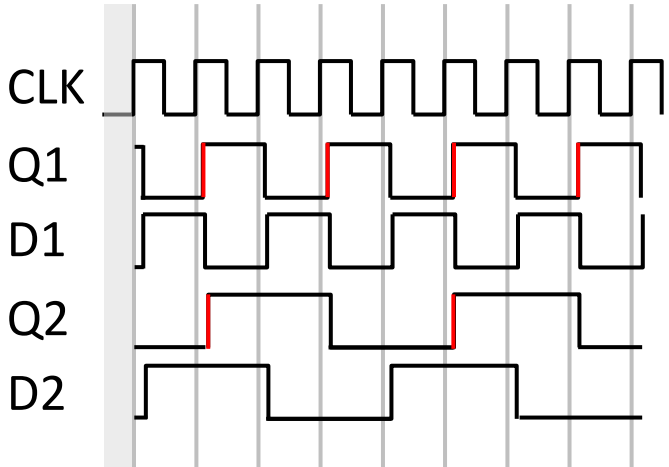
分周回路(ディバイダー, カウンタ)

・FF(フリップフロップ)を用いて構成される。

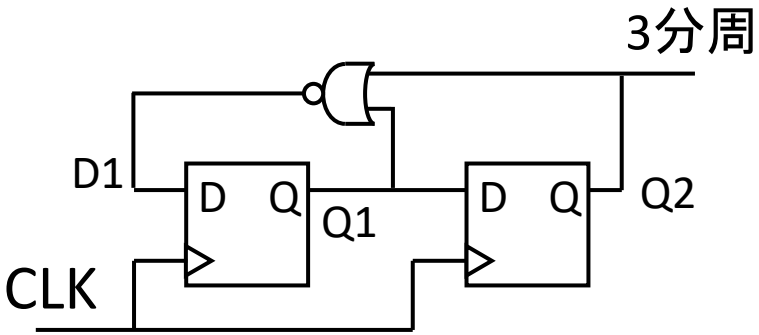
■回路構成例

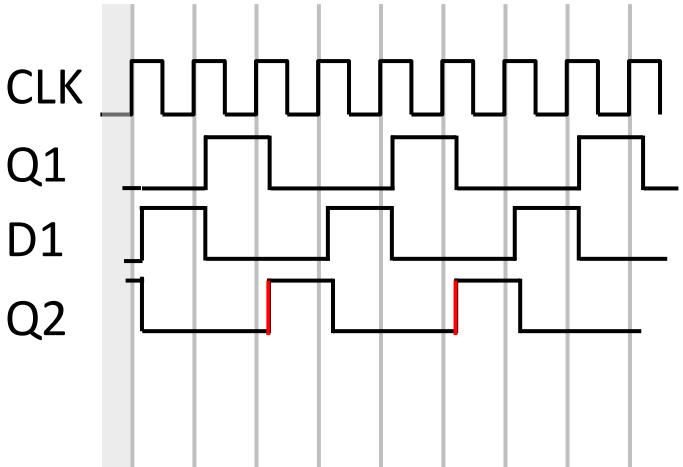
2分周/4分周回路



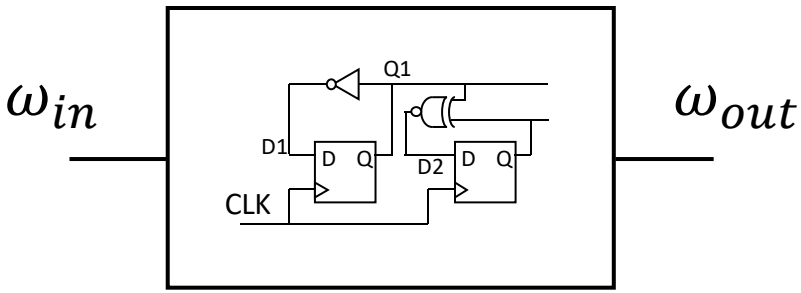


3分周回路

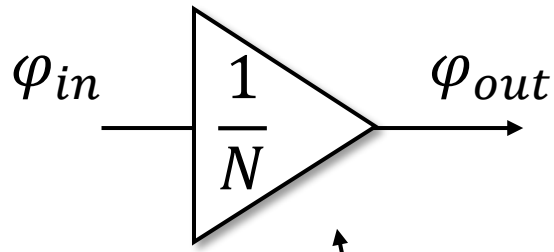




分周回路のモデリング



分周比 N



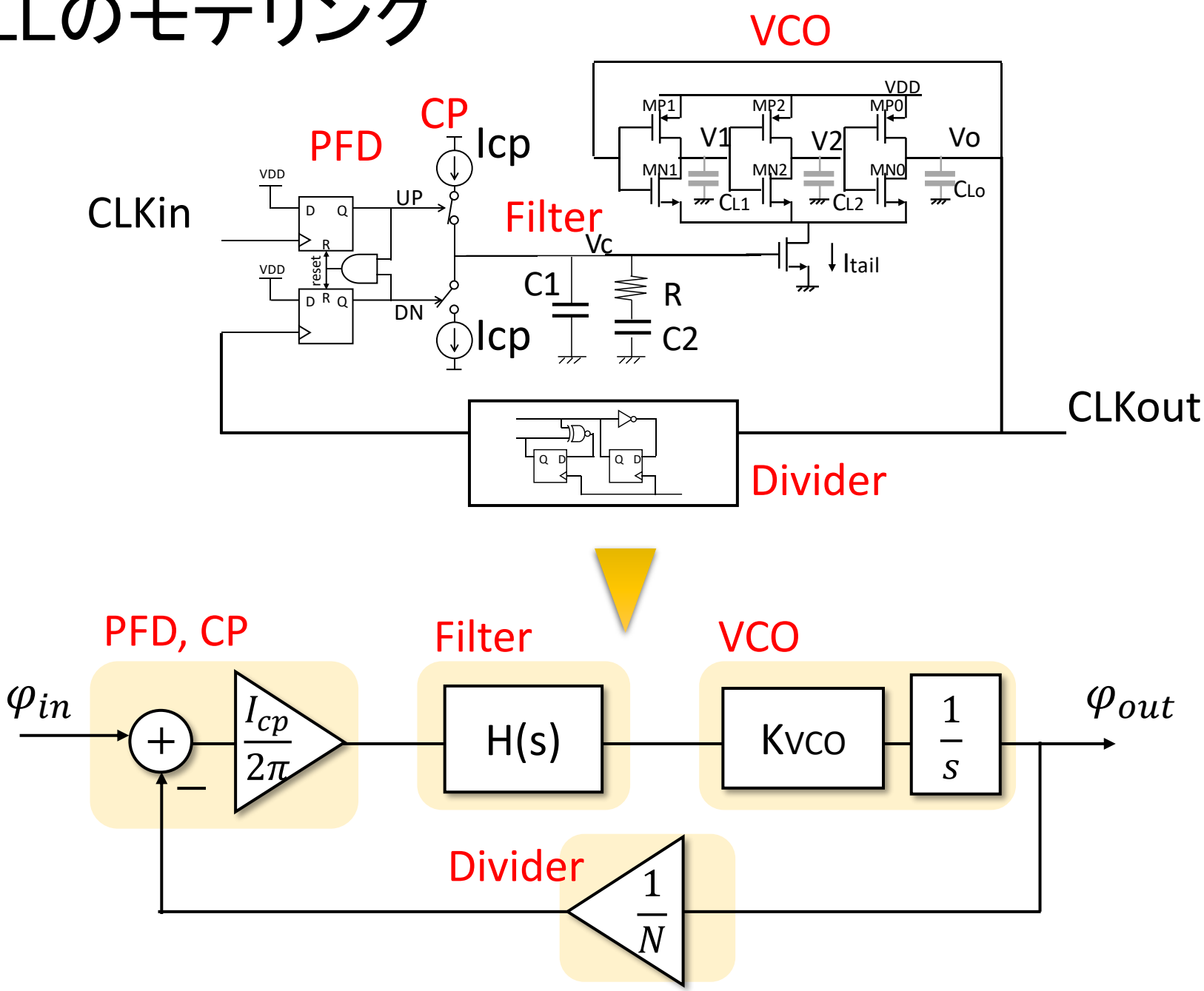
$$\omega_{out} = \frac{1}{N}\omega_{in}$$

位相を考えると

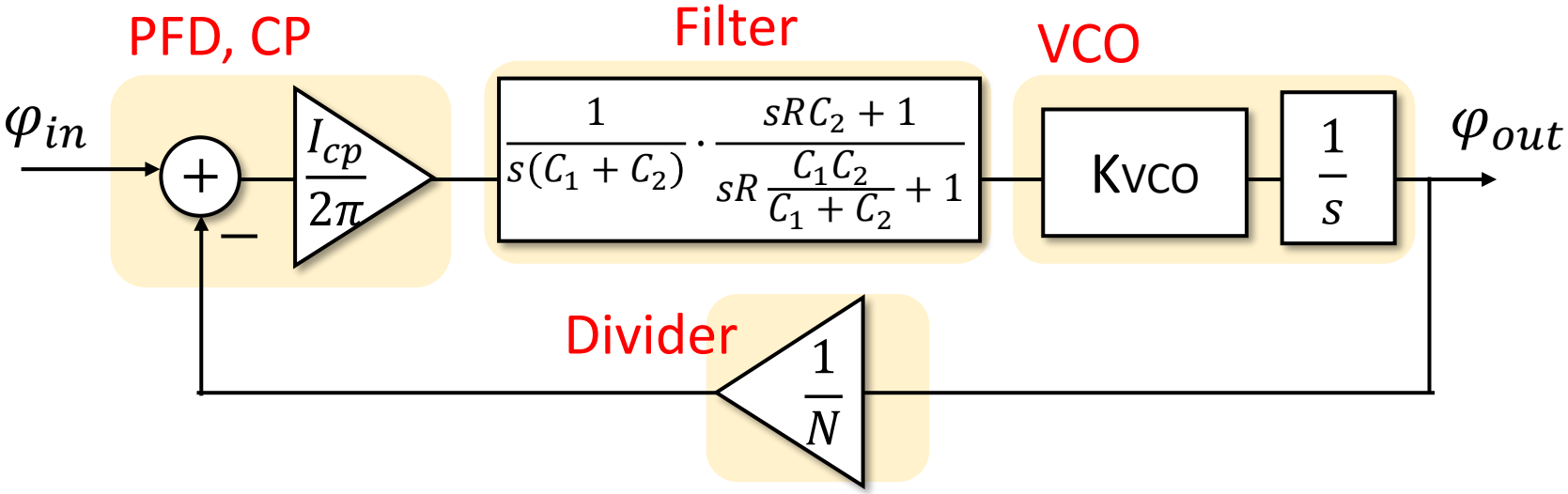
$$\int_0^t \omega_{out} dt = \frac{1}{N}\int_0^t \omega_{in} dt$$

$$\varphi_{out} = \frac{1}{N}\varphi_{in}$$

PLLのモデリング


VCO
VDD
MP1
MP2
MP0
V1
V2
Vo
MN1
MN2
MN0
CL1
CL2
CLo
CP
Icp
PFD
VDD
CLKin
D
Q
R
UP
Filter
Vc
Itail
reset
VDD
D
R
Q
DN
C1
R
C2
Icp
CLKout
Q
D
Q
D
Divider
PFD, CP
Filter
VCO
φ_{in}
+
−
$\frac{I_{cp}}{2\pi}$
H(s)
Kvco
$\frac{1}{s}$
φ_{out}
Divider
$\frac{1}{N}$

PLLの開ループゲイン



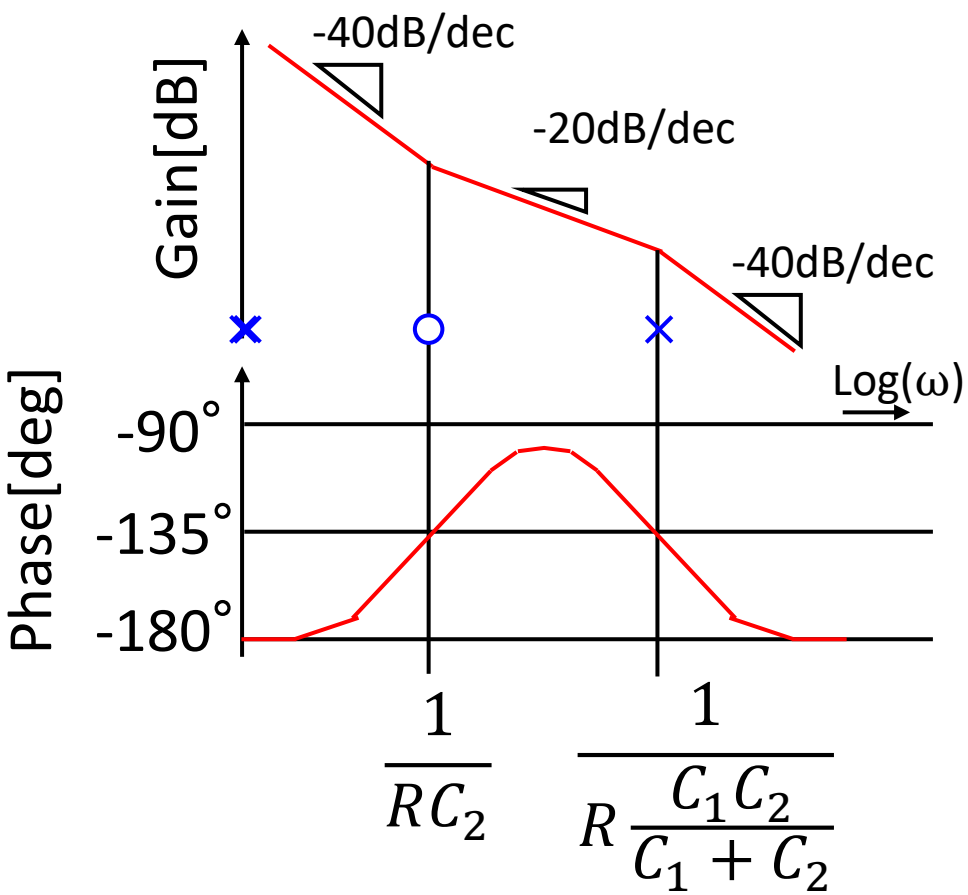
$$H_{op} = \frac{K_{VCO} I_{cp}}{2\pi N} \frac{1}{s^2} \frac{1}{C_1 + C_2} \cdot \frac{sRC_2 + 1}{sR\frac{C_1 C_2}{C_1 + C_2} + 1}$$

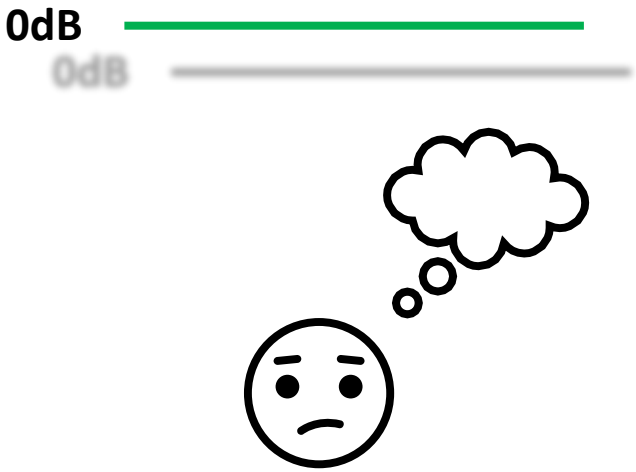
重根

極　$0,\ \dfrac{1}{R\dfrac{C_1C_2}{C_1+C_2}}$　制御電圧平滑化

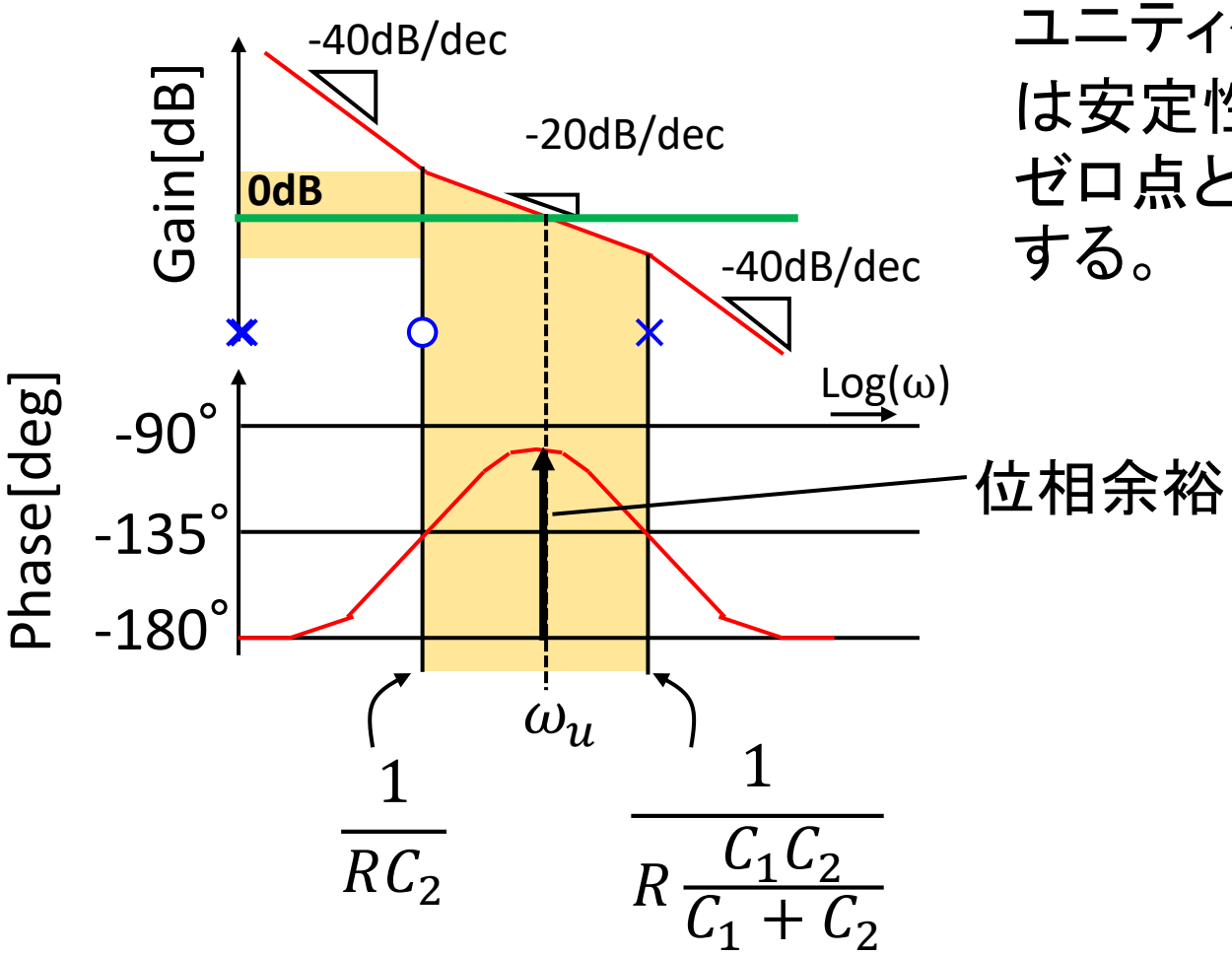
ゼロ　$\dfrac{1}{RC_2}$　安定性確保

どこに0dBラインを置いたらよいか？





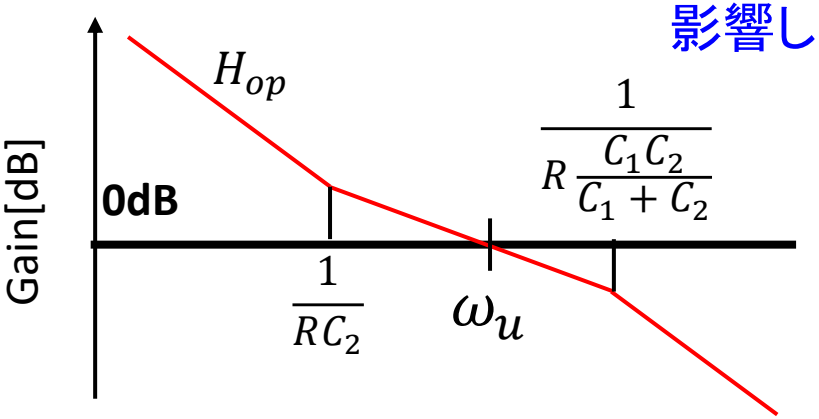
どこに0dBラインを置いたらよいか？

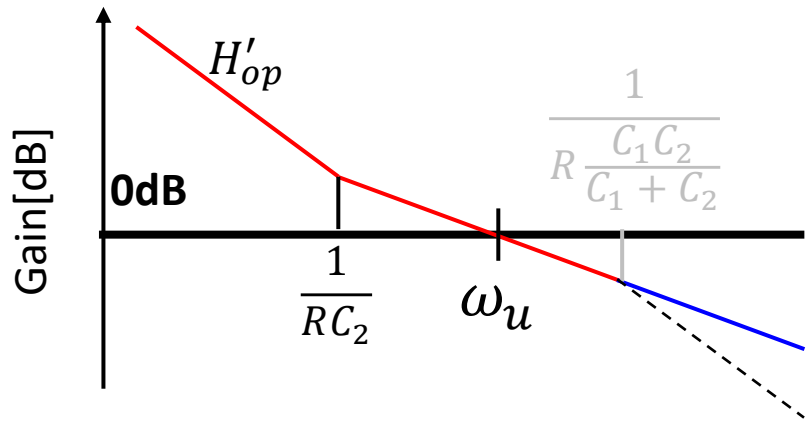


ユニティゲイン周波数ωuは安定性確保のためにゼロ点と極の間に設計する。

ユニティゲイン周波数の概算

高周波の極は
HopとOdBの交点に
影響しない





$$H_{op} = \frac{K_{VCO}I_{cp}}{2\pi N}\frac{1}{s^2}\frac{sRC_2+1}{C_1+C_2}\cdot\frac{1}{sR\frac{C_1C_2}{C_1+C_2}+1}$$

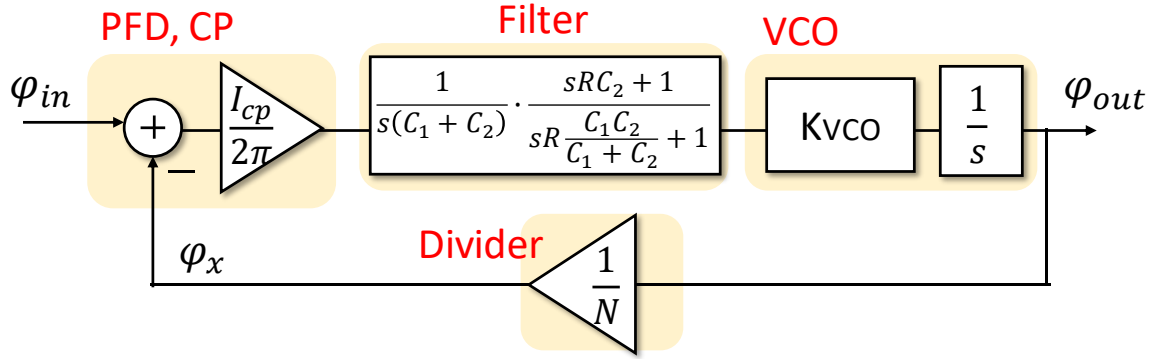
$$H'_{op} = \frac{K_{VCO}I_{cp}}{2\pi N}\frac{1}{s^2}\frac{sRC_2+1}{C_1+C_2}$$

$$\omega = \omega_u$$
$$|H'_{op}| = 1$$
$$j\omega_u RC_2 + 1 \approx j\omega_u RC_2$$

$$|H'_{op}| = 1 \approx \left|\frac{K_{VCO}I_{cp}}{2\pi N}\frac{1}{j\omega_u}\frac{RC_2}{C_1+C_2}\right|$$

$$\omega_u \approx \frac{K_{VCO}I_{cp}}{2\pi N}\frac{RC_2}{C_1+C_2} \quad \text{[rad/s]}$$

PLL特性まとめ

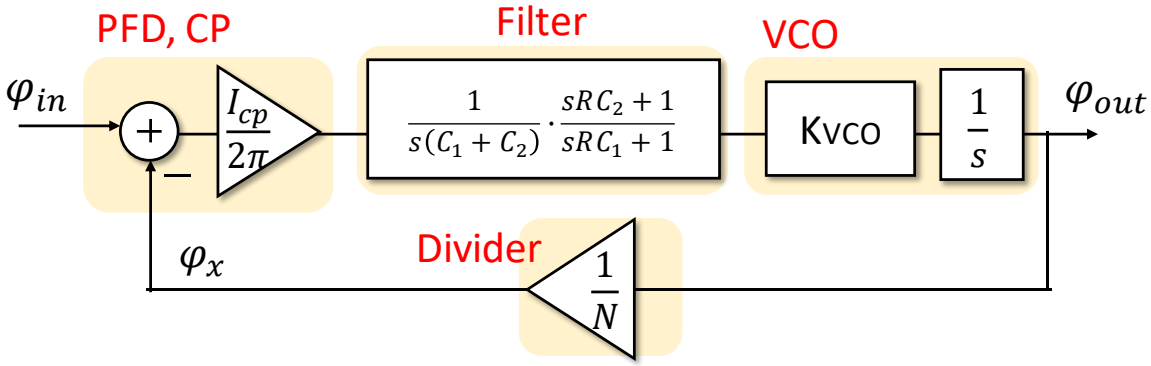


開ループ伝達関数	$H_{op} = \frac{K_{VCO} I_{cp}}{2\pi N} \frac{1}{s^2} \frac{1}{C_1+C_2} \cdot \frac{sRC_2+1}{sR\frac{C_1C_2}{C_1+C_2}+1}$
閉ループ伝達関数	$H_{cl_x} = \frac{\varphi_x}{\varphi_{in}} = \frac{H_{op}}{1+H_{op}}$, $H_{cl} = \frac{\varphi_{out}}{\varphi_{in}} = \frac{N\varphi_x}{\varphi_{in}} = N \cdot H_{cl_x}$
帯域	$\omega_u \approx \frac{K_{VCO} I_{cp}}{2\pi N} \frac{RC_2}{C_1+C_2}$ [rad/s]
極	0, $\frac{1}{R\frac{C_1C_2}{C_1+C_2}}$ [rad/s]
ゼロ	$\frac{1}{RC_2}$ [rad/s]

PLL特性まとめ

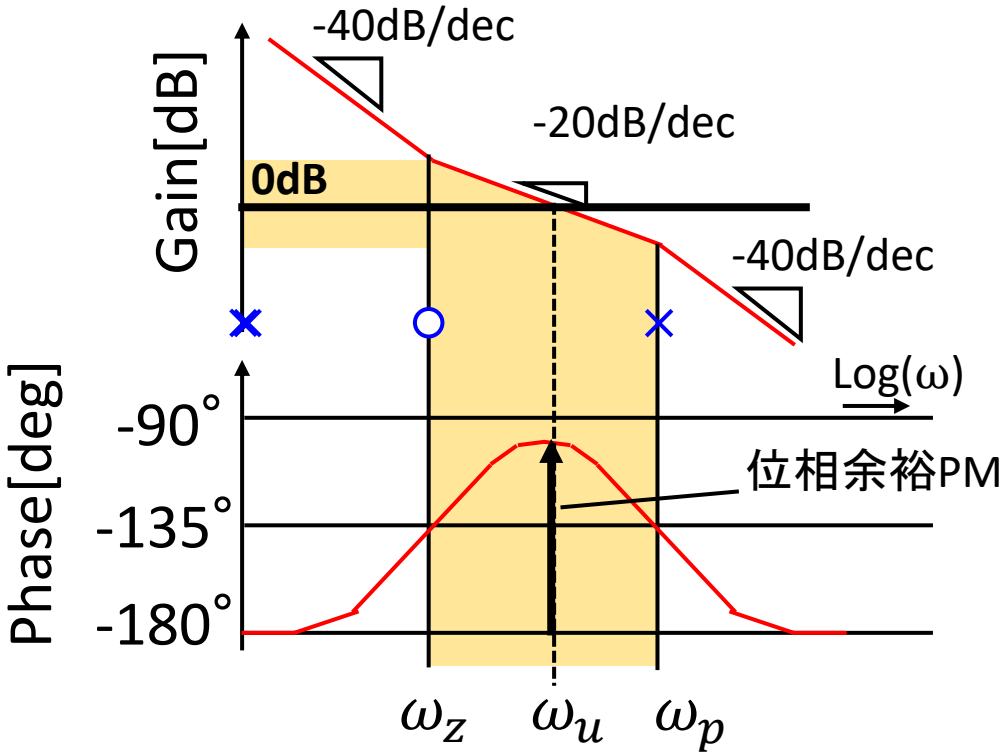
C2が20C1以上の場合

$$\frac{C_1}{C_2} \ll 1 \quad , \quad \frac{C_1 C_2}{C_1 + C_2} \approx C_1$$



開ループ伝達関数	$H_{op} = \frac{K_{VCO} I_{cp}}{2\pi N} \frac{1}{s^2} \frac{1}{C_1 + C_2} \cdot \frac{sRC_2 + 1}{sRC_1 + 1}$	
閉ループ伝達関数	$H_{cl_x} = \frac{\varphi_x}{\varphi_{in}} = \frac{H_{op}}{1 + H_{op}}$, $H_{cl} = \frac{\varphi_{out}}{\varphi_{in}} = \frac{N\varphi_x}{\varphi_{in}} = N \cdot H_{cl_x}$	
帯域	$\omega_u \approx \frac{K_{VCO} I_{cp}}{2\pi N} R$	[rad/s]
極	0, $\frac{1}{RC_1}$	[rad/s]
ゼロ	$\frac{1}{RC_2}$	[rad/s]

極、ゼロから位相を求める



$$H_{op} = \frac{K_{VCO} I_{cp}}{2\pi N} \frac{1}{s^2} \frac{1}{C_1 + C_2} \cdot \frac{s\tau_z + 1}{s\tau_p + 1}$$

$$\left(\begin{array}{l} \tau_z = \dfrac{1}{\omega_z} \\ \tau_p = \dfrac{1}{\omega_p} \end{array} \right)$$

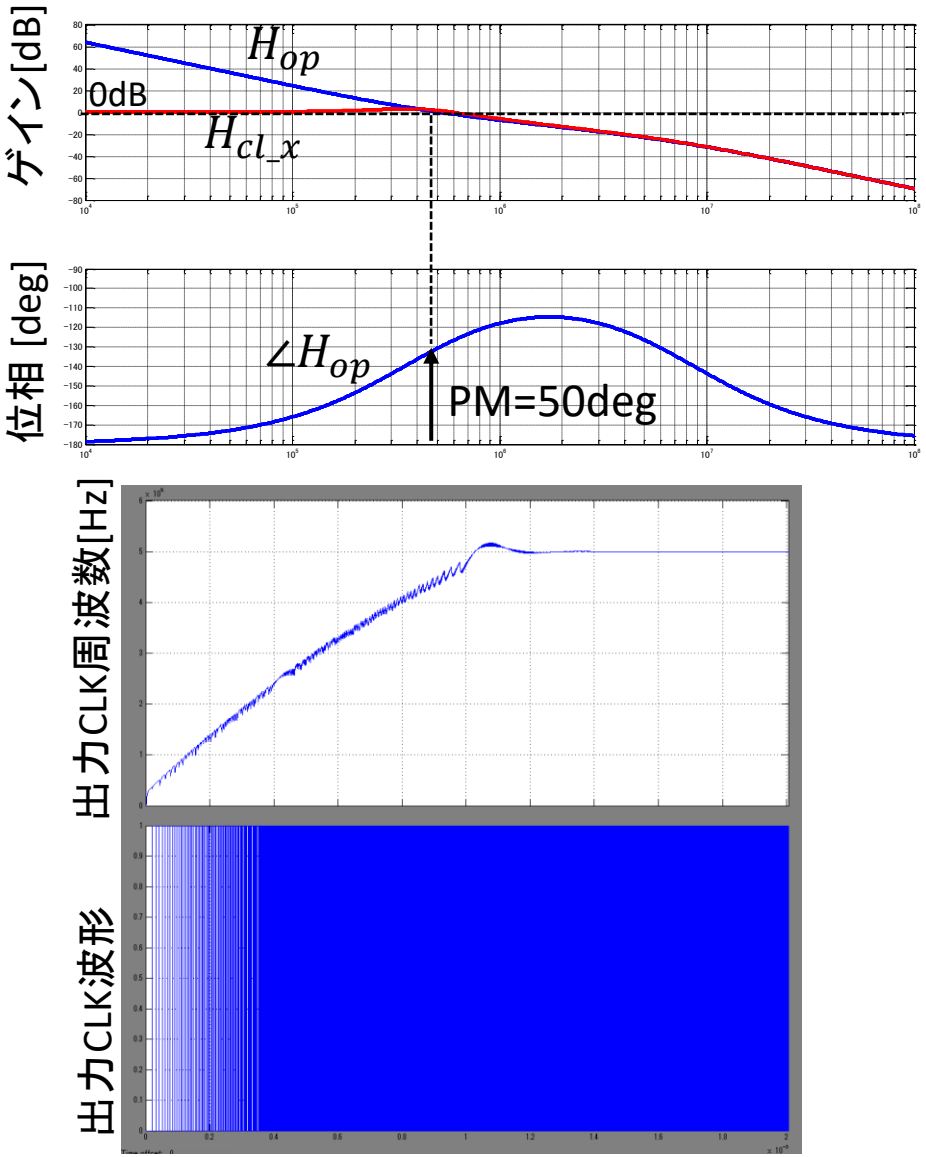
ω_uでの位相は, $\angle H(j\omega_u) = \tan^{-1}\frac{\omega_u}{\omega_z} - \tan^{-1}\frac{\omega_u}{\omega_p} - \pi$

位相余裕PMは, $PM = \tan^{-1}\frac{\omega_u}{\omega_z} - \tan^{-1}\frac{\omega_u}{\omega_p}$ [rad]

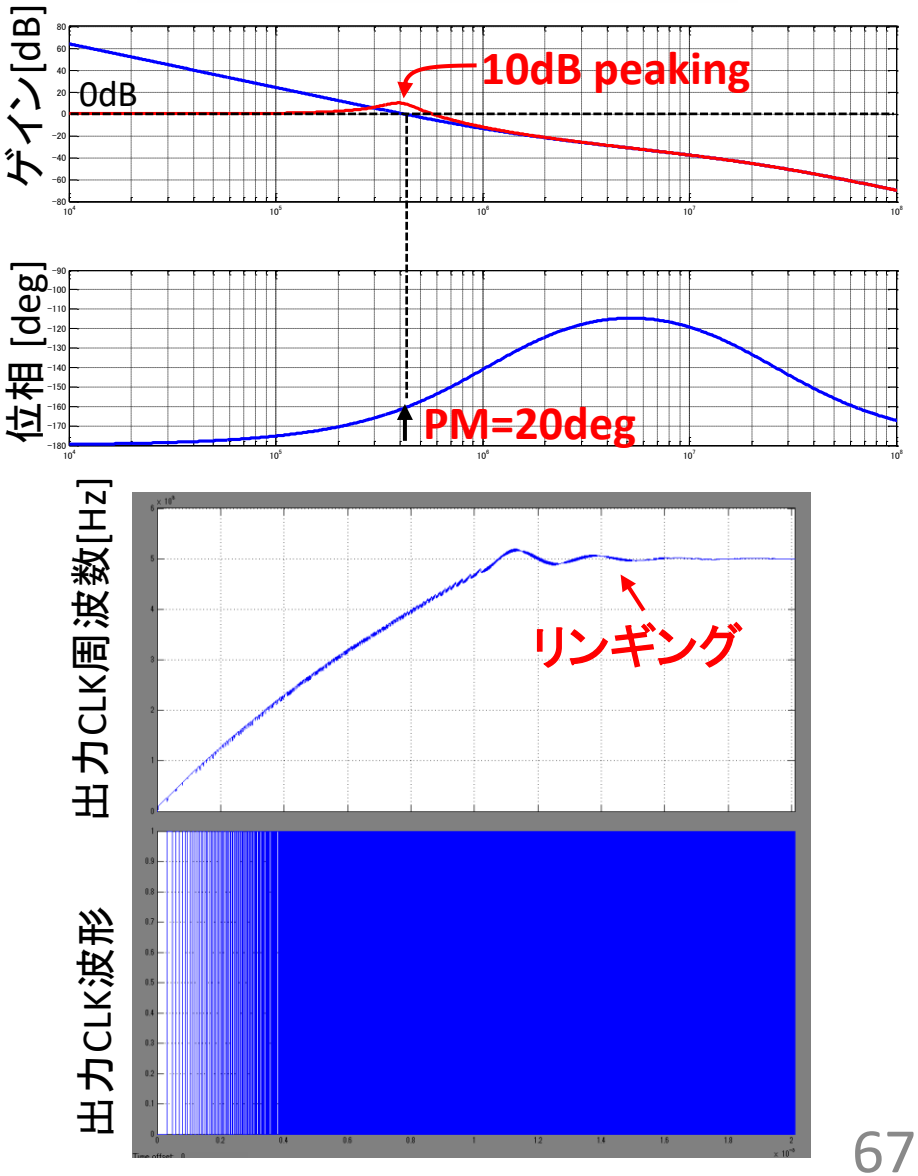
$$= \left(\tan^{-1}\frac{\omega_u}{\omega_z} - \tan^{-1}\frac{\omega_u}{\omega_p}\right)\frac{180}{\pi} \quad \text{[deg]}$$

位相余裕とPLL出力

位相余裕=50deg



位相余裕=20deg



レポート課題

下記条件を満たすように
PLLのパラメータR, C1, C2, Icpを机上設計してください。

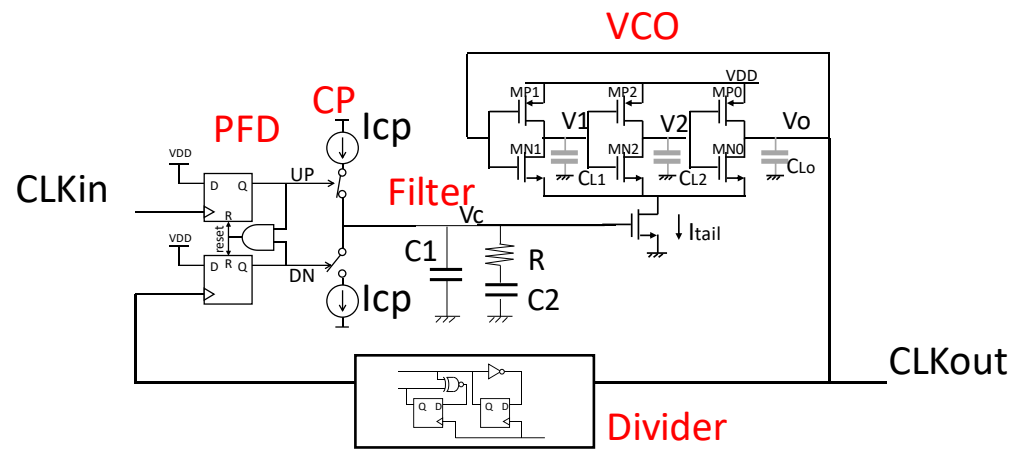
1. 位相余裕60°以上
2. C1+C2<200pF かつ **C1>1pF**
3. 1uA<Icp<100uA
4. $\omega_u > 2\pi * 500k$ [rad/s]

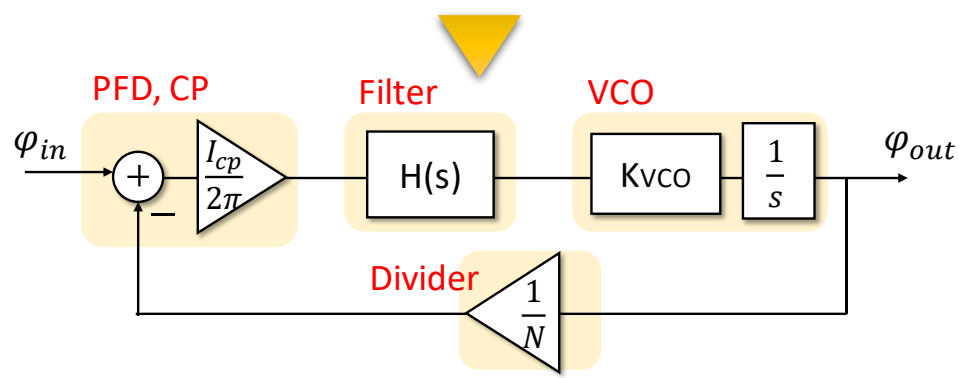
ただし、Kvco=1.396G [rad/s/V]、N=10とする。

#	Name	Note
1	Kvco	VCOゲイン
2	N	逓倍数
3	Icp	チャージポンプ電流
4	C1	フィルタ定数
5	C2	フィルタ定数
6	R	フィルタ定数

レポートへは下記を含めてください。

1. 設計方針、過程
2. 設計結果
   (R, C1, C2, Icp, **位相余裕, ω_u**)
3. 本日の感想





備考

位相余裕が高い→安定
容量が小さい→小面積
Icpが小さい→低消費電力
ω_uが高い(*)→VCOノイズ抑制

*入力クロックのノイズが大きい場合は低いω_uが必要となる。

レポート課題提出について

■提出方法（下記のいずれか）

1. 元澤へ電子データを直接メール

   email: atsushi.motozawa.kx@renesas.com

2. 電気電子工学　事務室（3号館1F)へ
   レポート(紙面)提出

■締め切り

8月5日(水)

用語

- PLL: Phase-looked loop
- CLK: Clock
- PFD: Phase frequency detector
- CP: Charge pump
- VCO: Voltage-controlled oscillator
- DIV: Divider
- LPF: Low pass filter
- HPF: High pass filter
- FF: Flip-flop
- PM: Phase margin

参考文献

[1]黒田忠広 監訳, Behzad Razavi 著「アナログCMOS集積回路の設計, 応用編」丸善, 2003年
[2]松澤昭 著「アナログRF CMOS集積回路設計, 基礎編」培風館, 2010年
[3]明石一, 今井弘之 著「詳解 制御工学演習」共立出版, 1981年
[4]野波健蔵, 西村秀和 著「MATLABによる制御理論の基礎」東京電機大学出版局, 1998年
[5]湯山俊夫 著「ディジタルIC回路の設計」CQ出版, 1986