

第456回群馬大学アナログ集積回路研究会  
令和3年度 集積回路設計技術・次世代集積回路工学特論公開講座

# 高信頼性60-100V用 n-LDMOSTランジスタ

松田順一  
群馬大学

2021年6月22日（火）16:00～17:30

インターネット配信

# 概要

- n-LDMOSTトランジスタの用途と車載品への展開
- 従来(基本)n-LDMOSTトランジスタの問題点
- 高信頼性 60–100 V 用n-LDMOSTトランジスタ
  - 基本特性
    - 静特性、スイッチング損失、Drain Current Expansion、ホットキャリア耐性
  - プロセス変動に対する特性ばらつきと最適化
- まとめ
- 謝辞
- 参考文献
  - シミュレーション: 3次元デバイスシミュレータ **3D-TCAD** を使用
  - 以降ではn-LDMOSTトランジスタをn-LDMOSと記す

# n-LDMOSの用途

- ・低電力の電圧変換用の集積型スイッチングデバイス
- ・パワーアンプの出力増幅用デバイス

例: POL (Point of Load) 用電源、液晶パネルのLEDバックライト用電源、  
携帯電話及び携帯電話基地局用パワーアンプなど

## 民生品

スイッチング電源の  
高効率化と高周波化(小型化)

- ・低特性オン抵抗
- ・低スイッチング損失

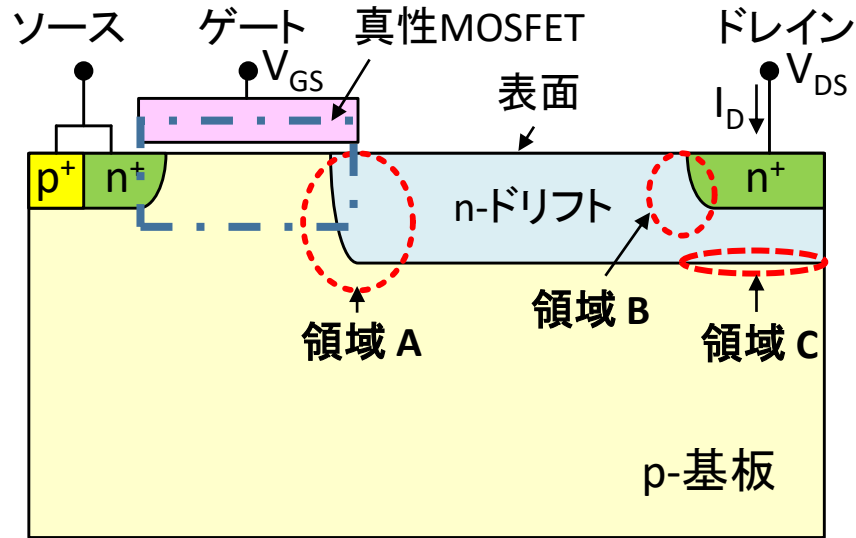
+

## 車載品(携帯電話基地局も含む)

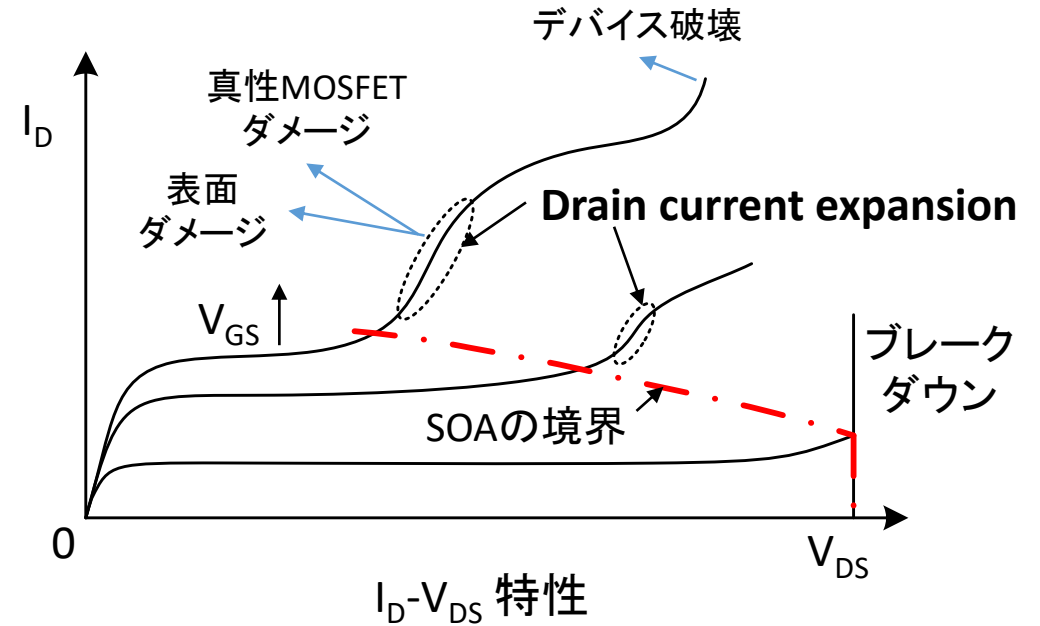
民生品の要求に加えて**高信頼性**

- ・高ホットキャリア耐性
- ・広SOA(Safe Operating Area)

# 基本n-LDMOSの問題点



基本n-LDMOSの断面



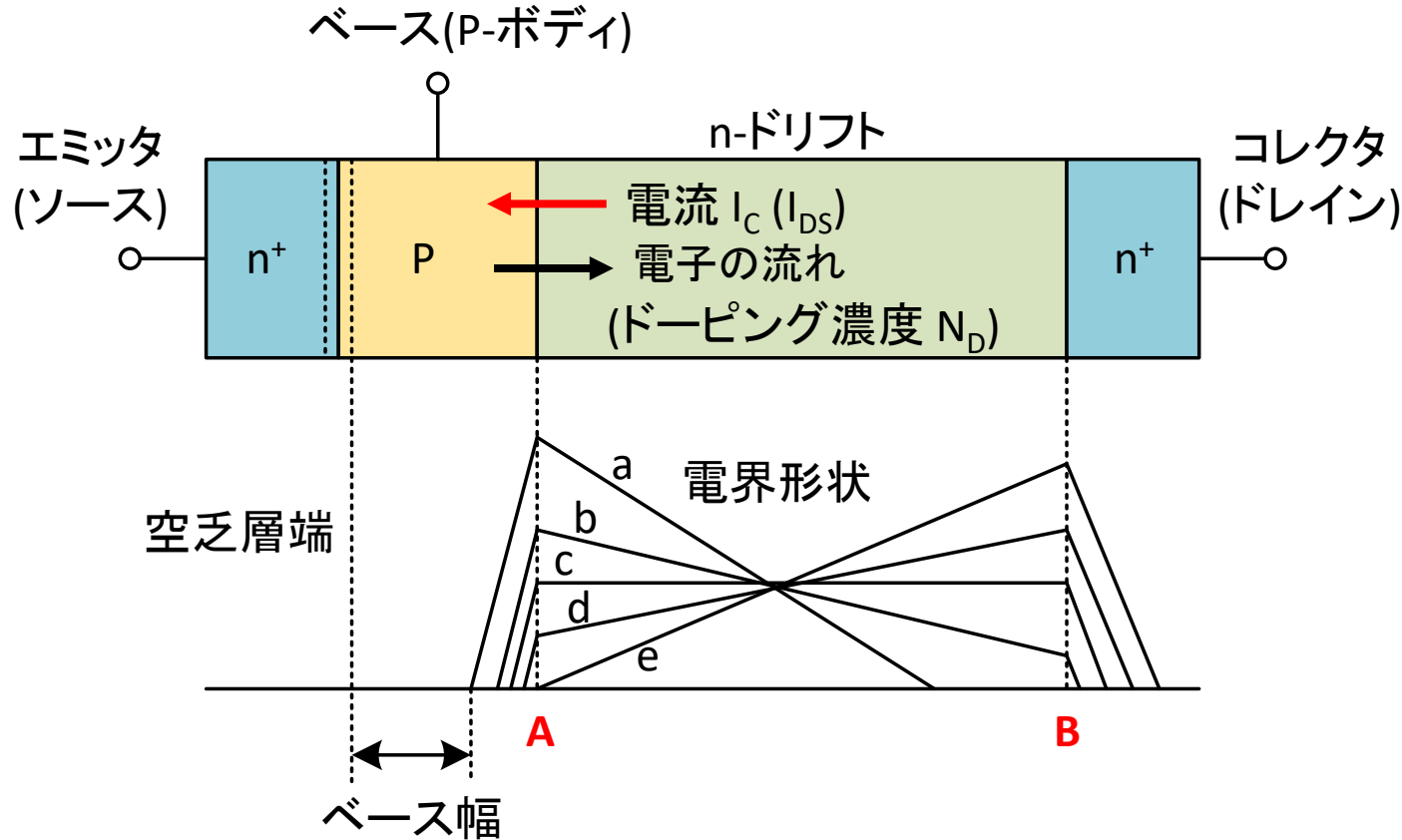
$I_D$ - $V_{DS}$  特性

問題

- (1) **低ホットキャリア耐性**  
⇒ 領域 A 内の高電界に起因: DAHC (drain avalanche hot carriers)を誘起
- (2) **ドレイン電流の拡張** (Drain current expansion (CE)): 狭いSOA  
⇒ 領域 B 内のKirk効果による高電界に起因
- (3) **高特性オン抵抗**  
⇒ n-ドリフト領域の低不純物濃度に起因
- (4) **耐圧の低下**  
⇒ 領域 C 内の高電界に起因

以降簡単化して、  
n-LDMOS → LDMOSと記す

# Kirk効果のモデル



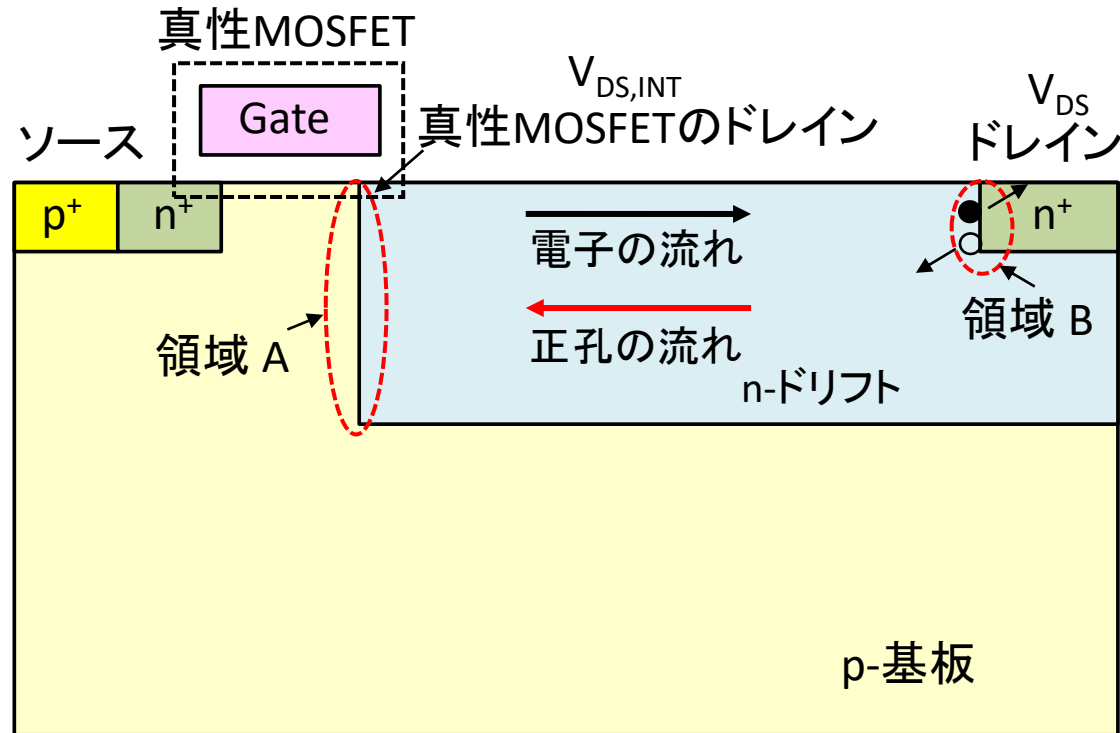
## ■ $I_C (I_{DS})$ 増大

- ⇒ 電界形状は“a” から “e”へ変化
- ⇒ **電界ピークは“A”から“B”へ移動**
- ⇒ ベース幅拡大  
(**Base widening or Kirk effect**)

## ■ $N_D$ 増大

- ⇒ 電界ピークが“A”から“B”へ移動  
するのにより高い  $I_C (I_{DS})$  が必要
- ⇒ 固定  $I_C (I_{DS})$  では “B” での電界は低下

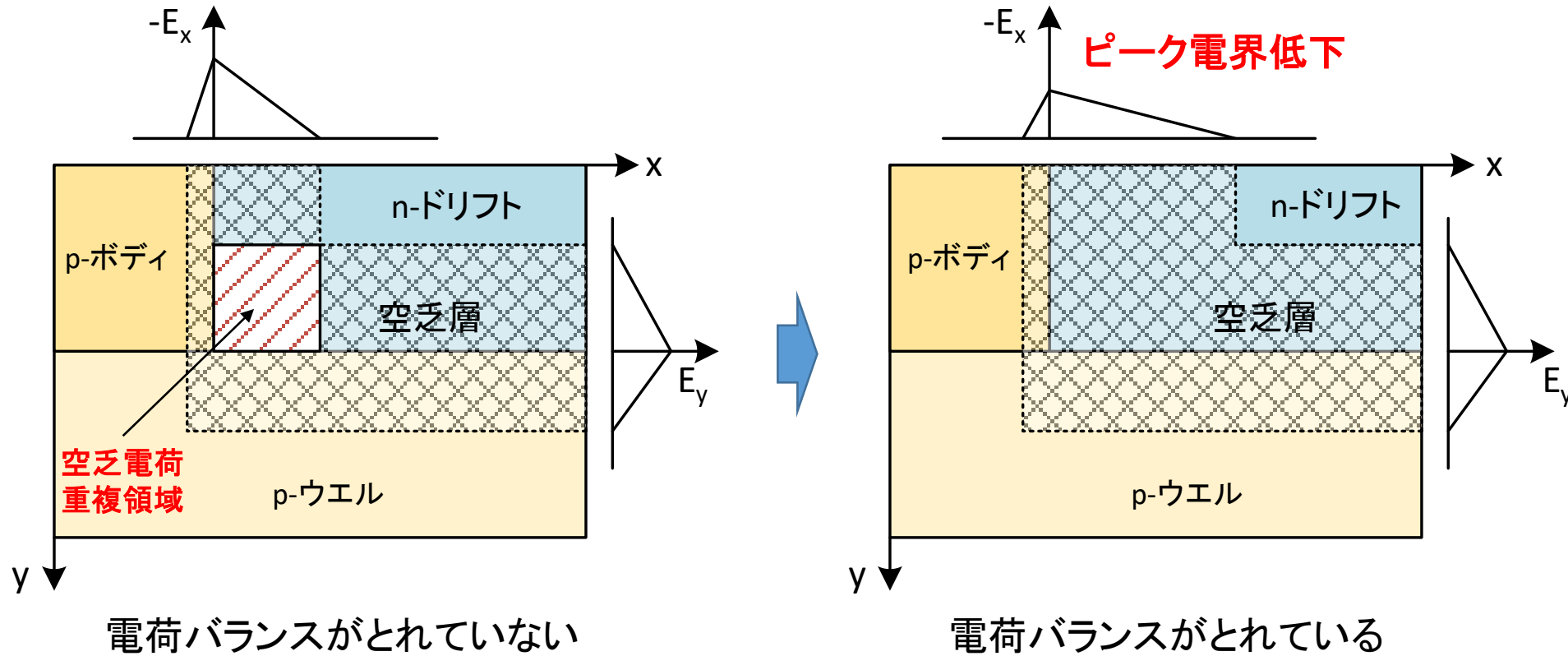
# Drain Current Expansion (CE) のモデル



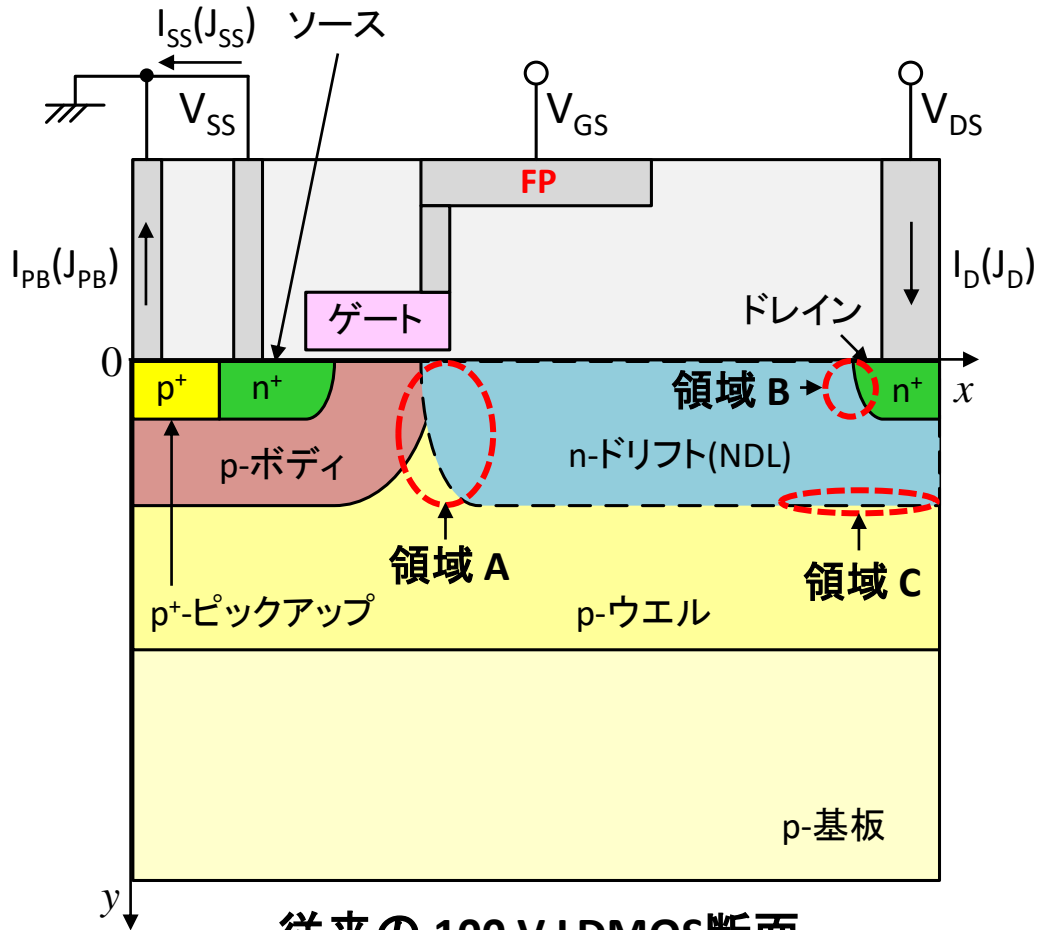
- ① 電子による高電流
- ② 領域 B で高電界発生 (∵ Kirk 効果)
- ③ 領域 B でインパクトイオン化による電子正孔対発生
- ③ 領域 B から正孔電流発生
- ④ n-ドリフト領域で抵抗低下(伝導度変調)
- ⑤ 真性MOSFETのドレイン電圧  $V_{DS,INT}$  上昇
- ⑥  $I_D$  増大 (CE発生) (∵ 真性MOSFET: 線形動作)
- ⑦  $I_D$  飽和 (∵ 真性MOSFET: 飽和動作)

Ref. S. Poli, S. Reggiani, R. K. Sharma, M. Denison, E. Gnani, A. Gnudi, and G. Bacarani, IEEE Trans. Electron Devices, 59, p. 745 (2012).

# RESURF (Reduced Surface Field)のモデル



# 従来の 100 V LDMOS



従来の 100 V LDMOS断面

(1セル:  $6.55 \mu\text{m} \times 0.2 \mu\text{m}$ )

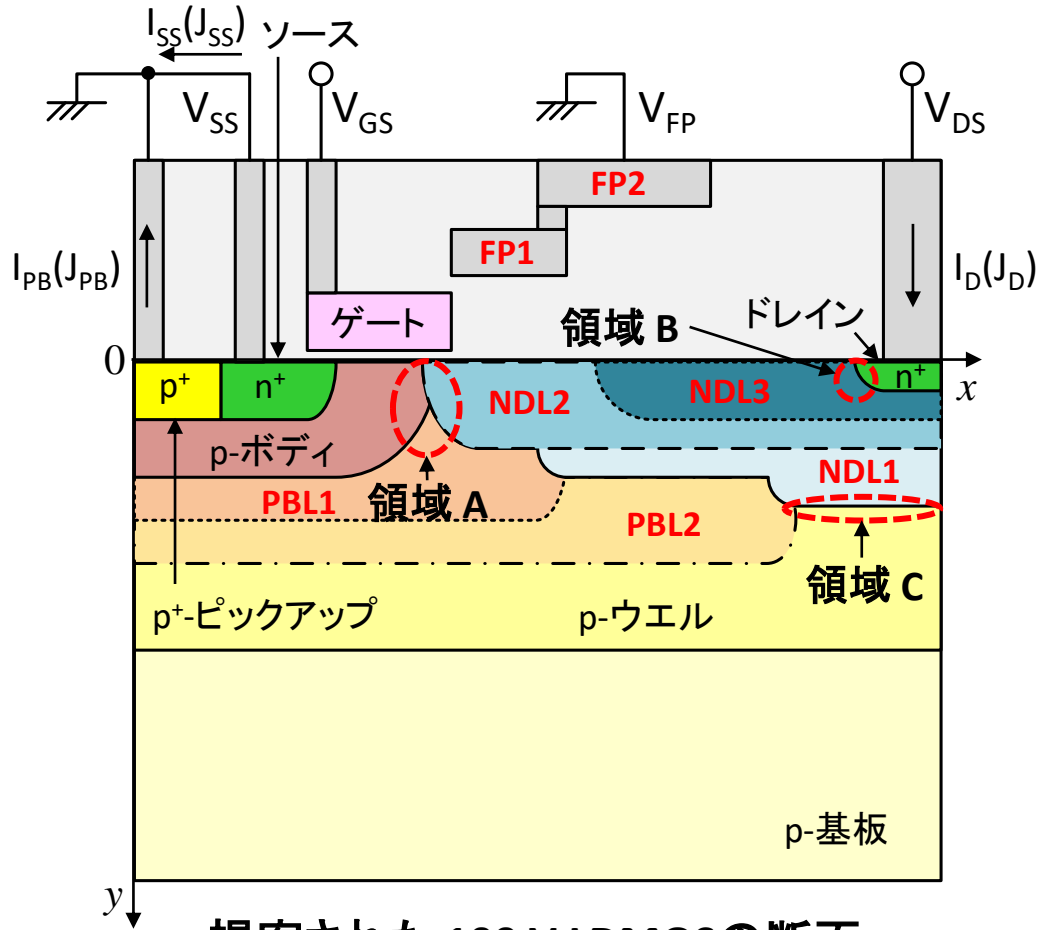
0.35  $\mu\text{m}$  CMOS compatible process

## ■ 問題

- (1) **低ホットキャリア耐性**  
⇒ 領域 A 内の高電界による  
DAHC (Drain Avalanche Hot Carriers)の発生に起因
- (2) **CEの発生(狭いSOA)**  
⇒ 領域 B 内の高電界に起因 (Kirk効果)
- (3) **耐圧の低下**  
⇒ 領域 C 内の高電界に起因
- (4) **高特性オン抵抗**  
⇒ n-ドリフト領域(NDL)の低濃度に起因
- (5) **高スイッチング損失**  
⇒ 大きなMiller容量に起因



# 高信頼 100 V LDMOSの提案(1)



提案された 100 V LDMOSの断面

(1セル:  $6.55 \mu\text{m} \times 0.2 \mu\text{m}$ )

0.35  $\mu\text{m}$  CMOS compatible process

## ■ 2層のp型埋め込み層 (Dual RESURF 構造)

- ・PBL1: 領域 A のRESURF強化  $\Rightarrow$  高ホットキャリア耐性
- ・PBL2: ① ドリフト領域内の均一電界  
② 領域 C の耐圧低下防止

## ■ 3層のn-ドリフト層

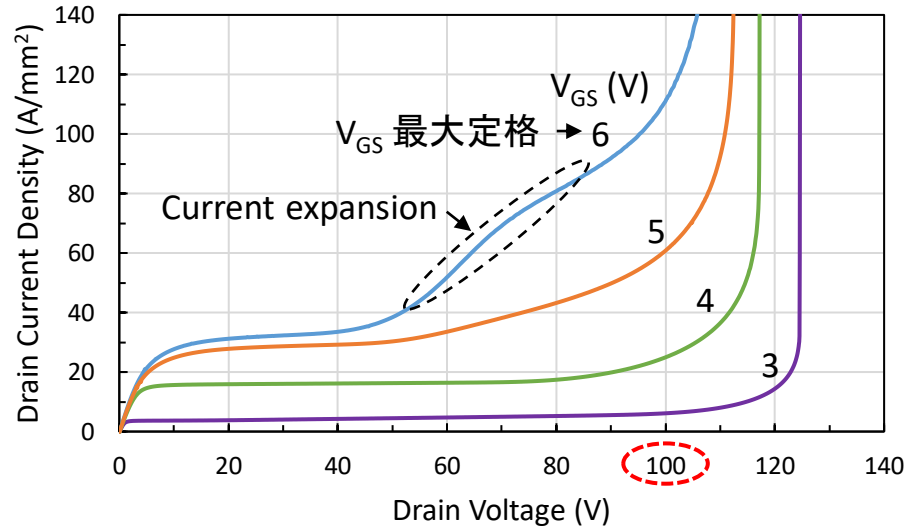
- ・NDL1: ドリフト領域の基本層
- ・NDL2, 3: 特性オン抵抗低減  
CE 抑制 (領域 B のKirK効果による電界低減)  
(NDL3: GFPによる特性オン抵抗増大の抑制)

## ■ 接地された2段階フィールドプレート (Two-Step GFP)

- ・FP1: 領域 A のRESURF補強
- ・FP2: 領域 A を除くドリフト領域のRESURF補強
- ・Miller 容量低減 (スイッチング損失低減)

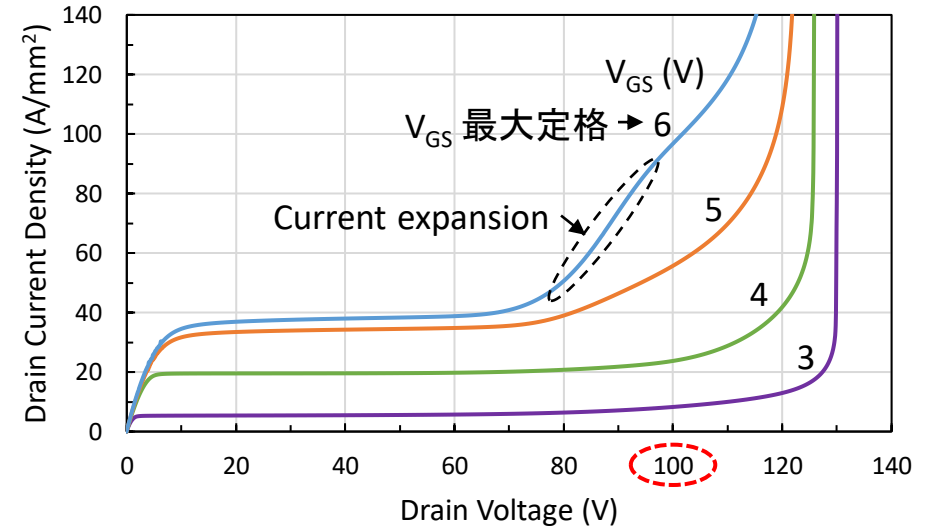
(1) Jun-ichi Matsuda, Anna Kuwana, Jun-ya Kojima, Nobukazu Tsukiji, and Haruo Kobayashi, "Wide SOA and High Reliability 60-100 V LDMOS Transistors with Low Switching Loss and Low Specific On-Resistance," International Conference on Solid-State and Integrated Circuit Technology (ICSICT), Oct. 31-Nov. 3, Qingdao, China, S25-6, 2018.

# $I_D - V_{DS}$ 特性



(a) 従来 LDMOS

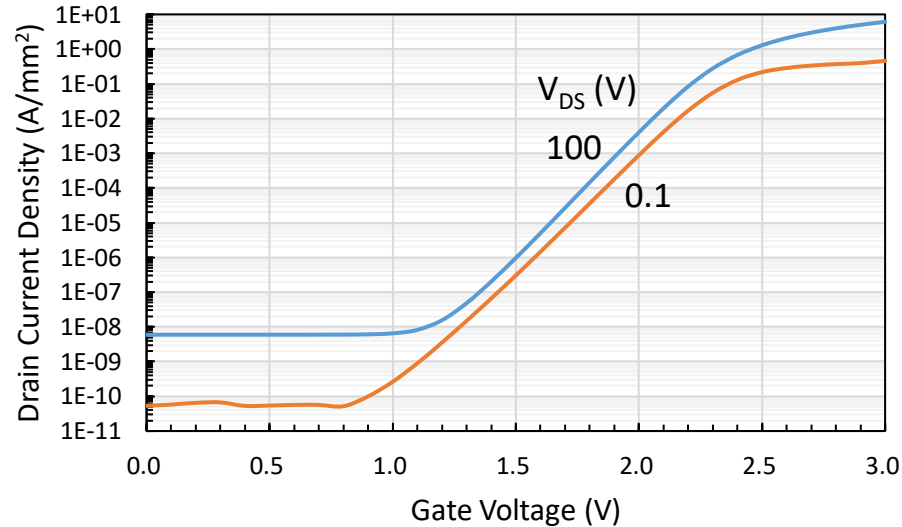
- CE 発生ドレイン電圧  $V_{CE}$   
⇒ 約 50 V at  $V_{GS} = 6$  V
- 特性オン抵抗  $R_{on,sp}$   
⇒ 178 m $\Omega \cdot$ mm<sup>2</sup> at  $V_{GS} = 5$  V



(b) 提案 LDMOS

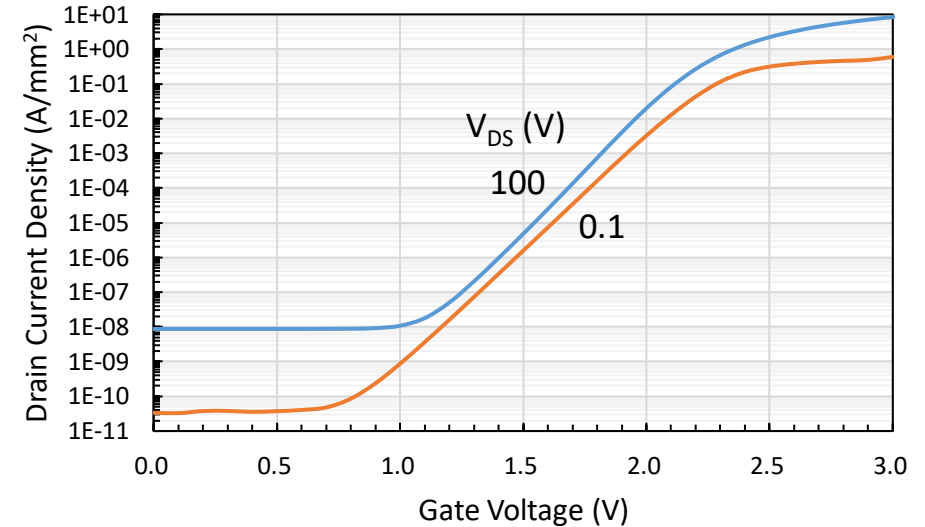
- CE 発生ドレイン電圧  $V_{CE}$   
⇒ 約 70 V at  $V_{GS} = 6$  V
- 特性オン抵抗  $R_{on,sp}$   
⇒ 150 m $\Omega \cdot$ mm<sup>2</sup> at  $V_{GS} = 5$  V

# $I_D - V_{GS}$ 特性



従来 LDMOS

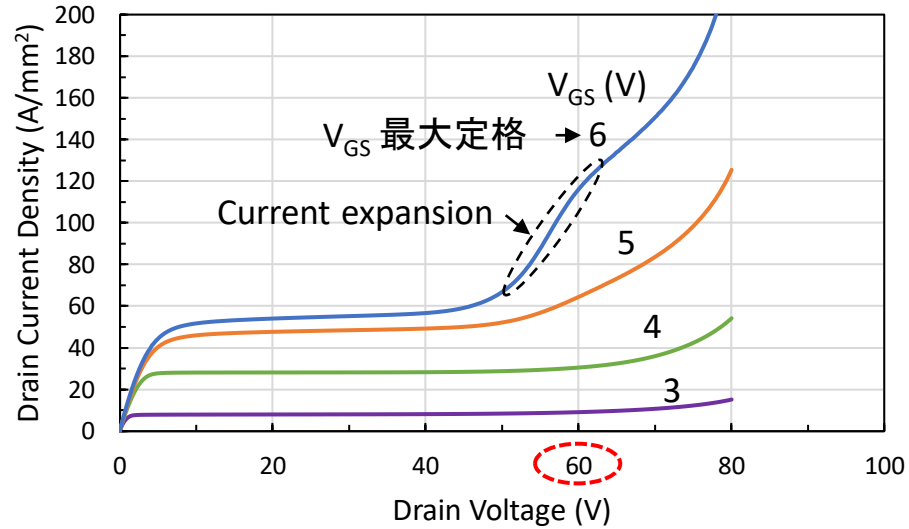
- $V_{TH} = 2.16$  V at  $I_D = 1 \times 10^{-2}$  A/mm<sup>2</sup>
- $\Delta V_{TH} = -0.10$  V at  $I_D = 1 \times 10^{-2}$  A/mm<sup>2</sup>  
 $V_{DS} = 0.1$  V  $\Rightarrow$   $V_{DS} = 100$  V
- $V_{DS} = 100$  Vでも非常に低いリーク電流



提案 LDMOS

- $V_{TH} = 2.08$  V at  $I_D = 1 \times 10^{-2}$  A/mm<sup>2</sup>
- $\Delta V_{TH} = -0.12$  V at  $I_D = 1 \times 10^{-2}$  A/mm<sup>2</sup>  
 $V_{DS} = 0.1$  V  $\Rightarrow$   $V_{DS} = 100$  V
- $V_{DS} = 100$  Vでも非常に低いリーク電流

# スケールダウンデバイスの $I_D - V_{DS}$ 特性



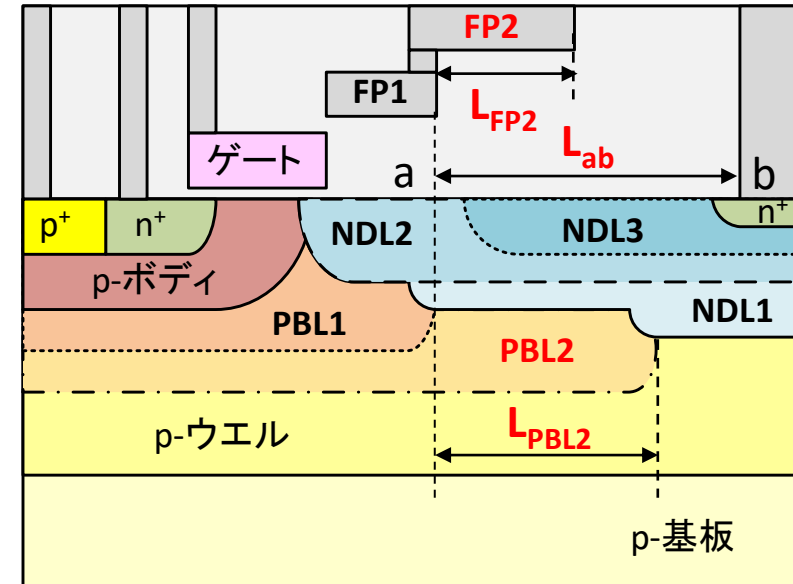
$I_D - V_{DS}$  特性 ( $0.5 \times L_{ab}$ )

■ CE 発生ドレイン電圧  $V_{CE}$

⇒ 約 50 V at  $V_{GS} = 6$  V

■ 特性オン抵抗  $R_{on,sp}$

⇒ 78  $m\Omega \cdot mm^2$  at  $V_{GS} = 5$  V

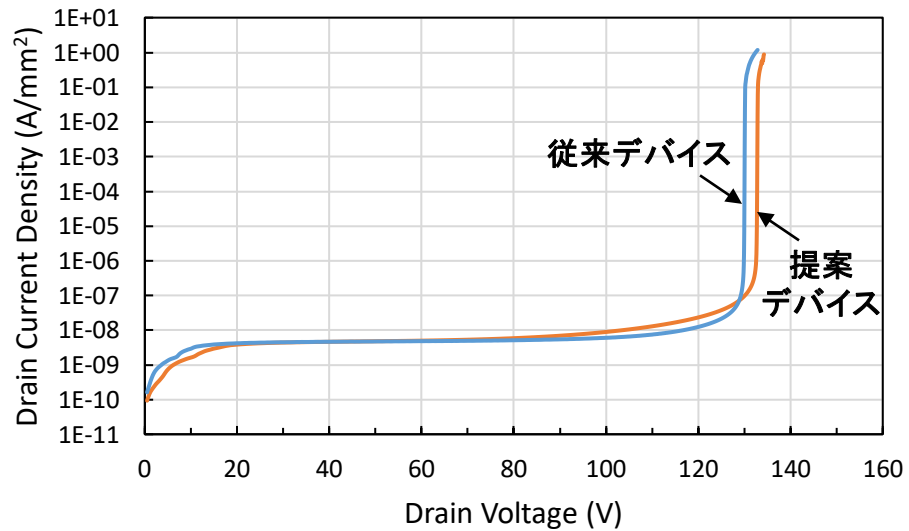


n-ドリフト領域のスケールリング

$$\alpha L_{ab} \rightarrow \alpha L_{PBL2} \text{ と } \alpha L_{FP2}$$

$\alpha$ : スケールリングファクタ

# ブレークダウン特性



ブレークダウン特性

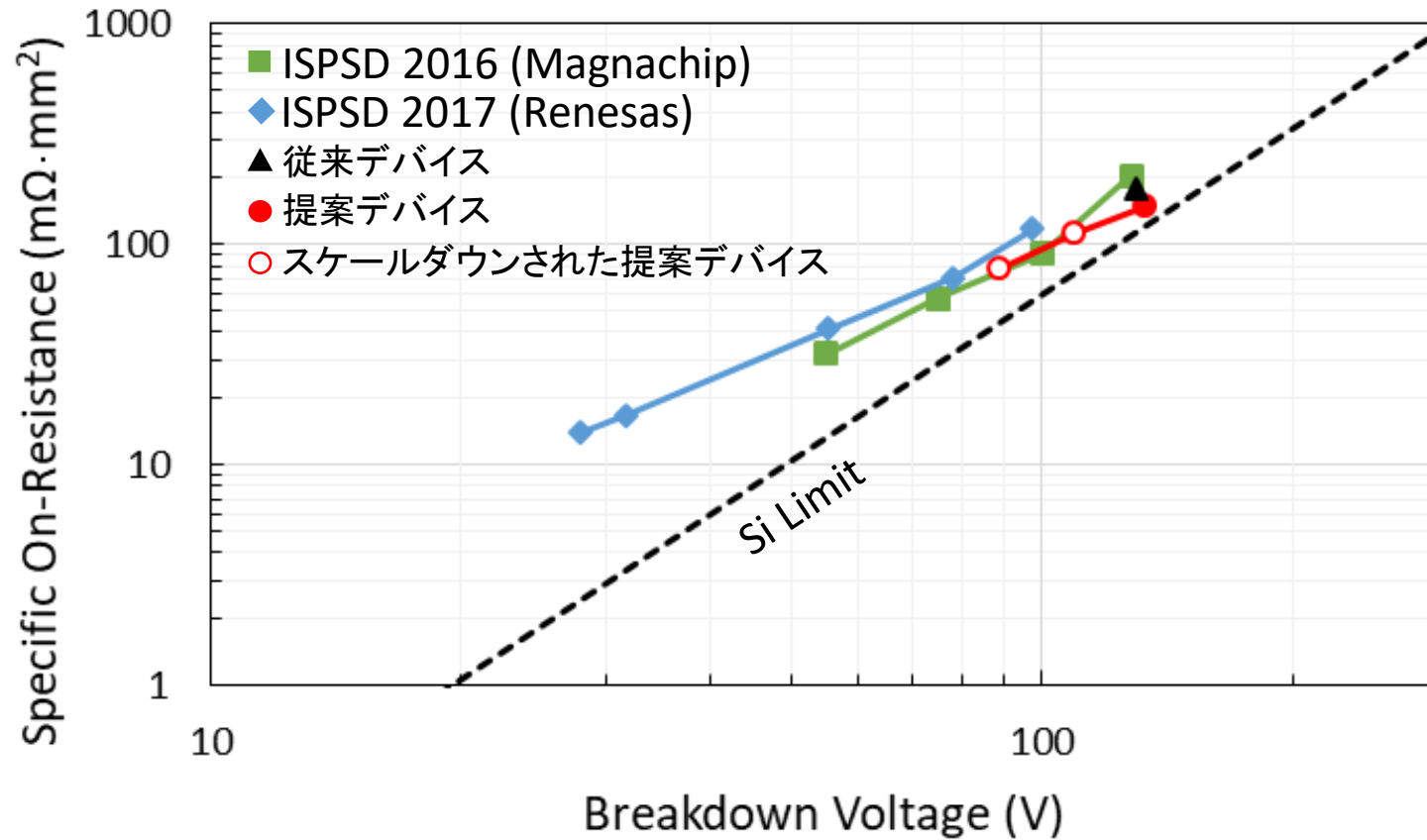
■ ブレークダウン電圧  $BV_{DS}$  (at  $I_D = 1 \times 10^{-6}$  A/mm<sup>2</sup>)

- ・従来デバイス ⇒ 130 V
- ・提案デバイス ⇒ 133 V



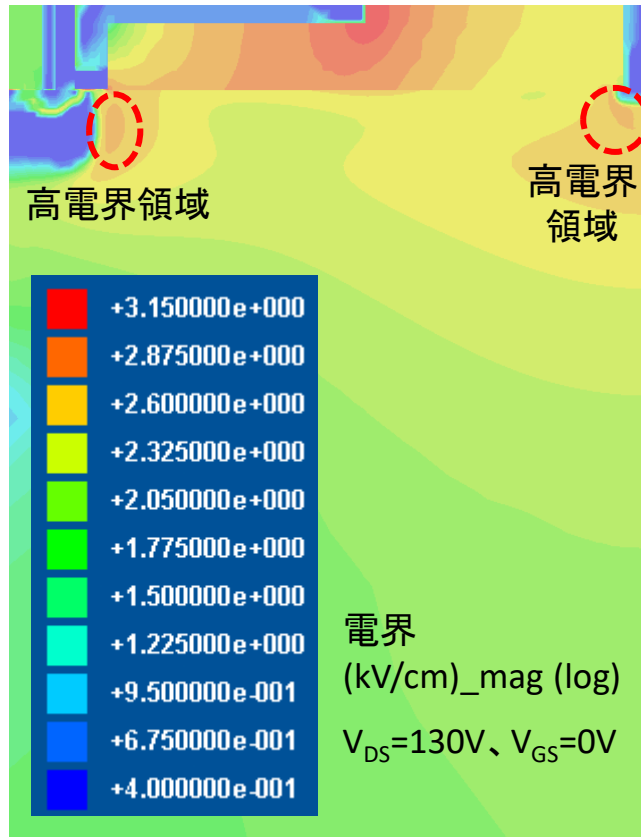
両デバイス共 100 V 動作には十分な耐圧

# $R_{on,sp}$ - $BV_{DS}$ 特性

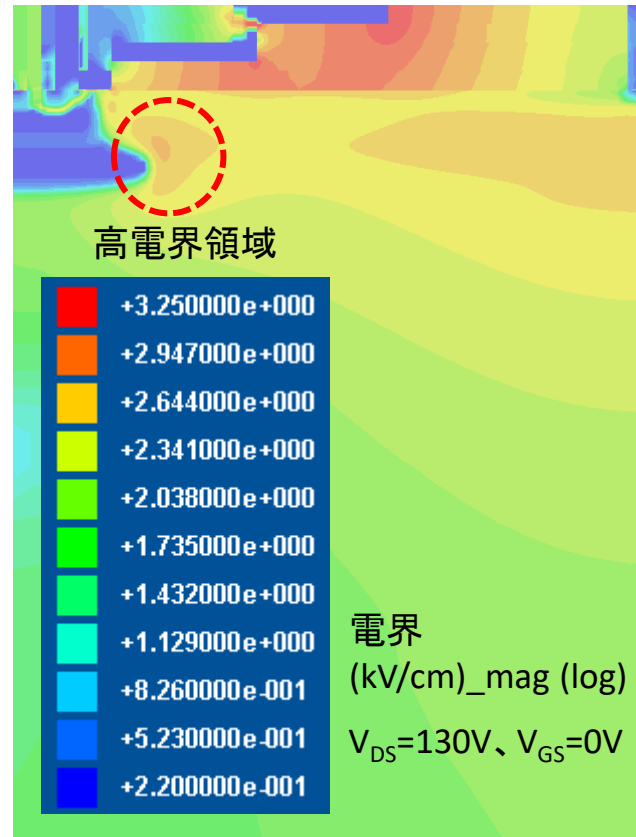


■ 提案デバイスの $R_{on,sp}$ - $BV_{DS}$  特性  
⇒ Si Limitに近いレベル

# ブレイクダウン時の電界分布



従来 LDMOS



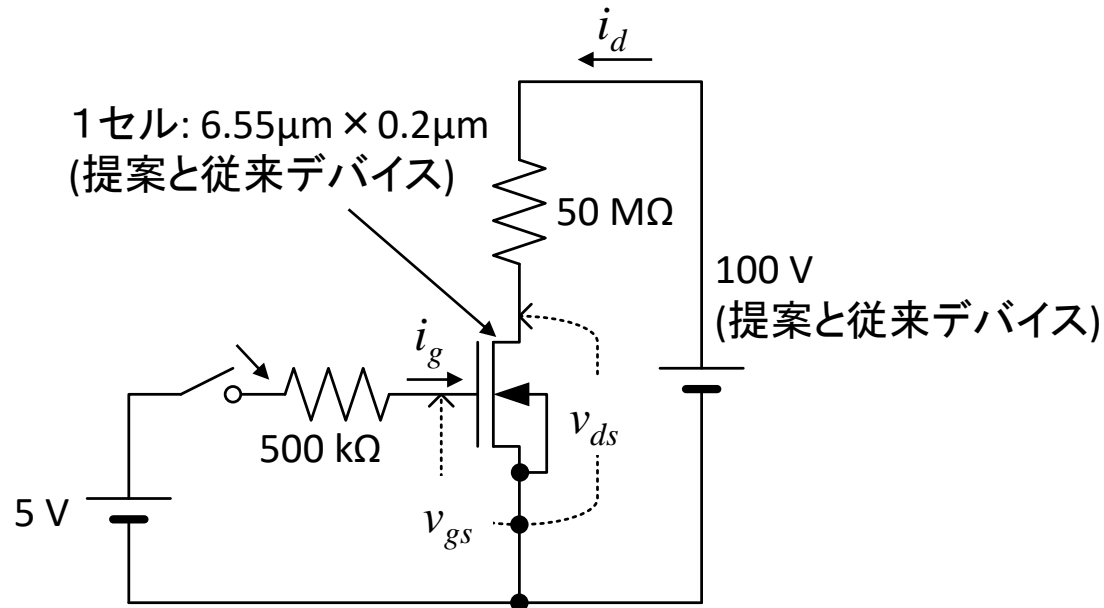
提案 LDMOS

- 高電界領域 (ブレイクダウン箇所)  
⇒ 提案デバイスの高電界位置は従来デバイスのものより深い



提案デバイスのESD耐性は従来デバイスより高いと推定

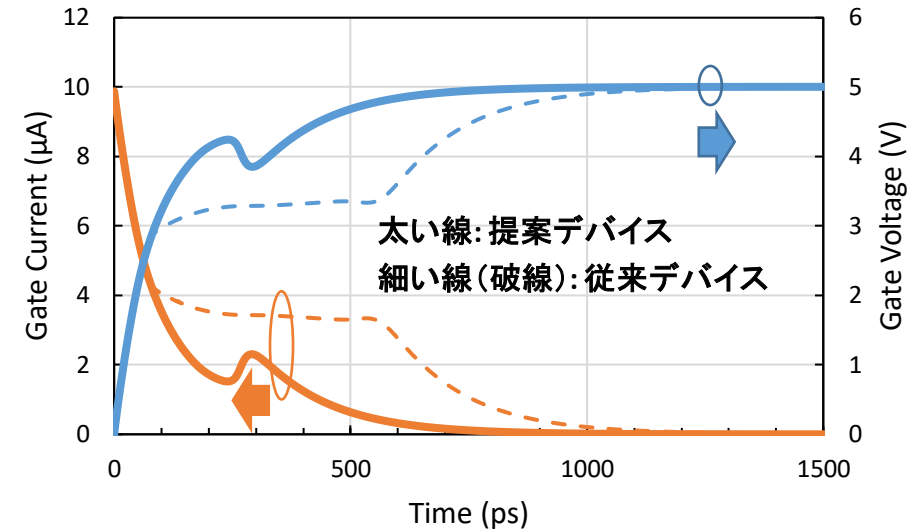
# ゲートターンオン特性とFOM



ターンオン特性を求めるための回路

## ■ ゲート電荷密度 $Q_g$

- $Q_g$  (従来デバイス) =  $2.09 \text{ nC/mm}^2$
- $Q_g$  (提案デバイス) =  $1.06 \text{ nC/mm}^2$



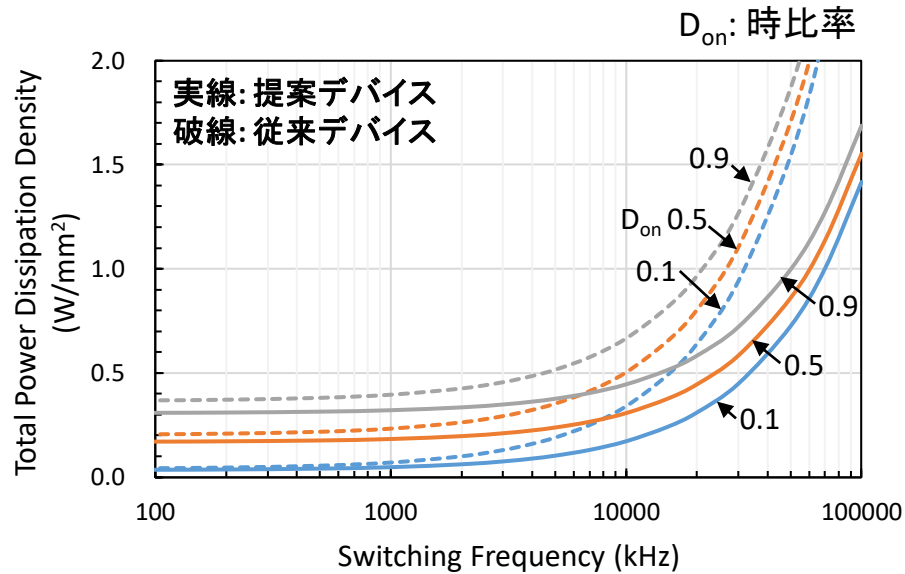
ターンオン特性 (1セル)

## ■ FOM (オン抵抗 × ゲート電荷)

- FOM (従来デバイス) =  $373 \text{ m}\Omega \cdot \text{nC}$
- FOM (提案デバイス) =  $159 \text{ m}\Omega \cdot \text{nC}$



# $P_{TD}$ のスイッチング周波数依存性



$P_{TD}$ のスイッチング周波数依存性

1周期当たりのスイッチング損失密度  $E_{SW}$  の成分

デバイス	$E_{GD}$ (J/mm <sup>2</sup> )	$E_{ON/OFF}$ (J/mm <sup>2</sup> )	$E_{SW}$ (J/mm <sup>2</sup> )
従来	$1.05 \times 10^{-8}$	$1.96 \times 10^{-8}$	$3.01 \times 10^{-8}$
提案	$5.31 \times 10^{-9}$	$5.32 \times 10^{-9}$	$1.06 \times 10^{-8}$

$E_{GD}$ : ゲートドライビング損失密度

$E_{ON/OFF}$ : ターンオンとターンオフ期間のスイッチング損失密度 (注)

$$E_{SW} = E_{GD} + E_{ON/OFF}$$

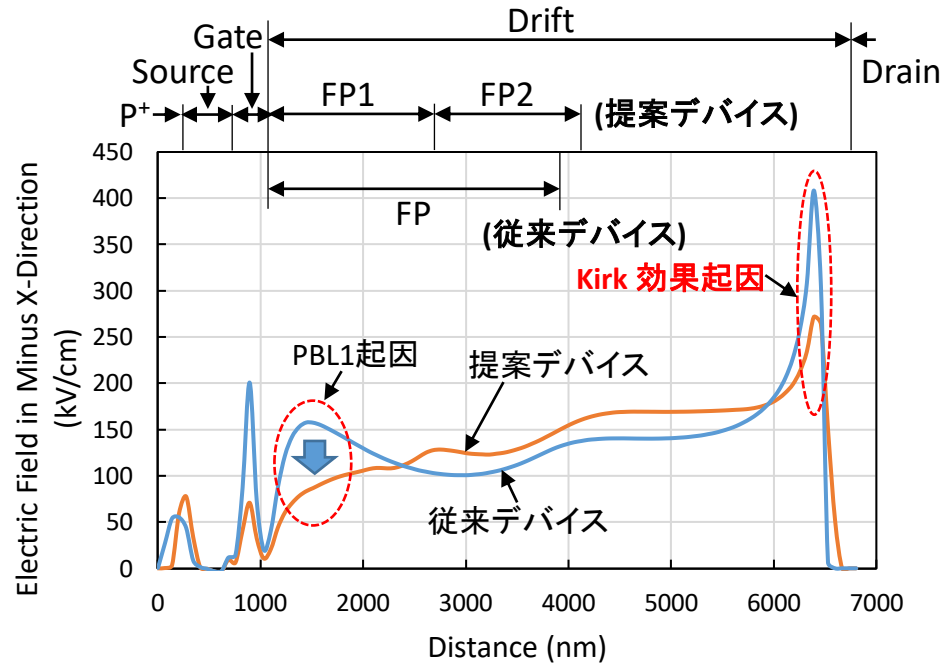
(注) 上記スイッチング損失に関し、  
単純化してターンオン過程の損失を2倍にして計算

■  $P_{TD}$  (全消費電力密度):  $P_{TD}$  (提案デバイス) <  $P_{TD}$  (従来デバイス)

∵ 提案デバイスの低 $R_{on,sp}$ と低 $E_{SW}$

(全消費電力密度: スwitching損失密度 + 伝導損失密度)

# 表面に沿った電界分布 (1): CE 低減



表面に沿った電界分布 ( $V_{DS}=80V$ ,  $V_{GS}=6V$ )

- $E_g$ : ゲート側ドリフト端近傍の電界
- $V_{DS,INT}$ : 真性MOSFETのドレイン電圧
- $N_D$ : n-ドリフト領域の不純物濃度

①  $E_g$  (提案)  $<$   $E_g$  (従来) (∵ **PBL1**)

⇒ 提案デバイスで電子電流発生(ゲート近傍)低減

②  $\Delta V_{DS,INT}$  (提案)  $<$   $\Delta V_{DS,INT}$  (従来) (∵ **Dual RESURF**)

⇒ 提案デバイスでソース電流(電子電流)低減

③  $N_D$  (提案)  $>$   $N_D$  (従来) (∵ **NDL2 とNDL3**)

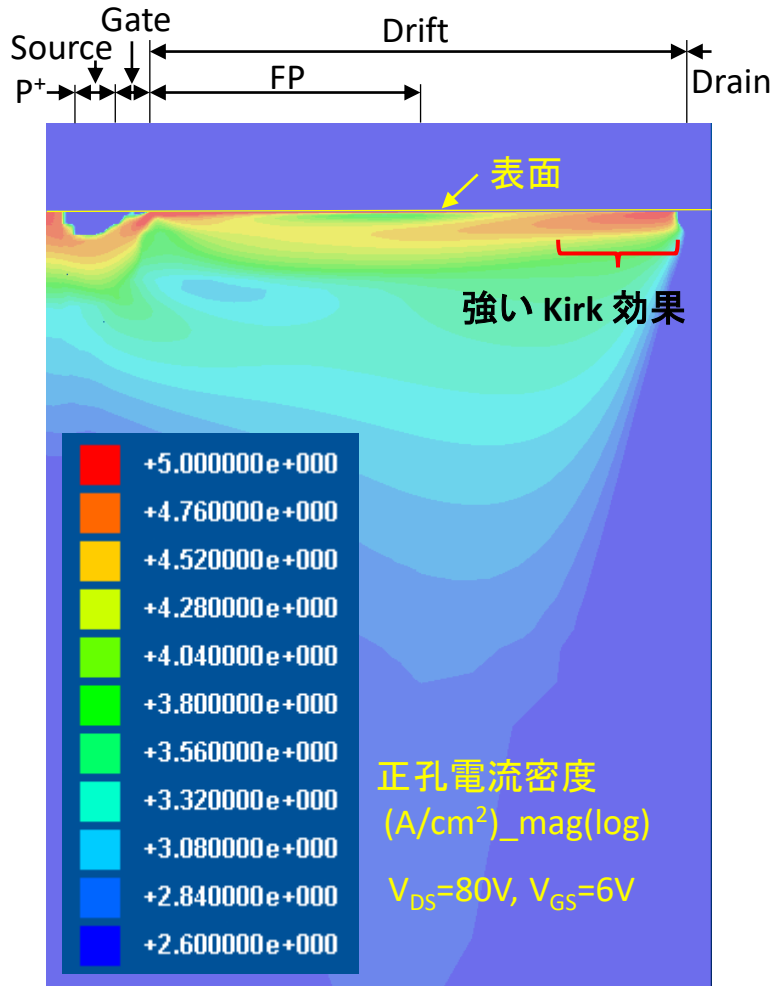
⇒ 提案デバイスでKirk効果の低減

■ ドレイン側ドリフト端近傍の電界  $E_d$ :

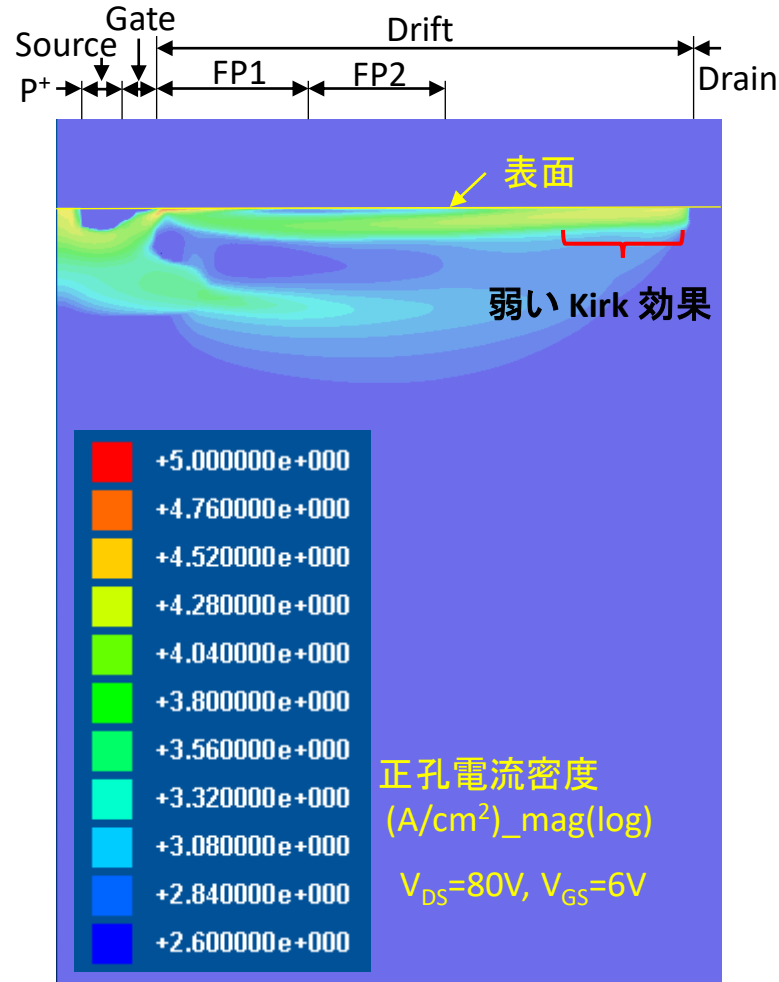
$E_d$  (提案)  $\ll$   $E_d$  (従来) (∵ **Kirk effect**)

**CE (提案)  $\ll$  CE (従来)**

# 正孔電流密度分布 ( $V_{GS}=6V$ )



従来 LDMOS



提案 LDMOS

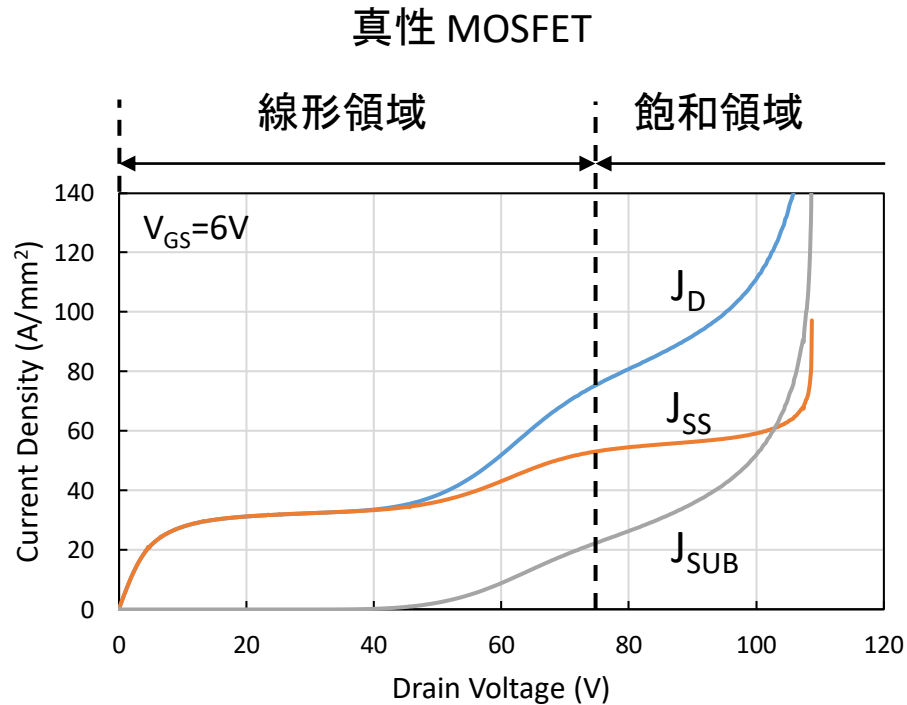
■ ゲート側ドリフト領域端近傍の正孔電流密度  $J_{hg}$

$$J_{hg} (\text{従来}) > J_{hg} (\text{提案})$$

■ ドレイン側ドリフト領域端近傍の正孔電流密度  $J_{hd}$

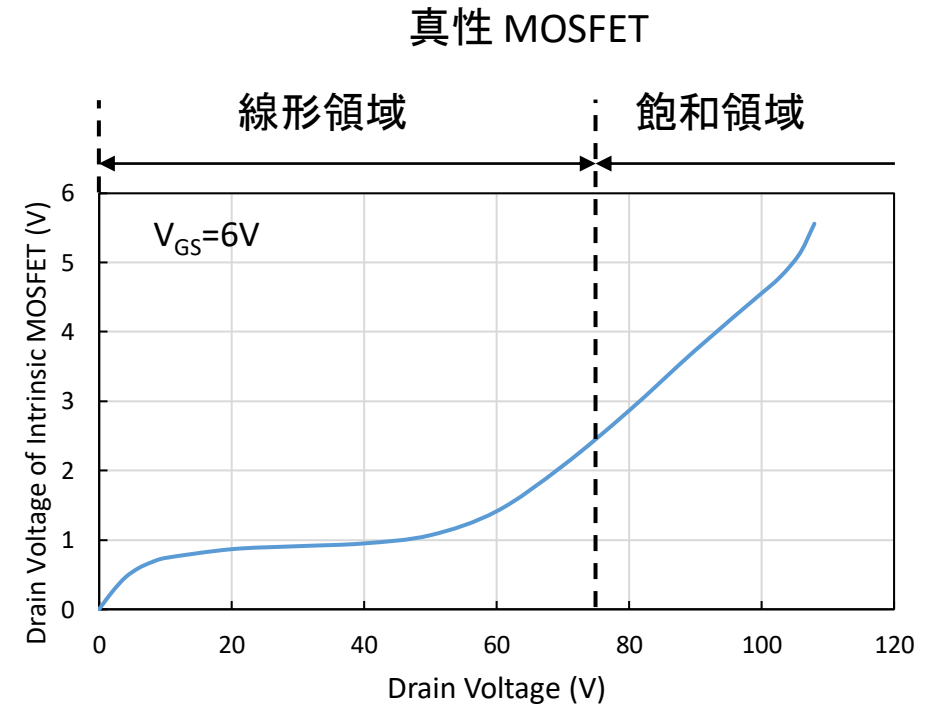
$$J_{hd} (\text{従来}) > J_{hd} (\text{提案})$$

# 従来LDMOSのドレイン電流成分と $V_{DS,INT}$ vs. $V_{DS}$ ( $V_{GS}=6V$ )



ドレイン電流成分

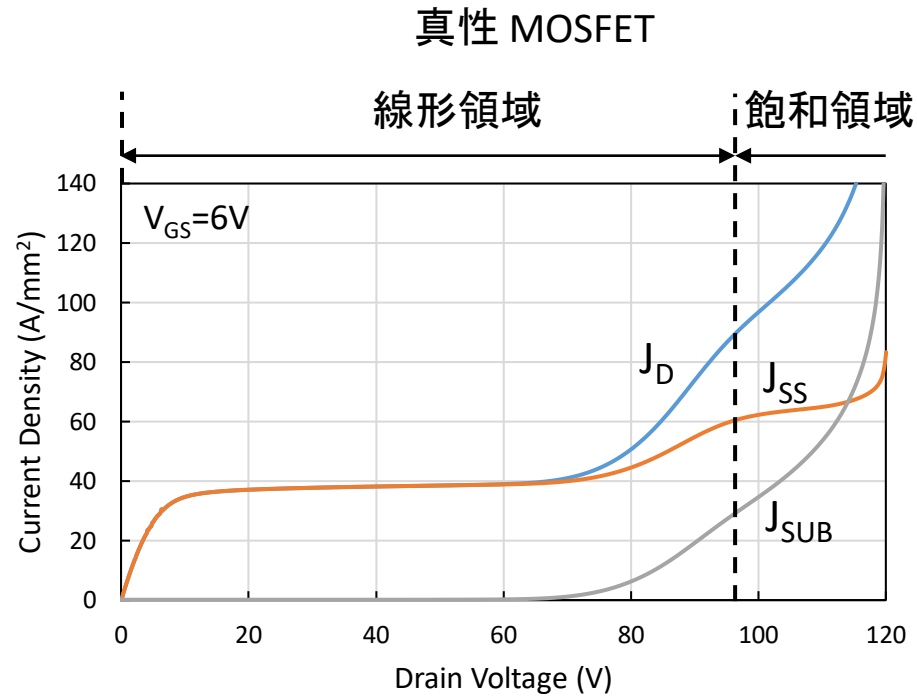
$J_{SS}$ : 電子電流成分     $J_{SUB}$ : 正孔電流成分



$V_{DS,INT}$  vs.  $V_{DS}$

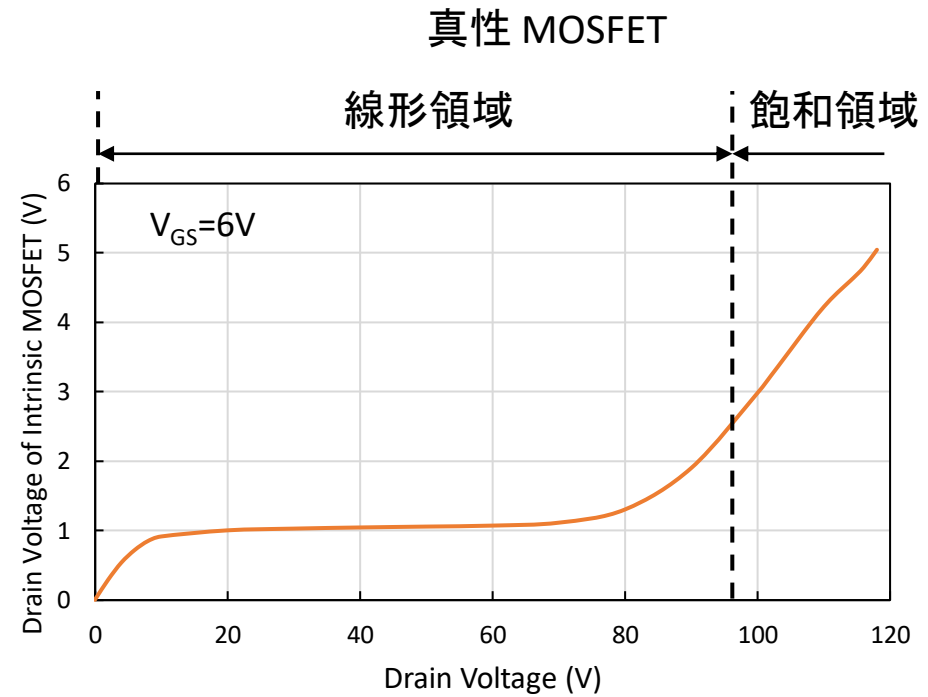
$V_{DS,INT}$ : 真性MOSFETドレイン電圧

# 提案LDMOSのドレイン電流成分と $V_{DS,INT}$ vs. $V_{DS}$ ( $V_{GS}=6V$ )



ドレイン電流成分

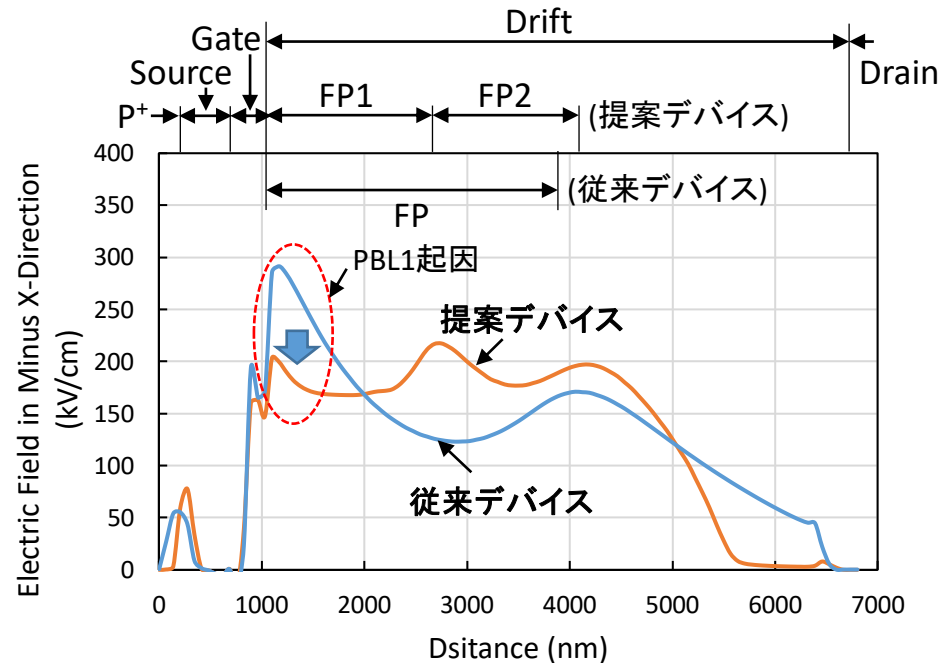
$J_{SS}$ : 電子電流成分  $J_{SUB}$ : 正孔電流成分



$V_{DS,INT}$  vs.  $V_{DS}$

$V_{DS,INT}$ : 真性MOSFETドレイン電圧

# 表面に沿った電界分布 (2): ホットキャリア耐性



表面に沿った電界分布 ( $V_{DS}=80V$ ,  $V_{GS}=3V$ )

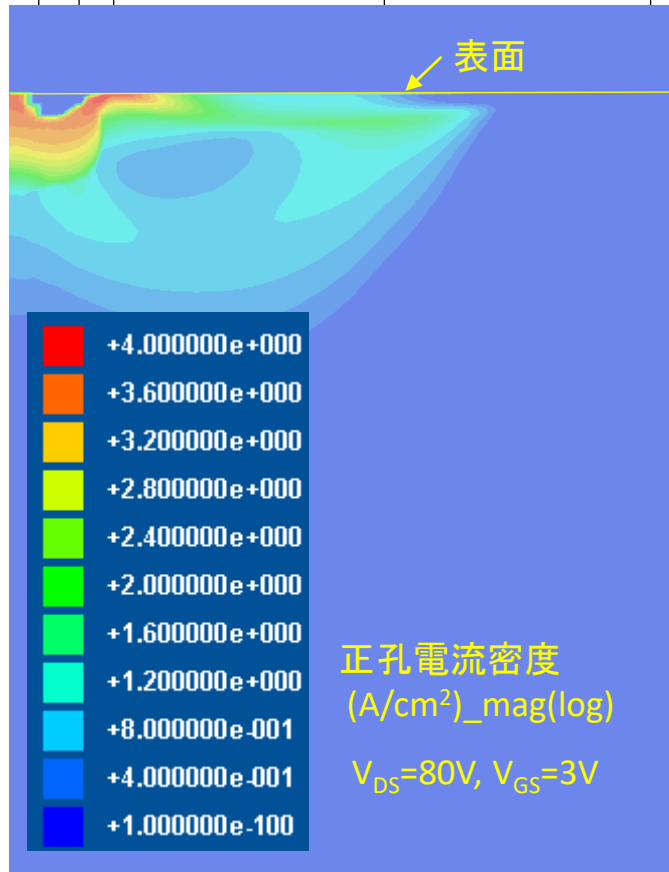
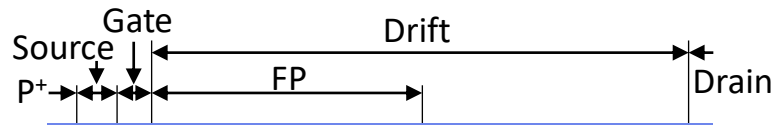
■ ゲート側ドリフト端近傍の電界  $E_g$

$$E_g (\text{提案デバイス}) < E_g (\text{従来デバイス}) (\because \text{PBL1})$$

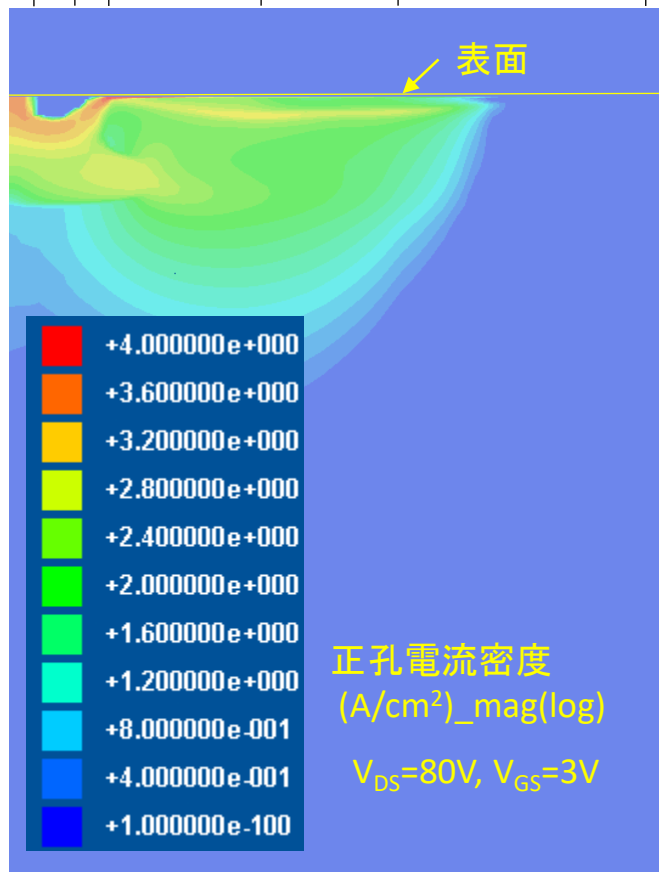
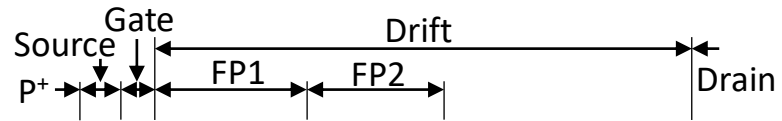


真性MOSFETのホットキャリア耐性  
提案デバイス > 従来デバイス

# 正孔電流密度分布 ( $V_{GS}=3V$ )



従来 LDMOS

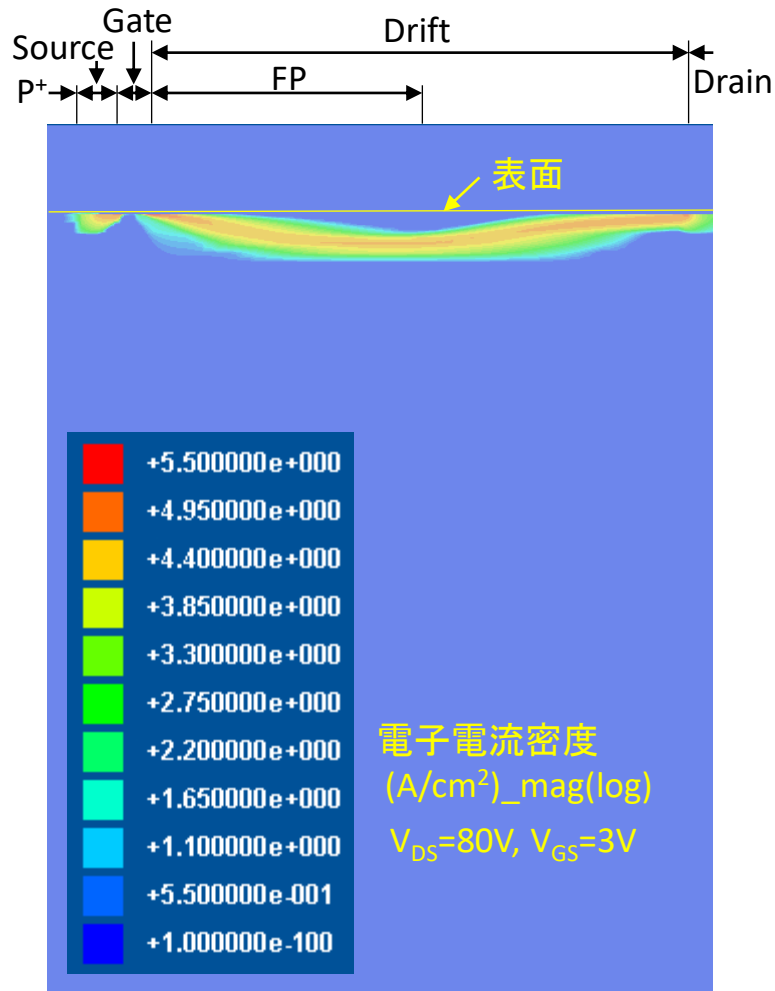


提案 LDMOS

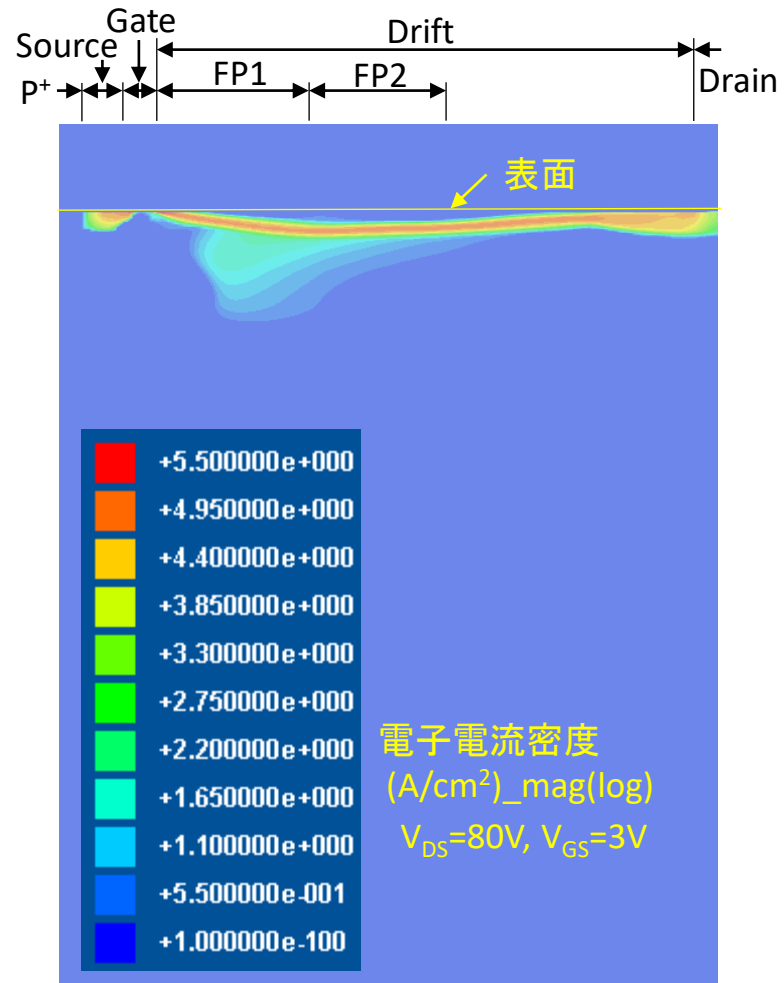
■ ゲート側ドリフト端近傍の  
正孔電流密度  $J_{hg}$

$$J_{hg} (\text{従来}) > J_{hg} (\text{提案})$$

# 電子電流密度分布 ( $V_{GS}=3V$ )



従来 LDMOS



提案 LDMOS

## ■ 電子電流パス

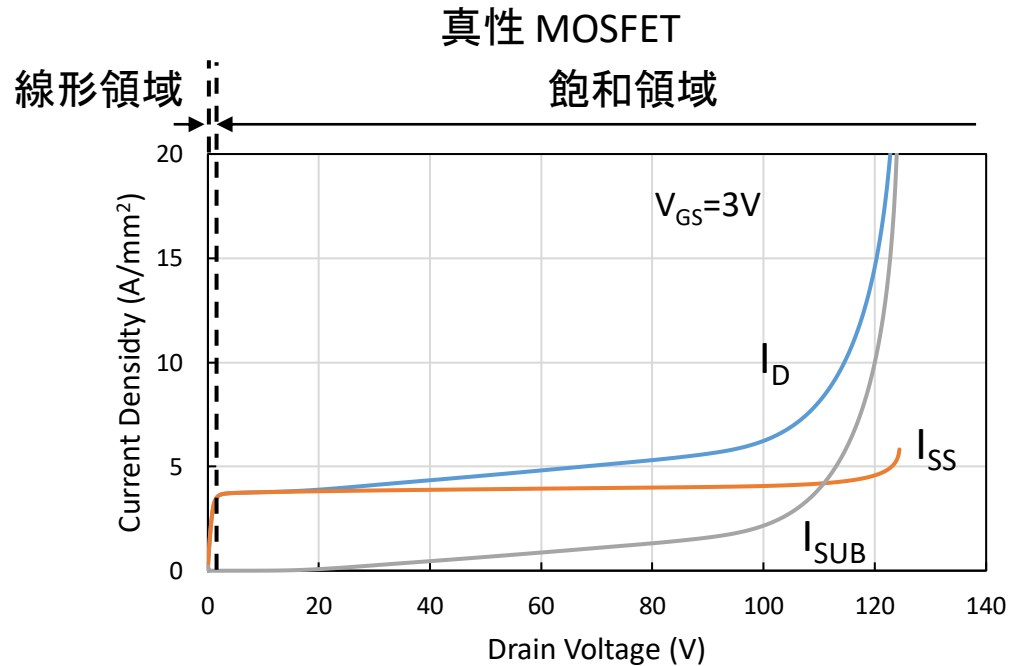
⇒従来と提案デバイス共に、  
表面から離れている



従来と提案デバイス共に、  
ホットキャリアがドリフト領  
域表面にダメージを与え  
る可能性は低い

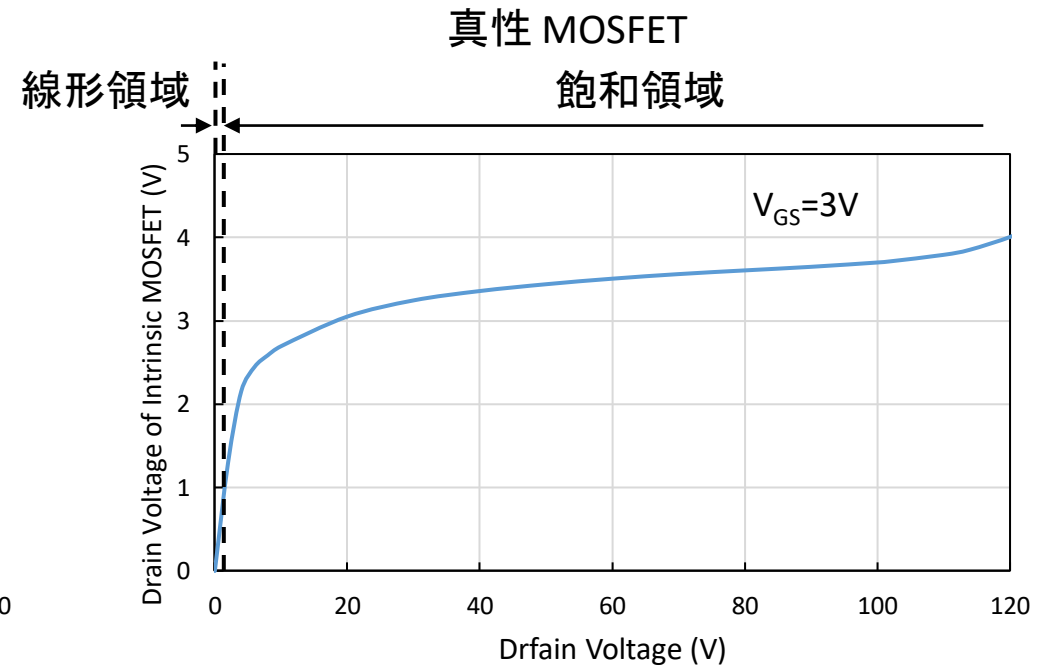


# 従来LDMOSのドレイン電流成分と $V_{DS,INT}$ vs. $V_{DS}$ ( $V_{GS}=3V$ )



ドレイン電流成分

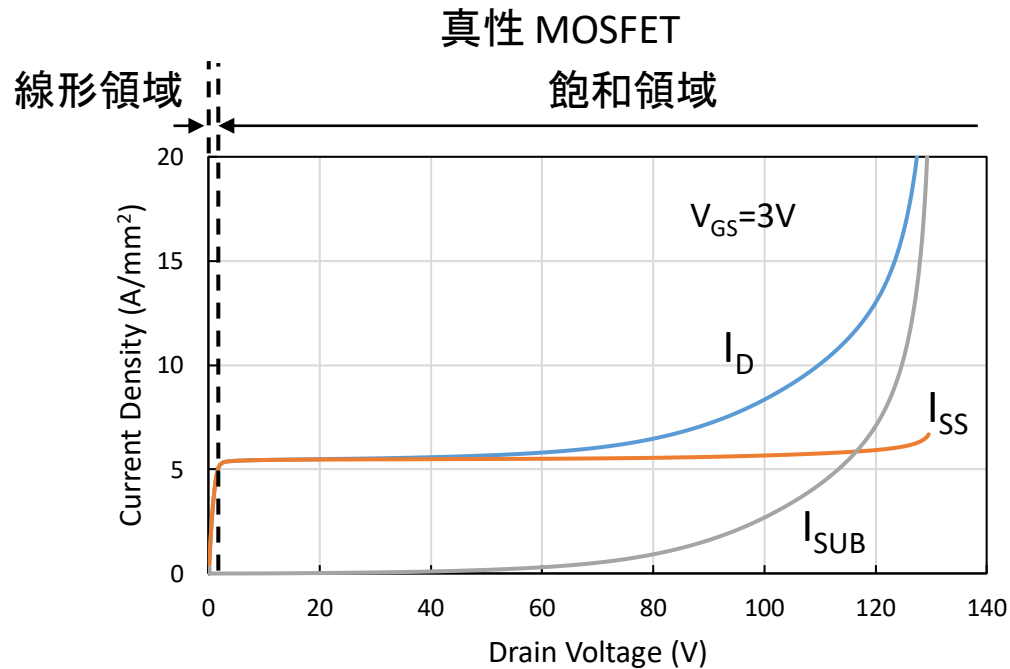
$I_{SS}$ : 電子電流成分     $I_{SUB}$ : 正孔電流成分



$V_{DS,INT}$  vs.  $V_{DS}$

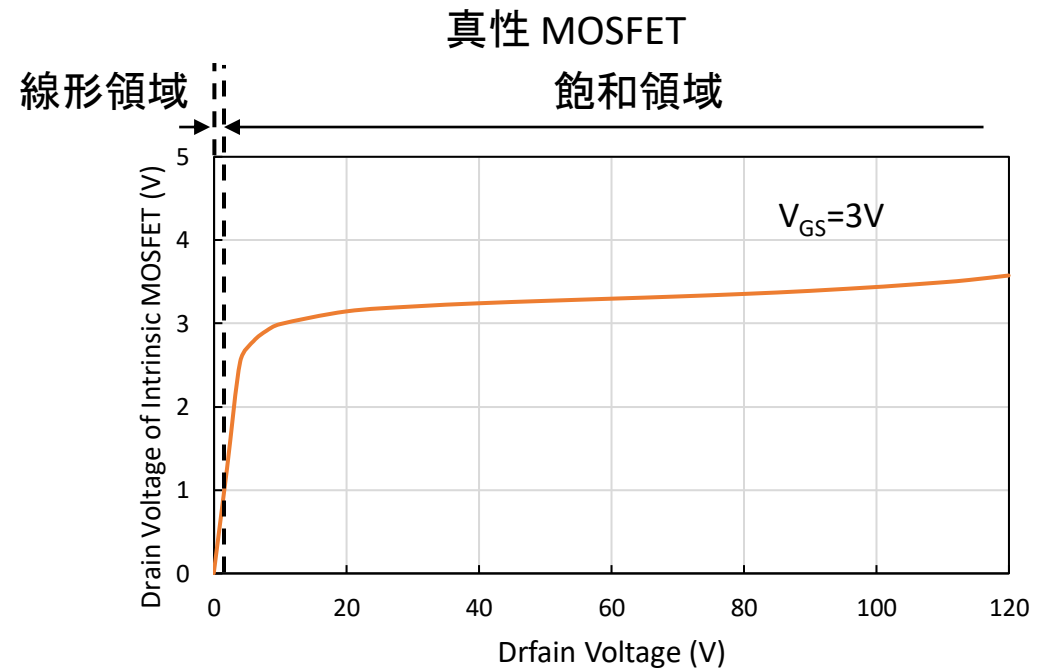
$V_{DS} \geq 20V$  で  $V_{DS}$  の増大に伴い  $V_{DS,INT}$  が徐々に上昇している  
 → インパクトイオン化が増えて  $I_{SUB}$  ( $I_D$ ) の上昇に繋がる

# 提案LDMOSのドレイン電流成分と $V_{DS,INT}$ vs. $V_{DS}$ ( $V_{GS}=3V$ )



ドレイン電流成分

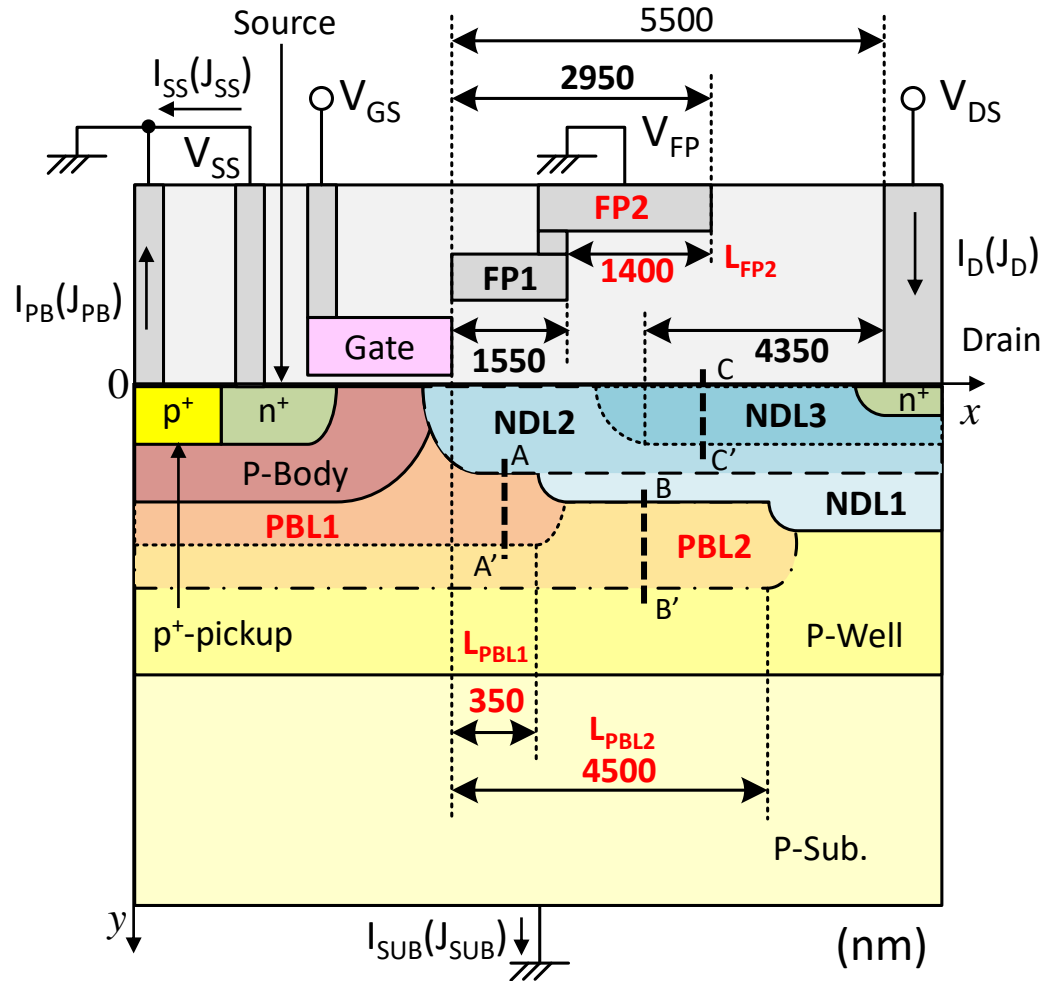
$I_{SS}$ : 電子電流成分     $I_{SUB}$ : 正孔電流成分



$V_{DS,INT}$  vs.  $V_{DS}$

$V_{DS} \geq 40V$  で  $V_{DS}$  の増大に伴い  $V_{DS,INT}$  が徐々に上昇している  
 (上昇の割合は従来LDMOSより低い)  
 → インパクトイオン化が増えて  $I_{SUB}$  ( $I_D$ ) の上昇に繋がる

# 提案LDMOS標準サンプルの寸法とドーズ量



標準条件を振ってプロセスばらつきに対する特性変動調査

PBL1長 ( $L_{PBL1}$ ) の標準 ( $L_{PBL1-std}$ ): 350 nm

PBL2長 ( $L_{PBL2}$ ) の標準 ( $L_{PBL2-std}$ ): 4500 nm

FP2長 ( $L_{FP2}$ ) の標準 ( $L_{FP2-std}$ ): 1400 nm

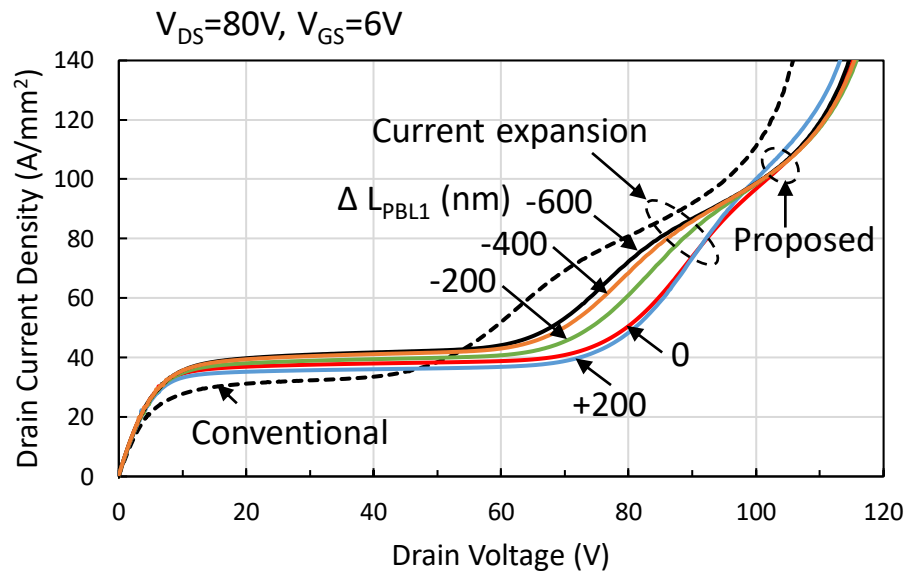
PBL1正味ドーズ量 ( $D_{PBL1}$ ) の標準 ( $D_{PBL1-std}$ ):  $1.87 \times 10^{13} \text{ cm}^{-2}$

PBL2正味ドーズ量 ( $D_{PBL2}$ ) の標準 ( $D_{PBL2-std}$ ):  $6.77 \times 10^{11} \text{ cm}^{-2}$

NDL3正味ドーズ量 ( $D_{NDL3}$ ) の標準 ( $D_{NDL3-std}$ ):  $1.26 \times 10^{13} \text{ cm}^{-2}$

# $I_D$ - $V_{DS}$ 特性の $L_{PBL1}$ 依存性

(提案LDMOS)



$$\Delta L_{PBL1} = L_{PBL1} - L_{PBL1-std}$$

■  $\Delta L_{PBL1}$ の増大に伴いCEは抑制されるが、  
 $\Delta L_{PBL1} \geq 0$  nm ではその効果は小さい

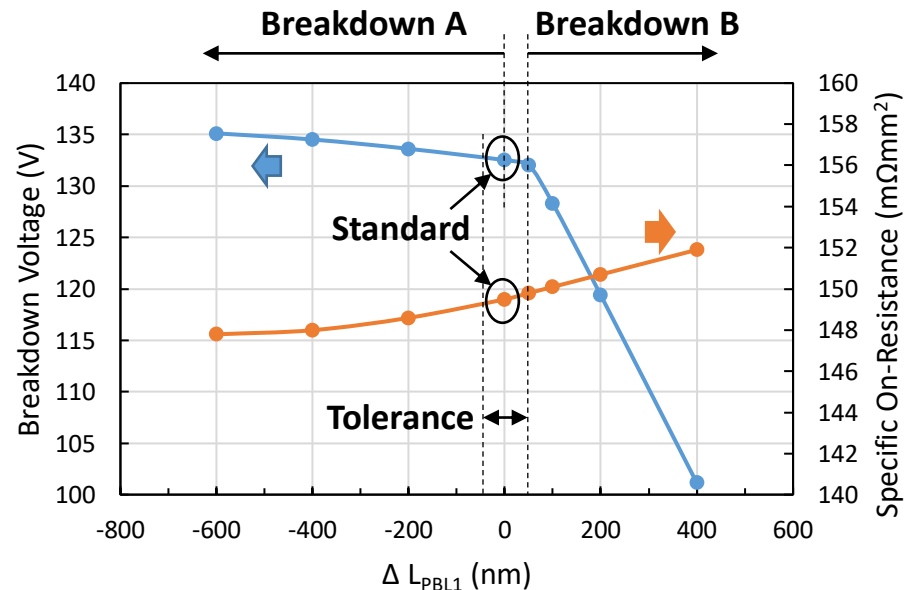


CEの抑制は、 $\Delta L_{PBL1}$ の増大に伴いゲート側ドリフト端近傍のRESURFが強化され、 $V_{DS}$ の増大に伴う $V_{DS,INT}$ の上昇が抑制されることによる。

一方、 $\Delta L_{PBL1} \geq 0$  nm ではPBL1端の電界が高くなり、インパクトイオン化による電流が増加し、オン時のブレークダウン電圧が低下することによる。

# BV<sub>DS</sub> と R<sub>on,sp</sub> のL<sub>PBL1</sub>依存性

(提案LDMOS)

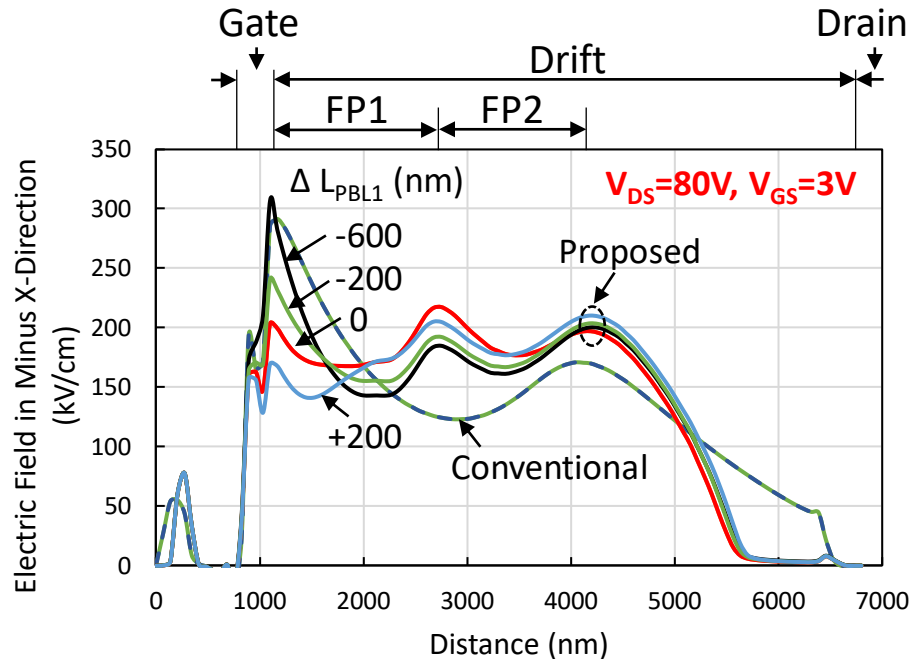


- $-600 \leq \Delta L_{PBL1} \leq 50$  nm の範囲で  $BV_{DS} > 132$  V になっており、 $\Delta L_{PBL1}$  の増大に伴い  $BV_{DS}$  は低下するが、ほぼ飽和状態にある
  - $50 < \Delta L_{PBL1} \leq 400$  nm の範囲で  $BV_{DS}$  は  $\Delta L_{PBL1}$  の増大に伴い急激に低下する
  - ブレークダウン発生箇所  
ブレークダウンA → ドレイン下、ブレークダウンB → PBL1端
- ↓
- ブレークダウンB:  $\Delta L_{PBL1}$  の増大に伴い、PBL1端での電界が強くなることに起因する
- $-600 \leq \Delta L_{PBL1} \leq 400$  nm の範囲で  $148 \leq R_{on,sp} \leq 152$  mΩmm<sup>2</sup> にある  
→ 上記 $\Delta L_{PBL1}$ 範囲では  $R_{on,sp}$  の変動は小さい

- $BV_{DS}$  の急激な低下を避けるには、 $\Delta L_{PBL1} \leq 50$  nm に設定する必要あり
- CE抑制も考慮して、 $\Delta L_{PBL1}$  の許容値を  $-50$  nm  $\leq \Delta L_{PBL1} \leq 50$  nm とする

# 表面に沿った電界分布の $L_{PBL1}$ 依存性(1)

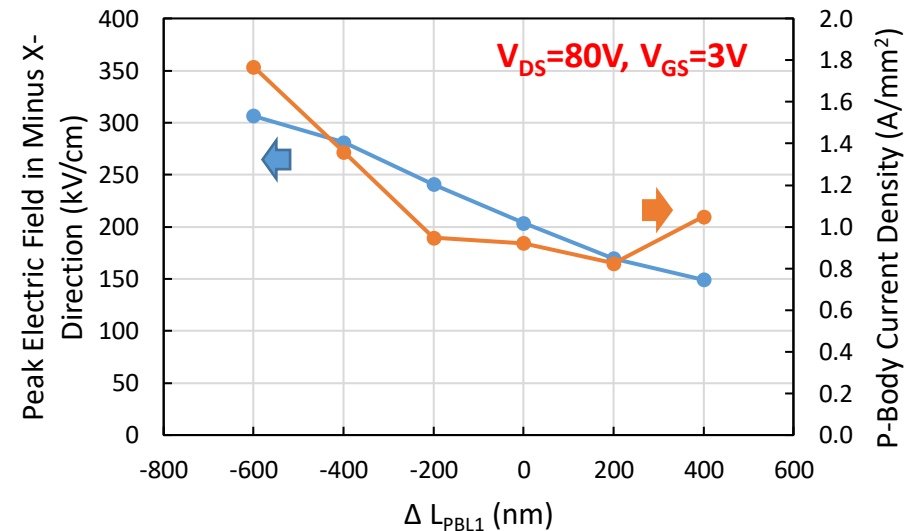
(提案LDMOS)



■  $\Delta L_{PBL1}$ の増大に伴いゲート側ドリフト端近傍での-x方向電界 $-E_{xx(g)}$ は低下する(RESURF強化)



$\Delta L_{PBL1}$ の増大に伴いホットキャリア耐性が上がる



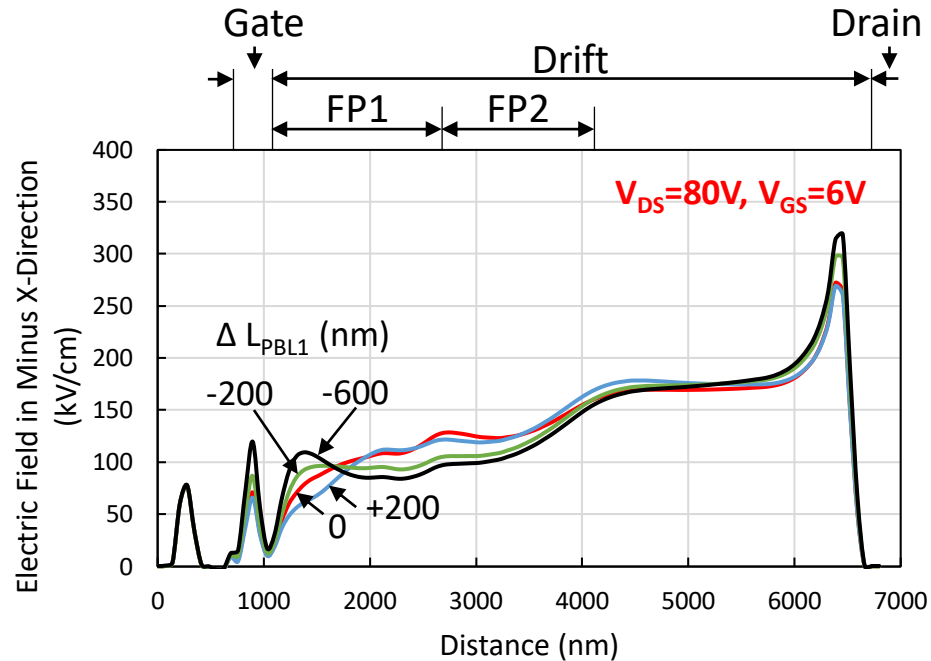
ゲート側ドリフト端近傍での-x方向ピーク電界 $-E_{xx(g-peak)}$ とp-body電流密度の $\Delta L_{PBL1}$ 依存性

- $-50 \text{ nm} \leq \Delta L_{PBL1} \leq 50 \text{ nm}$ とした場合の $|E_{xx(g-peak)}|$ の変動幅  
 $195 \leq |E_{xx(g-peak)}| \leq 213 \text{ kV/cm}$  (標準サンプルの $|E_{xx(g-peak)}|$ は204kV/cm)  
 (標準サンプルの $|E_{xx(g-peak)}|$ に対する上記変動幅: -4%から+4%)
- $-50 \text{ nm} \leq \Delta L_{PBL1} \leq 50 \text{ nm}$ とした場合の  
 p-body電流密度(インパクトイオン化による正孔電流密度)はほぼ一定

→ 上記 $\Delta L_{PBL1}$ の範囲内ではホットキャリア耐性はほぼ一定

# 表面に沿った電界分布の $L_{PBL1}$ 依存性(2)

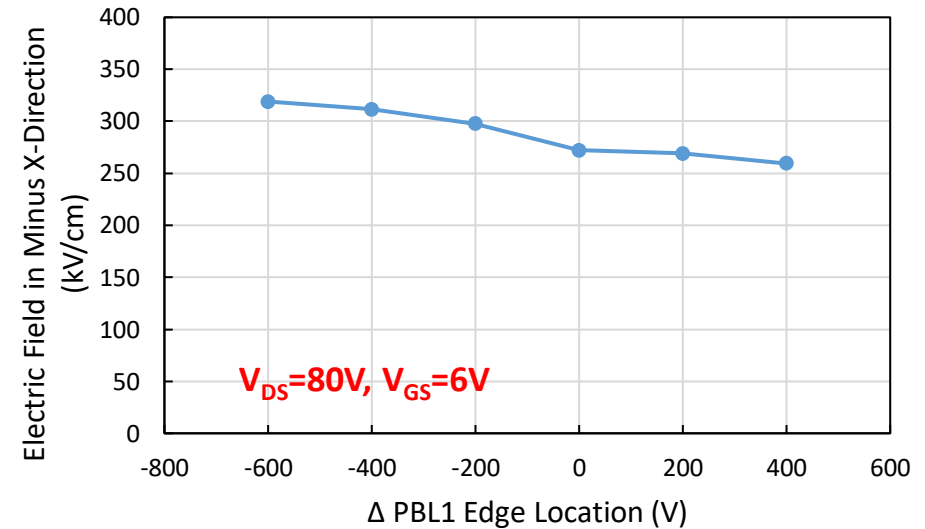
## (提案LDMOS)



- $\Delta L_{PBL1}$ の増大に伴いドレイン側ドリフト端近傍の-x方向電界 $-E_{xx(d)}$ は徐々に小さくなる
- $\Delta L_{PBL1} \geq 0$  nmでは $-E_{xx(d)}$ はほとんど変わらない



$\Delta L_{PBL1}$ の増大に伴いCEを抑制できる  
但し、 $\Delta L_{PBL1} \geq 0$  nmではその効果は小さい



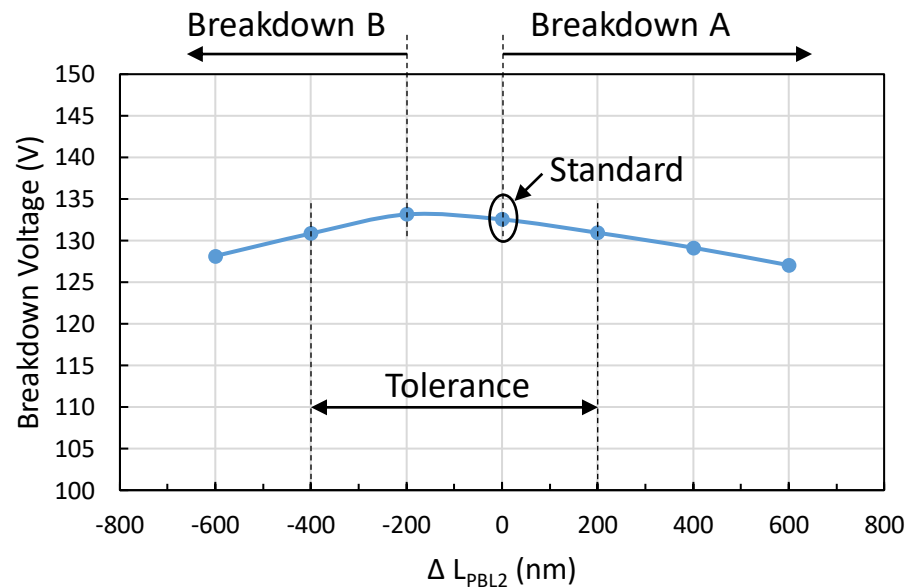
ドレイン側ドリフト端近傍での  
-x方向ピーク電界 $-E_{xx(d-peak)}$ の $\Delta L_{PBL1}$ 依存性

- $-50 \text{ nm} \leq \Delta L_{PBL1} \leq 50 \text{ nm}$ とした場合の $|E_{xx(d-peak)}|$ の変動幅  
 $271 \leq |E_{xx(d-peak)}| \leq 278 \text{ kV/cm}$  (標準サンプルの $|E_{xx(d-peak)}|$ は $272 \text{ kV/cm}$ )  
 標準サンプルの $|E_{xx(d-peak)}|$ に対する上記変動幅:  $-0.3\%$  から  $+2\%$

→ 上記 $\Delta L_{PBL1}$ の範囲内では、CE抑制効果はほぼ一定

# BV<sub>DS</sub>のL<sub>PBL2</sub>依存性

(提案LDMOS)



$$\Delta L_{PBL2} = L_{PBL2} - L_{PBL2-std}$$

- BV<sub>DS</sub> ≥ 131 Vを得る場合、 $\Delta L_{PBL2}$ の範囲は以下になる  
 $-400 \text{ nm} \leq \Delta L_{PBL2} \leq +200 \text{ nm}$

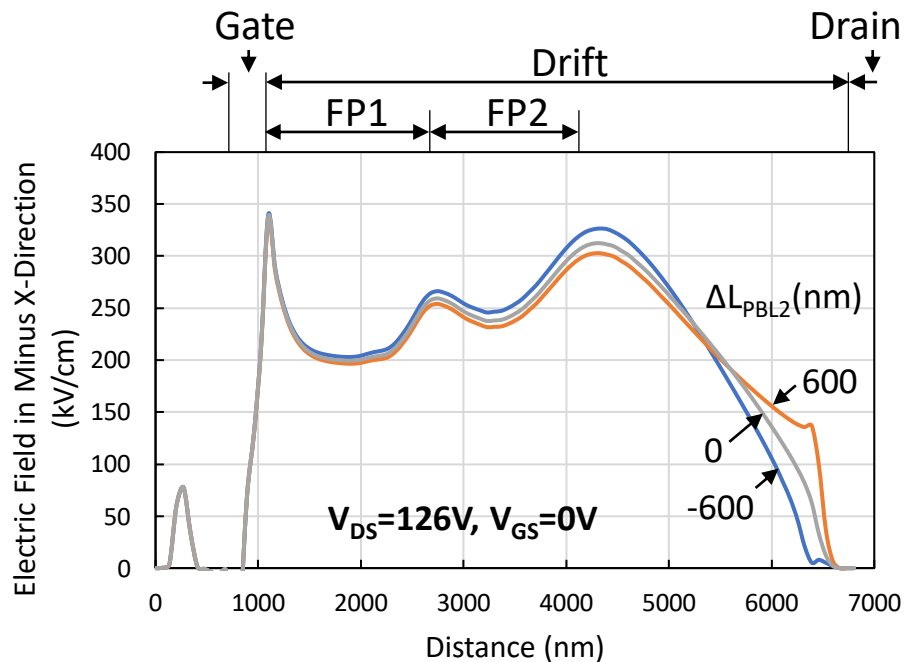
→ 標準条件で広いプロセスマージン有り

- ブレークダウンA発生  
 $\Delta L_{PBL2}$ 増大に伴うドレイン側ドリフト端近傍  
(ドレイン下方のPN接合)の高電界に起因
- ブレークダウンB発生  
 $\Delta L_{PBL2}$ 低下に伴い、ドリフト全体のRESURFが低下し、  
ゲート側ドリフト端近傍(PBL1端)の電界が  
高くなることに起因



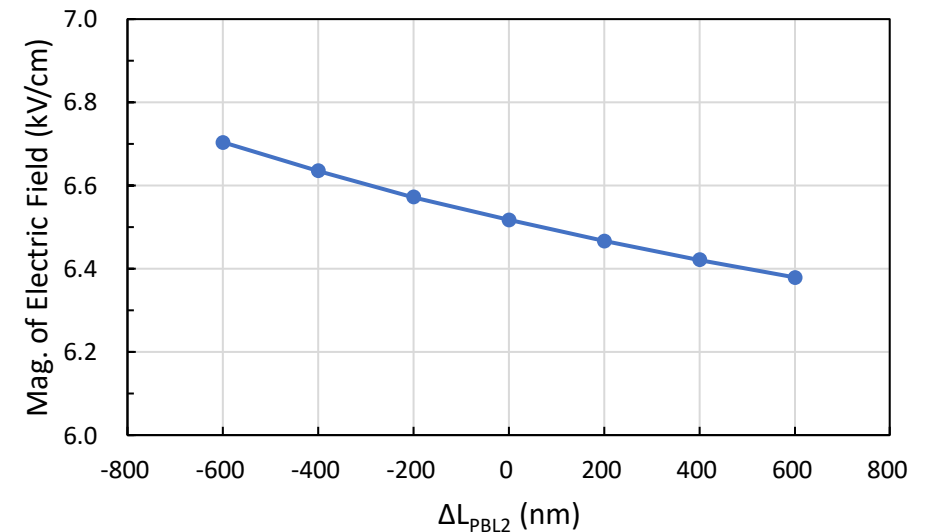
# 表面に沿った電界プロファイルとPBL1端における電界の $\Delta L_{PBL2}$ 依存性

## (提案LDMOS)



表面に沿った電界プロファイルの  $\Delta L_{PBL2}$  依存性

$\Delta L_{PBL2}$  の増大に伴いドレイン側ドリフト端近傍の電界上昇  
 → ブレークダウンA発生  
 (但し、ドリフト領域全体に渡るRESURF効果は上昇)

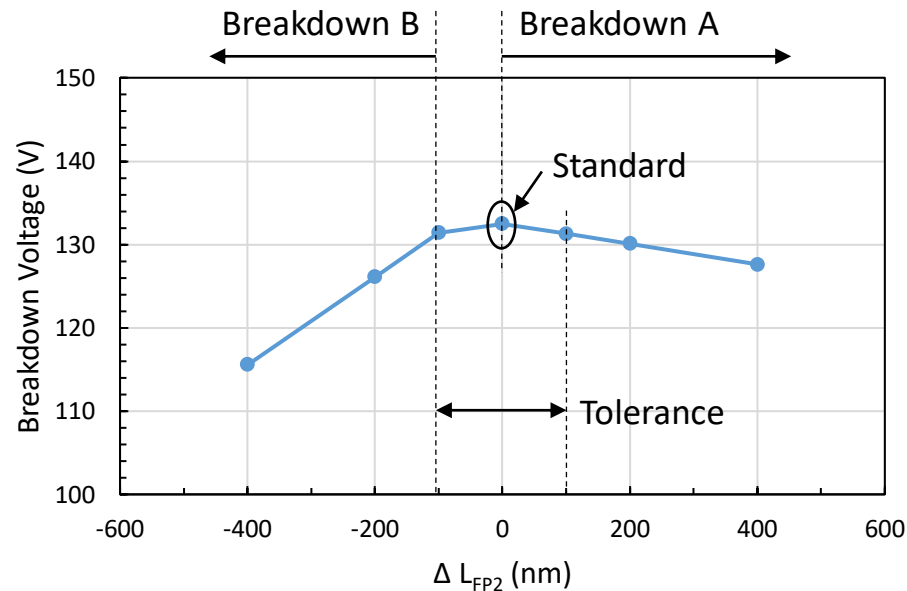


PBL1端近傍におけるピーク電界の  $\Delta L_{PBL2}$  依存性

$\Delta L_{PBL2}$  の減少に伴いPBL1端近傍の電界上昇  
 → ブレークダウンB発生 (RESURF効果の低下に起因)

# BV<sub>DS</sub>のL<sub>FP2</sub>依存性

(提案LDMOS)



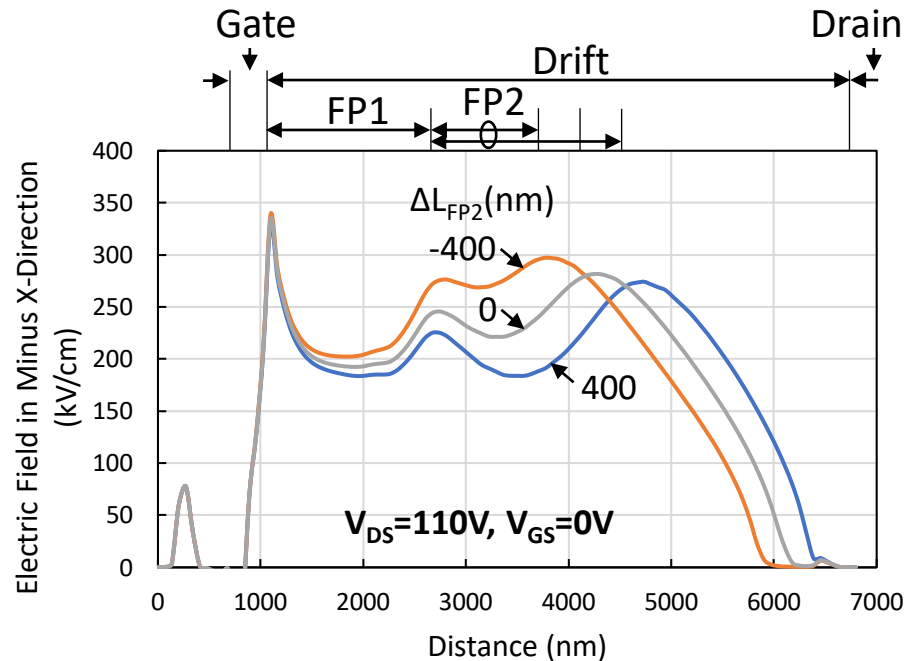
$$\Delta L_{FP2} = L_{FP2} - L_{FP2-std}$$

- BV<sub>DS</sub> ≥ 131 V を得る場合、 $\Delta L_{FP2}$  の範囲は以下になる  
 $-100 \text{ nm} \leq \Delta L_{FP2} \leq +100 \text{ nm}$

→ 標準条件で広いプロセスマージン有り

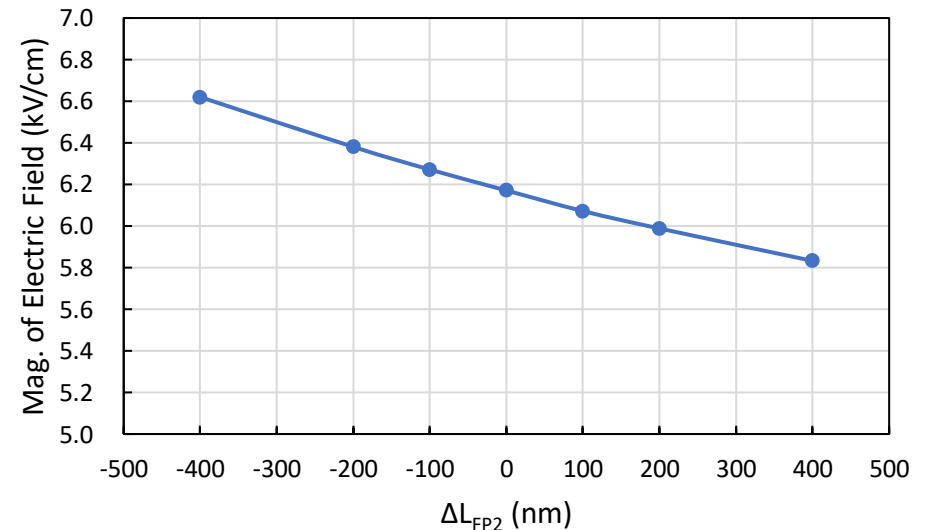
- ブレークダウンA発生  
 $\Delta L_{FP2}$  増大に伴うドレイン側ドリフト端近傍 (ドレイン下方のPN接合) の高電界に起因
- ブレークダウンB発生  
 $\Delta L_{FP2}$  低下に伴い、ドリフト全体のRESURFが低減し、ゲート側ドリフト端近傍 (PBL1端) の電界が高くなることに起因

# 表面に沿った電界プロファイルとPBL1端における電界の $\Delta L_{FP2}$ 依存性



表面に沿った電界プロファイルの  $\Delta L_{FP2}$  依存性

$\Delta L_{FP2}$  の増大に伴いドレイン側ドリフト端近傍の電界上昇  
 → ブレークダウンA発生  
 (但し、ドリフト領域全体に渡るRESURF効果は上昇)

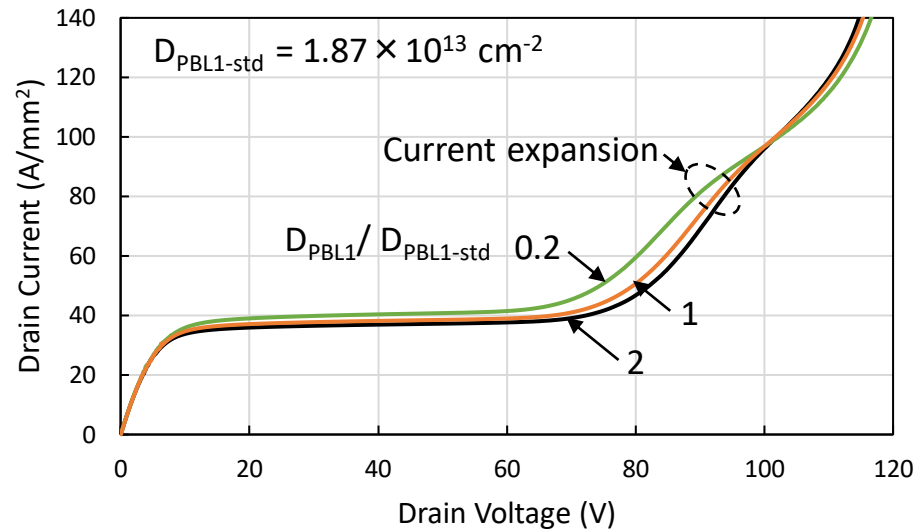


PBL1端近傍におけるピーク電界の  $\Delta L_{FP2}$  依存性

$\Delta L_{FP2}$  の減少に伴いゲート側ドリフト端近傍の電界上昇  
 → ブレークダウンB発生 (RESURF効果の低下に起因)

# $I_D$ - $V_{DS}$ 特性の $D_{PBL1}$ 依存性

(提案LDMOS)

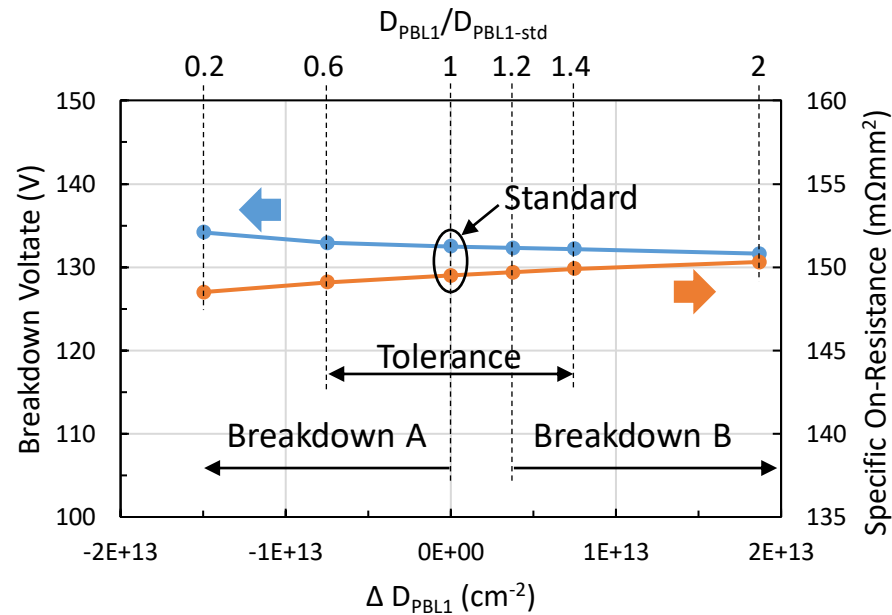


■  $D_{PBL1}$ を増やすとCEが抑制される

∴  $D_{PBL1}$ を増やすとゲート側ドリフト端近傍のRESURF効果が上昇する。これにより、 $V_{DS}$ を増大させた場合の $V_{DS,INT}$ の上昇がより抑制され、 $I_D$ の上昇が抑制されることに起因

# BV<sub>DS</sub> と R<sub>on,sp</sub> の D<sub>PBL1</sub> 依存性

(提案LDMOS)



$$D_{PBL1-std} = 1.87 \times 10^{13} \text{ cm}^{-2}$$

$$\Delta D_{PBL1} = D_{PBL1} - D_{PBL1-std}$$

■ D<sub>PBL1</sub>が増えると、BV<sub>DS</sub>は徐々に低下し、R<sub>on,sp</sub>は徐々に上昇する

D<sub>PBL1</sub>/D<sub>PBL1-std</sub> ≤ 1 では、PBL2 端の電界が PBL1 端の電界より高く、ブレイクダウンの発生箇所がドレイン下方 (Breakdown A) にある。その箇所の電界が D<sub>PBL1</sub> の増大に伴い僅かに上昇することに起因して、BV<sub>DS</sub> は徐々に低下する。

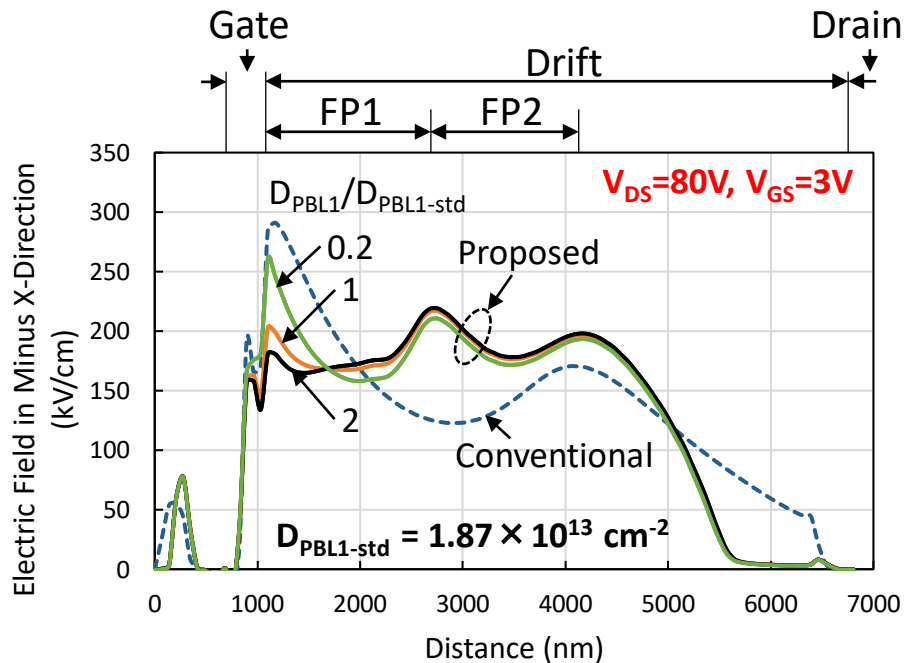
D<sub>PBL1</sub>/D<sub>PBL1-std</sub> ≥ 1.2 では、PBL1 端の電界が PBL2 端の電界より高くなり、ブレイクダウンの発生箇所が PBL1 端 (Breakdown B) に移る。その箇所の電界が D<sub>PBL1</sub> の増大に伴い僅かに上昇することに起因して、BV<sub>DS</sub> は徐々に低下する。

■ D<sub>PBL1</sub> の範囲を 0.6 ≤ D<sub>PBL1</sub>/D<sub>PBL1-std</sub> ≤ 1.4 に設定 (広いプロセスマージン有り)

→ BV<sub>DS</sub> ≥ 132 V, R<sub>ON,SP</sub> ≤ 150 mΩmm<sup>2</sup> を達成

# 表面に沿った電界分布の $D_{PBL1}$ 依存性(1)

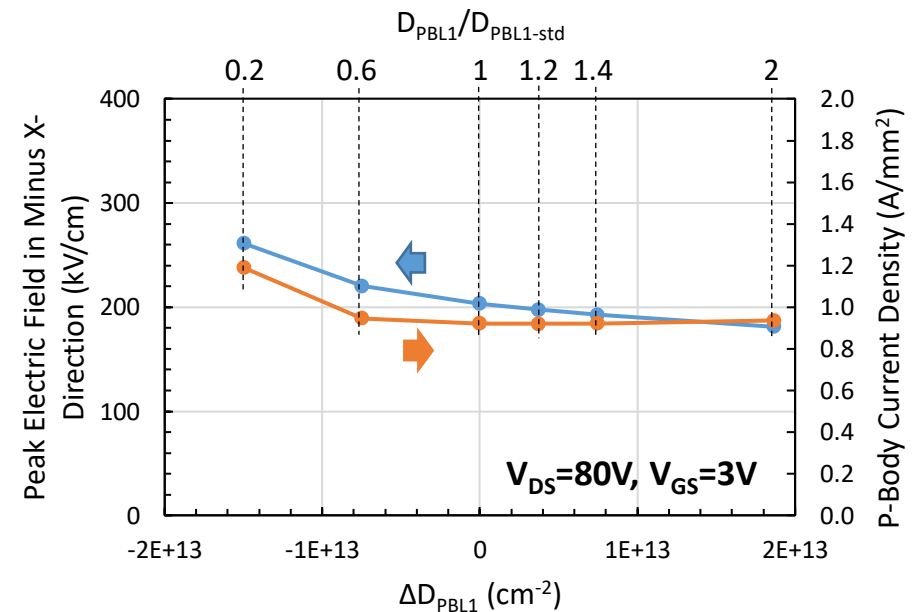
(提案LDMOS)



$D_{PBL1}$  の増大に伴い  $-E_{xx(g)}$  は低下する



$D_{PBL1}$  の増大に伴いホットキャリア耐性が上がる

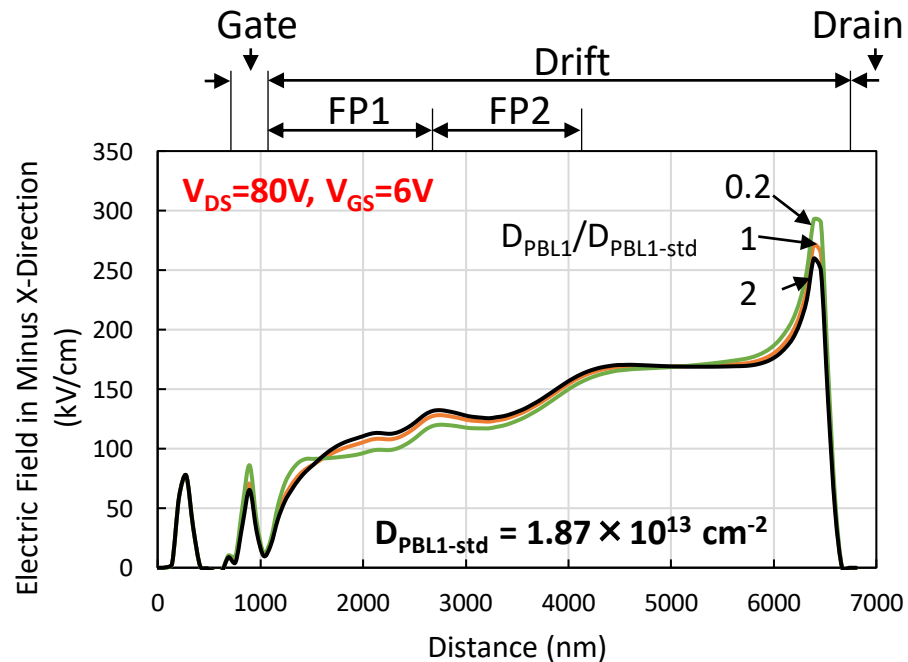


ゲート側ドリフト端近傍での  
-x方向ピーク電界  $-E_{xx(g\text{-peak})}$  の  $\Delta D_{PBL1}$  依存性

- $0.6 \leq D_{PBL1}/D_{PBL1\text{-std}} \leq 1.4$  では、P-body電流密度はほぼ一定であるため、ホットキャリアによるデバイス特性劣化の程度はほとんど変わらないと考える。

# 表面に沿った電界分布の $D_{PBL1}$ 依存性(2)

(提案LDMOS)

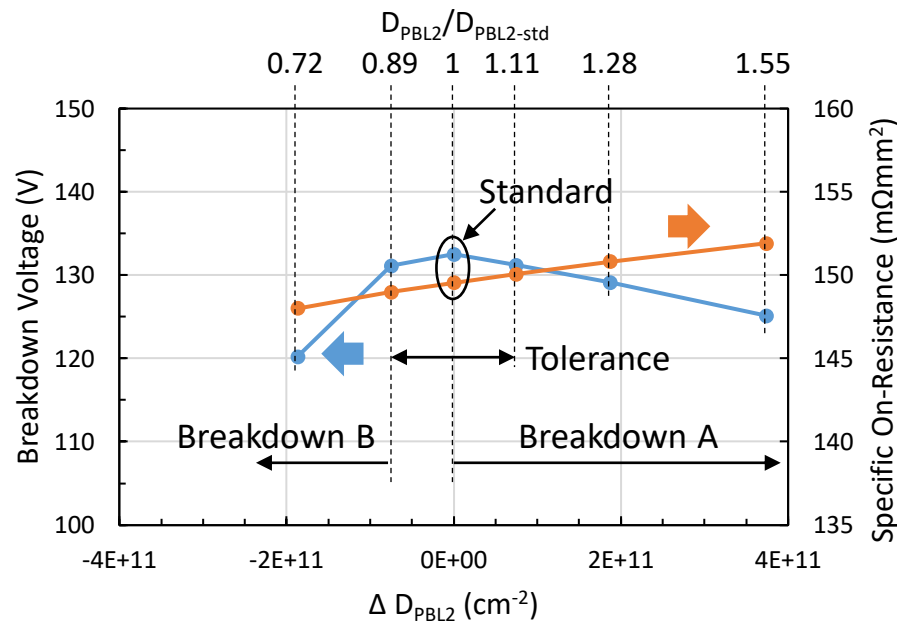


■  $D_{PBL1}$ を増やすと、RESURF効果の上昇により、ドレイン側ドリフト端近傍の-x方向ピーク電界 $-E_{xx(d-peak)}$ が低下する。

→ CEを抑制する

# BV<sub>DS</sub> と R<sub>on,sp</sub> の D<sub>PBL2</sub> 依存性

(提案LDMOS)



$$D_{PBL2-std} = 6.77 \times 10^{11} \text{ cm}^{-2}$$

$$\Delta D_{PBL2} = D_{PBL2} - D_{PBL2-std}$$

■ BV<sub>DS</sub> は  $\Delta D_{PBL2} = 0 \text{ cm}^{-2}$  (標準) で最大になる

∴ (1)  $\Delta D_{PBL2} > 0 \text{ cm}^{-2}$  ではドレイン下 (PBL2端) の電界が高くなるため BV<sub>DS</sub> 低下  
→ ブレークダウンA発生

(2)  $\Delta D_{PBL2} < 0 \text{ cm}^{-2}$  ではRESURFが崩れるため BV<sub>DS</sub> 低下  
→ ブレークダウンB発生

■ R<sub>on,sp</sub> は  $\Delta D_{PBL2}$  の増大に伴い上昇する

∴ (1)  $\Delta D_{PBL2}$  の増大により実質N-driftドーズ量低下

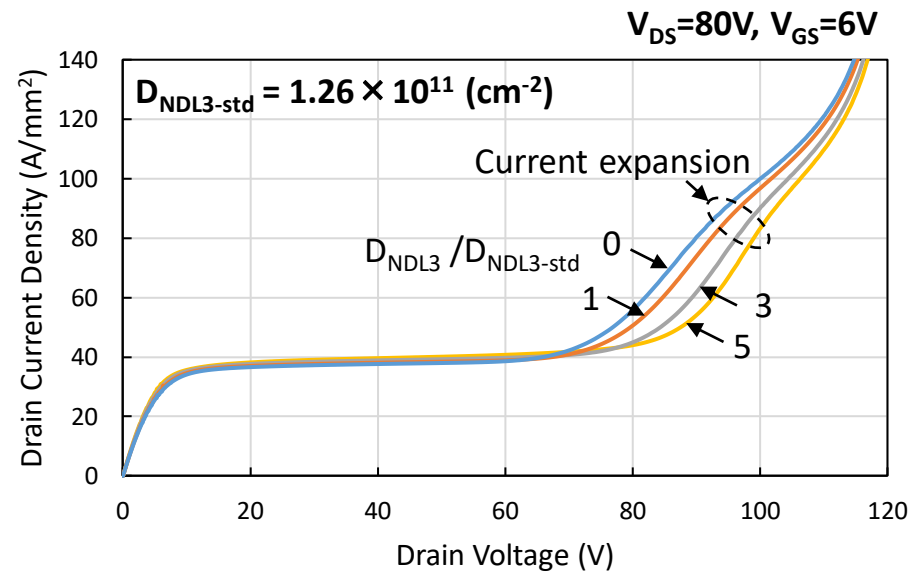
■ D<sub>PBL2</sub> の範囲を  $0.89 \leq D_{PBL2}/D_{PBL2-std} \leq 1.11$  に設定  
(広いプロセスマージン有り)

→ BV<sub>DS</sub> ≥ 131 V, R<sub>ON,SP</sub> ≤ 150 mΩmm<sup>2</sup> を達成



# $I_D$ - $V_{DS}$ 特性の $D_{NDL3}$ 依存性

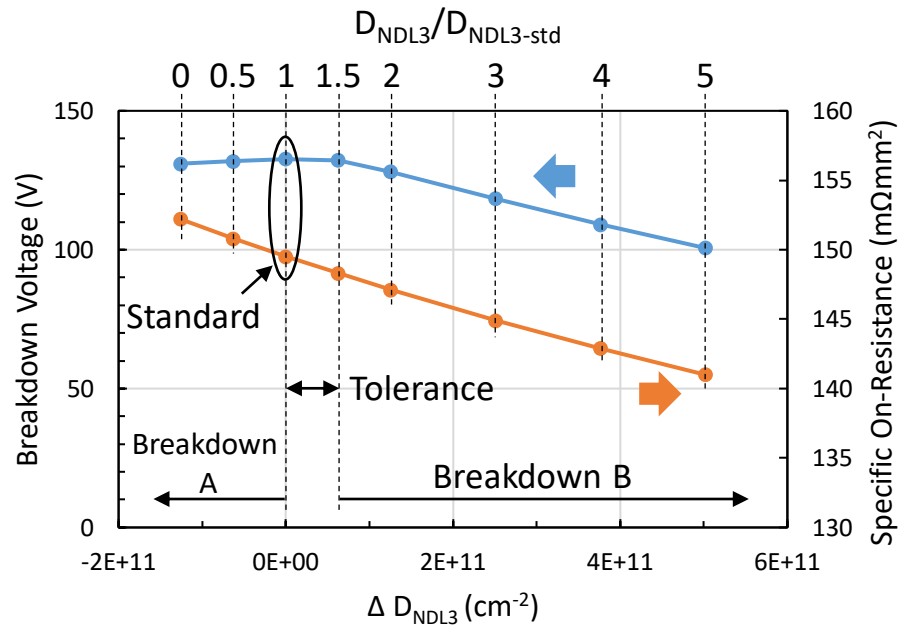
(提案LDMOS)



- $D_{NDL3}$  の増大に伴いCEは抑制される
- ∴ Kirk効果抑制

# BV<sub>DS</sub> と R<sub>on,sp</sub> の D<sub>N DL3</sub> 依存性

(提案LDMOS)

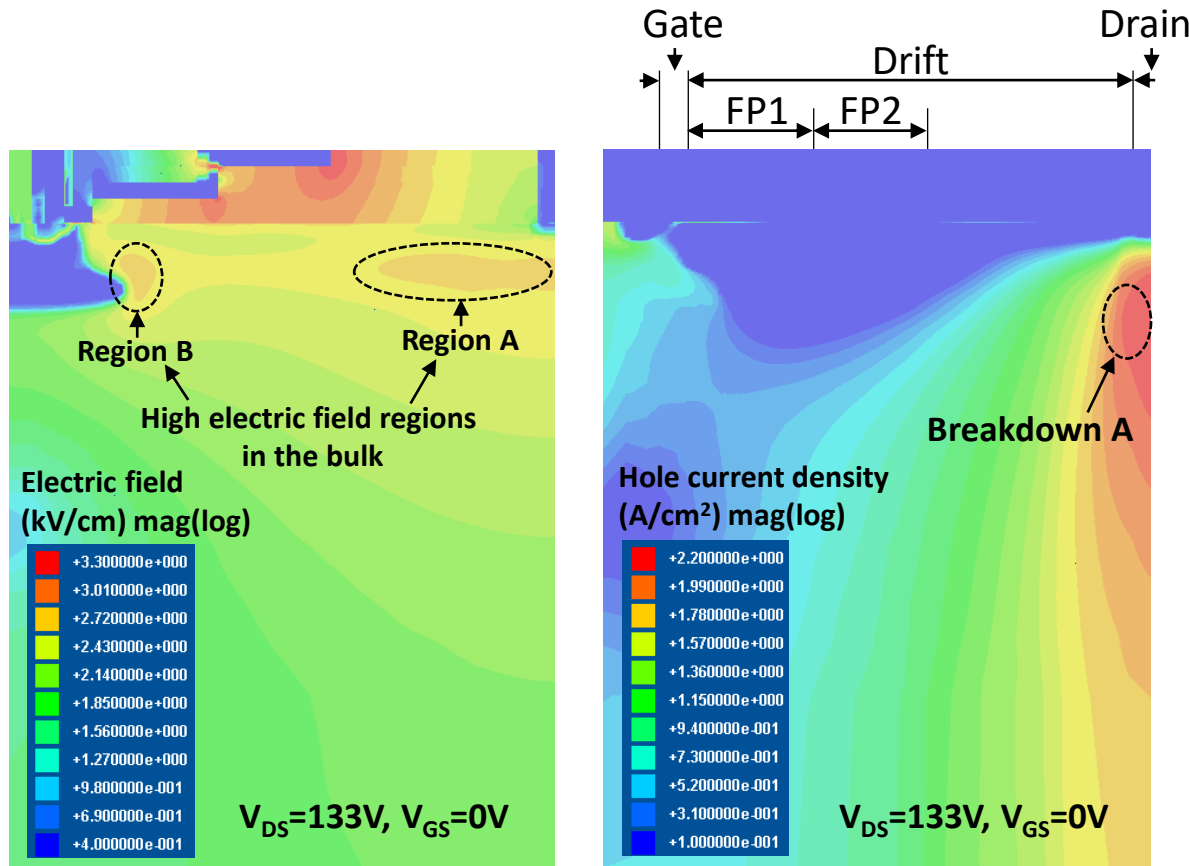


$$D_{NDL3-std} = 1.26 \times 10^{11} \text{ (cm}^{-2}\text{)}$$

$$\Delta D_{NDL3} = D_{NDL3} - D_{NDL3-std}$$

- $0 \leq D_{NDL3}/D_{NDL3-std} \leq 1.5$  の範囲では BV<sub>DS</sub> はほぼ一定  
 ∵ ドレイン側ドリフト端近傍の電界がゲート側ドリフト端近傍の電界より高い  
 → ブレークダウンA発生
- $D_{NDL3}/D_{NDL3-std} > 1.5$  の範囲では BV<sub>DS</sub> が低下する  
 ∵ RESURFの電荷バランスが崩れ、ゲート側ドリフト端近傍の電界上昇  
 → ブレークダウンB発生
- R<sub>on,sp</sub> は D<sub>N DL3</sub> の増加に伴い低下する
- D<sub>N DL3</sub> の範囲を  $1 \leq D_{NDL3}/D_{NDL3-std} \leq 1.5$  に設定  
 (広いプロセスマージン有り)  
 → BV<sub>DS</sub> ≥ 132 V、R<sub>ON,SP</sub> ≤ 150 mΩmm<sup>2</sup> を達成

# ブレイクダウンA発生時の正孔電流密度と電界分布



(a) 電界分布

(b) 正孔電流密度

標準サンプル ( $\Delta L_{PBL1}=0nm$ )

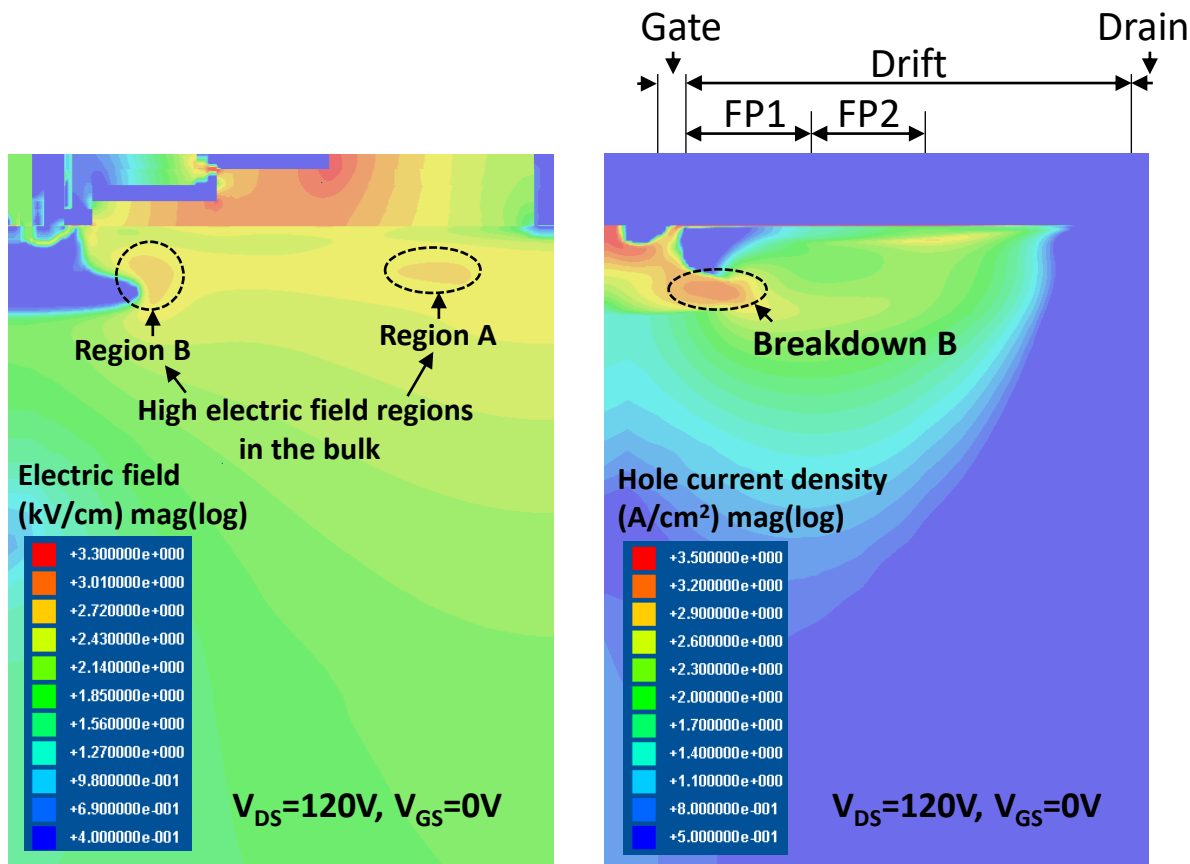
■  $L_{PBL1}$  の変化に対し、 $BV_{DS}$  がほぼ飽和状態にある領域ではPBL2端 (Region A) での電界が強くなり、そこでブレイクダウンAが発生する



ESD時に真性MOSFET特性へ影響を与える可能性は非常に低いと推定する

ESD: Electro Static Discharge

# ブレイクダウンB発生時の正孔電流密度と電界分布



(a) 電界分布

(b) 正孔電流密度分布

■  $L_{PBL1}$  の変化に対し、 $BV_{DS}$  が急激に低下する領域ではPBL1端 (Region B) での電界が強くなり、そこでブレイクダウンBが発生する



ESD時に真性MOSFET特性へ影響を与える可能性はあるが、ブレイクダウンがPBL1端 (真性MOSFETから少し離れた箇所) で発生 (高電界領域から推定) しているため、実際には真性MOSFET特性への影響は低いものと推定する

サンプル ( $\Delta L_{PBL1}=+200$  nm)

# 提案LDMOSまとめ

- 60-100 V 動作に対し、十分に CE を抑制し、広いSOAを持つ
- $R_{on,sp} - BV_{DS}$  特性は Si Limit に近い
- 非常に良好なFOM(伝導損失とスイッチング損失の低減)を持つ
- 高ホットキャリア耐性が見込まれる
- 高いESD耐性が期待できる
- スケーラブルデバイスであることから、  
低プロセスコストで回路設計の自由度が高い
- 量産を考慮したプロセスばらつきに対する特性変動は少ない
- 高信頼性が要求される車載用途にも対応できる

# 謝辞

本研究を進めるにあたり、3D-TCADを使用させて頂いたアドバンスソフト株式会社様に深く感謝を申し上げます。

この3D-TCADは、国立研究開発法人科学技術振興機構A-STEPプログラムの助成を受けてアドバンスソフト株式会社様で開発されました。

# 参考文献

- (1) Jun-ya Kojima, Jun-ichi Matsuda, Masataka Kamiyama, Nobukazu Tsukiji, and Haruo Kobayashi, "Optimization and Analysis of High Reliability 30-50V Dual RESURF LDMOS," International Conference on Solid-State and Integrated Circuit Technology (**ICSICT**), Oct. 25-28, 2016, Hangzhou, China, pp. 392-394, 2016.
- (2) Jun-ichi Matsuda, Jun-ya Kojima, Nobukazu Tsukiji, Masataka Kamiyama, and Haruo Kobayashi, "A Low Switching Loss 40 V Dual RESURF LDMOS Transistor with Low Specific On-Resistance," International Conference on Mechanical, Electrical and Medical Intelligent System (**ICMEMI**), Nov. 29-Dec.1, 2017, Kiryu, Japan, I01-05, 2017.
- (3) Jun-ichi Matsuda, Jun-ya Kojima, Nobukazu Tsukiji, Masataka Kamiya, and Haruo Kobayashi, "Low Switching Loss and Scalable 20-40 V LDMOS Transistors with Low Specific On-Resistance," International Conference on Technology and Social Science (**ICTSS**), Apr. 18-20, Kiryu, Japan, I03-02, 2018.
- (4) Jun-ichi Matsuda, Anna Kuwana, Jun-ya Kojima, Nobukazu Tsukiji, and Haruo Kobayashi, "Wide SOA and High Reliability 60-100 V LDMOS Transistors with Low Switching Loss and Low Specific On-Resistance," International Conference on Solid-State and Integrated Circuit Technology (**ICSICT**), Oct. 31-Nov. 3, Qingdao, China, S25-6, 2018.
- (5) Anna Kuwana, Jun-ichi Matsuda, and Haruo Kobayashi, "Optimization of High Reliability and Wide SOA 100 V LDMOS Transistor with Low Specific On-Resistance", ASICON, D7-5, Chongqing, China 2019.
- (6) 松田 順一, 桑名 杏奈, 小林 春夫, 「高信頼性, 広 SOA 100 V N-LDMOS トランジスタの最適化」, 電気学会論文誌 C(電子・情報・システム部門誌), Vol.140, No.11, pp.1220-1229, 2020.