

半導体デバイスモデリング技術 後半

2021年6月29日
群馬大学 非常勤講師
岡部裕志郎

内容

§ 5. 各素子のモデル2

5-1. MOSTランジスタ

5-2. 抵抗R

5-3. 容量C

§ 6. $1/f$ ノイズ

デバイス自体からのノイズ

§ 7. 特性テスト

コーナーモデルと統計モデル、ミスマッチ

§ 8. 注意点

§ 5. 各素子のモデル2

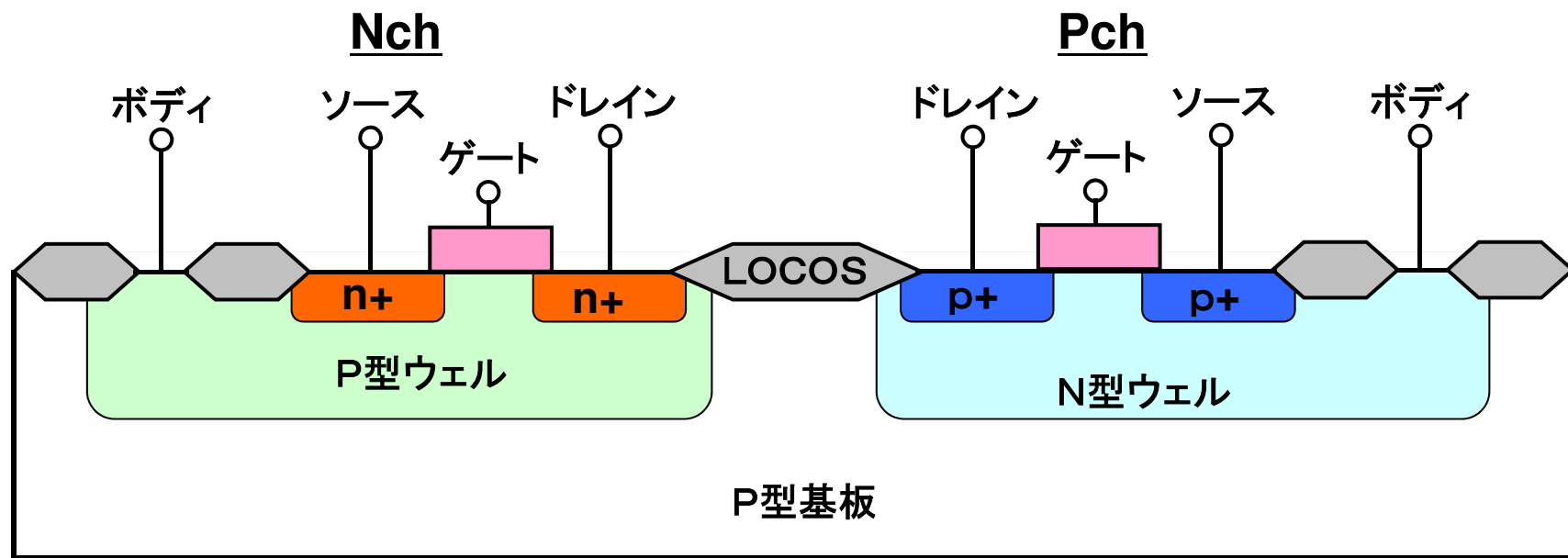
5－1. MOS (Metal Oxide Semiconductor) トランジスタ

■MOSトランジスタの特徴

	MOS	バイポーラ
駆動方式	電圧	電流
用途	デジタル、アナログ	アナログ
増幅率	中→高 *	高
完成時間TAT	1～2ヶ月	2週間
マスク枚数	30枚	10枚
値段	高価→安価	安価
ミスマッチ	大	小
消費電力	少	多
過渡応答速度	高	低
微小信号	問題無し	苦手

* 微細化で高性能、安価となった

■ CMOSトランジスタ



CMOS: Complementally (補正する)MOS
N/Pchの補正で消費電力を低下。

* 電圧駆動

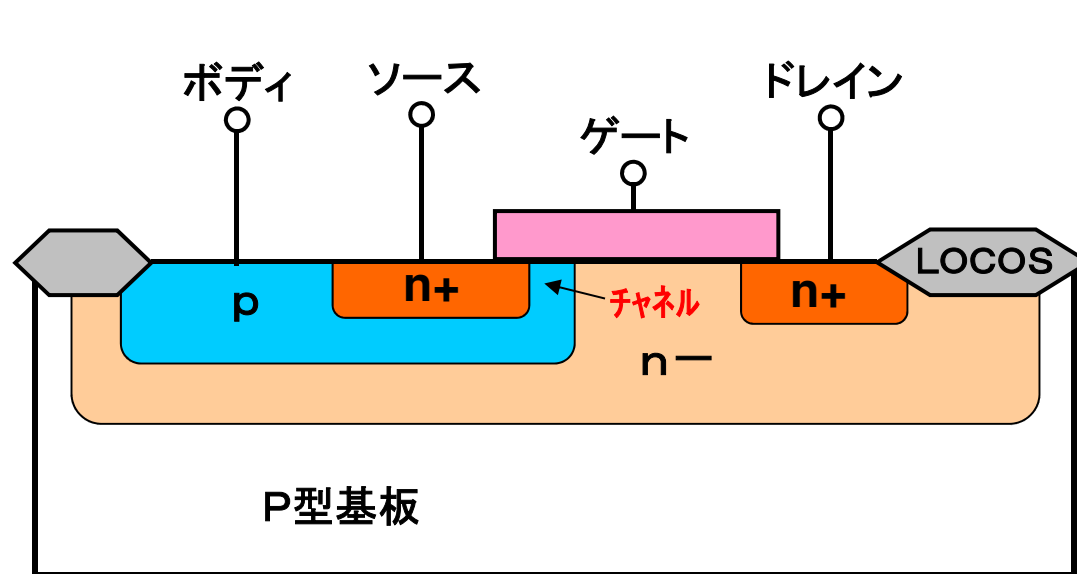
特徴

- ・高集積のため微細化されたMOS
- ・ゲート長 $0.1\mu\text{m}$ 以下が主流で、ゲート長は可変。
- ・ソース／ドレインは対称構造。
- ・最近ではアナログ用途に使用されている。

■ DMOSTランジスタ

Diffused(チャネル領域を拡散で作る)MOS(パワーMOS)

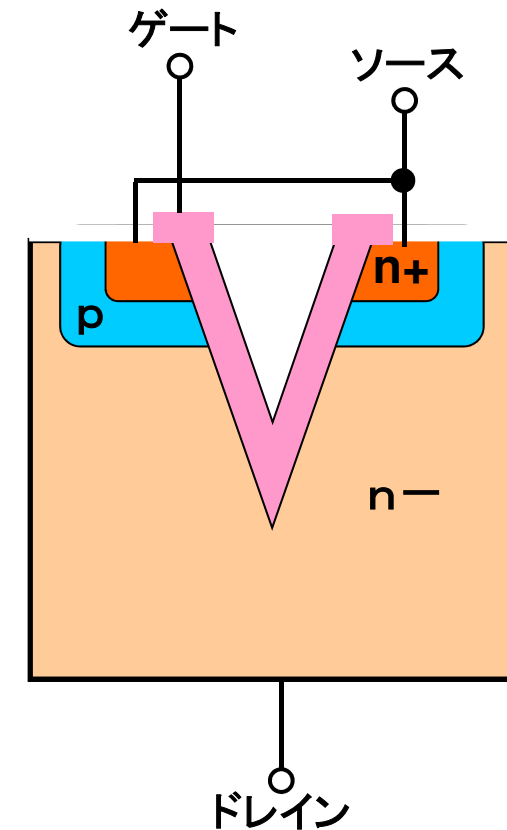
高耐圧、大電流用途のため**ドレインドリフト領域(n-)**が広い。ゲート長は固定。



1) LDMOS (Laterally Diffused MOS)

電流が横方向に (Laterally) 流れる。

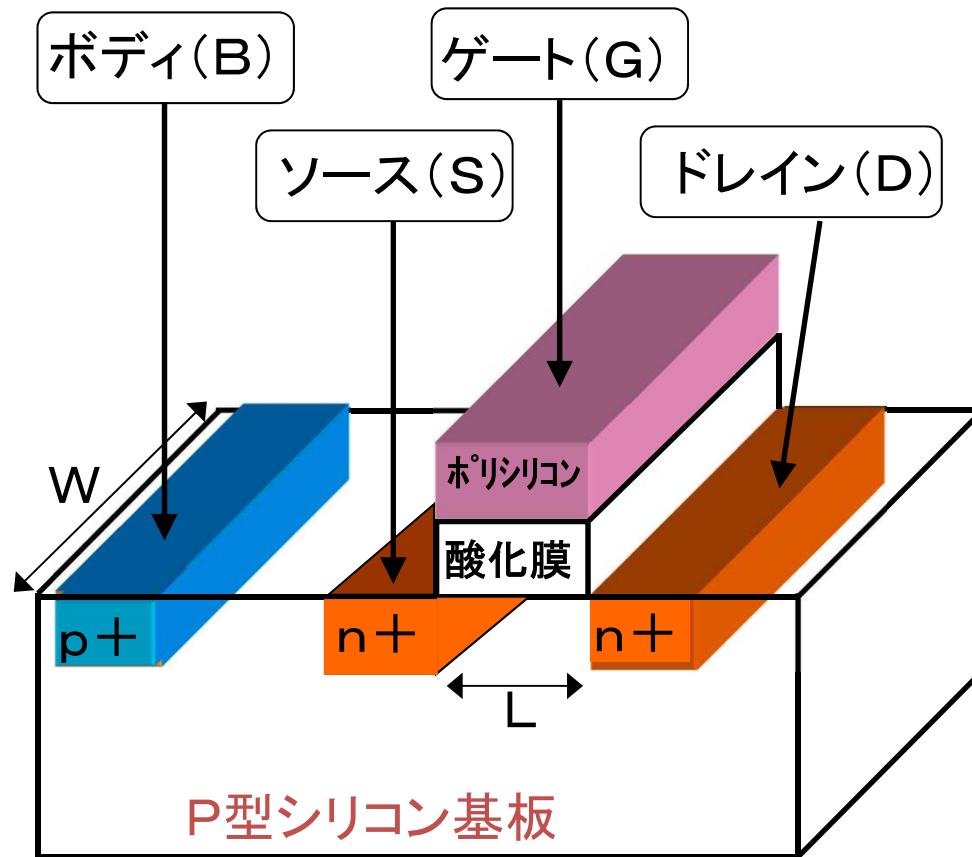
高速スイッチング。
回路出力段に使用



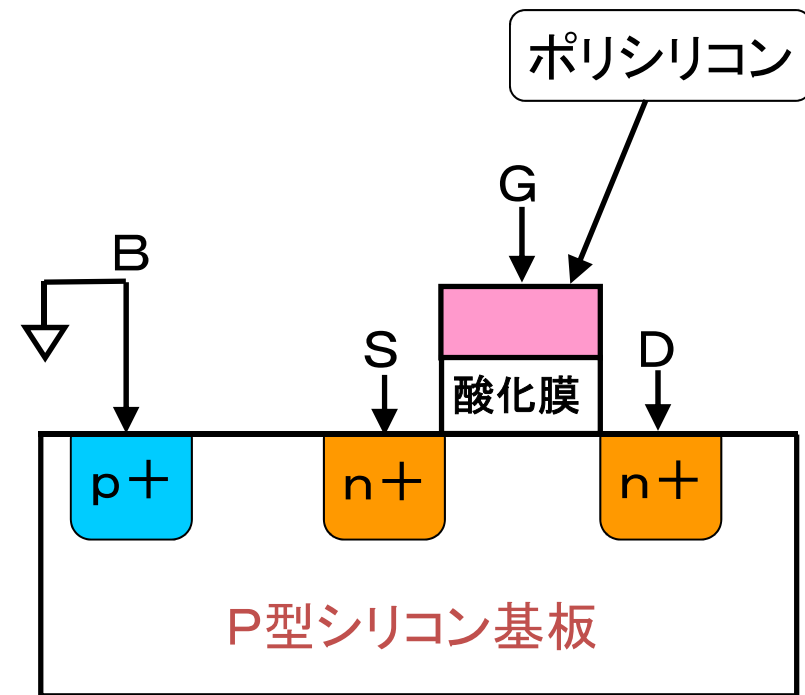
2) VDMOS

電流が縦方向に
(Vertically) 流れる。

■CMOSトランジスタの構造(Nch)



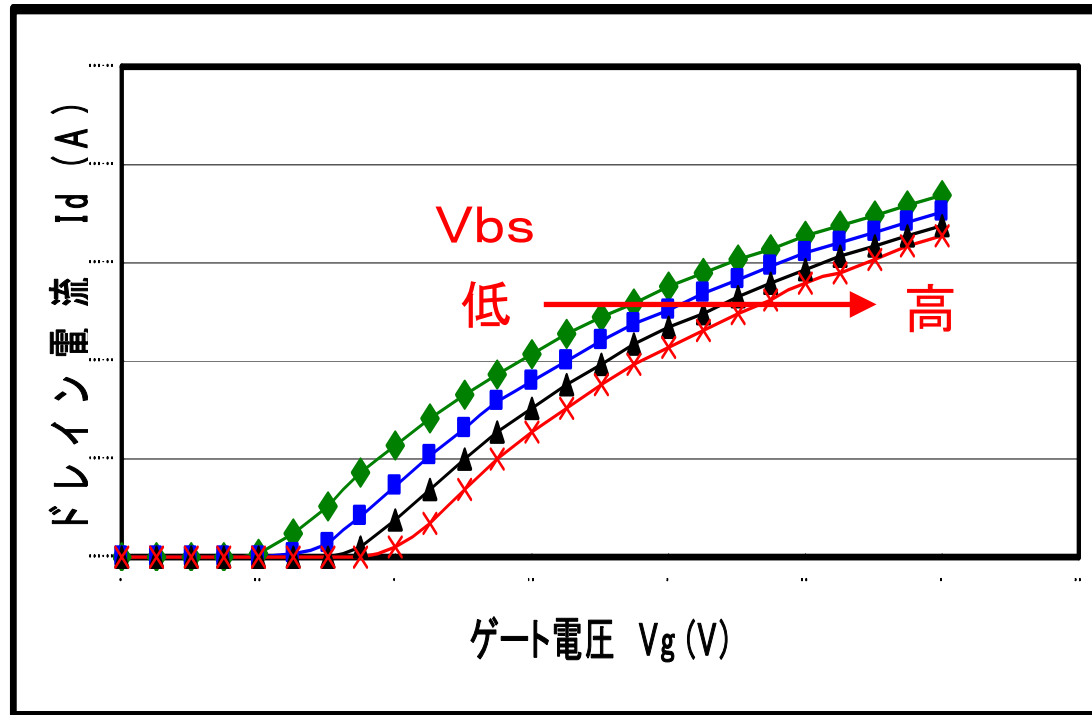
NMOSトランジスタの模式図



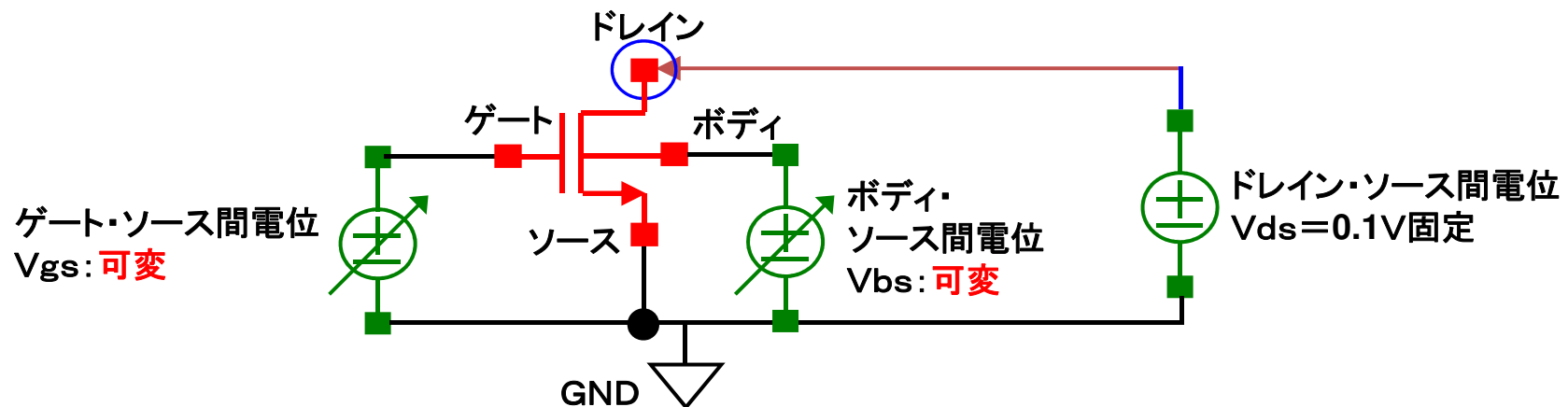
NMOSトランジスタの断面図

出典:CMOS OPアンプ回路実務設計の基礎、CQ出版社、吉澤著。

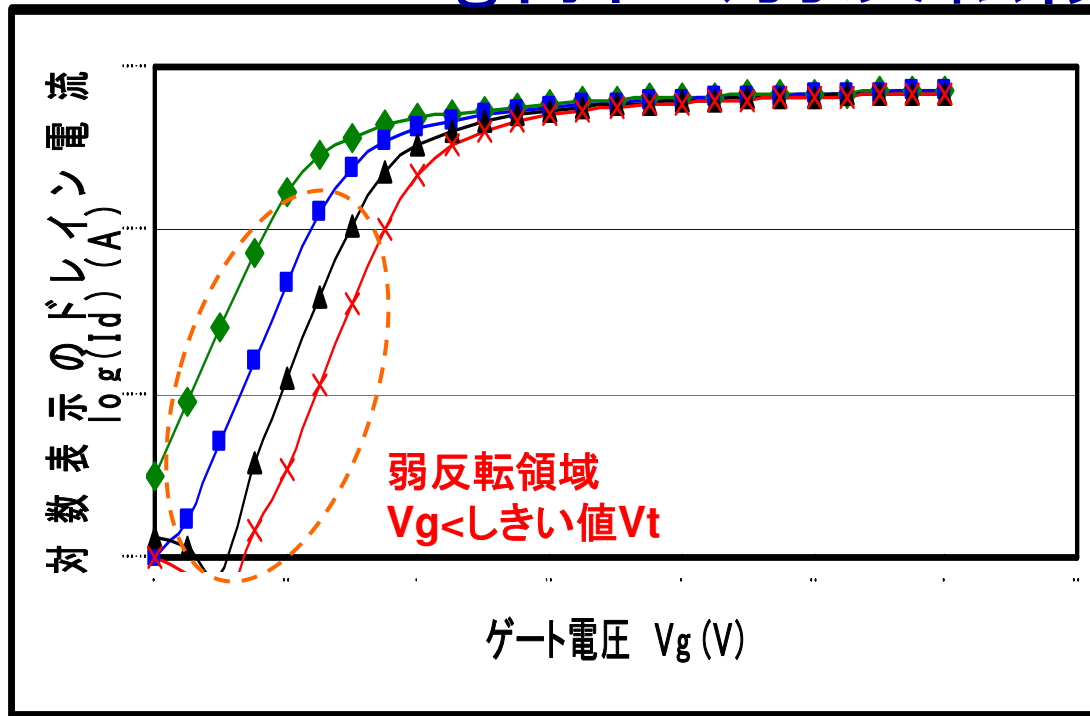
■ CMOSの I_d - V_g 特性(基板電圧 V_{bs} 依存性)



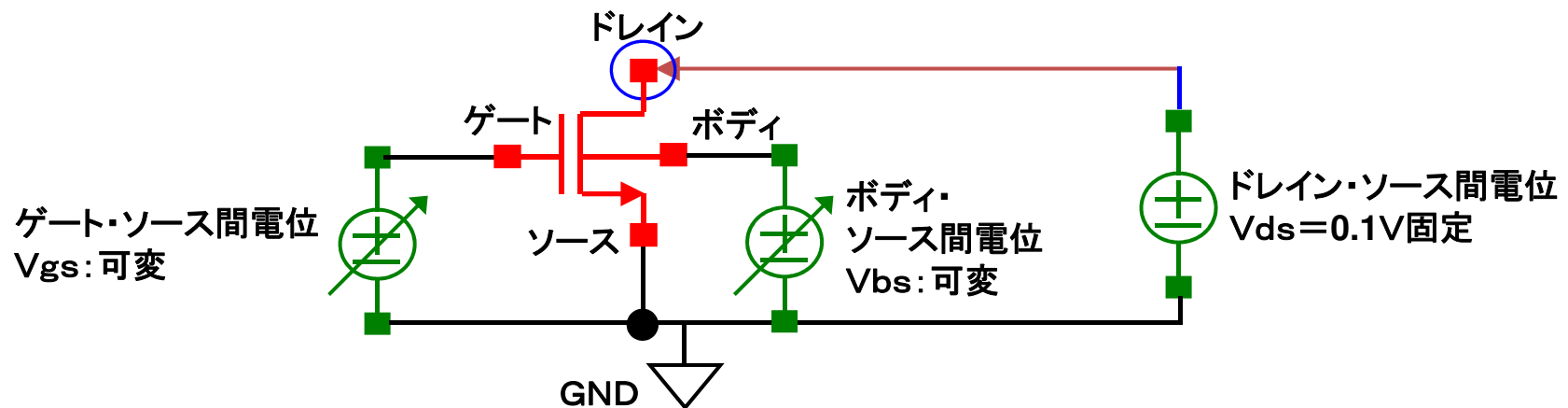
高 V_{bs}
↓
高 V_g 側へ移動



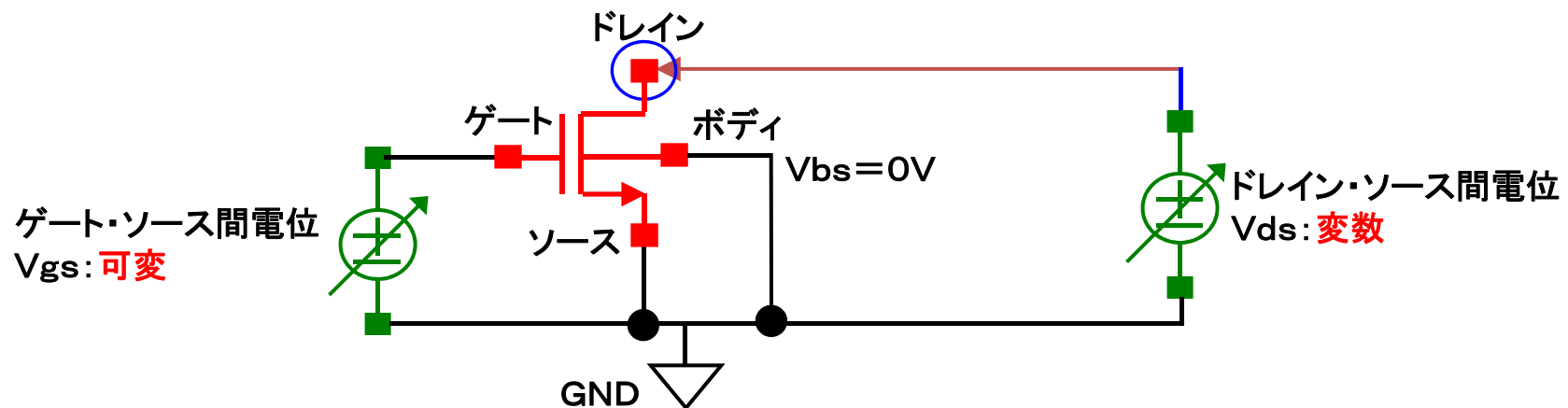
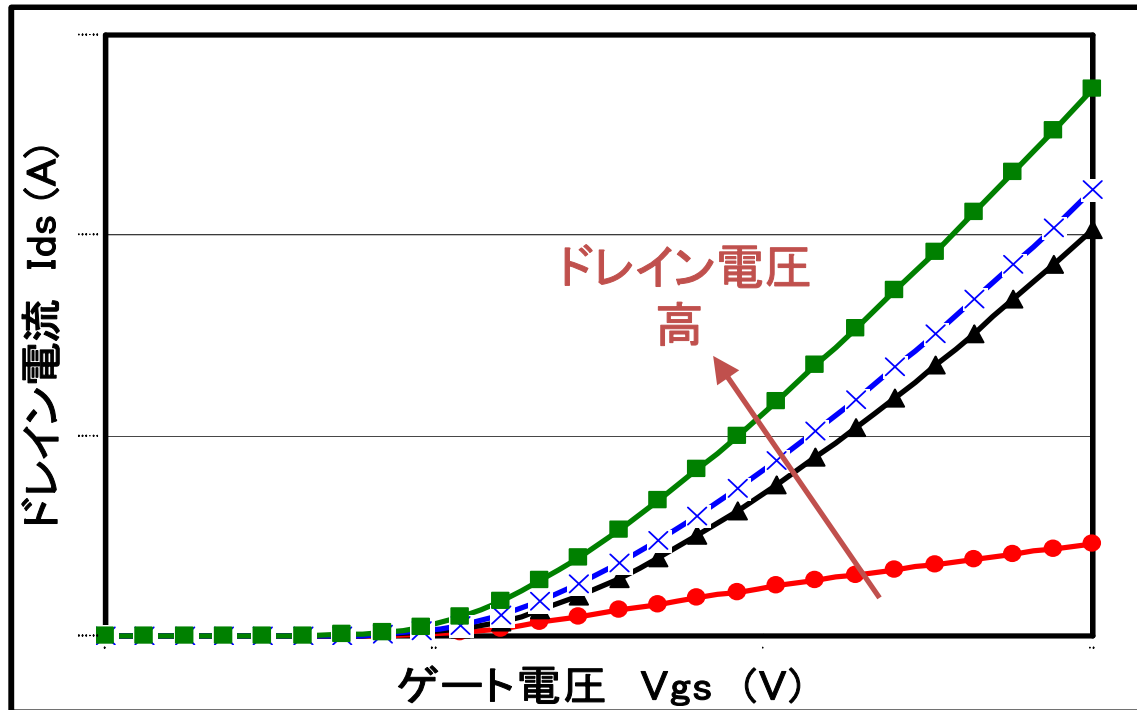
■ CMOSの I_d - V_g 特性(弱反転領域; Log表示)



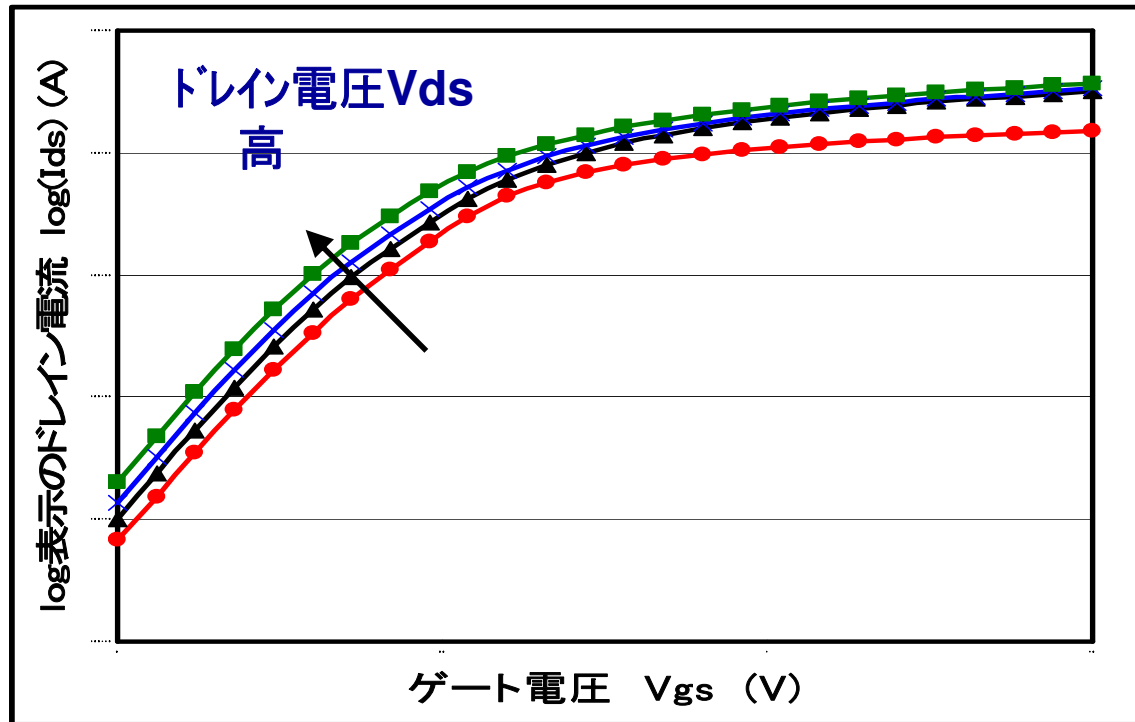
$V_g = 0V$ でも
微小電流が流
れている。



■ CMOSの I_d - V_g 特性(ドレイン電圧依存性)



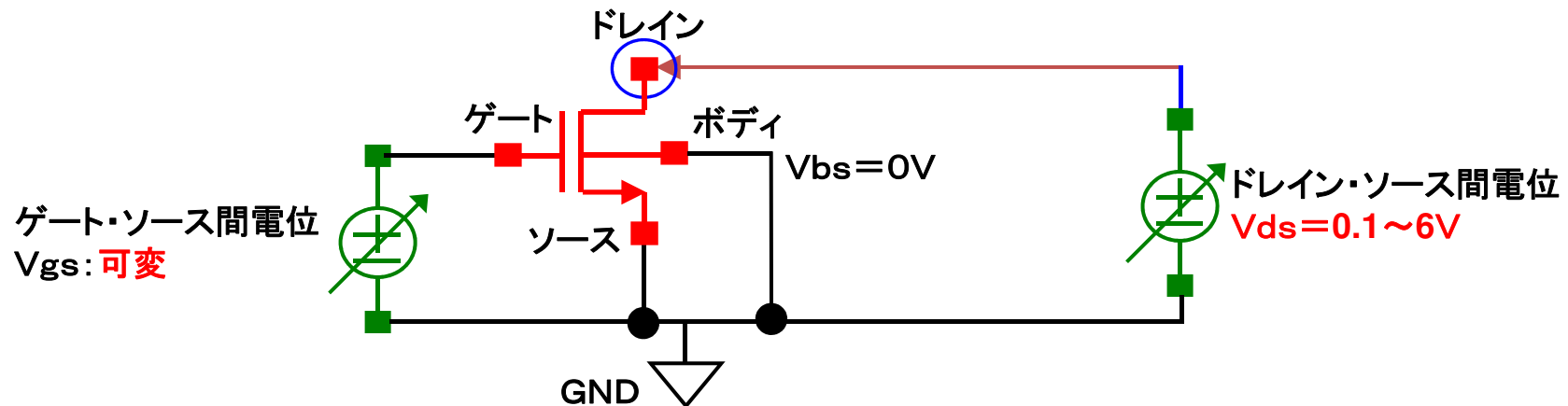
■ CMOSの I_d - V_g 特性 (ドレイン電圧依存性)



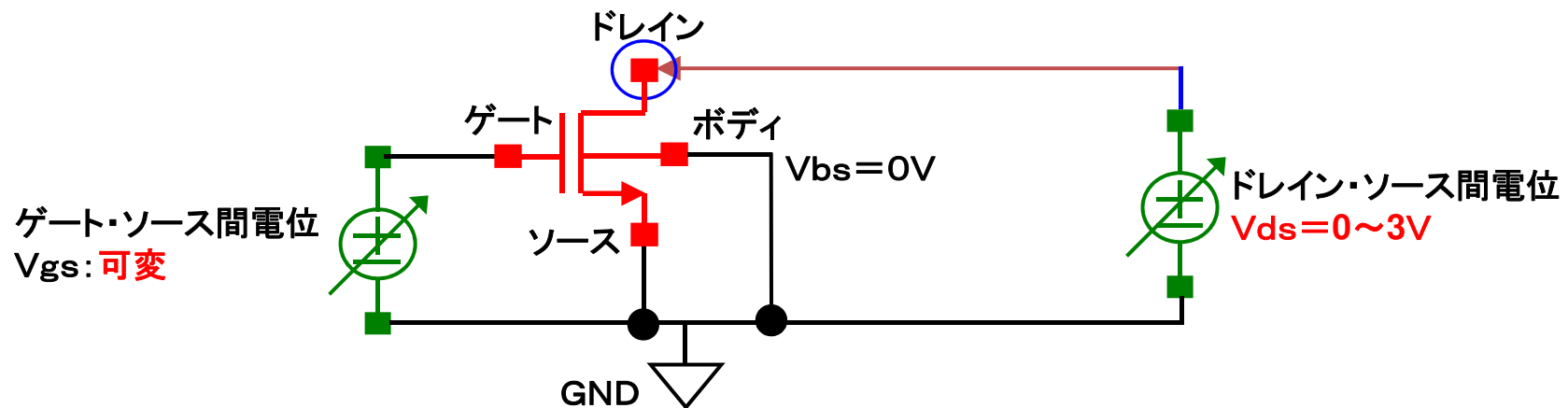
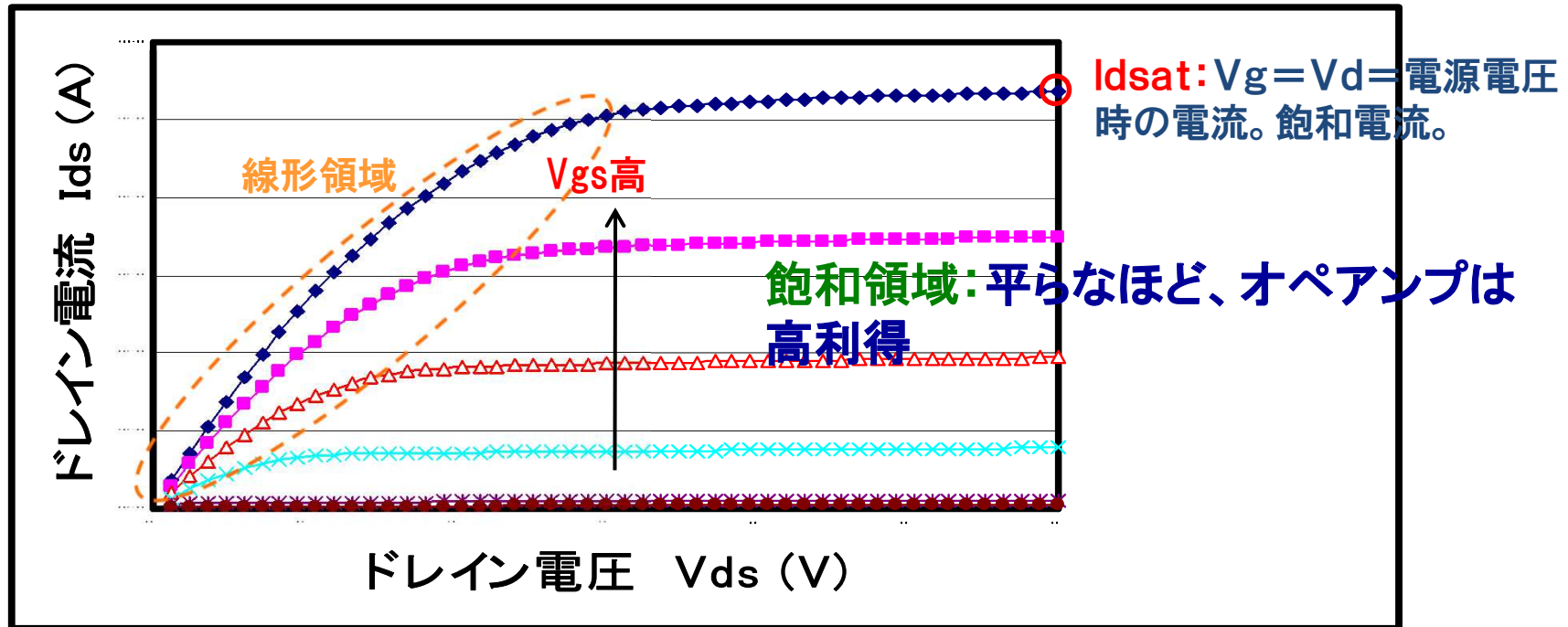
* 縦軸: Log表示

高ドレイン
電圧 V_{ds}

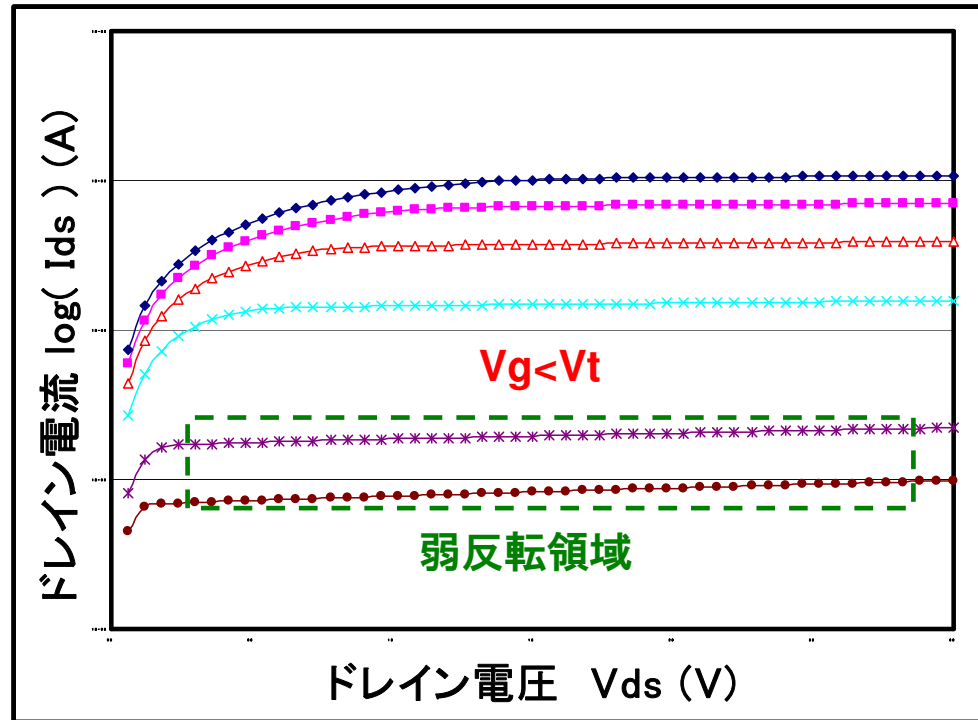
↓
電流増える



CMOSの I_d - V_d 特性(強反転領域)

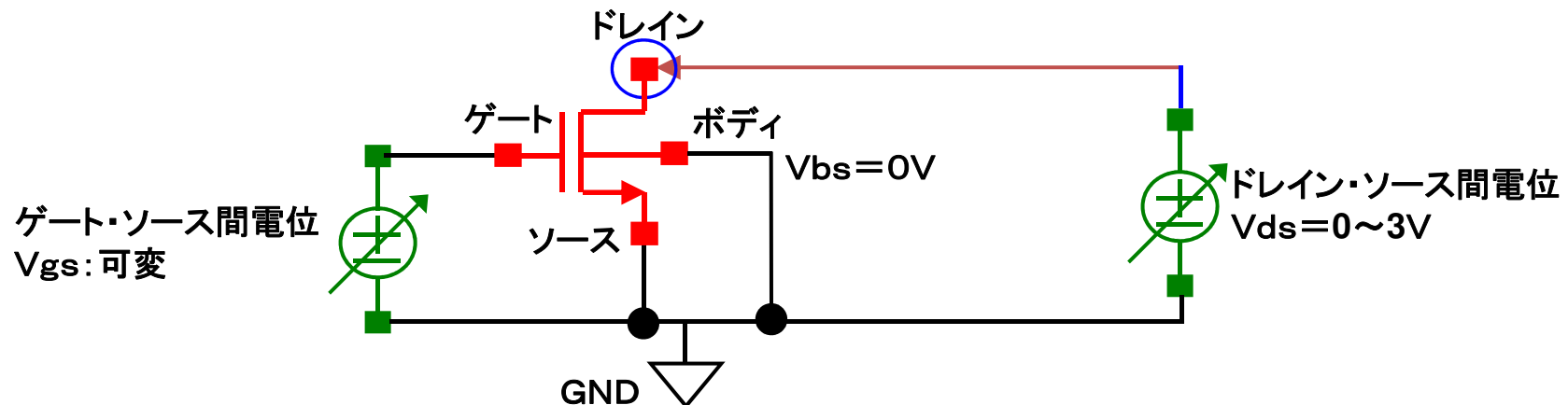


■ CMOSの I_d - V_d 特性(弱反転領域)



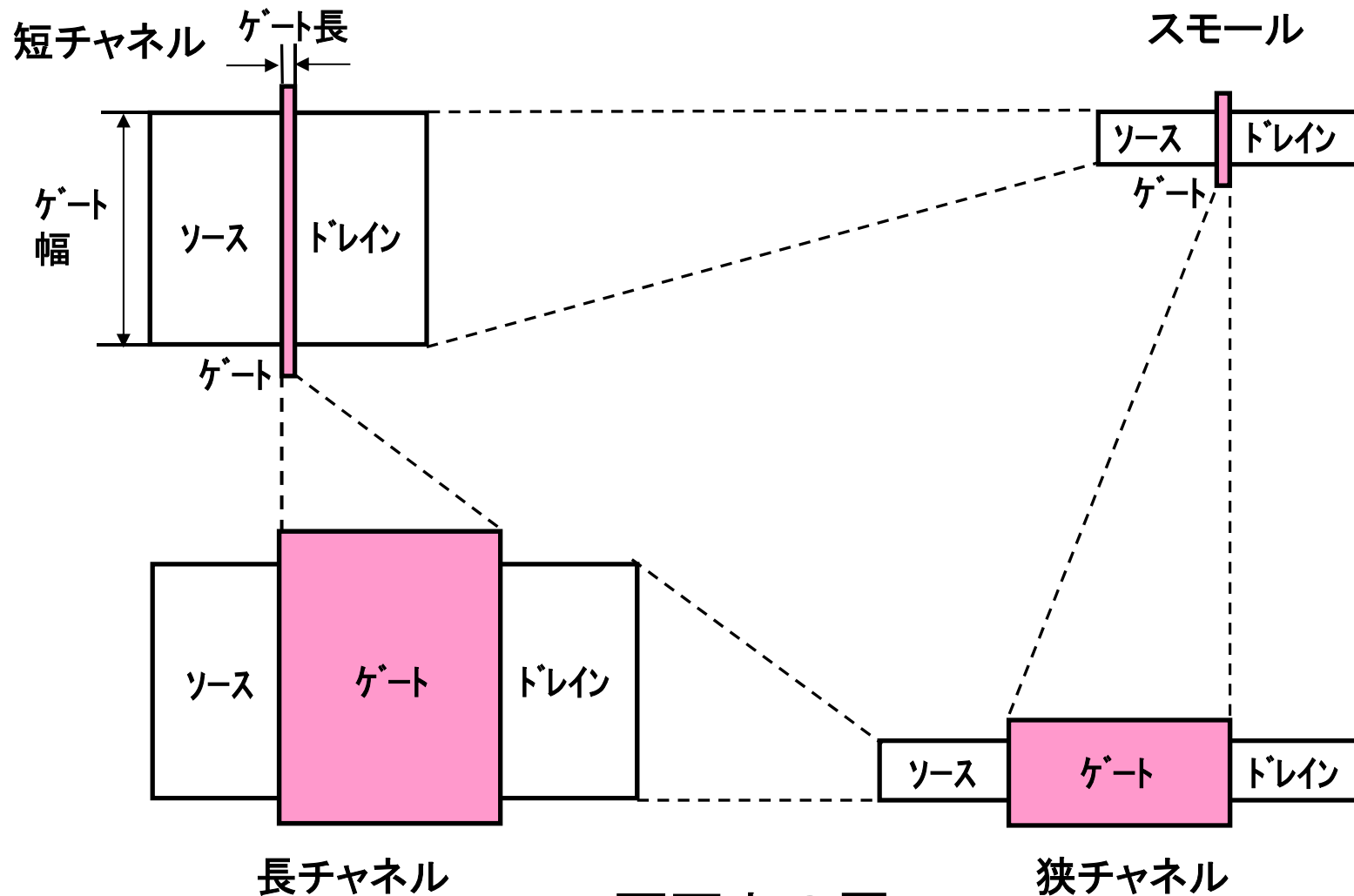
弱反転領域:
ゲート電圧 V_g が
しきい値 V_t より低い

ゲート電圧が低くても
飽和領域
(平坦部)がある。



■ スケーリング

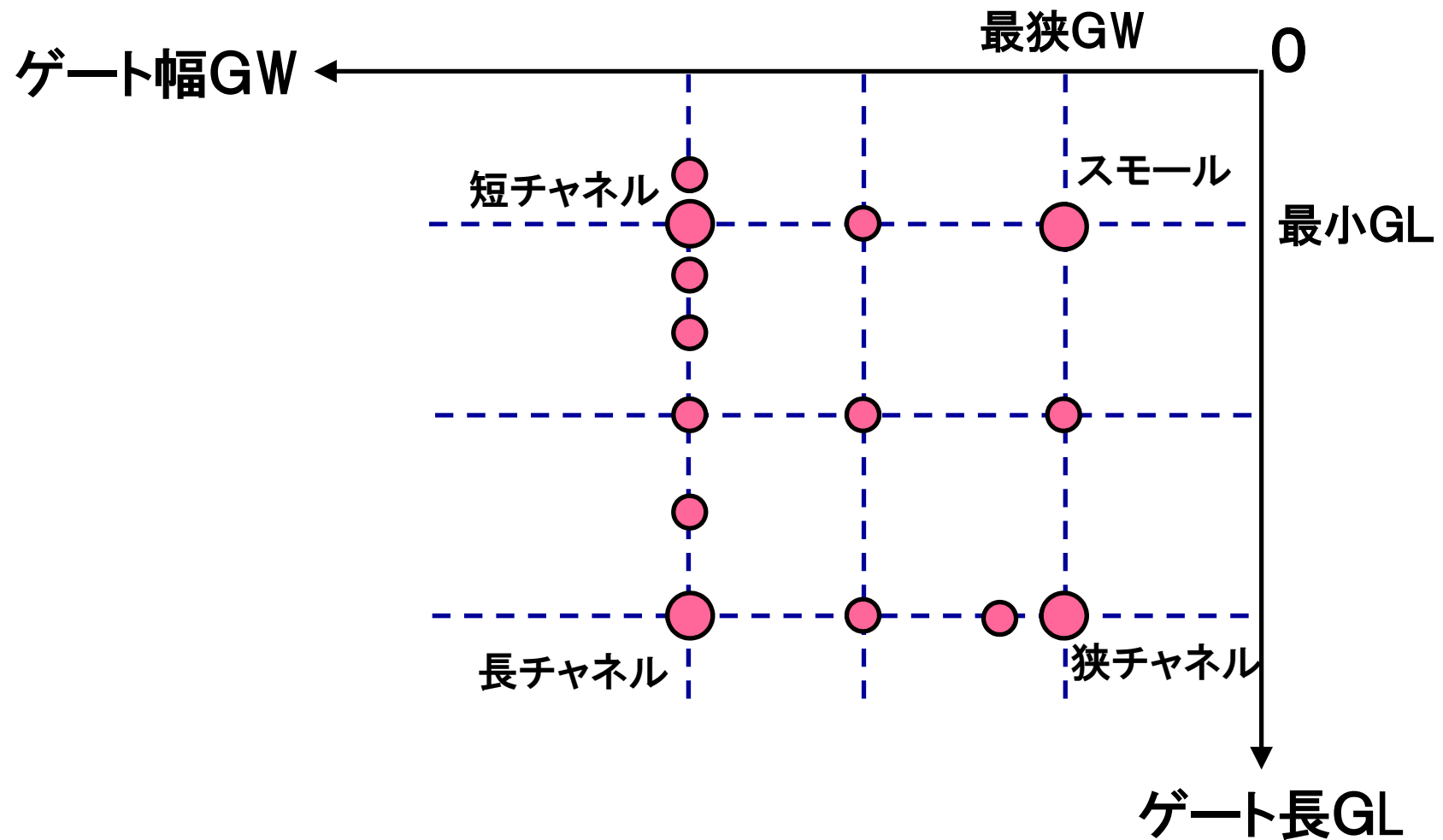
必要な回路特性を得るため、ゲート幅やゲート長を振ること。



CAD画面上の図

■ スケーリング対応

CMOSモデルはスケーリングが必須

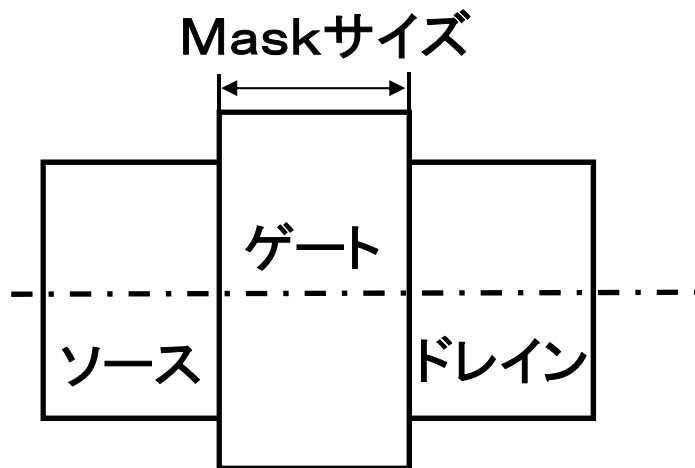


■ 変換差

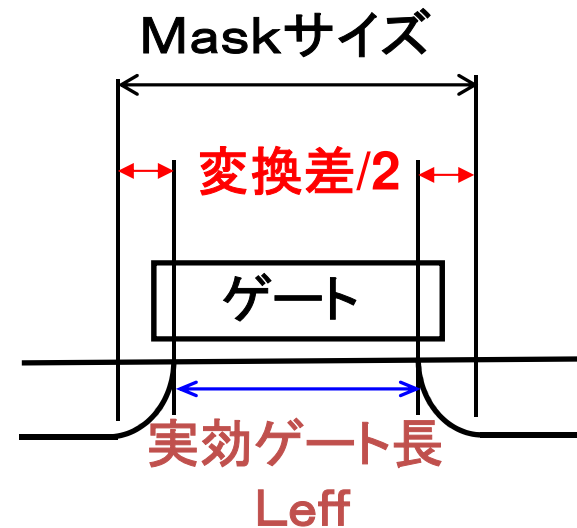
1. ゲート長変換差

変換差 = Mask サイズ - 実効ゲート長 (完成)

* 基準はMaskサイズ



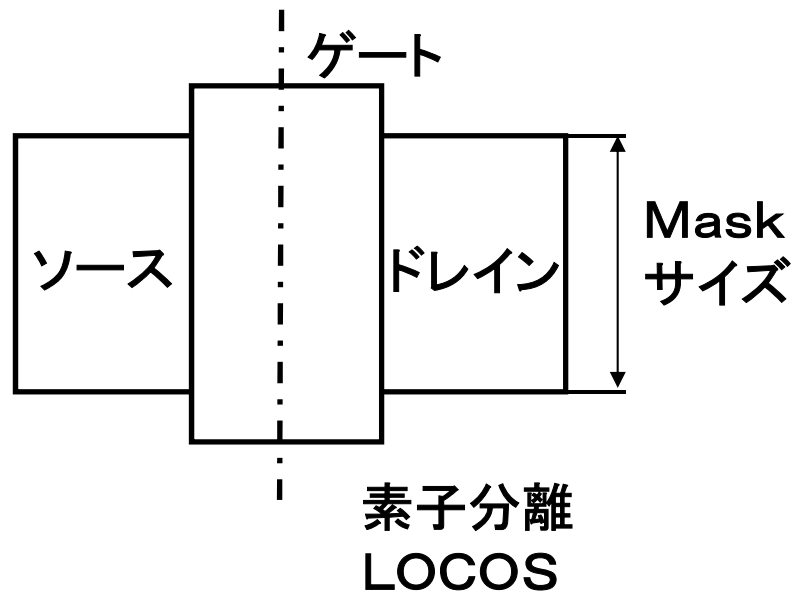
CAD平面図



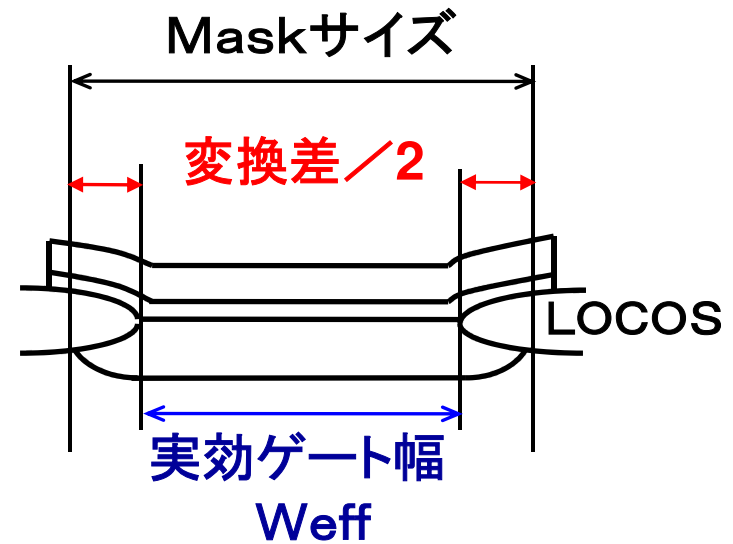
完成品の断面模式図

■ ゲート幅変換差

$$\text{実効ゲート幅} = \text{Maskサイズ} - \text{変換差}$$



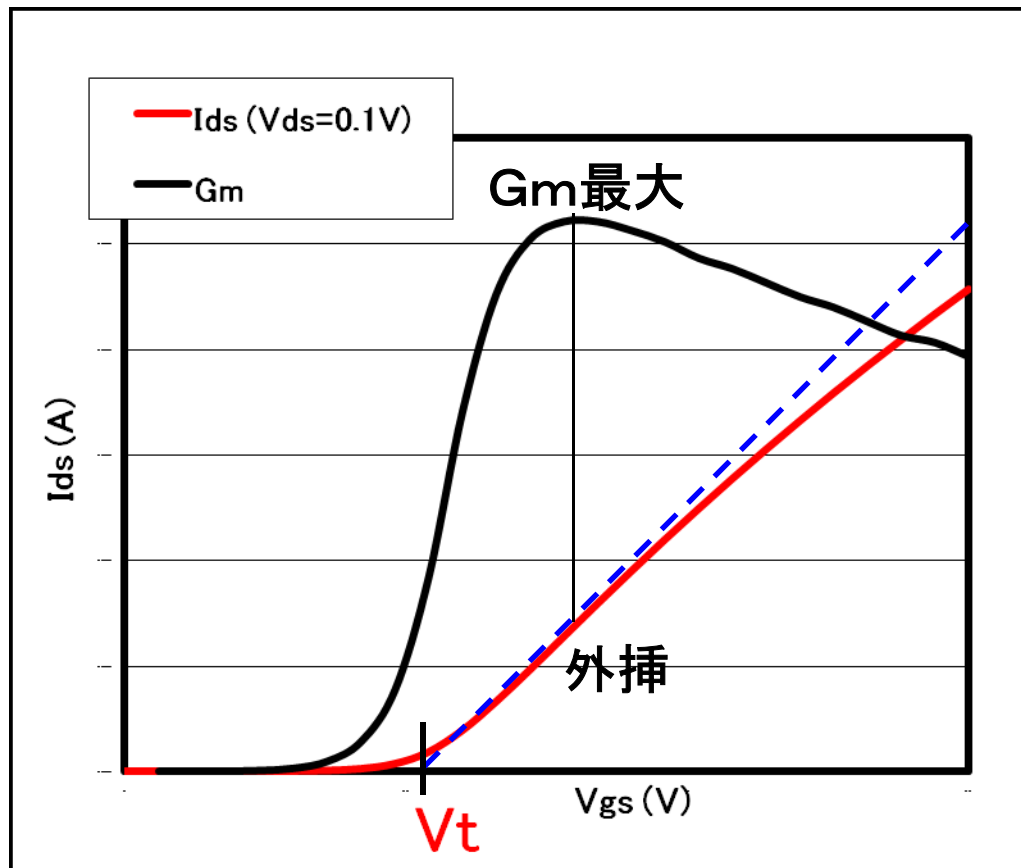
CAD平面図



完成品の断面模式図

＊拡散層サイズ＝ゲート幅

■ (外挿)しきい値 V_t



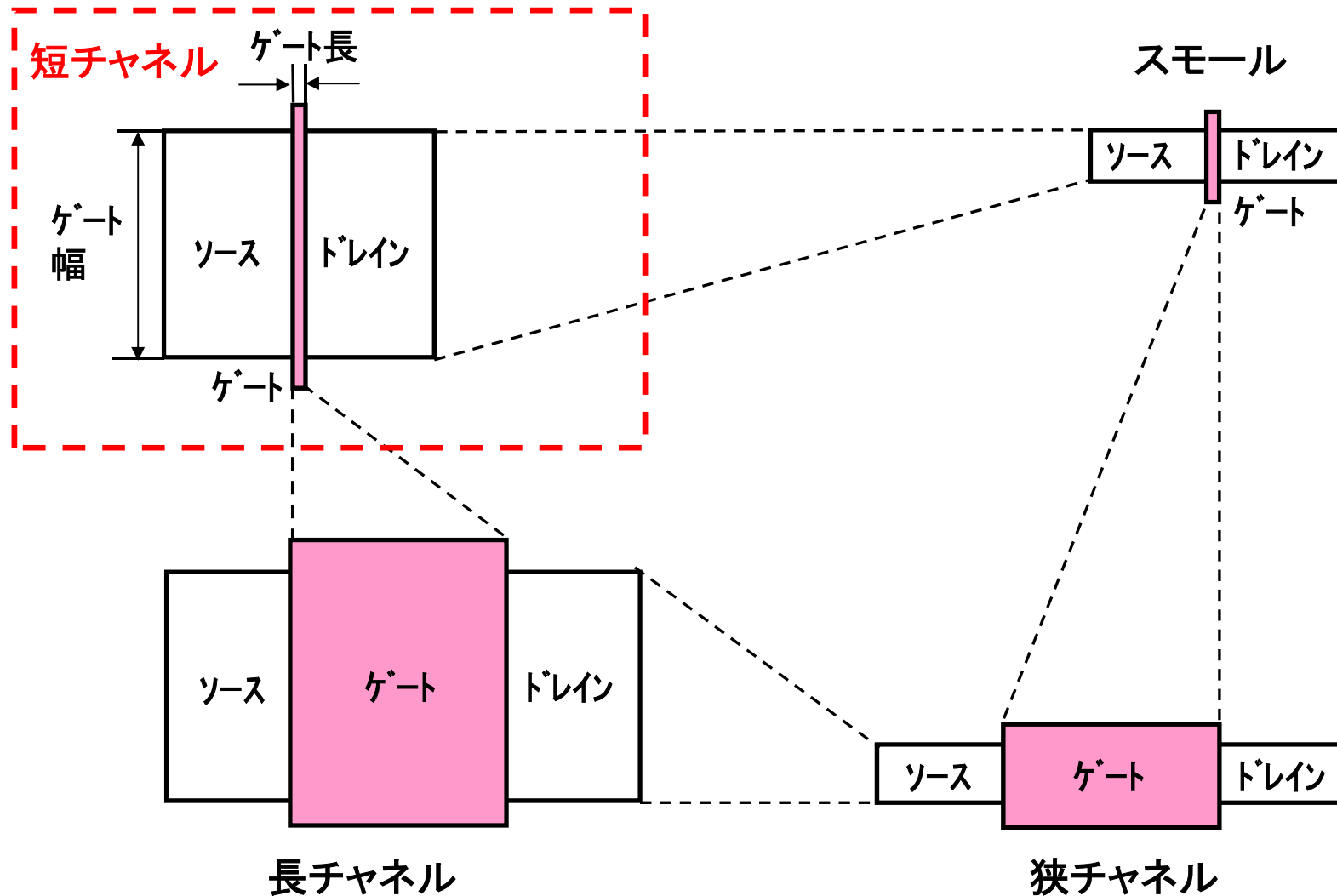
条件の例)
ゲート長: 最小サイズ
ドレイン電圧: 0.1V
温度: 27°C

$$G_m (\text{コンダクタンス}) = dI_d / dV_g$$

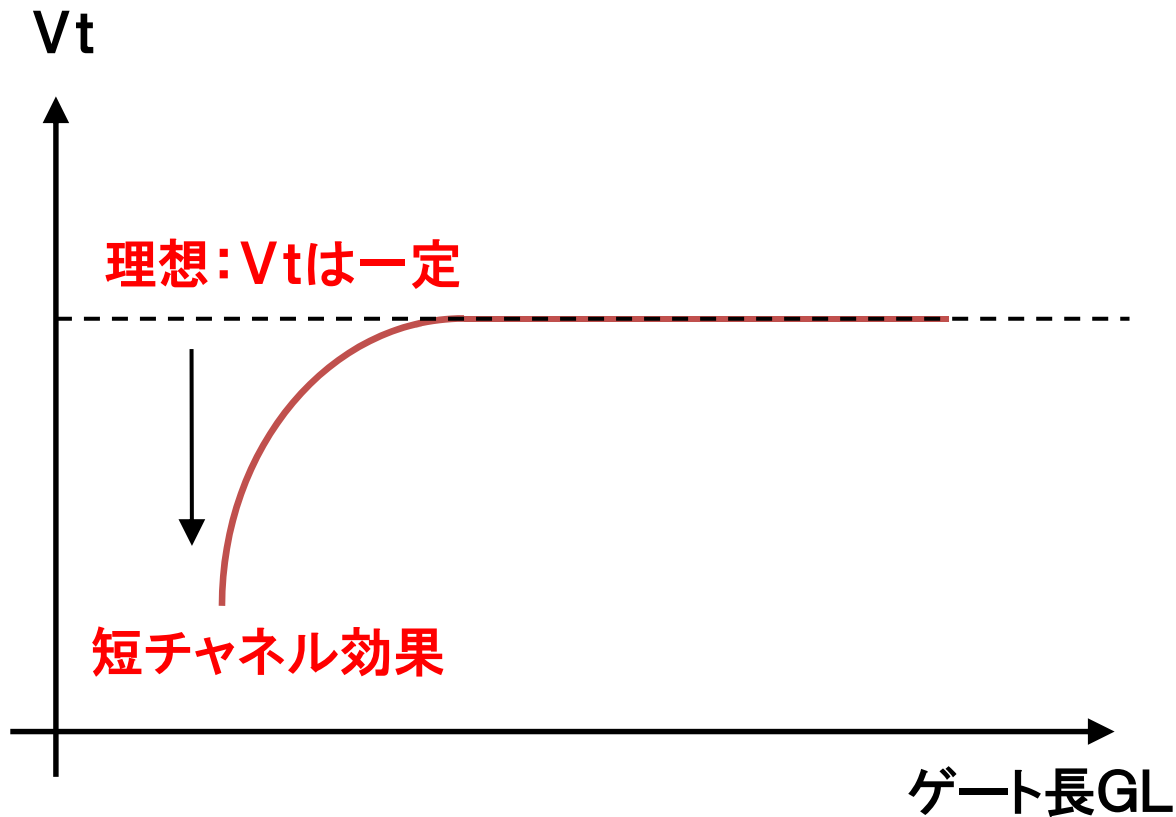
プロセス、寸法、バイアス条件、温度、定義等の条件により V_t は異なる。

■ 短チャネル化と V_t

V_t は、デバイスサイズによって変わる。



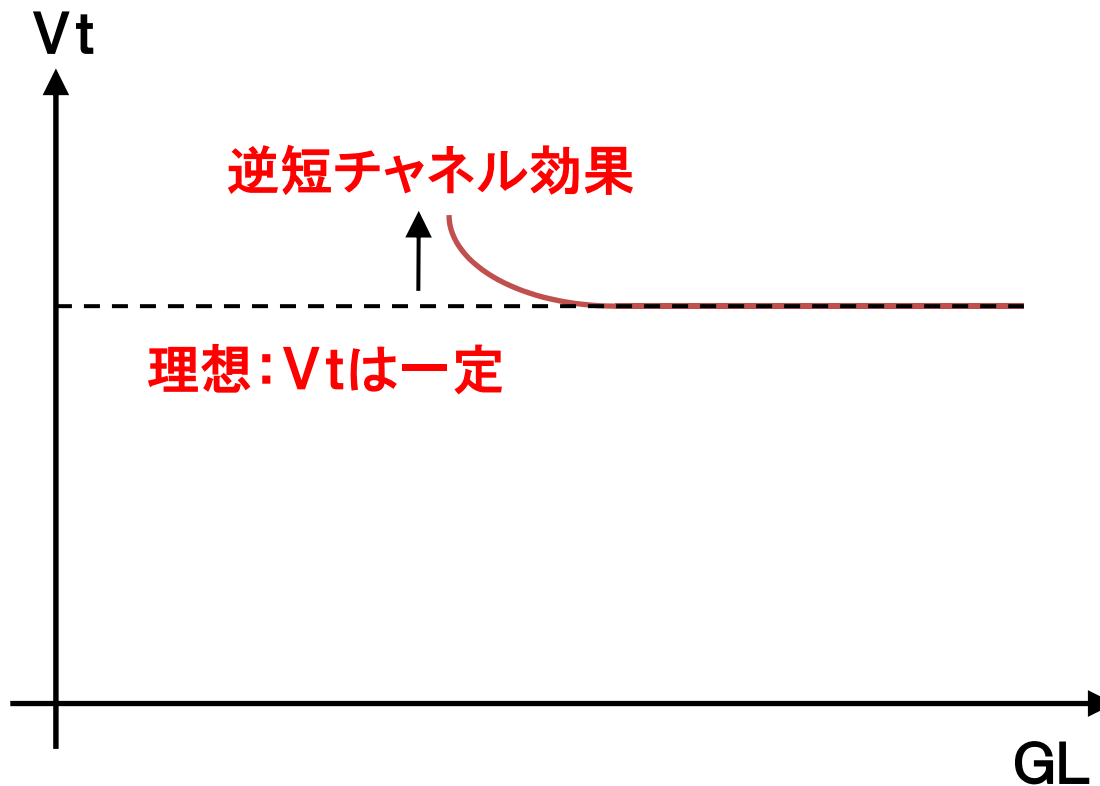
■ 短チャネル効果



ゲート長 GL が短くなると、 V_t が下がる現象

ドレインの影響で反転する電荷が減るため。
微細化の妨げ → 短チャネル効果の抑制 →
ポケットインプラ等で対策

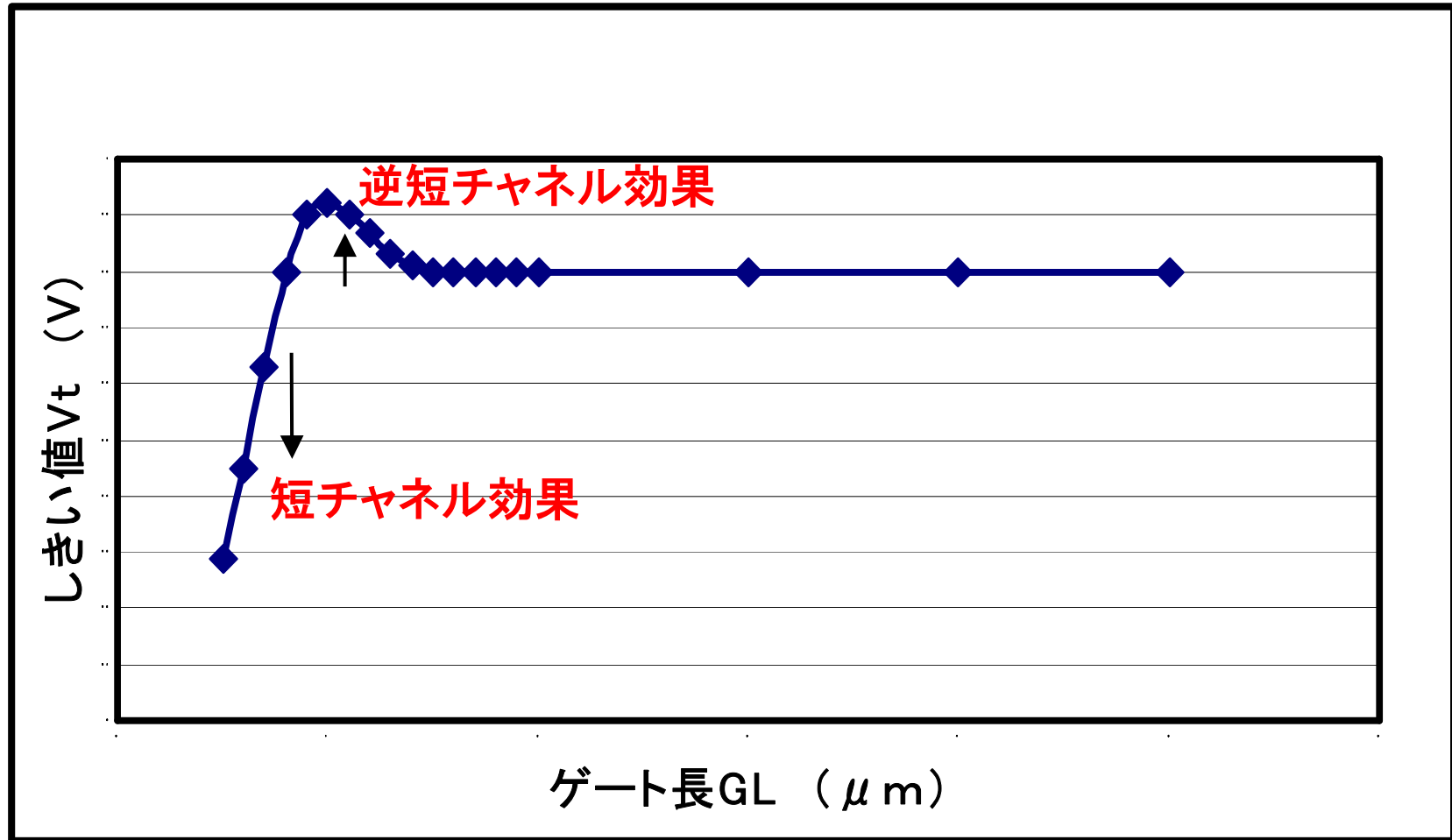
■ 逆短チャネル効果



GLが短くなると、 V_t が上がる現象

ポケットインプラ等の効果による。
短チャネル効果より弱い。

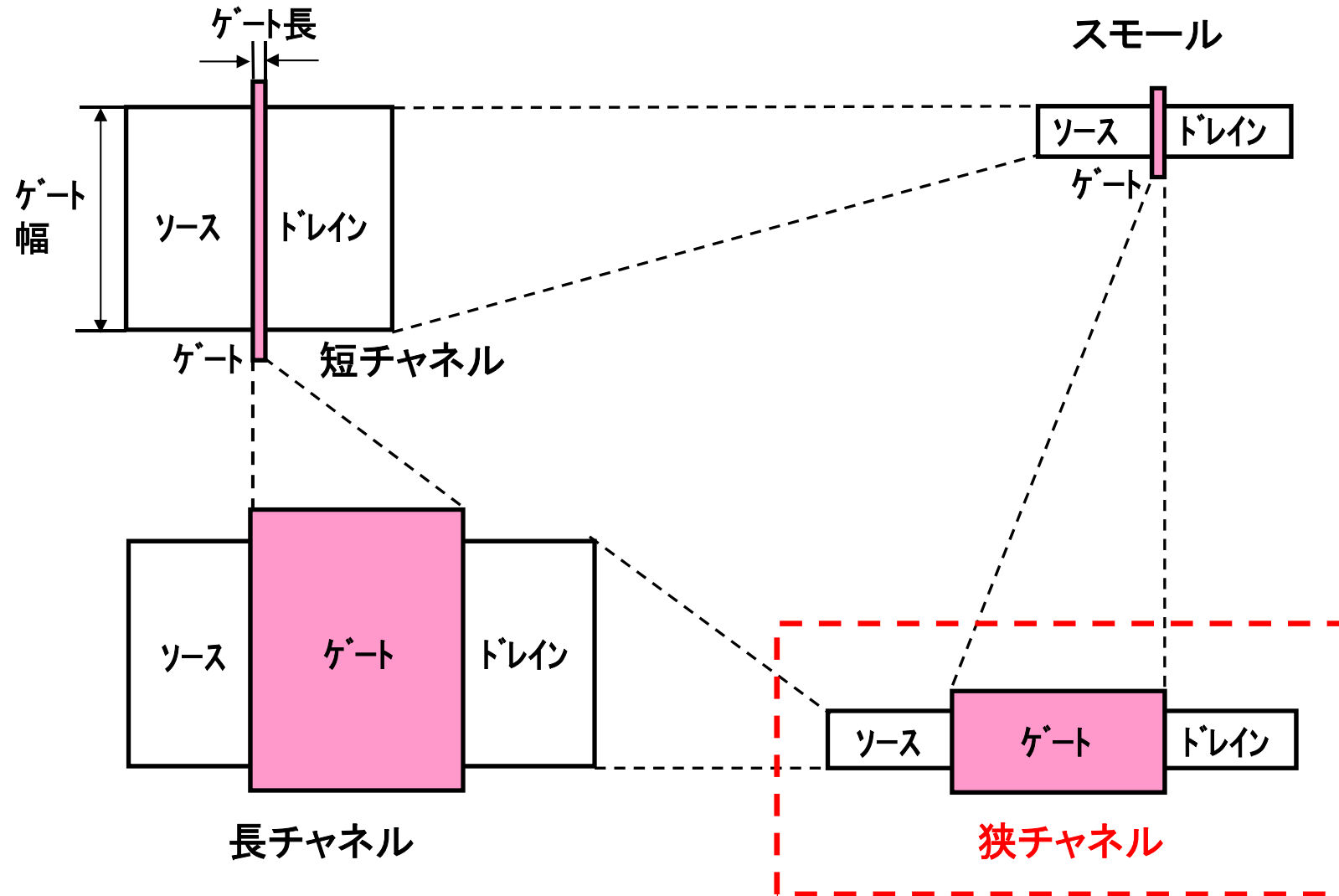
■ 実例



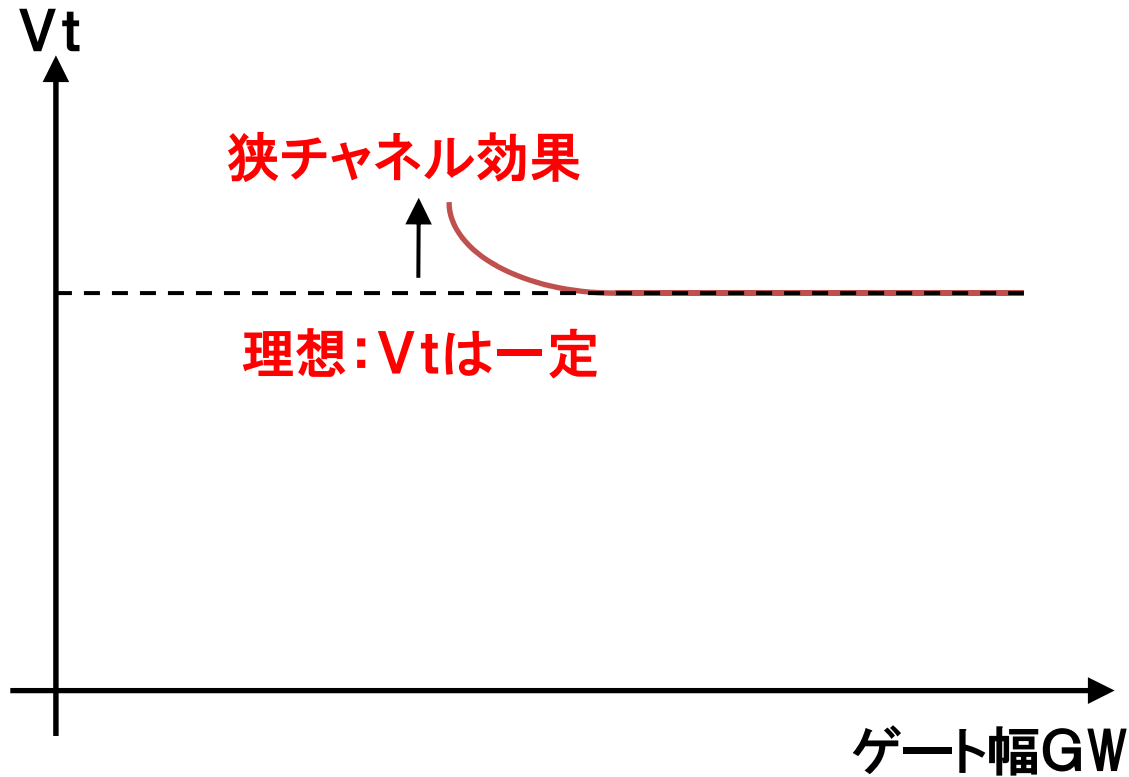
逆短チャネル効果より短チャネル効果は強い

■ 狭チャネル化と V_t

* V_t は、デバイスサイズによって変わる。



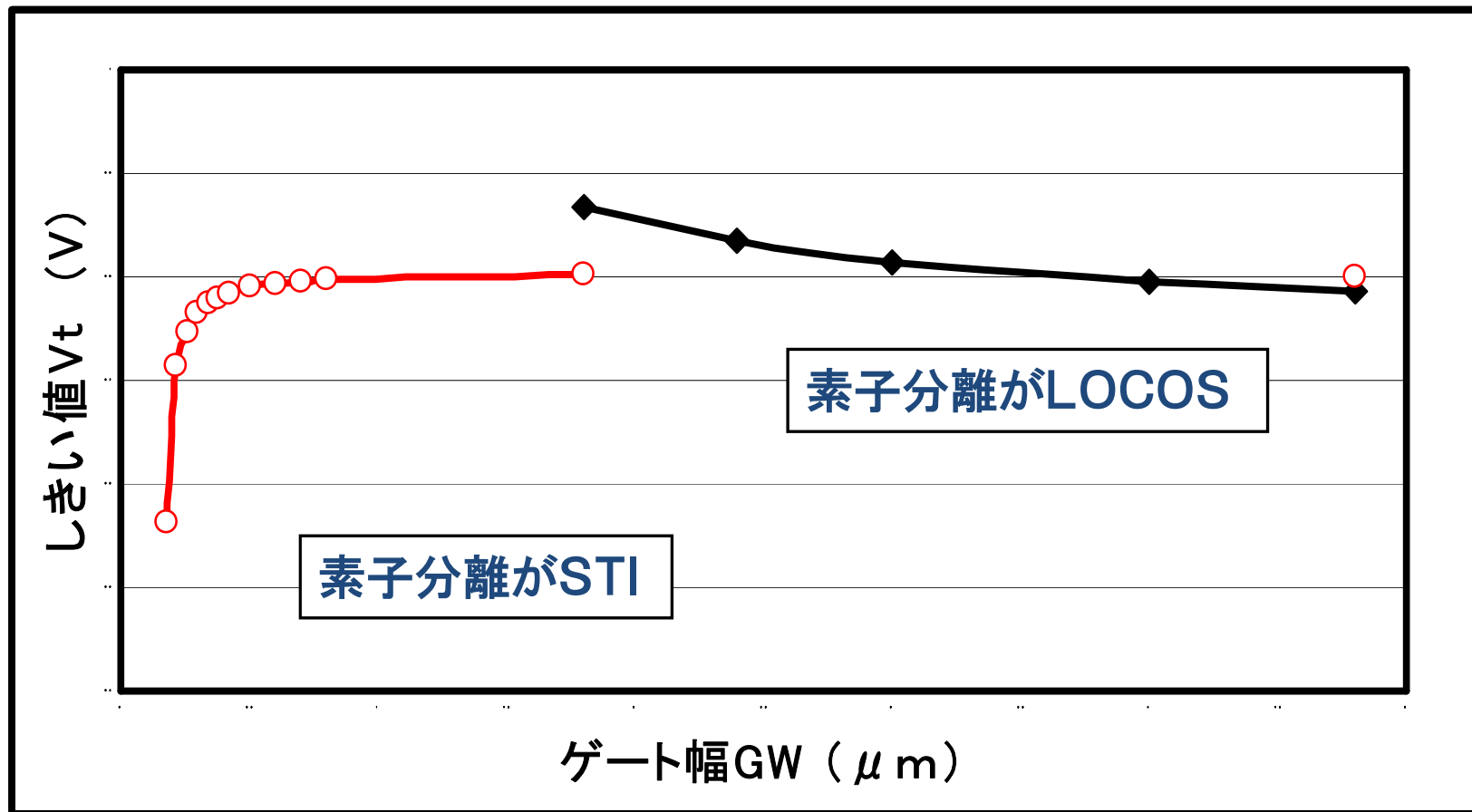
■ 狭チャネル効果



ゲート幅GWが狭くなると、 V_t が上がる現象

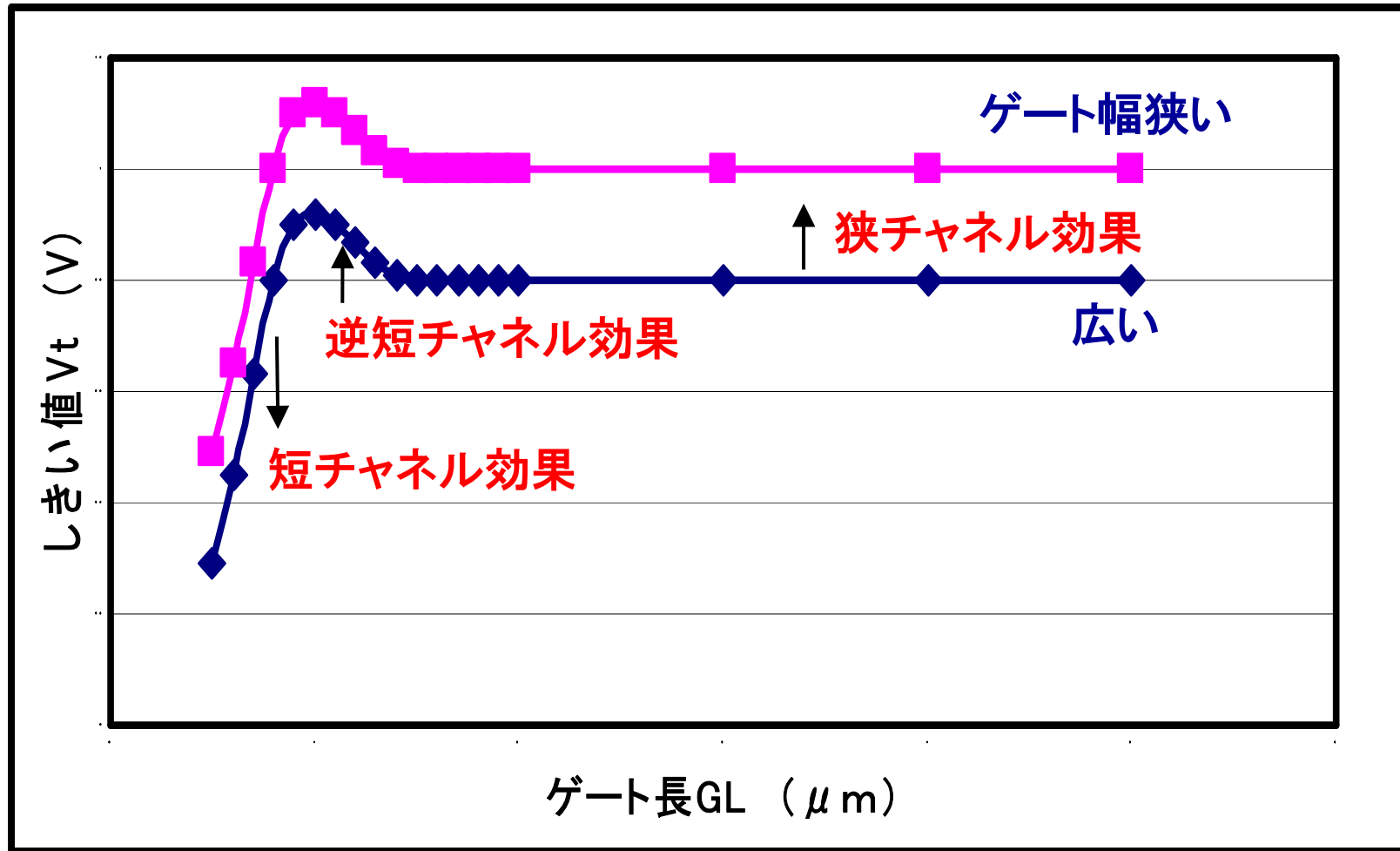
＊LOCOS下の空乏層の影響が強くなるため

■ 逆狭チャネル効果



ゲート幅 GW が狭くなると、閾値 V_t が下がる。
素子分離がSTI(Shallow Trench Isolation)の場合。

■ 各効果



素子分離はLOCOS

■各MOSモデルの特徴

・しきい値に基づいた電荷モデル

(電位の基準はソース) **BSIM3,4モデル**

* $V_{ds}=0$ で順・逆特性が非対称のため不連続になりやすい

・電荷基準モデル(電位の基準は基板)

EKVモデル、BSIM6モデル

* 物理モデルのため、しきい値パラメータがない。

・表面電位モデル(電位の基準は基板)

HiSIMモデルシリーズ(HiSIM2,HiSIM-HV等)

* 物理モデルのため、しきい値パラメータがない。

■ BSIMモデルシリーズ

- BSIM3

しきい値電圧を基にした物理モデル

ゲート長 $GL > 0.1\mu\text{m}$ を保障

最初のCMC標準モデル

- BSIM4

BSIM3V3.2を拡張したモデル

RF-MOSFET用にゲート抵抗をモデル化

- BSIM6

電荷を基にした物理モデル

BSIM4の物性とモデルパラメータをサポート

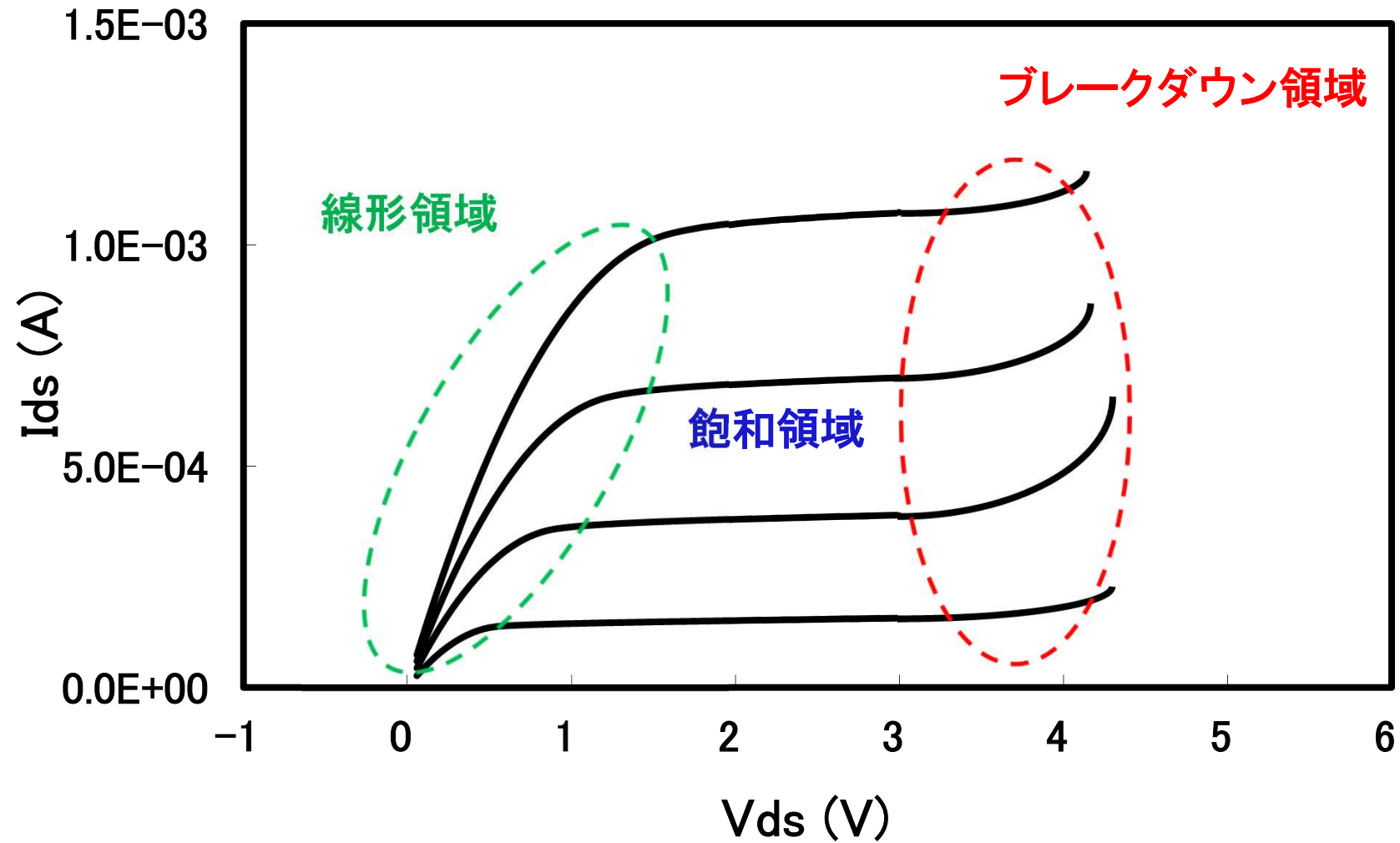
CMC標準モデル

■BSIM3モデル

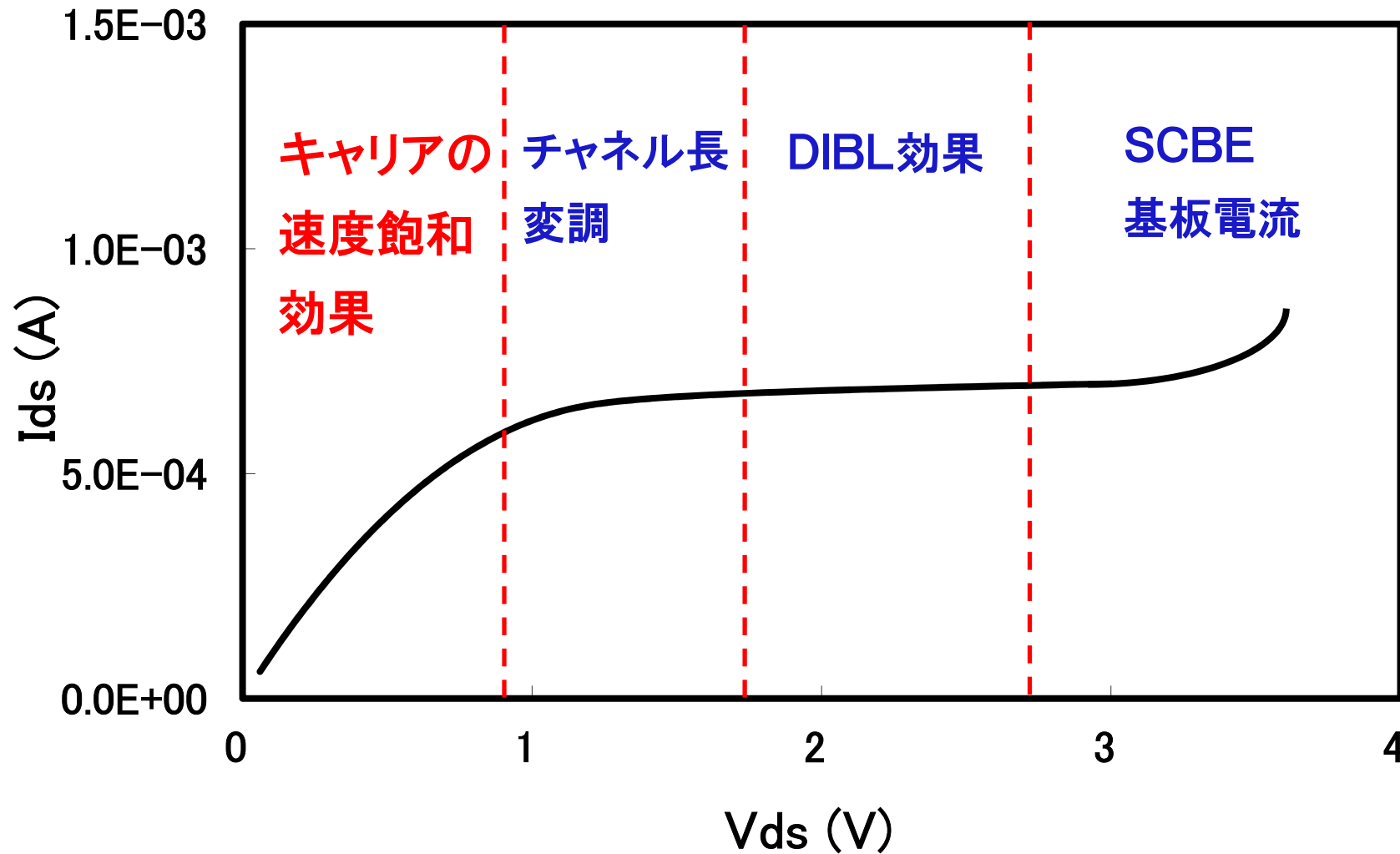
表.1 各CMOSモデル式の特徴

モデル式	ゲート長	DC特性の精度	高周波
BSIM3	$>0.1\ \mu\text{m}$	高 (I_d - V_d 特性の弱反転領域を除く)	要マクロモデル化
EKV	$>0.1\ \mu\text{m}$	高(特に I_d - V_d 特性の弱反転領域)	↑
BSIM4	$>0.05\ \mu\text{m}$	全領域で高い	内蔵
BSIM6	$<0.1\ \mu\text{m}$	↑	↑
HiSIM	$<0.1\ \mu\text{m}$	↑	↑

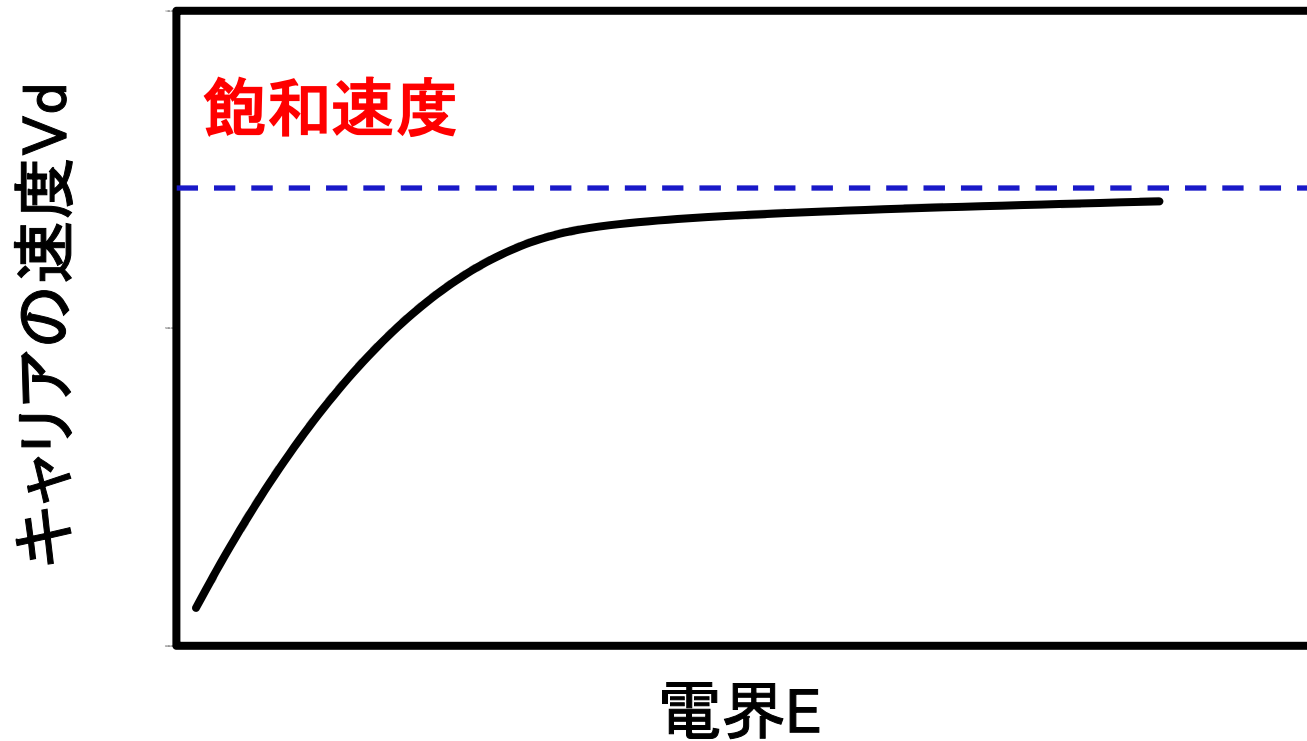
■ I_d — V_d 特性の各領域



■ キャリアの速度飽和効果1



■ キャリアの速度飽和効果2



実測した電子の飽和速度は $6E4$ (m/s)。

キャリアの速度飽和で電流も飽和する。

■キャリアの速度飽和効果3

注意

デバイスの名著:

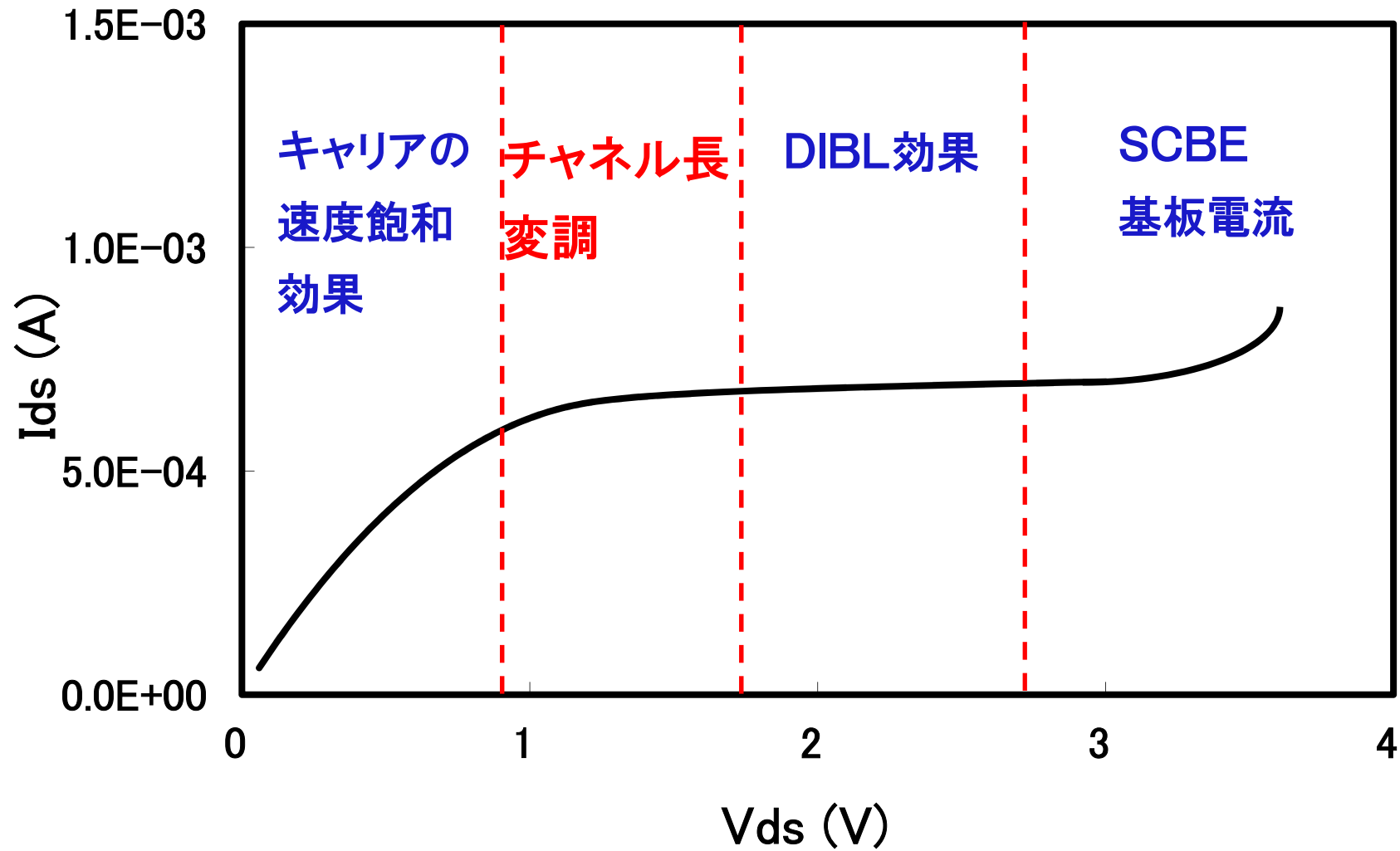
「電流が飽和する原因はチャネル長変調による」

これは、最小ゲート長 $> 10\mu\text{m}$ のデバイスを対象にしている
(1970年代の著書のため)

最近のMOSは微細化により(最小ゲート長 $< 0.35\mu\text{m}$)、

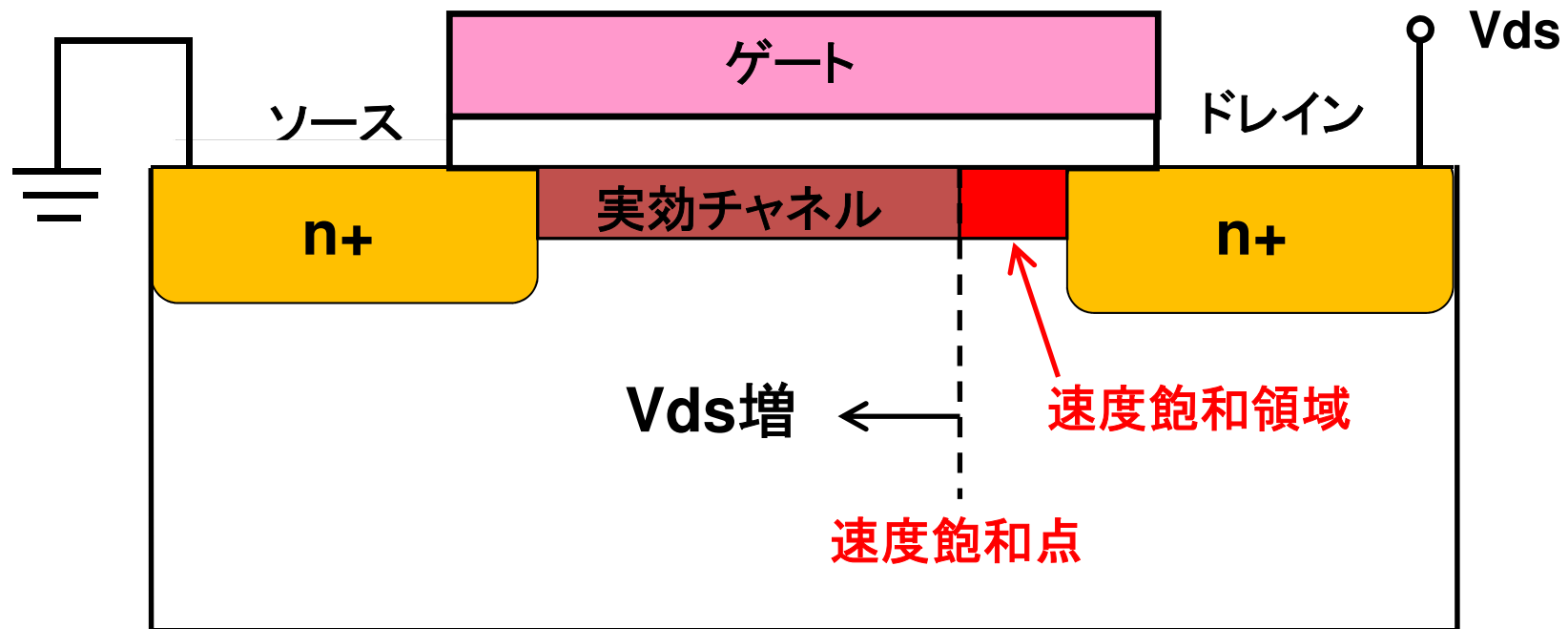
キャリアの速度飽和により電流が飽和する。

■ チャンネル長変調



■チャンネル長変調2

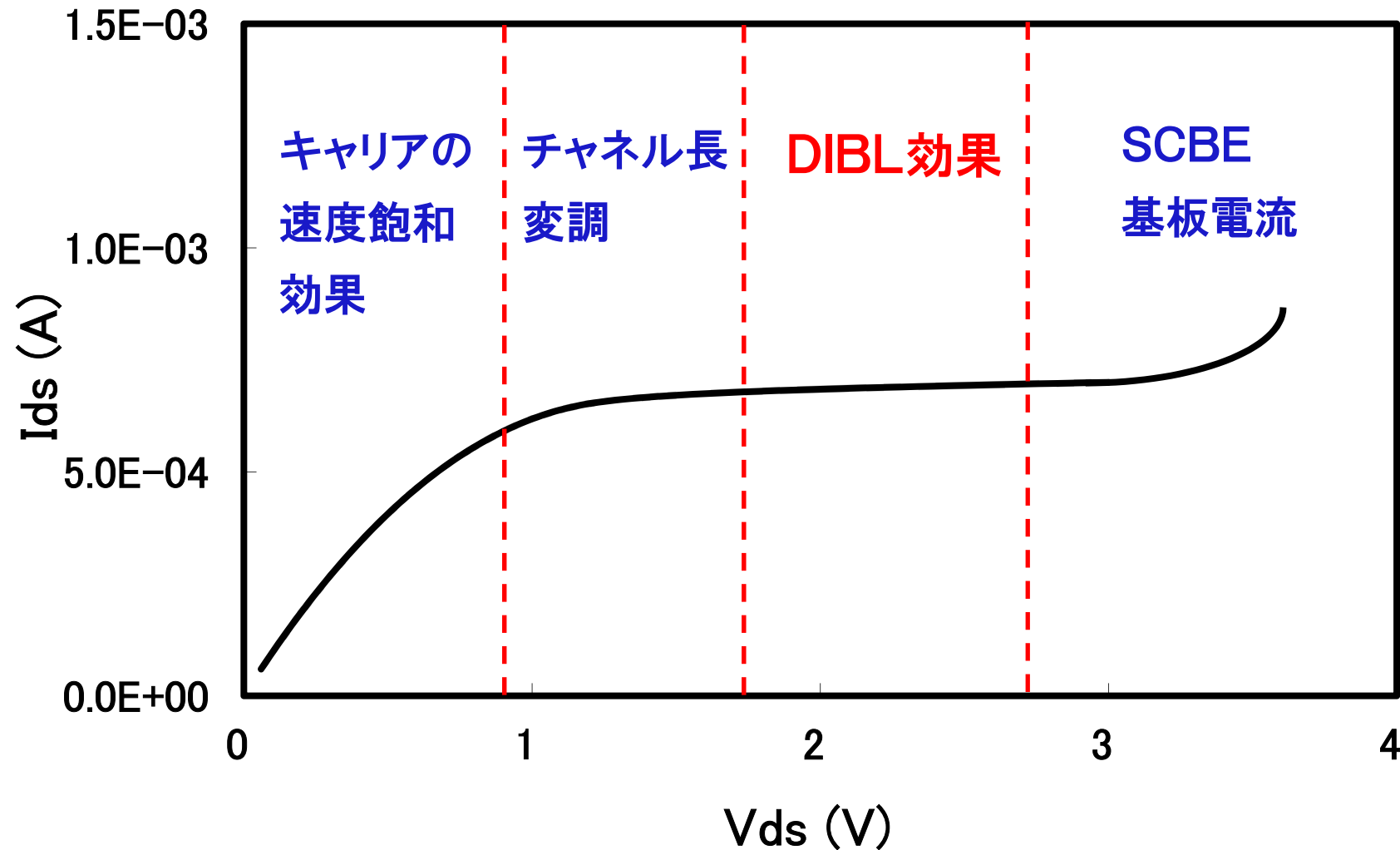
実効的なチャンネル長はドレイン電圧で変化する。



V_{ds} 増 → 速度飽和領域大 → 実効チャンネル長短 →
ドレイン電流増加

■ DIBL効果

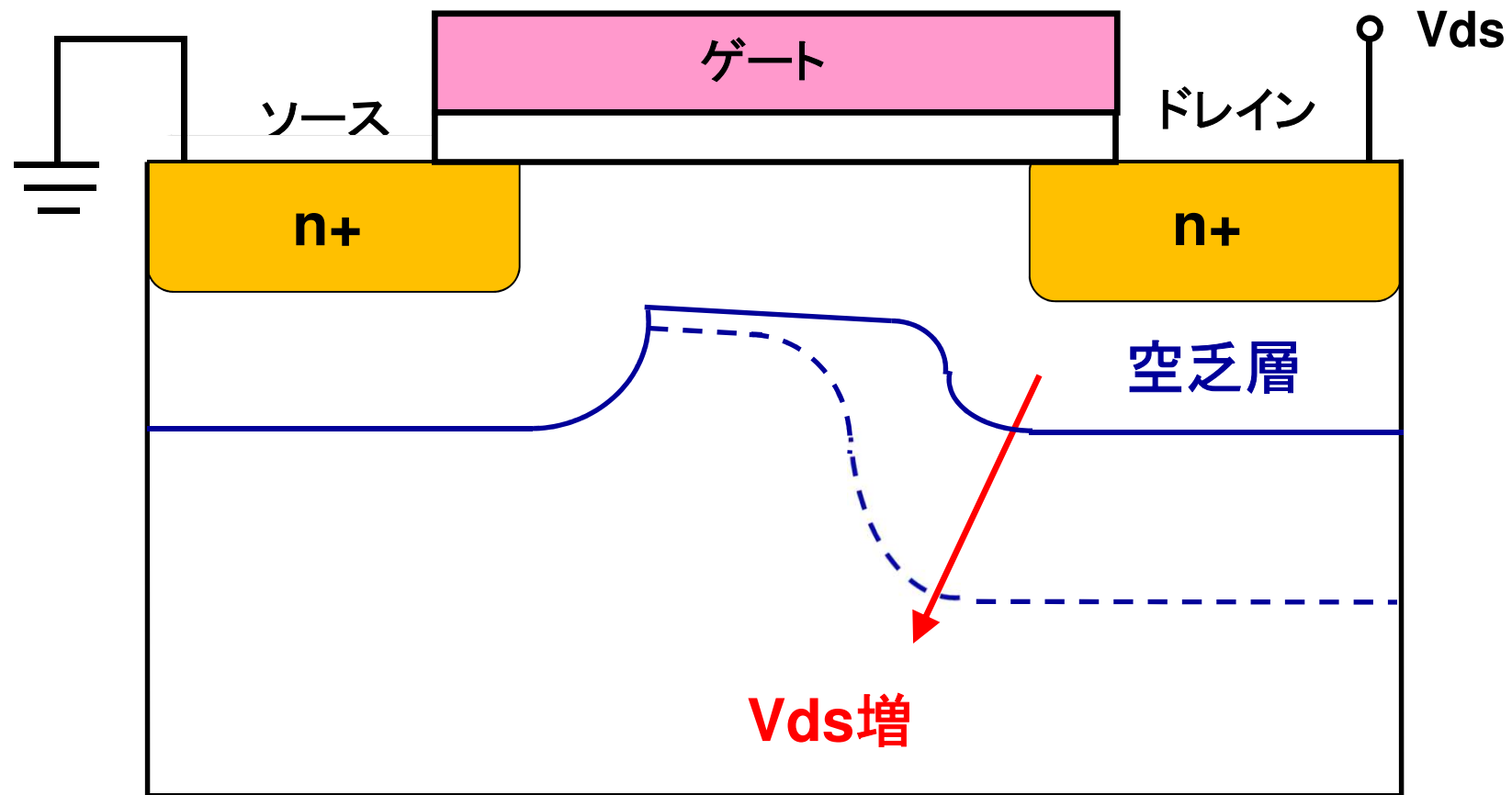
(Drain Induced Barrier Lowering)



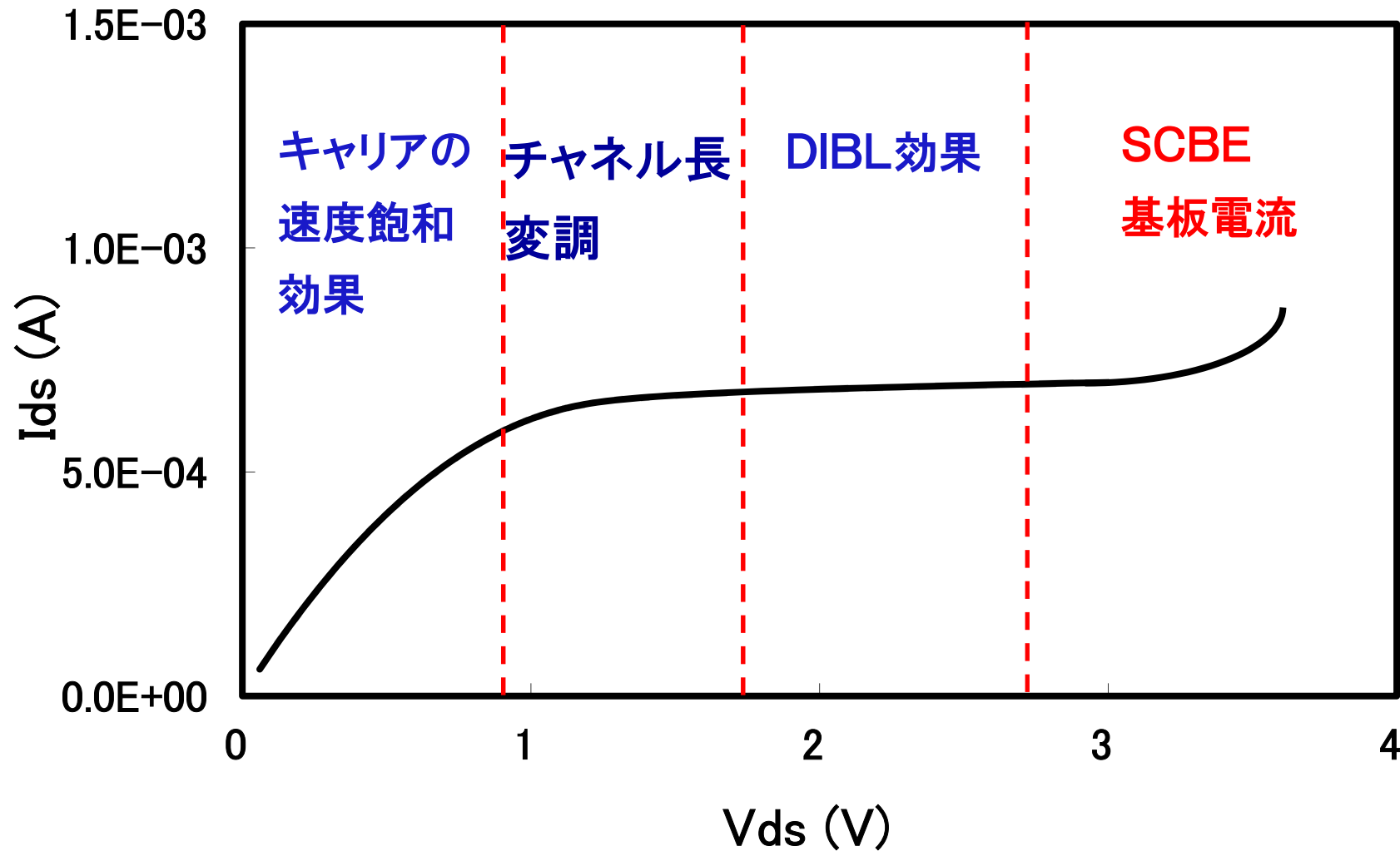
■ DIBL効果

ドレイン電圧で、しきい値 V_t が低下する効果

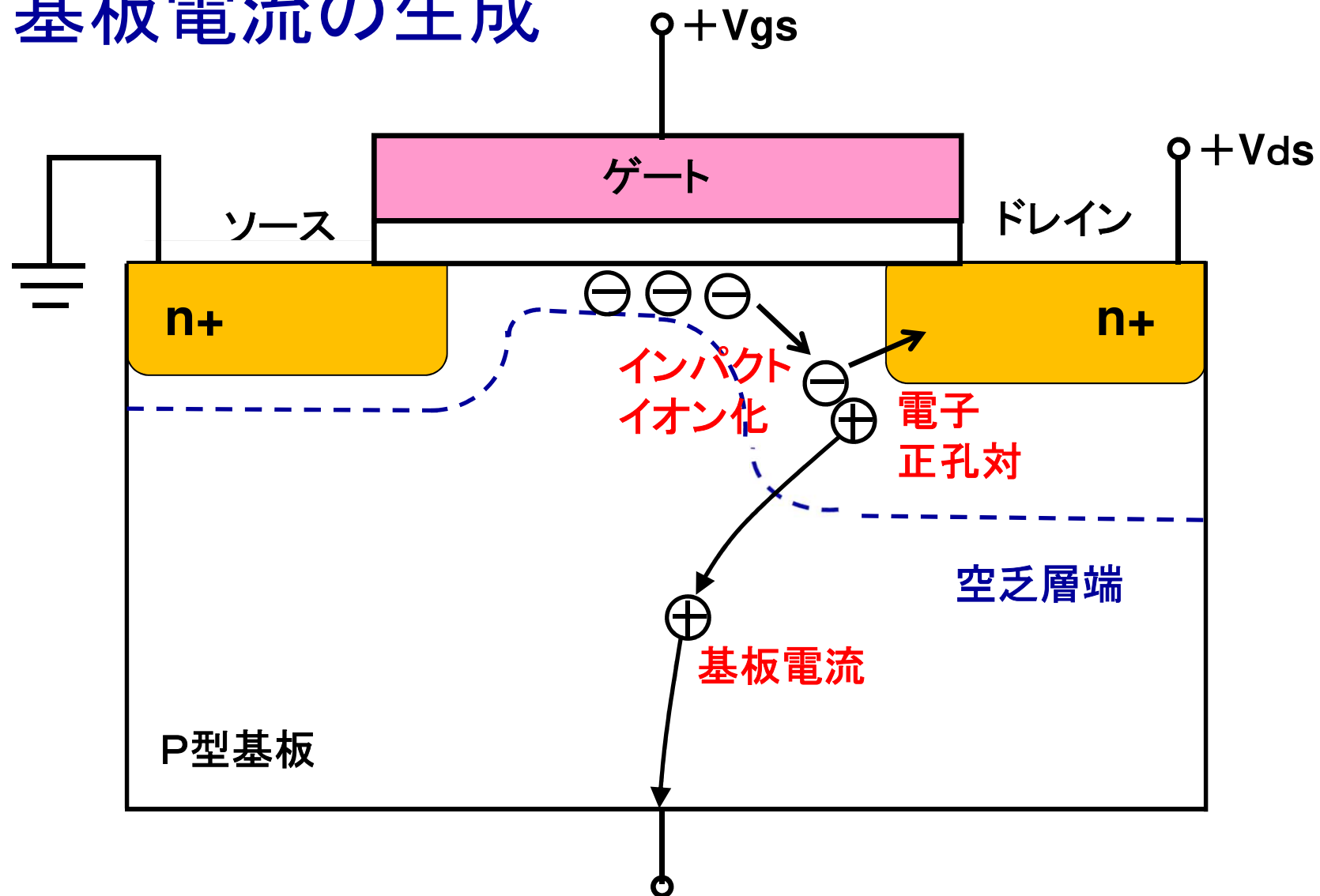
Barrier: Onするための障壁のことで、低いほどOnしやすい



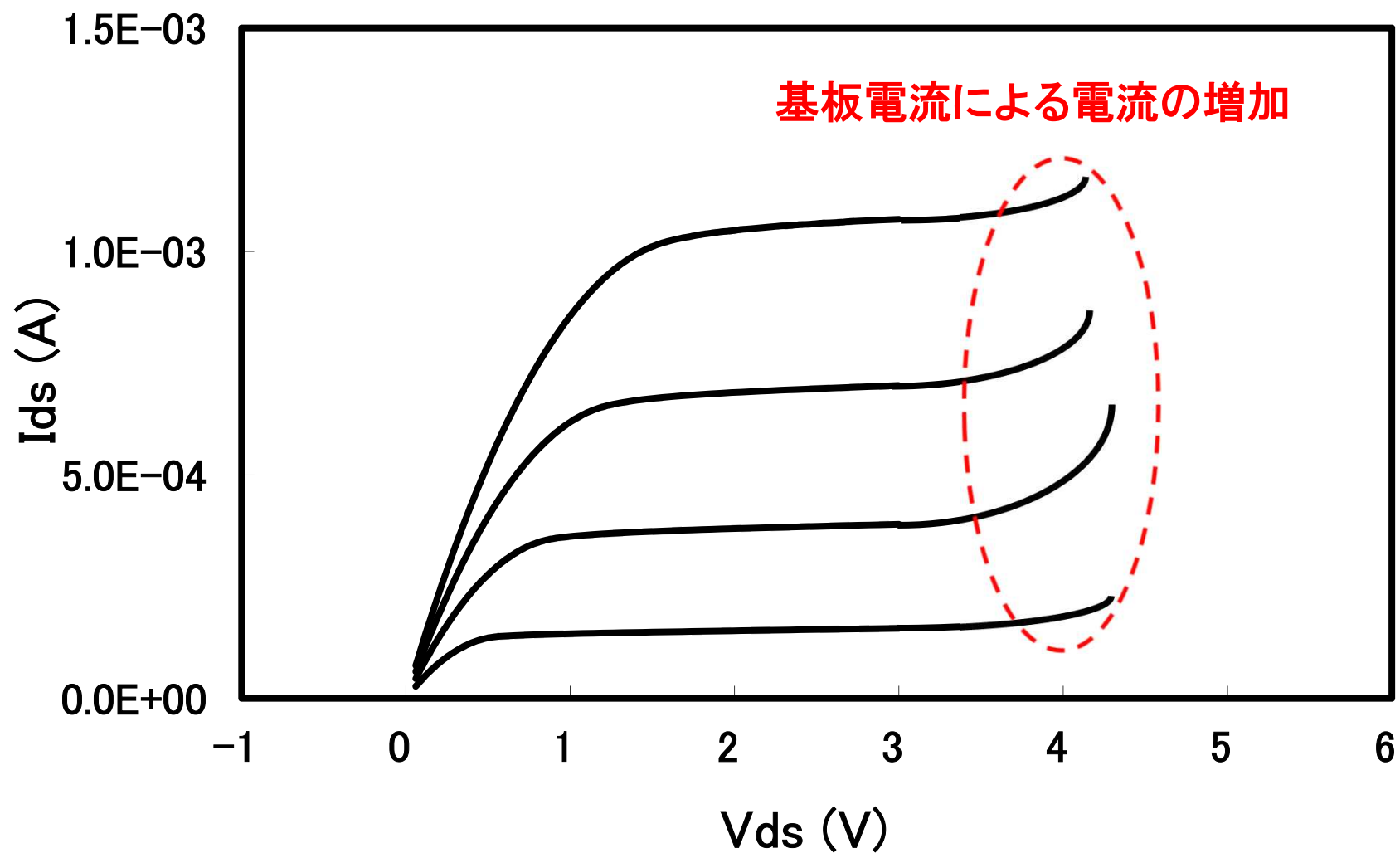
■ SCBE (Substrate Current Body Effect) 基板電流



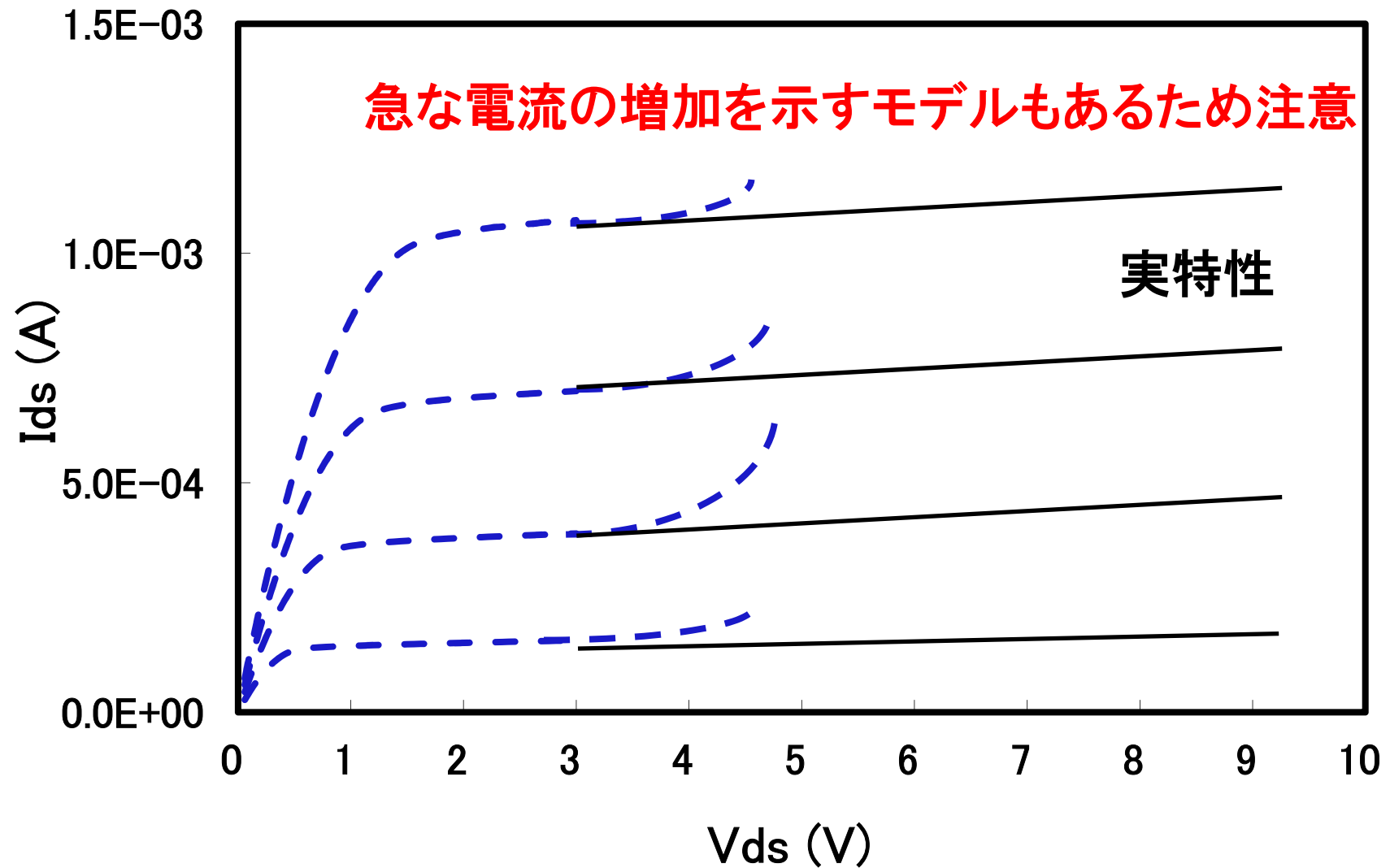
■インパクト・イオン化による 基板電流の生成



■ 基板電流によるドレイン電流の増加



■ 低電圧範囲で抽出したモデルを高電圧で使用 (Nch)



■MOSの温度特性

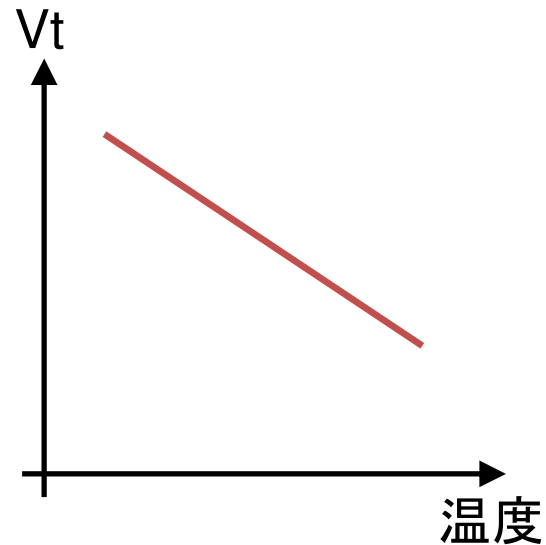


図. 1 しきい値 V_t

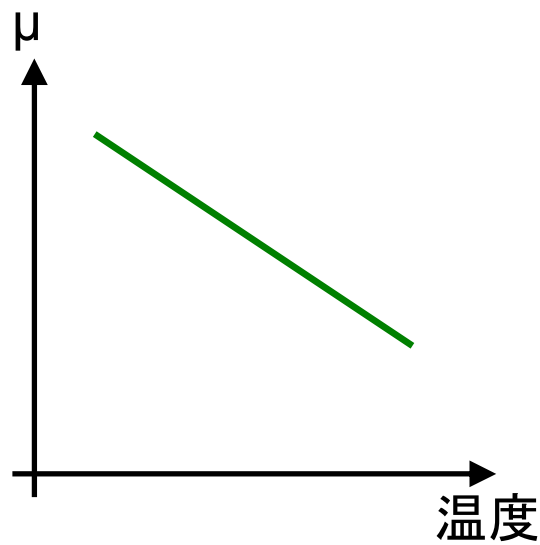


図.2 キャリア移動度 μ

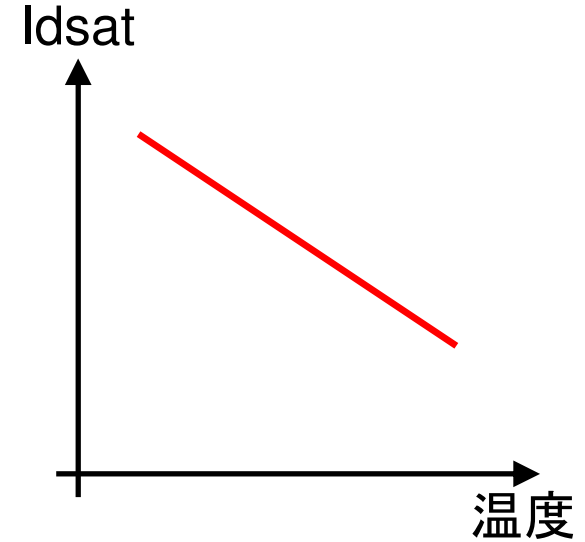


図.3飽和電流 I_{dsat}

温度にほぼ線形に依存する

高温で電流が少ないため、熱に対して安定。

発熱→電流減る→発熱減る→ある温度で安定する。

■ MOSの温度特性の例

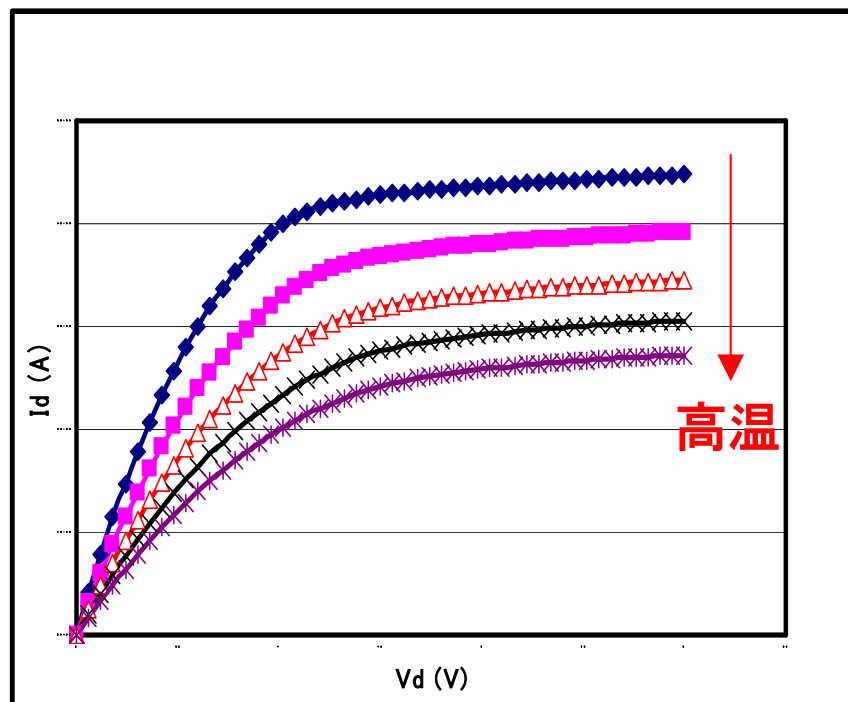


図. 1 I_d — V_d 特性

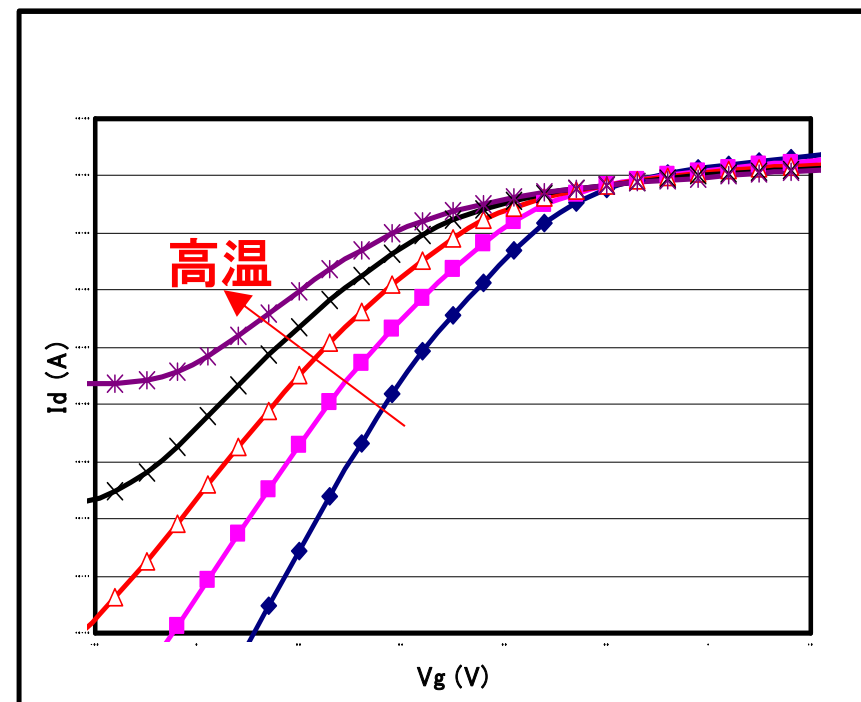


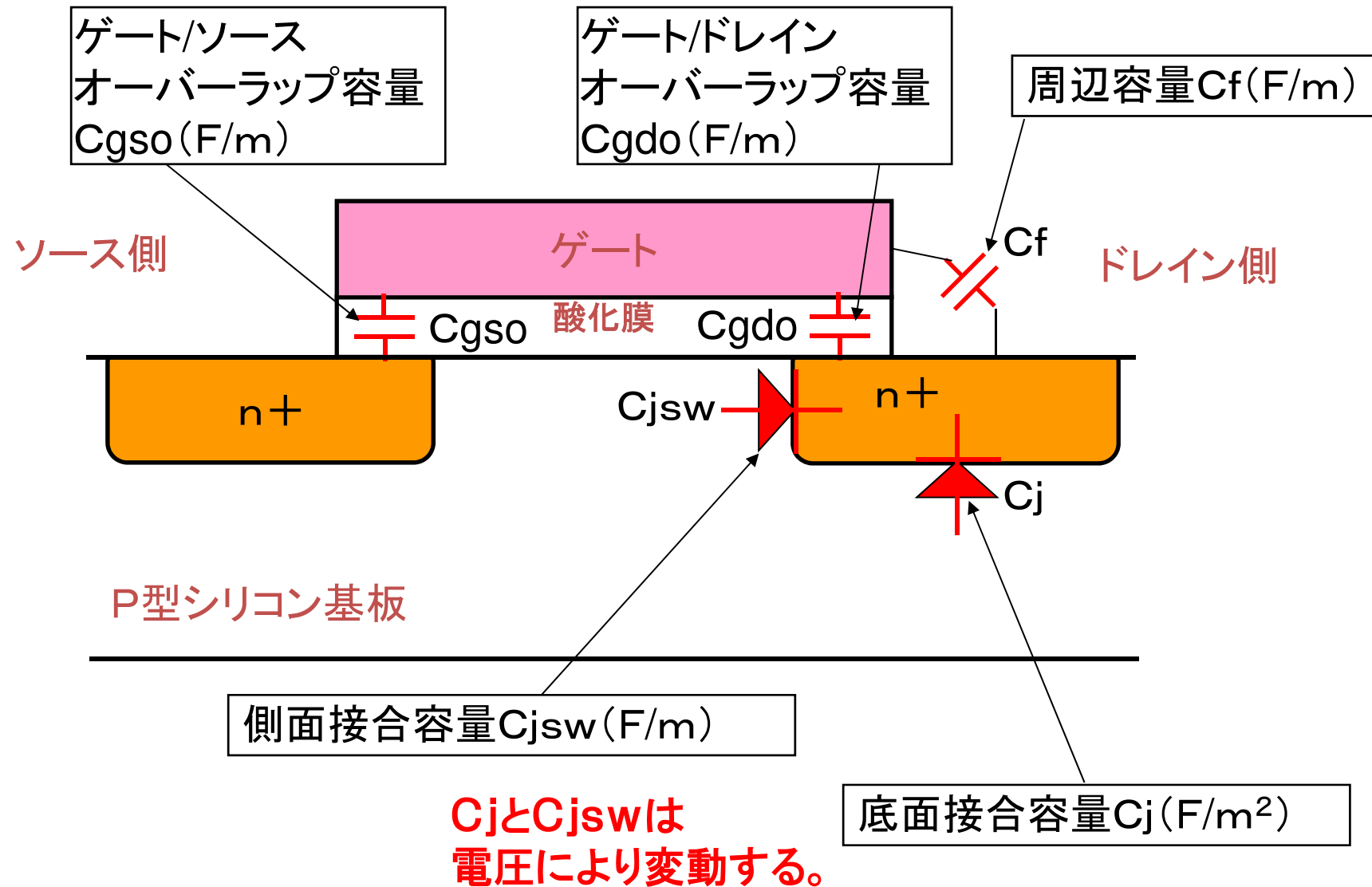
図. 2 I_d — V_g 特性(Log表示)

高温で、

①飽和電流 I_{dsat} は低下する(図. 1)

②漏れ電流 I_{leak} は増える(図. 2)

■CMOSの容量(ゲート容量以外)



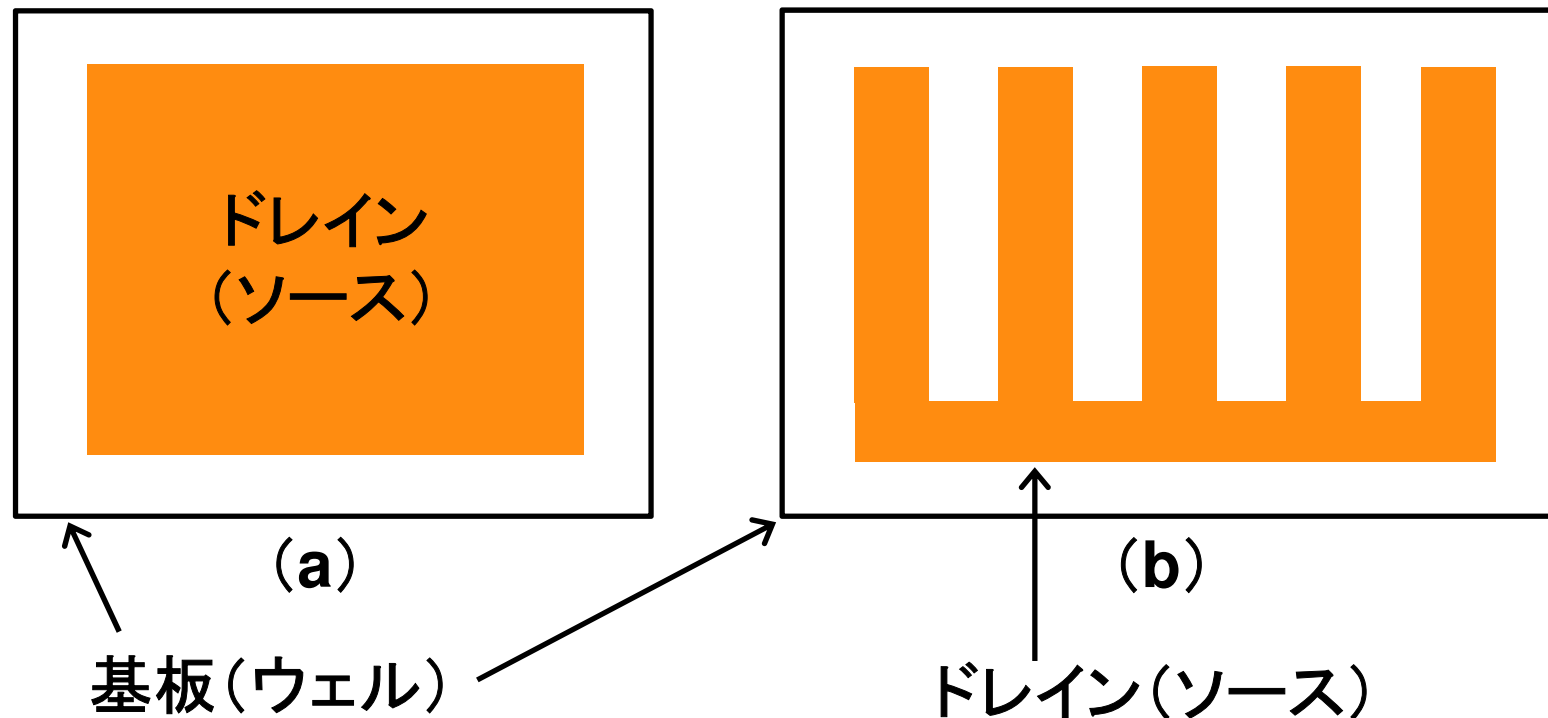
■CMOSの接合容量と抽出1

- ・CMOSはスケーリングするため、容量モデルも可変式
- ・底面部と側面部の和が接合容量

$$\begin{aligned} \text{接合容量 } C_{\text{total}}(F) = & \\ & \text{底面接合容量 } C_j(F/m^2) \times \text{PN接合底面積}(m^2) \\ & + \\ & \text{側面接合容量 } C_{j\text{sw}}(F/m) \times \text{PN接合周囲長}(m) \end{aligned}$$

■CMOSの接合容量と抽出2

- 面積が同じで周囲長の異なるレイアウトから抽出する。



■CMOSの接合容量と抽出3

面積が同じ→底面部の接合容量は同じ

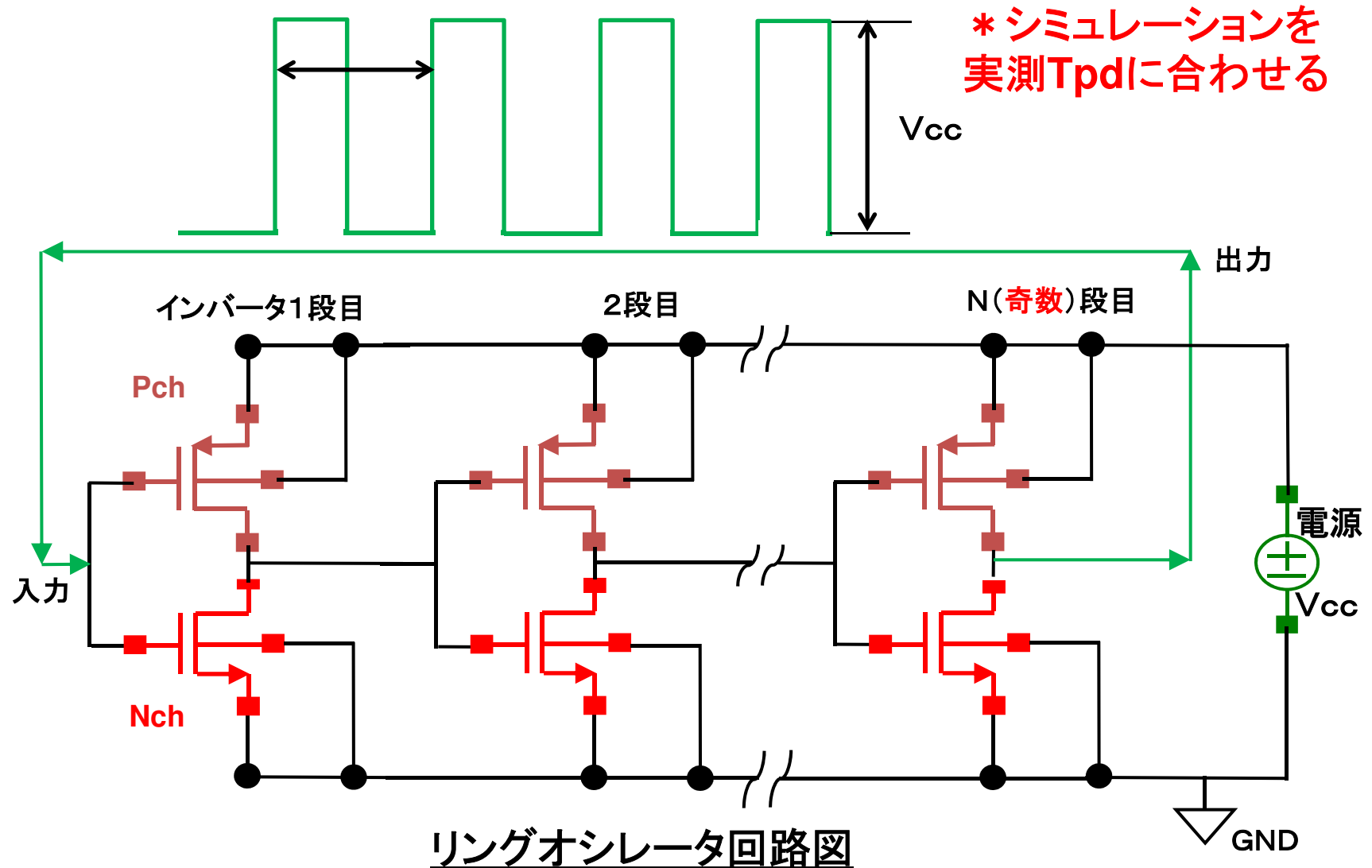
$$C_a = C_{area} + C_{sw1} \quad (1)$$

$$C_b = C_{area} + C_{sw2} \quad (2)$$

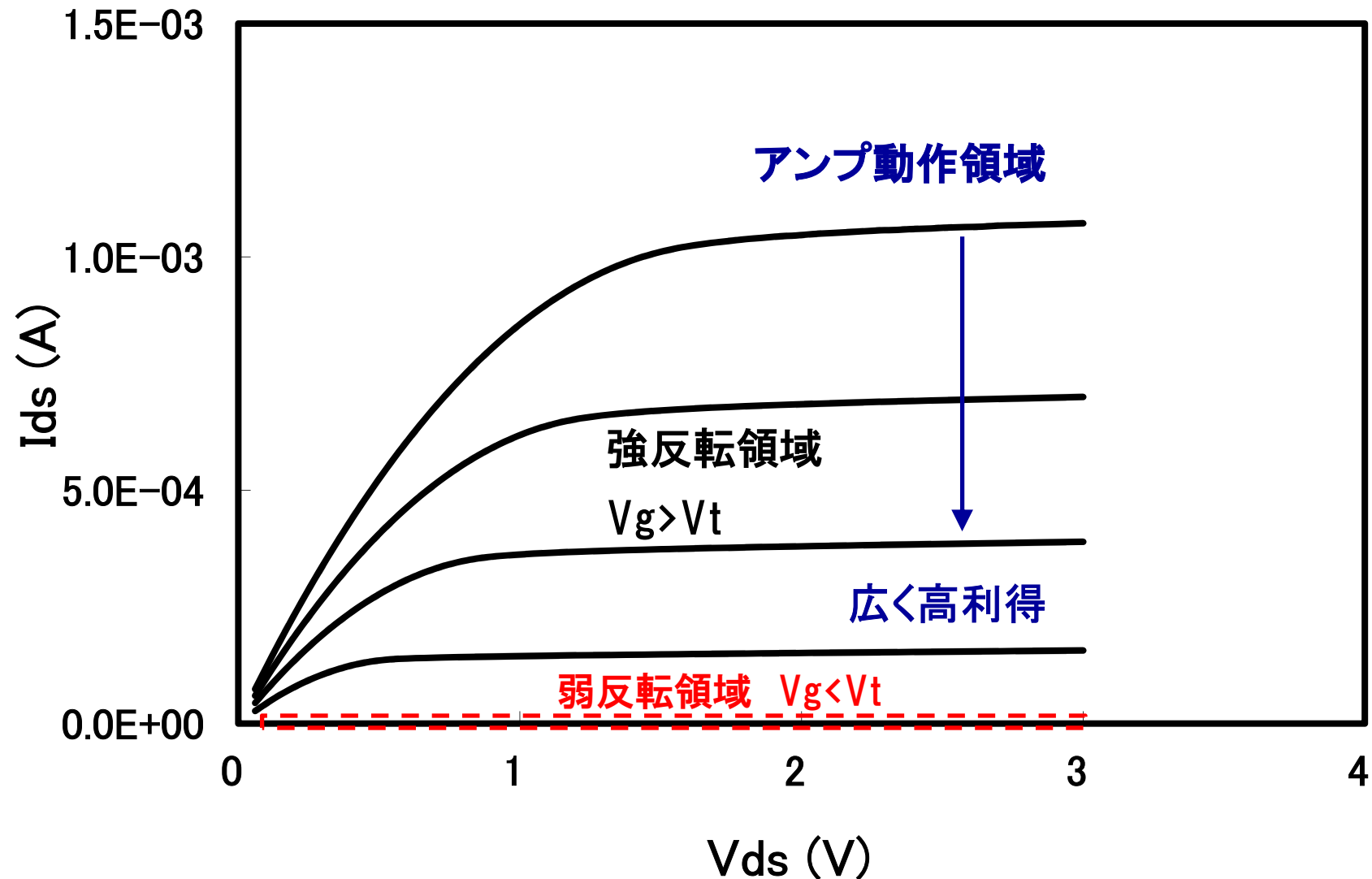
- ① 式(1)－式(2)より面積部分の容量を分離
- ② $C_{sw1} - C_{sw2}$ は、周囲長の差によるため、側面部接合容量 C_{jsw} を抽出
- ③ 式(1)又は式(2)から底面接合容量 C_j を抽出

■ 過渡特性 (容量パラメータチェック)

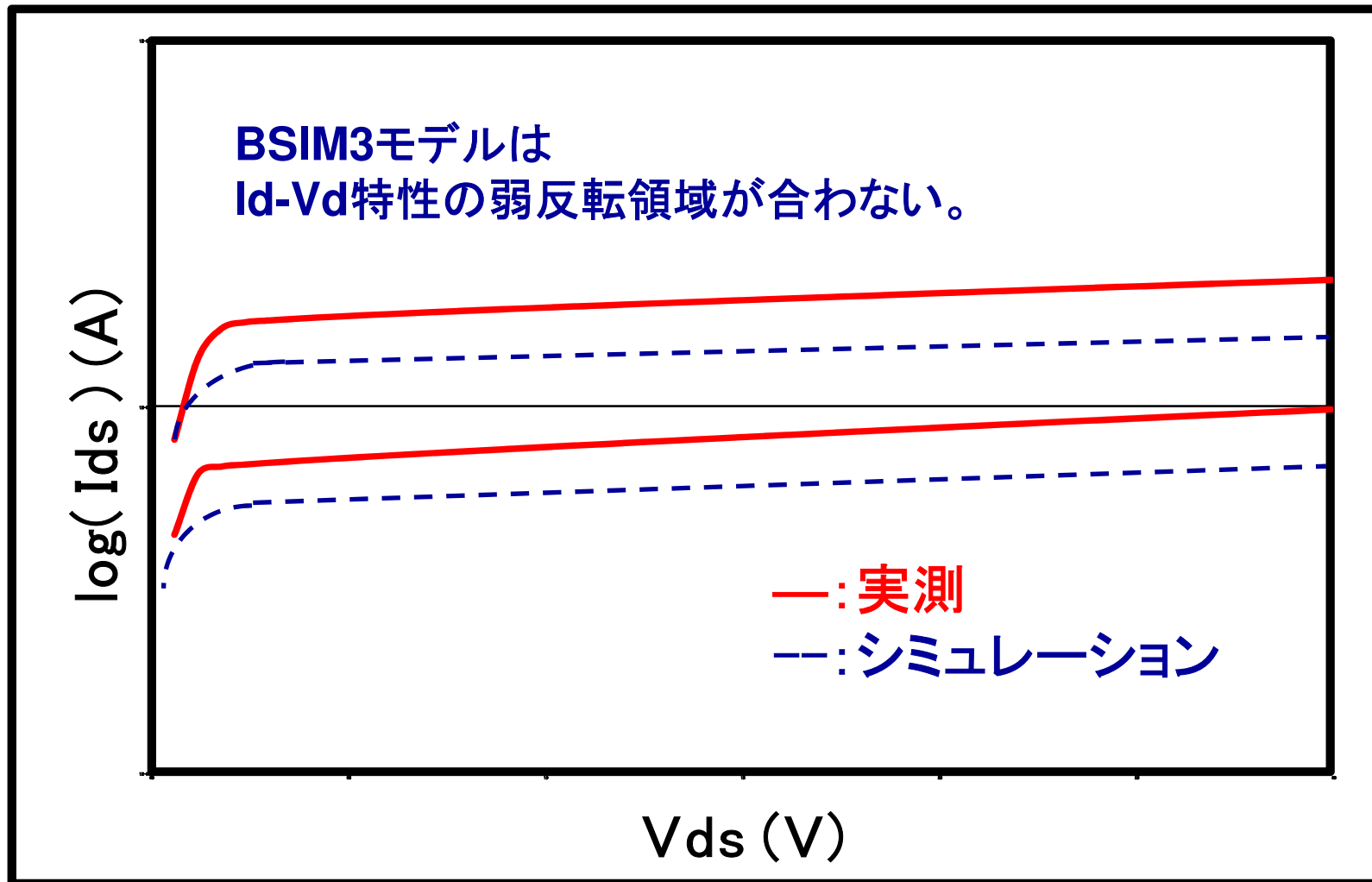
スイッチング時間 $T_{pd} = 1 / (2 * N * \text{発振周波数})$



■ 弱反転領域 (I_d — V_d 特性)



■ 弱反転領域 ($I_d - V_d$ 特性)



対策: ① $V_g > 1.5 * V_t$ とする。② EKV, BSIM4モデルを使う。

■ EKVモデル

表.2 各CMOSモデル式の特徴

モデル式	ゲート長	DC特性の精度	高周波
BSIM3	$>0.1 \mu\text{m}$	高 (I_d - V_d 特性の弱反転領域を除く)	要マクロモデル化
EKV	$>0.1 \mu\text{m}$	高(特にI_d-V_d特性の弱反転領域)	↑
BSIM4	$>0.05 \mu\text{m}$	全領域で高い	内蔵
BSIM6	$<0.1 \mu\text{m}$	↑	↑
HiSIM	$<0.1 \mu\text{m}$	↑	↑

■ EKVモデル

特徴

- ・開発者: C. C. Enz, F. Krummenacher, E. A. Vittoz
- ・1995年、EKV__Ver2. 6完成
- ・弱反転領域が高精度
- ・パラメータ数16ケ
- ・低電圧・低消費電力回路向き
- ・ V_t 、 β のミスマッチモデルを標準装備

現状と実績

- ・CMCで世界標準から除外(2005年)。
- ・使用実績が少ない。
- ・使用時は万一のシミュレータのバグに注意。

■ BSIM4モデル

表.3 各CMOSモデル式の特徴

モデル式	ゲート長	DC特性の精度	高周波
BSIM3	$>0.1\ \mu\text{m}$	高 (I_d - V_d 特性の弱反転領域を除く)	要マクロモデル化
EKV	$>0.1\ \mu\text{m}$	高(特に I_d - V_d 特性の弱反転領域)	↑
BSIM4	$>0.05\ \mu\text{m}$	全領域で高い	内蔵
BSIM6	$<0.1\ \mu\text{m}$	↑	↑
HiSIM	$<0.1\ \mu\text{m}$	↑	↑

■BSIM4モデル式

特徴

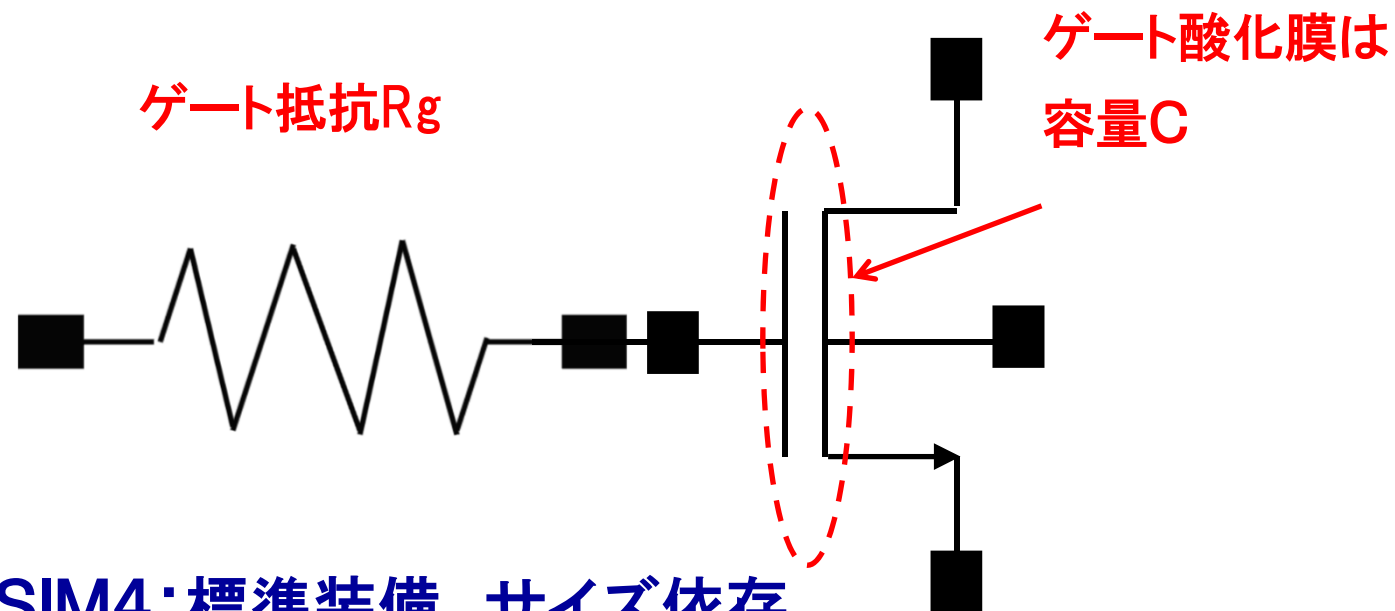
- ・BSIM3Ver3. 2モデル式を基本
- ・RF－MOS用
- ・パラメータ数～340ケ
- ・CMCより世界標準に認定(2000年)

BSIM3からの主な改良点(標準装備)

- ①ゲート抵抗とゲートフィンガー数
- ②1/fノイズモデル
- ③弱反転領域、リーク電流の精度向上

■ ゲート抵抗

RF-MOSモデルにはゲート抵抗が必須。

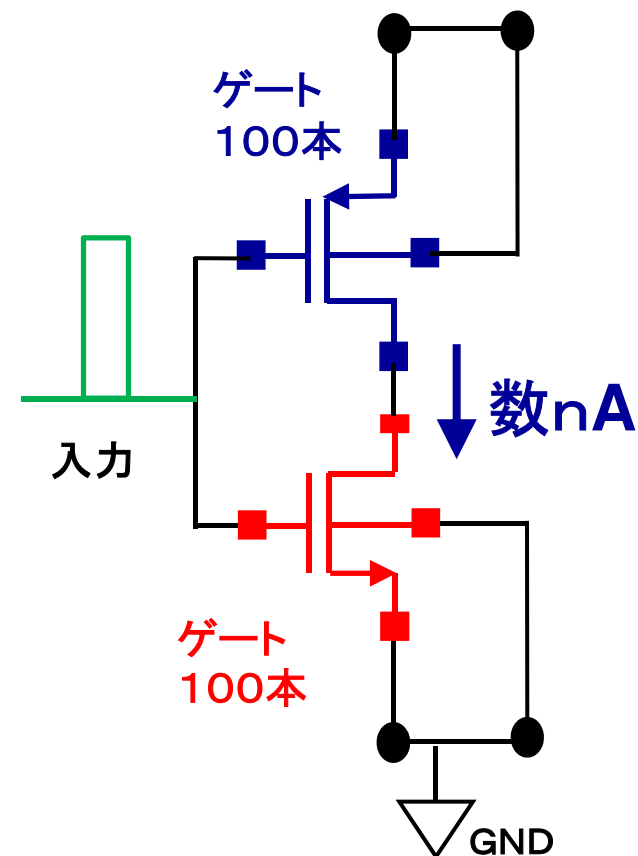
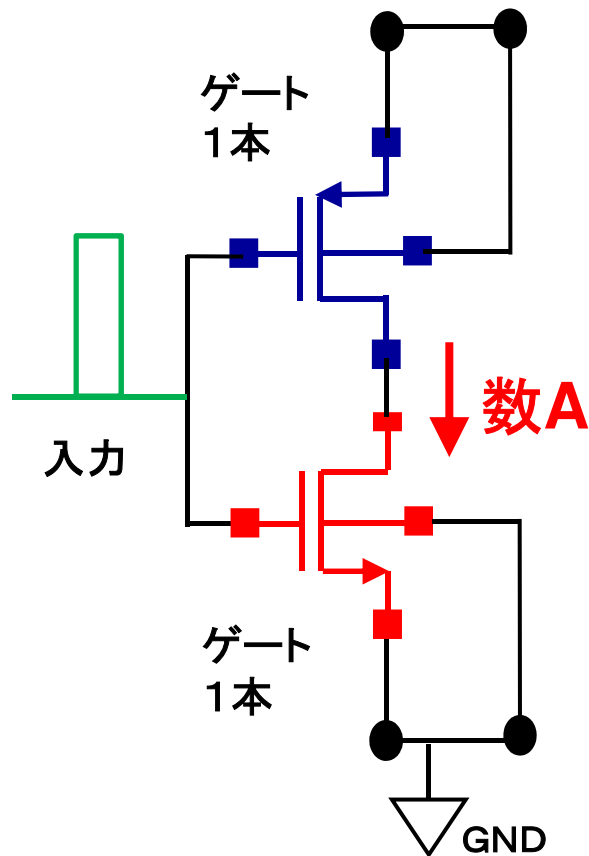


BSIM4: 標準装備、サイズ依存

BSIM3: 無し

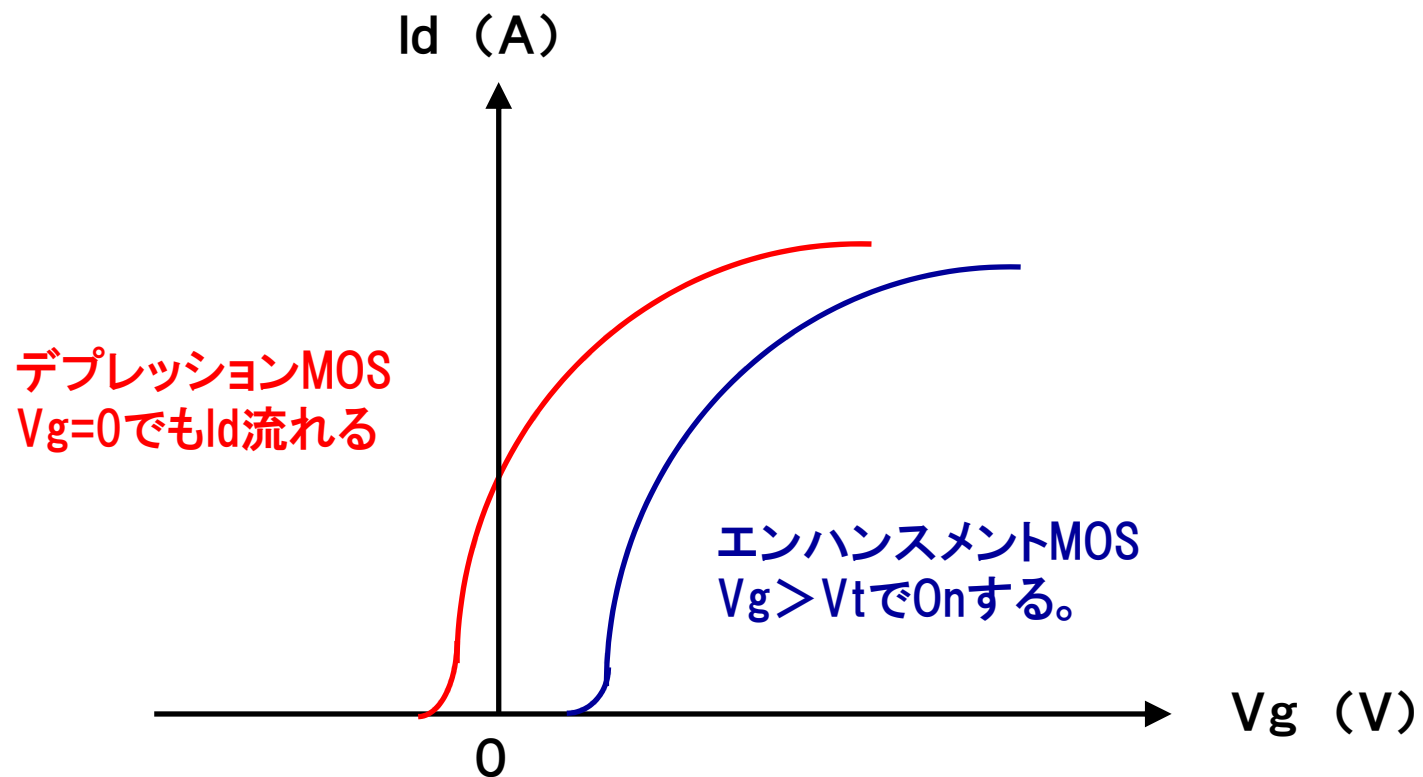
■BSIM4ゲート抵抗とフィンガー

デフォルト(ゲート本数 $NF=1$)では、ゲート幅 $GW>1\text{mm}$ のインバータで貫通電流がアンペアオーダーになる。

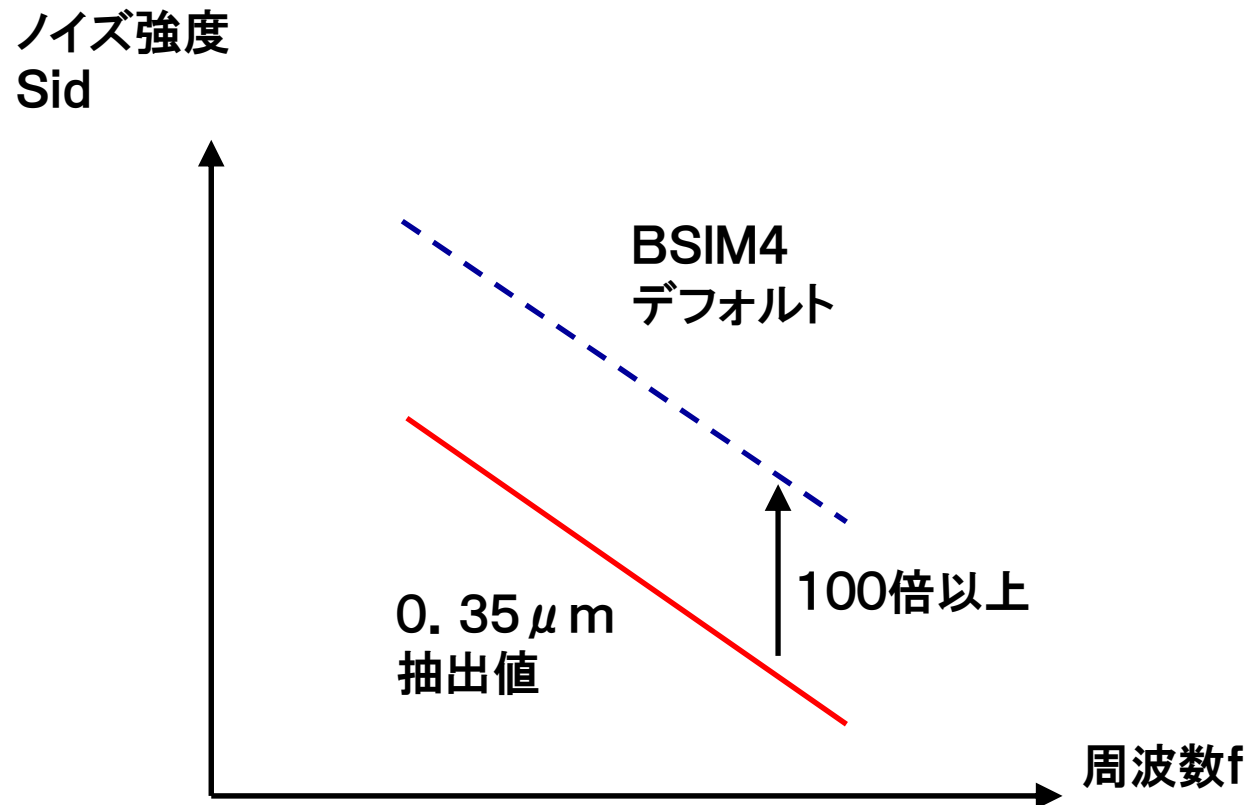


■ BSIM4モデル精度(DC)

- ・BSIM3より弱反転領域の精度が向上
- ・デプレッションMOSにも適応可。



■ BSIM4モデルの $1/f$ ノイズ



* デフォルト値では、ノイズが強くなる
GL < 0.1 μm のデバイスを想定しているため。

■BSIM6モデル

表.4 各CMOSモデル式の特徴

モデル式	ゲート長	DC特性の精度	高周波
BSIM3	$>0.1\ \mu\text{m}$	高 (I_d - V_d 特性の弱反転領域を除く)	要マクロモデル化
EKV	$>0.1\ \mu\text{m}$	高(特に I_d - V_d 特性の弱反転領域)	↑
BSIM4	$>0.05\ \mu\text{m}$	全領域で高い	内蔵
BSIM6	$<0.1\ \mu\text{m}$	↑	↑
HiSIM	$<0.1\ \mu\text{m}$	↑	↑

■BSIM6モデル式

特徴

1. 電荷を基にした**対象型**MOSFETモデル

- ・電荷を中心にモデル式を導出
 - ・BSIM4の物性とモデルパラメータをサポート
 - ・BSIM4に比べ、速度、精度はあまり向上していない
- 対称性の向上程度の改良
- ・パラメータ数 314ヶ以上

2. CMC標準モデル

- ・2013年～

3. Verilog-Aコード供給

■ HiSIMモデル

表.5 各CMOSモデル式の特徴

モデル式	ゲート長	DC特性の精度	高周波
BSIM3	$>0.1 \mu\text{m}$	高 (I_d - V_d 特性の弱反転領域を除く)	要マクロモデル化
EKV	$>0.1 \mu\text{m}$	高(特に I_d - V_d 特性の弱反転領域)	↑
BSIM4	$>0.05 \mu\text{m}$	全領域で高い	内蔵
BSIM6	$<0.1 \mu\text{m}$	↑	↑
HiSIM	$<0.1 \mu\text{m}$	↑	↑

■ HiSIMモデル

特徴

- ・広島大とSTARCで共同開発された純和製モデル
([Hiroshima Univ.](#) [STARC](#) [IGFET](#) [Model](#))
STARC: 株式会社半導体理工学研究センター
- ・CMCで世界標準モデルに認定(2011年春)。
- ・ $GL < 0.1 \mu m$ の微細MOS用
- ・表面ポテンシャルモデル
- ・弱反転、RF等、全領域で精度が高い。
- ・パラメータ数200ヶ程度
- ・HiSIM2に名称変更

* 長所

線形領域から飽和領域への移行を自動的に記述している。あらゆるモデルが原理に従って記述できる。

■ 表面電位と電荷基準モデル

収束性を向上させコンパクトモデルとして実用化するために、チャージシートモデル*を改良、様々な微細デバイスプロセスによる物理現象を取り入れてできたのが、**表面電位 (Surface Potential) モデル**

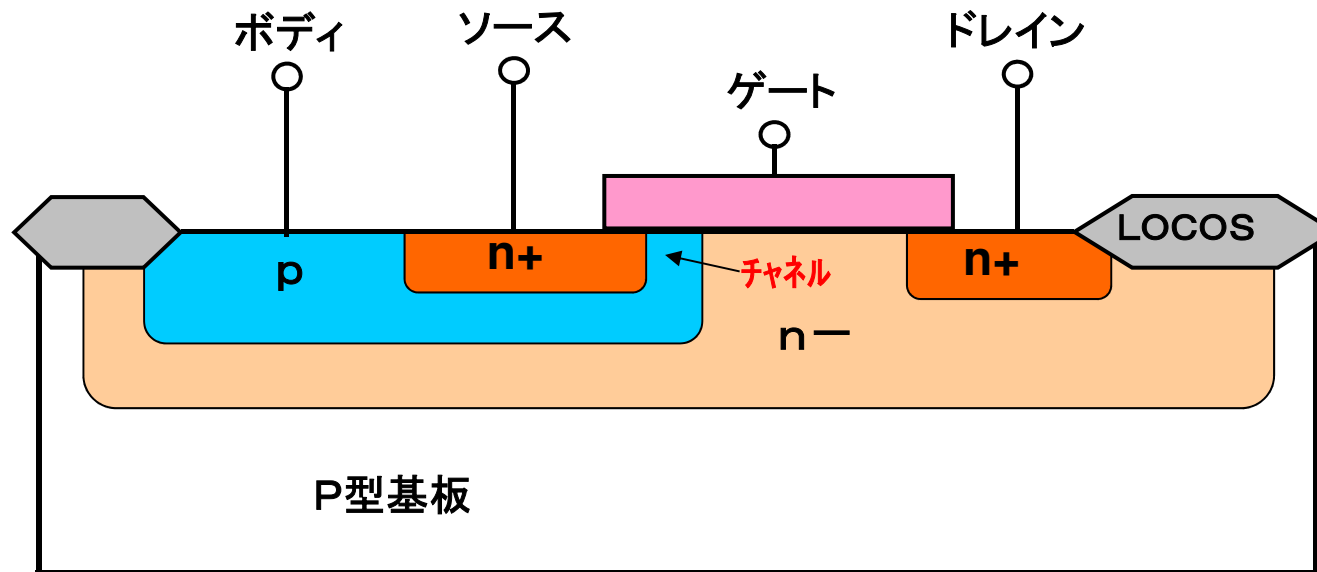
HiSIMシリーズ

* 反転層は限りなく薄く、チャネルの厚さによって電位は変化しないと仮定したモデルのこと

ソース・ドレインにおける反転電荷に注目し、面積密度関数として表していくのが**電荷基準 (Charge Based) モデル**

BSIM3,4,6、EKVモデル

■ LDMOSトランジスタ

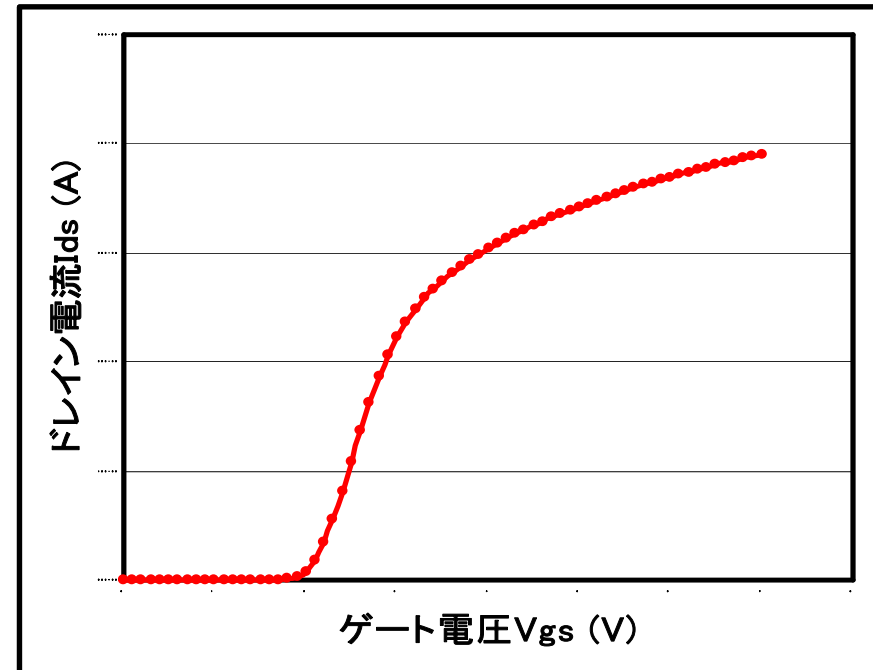
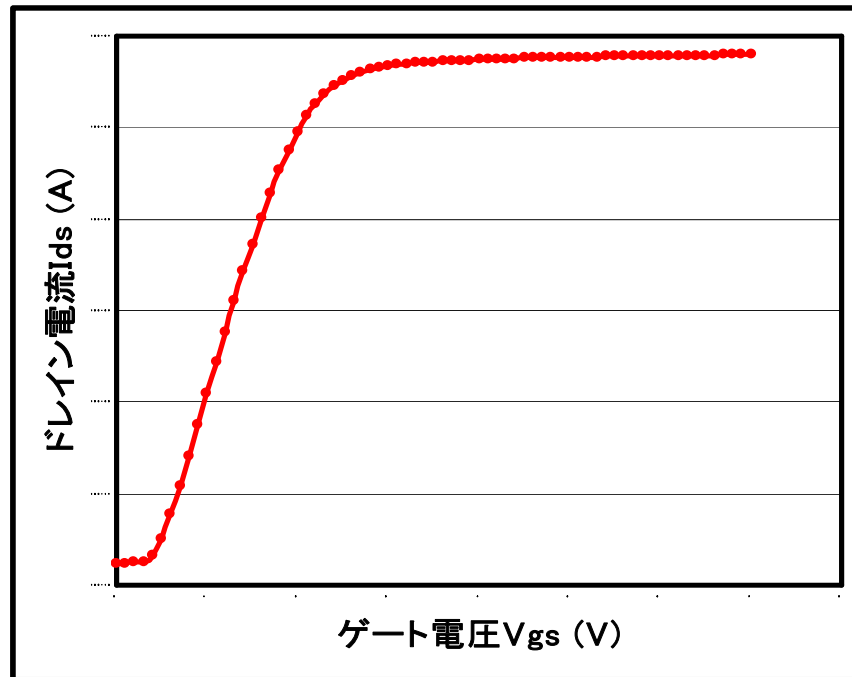


Nch-LDMOSの構造

特徴

- ・チャネル領域を拡散で作り、ゲート長 GL は固定。
- ・高耐圧、大電流($> 1A$)用途のためドレインドリフト領域($n-$)が広い。
→ ソース/ドレイン非対称
- ・電圧制御素子のため駆動電力が小さい
- ・スイッチング特性が良い(高速) → デジタル用。
- ・動作領域(SOA)が広い

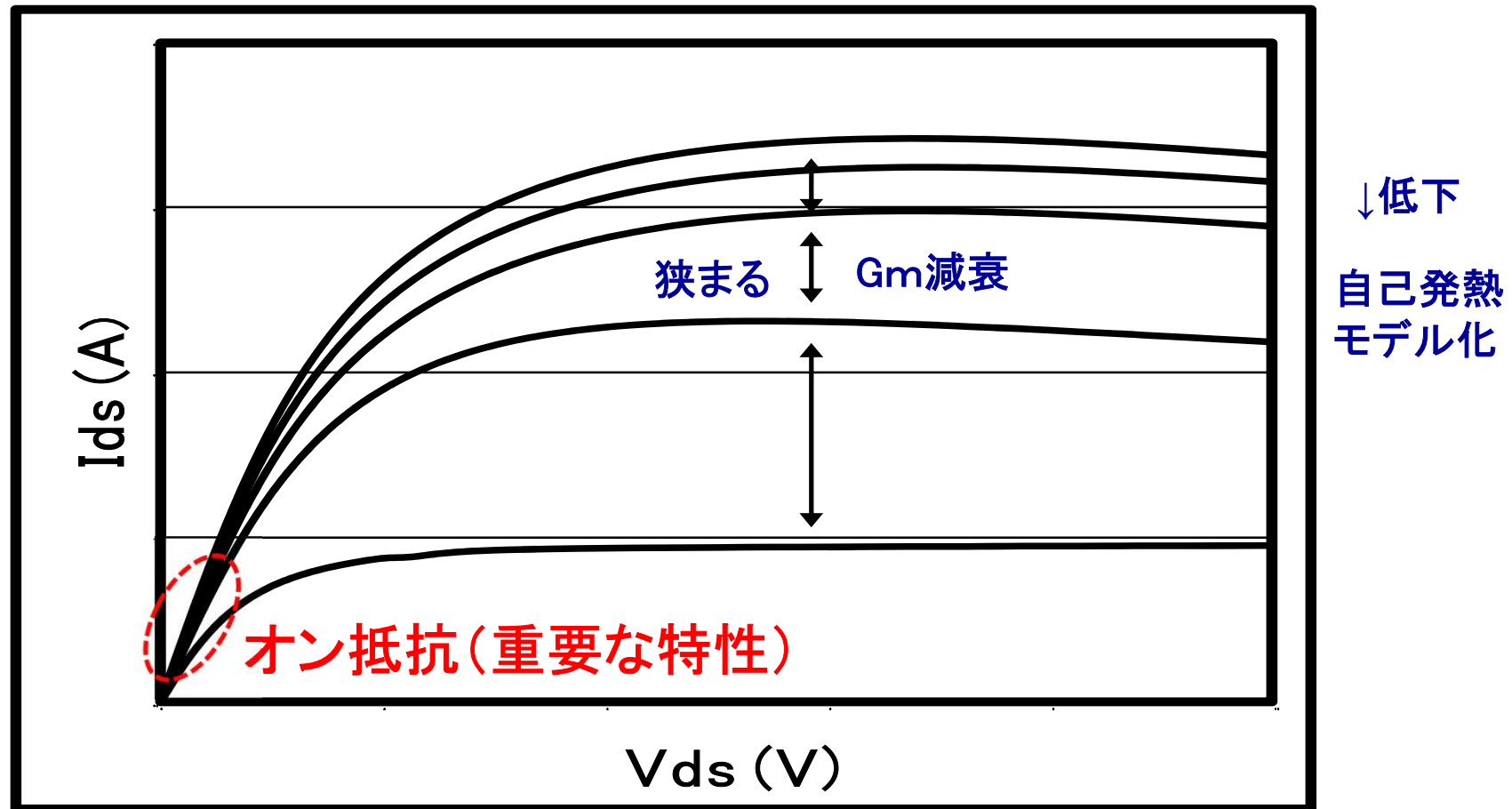
■ NchLDMOSの I_d-V_g 特性



特徴

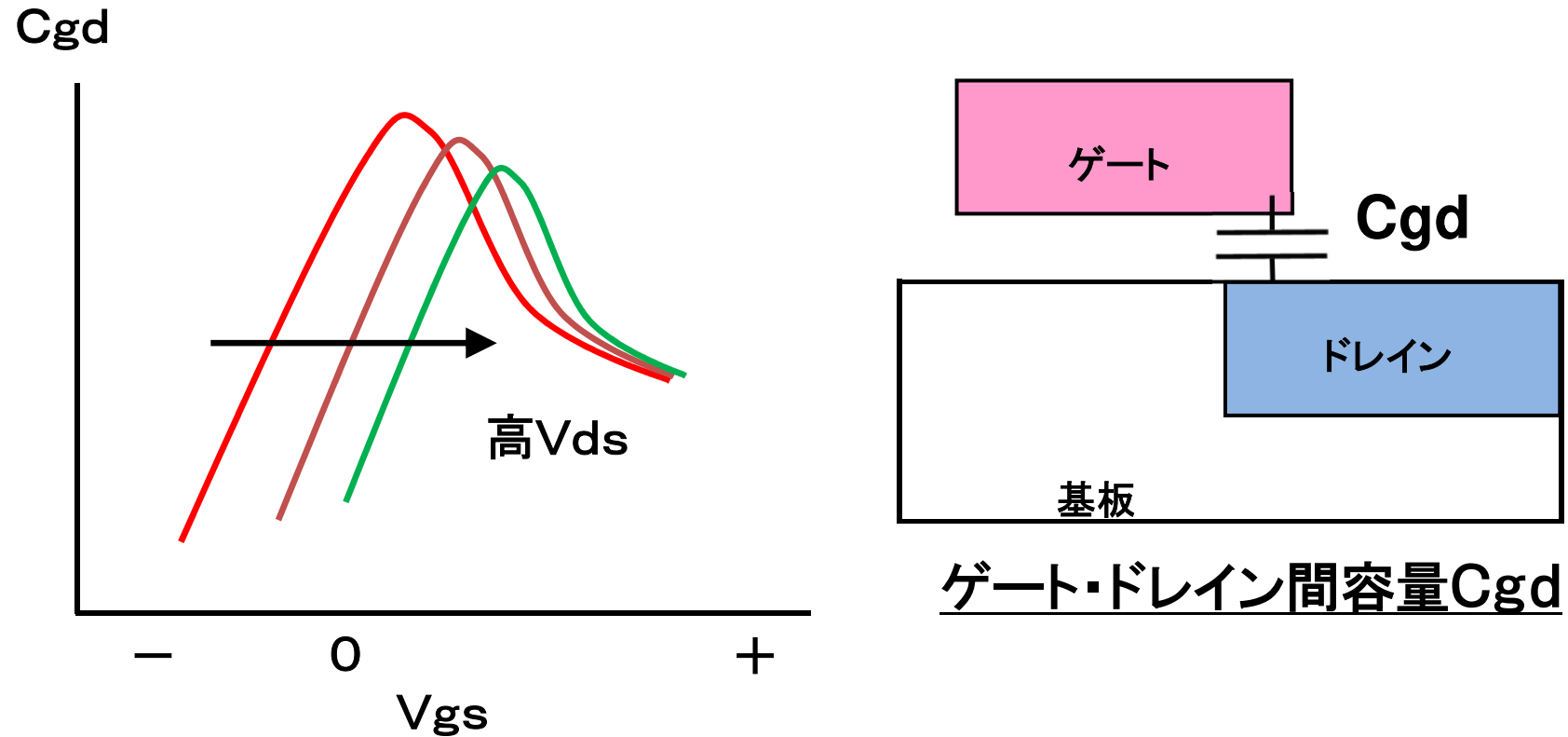
- 1) V_t が高い: 2.0V以上
 - 2) ソース／バックゲートがショートされている
- 高速化

■ NchLDMOSの I_d — V_d 特性



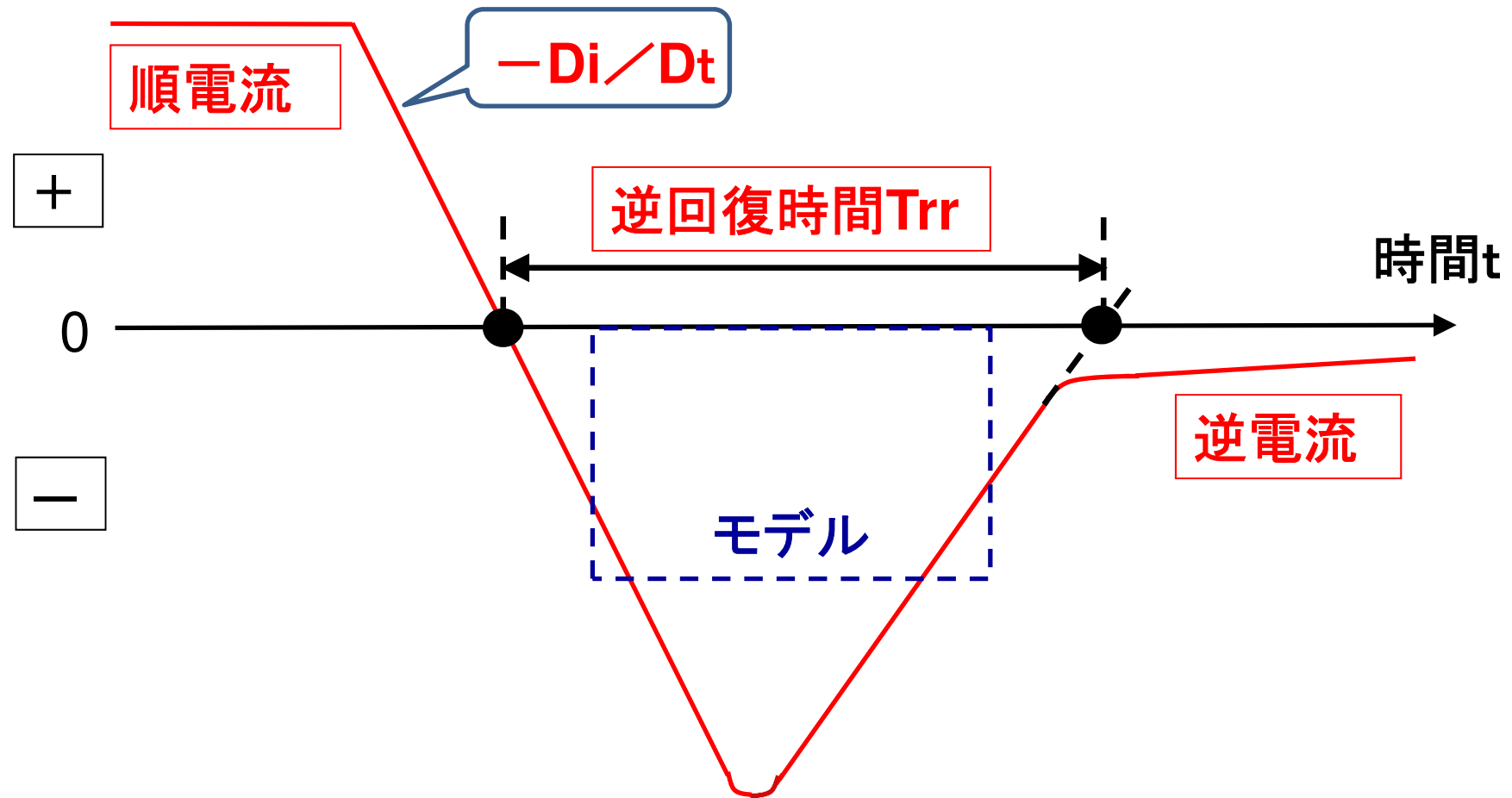
回路出力段に多く使用される。スイッチング用。
ゲート幅は数cmのものもある。

■ ゲート・ドレイン間容量 C_{gd} のミラー効果



C_{gd} はミラー効果で $(1 + \text{利得})$ 倍に大きくなる。
数十倍になる場合もあるため、正確なモデル化が必要。
 C_{gd} : 入力容量

■ダイオードの過渡特性 (基板ダイオードの逆回復モデル)



順方向電流が流れた状態でステップ的に逆方向電圧をかけると、一時的に逆方向に電流が流れる。

■LDMOSモデル式

表.1 各LDMOSモデル式の特徴

モデル式	DC	ミラー容量	ばらつき
BSIM3 マクロ	○(収束性が 不安定)	モデル化 難しい	モデル化 難しい
HiSIM_HV	◎	◎	◎

■ LDMOS用モデル

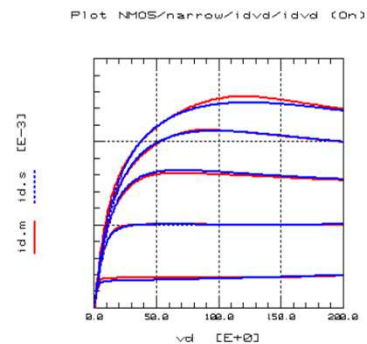
HiSIM__HV

(Hiroshima Univ. STARC IGFET Model for a High Voltage device.)

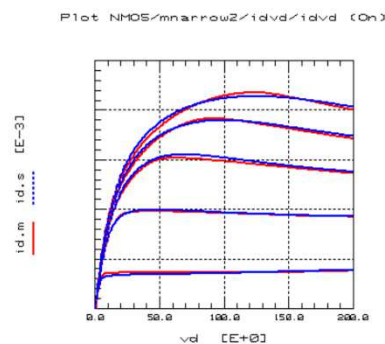
広島大とSTARCで作られた世界標準モデル。純日本製。
2007年、CMCで世界標準モデルに認定。

—:実測
—:シミュレーション

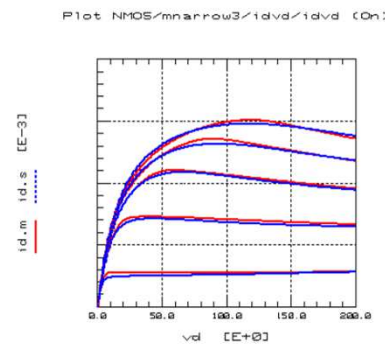
ゲート幅
100um



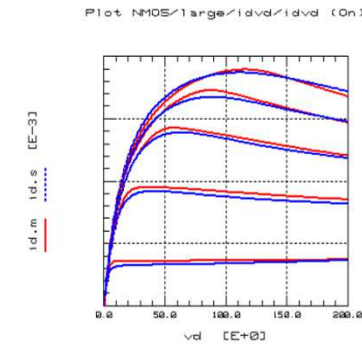
200um



300um

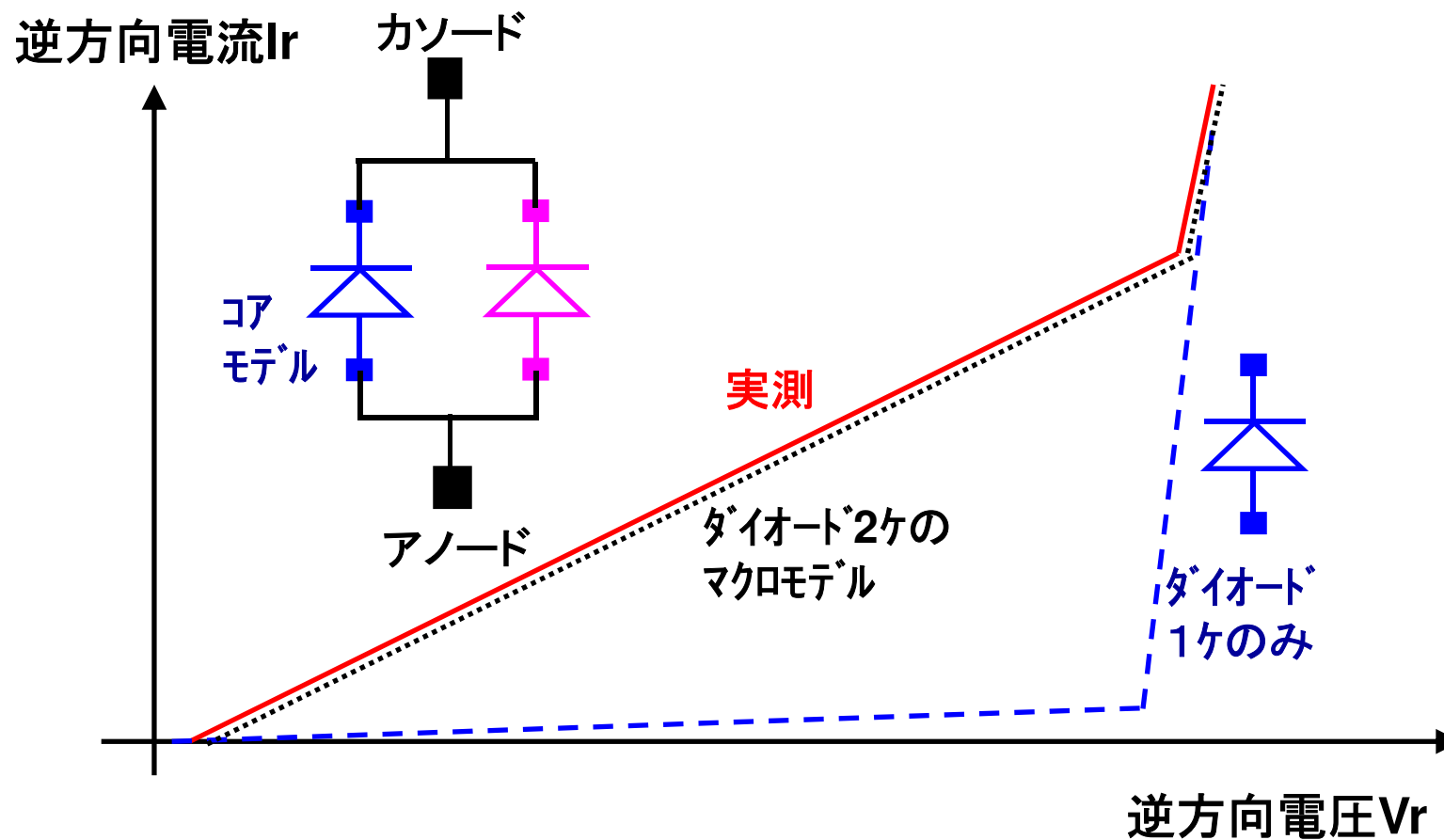


400um



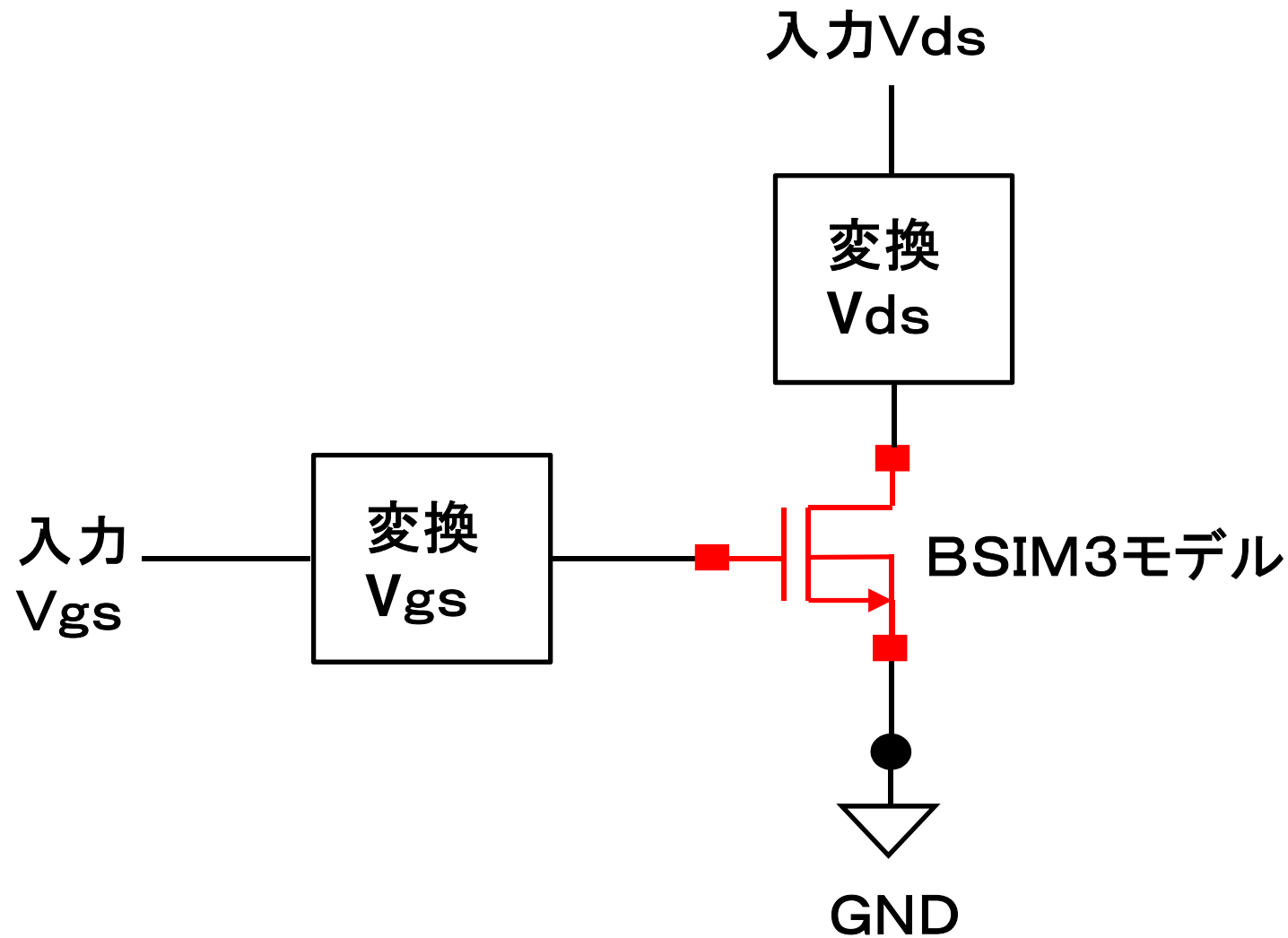
HiSIM HVを使った250V Nch LDMOSの抽出データ

■ マクロモデル(サブ・サーキットモデル)



複数のSPICEモデルを組み合わせたモデル。
等価回路や数式を追加することもある。

■ BSIM3__マクロモデルの例(DC)



■ LDMOS用モデル

HiSIM__HV

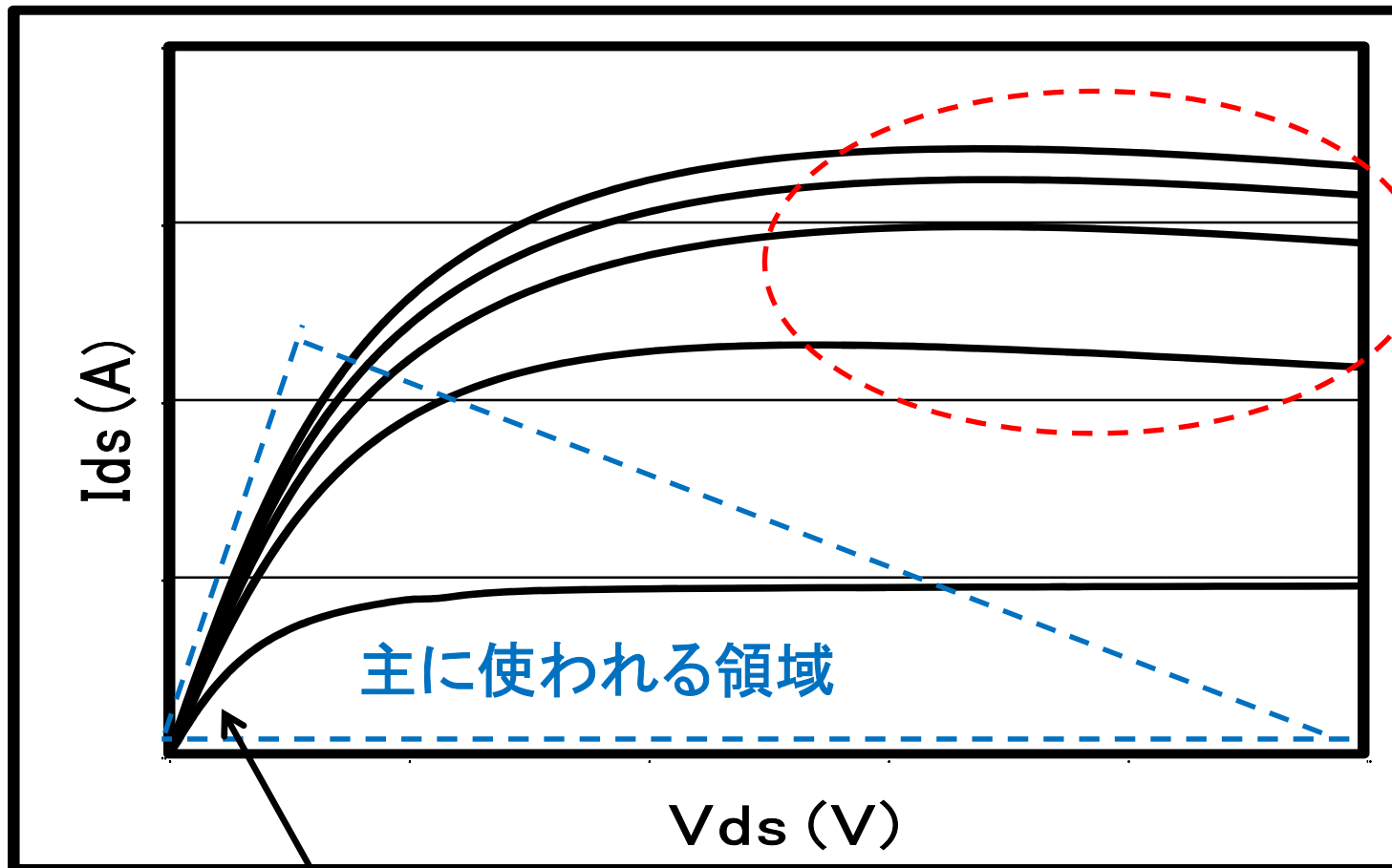
(Hirosima Univ. STARC IGFET Model for a High Voltage device.)

特徴

- HiSIMを基本として、対象構造、非対称構造の両方に対応
- 2008年CMCでLDMOS世界標準モデルに認定
- 表面ポテンシャルモデル
- パラメータ数～250ケ
- ミラー容量のシミュレーション可能
- 収束性が高い
- 統計、コーナーモデルが容易に作成できる

■ LDMOSモデル注意点

自己発熱領域も合わせると
収束しにくい



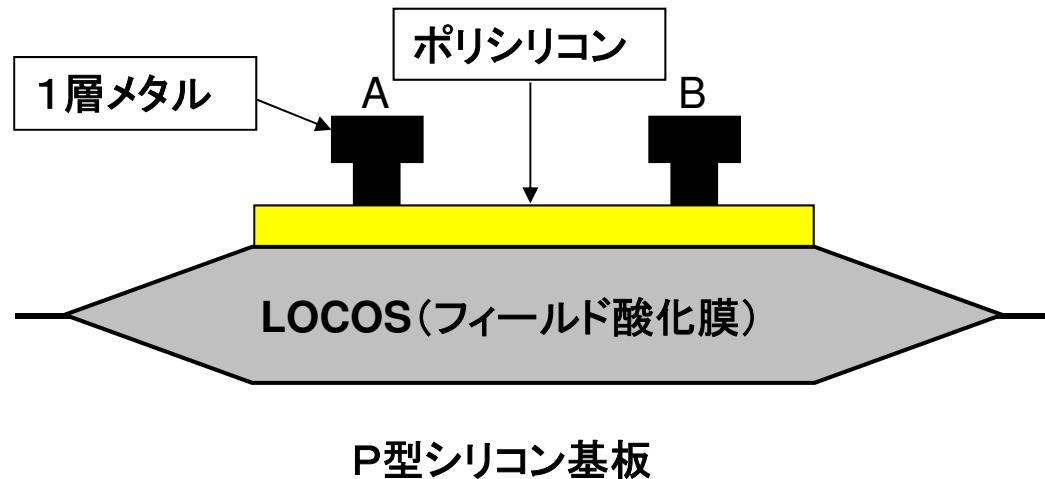
On抵抗の精度が重要

§ 5. 各素子のモデル2

5－2. 抵抗R

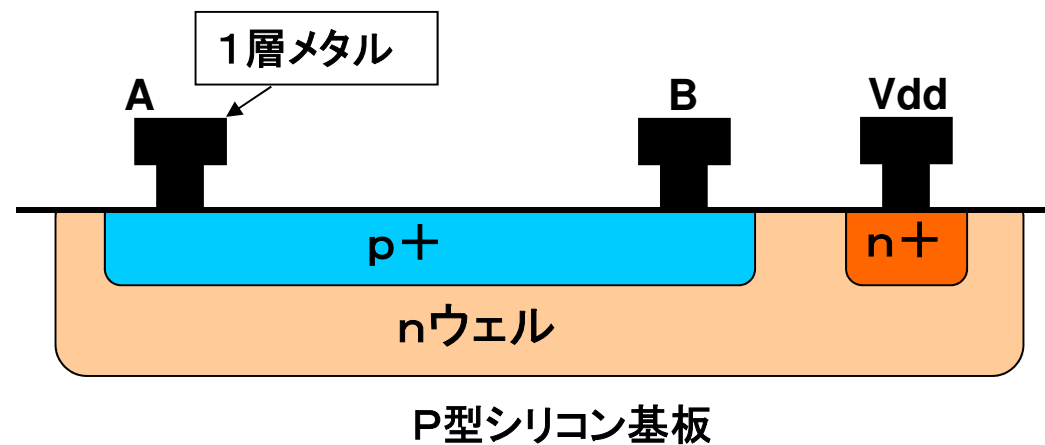
* Spectreのモデル式

■ 抵抗の構造と特徴



ポリシリコン抵抗

シート抵抗 R_s は、
 $20 \sim 30 \Omega / \square$
寄生容量が小さく、
電圧で抵抗値は変化しにくい。
高周波回路向き。
温度で変化しやすい。



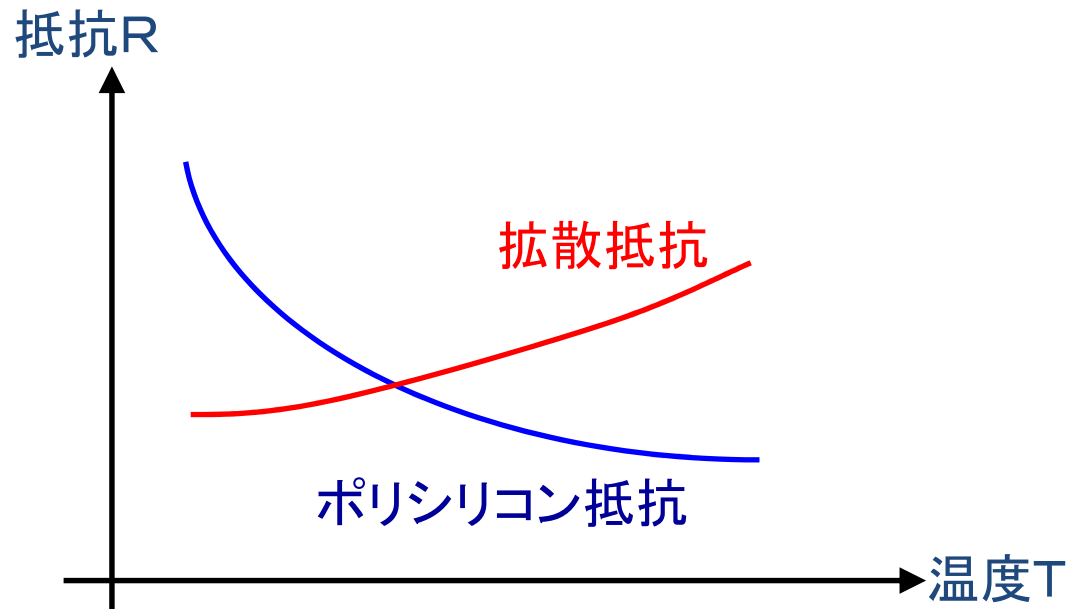
P+拡散抵抗

シート抵抗 R_s は、
N+ ; $20 \sim 30 \Omega / \square$
P+ ; $50 \sim 100 \Omega / \square$
Vdd電圧が高いと
抵抗値が増加する。
バイアス回路用。

Vdd: 拡散層下の接合の電位

■ 抵抗の温度特性

抵抗値は温度と電圧で変化する。



ポリシリコン抵抗は
温度で変化しやすく、
高温で低抵抗になる。

抵抗値 $R = R(\text{常温} 27^{\circ}\text{C}) * [1 + \text{TC1} * T + \text{TC2} * T^2]$

$T(^{\circ}\text{C})$: 温度 - 27

TC1: 1 次の温度係数

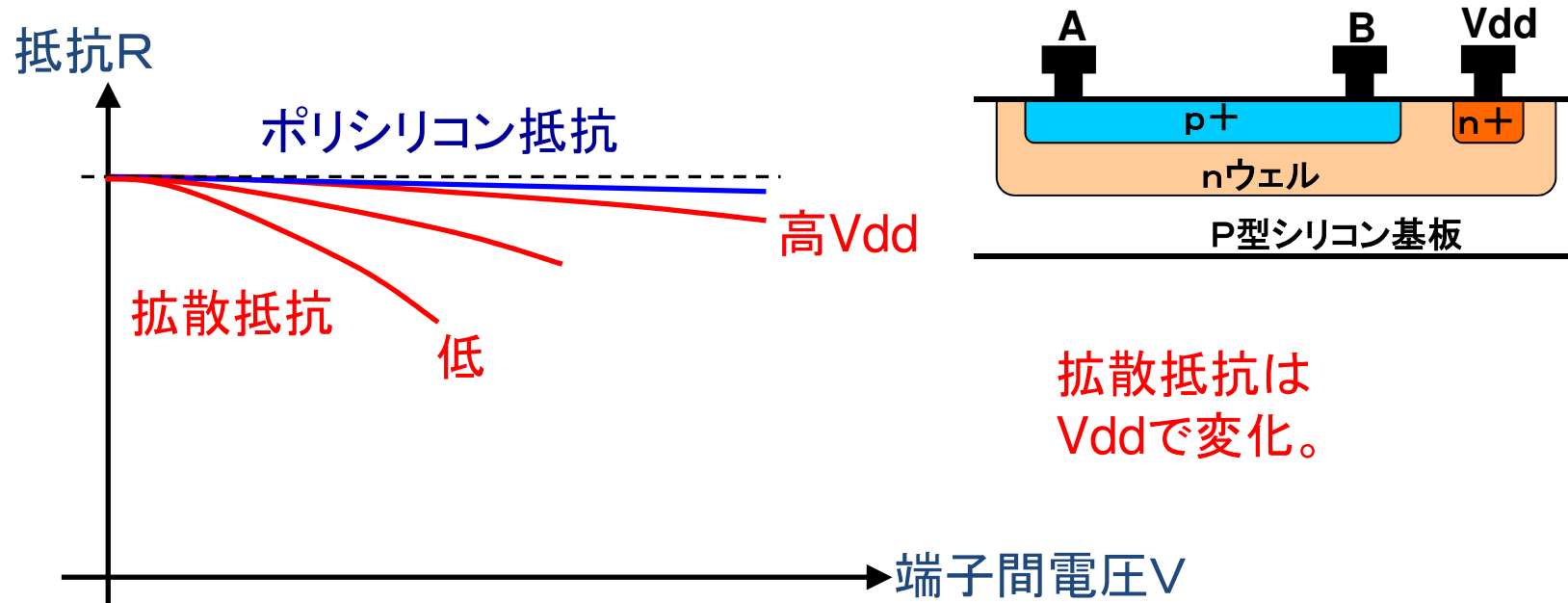
TC2: 2 次の温度係数

* Spectre の場合。

なお HSPICE では常温が 25°C 。各シミュレータでの常温の定義に注意。⁷⁷

■ 抵抗の電圧特性

抵抗値は温度と電圧で変化する。



拡散抵抗は
Vddで変化。

$$\text{抵抗値 } R = R(0.1V \text{時}) * [1 + VC1 * V + VC2 * V^2]$$

V: 端子間電圧

VC1: 1次の電圧依存係数

VC2: 2次の電圧依存係数

■抵抗の温度特性、電圧特性モデル

$$\text{抵抗値} = (\text{温度特性}) * (\text{電圧特性})$$

抵抗値R = R(常温27°C、0.1V時)

$$* [1 + TC1 * T + TC2 * T^2]$$

$$* [1 + VC1 * V + VC2 * V^2]$$

T(°C): 温度－27(常温)

V(V): 端子間の電圧

TC1、TC2: それぞれ1次、2次の温度係数

VC1、VC2: それぞれ1次、2次の電圧依存係数

* Spectreの場合。

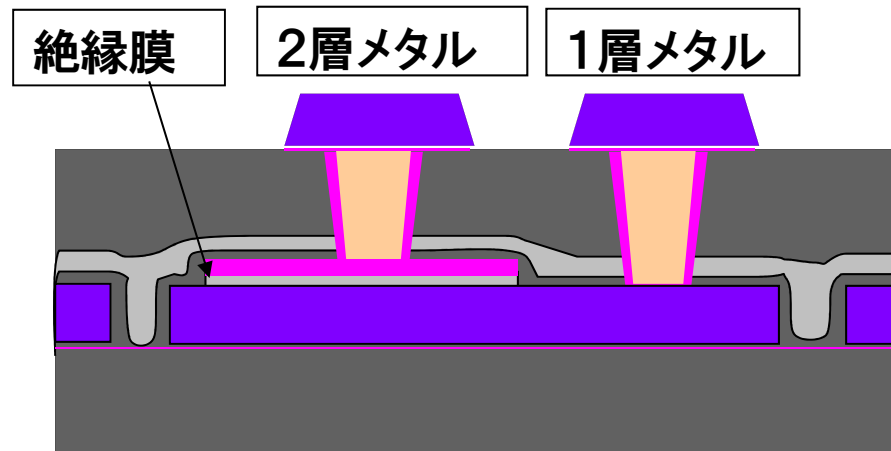
なおHSPICEでは常温が25°C。各シミュレータでの常温の定義に注意。

§ 5. 各素子のモデル2

5-3. 容量C

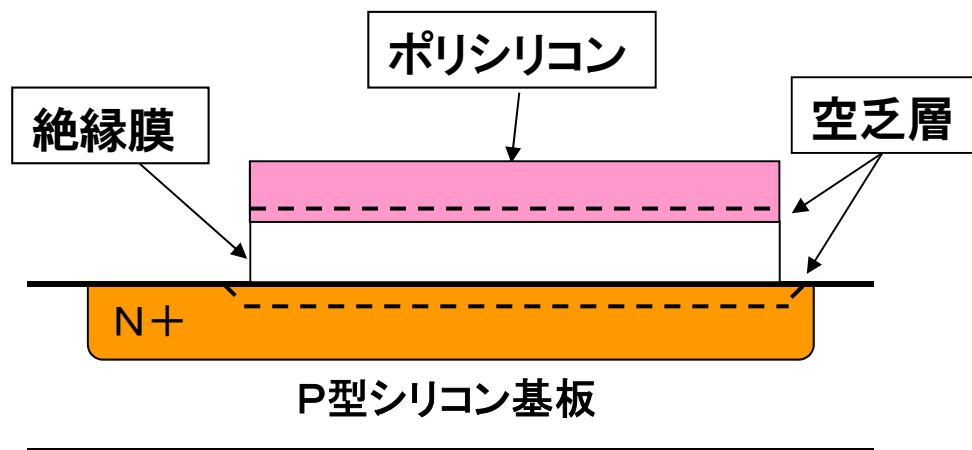
* Spectreのモデル式

■容量の構造と特徴



単位容量: $1\text{fF}/\mu\text{m}^2$ 程度
メタルのため容量は高精度。
高周波回路向き。

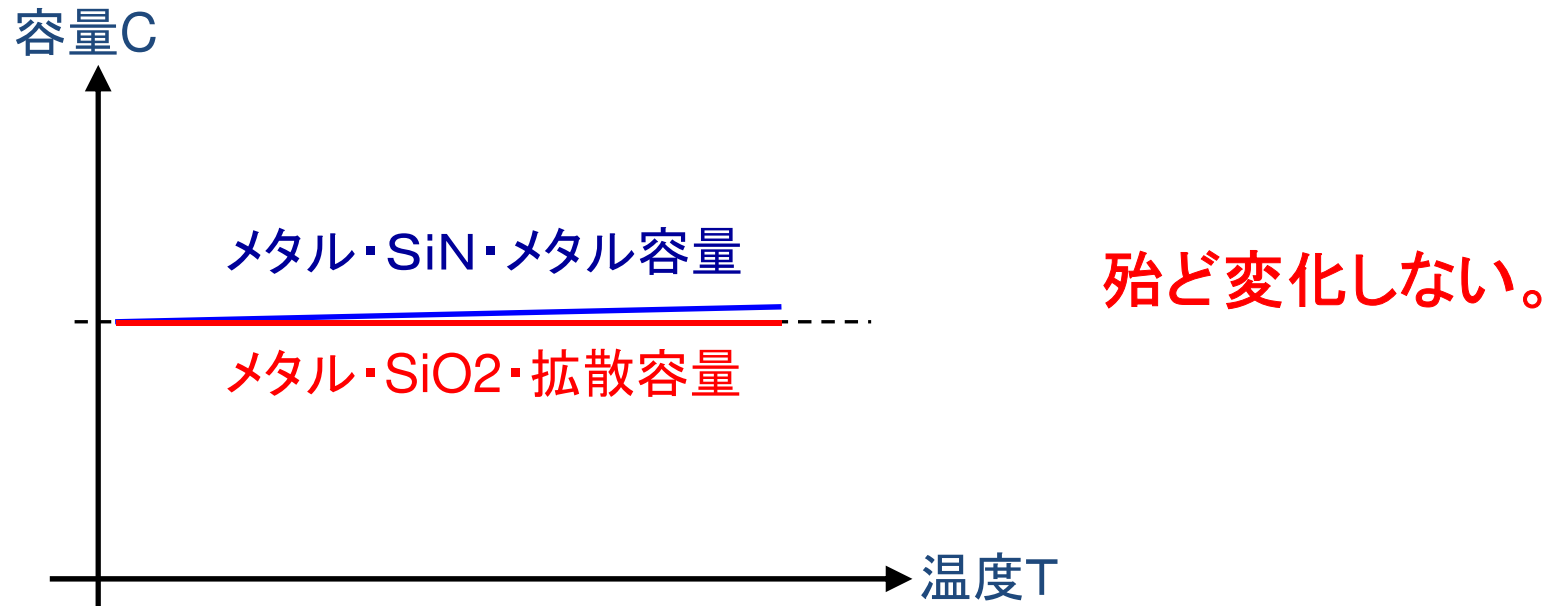
メタル・絶縁膜・メタル(MIM)



単位容量が数 $\text{fF}/\mu\text{m}^2$ のため
面積が小さい。
空乏層が電圧で広がる影響で
容量値が変わる。

ポリ・絶縁膜・拡散層

■ 容量の温度特性



$$\text{容量値 } C = C(\text{常温 } 27^{\circ}\text{C}) * [1 + \text{TC1} * T + \text{TC2} * T^2]$$

T(°C): 温度 - 27

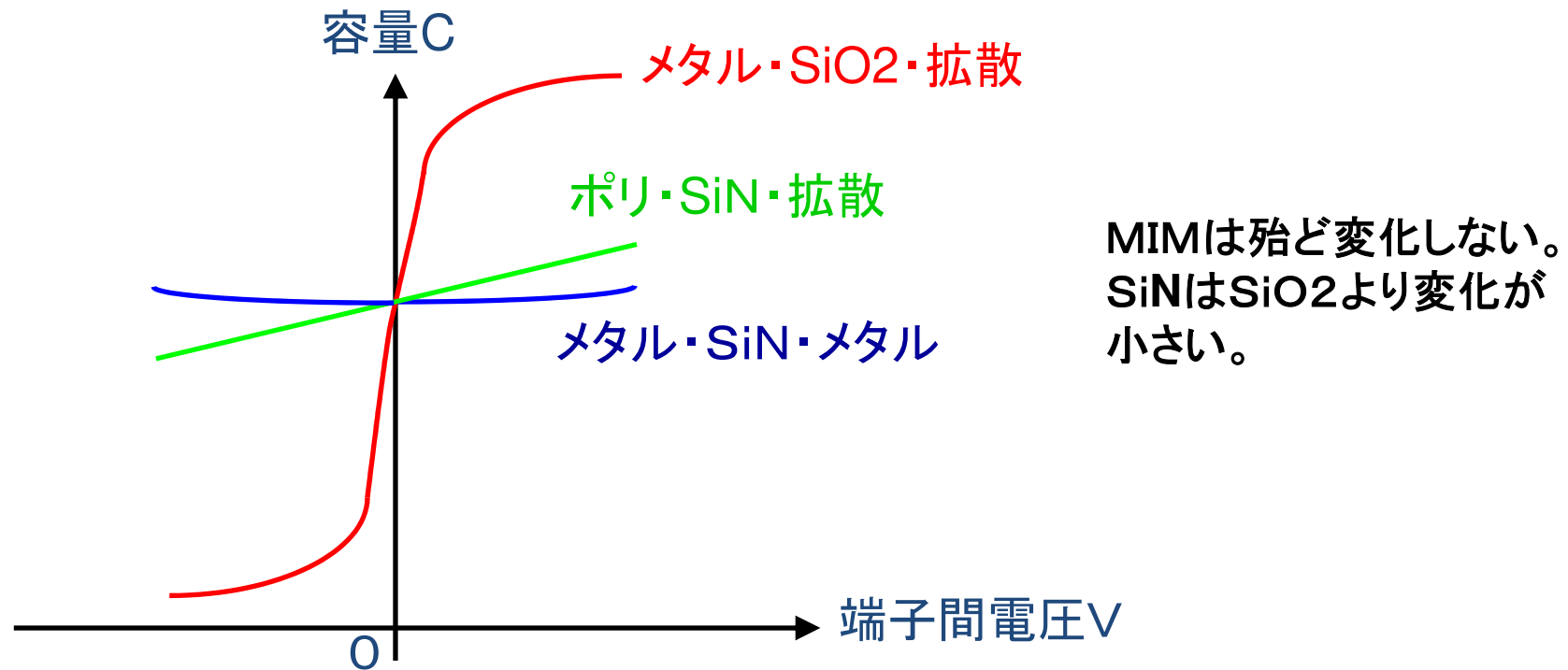
TC1: 1次の温度係数

TC2: 2次の温度係数

* Spectreの場合。

なおHSPICEでは常温が25°C。各シミュレータでの常温の定義に注意。

■ 容量の電圧特性



$$\text{容量値 } C = C(0.1\text{V時}) * [1 + VC1 * V + VC2 * V^2 + VC3 * V^3 + VC4 * V^4]$$

$V(V)$: 端子間電圧

$VC1 \sim VC4$: それぞれ1次～4次の電圧依存係数

■容量の温度特性、電圧特性モデル

$$\text{容量値} = (\text{温度特性}) * (\text{電圧特性})$$

容量値C = C(常温27°C、0.1V時)

$$* [1 + TC1 * T + TC2 * T^2]$$

$$* [1 + VC1 * V + VC2 * V^2 + VC3 * V^3 + VC4 * V^4]$$

T(°C): 温度－27、 V(V): 端子間電圧

TC1、TC2: それぞれ1次、2次の温度係数

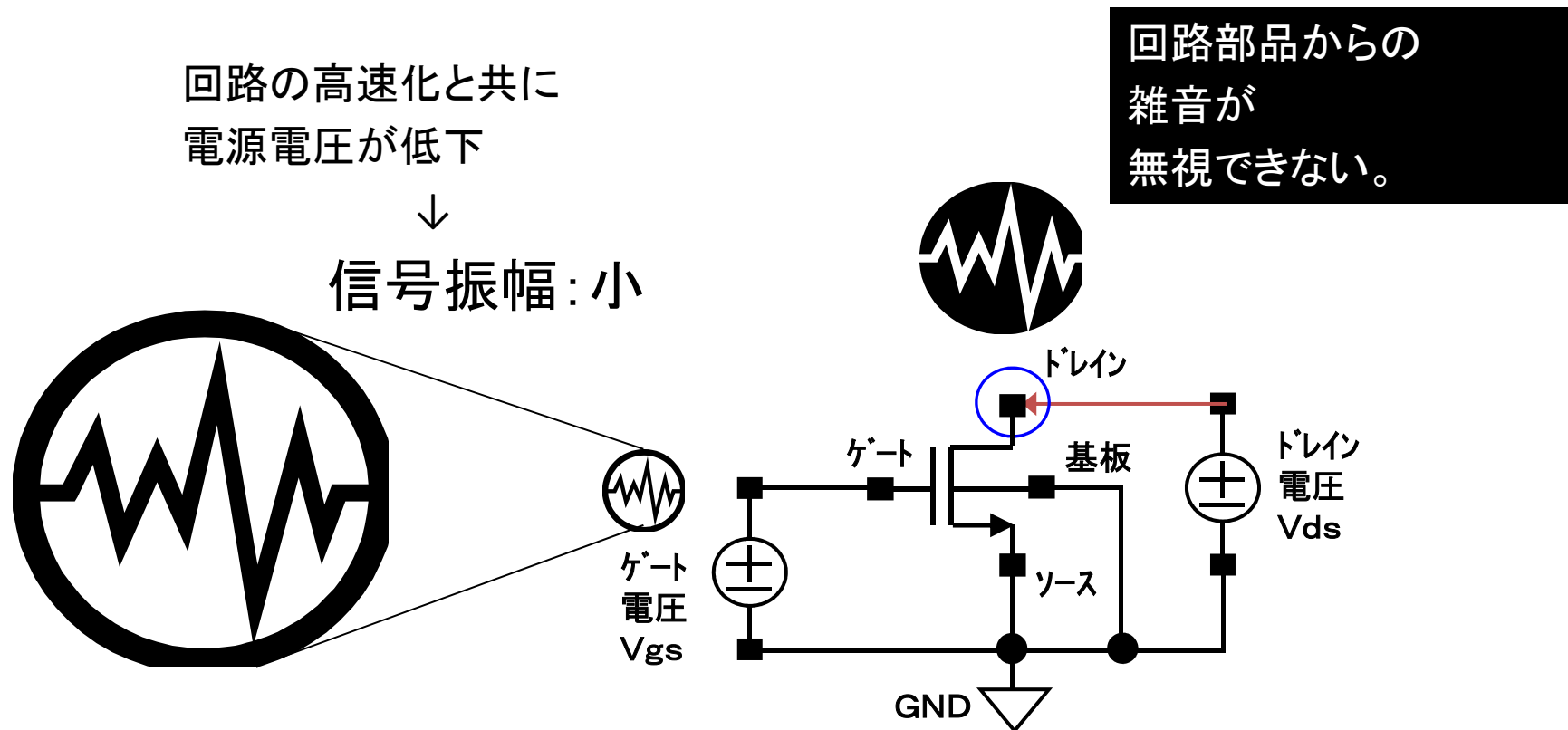
VC1～VC4: それぞれ1次～4次の電圧依存係数

§ 6. 1 / fノイズ

デバイス自体からのノイズ

■ ノイズ(雑音)とは

(処理対象となる情報以外の) **不要な情報**のこと。



■ ノイズの種類と特徴

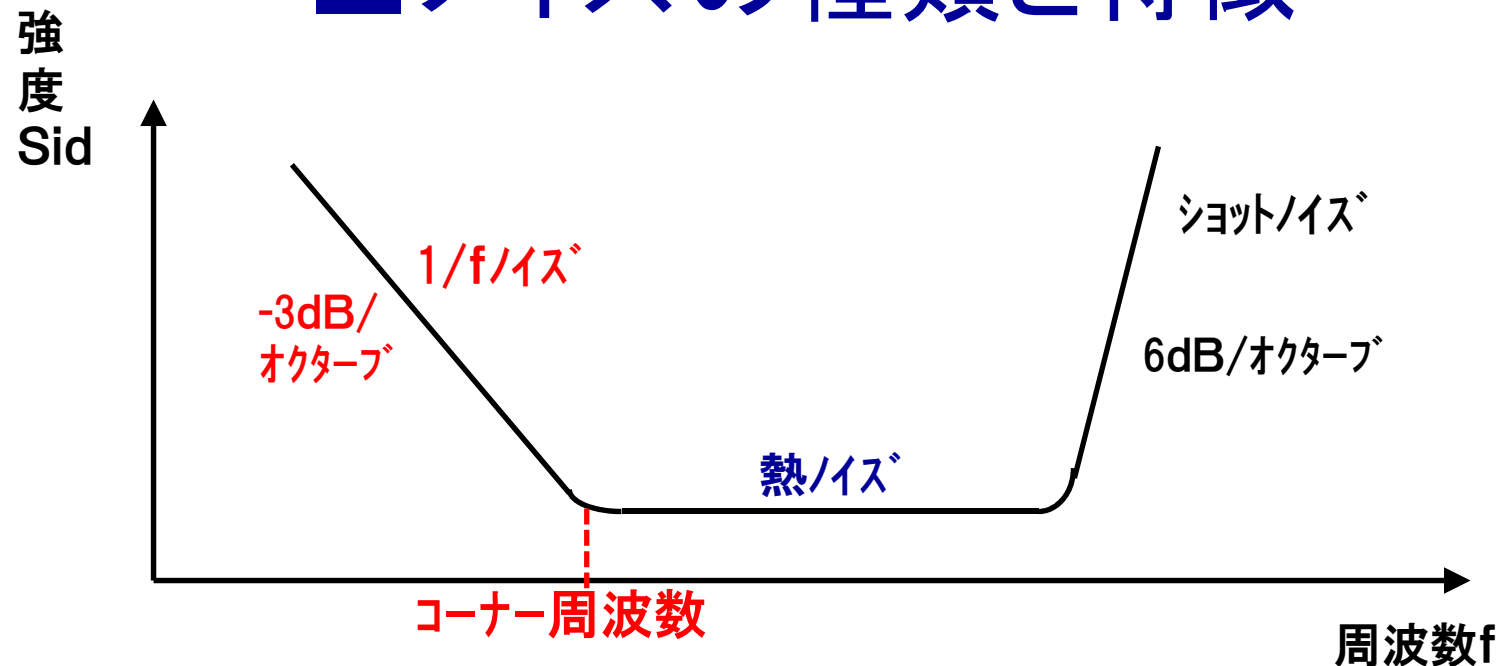


図 ノイズ強度の周波数特性

- ・ $1/f$ ノイズ 強度 $\propto 1/f$ 周波数 f (唯一モデル化される)
- ・熱ノイズ 抵抗体内の電子の不規則な熱振動によって生じる
- ・ショットノイズ 不連続な電流によって引き起こされる

*コーナー周波数: 500KHzM~1MHz(サブミクロンCMOS)

■ CMOSの1/fノイズ

...シミュレーション値

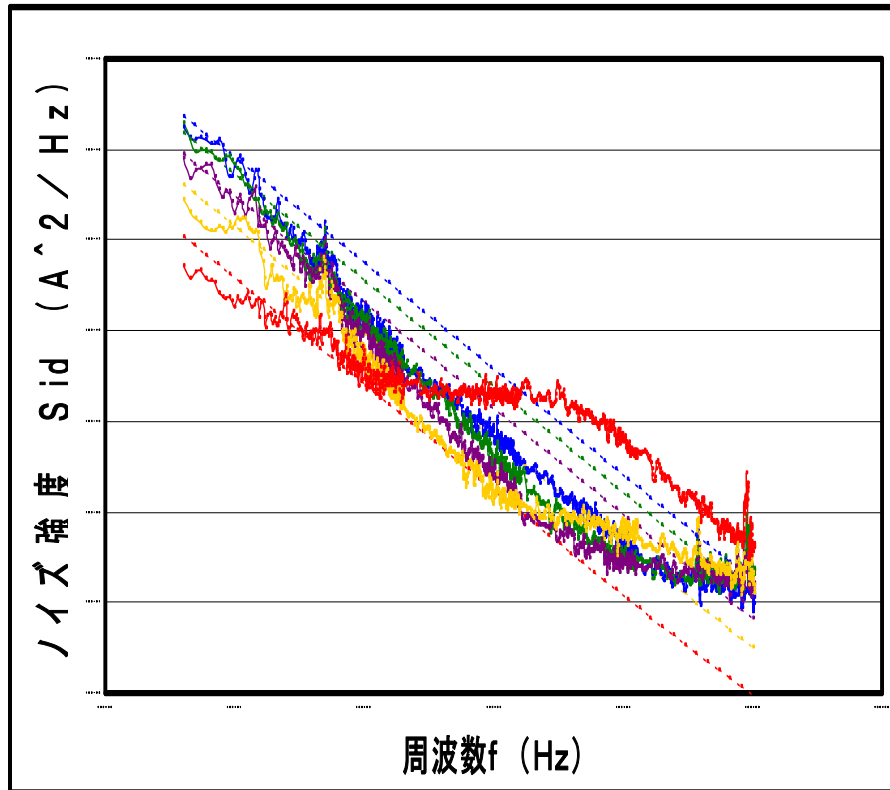


図.1 NchMOS

CMOSの1/fノイズは強い。
(Si界面で発生するため)

電流が多いほどノイズは強い。

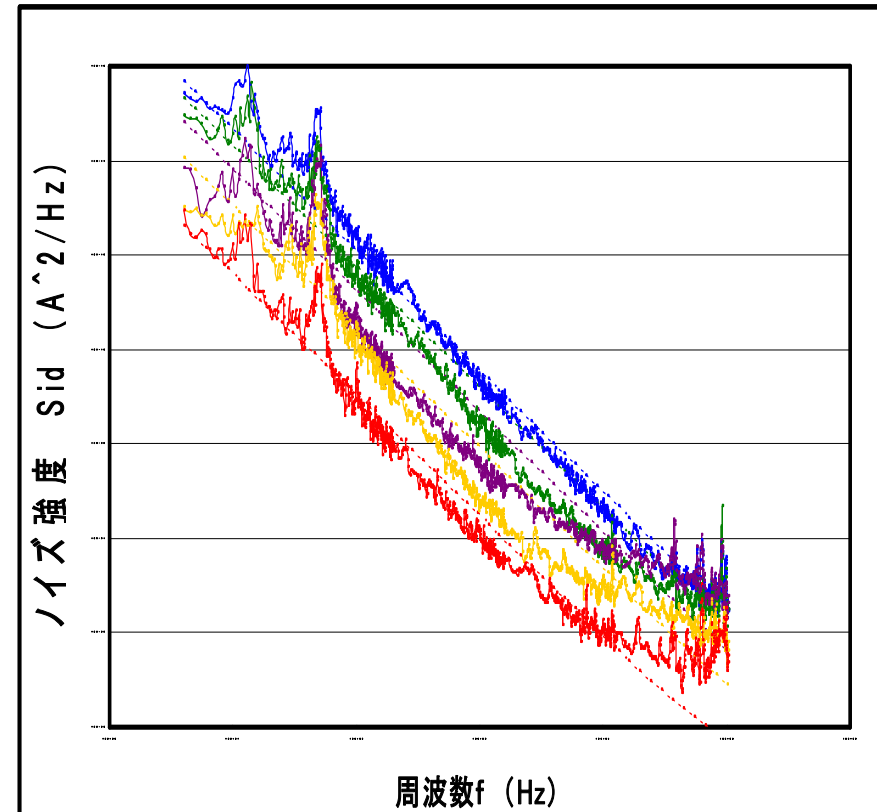
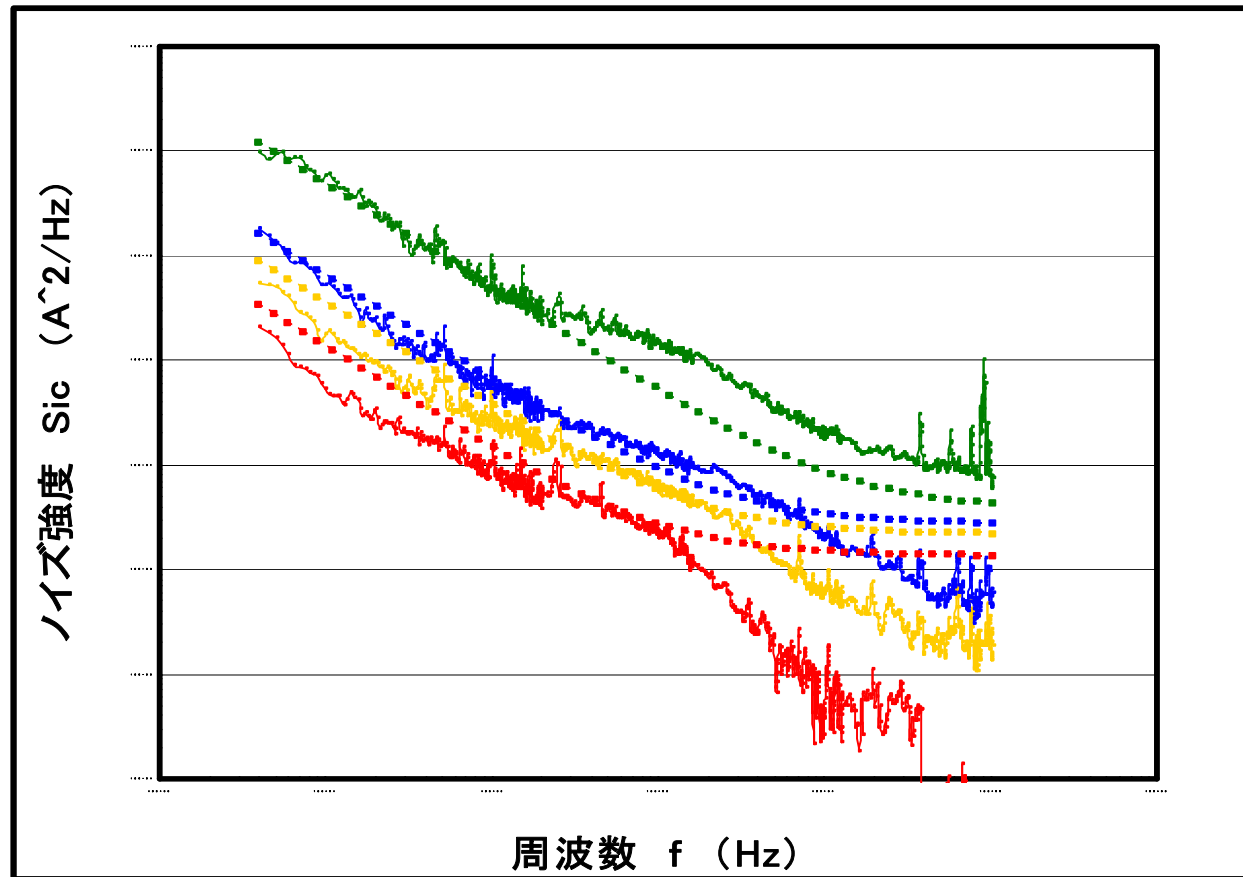


図.2 PchMOS

PchはNchの約1/3のノイズ強度
(サイズと電圧が同一の場合)

■ NPNバイポーラの $1/f$ ノイズ



バイポーラのノイズ強度はCMOSの約 $1/10 \sim 1/100$ 程度。
(Nデバイス同士で電流が同じ場合。表面から深いPN接合内で発生するため)

・・・シミュレーション値

§ 7. 特性テスト

コーナーモデル、
統計モデルとミスマッチ

■特性テスト

製造工程のばらつきにより、
デバイス特性は変動する



回路動作への影響は？



特性の変動をモデル化する



コーナ、統計モデル

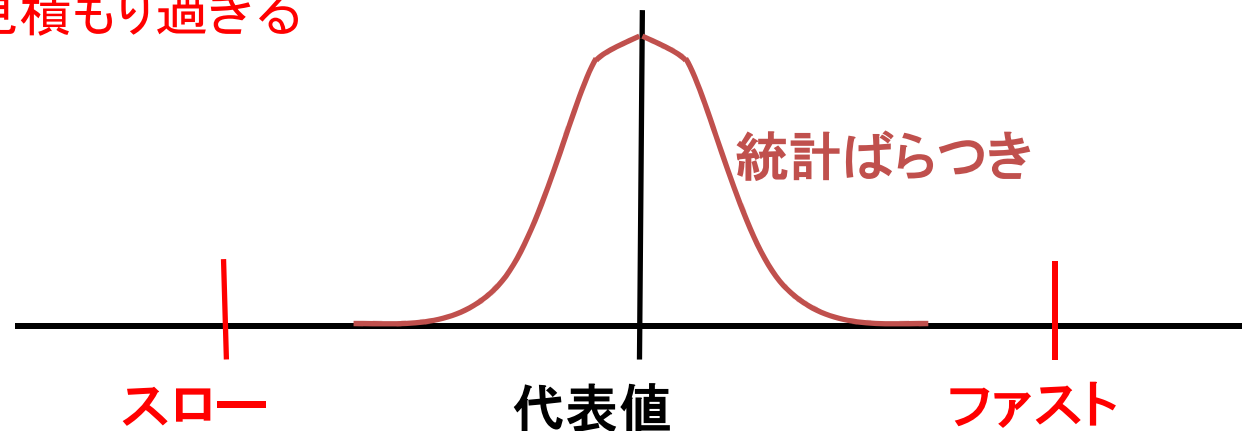


シミュレーションによる動作検証

■コーナーモデル、統計モデル

§ 1. コーナーモデル(スロー、ファスト)

- ・極限の場合の回路特性値(コーナー)
- ・短時間で計算できる。
- ・余裕を広く見積もり過ぎる



コーナー、統計モデルのばらつき幅

§ 2. 統計モデル

- ・パラメータ値を確率的に変動させる(モンテカルロ法)
- ・繰り返しのため時間がかかる
- ・実物に近いバラツキ幅を見積もれる

■コーナモデル、統計モデルの特徴

	コーナモデル	統計モデル
時 間	短	長
精 度	低	高
手 法	各要素の 組み合わせ	モンテカルロ法
特 性	極限	確率的
用 途	デジタル回路	アナログ回路

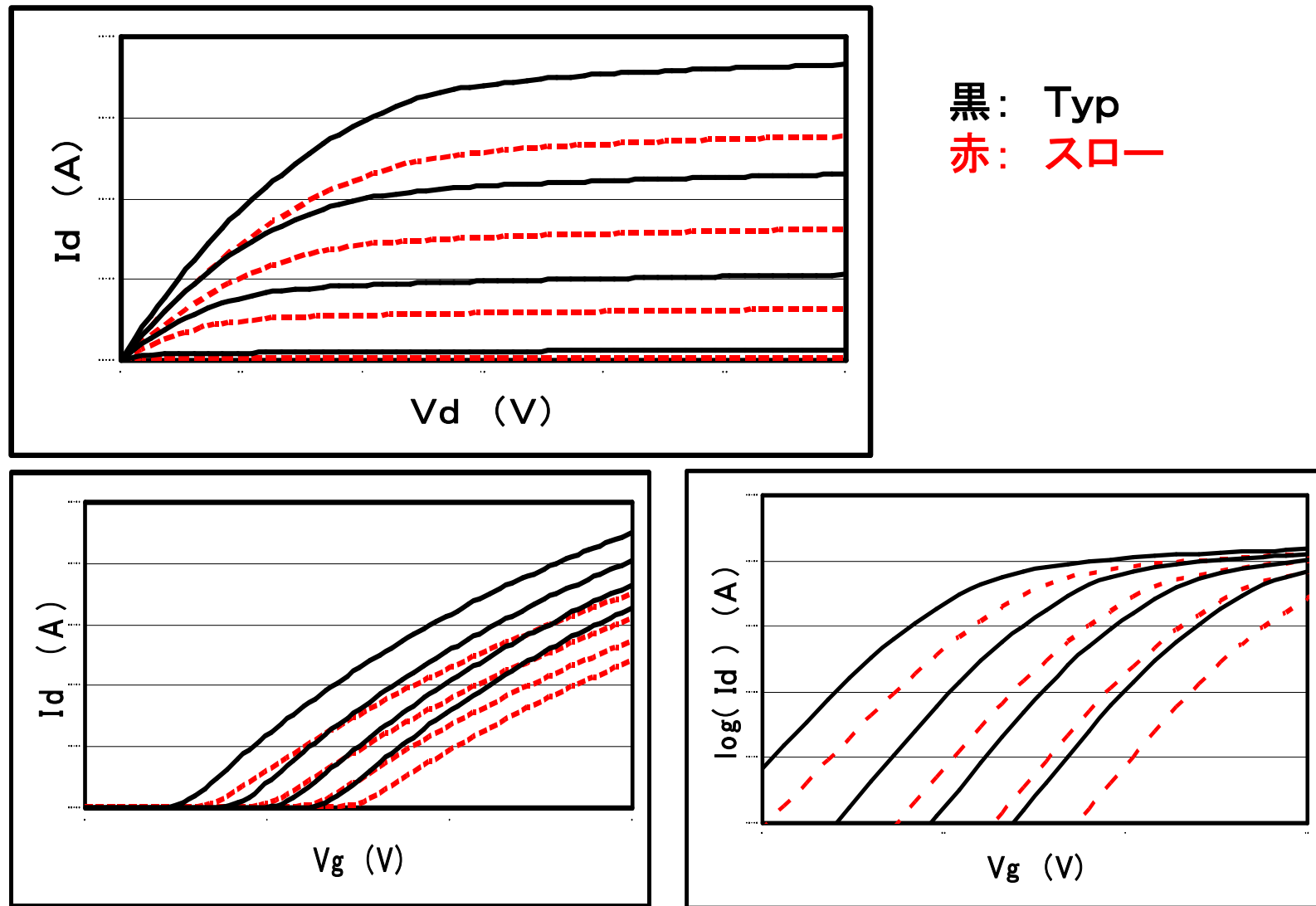
* 必要に応じて選択する。

■ コーナーモデル

最悪、最良状態を表すモデル。最悪状態が重視される。

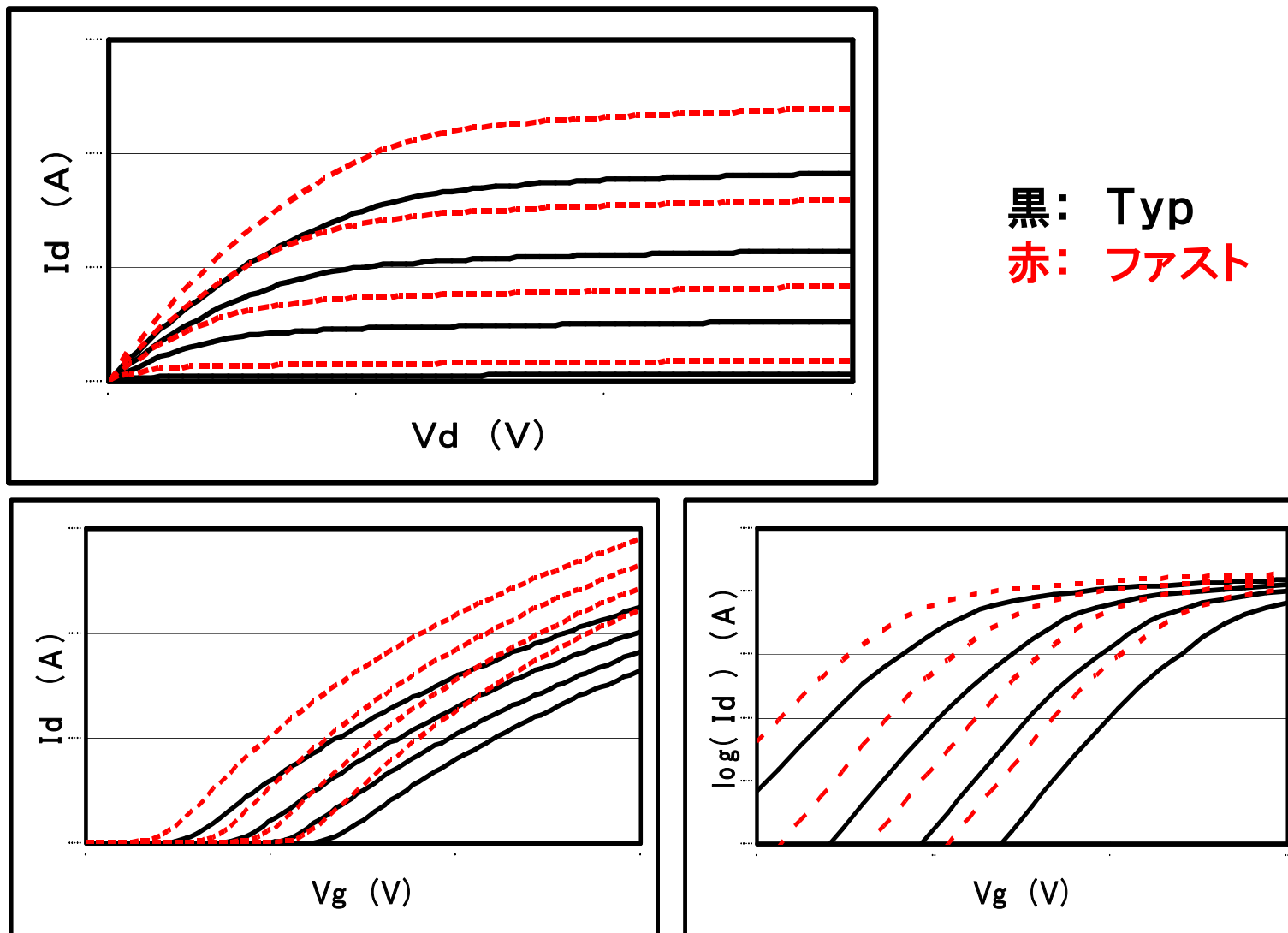
	スローモデル	ファストモデル
状態	ワースト; 最悪	ベスト; 最良
回路速度	遅	早
電流	少	多
容量	大	小
しきい値	高	低
ゲート長	長	短
条件	各要素の 最悪同士 の組み合わせ	各要素の 最良同士 の組み合わせ

■ コーナーモデルの例 (スロー: 重要)



I_d - V_g では基板バイアスを振った

■ コーナーモデルの例 (ファスト)



I_d - V_g では基板バイアスを振った

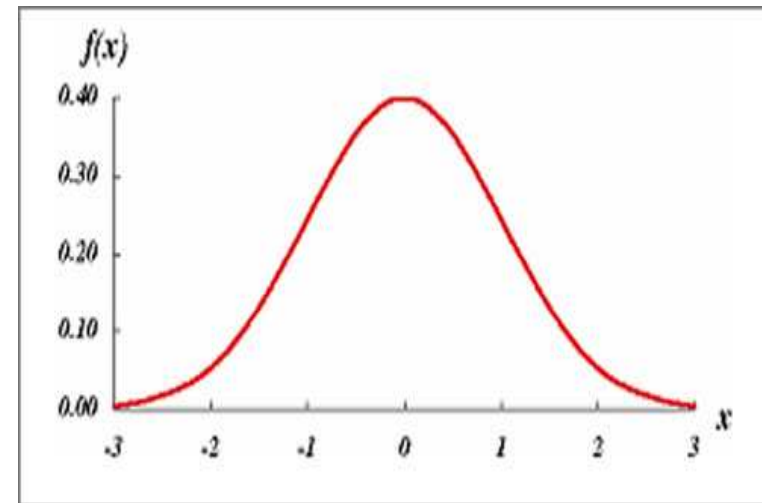
■統計モデル

モンテカルロ法

- ・F1レースで有名なモンテカルロのルーレットで勝つための計算方法として考案された。
- ・確率論的問題を解析するための手法。
- ・対象となる条件式に、**コンピュータで発生させた大量の乱数をあてはめる操作を繰り返すこと**によって近似解を求める。
- ・解析的な手法では解けない問題でも、解の値に接近できる。

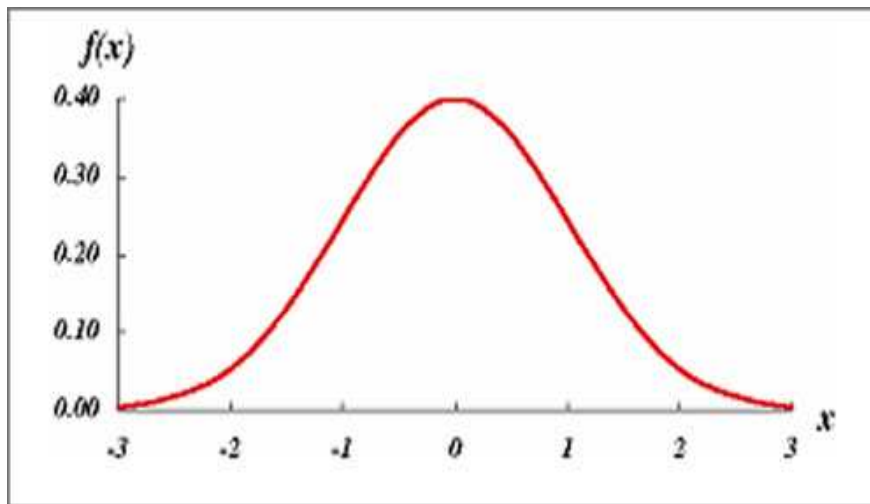
計算手法

ある変数をバラつかせる場合、
変動幅内で発生する確率を
正規分布として計算させる。



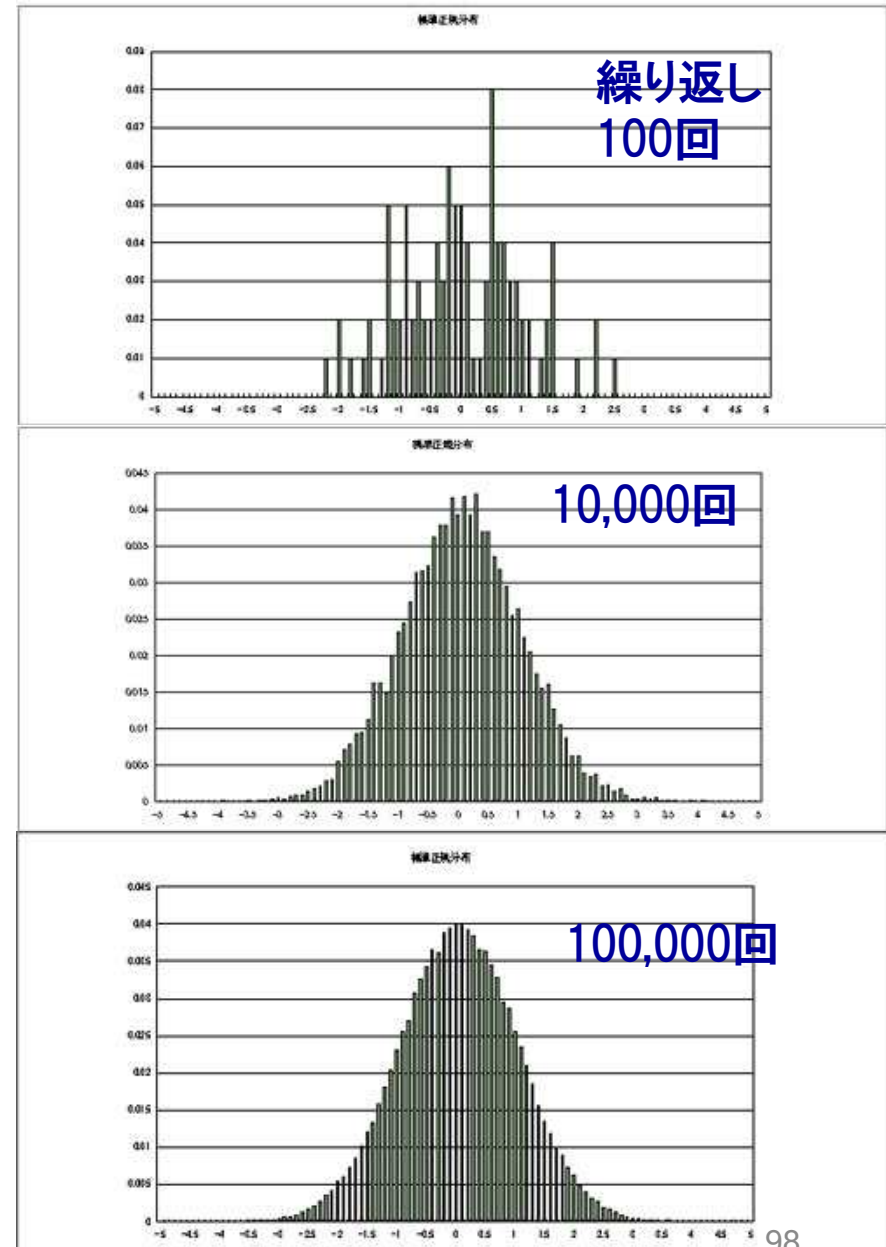
正規分布

■モンテカルロ法の実例



正規分布

標準偏差 σ
 $\pm 3\sigma$ で全体の99.7%を
カバーする。

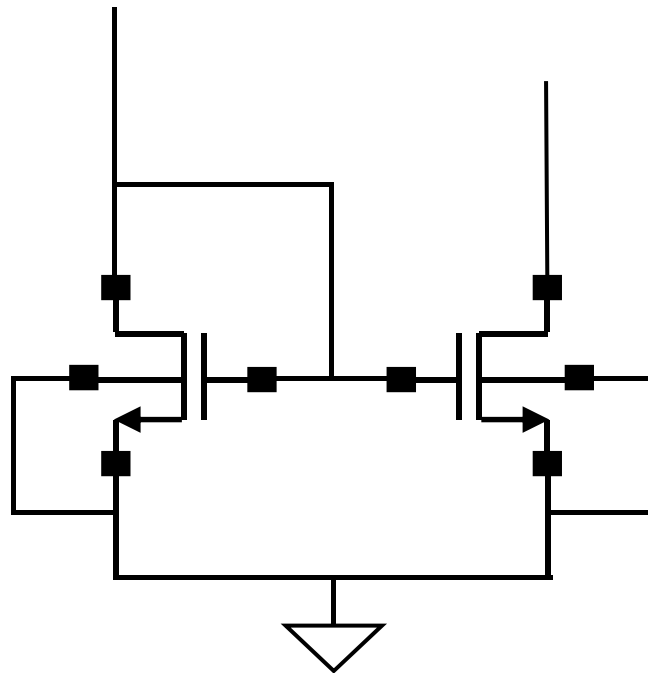


■統計モデルとミスマッチ

隣接したデバイスは完全に同一の特性ではない！



両者の違い(ミスマッチ)を考慮して設計する。



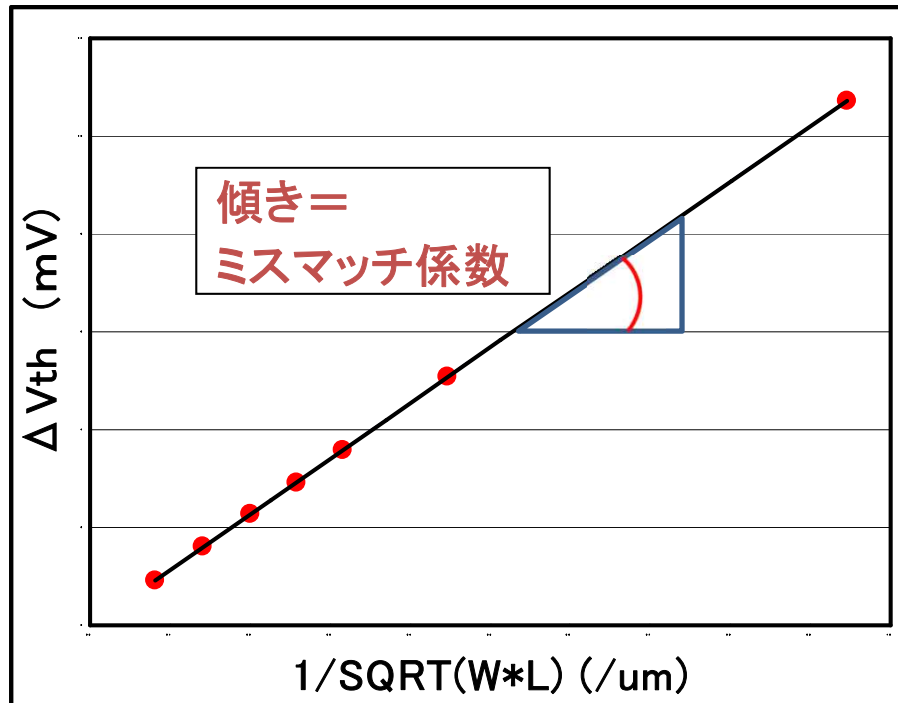
カレントミラー回路

統計モデル内に
ミスマッチをモデル化する。

* CMOSは微細化でミスマッチが
顕著になる。

* アナログ回路用

■しきい値 V_t のミスマッチ (Mis-Match)

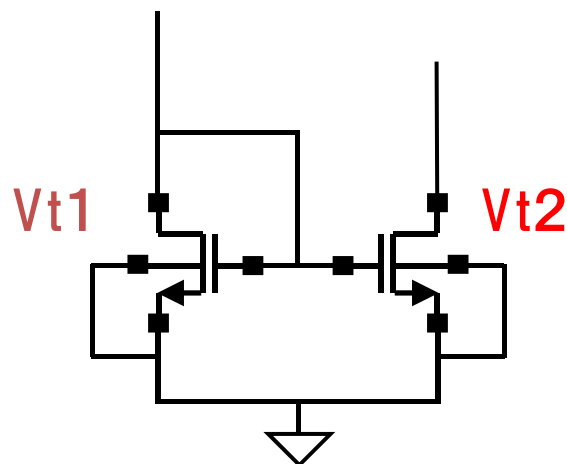


Pelglomの式

$$\Delta V_t = A / \sqrt{W * L}$$

A: ミスマッチ係数

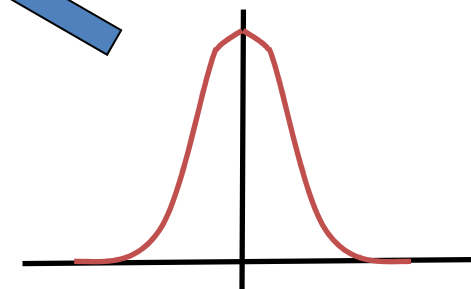
$\propto$ ゲート酸化膜厚



V_t の差
 $V_{t1} - V_{t2}$



標準偏差 $\sigma = \Delta V_{th}$



$V_{t1} - V_{t2}$ の分布

§ 8. 注意点

■ 回路シミュレータ

ニュートン・ラプソン法の計算方法

任意の関数 $f(x)$ について、 $f(x)=0$ となる点 x を求める。

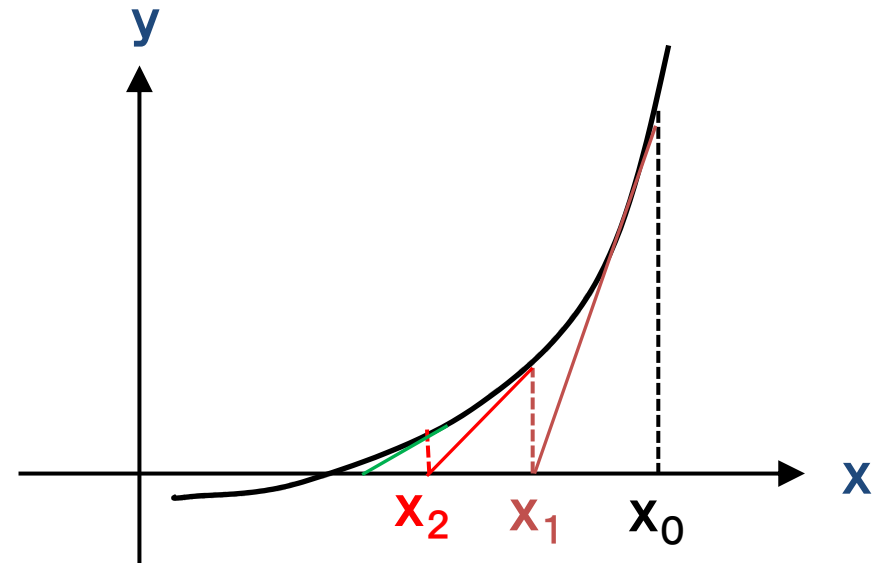
図のように適当な初期値 x_0 において $f(x)$ に接線を引けば、接線の方程式は

$$Y - f(x_0) = f'(x_0)(X - x_0) \quad (1)$$

であり、したがってこの接線と
X 軸との交点 x_1 は $Y=0$ において

$$x_1 = x_0 - f(x_0) / f'(x_0) \quad (2)$$

で与えられる。



次に x_1 での $f(x)$ への接線と X 軸との交点を x_2 とする、という操作を繰り返すと、
交点は $f(x)=0$ の解に近づく。

i 番目の繰り返しでは、

$$x_{i+1} = x_i - f(x_i) / f'(x_i) \quad (3)$$

になるので、適当な値 ε (収束半径) を決めておき、 $|x_{i+1} - x_i| < \varepsilon$ になったら、
 x_{i+1} を解とみなす。

■ 確認事項1

・シミュレーション

基本的に、**設計者の予測を確認するものである。**
設計者はシミュレーション結果が妥当なものか、
判断する必要がある。

・回路シミュレータの役割

意図した特性、性能を実現し得るかの**確認**、プロセス
パラメータの変動等による特性の変動**評価**など。

・大切なこと

自分で結果の予測を行い、シミュレーション結果が
異なった場合は**すぐに原因を考えてみる。**

*** バイポーラ、MOS等、能動素子の影響は強い。**

■ 確認事項2

・完全 (Perfect) なモデルはない
(抽出時点での最上品:Best)

・シミュレーション結果はモデルに依存
(不良原因の半分はモデルにある)

・シミュレーション結果を都合良く解釈しない
(実物と比較、検討する)

・精度の高いモデルと回路設計の経験
(アナログ回路設計に必須なもの)

・モデルの理解が回路設計の技術を向上させる
(できる人は皆、モデルも知っている)

以上、ご清聴ありがとうございました。