

令和3年度
集積回路設計技術・次世代集積回路工学特論
レポート題

群馬大学
松田順一

(1) しきい値電圧とリーク電流

下記のNch – MOSFETでしきい値電圧0.5V(室温 $T = 300\text{K}$)を得る場合の基板不純物濃度 N_A を求めなさい。また、このトランジスタのリーク電流(ゲート電圧ゼロにおけるドレイン電流)を求めなさい。

Nch-MOSFET

- ・ n^+ ゲート(n^+ ゲートのフェルミ電位: $\phi_{Fn^+} = -0.56\text{ V}$)
- ・界面固定電荷密度: $Q'_0 = (1.6 \times 10^{-19}) \times (2 \times 10^{10})\text{ C/cm}^2$
- ・ゲート酸化膜厚: $t_{ox} = 5\text{ nm}$
- ・ゲート幅: $W = 5\text{ }\mu\text{m}$, ゲート長: $L = 0.09\text{ }\mu\text{m}$
- ・ドレイン電圧: $V_{DS} = 0.1\text{ V}$
- ・基板バイアス: ゼロ
- ・短/狭チャネル効果: 無視

しきい値電圧

$$V_T = V_{FB} + \phi_0 + \gamma\sqrt{\phi_0}$$

$$\phi_0 = 2\phi_F + 6\phi_t \quad \phi_t = kT/q$$

酸化膜の誘電率: $\epsilon_{ox} = 3.84 \times 8.854 \times 10^{-14}\text{ F/cm}$

Siの誘電率: $\epsilon_{ox} = 11.7 \times 8.854 \times 10^{-14}\text{ F/cm}$

ボルツマン定数: $k = 1.38 \times 10^{-23}\text{ J/K}$

素電荷量 : $q = 1.6 \times 10^{-19}\text{ C}$

真性キャリア密度(室温): $n_i = 1.45 \times 10^{10}\text{ cm}^{-3}$

(2) ゲート～ソース間小信号容量 C_{gs}

強反転領域でのゲート～ソース間小信号容量 C_{gs} が以下になることを導出しなさい。

$$C_{gs} = - \left. \frac{\partial Q_G}{\partial V_S} \right|_{V_G, V_D, V_B} = C_{ox} \frac{2(1+2\eta)}{3(1+\eta)^2}$$

導出にあたり、以下を参考にしなさい。

$$Q_G = WLC'_{ox} \left[\frac{V_{GS} - V_T}{\alpha} \left(\alpha - 1 + \frac{2}{3} \frac{1 + \eta + \eta^2}{1 + \eta} \right) + \gamma \sqrt{\phi_0 + V_{SB}} \right] - Q_o$$

$$\eta = 1 - \frac{V_{DS}}{V'_{DS}}, \quad V_{DS} \leq V'_{DS} \quad V'_{DS} = \frac{V_{GS} - V_T}{\alpha}$$

$$\alpha \Rightarrow \alpha_1 = 1 + \frac{\gamma}{2\sqrt{\phi_0 + V_{SB}}} = 1 + \frac{dV_T}{dV_{SB}}$$

α_1 の V_S 微分は無視する

W : ゲート幅

L : ゲート長

C'_{ox} : 単位面積当たりのゲート酸化膜容量

(3) MOSFETの微細化に伴う問題

MOSFETの微細化に伴う問題とその対策について考察しなさい。

(4) MOSFETのスケージング則

MOSFETの定電界スケージング則のメリットとデメリットを説明しなさい。

(5) バイポーラ・トランジスタ特性(公開講座)

Early 効果の発生メカニズムについて説明し、その効果を抑制する方法を考察しなさい。

- ・レポート提出期限 2021年7月30日(金)
- ・レポート提出方法 電気系事務室へ直接提出
または電子メールで下記アドレスの
戸谷さんと杉山さんに提出

戸谷育恵 <toya@gunma-u.ac.jp> 杉山早苗 <sanae@gunma-u.ac.jp>