

第487回群馬大学アナログ集積回路研究会
令和4年度 集積回路設計技術・次世代集積回路工学特論公開講座

接地フィールドプレートデュアルRESURF n-LDMOSトランジスタの スイッチング特性

松田順一
群馬大学

2022年6月21日 (火) 16:30~17:30

概要

- n-LDMOSトランジスタの用途と要求特性
 - 従来（基本）n-LDMOSトランジスタの問題点
 - 40 V 接地フィールドプレートデュアルRESURF n-LDMOSトランジスタ特性
 - デバイス構造、 I_D - V_{DS} 特性、ホットキャリア耐性（電界プロファイル）、スイッチング特性解析
 - 100 V 接地2ステップフィールドプレートデュアルRESURF n-LDMOSトランジスタ特性
 - デバイス構造、 I_D - V_{DS} 特性、ホットキャリア耐性（電界プロファイル）、スイッチング特性解析
 - まとめ
 - 謝辞
 - 参考文献
-
- シミュレーション: 3次元デバイスシミュレータ（アドバンスソフト社の**3D-TCAD**）を使用

n-LDMOSトランジスタの用途と要求特性

- ・ 低電力の電圧変換用の集積型スイッチングデバイス
- ・ パワーアンプの出力増幅用デバイス

例：POL (Point of Load) 用電源、液晶パネルのLEDバックライト用電源、携帯電話及び携帯電話基地局用パワーアンプなど

民生品

スイッチング電源の
高効率化と高周波化（小型化）

- (1) 低特性オン抵抗
- (2) 低スイッチング損失

+

車載品（携帯電話基地局も含む）

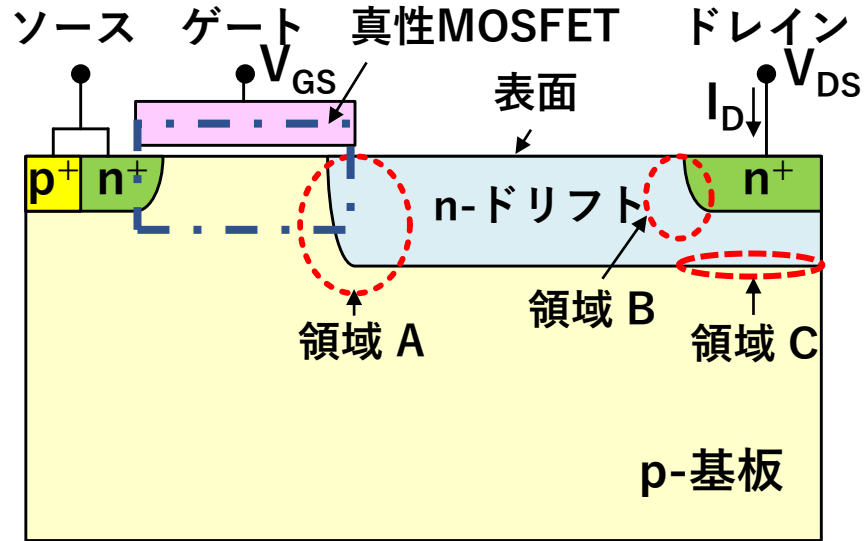
民生品の要求に加えて**高信頼性**

- (3) 高ホットキャリア耐性
- (4) 広SOA（Safe Operating Area）

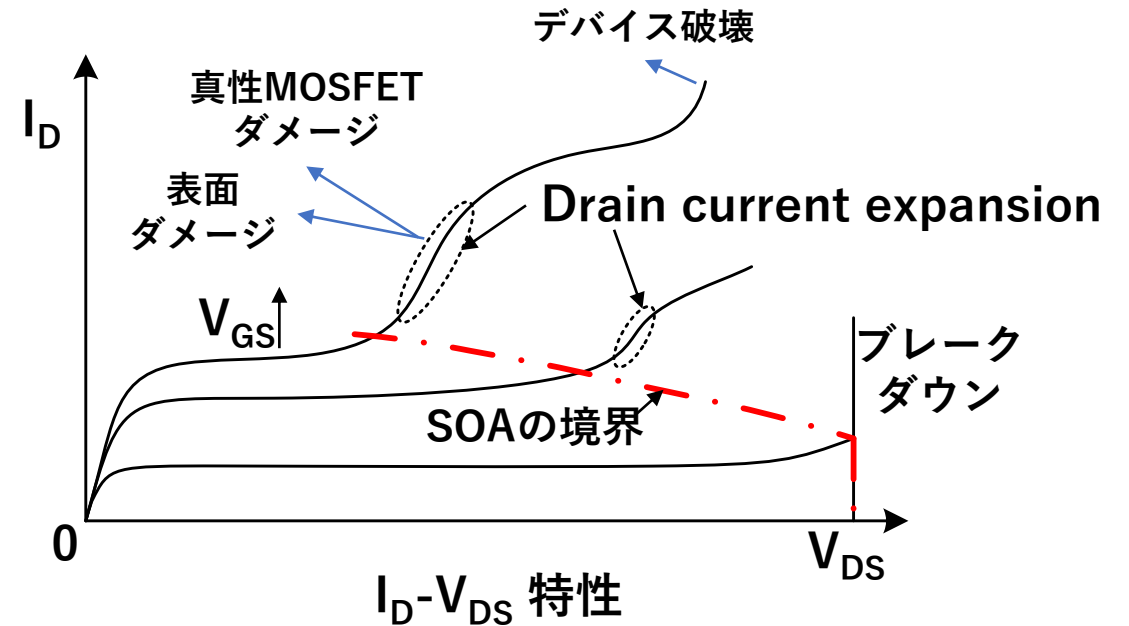


(1)-(4)の特性を満たす必要がある

基本n-LDMOSトランジスタの問題点



基本n-LDMOSの断面

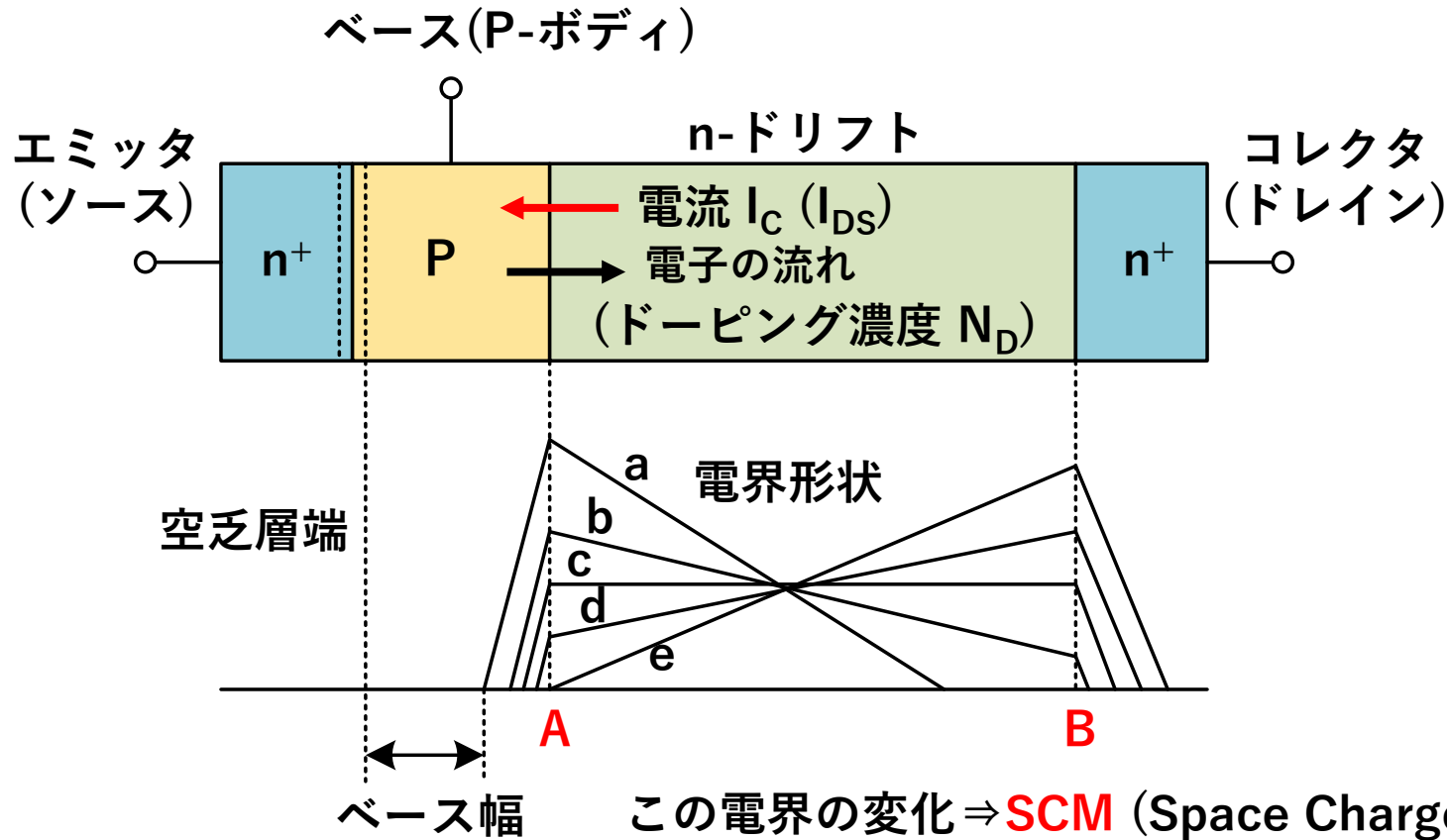


I_D - V_{DS} 特性

- 問題
- (1) **低ホットキャリア耐性**
⇒ 領域 A 内の高電界に起因: DAHC (drain avalanche hot carriers) を誘起
 - (2) **ドレイン電流の拡張** (Drain current expansion (CE)) : 狭いSOA
⇒ 領域 B 内のKirk効果による高電界に起因
 - (3) **高特性オン抵抗**
⇒ n-ドリフト領域の低不純物ドーピング濃度に起因
 - (4) **耐圧の低下**
⇒ 領域 C 内の高電界に起因

以降簡単化して、
n-LDMOS → LDMOSと記す

Kirk効果のモデル



■ I_C (I_D) 増大

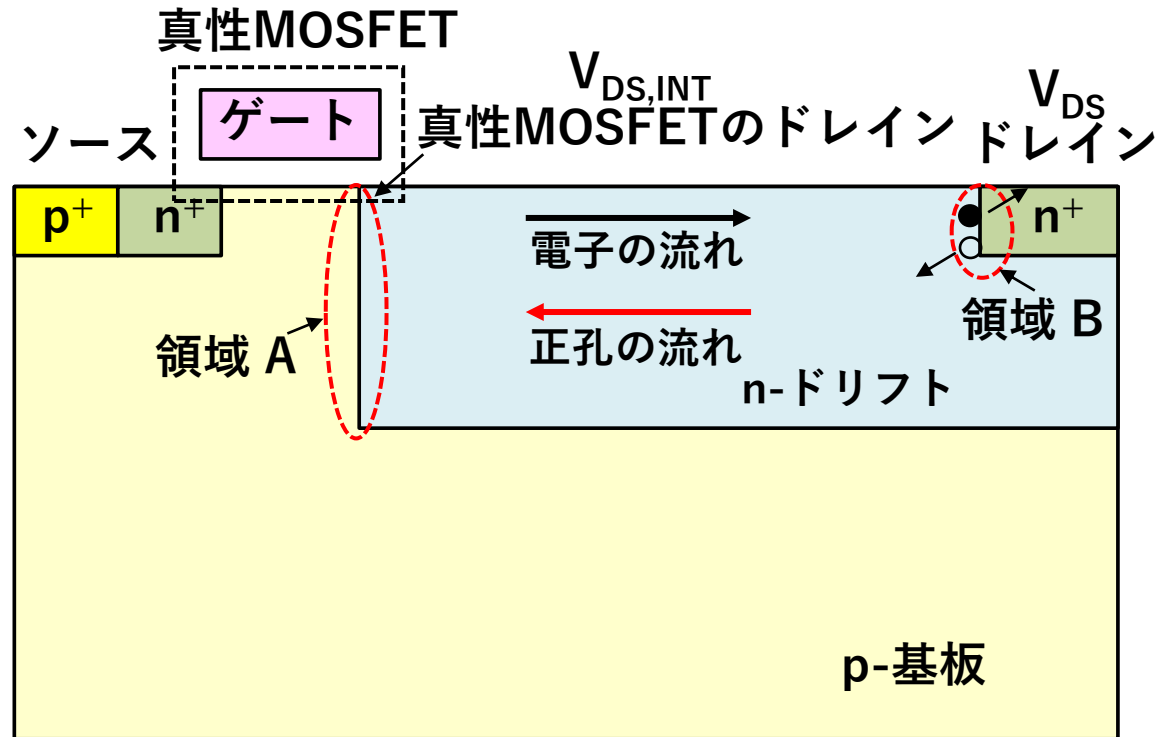
- ⇒ 電界形状は“a” から “e”へ変化
- ⇒ 電界ピークは“A” から “B”へ移動
- ⇒ ベース幅拡大
(**Base widening or Kirk effect**)

■ N_D 増大

- ⇒ 電界ピークが“A” から “B”へ移動
するにより高い I_C (I_D) が必要
- ⇒ 固定 I_C (I_D) では “B” での電界は低下

Ref. B. Jayant Baliga, “Fundamentals of Power Semiconductor Devices,” Springer Science + Business Media, 2008.

Drain Current Expansion (CE) のモデル

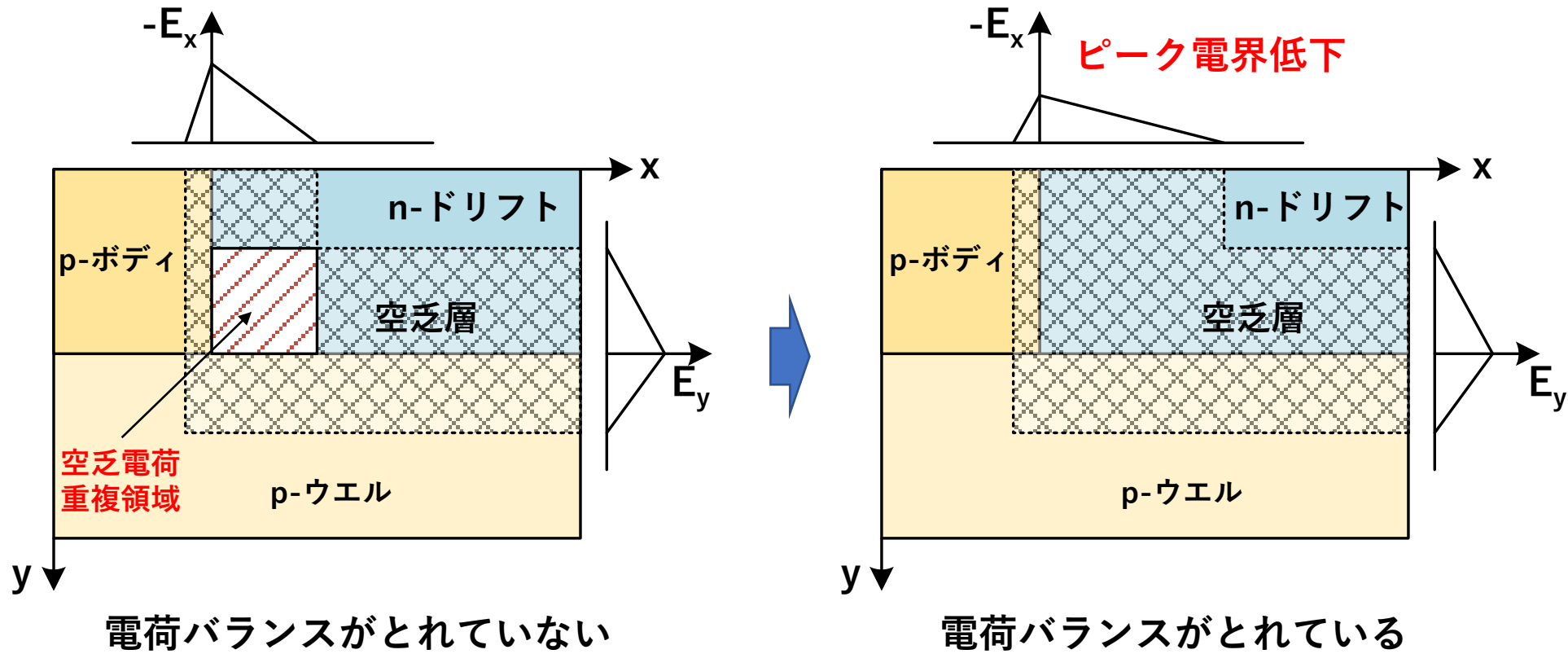


- 電子
- 正孔

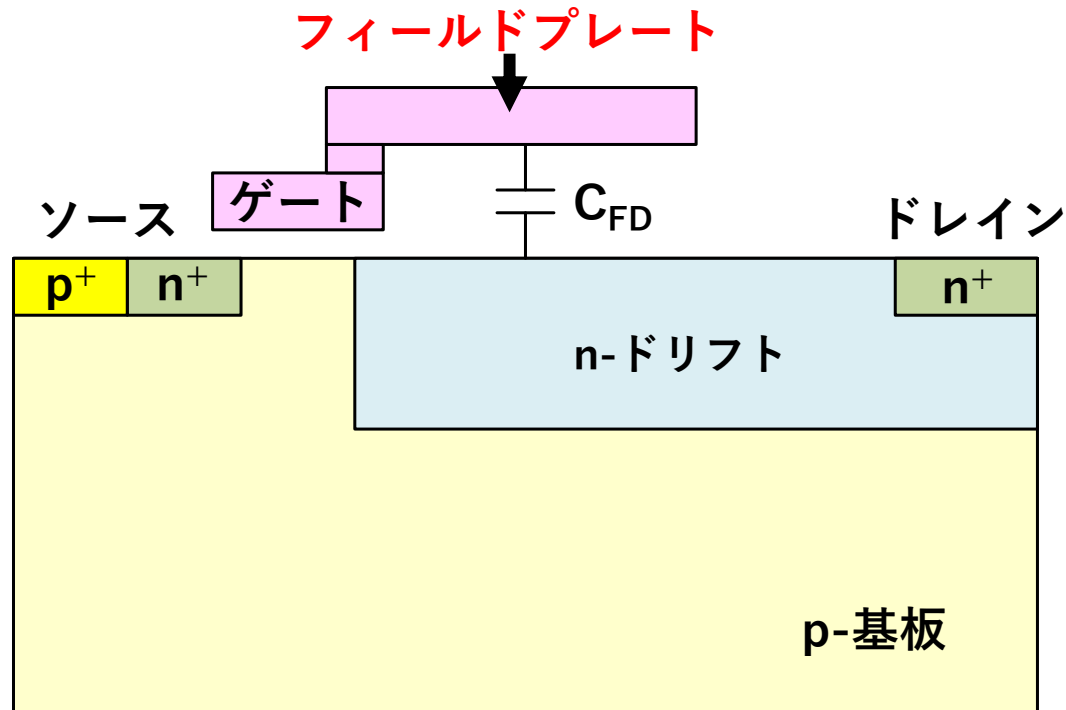
- ① 電子による高電流
- ② 領域 B で高電界発生 (∵ Kirk 効果)
- ③ 領域 B でインパクトイオン化による電子正孔対発生
- ④ 領域 B から正孔電流発生
- ⑤ n-ドリフト領域で抵抗低下 (伝導度変調)
- ⑥ 真性MOSFETのドレイン電圧 $V_{DS,INT}$ 上昇
- ⑦ I_D 増大 (CE発生) (∵ 真性MOSFET: 線形動作)
- ⑧ I_D 飽和 (∵ 真性MOSFET: 飽和動作)

Ref. S. Poli, S. Reggiani, R. K. Sharma, M. Denison, E. Gnani, A. Gnudi, and G. Baccarani, IEEE Trans. Electron Devices, 59, p. 745 (2012).

RESURF (Reduced Surface Field)のモデル

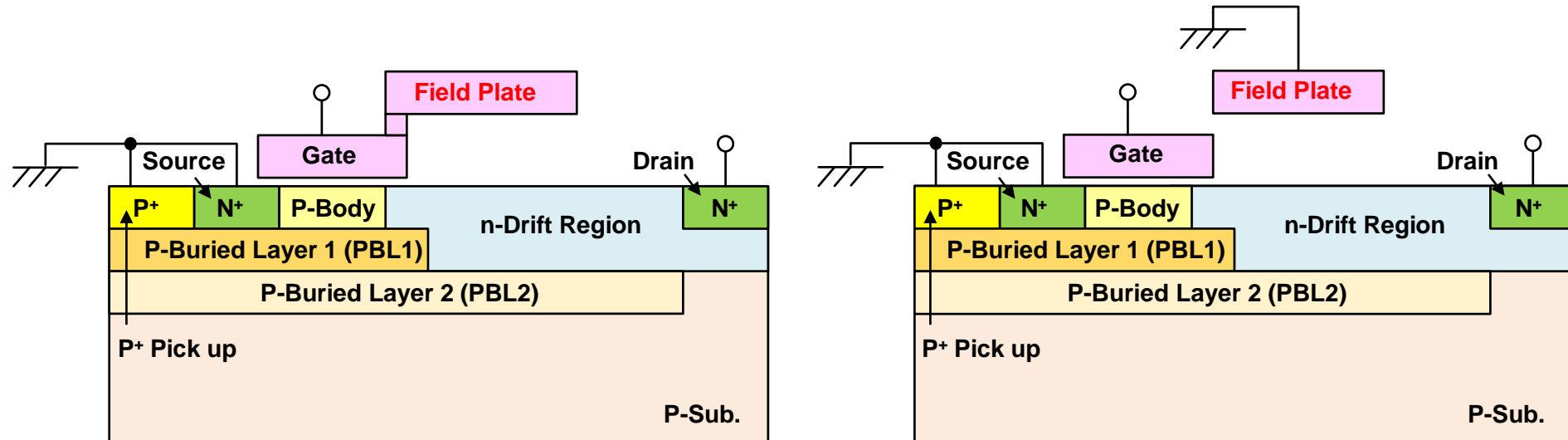


汎用n-LDMOSトランジスタ



- フィールドプレート
⇒ n-ドリフト領域のRESURF効果の補強
- フィールドプレートとn-ドリフト間容量 C_{FD}
⇒ 帰還容量増大 (ミラー容量増大)
⇒ スイッチング損失増大
(高周波化に不向き)

40 V デュアルRESURF n-LDMOSトランジスタ: 従来型と提案型の構造比較



(a) 従来型 (ゲート接続フィールドプレート)

(b) 提案型 (接地フィールドプレート)

■ Dual RESURF (PBL1とPBL2)構造

- ・ PBL1: ゲート近傍n-ドリフト領域のRESURF強化 (高ホットキャリア耐性確保)
- ・ PBL2: n-ドリフト領域全体の電界の均一化 (耐圧上昇)

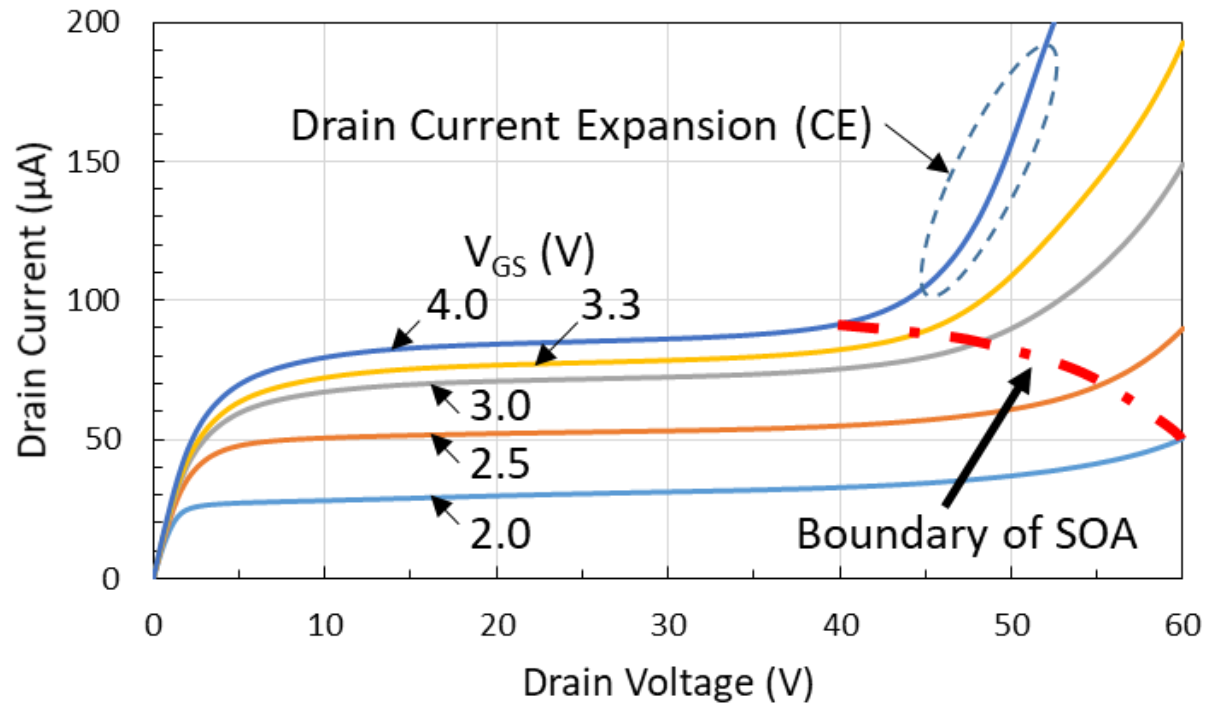
■ n-ドリフト領域の不純物ドーピング濃度増大 (PBL1とPBL2によりこの増大が可能)

- ・ CEの抑制
- ・ 特性オン抵抗低減

■ 接地フィールドプレート

- ・ n-ドリフト領域のRESURF補強
- ・ 帰還容量低減 (スイッチング損失低減)

I_D - V_{DS} 特性



提案型デバイスの I_D - V_{DS} 特性 (1セル分)

1セル面積 $\Rightarrow 3.555 \mu m \times 0.3 \mu m = 1.0665 \mu m^2$

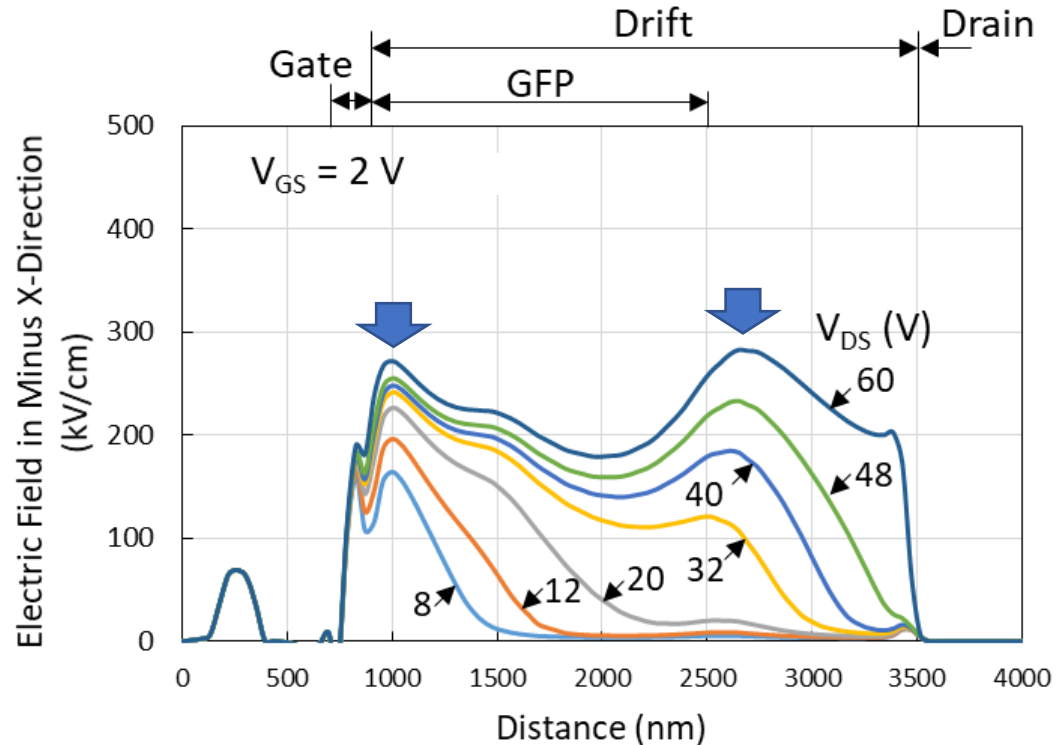
- 電流増大 (CE) のない領域 (SOA領域)
 $V_{DS} \leq 40 V$ at $V_{GS} = 4 V$ (V_{GS} 最大定格電圧)
 $V_{DS} \leq 45 V$ at $V_{GS} = 3.3 V$ (V_{GS} 動作電圧)
 $\Rightarrow 40V$ 動作に対し広SOA確保

従来型LDMOS外挿しきい値電圧: 1.05 V
提案型LDMOS外挿しきい値電圧: 1.05 V
($V_{DS} = 0.1 V$ での値)

従来型LDMOSオン抵抗: 39.49 m Ω mm²
提案型LDMOSオン抵抗: 40.83 m Ω mm²
($V_{GS} = 3.3 V$, $V_{DS} = 0.5 V$ での値)

0.18 μm CMOS compatible process

界面に沿った電界プロファイルの V_{DS} 依存性



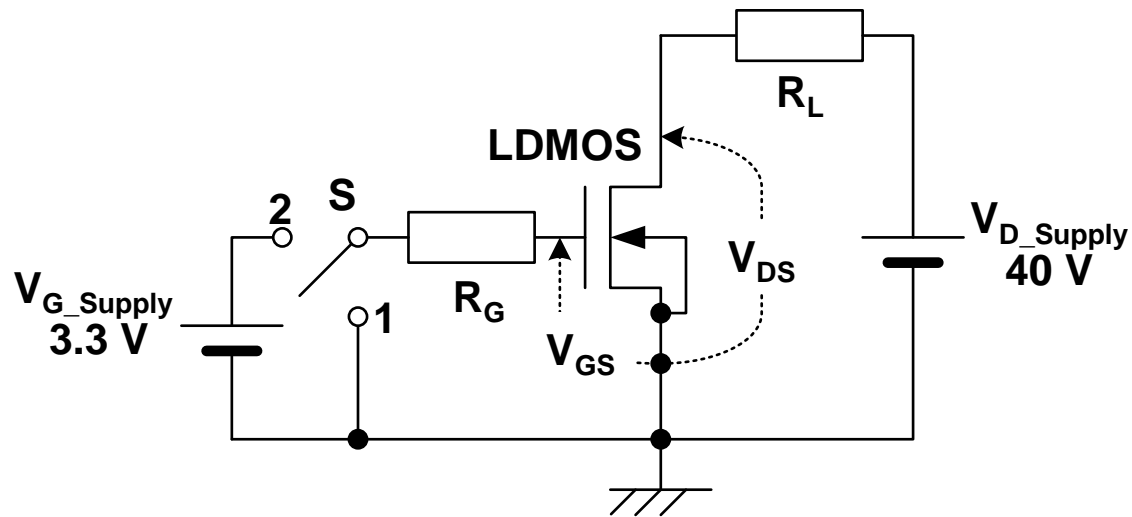
提案型デバイスの表面に沿った
電界 (x方向) プロファイルの V_{DS} 依存性

- ゲート側ドリフト端近傍の電界
 - ⇒ ピークが V_{DS} の増大に伴い上昇する傾向
 - ⇒ $V_{DS} \geq 20V$ で上昇の割合低下 (飽和する傾向)
 - ⇒ 高 V_{DS} でも高ホットキャリア耐性を得る可能性有り
 - ⇒ PBL1によるRESURF強化に起因 (ブレークダウン発生の臨界電界 $\sim 300kV/cm$)

- $2500 \leq x \leq 2700nm$ の領域の電界
 - ⇒ ピークが V_{DS} の増大に伴い上昇する傾向
 - ⇒ GFP端及びPBL2端における電界集中に起因

GFP: Grounded Filed Plate

40 V n-LDMOS トランジスタのスイッチング特性解析回路



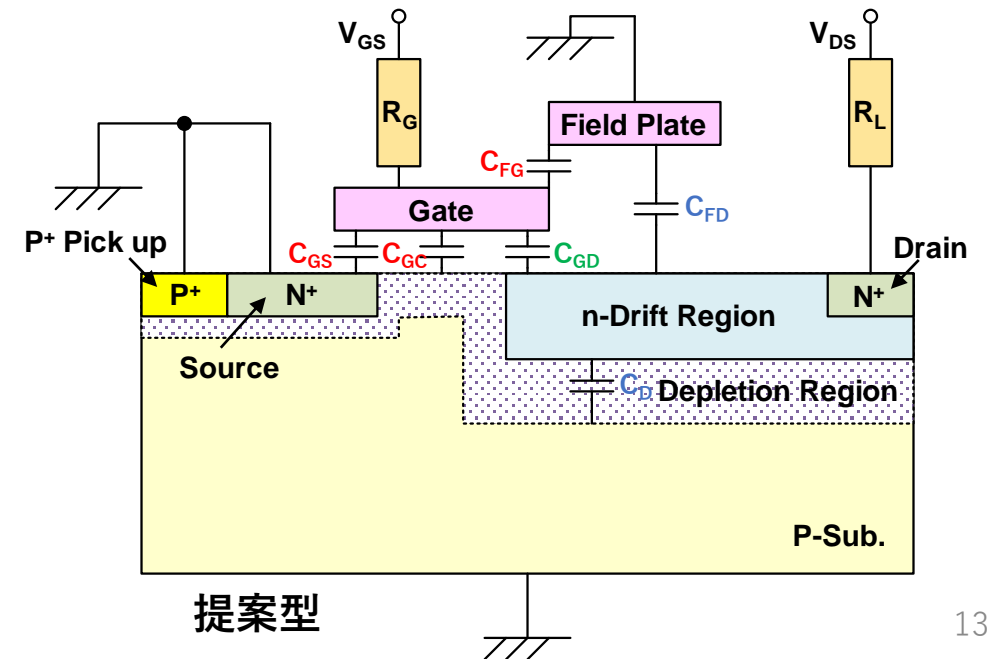
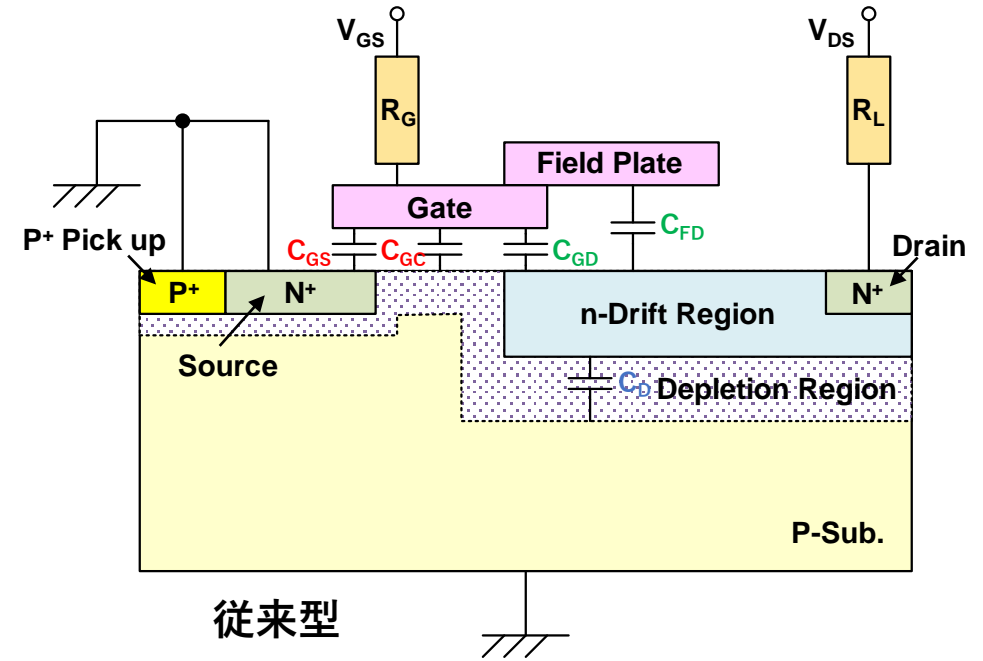
R_G : 1.07, 2.137, 3.20, 5.33 Ωmm^2
 R_L : 2.13, 3.32, 5.33, 7.47, 10.67 Ωmm^2
(LDMOS 面積: 1 mm^2 にした場合)

スイッチング特性解析回路

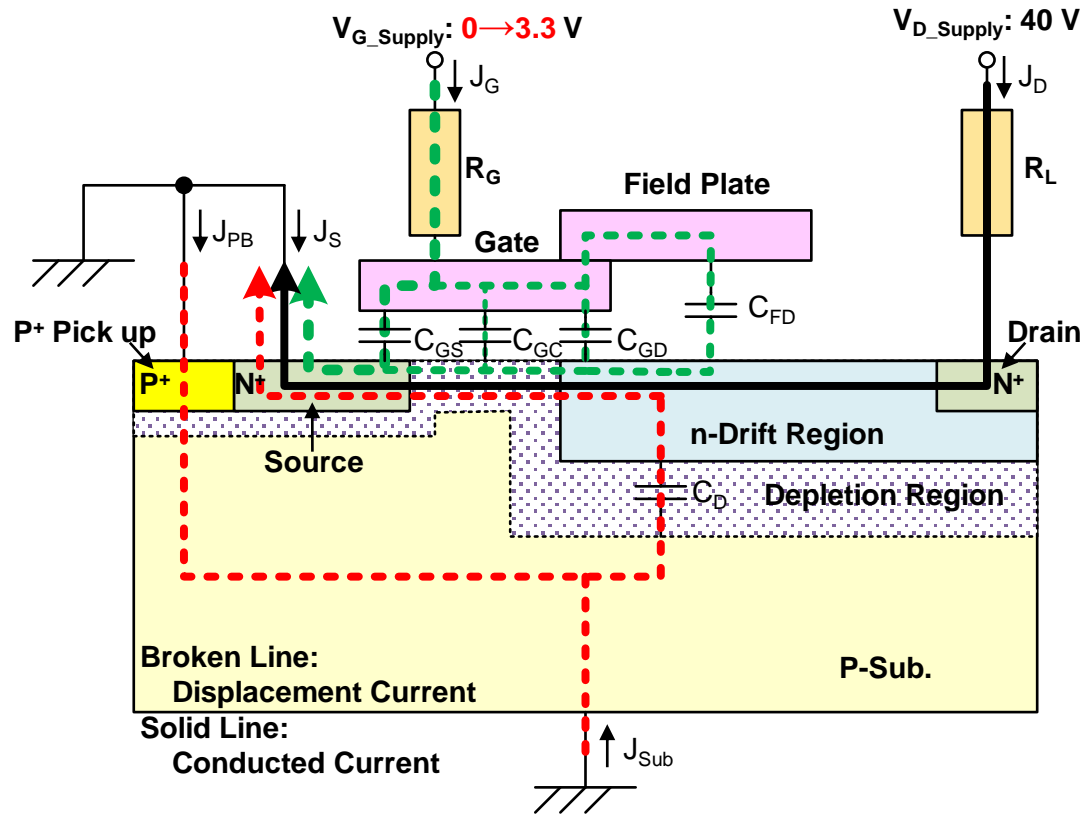
寄生容量

Capacitance	Conventional	Proposed
Input capacitance	$C_{GS} + C_{GC}$	$C_{GS} + C_{GC} + C_{FG}$
Feedback capacitance	$C_{GD} + C_{FD}$	C_{GD}
Output capacitance	C_D	$C_D + C_{FD}$

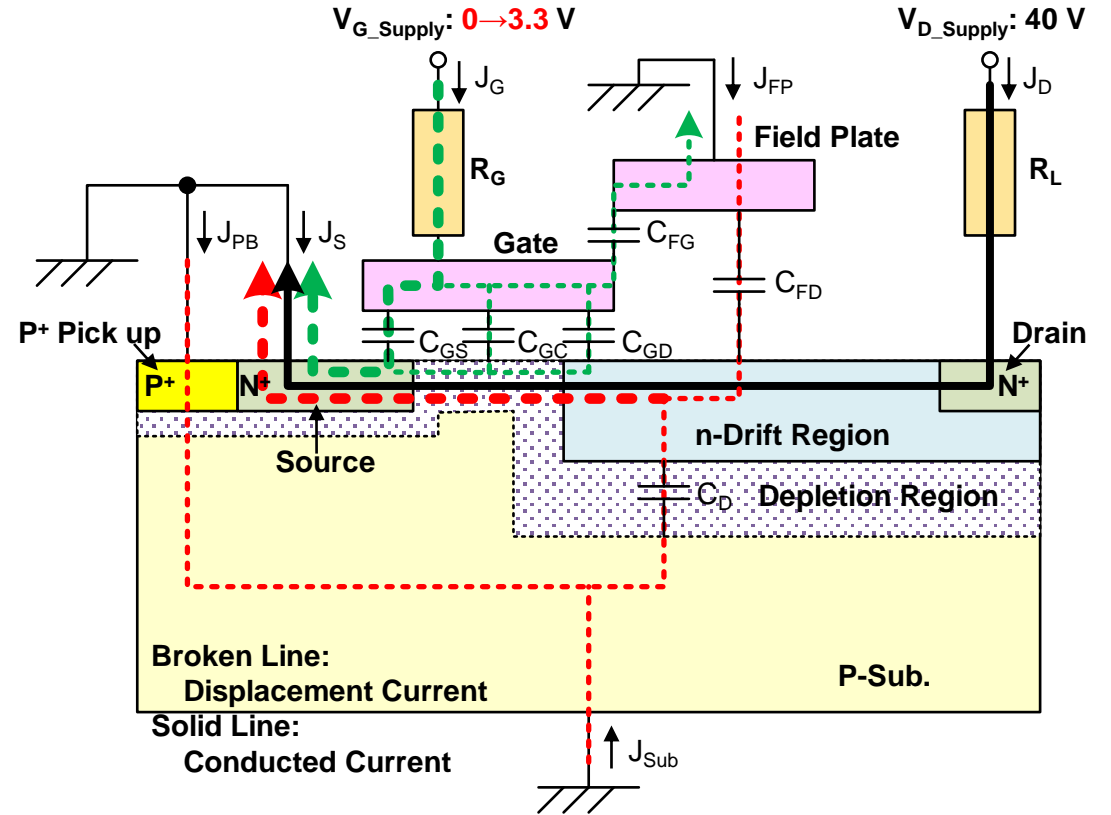
- C_{GS} : ゲート・ソース間容量
- C_{GC} : ゲート・チャネル間容量
- C_{FG} : フィールドプレート・ゲート間容量
- C_{GD} : ゲート・ドレイン間容量
- C_{FD} : フィールドプレート・ドリフト間容量
- C_D : 空乏層容量



ターンオン過程の電流経路



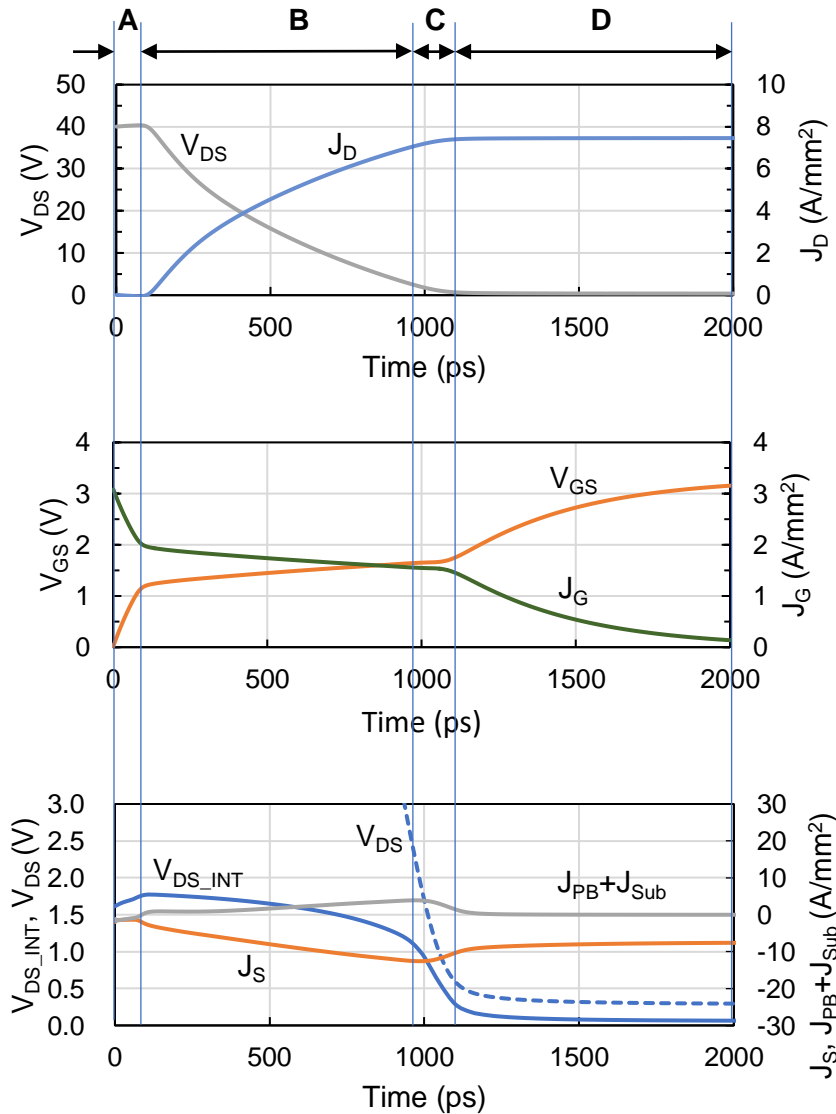
(a) 従来型 (ゲート接続フィールドプレート)



(b) 提案型 (接地フィールドプレート)

上図は $V_{GS} > V_T$ の場合: V_{GS} が V_{G_Supply} に達すると寄生容量を流れる変位電流は消滅して、ドレインからソースへの伝導電流が流れる。

従来型LDMOSターンオン特性



(A) $V_{GS} < V_T$: 真性MOSFETオフ状態

- V_{GS} が上昇するが、 V_{DS} と J_D は変わらない。
- J_G が入力容量 (C_{GS}) と帰還容量 ($C_{GD}+C_{FD}$) を充電する。
- V_{DS_INT} の上昇が出力容量(C_D)を充電する。

(B) $V_{GS} > V_T$: ゲートプラトー状態 (1)

- V_{GS} がほぼ一定(僅かに上昇)、 V_{DS} が大きく低下し、 J_D は大きく上昇する。
- V_{DS} の大幅な低下と V_{DS_INT} の低下により、 J_G が帰還容量 ($C_{GD}+C_{FD}$) を充電するので、**Miller効果が発生**する。(この過程の帰還容量を出力側(ドレイン側)から見ると出力容量に見えるため、この充電はその出力容量の放電とも考えられる。)
- V_{DS} の大幅な低下による出力容量(C_D)の放電により、変位電流($J_{PB}+J_{Sub}$)が上昇する。
- **従来型のB領域は提案型に比べると長い。**

(C) $V_{GS} > V_T$: ゲートプラトー状態 (2)

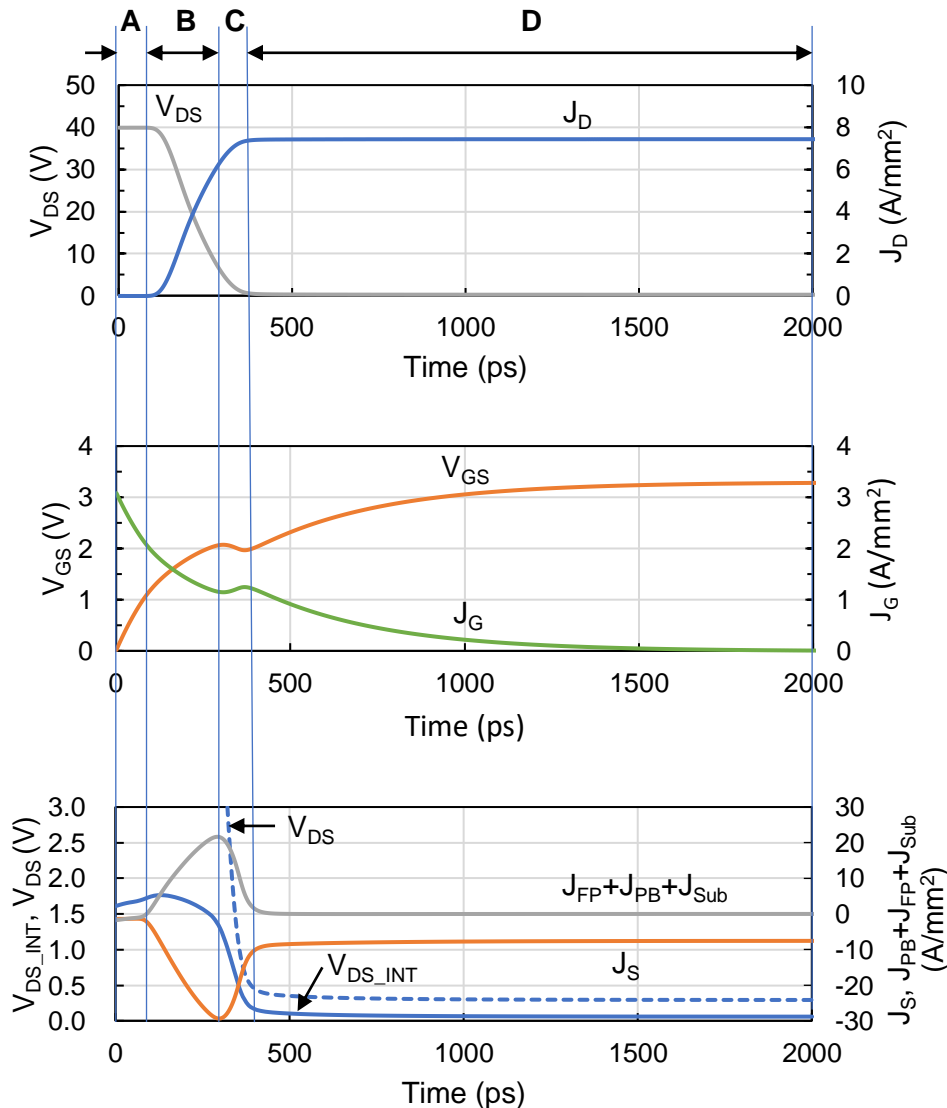
- ゲート側ドリフト端近傍の**RESURF効果が消滅**し、 V_{DS_INT} の急激な低下が発生する。

(D) $V_{GS} > V_T$: 真性MOSFETオン状態 (LDMOSオン状態)

- V_{GS} が再上昇して V_{G_Supply} に到達し、 J_G はゼロ、 V_{DS} はオン電圧、 J_D はオン電流になる。
- J_G が入力容量 ($C_{GS}+C_{GC}$) と帰還容量 ($C_{GD}+C_{FD}$) を充電する。

$$R_G = 1.07 \Omega \text{ mm}^2, R_L = 5.33 \Omega \text{ mm}^2, \text{LDMOS 面積 } 1 \text{ mm}^2$$

提案型LDMOSターンオン特性



(A) $V_{GS} < V_T$: 真性MOSFETオフ状態

- V_{GS} が上昇するが、 V_{DS} と J_D は変わらない。
- J_G が入力容量 ($C_{GS}+C_{FG}$) と帰還容量 (C_{GD}) を充電する。
- V_{DS_INT} の上昇が出力容量(C_D+C_{FD})を充電する。

(B) $V_{GS} > V_T$: 真性MOSFETオン開始

- V_{GS} が上昇し、 V_{DS} が大きく低下し、 J_D は大きく上昇する。
- J_G が入力容量 ($C_{GS}+C_{GC}+C_{FG}$) と帰還容量 (C_{GD}) を充電する。
- V_{DS} は大きく低下するが、 V_{DS_INT} の低下は僅かである (あまり変化しない)。
⇒ C_{GD} の充電は少なく、この領域で**ゲートプラトー(Miller効果)は発生しない**。
(V_{DS_INT} の僅かな変化は、(1)変位電流($J_{FP}+J_{PB}+J_{Sub}$)の大幅な増大と、(2)従来型に比べて提案型のドリフト領域の**RESURF効果がより強い**ことに起因する。)
- J_{FP} は出力容量(C_{FD})を放電し、 $J_{PB}+J_{Sub}$ は出力容量(C_D)を放電する。
- **提案型のB領域は従来型に比べると短い。**

(C) $V_{GS} > V_T$: 変形ゲートプラトー状態

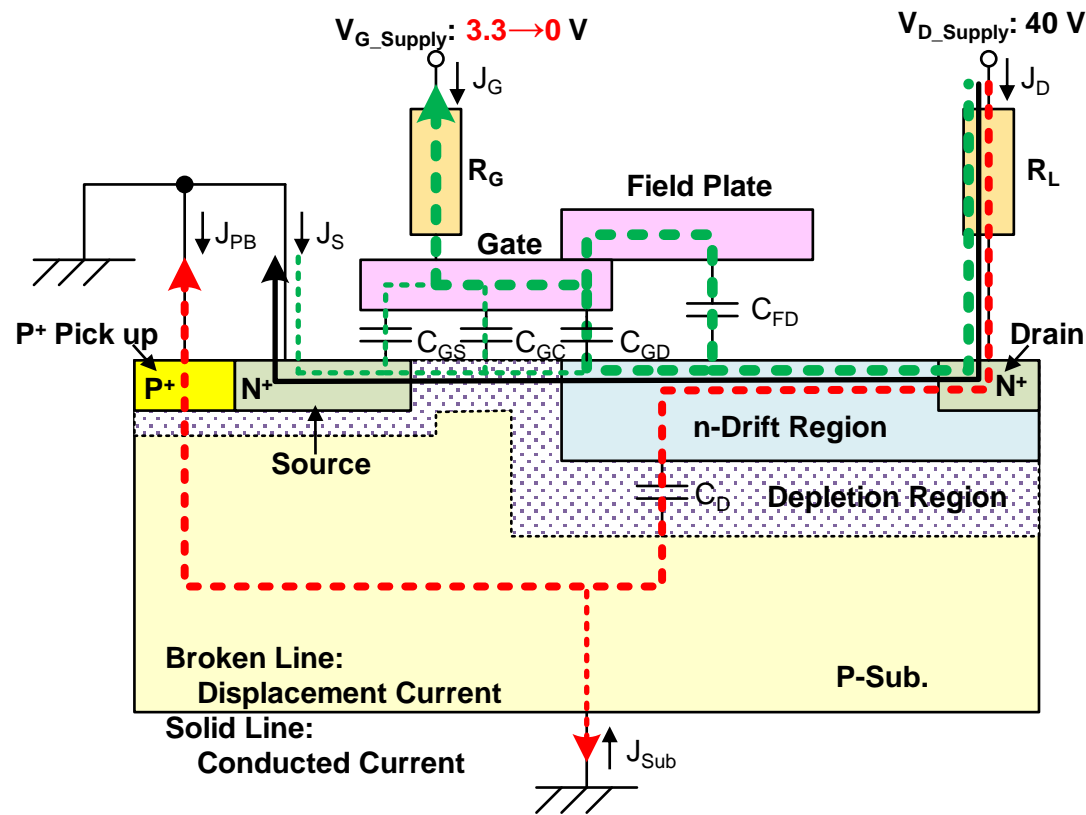
- V_{GS} が低下する中で (**変形ゲートプラトー状態**)、 V_{DS} は低下し、 J_D は上昇する。
- V_{GS} の低下(J_G の上昇)は、 V_{DS} の低下による、(1)**変位電流($J_{FP}+J_{PB}+J_{Sub}$)の急激な低下**と、(2)帰還容量(C_{GD})の充電による**Miller効果の発生(ドリフト領域のRESURF効果の消滅による V_{DS_INT} の大幅な低下)**、に起因する。(この過程の帰還容量を出力側から見ると出力容量に見えるため、この充電はその出力容量の放電とも考えられる。)

(D) $V_{GS} > V_T$: 真性MOSFETオン状態 (LDMOSオン状態)

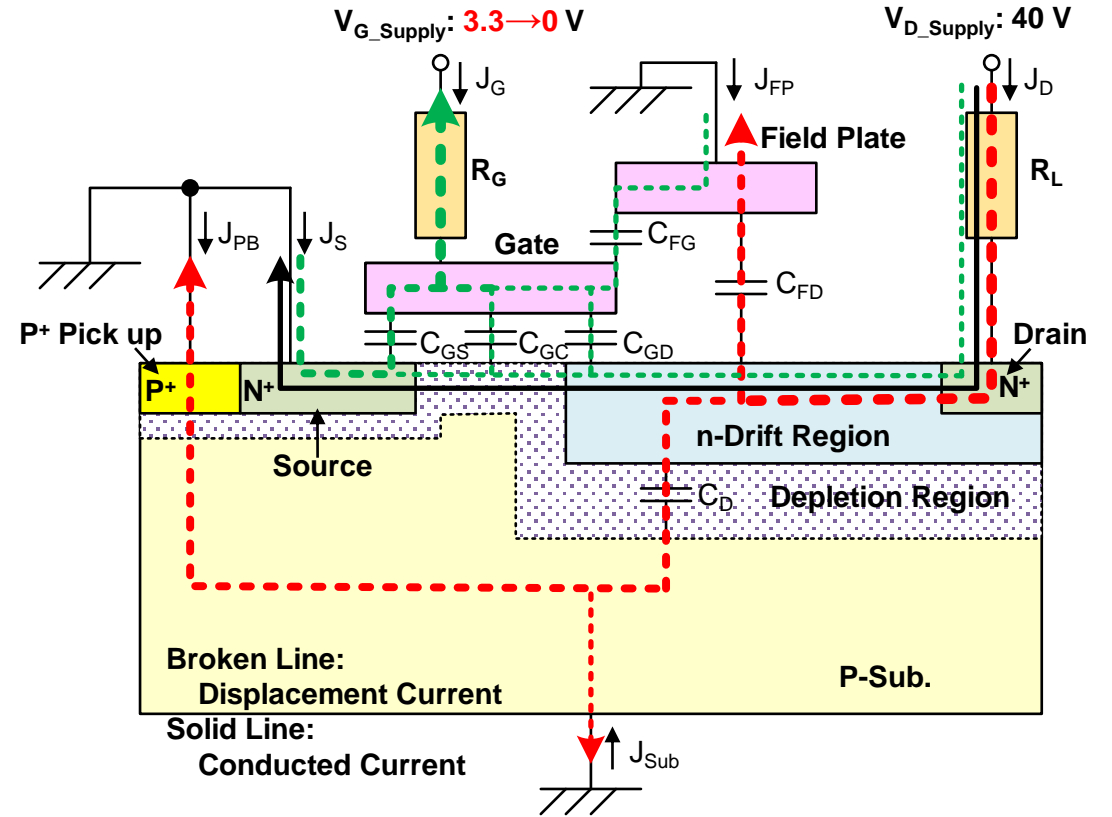
- V_{GS} が再上昇して V_{G_Supply} に到達し、 J_G はゼロ、 V_{DS} はオン電圧、 J_D はオン電流になる。
- J_G が入力容量 ($C_{GS}+C_{GC}+C_{FG}$) と帰還容量 (C_{GD}) を充電する。

$$R_G = 1.07 \Omega \text{ mm}^2, R_L = 5.33 \Omega \text{ mm}^2, \text{LDMOS 面積 } 1 \text{ mm}^2$$

ターンオフ過程の電流経路



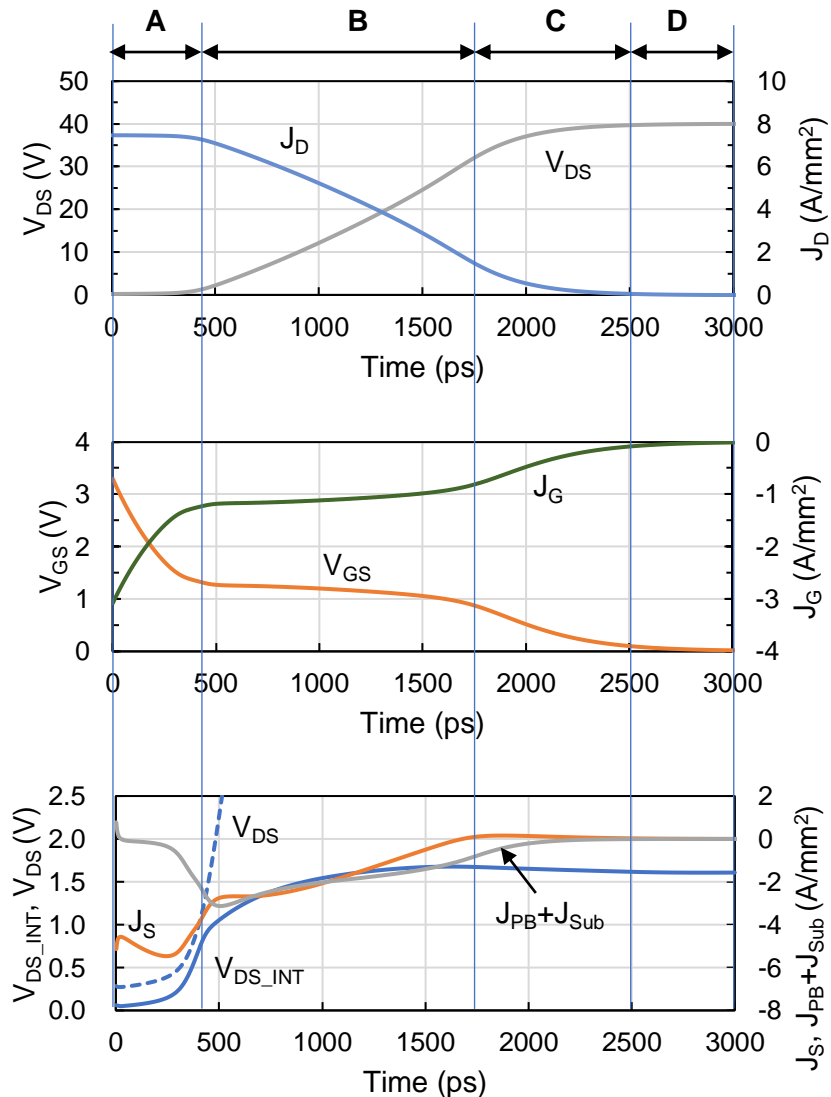
(a) 従来型 (ゲート接続フィールドプレート)



(b) 提案型 (接地フィールドプレート)

- ・ 上図はターンオフ過程のゲートプラトー状態(領域B)の場合の電流経路である。
- ・ その後、真性MOSFETターンオフ過程(領域C)では、伝導電流と C_{GC} を流れる電流は消滅する。

従来型LDMOSターンオフ特性



(A) $V_{GS} > V_T$: 真性MOSDFETオン状態

- V_{GS} の低下はあるが、 V_{DS} と J_D の変化はほとんどない。
- V_{DS_INT} は V_{DS} の上昇と共に上昇する。
⇒A領域の終了時点で、真性MOSFETのドレイン近傍で**RESURF効果が発生する**。
- J_G が、入力容量($C_{GS} + C_{GC}$)と帰還容量($C_{GD} + C_{FD}$)を放電する。
- V_{DS} 及び V_{DS_INT} の増大に伴い、 $|J_{PB} + J_{Sub}|$ が増大し、出力容量(C_D)を充電する。

(B) $V_{GS} > V_T$: ゲートプラトー状態

- V_{GS} はほぼ一定、 V_{DS} の増大と J_D の低下が起こる。
- 真性MOSFETのドレイン近傍で発生したRESURF効果により、 V_{DS_INT} の上昇が抑制される。しかしながら、 V_{DS} は上昇し、**Miller効果**が発生し、**ゲートプラトー状態**になる。
- J_D から $J_G + J_{PB} + J_{Sub}$ の変位電流が流れ、 J_G が帰還容量($C_{GD} + C_{FD}$)を充電し、 $J_{PB} + J_{Sub}$ が出力容量(C_D)を充電する。 J_D はまた伝導電流 J_S も流す。
- **従来型のB領域は提案型に比べると長い。**

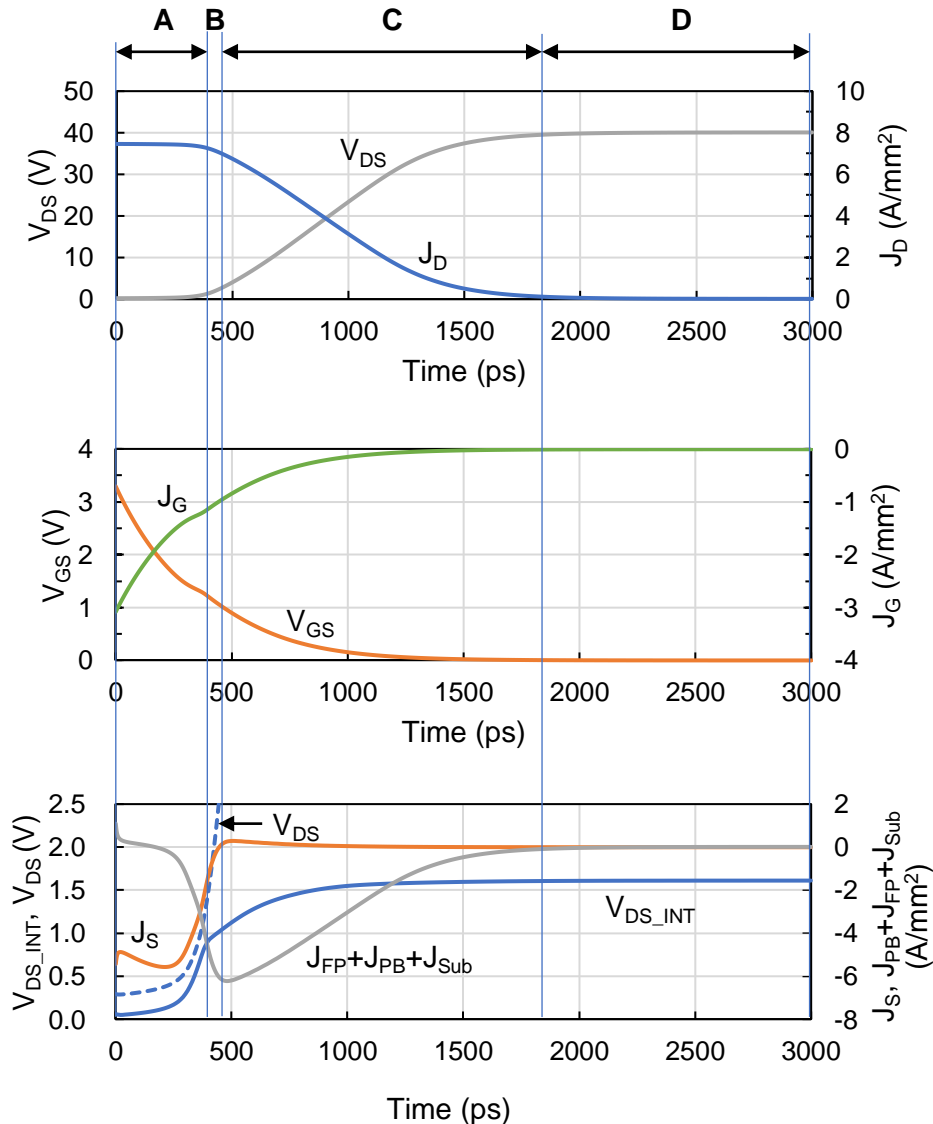
(C) $V_{GS} < V_T$: 真性MOSFETオフ状態

- V_{GS} は再度低下する。 V_{DS} は増大し供給電圧に達し、 J_D は低下しゼロになる。
- $J_S \approx 0$ となり、 J_D の伝導電流成分がなくなり、 J_D から**変位電流成分** $J_G + J_{PB} + J_{Sub}$ が流れる。
(J_G が帰還容量($C_{GD} + C_{FD}$)を充電し、 $J_{PB} + J_{Sub}$ が出力容量(C_D)を充電する。)
- J_G が入力容量(C_{GS})を放電する。

(D) $V_{GS} = 0$: LDMOSオフ状態

$R_G = 1.07 \Omega \text{mm}^2$, $R_L = 5.33 \Omega \text{mm}^2$, LDMOS 面積 1mm^2

提案型LDMOSターンオフ特性



(A) $V_{GS} > V_T$: 真性MOSFETオン状態

- V_{GS} の低下はあるが、 V_{DS} と J_D はほぼ一定である。
- V_{DS_INT} は V_{DS} の上昇と伴に上昇する。
⇒A領域の終了時点で、真性MOSFETのドレイン近傍で**RESURF効果が発生する**。
- J_G が、入力容量($C_{FG}+C_{GS}+C_{GC}$)と帰還容量(C_{GD})を放電する。
- V_{DS} 及び V_{DS_INT} の増大に伴い、 $J_{FP}+J_{PB}+J_{Sub}$ が増大し、出力容量($C_{FD}+C_D$)を充電する。

(B) $V_{GS} \approx V_T$: 非常に弱いミラー効果(真性MOSFETのオフ開始)

- V_{GS} の低下に伴い、 V_{DS} の上昇と J_D の低下が始まる。
- 真性MOSFETのドレイン近傍で発生したRESURF効果により、 V_{DS_INT} の上昇が抑制される。
- V_{DS_INT} の増大に伴い、 V_{GS} も同程度に低下しており、帰還容量(C_{GD})を介して**短くて弱いミラー効果が発生する**。
- 主に V_{DS} の増大に伴う出力容量($C_{FD}+C_D$)の充電が続く。
- B領域の終了時点で、 J_S がほぼゼロになり、**真性MOSFETがオフする**。
- **提案型のB領域は従来型に比べると短い**。

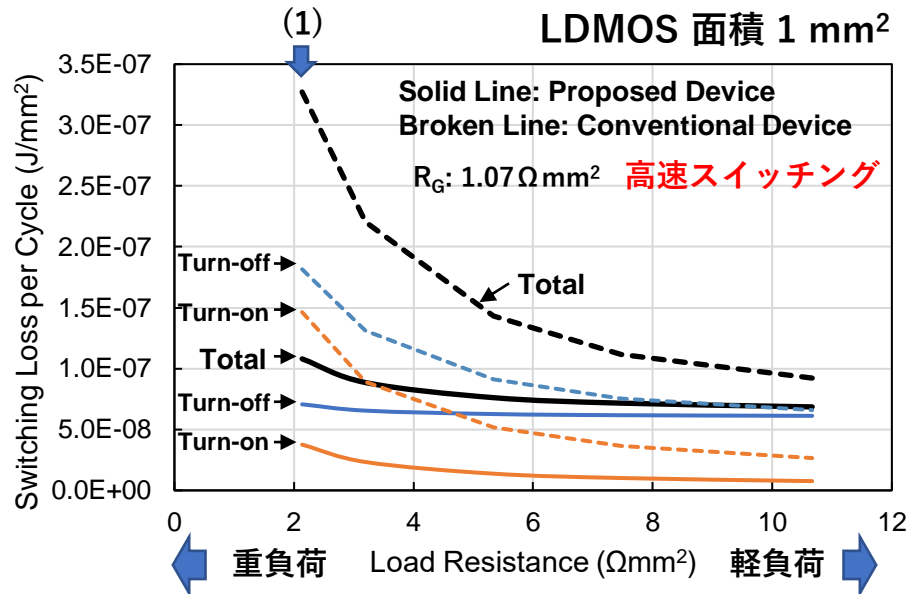
(C) $V_{GS} < V_T$: 真性MOSFETオフ状態

- V_{GS} の低下に伴い、 V_{DS} が大きく増大し、 J_D が大きく低下する。
- $J_S \approx 0$ となり、 J_D の伝導電流成分がなくなり、 J_D から**変位電流成分** $J_{FP}+J_{PB}+J_{Sub}$ が流れる。
(J_D から流れる J_G の変位電流成分は無視できる。 J_{FP} が出力容量(C_{FD})を充電し、 $J_{PB}+J_{Sub}$ が出力容量(C_D)を充電する。)
- J_G が C_{GS} を放電する。

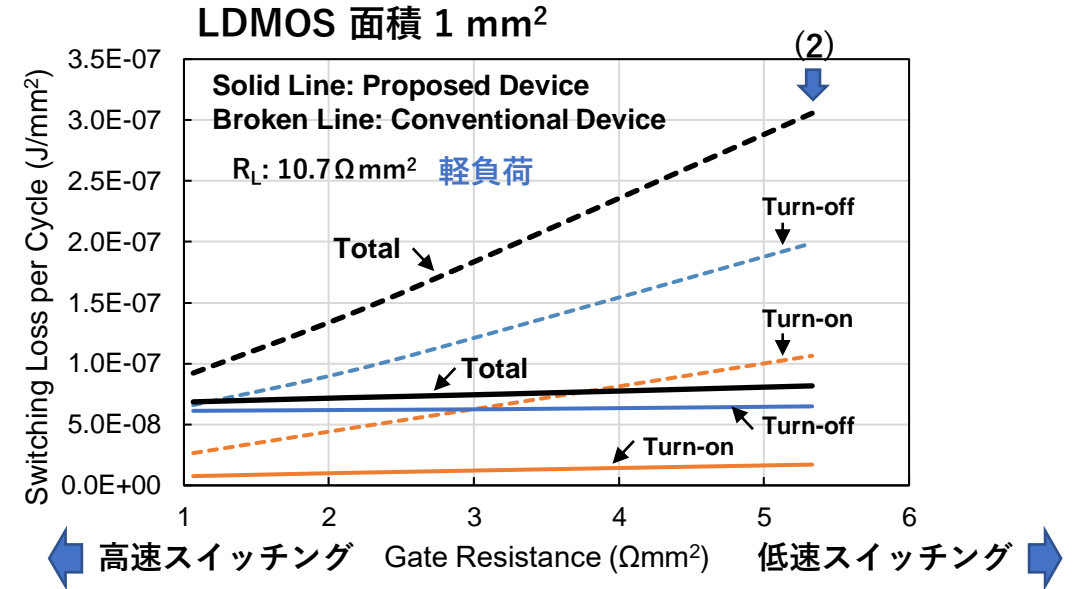
(D) $V_{GS} = 0$: LDMOSオフ状態

$R_G = 1.07 \Omega \text{mm}^2$, $R_L = 5.33 \Omega \text{mm}^2$, LDMOS 面積 1mm^2

スイッチング損失の負荷抵抗とゲート抵抗依存性



(a) 負荷抵抗変化

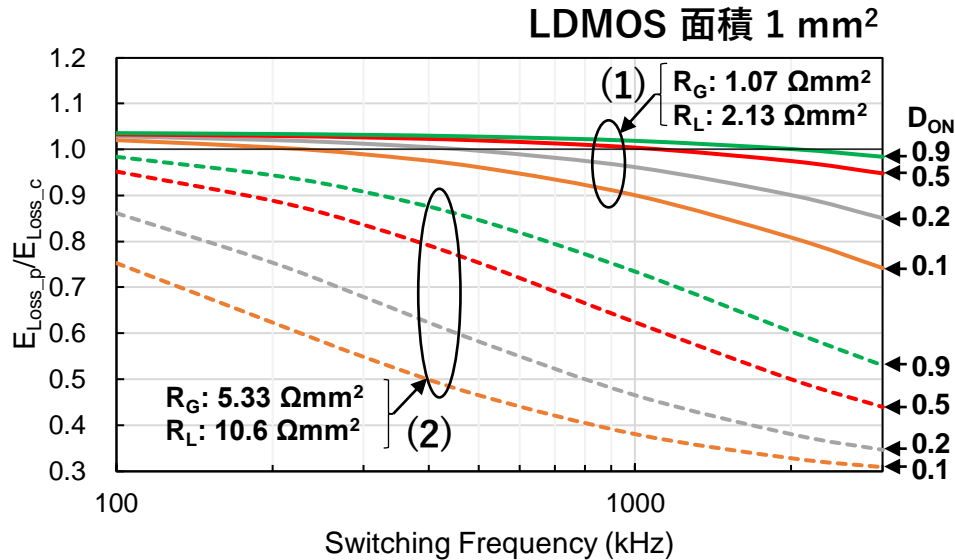


(b) ゲート抵抗変化

- R_L が減少（高速スイッチング条件：低い $R_G = 1.07 \Omega\text{mm}^2$ ）
 ⇒従来型デバイスのスイッチング損失は提案型デバイスのものより一層大きくなる。
 （ R_L の減少に伴い、従来型では長いゲートプラトー領域でのエネルギー損失が一層増えることに起因する。）
- R_G が増大（軽負荷条件：高い $R_L = 10.7 \Omega\text{mm}^2$ ）
 ⇒従来型デバイスのスイッチング損失は提案型デバイスのものより一層大きくなる。
 （ R_G の増大に伴い、従来型ではゲートプラトー領域が一層延びることに起因する。）

(注) 上記(1), (2)は、p. 21に記載の(1), (2)の場合に対応する。

全エネルギー損失比のスイッチング周波数依存性



全エネルギー損失比($E_{\text{Loss}_p}/E_{\text{Loss}_c}$)の
スイッチング周波数 f 依存性

E_{Loss_p} : 提案型デバイスの全エネルギー損失
 E_{Loss_c} : 従来型デバイスの全エネルギー損失

全エネルギー損失 ⇒ (ゲート駆動損失 + ドレイン損失)

- (1) R_G 小、 R_L 小 (高速スイッチで重負荷) の場合
($R_G: 1.07 \Omega\text{mm}^2$, $R_L: 2.13 \Omega\text{mm}^2$) (スイッチング損失が**出難い**条件)

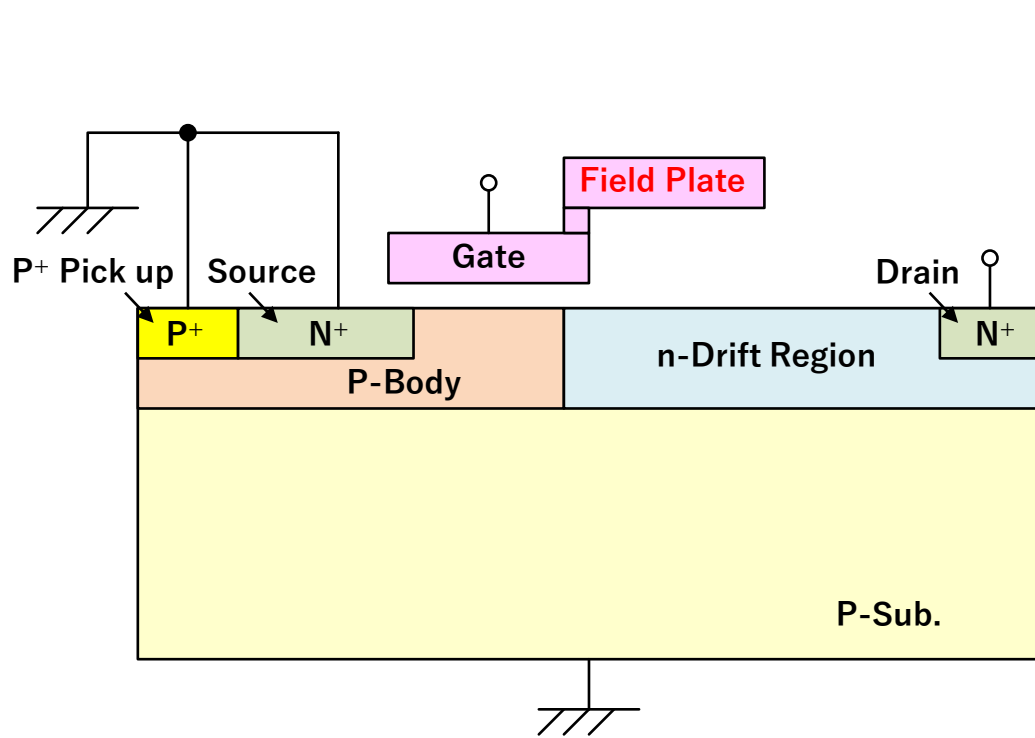
⇒ 周波数が高く、時比率が小さくなるほど $E_{\text{Loss}_p}/E_{\text{Loss}_c}$ は小さくなる。
(提案型のスイッチング損失が従来型のものに比べて小さいため)
例えば、 $E_{\text{Loss}_p}/E_{\text{Loss}_c}$ は約**0.75** (at $f=3\text{MHz}$, $D_{\text{ON}}=0.1$) になる。
⇒ 周波数が低く、時比率が大きくなると、 $E_{\text{Loss}_p}/E_{\text{Loss}_c} > 1$ になる。
(提案型の特性オン抵抗が従来型のものに比べて大きいため)

- (2) R_G 大、 R_L 大 (低速スイッチで軽負荷) の場合
($R_G: 5.33 \Omega\text{mm}^2$, $R_L: 10.66 \Omega\text{mm}^2$) (スイッチング損失が**出易い**条件)

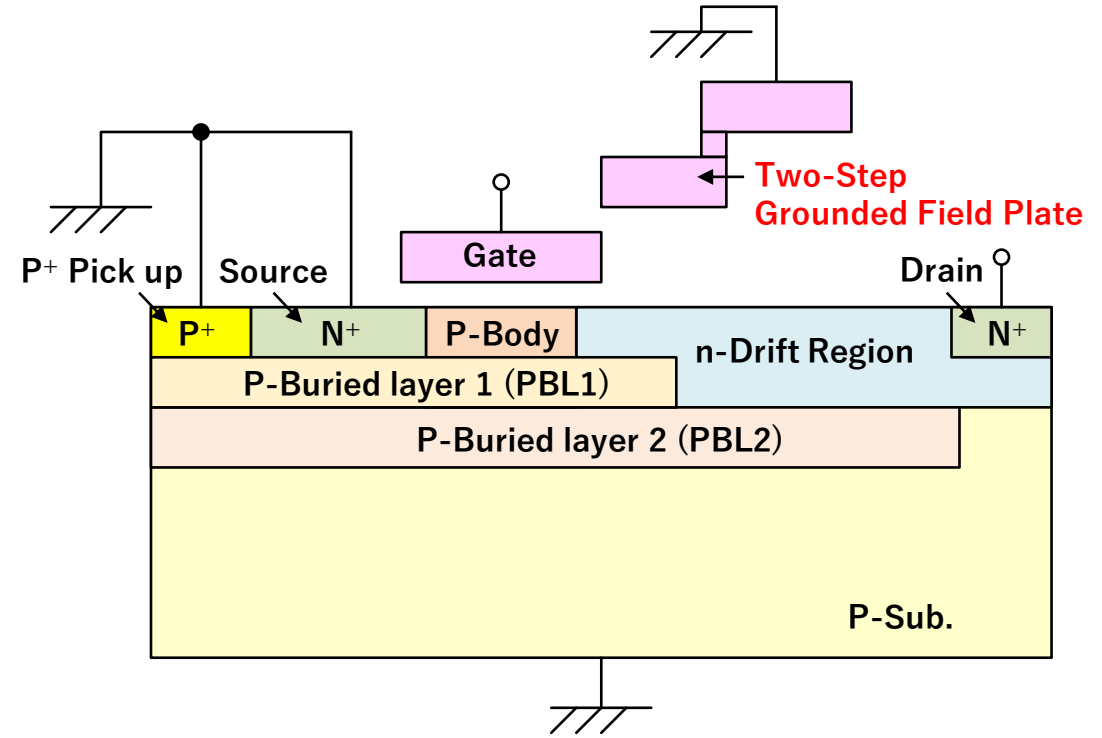
⇒ 周波数が高く、時比率が小さくなるほど $E_{\text{Loss}_p}/E_{\text{Loss}_c}$ は小さくなる。
(提案型のスイッチング損失が従来型のものに比べて小さいため)
例えば、 $E_{\text{Loss}_p}/E_{\text{Loss}_c}$ は約**0.3** (at $f=3\text{MHz}$, $D_{\text{ON}}=0.1$) になる。

従来型LDMOSオン抵抗: **39.49** m Ωmm^2
提案型LDMOSオン抵抗: **40.83** m Ωmm^2

100 V n-LDMOSトランジスタ： 従来型と提案型の構造比較



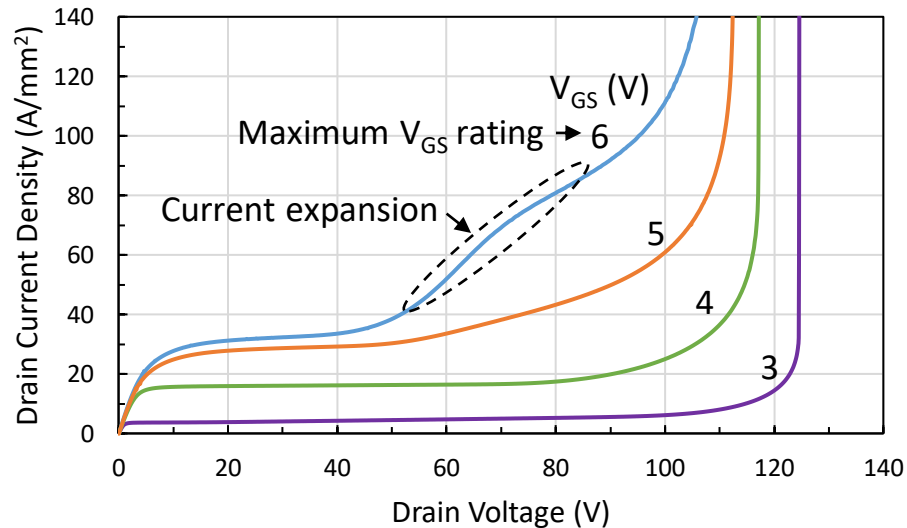
(a) 従来型（ゲート接続フィールドプレート）



(b) 提案型（接地2ステップフィールドプレート）

- 2ステップフィールドプレート構造 ⇒ ゲート近傍n-ドリフト領域のRESURF補強、高い耐圧維持
- PBL1とPBL2 ⇒ n-ドリフト領域の不純物ドーピング濃度は従来型のものより高い（低特性オン抵抗化）

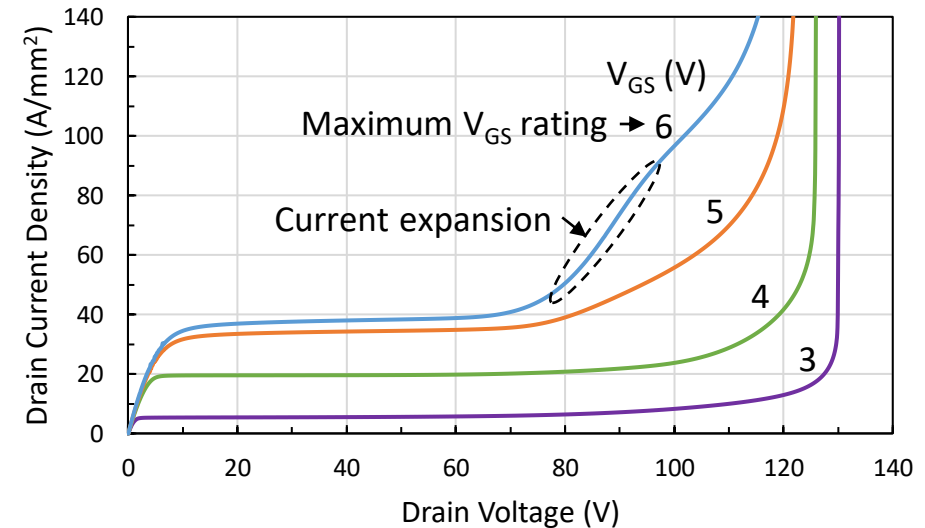
I_D - V_{DS} 特性



(a) 従来型LDMOSTランジスタ

- CE発生電圧 V_{CE}
⇒ 約 50 V at $V_{GS} = 6$ V (最大定格)
- 特性オン抵抗 $R_{on,sp}$
⇒ 178 $m\Omega mm^2$ at $V_{GS} = 5$ V, $V_{DS} = 0.6$ V
- 外挿しきい値電圧 V_T
⇒ 2.26 V at $V_{DS} = 0.1$ V

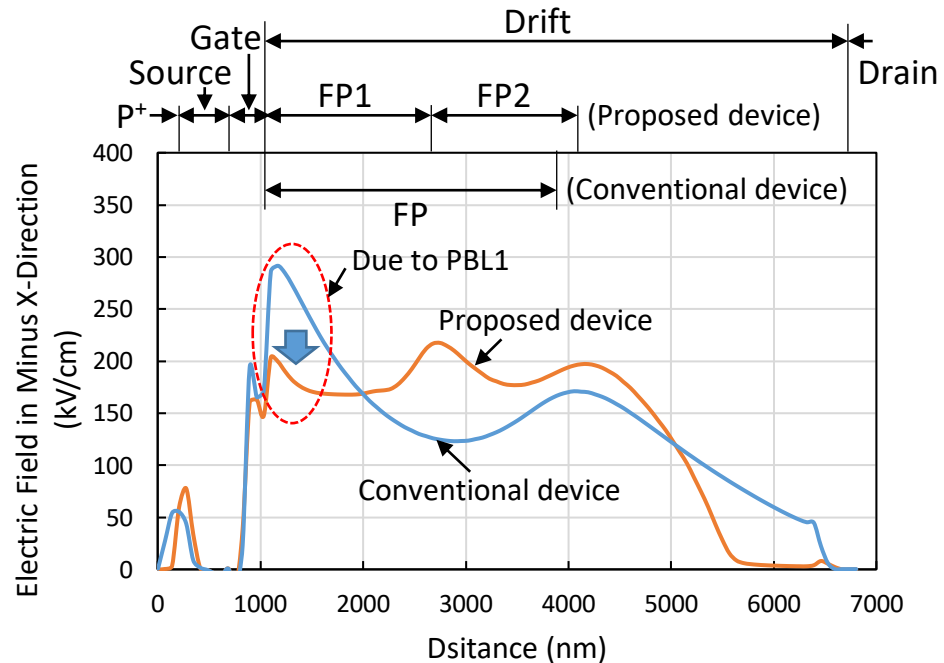
0.35 μm CMOS compatible process



(b) 提案型LDMOSTランジスタ

- CE発生電圧 V_{CE}
⇒ 約 70 V at $V_{GS} = 6$ V (最大定格)
- 特性オン抵抗 $R_{on,sp}$
⇒ 150 $m\Omega mm^2$ at $V_{GS} = 5$ V, $V_{DS} = 0.6$ V
- 外挿しきい値電圧 V_T
⇒ 2.20 V at $V_{DS} = 0.1$ V

界面に沿った電界プロファイル



界面に沿ったx方向電界プロファイル
($V_{DS}=80V$, $V_{GS}=3V$)

■ ゲート端近傍のx方向電界

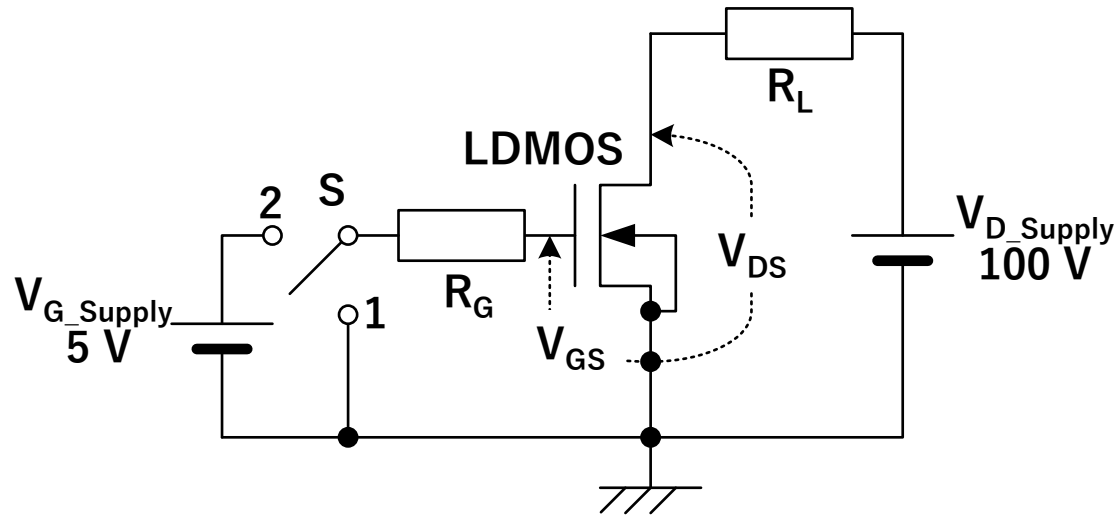
従来型デバイス > 提案型デバイス



■ ホットキャリア耐性

従来型デバイス < 提案型デバイス

100 V n-LDMOS トランジスタのスイッチング特性解析回路



スイッチング特性解析回路

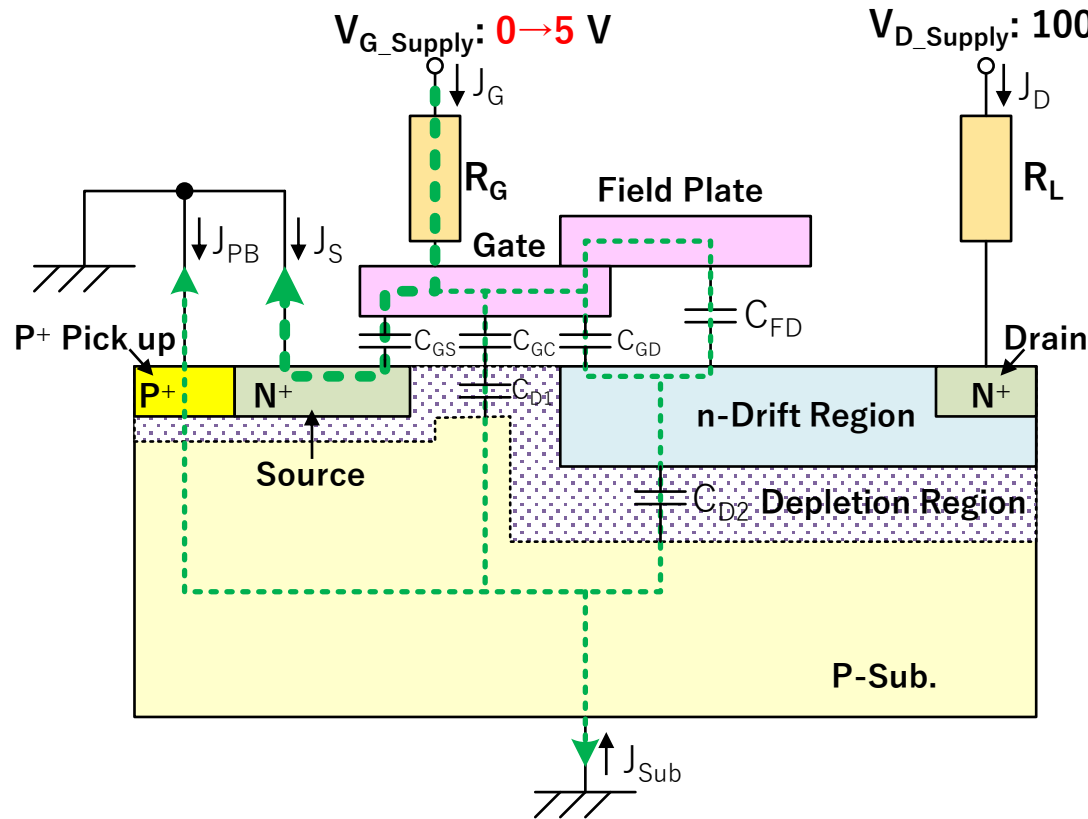
R_G : 1.31, 2.62, 3.94, 5.24, 6.55 Ωmm^2
 R_L : 26.2, 39.3, 52.4, 65.5 Ωmm^2

(LDMOS 面積: 1 mm^2 にした場合)

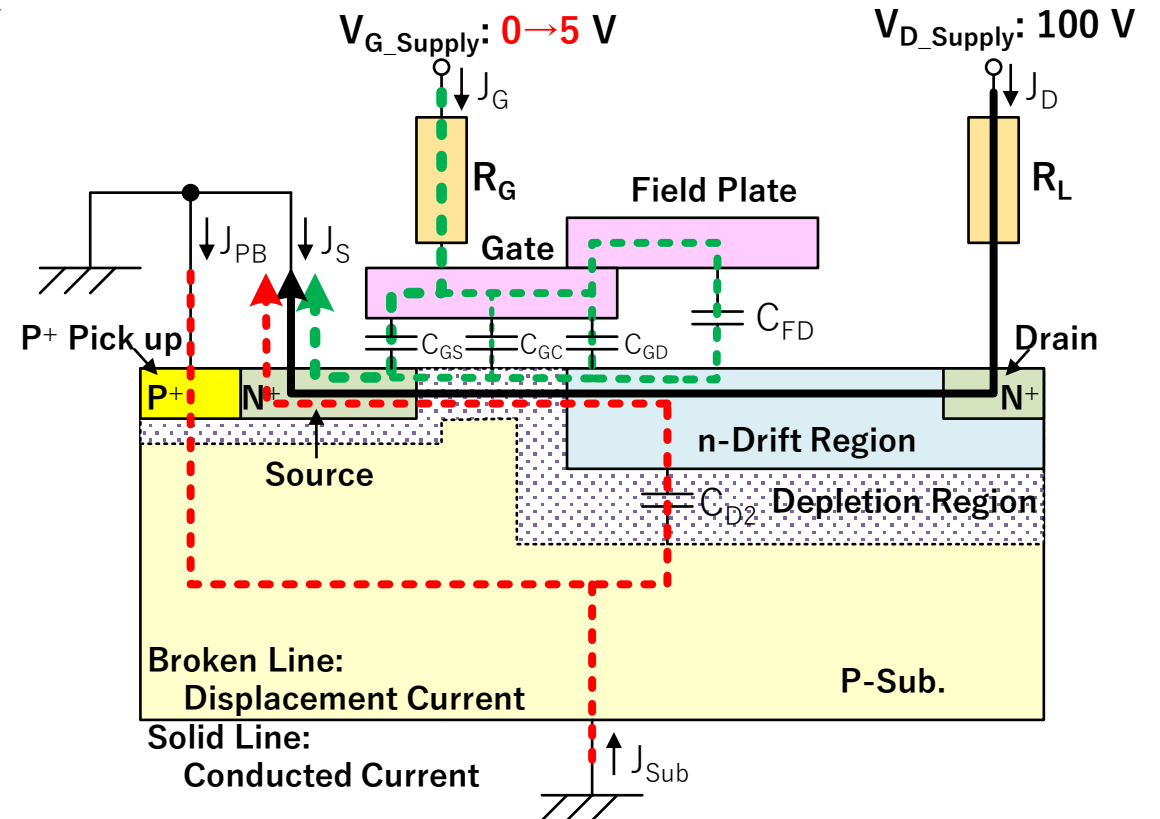
従来型LDMOSのターンオン過程の電流経路

R_G 小、 R_L 大の場合 (高速スイッチングで軽負荷)

破線：変位電流
実線：伝導電流



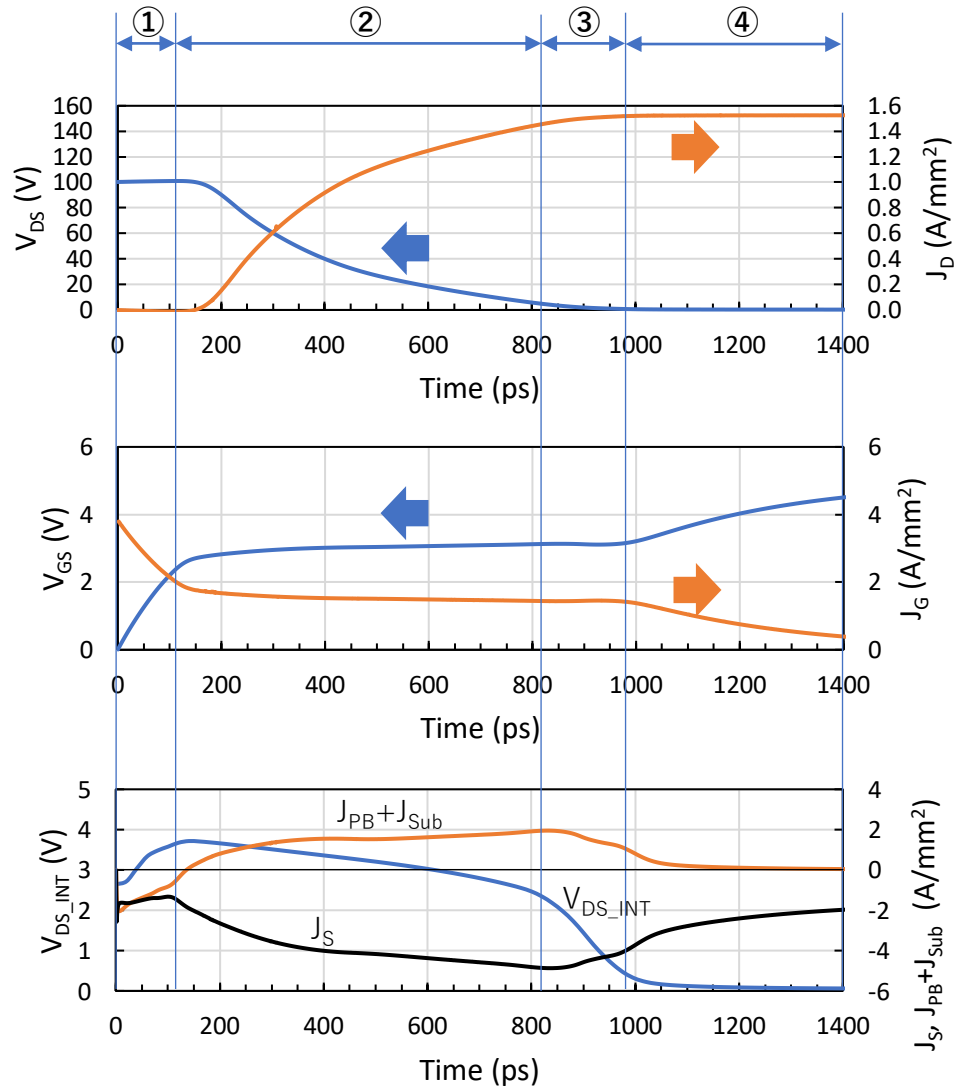
$V_{GS} < V_T$ の場合の電流経路



$V_{GS} \geq V_T$ の場合の電流経路

ゲートからドレインへ流れ込む電流もあるが、これは R_L により小さくなるので無視する

従来型LDMOSターンオン特性



① $V_{GS} < V_T$: 真性MOSFETオフ状態

- V_{GS} が上昇するが、 V_{DS} と J_D は変わらない。
- J_G が入力容量 (C_{GS}) と帰還容量 ($C_{GD}+C_{FD}$) を充電する。
- V_{DS_INT} の上昇が出力容量(C_{D2})を充電する。
(C_{GC} と C_{D1} を通過する充電電流は無視する。)

② $V_{GS} \cong V_T$: ゲートプラトー状態 (1)

- V_{GS} がほぼ一定(僅かに上昇)、 V_{DS} が大きく低下し、 J_D は大きく上昇する。
- V_{DS} の大幅な低下と V_{DS_INT} の低下により、 J_G が帰還容量 ($C_{GD}+C_{FD}$) を充電するので、**Miller効果**が発生する。(この過程の帰還容量を出力側(ドレイン側)から見ると出力容量に見えるため、この充電はその出力容量の放電とも考えられる。)
- V_{DS} の大幅な低下による出力容量(C_{D2})の放電により、変位電流($J_{PB}+J_{Sub}$)が上昇する。

③ $V_{GS} > V_T$: ゲートプラトー状態 (2)

- ゲート側ドリフト端近傍の**RESURF**が消滅し、 V_{DS_INT} の急激な低下が発生する。

④ $V_{GS} > V_T$: 真性MOSFETオン状態 (LDMOSオン状態)

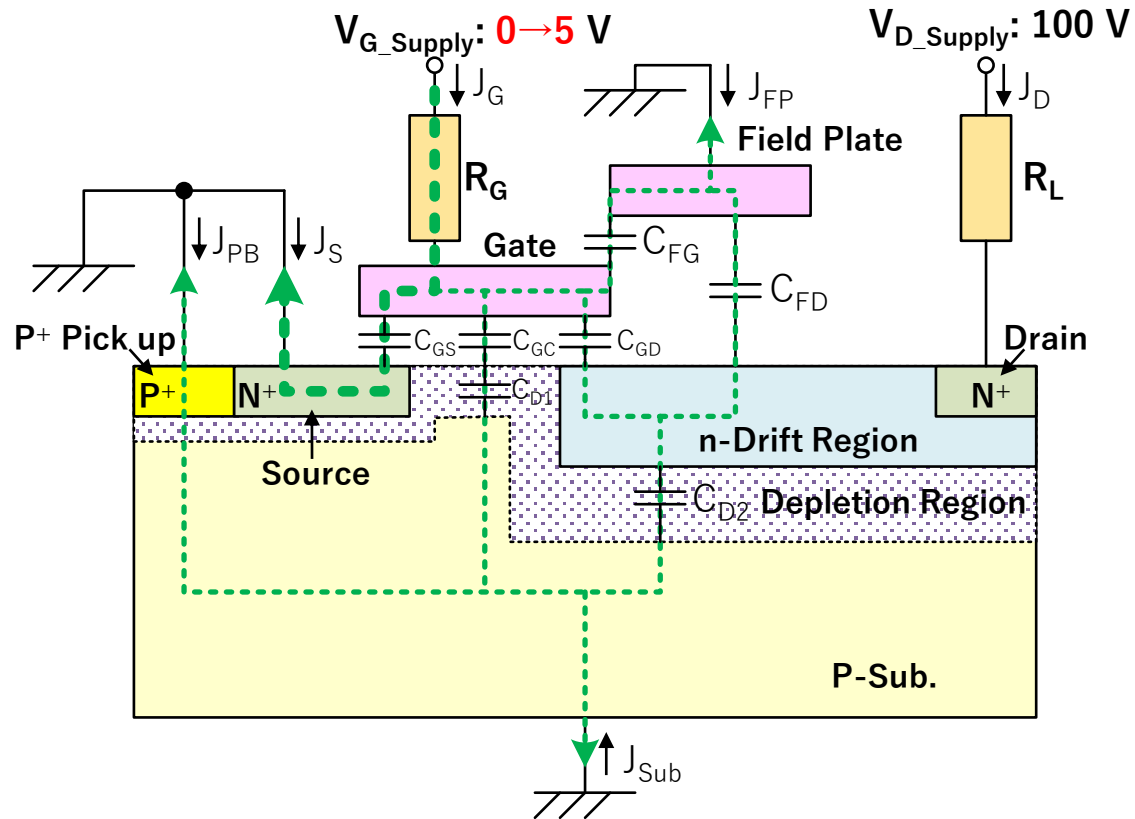
- V_{GS} が再上昇して V_{G_Supply} に到達し、 J_G はゼロ、 V_{DS} がオン電圧、 J_D はオン電流になる。
- J_G が入力容量 ($C_{GS}+C_{GC}$) と帰還容量 ($C_{GD}+C_{FD}$) を充電する。

$R_G = 1.31 \Omega \text{ mm}^2$, $R_L = 65.5 \Omega \text{ mm}^2$, LDMOS 面積 1 mm^2

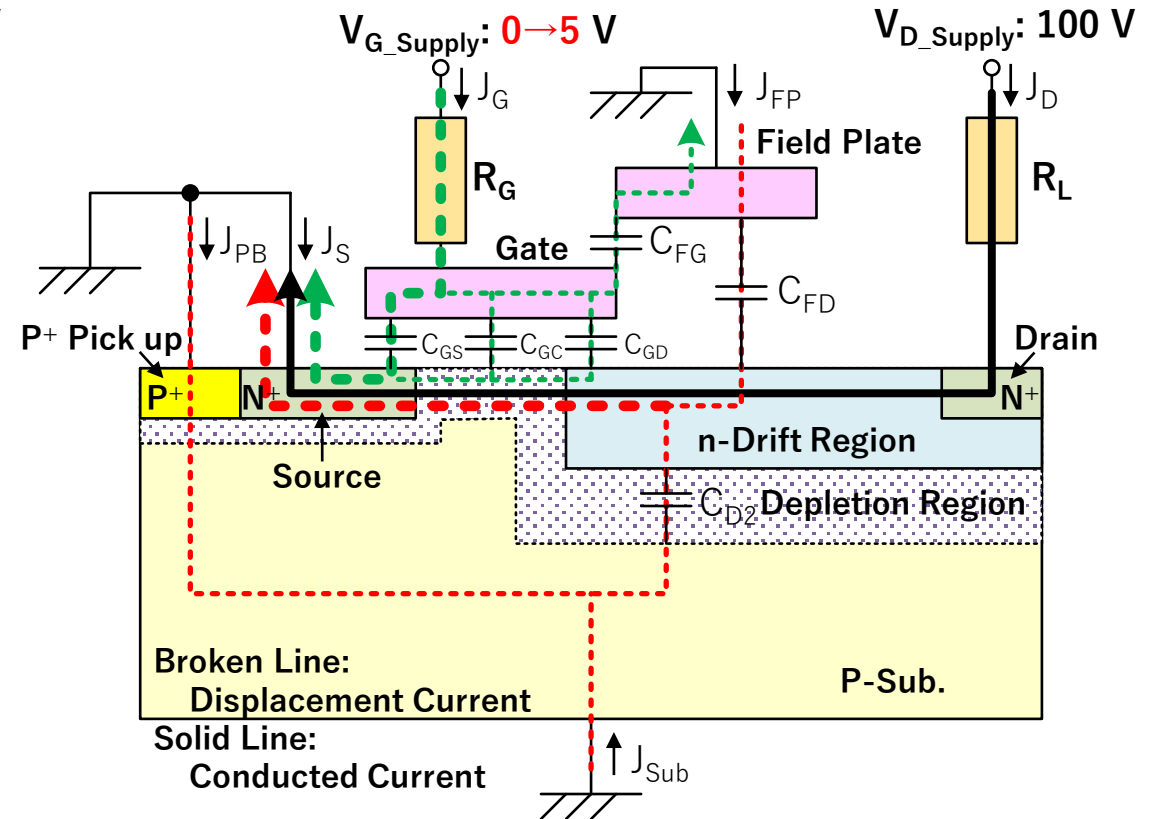
提案型LDMOSのターンオン過程の電流経路

R_G 小、 R_L 大の場合 (高速スイッチングで軽負荷)

破線：変位電流
実線：伝導電流



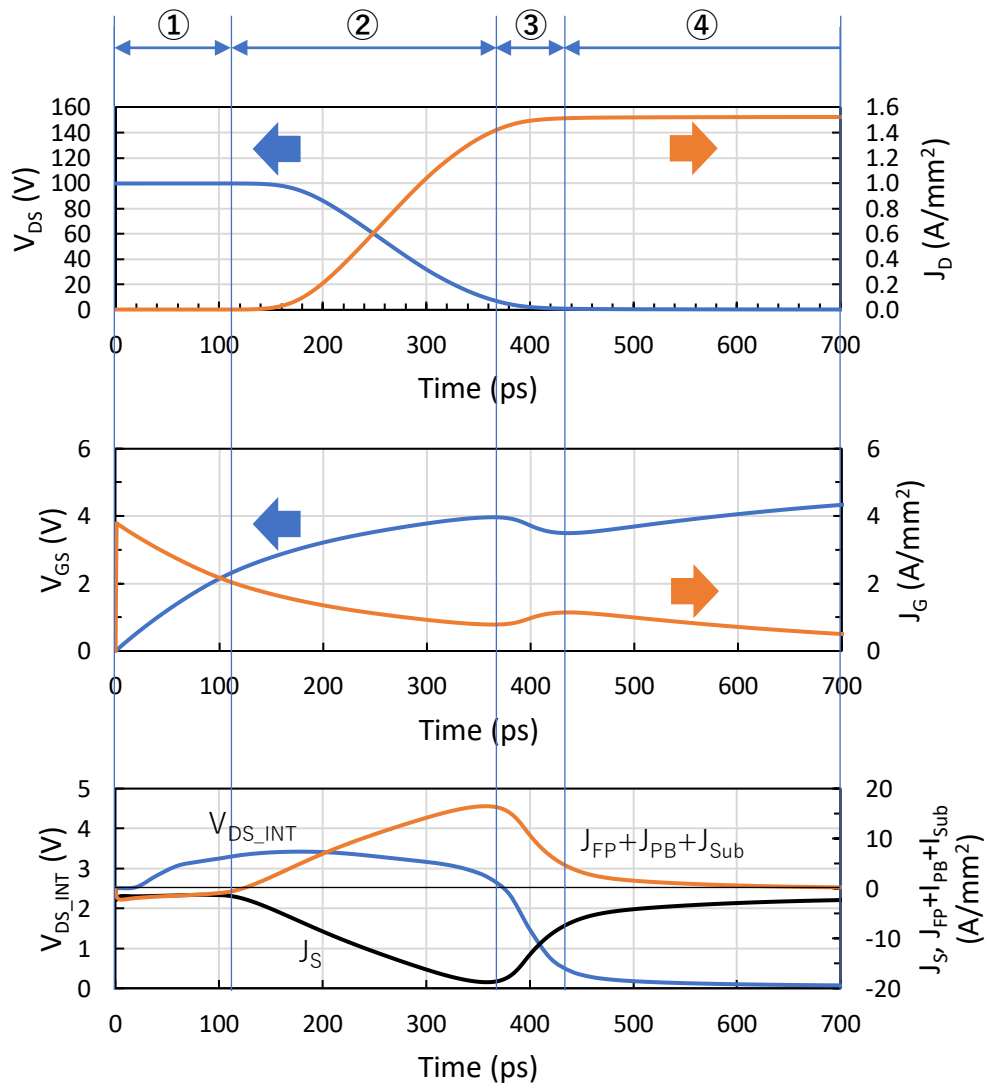
$V_{GS} < V_T$ の場合の電流経路



$V_{GS} \geq V_T$ の場合の電流経路

ゲートからドレインへ流れ込む電流もあるが、これは R_L により小さくなるので無視する

提案型LDMOSターンオン特性



① $V_{GS} < V_T$: 真性MOSFETオフ状態

- V_{GS} が上昇するが、 V_{DS} と J_D は変わらない。
- J_G が入力容量 ($C_{GS}+C_{FG}$) と帰還容量 (C_{GD}) を充電する。
- V_{DS_INT} の上昇が出力容量($C_{D2}+C_{FD}$)を充電する。
(C_{GC} と C_{D1} を通過する充電電流は無視する。)

② $V_{GS} > V_T$: 真性MOSFETオン開始

- V_{GS} が上昇し、 V_{DS} が大きく低下し、 J_D は大きく上昇する。
- J_G が入力容量 ($C_{GS}+C_{GC}+C_{FG}$) と帰還容量 (C_{GD}) を充電する。
- V_{DS} は大きく低下するが、 V_{DS_INT} の低下は僅かである (あまり変化しない)。
⇒ C_{GD} の充電は少なく、この領域で**ゲートプラトー(Miller効果)は発生しない**。
(V_{DS_INT} の僅かな変化は、(1)**変位電流($J_{FP}+J_{PB}+J_{Sub}$)の大幅な増大**と、(2)従来型に比べて提案型のドリフト領域の**RESURF効果がより強い**ことに起因する。)
- J_{FP} は出力容量(C_{FD})の放電電流、 $J_{PB}+J_{Sub}$ は出力容量(C_{D2})の放電電流である。

③ $V_{GS} > V_T$: 変形ゲートプラトー状態

- V_{GS} が低下する中で (**変形ゲートプラトー状態**)、 V_{DS} は低下し、 J_D は上昇する。
- V_{GS} の低下(J_G の上昇)は、 V_{DS} の低下による、(1)**変位電流($J_{FP}+J_{PB}+J_{Sub}$)の急激な低下**と、(2)帰還容量(C_{GD})の充電による**Miller効果の発生**(ドリフト領域の**RESURF効果の消滅**による V_{DS_INT} の大幅な低下)、に起因する。(この過程の帰還容量を出力側から見ると出力容量に見えるため、この充電はその出力容量の放電とも考えられる。)

④ $V_{GS} > V_T$: 真性MOSFETオン状態 (LDMOSオン状態)

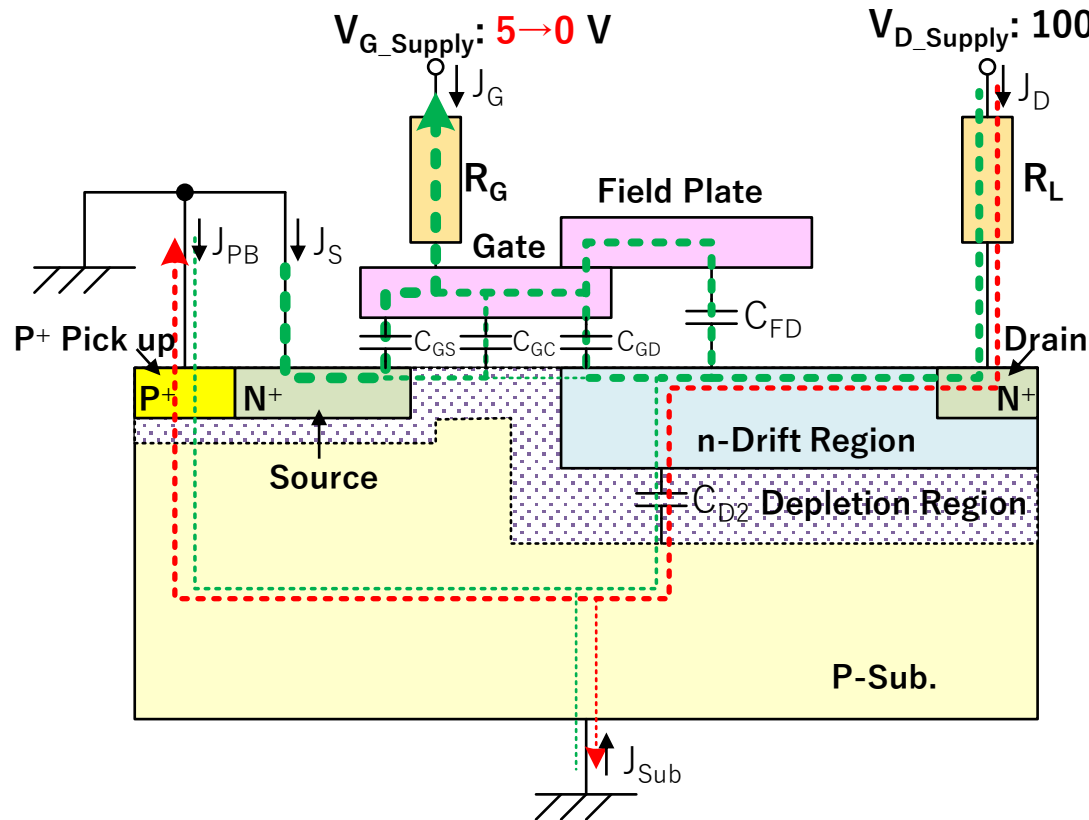
- V_{GS} が再上昇して V_{G_Supply} に到達し、 J_G はゼロ、 V_{DS} はオン電圧、 J_D はオン電流になる。
- J_G が入力容量 ($C_{GS}+C_{GC}+C_{FG}$) と帰還容量 (C_{GD}) を充電する。

$$R_G = 1.31 \Omega \text{mm}^2, R_L = 65.5 \Omega \text{mm}^2, \text{LDMOS 面積 } 1 \text{ mm}^2$$

従来型LDMOSのターンオフ過程の電流経路

R_G 小、 R_L 大の場合(高速スイッチングで軽負荷)

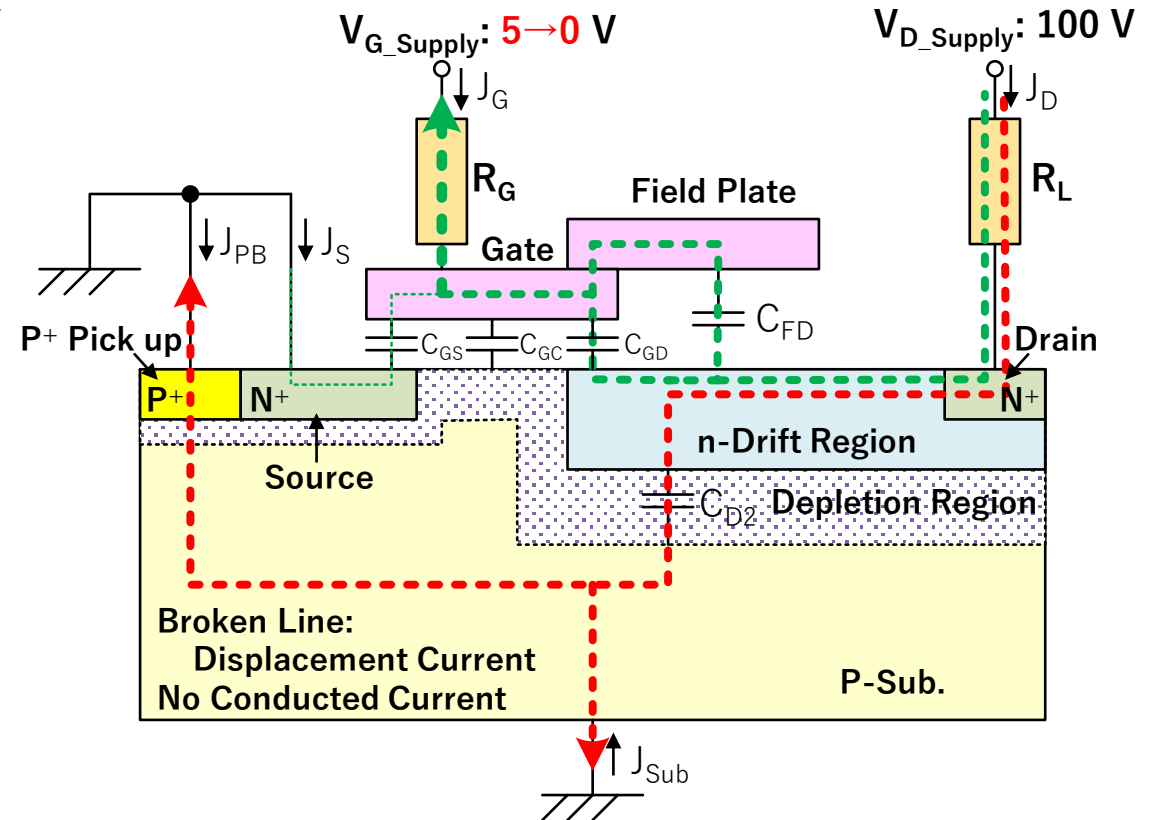
破線：変位電流



ターンオフ過程の電流経路

V_{GS} , J_G が大きく変化する期間 (J_S オン期間)

(ターンオフ直後から緑の電流が流れる。真性MOSFETオフ後($V_{GS} < V_T$)に V_{DS} が上昇し赤の電流が流れる。 C_{D1} を介しての電流は省略してある。)

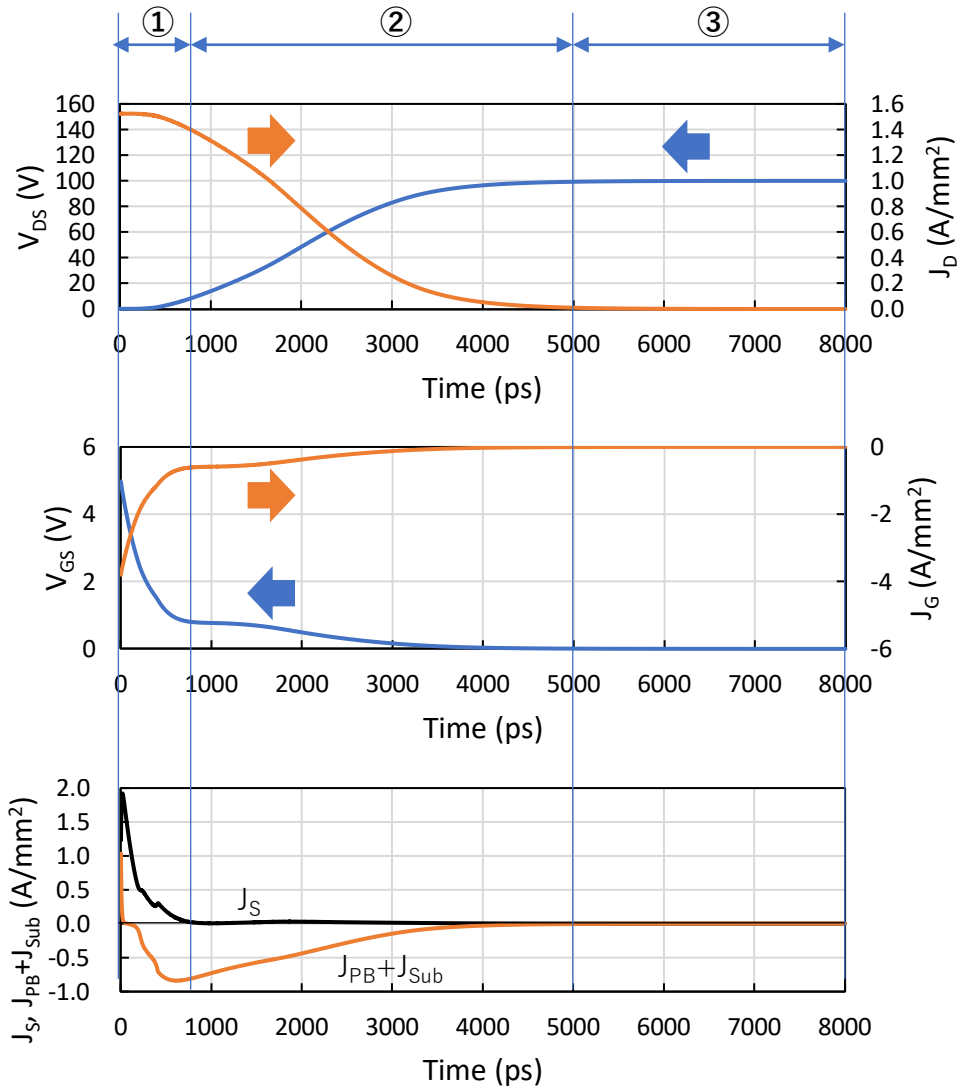


ターンオフ過程の電流経路

V_{DS} , J_D が大きく変化する期間 ($J_S \doteq 0$ 期間)

(ターンオフ直後から変位電流が発生し、伝導電流はなくなる。)

従来型LDMOSターンオフ特性(1)



① 真性MOSFETオンからオフへ移行 (V_{GS} , J_G が大きく変化する期間(J_S オン期間))

- V_{GS} が低下し ($|J_G|$ が低下)、真性MOSFETがオンからオフへ移行する。
 $\Rightarrow J_G$ が入力容量($C_{GS} + C_{GC}$)と帰還容量($C_{GD} + C_{FD}$)を放電する。
- 真性MOSFETオフ後 ($V_{GS} < V_T$)、 V_{DS} が徐々に上昇して J_D が緩やかに低下する。
 $\Rightarrow J_D$ の J_G 成分が帰還容量($C_{GD} + C_{FD}$)の充電を、また J_D の $J_{PB} + J_{Sub}$ 成分が出力容量(C_{D2})の充電をそれぞれ開始する。

ターンオフ前にドレインからソースへ流れていた伝導電流 J_D は、ターンオフ直後に、ゲートへ変位電流として転流する。一方、ソース電流 J_S (正)はゲートへ変位電流として流れ込む。

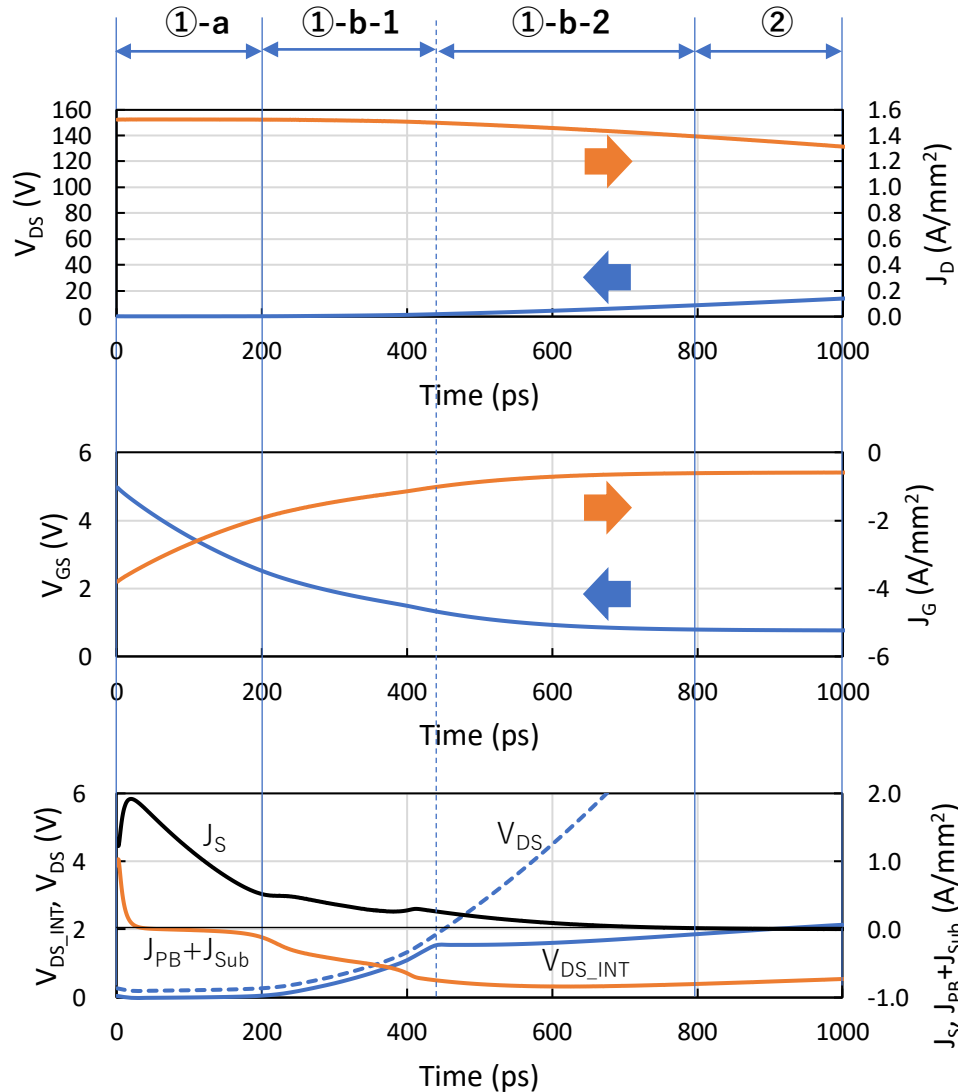
② $V_{GS} < V_T$: 真性MOSFETオフ状態 (V_{DS} , J_D が大きく変化する期間($J_S \doteq 0$ 期間))

- V_{GS} は緩やかに低下する。 V_{DS} は増大し供給電圧に達し、 J_D は低下しゼロになる。
 $\Rightarrow J_G$ が入力容量(C_{GS})と帰還容量($C_{GD} + C_{FD}$)を放電する。
 但し、ソースからゲートへの変位電流の流れ込みはない。 ($\because J_S \doteq 0$)
 $\Rightarrow J_D$ の J_G 成分が帰還容量($C_{GD} + C_{FD}$)を充電し、 J_D の $J_{PB} + J_{Sub}$ 成分が出力容量(C_{D2})を充電する。
 (初期段階でゲートプラトーが発生する。)

③ $V_{GS} = 0$: LDMOSオフ状態

$R_G = 1.31 \Omega \text{mm}^2$, $R_L = 65.5 \Omega \text{mm}^2$, LDMOS 面積 1mm^2

従来型LDMOSターンオフ特性(2)



① 期間のターンオフ過程

①-a 真性MOSFETオン期間 ($V_{GS} \geq V_T$)

- J_G が入力容量($C_{GS} + C_{GC}$)と帰還容量($C_{GD} + C_{FD}$)を放電する。
(ターンオフ直後に、負の J_G により正の $J_{PB} + J_{Sub}$ 発生)
- J_S はゲートへ変位電流として流れる。
- J_D はソースへ流れる伝導電流からゲートへ流れる変位電流に変わる。

①-b-1 真性MOSFETオフ期間(**RESURF形成なし**) ($V_{GS} < V_T$)

- J_G が入力容量($C_{GS} + C_{GC}$)と帰還容量($C_{GD} + C_{FD}$)の放電を継続する。
- V_{DS} と V_{DS_INT} が上昇し、 J_D が出力容量(C_{D2})と帰還容量($C_{GD} + C_{FD}$)を充電する。
⇒帰還容量($C_{GD} + C_{FD}$)に関し、**Miller効果が発生**する。

①-b-2 真性MOSFETオフ期間(**RESURF形成あり**) ($V_{GS} < V_T$)

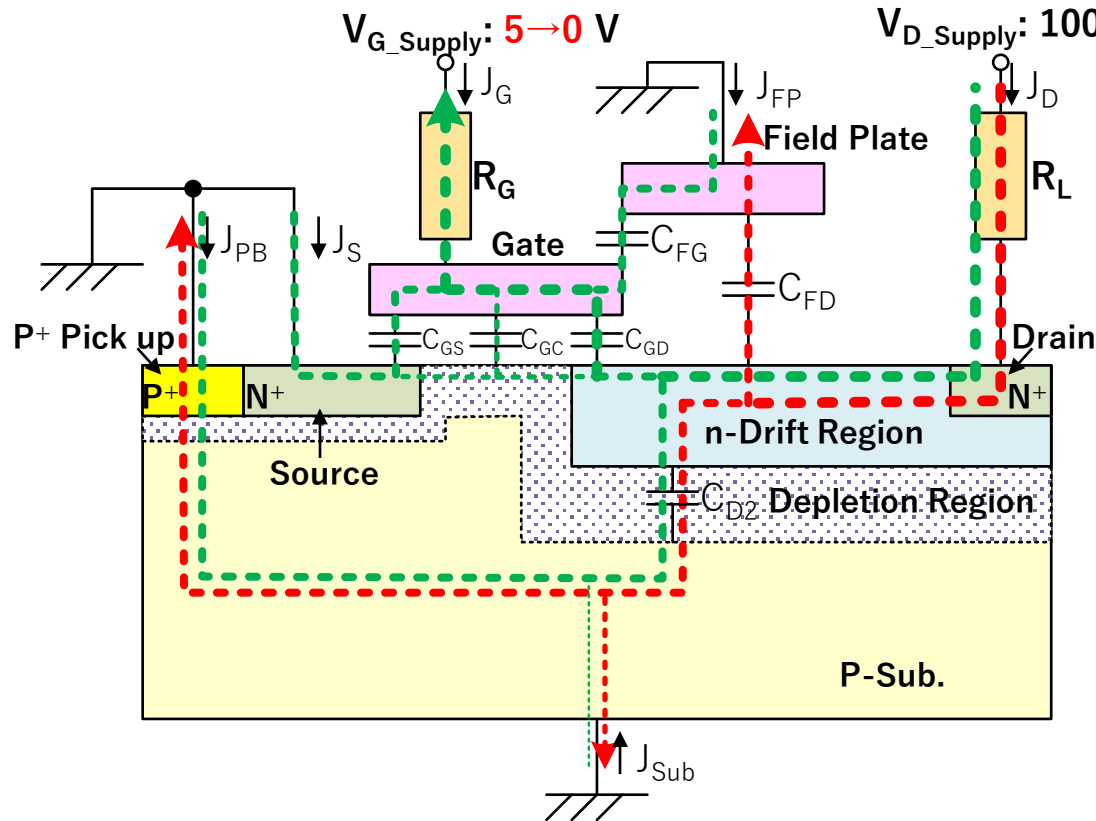
- J_G が入力容量($C_{GS} + C_{GC}$)と帰還容量($C_{GD} + C_{FD}$)の放電を継続する。
- V_{DS} は上昇するが、 V_{DS_INT} は飽和傾向にある。これらの電圧の上昇により、 J_D が出力容量(C_{D2})と帰還容量($C_{GD} + C_{FD}$)の充電を継続するが、 C_{GD} の充電は弱くなる。
⇒真性MOSFETのドレイン領域が空間電荷領域になる (**RESURF形成開始**)。
⇒帰還容量($C_{GD} + C_{FD}$)に関し、**Miller効果が継続**する。

$$R_G = 1.31 \Omega \text{mm}^2, R_L = 65.5 \Omega \text{mm}^2, \text{LDMOS 面積 } 1 \text{ mm}^2$$

提案型LDMOSのターンオフ過程の電流経路

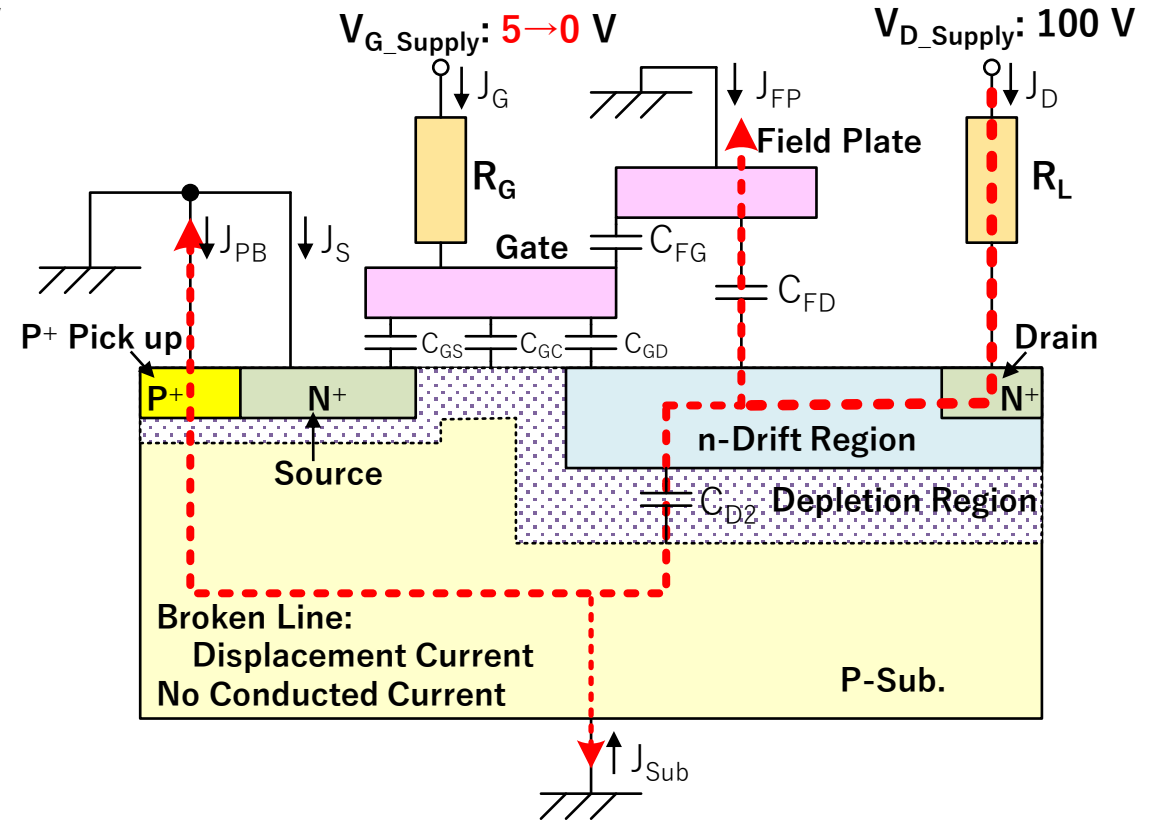
R_G 小、 R_L 大の場合(高速スイッチングで軽負荷)

破線：変位電流



ターンオフ過程の電流経路 (V_{GS} , J_G 過渡期間)

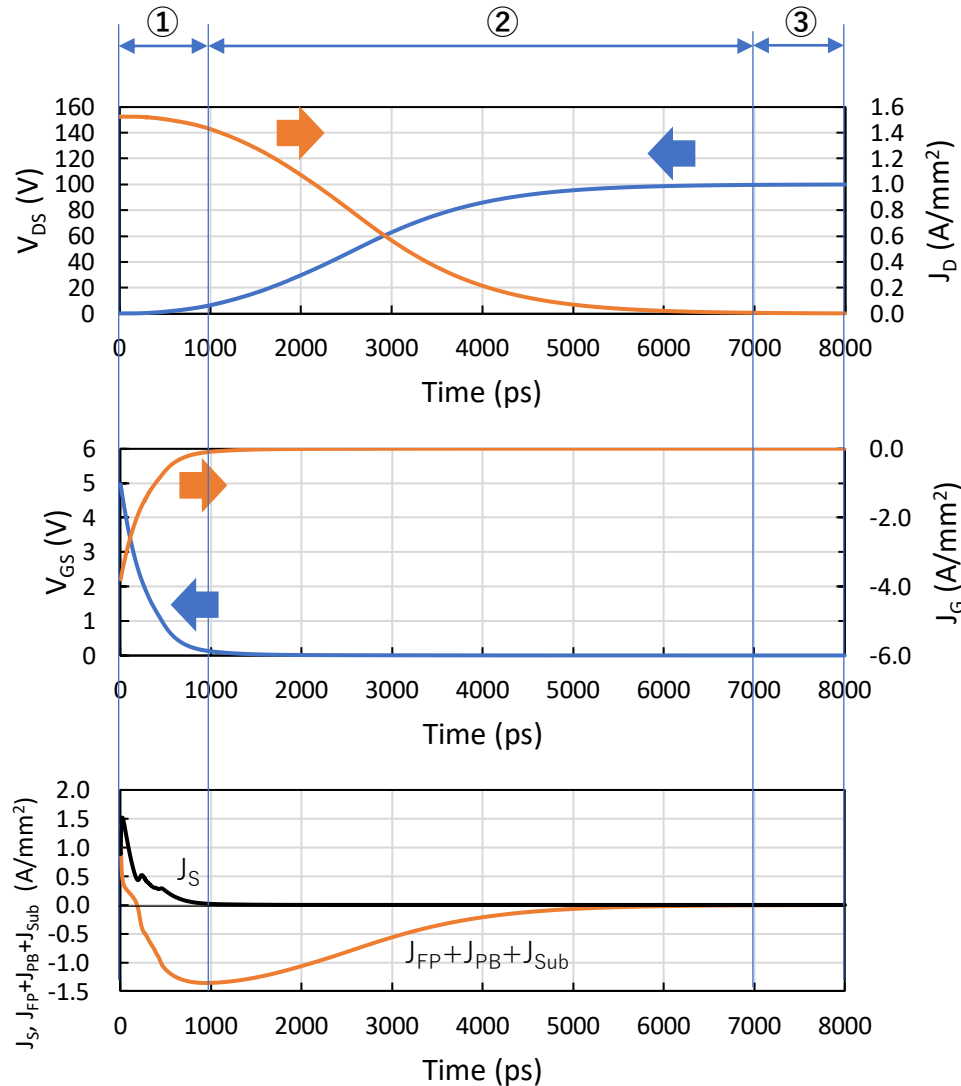
(ターンオフ直後から緑の電流が流れる。真性MOSFETオフ後($V_{GS} < V_T$)に V_{DS} が上昇し赤の電流が流れる。 C_{D1} を介しての電流は省略してある。)



ターンオフ過程の電流経路 (V_{DS} , J_D 過渡期間)

(ターンオフ直後から変位電流が発生し、伝導電流はなくなる)

提案型LDMOSターンオフ特性(1)



① 真性MOSFETオンからオフへ移行 (V_{GS} , J_G が大きく変化する期間(J_S オン期間))

- V_{GS} が低下し($|J_G|$ が低下)、真性MOSFETがオンからオフへ移行する。
 $\Rightarrow J_G$ が容量($C_{GS} + C_{GC} + C_{FG}$)と帰還容量(C_{GD})を放電する。
- 真性MOSFETオフ後($V_{GS} < V_T$)、 V_{DS} が徐々に上昇して J_D が緩やかに低下する。
 $\Rightarrow J_D$ の J_G 成分が帰還容量(C_{GD})の充電を、また J_D の $J_{PB}+J_{Sub}$ 成分が出力容量($C_{D2}+C_{FD}$)の充電をそれぞれ開始する。

ターンオフ前にドレインからソースへ流れていた伝導電流 J_D は、ターンオフ直後に、ゲートへ変位電流として転流する。一方、ソース電流 J_S (正)はゲートへ変位電流として流れ込む。

真性MOSFETのゲートに寄生する容量が従来型のものに比べて小さいため、
ゲートのスイッチングが早い。

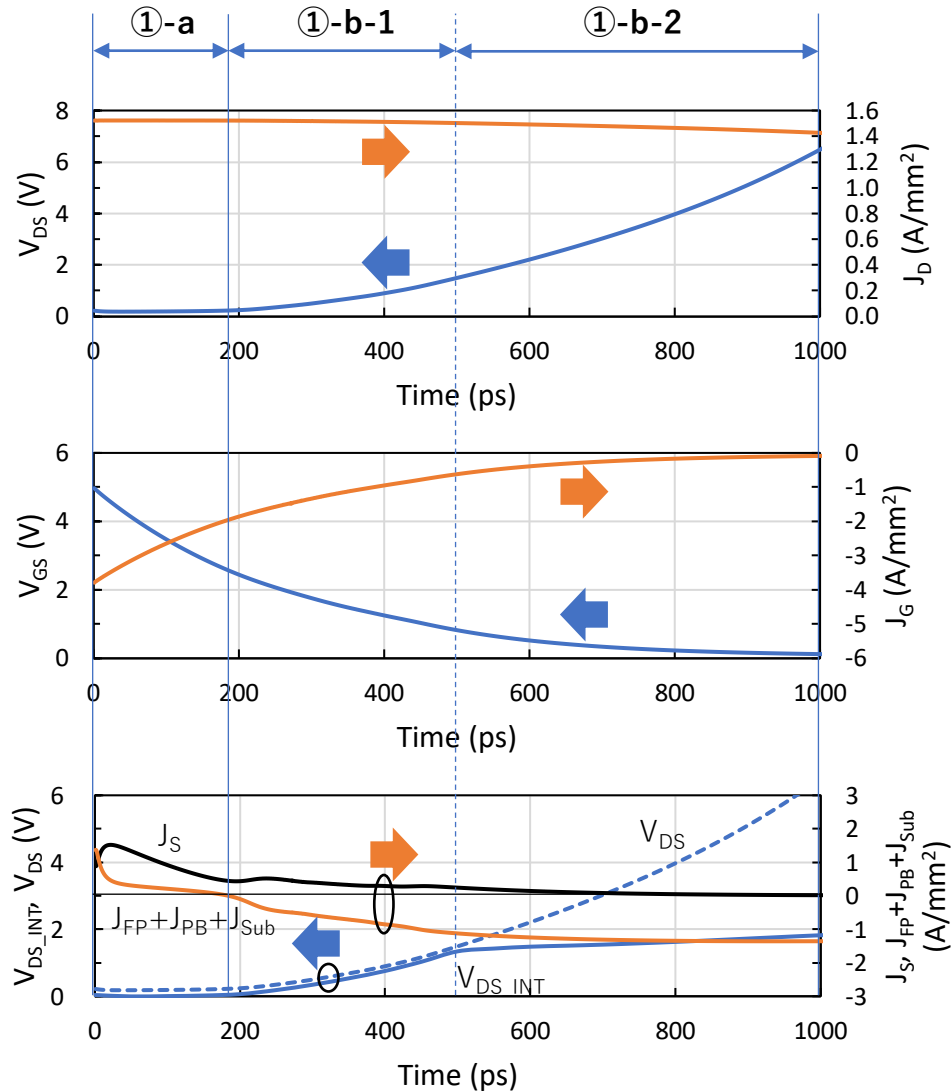
② $V_{GS} < V_T$: 真性MOSFETオフ状態 (V_{DS} , J_D が大きく変化する期間($J_S \doteq 0$ 期間))

- V_{GS} は初期段階でほぼゼロになる。 V_{DS} は増大し供給電圧に達し、 J_D は低下しゼロになる。
 $\Rightarrow J_G$ による容量(C_{GS})と帰還容量(C_{GD})の放電は初期段階でほぼ終了する。($J_S \doteq 0$)
 $\Rightarrow J_D$ の J_{FP} 成分が出力容量(C_{FD})を充電し、 J_D の $J_{PB}+J_{Sub}$ 成分が出力容量(C_{D2})を充電する。
 (従来型に見られた**ゲートプラトー**は発生しない。)

③ $V_{GS} = 0$: LDMOSオフ状態

$R_G = 1.31 \Omega \text{mm}^2$, $R_L = 65.5 \Omega \text{mm}^2$, LDMOS 面積 1mm^2

提案型LDMOSターンオフ特性(2)



① 期間のターンオフ過程

①-a 真性MOSFETオン期間 ($V_{GS} \geq V_T$)

- J_G が入力容量($C_{GS} + C_{GC}$)と帰還容量(C_{GD})を放電する。
(負の J_G により正の $J_{FP} + J_{PB} + J_{Sub}$ 発生)
- J_S はゲートへ変位電流として流れる。
- J_D はソースへ流れる伝導電流からゲートへ流れる変位電流に変わる。

①-b-1 真性MOSFETオフ期間(RESURF形成なし) ($V_{GS} < V_T$)

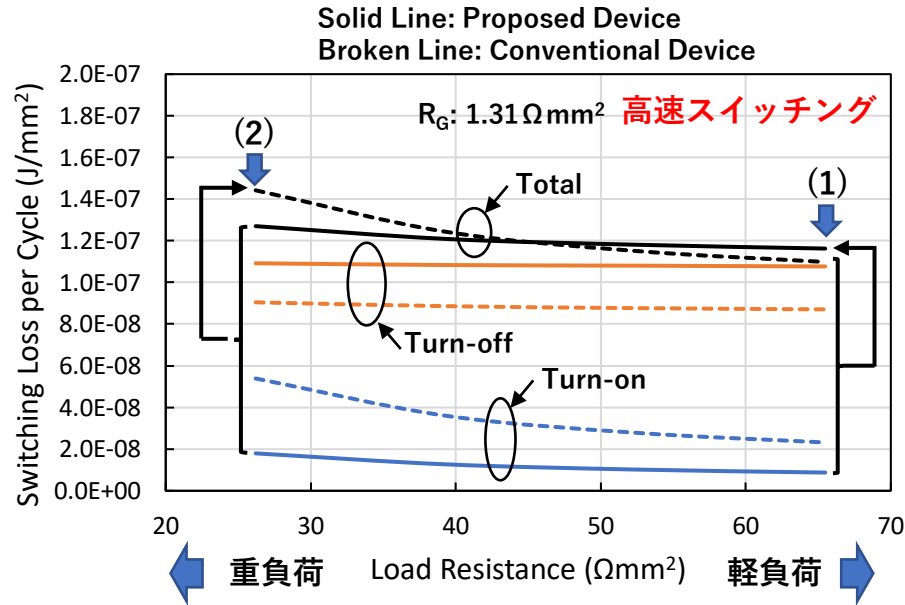
- J_G が入力容量(C_{GS})と帰還容量(C_{GD})の放電を継続する。
- V_{DS} と V_{DS_INT} が上昇し、 J_D が出力容量($C_{D2} + C_{FD}$)と帰還容量(C_{GD})を充電する。
⇒帰還容量(C_{GD})に関し、**Miller効果が発生**する。

①-b-2 真性MOSFETオフ期間(RESURF形成あり) ($V_{GS} < V_T$)

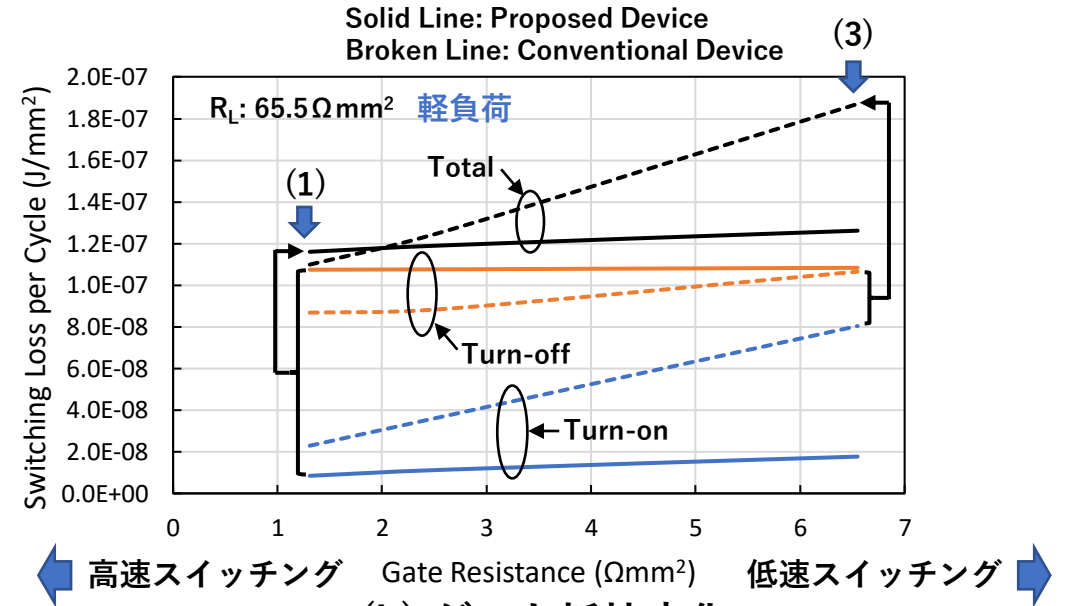
- J_G が入力容量(C_{GS})と帰還容量(C_{GD})の放電を継続する。
- V_{DS} は上昇するが、 V_{DS_INT} は飽和傾向にある。これらの電圧の上昇により、 J_D が出力容量($C_{D2} + C_{FD}$)と帰還容量(C_{GD})の充電を継続するが、 C_{GD} の充電は弱くなる。
⇒真性MOSFETのドレイン領域が空間電荷領域になる (**RESURF形成開始**)。
⇒帰還容量(C_{GD})で発生する**Miller効果は非常に弱い**(無視できる)。

$$R_G = 1.31 \Omega \text{mm}^2, R_L = 65.5 \Omega \text{mm}^2, \text{LDMOS 面積 } 1 \text{ mm}^2$$

スイッチング損失の負荷抵抗とゲート抵抗依存性



(a) 負荷抵抗変化



(b) ゲート抵抗変化

スイッチング損失 (提案型 < 従来型)

$\Rightarrow R_L < 45 \Omega \text{mm}^2$ at $R_G = 1.31 \Omega \text{mm}^2$

$\Rightarrow R_G > 2 \Omega \text{mm}^2$ at $R_L = 65.5 \Omega \text{mm}^2$

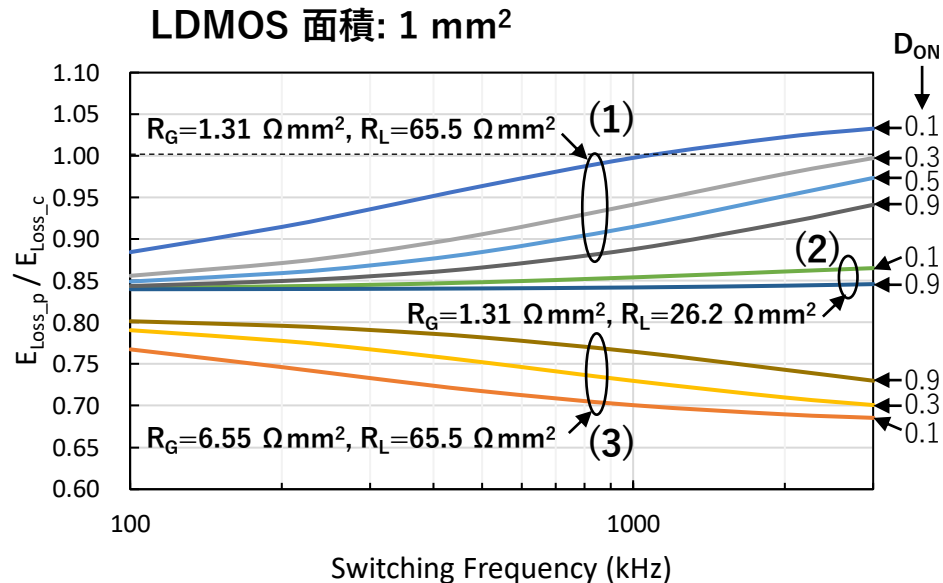
(a) 提案型デバイスの帰還容量は従来型デバイスのものより著しく小さい

(b) 提案型デバイスの出力容量は従来型デバイスのものより著しく大きい

(c) 提案型デバイスの特性オン抵抗は従来型のものより小さい

(注) 上記(1), (2), (3) は、p. 37に記載の(1), (2), (3) の場合に対応する。

全エネルギー損失比（提案型/従来型）



全エネルギー損失比(E_{Loss_p} / E_{Loss_c})の
スイッチング周波数 f 依存性

E_{Loss_p} : 提案型デバイスの全エネルギー損失
 E_{Loss_c} : 従来型デバイスの全エネルギー損失

全エネルギー損失 \Rightarrow (ゲート駆動損失 + ドレイン損失)

従来型LDMOSオン抵抗: 178 m Ωmm^2
 提案型LDMOSオン抵抗: 150 m Ωmm^2

- (1) R_G ,小, R_L 大 (高速スイッチで軽負荷) ($R_G=1.33 \Omega mm^2, R_L=65.5 \Omega mm^2$)
 \Rightarrow 高周波かつ低時比率では提案型の全エネルギー損失が従来型より大きい。
 ($f > 1.1 MHz, D < 0.1$ の領域で 従来型 < 提案型)
 \therefore 全スイッチング損失: 従来型 < 提案型、伝導損失: 従来型 > 提案型
- (2) R_G ,小, R_L 小 (高速スイッチで重負荷) ($R_G=1.33 \Omega mm^2, R_L=26.2 \Omega mm^2$)
 \Rightarrow 全エネルギー損失比の周波数と時比率依存性はほとんどない。
 (E_{Loss_p} / E_{Loss_c} は約0.8でほぼ一定)
 \therefore 全スイッチング損失: 従来型 > 提案型、伝導損失: 従来型 \gg 提案型
 (伝導損失が支配的)
- (3) R_G ,大, R_L 大 (低速スイッチで軽負荷) ($R_G=6.55 \Omega mm^2, R_L=65.5 \Omega mm^2$)
 \Rightarrow 高周波かつ低時比率では全エネルギー損失比は小さくなる。
 (例えば、 E_{Loss_p} / E_{Loss_c} は約0.7 (at $f=3 MHz, D_{ON}=0.1$)になる。)
 \therefore 全スイッチング損失: 従来型 > 提案型 (大きさの度合いは(2)より大きい)、
 伝導損失: 従来型 > 提案型
- (4) R_G ,大, R_L 小 (低速スイッチで重負荷) の場合
 \Rightarrow 上記結果から(3)より更に全エネルギー損失比は低下する。

大部分の実使用範囲では、提案型の全エネルギー損失は従来型に比べて小さい

接地フィールドプレート 40 V n-LDMOSトランジスタ特性まとめ

■ スイッチング損失

⇒ R_G 大で R_L 大（低速スイッチで軽負荷）の場合（スイッチング損失が出易い）
(R_G : 5.33 Ω mm², R_L : 10.66 Ω mm²)

- ・周波数が高く、時比率が小さくなるほど E_{Loss_p}/E_{Loss_c} は小さくなる
(例: $E_{Loss_p}/E_{Loss_c} \doteq 0.3$ (at $f=3\text{MHz}$, $D_{ON}=0.1$)になる)

⇒ R_G 小で R_L 小（高速スイッチで重負荷）の場合（スイッチング損失が出難い）
(R_G : 1.07 Ω mm², R_L : 2.13 Ω mm²)

- ・周波数が高く、時比率が小さくなるほど E_{Loss_p}/E_{Loss_c} は小さくなる
(例: $E_{Loss_p}/E_{Loss_c} \doteq 0.75$ (at $f=3\text{MHz}$, $D_{ON}=0.1$)になる)

⇒ 接地フィールドプレート構造は低スイッチング損失に有効である

(これは、接地フィールドプレートのMiller容量が極端に小さいことに起因する)

■ 特性オン抵抗 $R_{on,sp}$

⇒ $R_{on,sp}$ (提案型: 40.83 m Ω mm²) > $R_{on,sp}$ (従来型: 39.49 m Ω mm²)

(フィールドプレートを接地すると、フィールドプレートをゲートに接続した場合に比べて、ドリフト領域の抵抗が上昇することに起因する)

接地2ステップフィールドプレート 100 V n-LDMOSトランジスタ特性まとめ

■ スイッチング損失

⇒ R_G 大で R_L 大の場合（低速スイッチで軽負荷）（スイッチング損失が**出易い**）

（ $R_G = 6.55 \text{ } \Omega \text{ mm}^2$, $R_L = 65.5 \text{ } \Omega \text{ mm}^2$ ）

- ・ 高周波かつ低時比率では全エネルギー損失比は小さくなる（スイッチング損失：提案型 < 従来型）

（例： $E_{Loss_p}/E_{Loss_c} \doteq 0.7$ (at $f = 3 \text{ MHz}$, $D_{ON} = 0.1$)

⇒ R_G 小で R_L 大の場合（高速スイッチで軽負荷）（スイッチング損失が**少し出難い**）

（ $R_G = 1.33 \text{ } \Omega \text{ mm}^2$, $R_L = 65.5 \text{ } \Omega \text{ mm}^2$ ）

- ・ 高周波かつ低時比率では全エネルギー損失比が1を超える場合がある（スイッチング損失：提案型 > 従来型）

（ $E_{Loss_p}/E_{Loss_c} > 1$ (for $f > 1.1 \text{ MHz}$, $D_{ON} < 0.1$)

⇒ R_G 小で R_L 小の場合（高速スイッチで重負荷）（スイッチング損失が**出難い**）

（ $R_G = 1.33 \text{ } \Omega \text{ mm}^2$, $R_L = 26.2 \text{ } \Omega \text{ mm}^2$ ）

- ・ 全エネルギー損失比の周波数と時比率依存性はほとんどない

（ $E_{Loss_p}/E_{Loss_c} \doteq 0.8$ (for $f \leq 3 \text{ MHz}$, $D_{ON} = 0.1-0.9$)

⇒ 大部分の実使用範囲では、提案型の全エネルギー損失は従来型に比べて小さい

■ 特性オン抵抗 $R_{on,sp}$

⇒ $R_{on,sp}$ (提案型： $150 \text{ m}\Omega \text{ mm}^2$): < $R_{on,sp}$ (従来型： $178 \text{ m}\Omega \text{ mm}^2$)

- ・ **デュアルRESURF構造**が耐圧を低下させることなく、 $R_{on,sp}$ を低減する

（接地フィールドプレートがドリフト領域の抵抗を上昇させるが、この影響は小さい）

謝辞

本研究を進めるにあたり、3D-TCADを使用させて頂いたアドバンスソフト株式会社様に深く感謝を申し上げます。

この3D-TCADは、国立研究開発法人科学技術振興機構A-STEPプログラムの助成を受けてアドバンスソフト株式会社様で開発されました。

参考文献

- (1) Jun-ya Kojima, Jun-ichi Matsuda, Masataka Kamiyama, Nobukazu Tsukiji, and Haruo Kobayashi, "Optimization and Analysis of High Reliability 30-50V Dual RESURF LDMOS," International Conference on Solid-State and Integrated Circuit Technology (**ICSICT**), Oct. 25-28, 2016, Hangzhou, China, pp. 392-394, 2016.
- (2) Jun-ichi Matsuda, Jun-ya Kojima, Nobukazu Tsukiji, Masataka Kamiyama, and Haruo Kobayashi, "A Low Switching Loss 40 V Dual RESURF LDMOS Transistor with Low Specific On-Resistance," International Conference on Mechanical, Electrical and Medical Intelligent System (**ICMEMI**), Nov. 29-Dec.1, 2017, Kiryu, Japan, I01-05, 2017.
- (3) Jun-ichi Matsuda, Jun-ya Kojima, Nobukazu Tsukiji, Masataka Kamiya, and Haruo Kobayashi, "Low Switching Loss and Scalable 20-40 V LDMOS Transistors with Low Specific On-Resistance," International Conference on Technology and Social Science (**ICTSS**), Apr. 18-20, Kiryu, Japan, I03-02, 2018.
- (4) Jun-ichi Matsuda, Anna Kuwana, Jun-ya Kojima, Nobukazu Tsukiji, and Haruo Kobayashi, "Wide SOA and High Reliability 60-100 V LDMOS Transistors with Low Switching Loss and Low Specific On-Resistance," International Conference on Solid-State and Integrated Circuit Technology (**ICSICT**), Oct. 31-Nov. 3, Qingdao, China, S25-6, 2018.
- (5) Anna Kuwana, Jun-ichi Matsuda, and Haruo Kobayashi, "Optimization of High Reliability and Wide SOA 100 V LDMOS Transistor with Low Specific On-Resistance," **ASICON**, D7-5, Chongqing, China 2019.
- (6) 松田 順一, 桑名 杏奈, 小林 春夫, 「高信頼性, 広 SOA 100 V N-LDMOS トランジスタの最適化」, **電気学会論文誌 C** (電子・情報・システム部門誌), Vol.140, No.11, pp.1220-1229, 2020.
- (7) Anna Kuwana, Jun-ichi Matsuda, Haruo Kobayashi, "Analysis of Switching Characteristics of Wide SOA and High Reliability 100V N-LDMOS Transistor with Dual RESURF and Grounded Field Plate Structure," IEEE 14th International Conference on ASIC (**ASICON**), Oct. 26-29, On-Line Virtual, 2021.
- (8) Hao Yang Du, Jun-ichi Matsuda, Anna Kuwana, and Haruo Kobayashi, "Analysis of Switching Characteristics of Dual RESURF 40 V N-LDMOS Transistor with Grounded Field Plate," 5th International Conference on Technology and Social Science (**ICTSS**), Dec. 7-9 (Online), Kiryu, Japan, 2021.