

パワーエレクトロニクス工学論

5. スイッチング電源の効率

5-1 損失の種類

- (1) 損失の種類と概要
- (2) スイッチング素子の損失
- (3) ダイオード、同期整流MOSの損失
- (4) インダクタンスの損失

5-2 負荷電流と効率の関係

- (1) 電流不連続モードと同期整流方式
- (2) 低負荷時の効率改善

5. スイッチング電源の損失

5-1 損失の種類

(パワーステージのみ)

(1) 損失の種類と概要

● 主な損失の種類

* スイッチング素子

- ・ON抵抗による導通損失
- ・スイッチング損失

* ダイオード(同期整流素子)

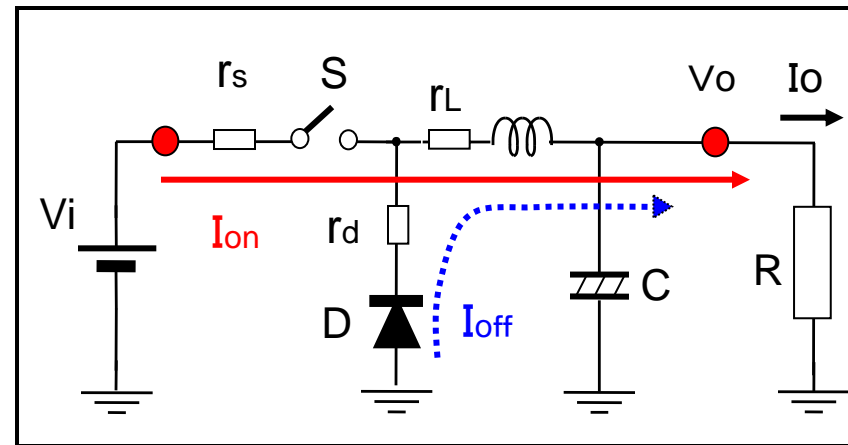
- ・ON抵抗による導通損失
- ・スイッチング損失

* コイル・トランス

- ・内部抵抗による導通損失(銅損)
- ・鉄芯のヒステリシス損・渦電流損(鉄損)

* コンデンサ

- ・内部抵抗(ESR)による損失(微少)



- ・ r_s : スイッチング素子のON抵抗
- ・ r_d : ダイオード素子のON抵抗
- ・ r_L : コイルの内部抵抗:ESR

(2) スイッチング素子の損失

(A) MOSFETの一般的特徴

- ゲート幅にて電流容量確保(並列接続)

ON抵抗低減、ゲート容量増大

- 耐圧に注意(特に昇圧形電源)

ゲート長で耐圧確保・・・ON抵抗は増大

ON抵抗と耐圧は相反する

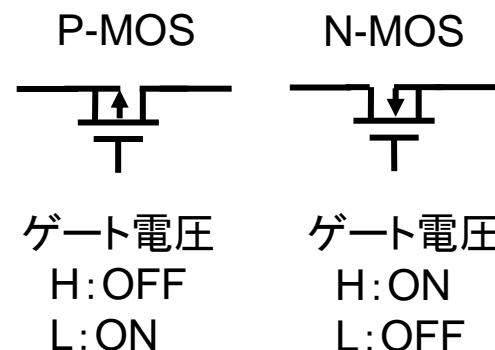
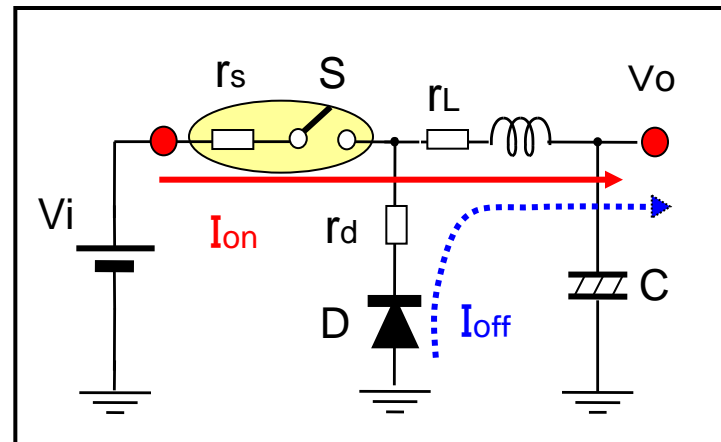
- 一般的にデューティDが小さいので

ON抵抗より、スイッチング速度を重視

ゲート容量によりスイッチング速度が低下

(B) N-MOSとP-MOSの比較

	ON抵抗	SW速度	ゲート電圧
P-MOS	△	△	$V_G < V_i$: 性能劣るが 駆動回路容易
N-MOS	○	○	$V_G > V_i$: 性能良いが 回路工夫必要



(C) スイッチング損失

* スイッチング速度とデバイス・パラメータ

- ・ゲート容量 C_G による遅延
 - 特に C_{GD} はミラー効果で影響大
- ・ソース端子のインダクタンス:ESLによる遅延
- ・ゲート電流制限抵抗に注意:大 \Rightarrow 遅延、小 \Rightarrow 大電流

* スイッチング・ロス = $V \cdot I$ 積

- ・ドレイン電圧変化に対して電流が遅れる
 - OFF時の遅延大 \Rightarrow ロス大
- ・損失: 電圧 V_i 、電流 I_i 、周波数 F に比例

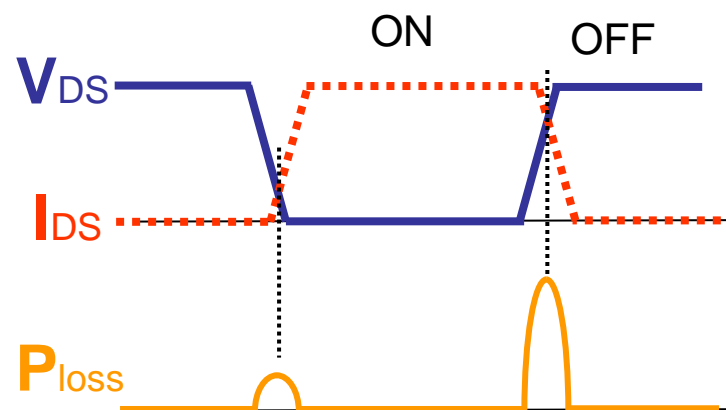
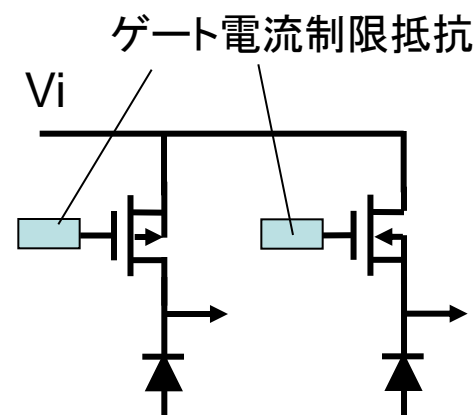
* スイッチング・ロス: ゲート容量 C_G

- ・ゲート容量の充放電損失:

$$E_{SWG} = (1/2) C V_G^2 \cdot F_{pwm}$$

・・・負荷電流に無関係

スイッチング周波数が高いほど、損失大
負荷電流0でも、固定SW損失あり



スイッチング・ロスの波形

(3) ダイオード、同期整流MOSの損失

(A) ダイオードの特性

* ダイオードの損失

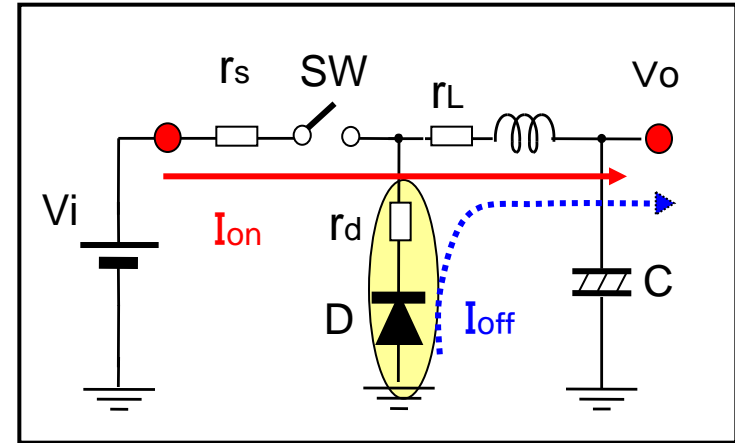
- ・PN接合・ダイオード : $V_D \cong 0.8V$
 - ・ショットキ・バリア・ダイオード : $V_F \cong 0.4V$
- cf. N-MOSのON電圧 : $V_{DS} \cong 0.2V$

【注意】ショットキDiの逆耐圧 : $V_{rrm} = \text{数十}V$

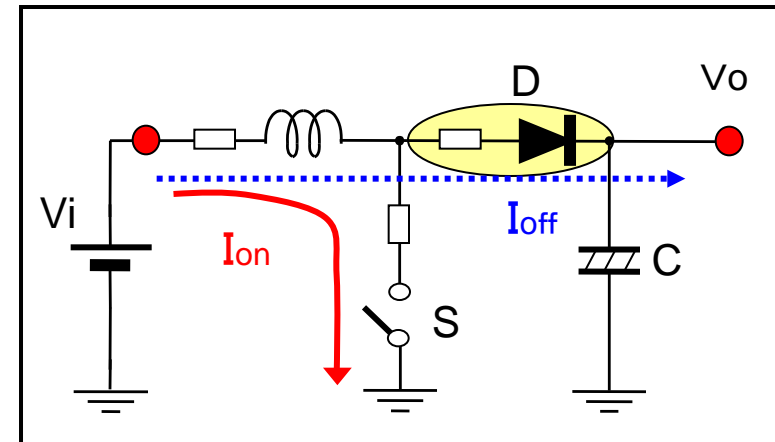
(V_{rrm} :ピーク繰返し逆電圧)

* SWとDiの損失比較:降圧形電源

- ・通常、デューティ=0.1~0.4程度
- ⇒ 導通損失はダイオードが中心
- ∴ DiはON抵抗、MOSはSW速度を重視



(a) 降圧形電源の構成



(b) 昇圧形電源の構成

(B) 大型ダイオードによる V_F の低減

★ダイオードの $V_F - I_D$ 特性

* 電流: $I_D = I_s \cdot \{\exp(qV_F/kT) - 1\}$

$$\doteq I_s \cdot \exp(qV_F/kT) = I_s \cdot \exp(V_F/V_T)$$

ここで $V_T = kT/q = 0.026$ [V]

ただし、 k : ボルツマン定数

q : 電子の電荷量

T : 絶対温度

* 電流を k 倍: $k \cdot I_D = I_s \cdot \exp(V_F'/V_T)$

$$= I_s \cdot \exp\{(V_F + \Delta V)/V_T\}$$

$$= I_s \cdot \exp\{V_F/V_T\} \cdot \exp\{\Delta V/V_T\}$$

$$= I_D \cdot \exp\{\Delta V/V_T\}$$

よって $\Delta V = V_T \cdot \ln(k) = 0.026 \cdot \ln(k)$

1) $k=2 \quad \dots \quad \Delta T = 0.026 \cdot \ln(2) \text{ V} = 0.018 \text{ V} = 18 \text{ mV}$

2) $k=2.7 \quad \dots \quad \Delta T = 0.026 \cdot \ln(k) \text{ V} = 0.026 \text{ V} = 26 \text{ mV}$

電流 半減で、わずか 26mV の低減
0.1V 下げるには、サイズを 5.5 倍に！

(C) 同期整流方式:

* Diに並列に MOS接続

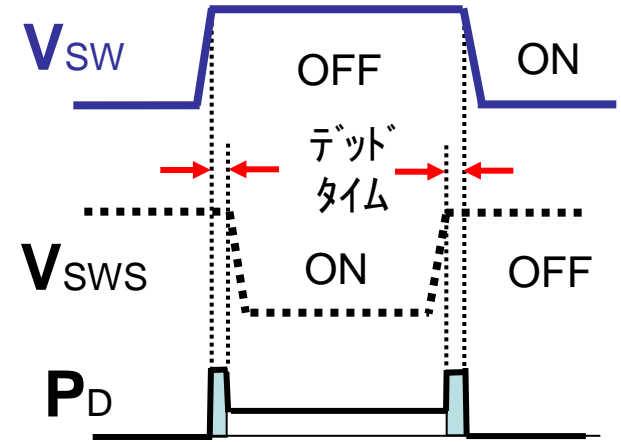
- ・ショットキDi よりMOSの方が 導通損失低い
⇒ Di のON期間に、MOSで同期整流

* 昇圧形電源も同様に接続

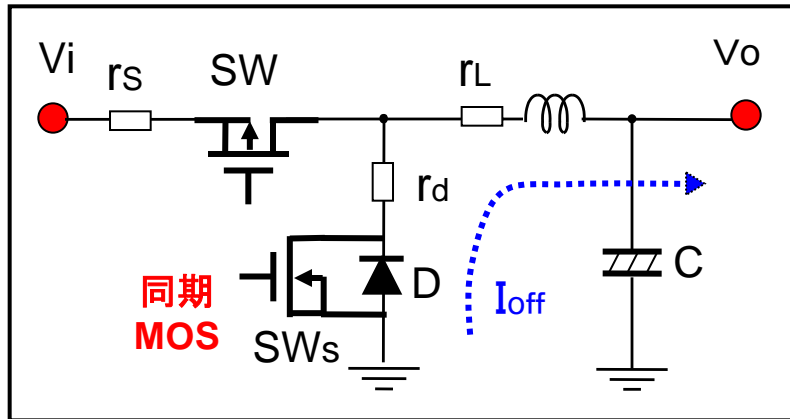
- ・ダイオードと並列にMOS-SW使用

* スwitchング・タイミング

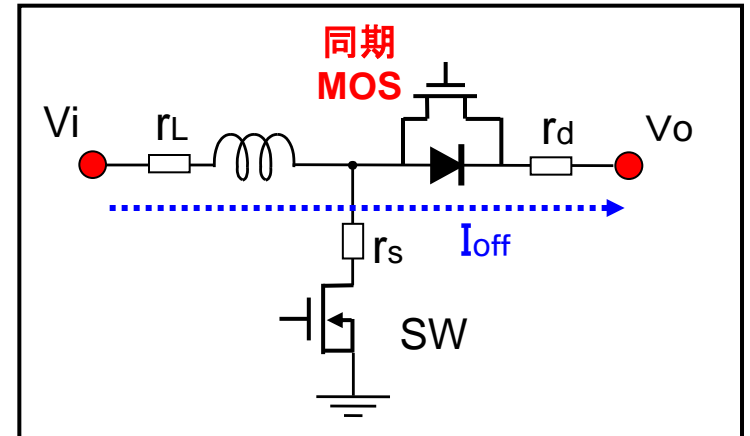
- ・SW電流の切り替えタイミングはばらつく
- ・両SWの同時ONは禁止 ⇒ **デッドタイム**
- ・デッドタイム期間は、Di が導通: $V_F=0.8V$



(c) スwitchング・タイミング



(a) 同期整流方式(降圧形)



(b) 同期整流方式(昇圧形)

(C) 同期整流方式の損失

* MOSの導通損失が小さい: $V_{MOS} < V_{Di}$

・ D_i の大部分の損失を低減 [デッドタイムが残る]

⇒ **ボディーダイオード**を利用できるか？

* ボディダイオードの構成 (N-MOSの場合)

・ N-MOSのドレイン (n)-バックゲート (p)間

・ 回路長が長く、抵抗が大きい

⇒ NG: 外付け D_i , SBD を使用

● 更なる効率改善: デッドタイムの低減法

・ 素子遅延ばらつき、ソースESLの低減

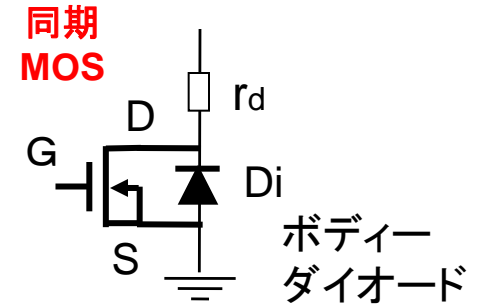
2つのMOSとプリドライバの集積化 (ルネサス)

・ ON/OFF遅延のばらつき吸収

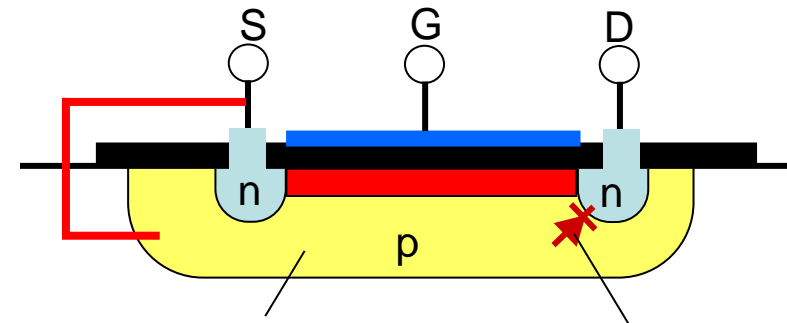
⇒ デッドタイムの短縮

・ ソース配線ESLの低減 (ICピン、外付配線)

⇒ スイッチング速度の高速化



(a) 同期整流MOSの回路



バックゲート ボディーダイオード
(b) N-MOSの構造

【参考】降圧形電源の損失解析 (同期整流方式)

● デューティ: $D \approx 0.1$ (右図の場合)

* ハイサイドMOS

- ・導通期間は 10%

SW損失が大きい: 36%

⇒ 周波数アップで 更に増大

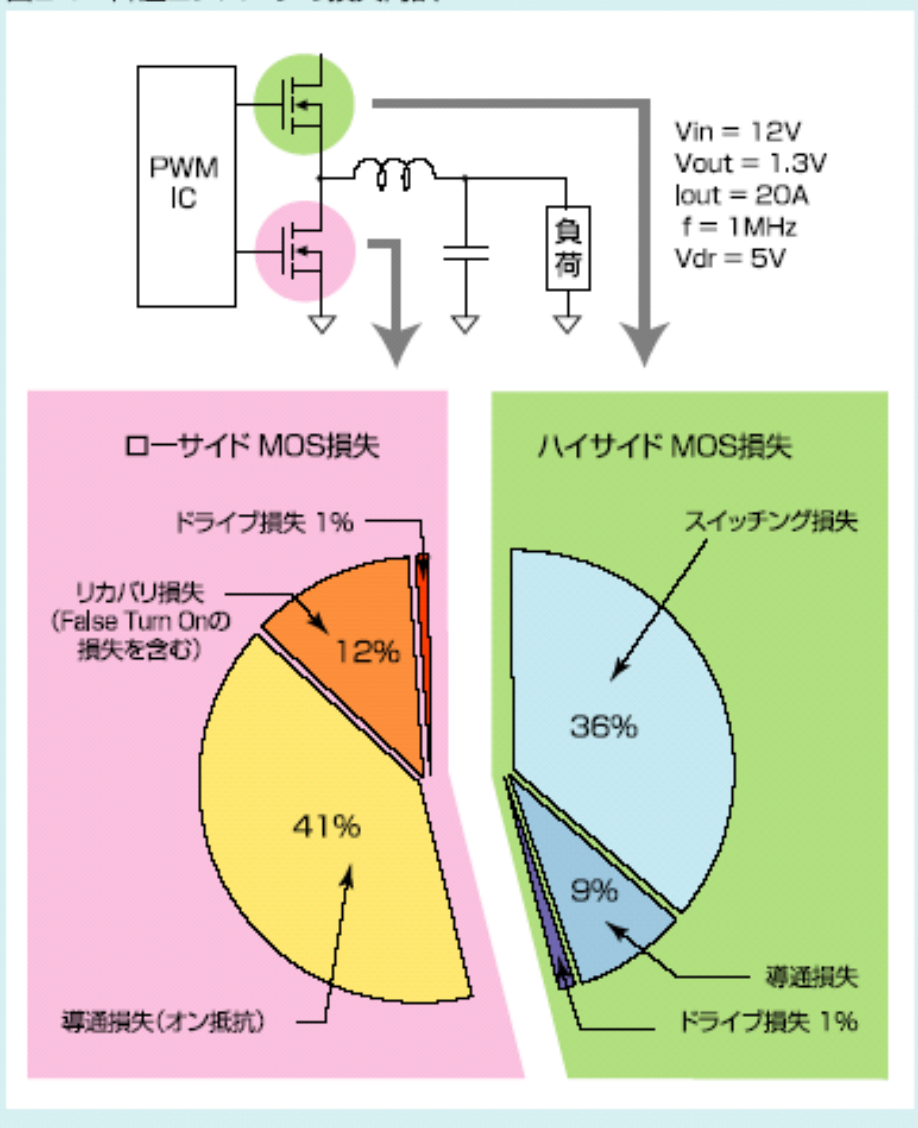
* ローサイドMOS(同期整流方式)

- ・90%の導通期間

導通損失が大きい: 41%

リカバリ損失: 12%

図2-1 降圧コンバータの損失内訳



ルネサステクノロジ HP 資料より

(4) インダクタンスの損失

* インダクタンスの特性:

・インダクタンス: $L = A \cdot N^2 \cdot S_B \cdot \mu$

N: 巻数、 S_B : ボビン面積、 μ : 透磁率、A: 形状係数

・銅損・鉄損の小さいコイルを選択

* 銅損: 内部抵抗 r_L

内部抵抗 = 巻線長 / 線断面積

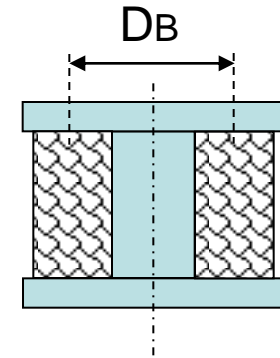
* 同一ボビン使用なら

・巻線エリアの体積一定: 巻数N・線断面積 S_w = 一定

・インダクタンスを2倍 \Rightarrow 巻数 $=\sqrt{2}$, 線断面積 $=1/\sqrt{2}$

\Rightarrow 内部抵抗 $r_L = 2$ 倍

・L値をk倍にする場合 \dots 巻数 $N = \sqrt{k}$ 倍、 $r_L = k$ 倍



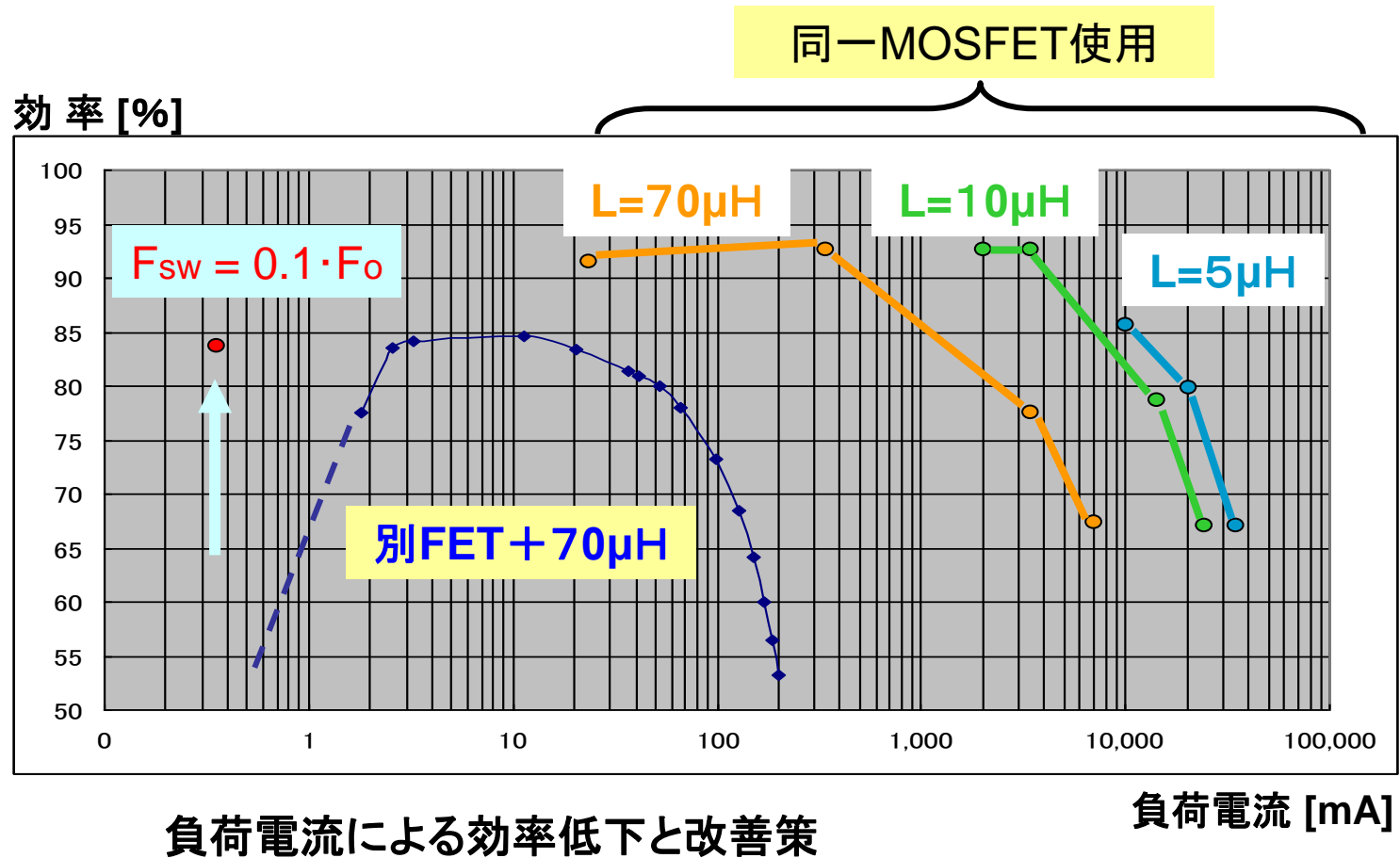
平均巻線径 $=D_B$

ボビンが決まると、L値と 抵抗値 r_L は ほぼ比例

コイル抵抗と効率比較(シミュレーション)

● 特性改善への手がかかり

負荷電流の増大による効率低下 ⇒ コイルを変更
線径を太くし、ESRを下げて、L値も下げる



5-2 負荷電流と効率の関係

(1) 電流不連続モードと同期整流方式

(A) 電流不連続モードの動作確認

* **非同期整流方式**: 右図(a)

・期間 T_3 は、 D_i で逆流防止

コイル電流: $I_L = 0A$ (実際はLC振動)

* **同期整流方式**: 右図(b)

・ T_3 期間も、MOSは導通!

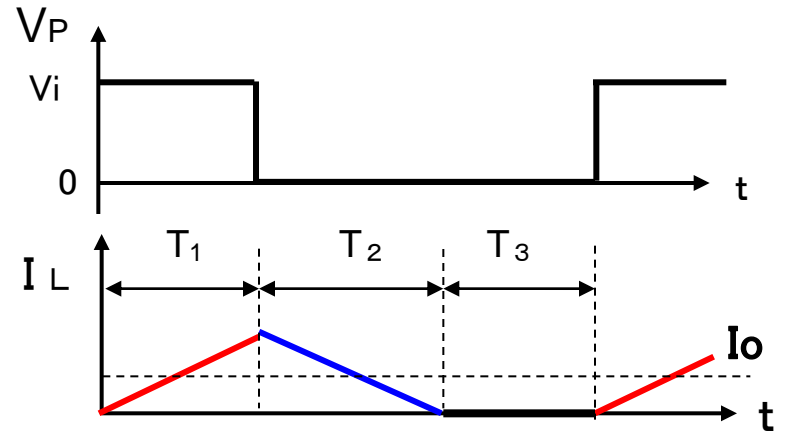
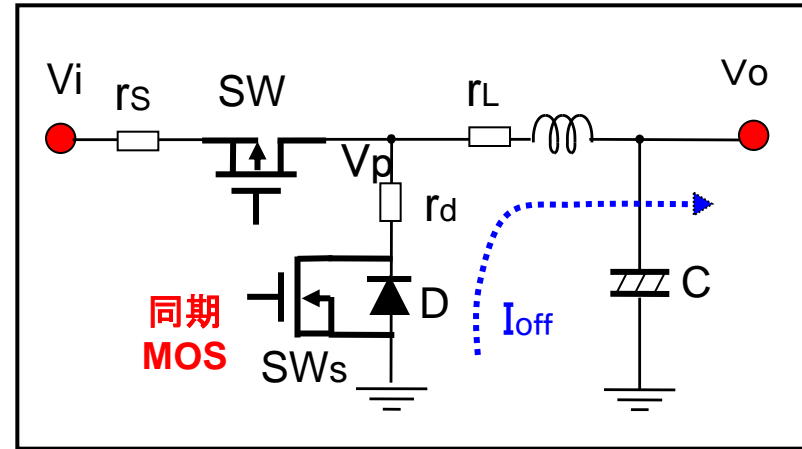
MOSのON時は、両方向に導通

⇒ MOSを介して **逆方向電流**

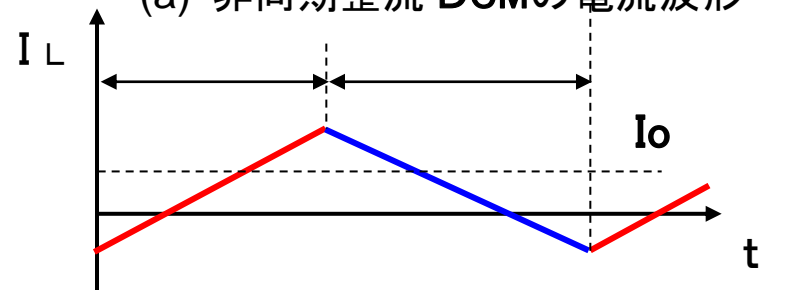
・結果的にピーク電流も増加

無用な逆電流 + 大きい順方向電流

⇒ **損失増大**



(a) 非同期整流 DCMの電流波形



(b) 同期整流 DCMの電流波形

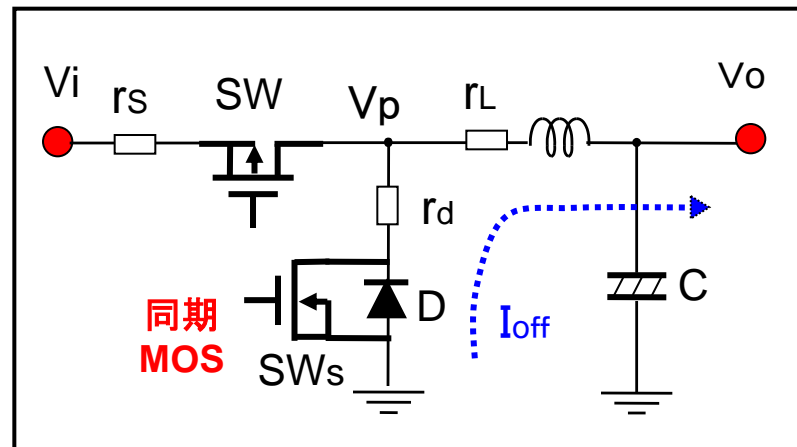
(B) 対策案

* DCM状態の検出

- ・コイル電流検出回路による逆電流検出
電流制御方式では有効
- ・同期整流MOSの逆電流検出
カレントミラーによるDi電流検出
- ・Di電位の反転検出

* DCM・低負荷時の対策方法

- ・逆電流検出による同期整流の停止
MOSをOFFにする
- ・他の対策方法への切換え
周波数変調方式:PFM など



(2) 低負荷時の効率改善

(A) パワーMOSのゲート容量と損失

● パワーMOSのゲート容量

* 一般にMOSには、ゲート容量あり:

CGD: ゲート・ドレイン間容量

CGS: ゲート・ソース間容量

* パワーMOSのON/OFFには、ゲート電圧をSW

⇒ ・ゲート容量への無駄な充放電によるロス

・ドライバの出力抵抗 r_g による導通ロス

* パワーMOSのゲート幅は非常に大きく(10~20cm)

⇒ ゲート容量も比例して大きい:ロス大

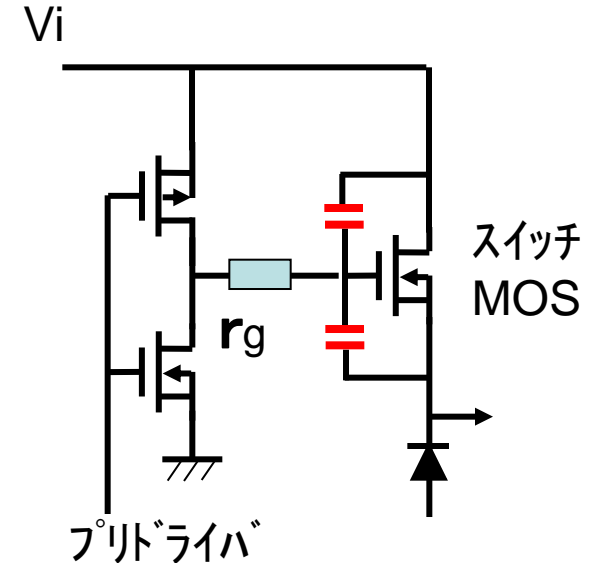
● ゲート容量損失

* 負荷電流に無関係に、一定のロスが発生

⇒ 低負荷電流時に 効率が大きくダウン

* スイッチング周波数に比例して損失増加

* 入力電圧が高いほど、損失増加



(B) パワーMOSゲート容量損失の改善(低負荷時の効率改善案)

● 低負荷電流時に、高速スイッチングは必要か？

また負荷電流は小さいので、小型MOSでもOK？

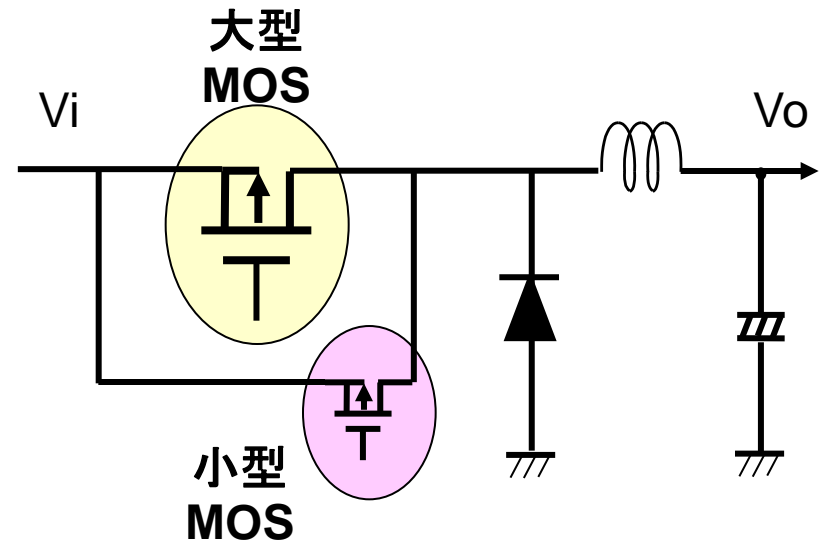
⇒ 低負荷電流時に、無駄な動作や電流を低減

● 対策案1:

* 負荷電流に応じて、MOSサイズを切換え
(並列駆動数の制御)

* 低負荷時は、小型MOSで駆動
多数の並列MOSを分割駆動

・デメリット: 駆動回路の増大



● 対策案2: PFM駆動: (Pulse Frequency Modulation)

(A) PFM駆動: 最小PWMパルス幅で、周期(周波数)を可変制御

* スイッチング周波数が低くなり、スイッチング損失は低下

* 注意: 周波数の下限は、可聴周波数(20kHz)以上

(B) 間欠駆動: リプル制御方式

* 最小PWMパルス幅で数周期制御して、 $V_o = V_{ref}$ で駆動休止

⇒ $V_o < (V_{ref} - \Delta V)$ まで低下したら、再度 数周期制御する

