socionext<sup>\*</sup>

@大岡山、東工大

2017/7/5

# 逐次比較型時間デジタイザ回路の統計的手法 による線形性自己校正技術の検討

小澤祐喜、姜日晨、小林春夫、築地伸和(群馬大)、塩田良治(socionext)、畠山一実(群馬大)

### 群馬大学 理工学部 電子情報理工学科 小林研究室 学部4年 小澤 祐喜 t13304037@gunma-u.ac.jp

Kobayashi Lab. Gunma University

# 研究目的

▶逐次比較型時間デジタイザの線形性を自己校正

### ▶タイミングテストに応用可能

### ▶小型•高分解能

▶FPGA実装向き 全デジタル構成



これらを満たすアルゴリズムと回路を提案

アウトライン

- 時間デジタイザ回路の役割
  - -時間デジタイザ回路の構成と動作
  - -具体的な応用例
  - -タイミングテストへの応用
  - -有用性
  - -技術課題
- ・ 逐次比較型(SAR)TDCの構成と動作
- 校正メカニズム
  - -ヒストグラム法による素子遅延値の推定 -逆関数による校正
- 測定回路を組み込んだSAR TDC
   -回路構成
  - -回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめと課題

アウトライン

- 時間デジタイザ回路の役割
  - -時間デジタイザ回路の構成と動作
  - -具体的な応用例
  - -タイミングテストへの応用
  - -有用性

#### -技術課題

- ・ 逐次比較型(SAR)TDCの構成と動作
- 測定回路を組み込んだSAR TDC
   -回路構成
  - -回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめと課題



時間デジタイザ回路(Time-to-Digital Converter、TDC); タイミング信号の時間差を測定しデジタル出力

### 逐次比較の原理

例 逐次比較型ADC

速度と精度のバランスが良く、チップ面積が小さく汎用ADCに最も多く使用される方式





### 逐次比較:2進探索アルゴリズム





## SAR-ADCとSAR-TDCの比較

天秤の原理で動作:

● 天秤がコンパレータ

● 分銅がDAC



SAR-ADC



天秤の原理で動作:

- 天秤がD-FF
- 分銅が遅延素子

# 具体的な応用例



SIEMENS CO.,LTD.

放射線計測器 車間等の距離計測 イオン飛行時間分析

時間領域ADC 等



BMW AG CO., LTD.



**JAXA** Digital Archives

車載センサとしての応用







高信頼性



脱アナログ化 センサ回路の 全デジタル化



タイミングテストへの応用

- 2つの繰り返しクロック信号のタイミング テスト回路としてSAR-TDCを応用
- 例 DDRメモリのクロック信号



- テスト時間の短縮
- 高い正確性
- 全デジタル設計が可能



小さい回路規模でBOST/BIST実装可能

BOST: Built-Out Self-Test BIST: Built-In Self-Test

# CMOS微細化に伴う傾向

CMOSプロセス技術の微細化





# TDCの利点

利点①





# TDCの利点

利点②









## 技術課題





- 時間デジタイザ回路の役割
  - -時間デジタイザ回路の構成と動作
  - -具体的な応用例
  - -タイミングテストへの応用
  - -有用性
  - -技術課題
- ・ 逐次比較型(SAR)TDCの構成と動作
- 校正メカニズム
   -ヒストグラム法による素子遅延値の推定
   -逆関数による校正
- 測定回路を組み込んだSAR TDC
   -回路構成
  - -回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめと課題

19/49 逐次比較型(SAR)TDCの構成と動作

回路構成



20/49逐次比較型(SAR)TDCの構成と動作



21/49逐次比較型(SAR)TDCの構成と動作



22/49逐次比較型(SAR)TDCの構成と動作



23/49逐次比較型(SAR)TDCの構成と動作



アウトライン

- 時間デジタイザ回路の役割
  - -時間デジタイザ回路の構成と動作
  - -具体的な応用例
  - -タイミングテストへの応用
  - -有用性
  - -技術課題
- ・ 逐次比較型(SAR)TDCの構成と動作
- 校正メカニズム
  - -ヒストグラム法による素子遅延値の推定 -逆関数による校正
- 測定回路を組み込んだSAR TDC
   -回路構成
  - -回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめと課題

25/49ヒストグラム法による素子遅延値の推定

# ヒストグラム法 🔶 素子遅延値を間接的に知ることが可能

#### ヒストグラム・エンジンによる統計処理



26/49ヒストグラム法による遅延素子値の推定



全体の面積に対して 無作為に点を打つ それぞれの<u>片の面積の比</u>は それぞれの<u>点数の比</u>に近似できる

## TDCの線形性劣化



各素子

逆関数による校正

#### 非線形な特性の逆関数を用いて線形に校正



デジタル出力

逆関数による校正

#### 校正後のTDC特性



デジタル出力

- 時間デジタイザ回路の役割
  - -時間デジタイザ回路の構成と動作
  - -具体的な応用例
  - -タイミングテストへの応用
  - -有用性
  - -技術課題
- ・ 逐次比較型(SAR)TDCの構成と動作
- 校正メカニズム

   -ヒストグラム法による素子値の推定
   -逆関数による校正
- 測定回路を組み込んだSAR TDC
   -回路構成
  - -回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめと課題

回路構成



#### SAR-TDCに測定回路(素子:青 導線:赤)を付加





SAR-TDCに測定回路(素子:青 導線:赤)を付加

遅延素子値測定モード



リング発振器とランダム信号は独立

回路動作



無作為に点を打つことに対応



遅延素子値測定モード



素子遅延値の比をそれぞれ測定



フラッシュ型に比べ時間を要する

# Histogram-Engineのブロック図

#### Histogram-Engine



簡略化したテストモード回路の構成



簡略化したテストモード回路の構成



簡略化したテストモード回路の動作



- 時間デジタイザ回路の役割
  - -時間デジタイザ回路の構成と動作
  - -具体的な応用例
  - -タイミングテストへの応用
  - -有用性
  - -技術課題
- ・ 逐次比較型(SAR)TDCの構成と動作
- 校正メカニズム
   -ヒストグラム法による素子値の推定
   -逆関数による校正
- 測定回路を組み込んだSAR TDC
   -回路構成
  - -回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめと課題

シミュレーションによる検証

Scilab 5.4.1で検証:

逐次比較型TDCのヒストグラム法を用いた校正手法を下記の条件でシミュレーション



# 実際の値を生成



ヒストグラム法の検証



逆関数による校正の検証

#### 非線形なTDC特性の 逆関数を用いてキャンセル



校正後のTDC特性





誤差について比較



- 時間デジタイザ回路の役割
  - -時間デジタイザ回路の構成と動作
  - -具体的な応用例
  - -タイミングテストへの応用
  - -有用性
  - -技術課題
- ・ 逐次比較型(SAR)TDCの構成と動作
- 校正メカニズム

   -ヒストグラム法による素子値の推定
   -逆関数による校正
- 測定回路を組み込んだSAR TDC
   -回路構成
  - -回路動作(ノーマルモード・テストモード)
- シミュレーションによる検証
- まとめと課題

- 逐次比較型TDCの非線形な特性を校正できる回路の考案
- ヒストグラム法を用いた、逆関数による校正メカニズム
- Scilabによるシミュレーション

50	5	37	04	1 219	11 00	0	26	36833	77	0 71	62	60	2	69	7 62	3	869
59	66	9 44		4805	639		3	61687	91	1845	0			8	77	7	80 8
41	3	892		5232	3 20			0160	61	97 33		45	9	8	7886	2	3 (



高速に過ぎゆく時间を測定

新しい付加価値の創出

6	31 1	83 2	7	б	98	56	5	59	4	4	0	62721 06	8	2	63517	
21	16 8	41 0		4	65	69	8	08	9	8	2	0229407 28		1 1	93216	(
9	40 0	48 7	6	1	07	90	35	33	1	1	3	5875035 6		3 1	64838 9	8

# ADCにおける自己校正方法

Reference : F.Malobeti. 2007. Data Converters. Springer Press. pp.409-414

## DNL & INL



# Previous & Alternative Solutions



Alternative solution



## **Alternative Solution**

### Pseudo-random digital sequence

#### 0110101101001010100101 • • • • •



Analog filter & Low-pass filter

Random voltage

## Sine wave test signal



#### Even with distorted sine wave , We can obtain an excellent control of the sinusoidal shape

Accurate estimation of probability density function is

$$p(V) = \frac{1}{\pi\sqrt{A^2 - x^2}}; \quad x = V - V_{os}.$$
(9.22)

Possible offset :  $V = A \cdot \sin(x) - V_{os}$ 

# **Result of Simulation**

#### Non linear ramp

$$X(t) = 0.99kt - 0.02(kt)^3 + x_n(t);$$
  
-1/k < t < 1/k

#### Sinewave

$$p(V) = \frac{1}{\pi\sqrt{A^2 - x^2}}$$

Probability density function



