

2015年3月3日

完全空乏型SOI-MOSFET

群馬大学

松田順一

項目

- 概要
 - 用途、作製方法、メリット
- 完全空乏型 n チャネルSOI - MOSFET特性
 - 閾値電圧(バックゲート効果、短チャネル効果含む)
 - 電圧・電流特性(トランス・コンダクタンスと移動度、サブスレッシュ・ホールド・スロープ、キック効果含む)
- 蓄積型 p チャネルSOI - MOSFET特性
 - 閾値電圧
 - 電圧・電流特性(サブスレッシュ・ホールド・スロープ含む)
- ボディ効果の統一的表現

(注)第60回 群馬大学アナログ集積回路研究会講演会(2007年3月26日)資料から抜粋

SOI基板の用途

- LSIへの応用(薄膜SOI)
 - 高速化・低消費電力
 - サーバ/PC用CPU、ゲーム機用チップ
 - 時計用LSI
 - 民生用(情報機器、家電製品、無線(RF)機器、自動車)
- パワーデバイスへの応用(厚膜SOI)
 - 高耐圧、耐熱性、耐ノイズ性、耐放射線性
 - 宇宙産業、航空産業、軍関係、自動車
 - 家電製品(エアコン、冷蔵庫、PDP)
- センサ(MEMS)への応用
 - ピエゾ効果
 - 高温用圧力センサ、加速度センサ、角速度センサ(自動車)
 - ホール効果
 - 高温用磁気センサ
 - CMOS/ダイオード
 - イメージセンサ/赤外線イメージセンサー

SOIのLSIへの応用例

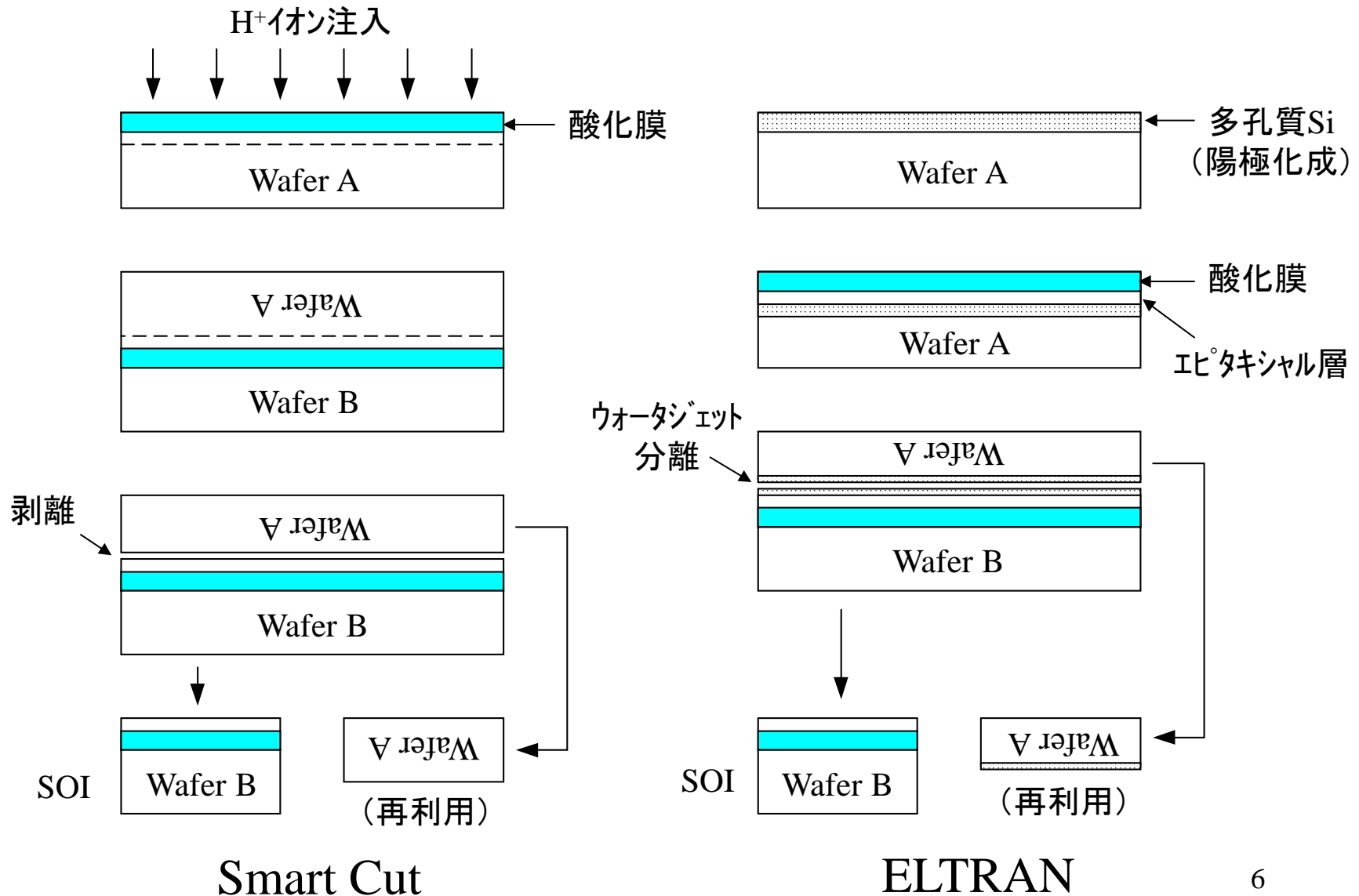
- データプロセッシングCPU
 - Power PC (IBM)、Opteron (AMD)
- ゲーム機用CPU
 - PlayStation3「Cell」CPU、Wii™CPU、Xbox™360CPU
- RFID (Radio Frequency Identification) チップ
 - 日立μチップ0.15mm×0.15mm、厚さ7.5μm
- 高速低消費電力SoC
 - Silicon on thin BOX (日立)
- DRAM (Dynamic Random Access Memory)
 - 浮遊ボディ型RAM: FBC (Floating Body Cell) (東芝)
 - ZRAM (ゼロ・キャパシタRAM) (イノベイティブ・シリコン)
 - 組込み型DRAM (eDRAM) (IBM)

BOX (埋め込み酸化膜) : 薄膜化150 nm ⇒ 10 ~ 25nm

SOI基板の作製方法

- SIMOX (Separation by IMplanted OXygen)
 - 基本発明(1978): 泉 (NTT)
 - 酸素イオン注入
- Smart Cut (UNIBOND)
 - 基本発明(1991): Blue1 (LETI)
 - 水素イオン注入 ⇒ ウエハ剥離
- ELTRAN (Epitaxial Layer TRANSfer)
 - 基本発明(1991): 米原 (キャノン)
 - 陽極化成 (多孔質Si) ⇒ ウォータージェット分離

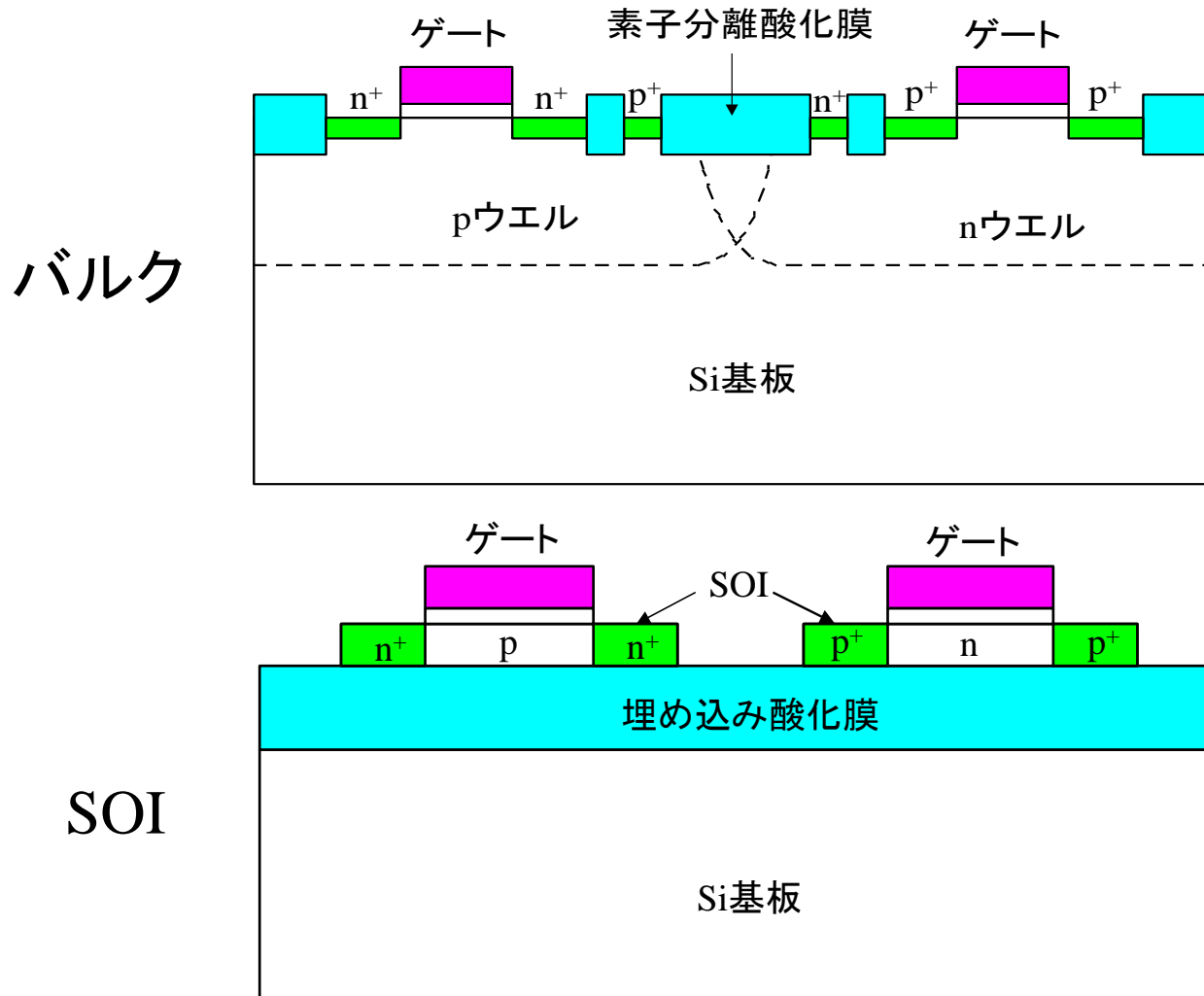
薄膜SOI基板作製フロー



薄膜SOI基板のメリット

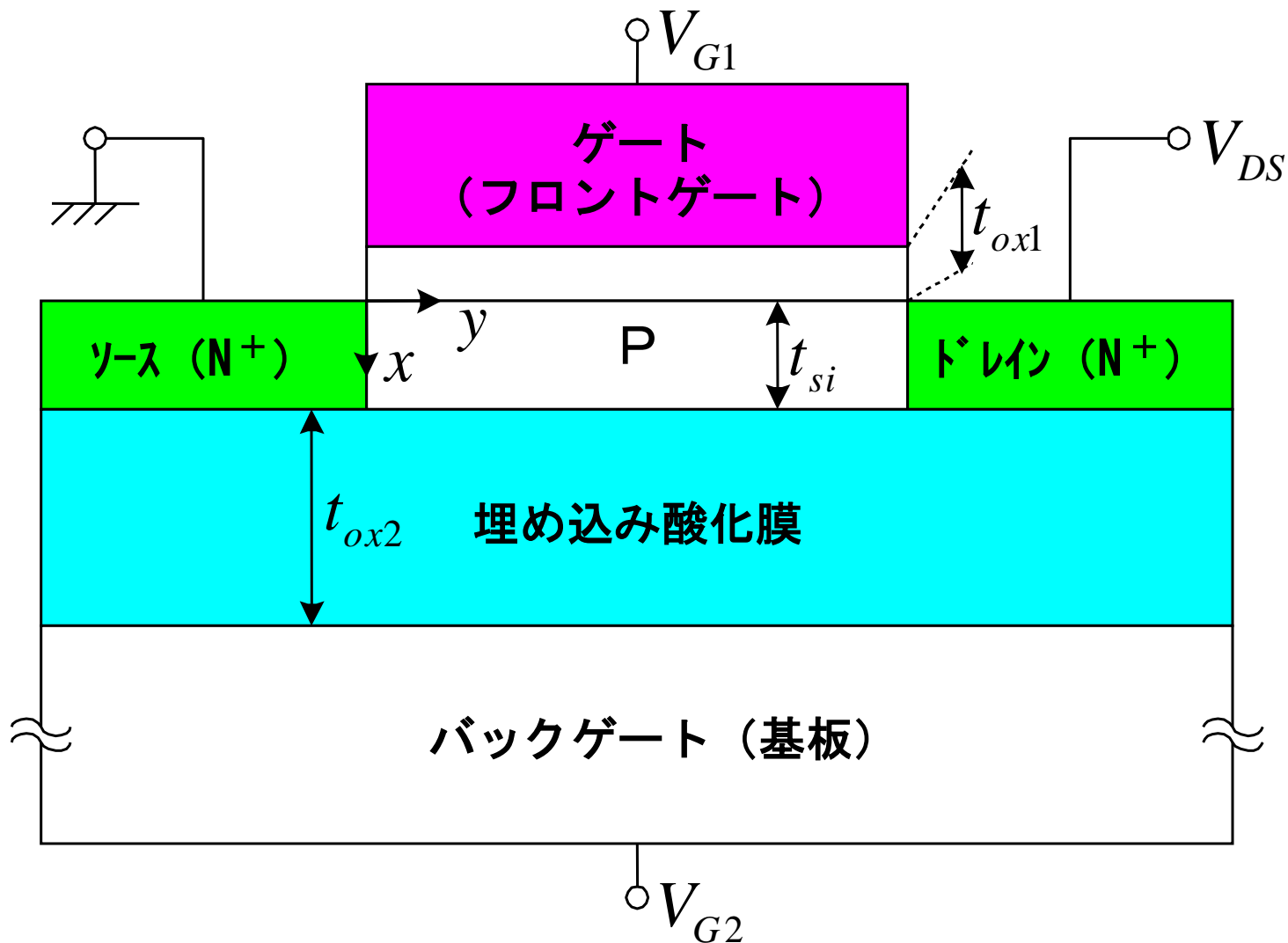
	項目	効果
1	素子分離構造工程簡略化	高集積化
2	寄生容量減少	高速化、低消費電力化
3	駆動能力向上	高速化
4	短チャネル効果低減	微細化
5	バックゲート効果低減	安定動作、アナログ対応
6	サブスレッシュ・ホールド・スロープ低減	低電圧動作対応
7	リーク電流減少	高温動作対応
8	耐ノイズ性の向上	アナログ・デジタル混載容易
9	耐放射線性の向上	耐環境応用

バルク/SOI-MOSFET断面

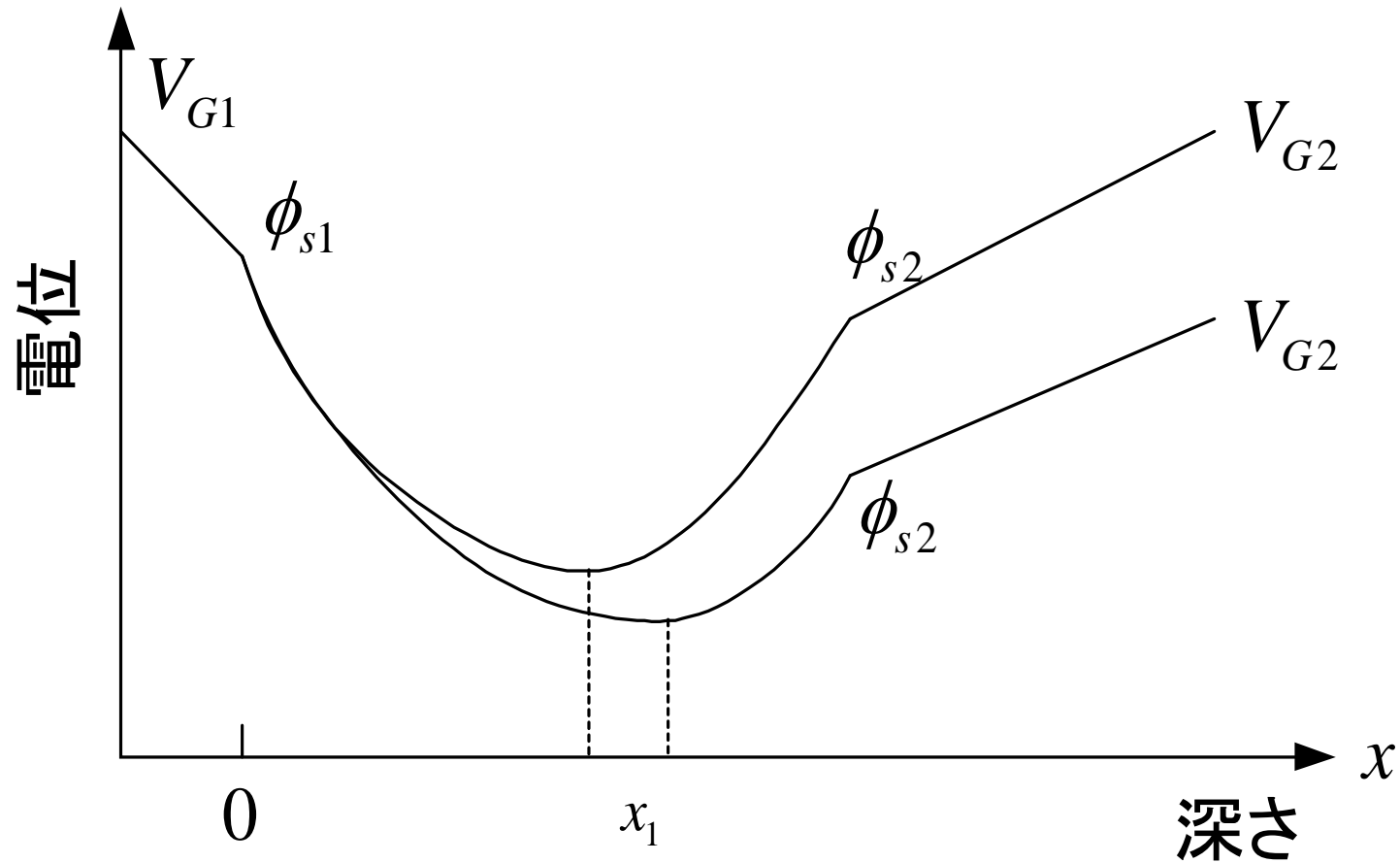


nチャネルSOI - MOSFET断面

—完全空乏型—



SOI深さ方向の電位分布



SOI層内の電位と電界

- ポアソンの式

$$\frac{d^2\Phi}{dx^2} = \frac{qN_a}{\epsilon_{si}}$$

- 境界条件

- フロントSi/SiO₂界面($x=0$)でのポテンシャル: Φ_{s1}
- バックSi/SiO₂界面($x=t_{si}$)でのポテンシャル : Φ_{s2}

- SOI内の電位と電界

$$\Phi(x) = \frac{qN_a}{2\epsilon_{si}} x^2 + \left(\frac{\Phi_{s2} - \Phi_{s1}}{t_{si}} - \frac{qN_a t_{si}}{2\epsilon_{si}} \right) x + \Phi_{s1}$$

$$E(x) = -\frac{qN_a}{\epsilon_{si}} x - \left(\frac{\Phi_{s2} - \Phi_{s1}}{t_{si}} - \frac{qN_a t_{si}}{2\epsilon_{si}} \right)$$

ゲート電圧と表面電位との関係

- ゲート電圧と表面電位との関係

$$V_{G1} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{si}}{C_{ox1}}\right) \Phi_{s1} - \frac{C_{si}}{C_{ox1}} \Phi_{s2} - \frac{\frac{1}{2} Q_{depl} + Q_{inv1}}{C_{ox1}}$$

ここで、 $C_{si} = \epsilon_{si}/t_{si}$, $Q_{depl} = -qN_a t_{si}$

- バックゲート電圧と表面電位との関係

$$V_{G2} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} - \frac{C_{si}}{C_{ox2}} \Phi_{s1} + \left(1 + \frac{C_{si}}{C_{ox2}}\right) \Phi_{s2} - \frac{\frac{1}{2} Q_{depl} + Q_{s2}}{C_{ox2}}$$

閾値電圧

—バック界面：蓄積と反転—

- バック界面が蓄積状態の場合

- 条件： $\Phi_{s2} = 0, Q_{inv1} = 0, \Phi_{s1} = 2\phi_F$ for V_{G1}

$$V_{th1,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{si}}{C_{ox1}}\right) 2\phi_F - \frac{Q_{depl}}{2C_{ox1}}$$

- バック界面が反転状態の場合

- 条件： $\Phi_{s2} = 2\phi_F, Q_{inv1} = 0, \Phi_{s1} = 2\phi_F$ for V_{G2}

$$V_{th1,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F - \frac{Q_{depl}}{2C_{ox1}}$$

注： $V_{G1} < V_{th1,inv2}$ でもON状態

バックゲート電圧

—フロント界面：閾値—

- バック界面が蓄積開始の場合のバックゲート電圧

— 条件： $\Phi_{s1} = 2\phi_F$, $\Phi_{s2} = 0$, $Q_{s2} = 0$ for V_{G2}

$$V_{G2,acc} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} - 2\phi_F \frac{C_{si}}{C_{ox2}} - \frac{Q_{depl}}{2C_{ox2}}$$

- バック界面が反転開始の場合のバックゲート電圧

— 条件： $\Phi_{s1} = 2\phi_F$, $\Phi_{s2} = 2\phi_F$, $Q_{s2} = 0$ for V_{G2}

$$V_{G2,inv} = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} + 2\phi_F - \frac{Q_{depl}}{2C_{ox2}}$$

閾値電圧

—バック界面：空乏（弱反転含む）—

- $V_{G2} \Rightarrow V_{G2,acc} < V_{G2} < V_{G2,inv}$

— 条件： $\Phi_{s1} = 2\phi_F, Q_{inv1} = 0, Q_{s2} = 0$ for V_{G1} and V_{G2}

$$V_{th1,depl2} = V_{th1,acc2} - \frac{C_{si} C_{ox2}}{C_{ox1} (C_{si} + C_{ox2})} (V_{G2} - V_{G2,acc})$$

閾値電圧の式の注意事項

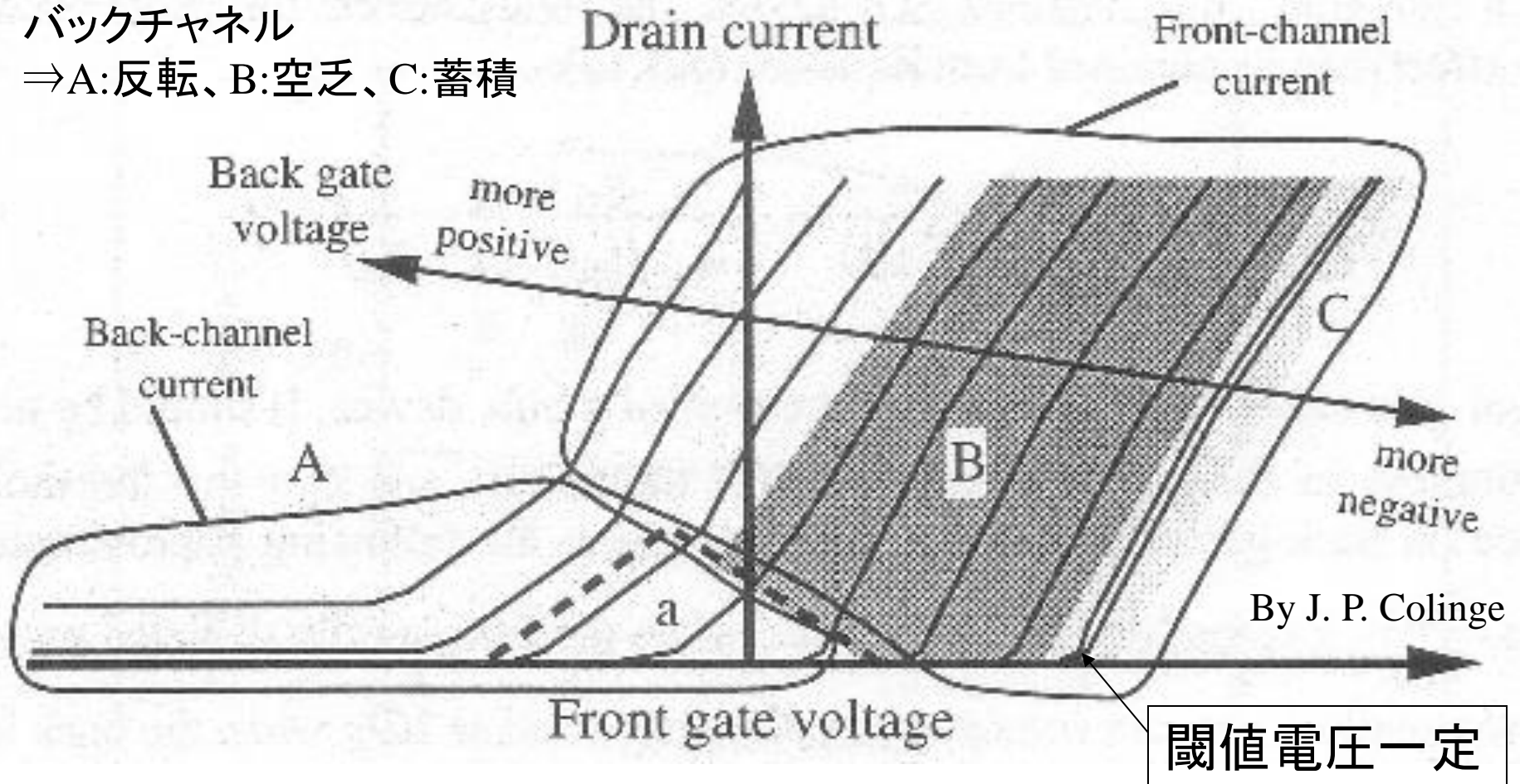
- 閾値電圧の式は、Siの厚みに対して反転層と蓄積層が薄い場合に成立つ。
- 反転層と蓄積層がSiの厚みに対し相対的に厚い場合、実効的なSiの厚みを求めるため、Siの厚みから反転層と蓄積層の厚みを差し引く必要がある。
- Siの厚みが非常に薄い(<10nm)場合、フロント反転層とバック蓄積層とで干渉あり。
 - 移動度の低下、反転層と蓄積層間でのトンネル現象

$I_D - V_G$ 特性のバックゲート電圧依存性

B: 閾値電圧はバックゲート電圧に対し線型シフト

バックチャネル

⇒ A: 反転、B: 空乏、C: 蓄積



a: フロントゲート電圧がバックゲート閾値電圧を低下させる
(フロントゲート電圧の上昇⇒Si層内の電位の最低個所を押し下げる)

バックゲート効果

— 閾値電圧のバックゲート電圧依存性 —

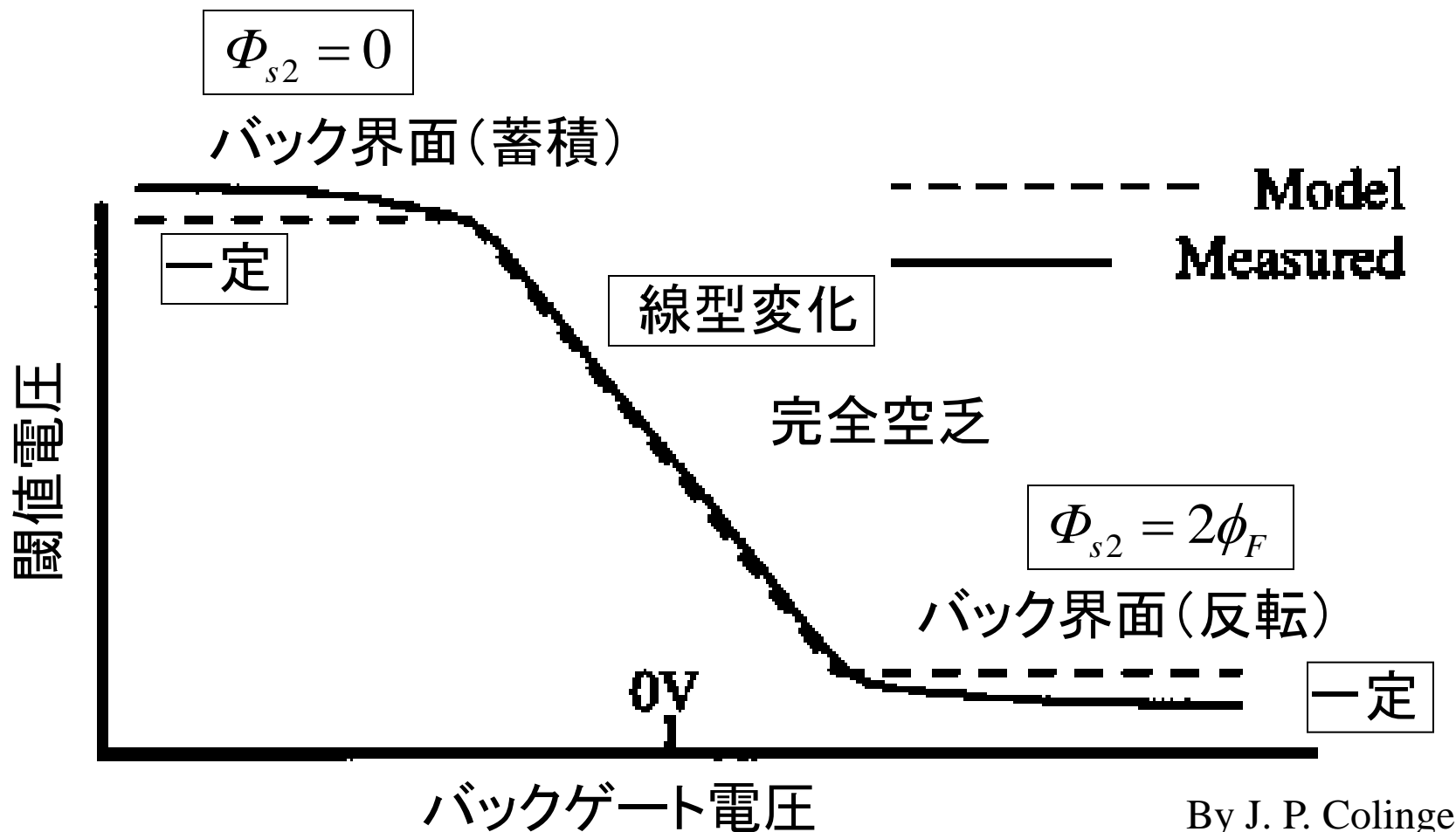
- 完全空乏型SOI - MOSFET $V_{th1,depl2}$ を V_{G2} で微分
 - 線型変化し、不純物密度の依存無

$$\frac{dV_{th1,depl2}}{dV_{G2}} = -\frac{C_{si}C_{ox2}}{C_{ox1}(C_{si} + C_{ox2})}$$

- バルクMOSFET
 - 非線形変化し、不純物密度の依存有

$$V_{th} = V_{th0} + \gamma_{bulk} \left(\sqrt{2\phi_F - V_B} - \sqrt{2\phi_F} \right)$$
$$\Rightarrow \frac{dV_{th}}{dV_B} = -\frac{\gamma_{bulk}}{2\sqrt{2\phi_F - V_B}}, \quad \gamma_{bulk} = \frac{\sqrt{2\varepsilon_{si}qN_a}}{C_{ox}}$$

バックゲート電圧による閾値電圧の変化

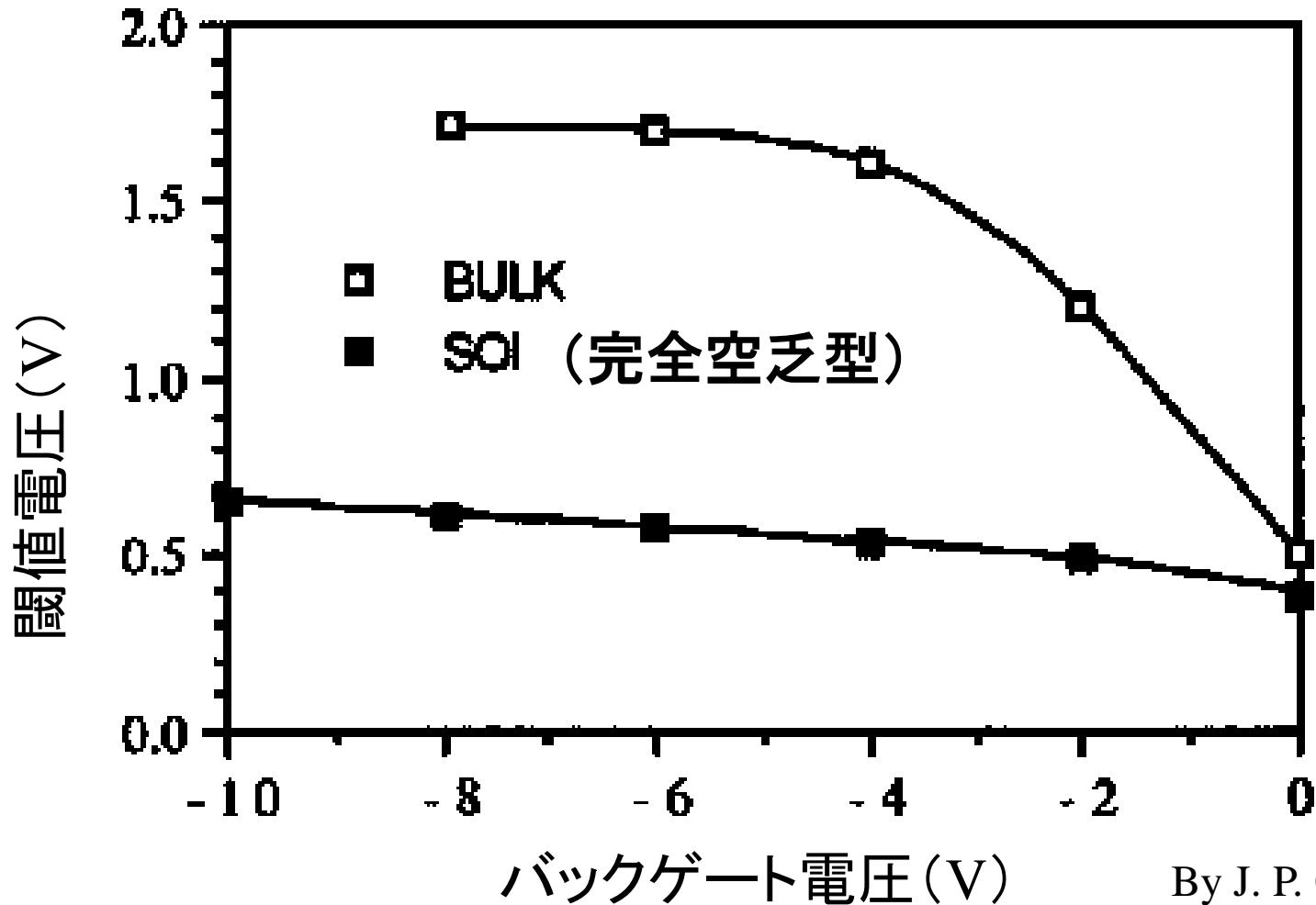


By J. P. Colinge

実際には、表面電位がバック界面(蓄積)とバック界面(反転)で一定でなく、数 kT/q 変化する。

バックゲート効果の比較

—バルクvs. SOI—



By J. P. Colinge

トランスファージゲートトランジスタの駆動能力: SOI > BULK

バックゲート効果の特徴

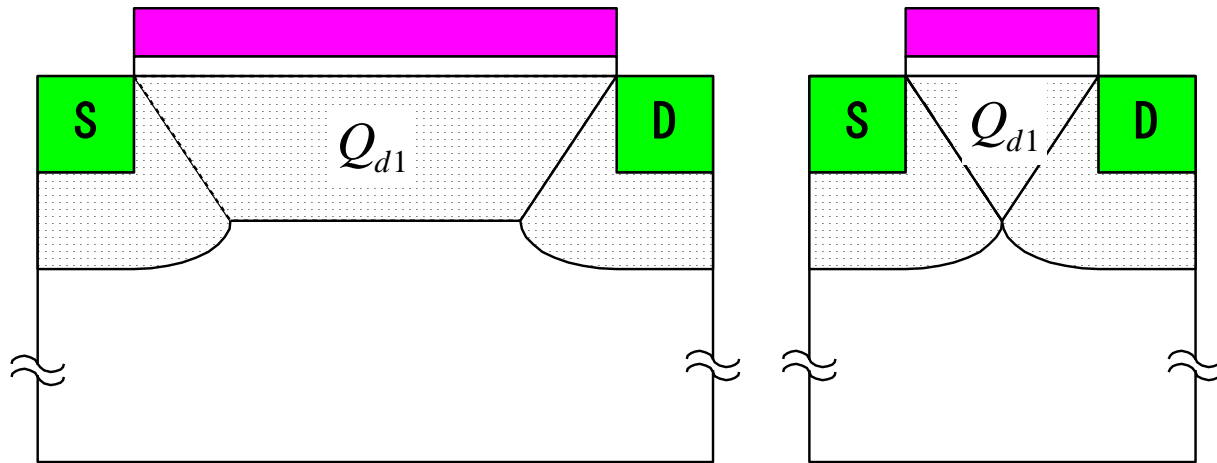
—完全空乏型SOI基板のMOSFET—

- バックゲート効果は、ドーピング密度に無関係である。
- バックゲート効果は、 t_{ox2} の増大と共に減少する。
 - t_{ox2} が非常に大きい場合 ($C_{ox2} \doteq 0$)
 - ⇒ 閾値電圧のバックゲート電圧依存性無視
- 基板Siもバックゲート電圧により、蓄積、空乏、反転と変化するが、閾値電圧への影響は少ない。
 - 埋め込み酸化膜厚 \gg フロントゲート酸化膜厚 の場合
 - ⇒ 閾値電圧のバックゲート電圧依存性無視

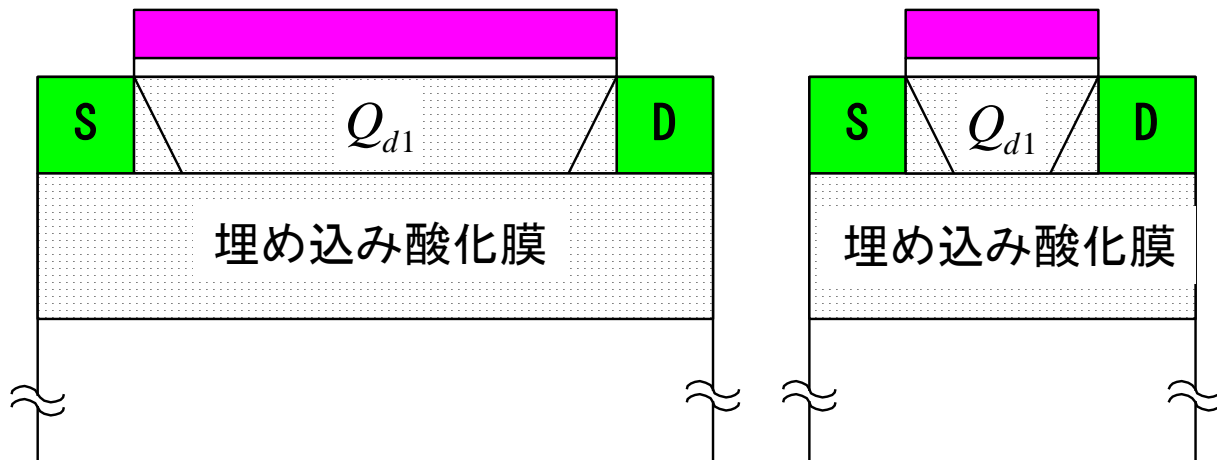
短チャネル効果

—バルクとSOIとの比較—

バルク

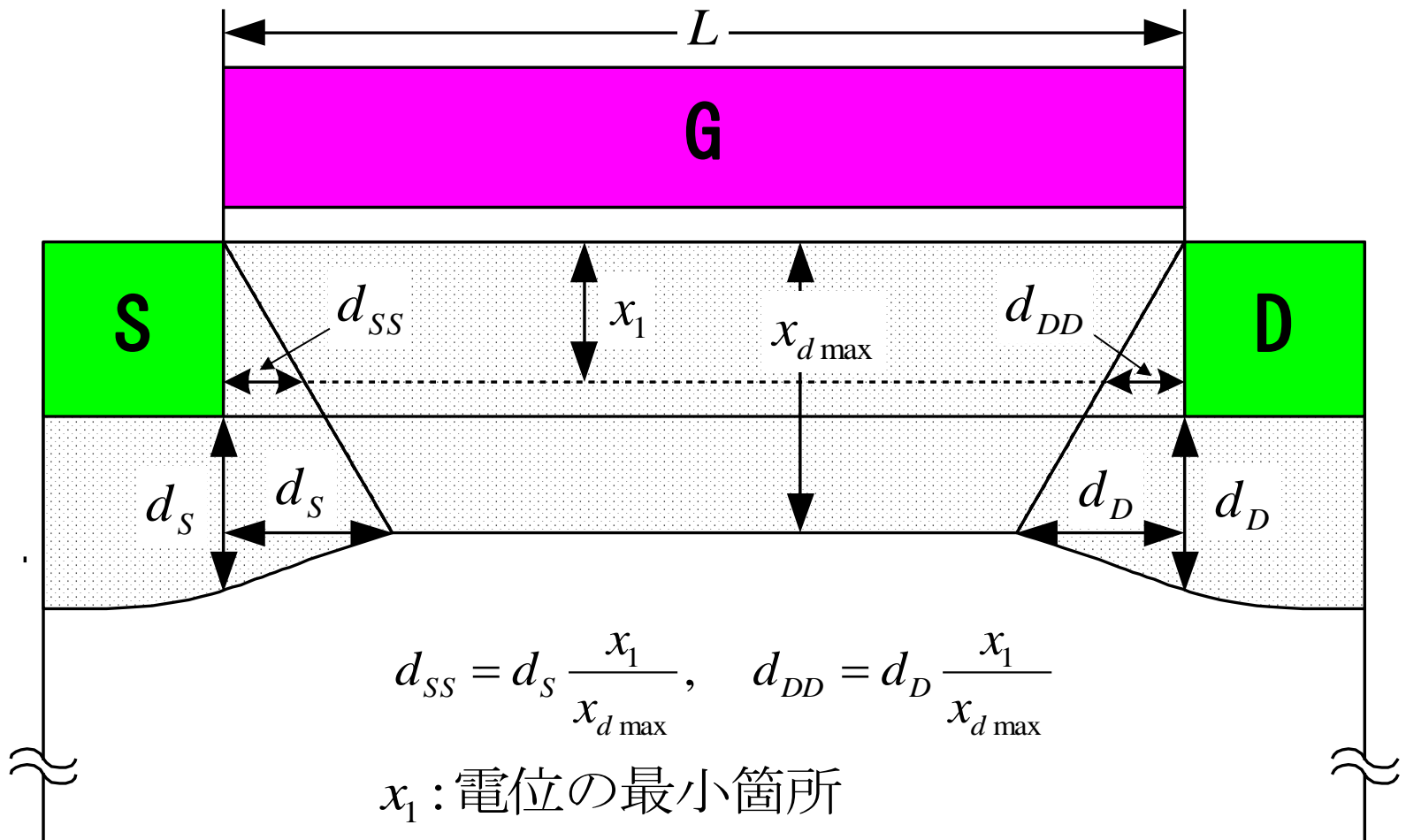


SOI



短チャネル効果導出の考え方

—完全空乏型SOI-MOSFET—



短チャネル効果を考慮した閾値電圧

- 実効空乏層電荷

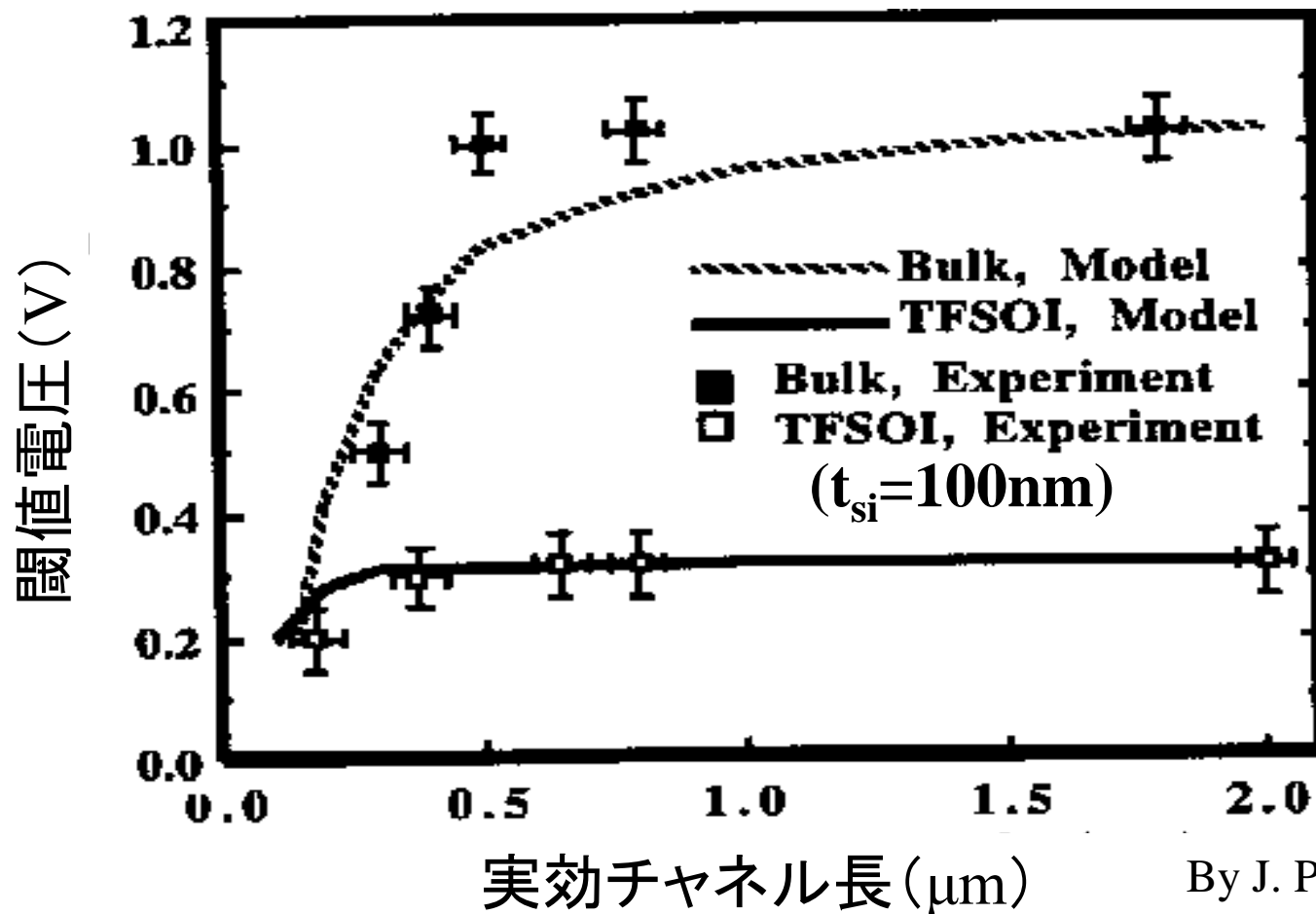
$$Q_{dl} = Q_{depl} \frac{\frac{1}{2}(L - d_{SS} - d_{DD} + L)x_1}{Lx_1} \quad (\text{台形と長方形の面積比})$$
$$= Q_{depl} \left(1 - \alpha \frac{d_S + d_D}{2L} \right) \quad (Q_{depl} = -qN_a x_1, \quad \alpha \equiv x_1 / x_{d \max})$$

- 閾値電圧

$$V_{th1,depl2}(V_{th1,acc2}, V_{G2,acc}) : Q_{depl} \Rightarrow Q_{dl}$$

短チャネル効果の例

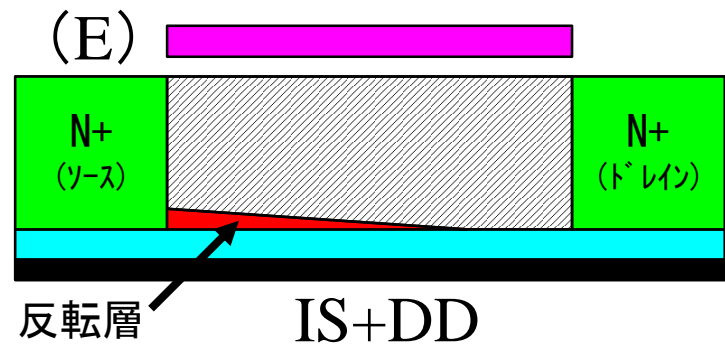
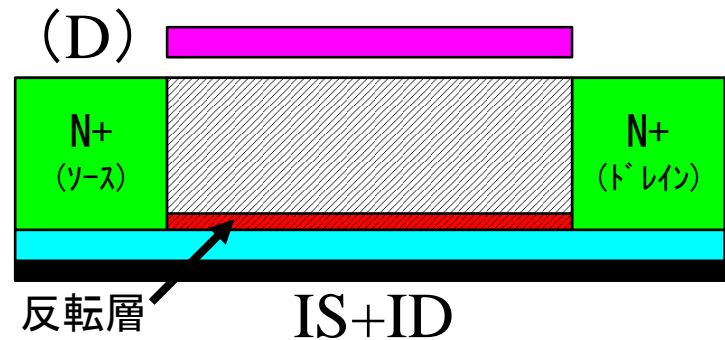
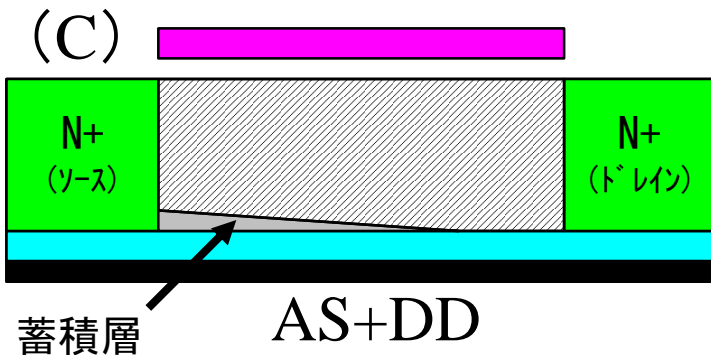
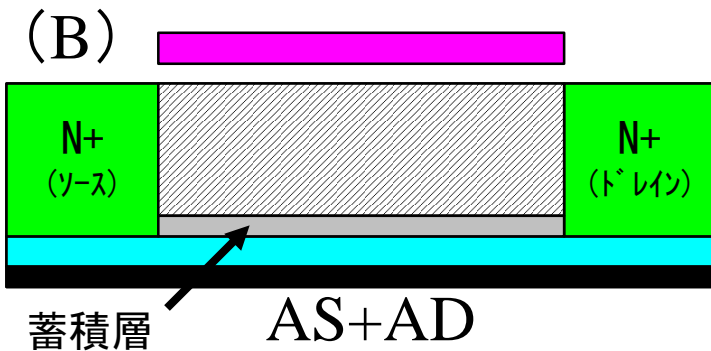
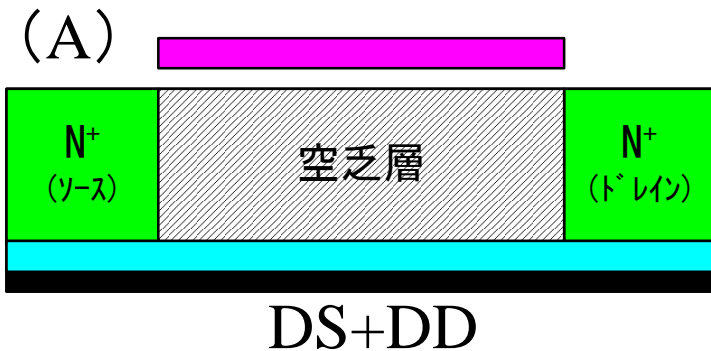
—バルクとSOIとの比較—



By J. P. Colinge

電流式の分離

—バック界面状態—



(A)、(B)、(C)の状態
の電流式を導出

I-V特性(完全空乏型)

- nチャネルSOI-MOSFETのドレイン電流
– グラジユアルチャネル近似

$$I_D = -\frac{W}{L} \mu_n \int_{2\phi_F}^{2\phi_F + V_{DS}} Q_{inv1}(y) d\Phi_{s1}(y)$$

反転層電荷 $Q_{inv1}(y)$ は、 V_{G1} の式から以下の如くになる。

$$Q_{inv1}(y) = -C_{ox1} \left[V_{G1} - \Phi_{MS1} + \frac{Q_{ox1}}{C_{ox1}} - \left(1 + \frac{C_{si}}{C_{ox1}} \right) \Phi_{s1}(y) + \frac{C_{si}}{C_{ox1}} \Phi_{s2}(y) + \frac{Q_{depl}}{2C_{ox1}} \right]$$

ここで、 $\Phi_{s2}(y)$ は、 V_{G2} の式から以下で表される。

$$\Phi_{s2}(y) = \frac{C_{ox2}}{C_{ox2} + C_{si}} \left(V_{G2} - \Phi_{MS2} + \frac{Q_{ox2}}{C_{ox2}} + \frac{C_{si}}{C_{ox2}} \Phi_{s1}(y) + \frac{Q_{depl}}{2C_{ox2}} + \frac{Q_{s2}(y)}{C_{ox2}} \right)$$

I-V特性 (B: AS + AD) : 線型領域

- 電流式: $V_{G2} < V_{G2,acc}(L)$, $\Phi_{s2} = 0$

$$I_{D,acc2} = -\frac{W}{L} \mu_n \int_{2\phi_F}^{2\phi_F + V_{DS}} Q_{inv1}(y) d\Phi_{s1}(y)$$

$$= \frac{W}{L} \mu_n C_{ox1} \left[(V_{G1} - V_{th1,acc2}) V_{DS} - \frac{1}{2} \left(1 + \frac{C_{si}}{C_{ox1}} \right) V_{DS}^2 \right]$$

但し、

$$V_{th1,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F \left(1 + \frac{C_{si}}{C_{ox1}} \right) - \frac{Q_{depl}}{2C_{ox1}}$$

$$V_{G2,acc}(L) = V_{G2,acc} - \frac{C_{si}}{C_{ox2}} V_{DS}$$

$$\Phi_{s1}(L) = 2\phi_F + V_{DS}, \Phi_{s2}(L) = 0, Q_{s2} = 0 \text{ の場合、 } V_{G2} \Rightarrow V_{G2,acc}(L)$$

I-V特性 (B:AS + AD) : 飽和領域

- 飽和電圧: $dI_{D,acc2}/dV_{DS} \Big|_{V_{DS}=V_{Dsat,acc2}} = 0$

$$V_{Dsat,acc2} = \frac{V_{G1} - V_{th1,acc2}}{1 + \frac{C_{si}}{C_{ox1}}}$$

- 飽和電流

$$I_{Dsat,acc2} = \frac{1}{2} \frac{W}{L} \frac{\mu_n C_{ox1}}{1 + \frac{C_{si}}{C_{ox1}}} (V_{G1} - V_{th1,acc2})^2$$

I-V特性 (A:DS+DD):線型領域

- 電流式: $V_{G2,acc} < V_{G2} < V_{G2,inv}$, $Q_{s2}(y) = 0$

$$\begin{aligned} I_{D,depl2} &= -\frac{W}{L} \mu_n \int_{2\phi_F}^{2\phi_F+V_{DS}} Q_{inv1}(y) d\Phi_{s1}(y) \\ &= \frac{W}{L} \mu_n C_{ox1} \left[(V_{G1} - V_{th1,depl2}) V_{DS} - \frac{1}{2} \left(1 + \frac{C_{si} C_{ox2}}{C_{ox1} (C_{si} + C_{ox2})} \right) V_{DS}^2 \right] \end{aligned}$$

但し、

$$V_{th1,depl2} = V_{th1,acc2} - \frac{C_{si} C_{ox2}}{C_{ox1} (C_{si} + C_{ox2})} (V_{G2} - V_{G2,acc})$$

I-V特性 (A:DS+DD):飽和領域

- 飽和電圧: $dI_{D,depl2}/dV_{DS}\big|_{V_{DS}=V_{Dsat,depl2}} = 0$

$$V_{Dsat,depl2} = \frac{V_{G1} - V_{th1,depl2}}{1 + \frac{C_{si}C_{ox2}}{C_{ox1}(C_{si} + C_{ox2})}}$$

- 飽和電流

$$I_{Dsat,depl2} = \frac{1}{2} \frac{W}{L} \frac{\mu_n C_{ox1}}{1 + \frac{C_{si}C_{ox2}}{C_{ox1}(C_{si} + C_{ox2})}} (V_{G1} - V_{th1,depl2})^2$$

I-V特性 (C:AS+DD):線型領域

- バック界面での蓄積領域: $0 \leq y \leq y_t$

$$I_{D,AS+DD} = -\frac{W}{L} \mu_n \left(\int_{2\phi_F}^{\Phi_{s1}(y_t)} Q_{inv1}(y) d\Phi_{s1}(y) + \int_{\Phi_{s1}(y_t)}^{2\phi_F+V_{DS}} Q_{inv1}(y) d\Phi_{s1}(y) \right)$$

$$0 \leq y \leq y_t : \Phi_{s2}(y) = 0, Q_{s2}(y) = 0 \text{ for } Q_{inv1}$$

$$y_t \leq y \leq L : Q_{s2}(y) = 0 \text{ for } Q_{inv1}$$

$$\Phi_{s1}(y_t) = 2\phi_F + \frac{C_{ox2}}{C_{si}} (V_{G2,acc} - V_{G2})$$

- 電流式

$$I_{D,AS+DD} = \frac{W}{L} \mu_n C_{ox1} \left[(V_{G1} - V_{th1,acc2}) V_{DS} - \frac{1}{2} \left(1 + \frac{C_{ox2} C_{si}}{C_{ox1} (C_{ox2} + C_{si})} \right) V_{DS}^2 - \frac{C_{ox2} C_{si}}{C_{ox1} (C_{ox2} + C_{si})} (V_{G2,acc} - V_{G2}) V_{DS} + \frac{1}{2} \frac{C_{ox2} C_{si}}{C_{ox1} (C_{ox2} + C_{si})} \frac{C_{ox2}}{C_{si}} (V_{G2,acc} - V_{G2})^2 \right]$$

I-V特性 (C:AS+DD):飽和領域

- 飽和電圧: $dI_{D,AS+DD}/dV_{DS}|_{V_{DS}=V_{Dsat,AS+DS}} = 0$

$$V_{Dsat,AS+DS} = \frac{V_{G1} - V_{th1,acc2} - \frac{C_{ox2}C_{si}}{C_{ox1}(C_{ox2} + C_{si})}(V_{G2,acc} - V_{G2})}{1 + \frac{C_{ox2}C_{si}}{C_{ox1}(C_{ox2} + C_{si})}}$$

- 飽和電流

$$I_{Dsat,AS+DS} = \frac{1}{2} \frac{W}{L} \frac{\mu_n C_{ox1}}{1 + \frac{C_{ox2}C_{si}}{C_{ox1}(C_{ox2} + C_{si})}} \left[(V_{G1} - V_{th1,acc2})^2 - \frac{2C_{ox2}C_{si}}{C_{ox1}(C_{ox2} + C_{si})}(V_{G1} - V_{th1,acc2})(V_{G2,acc} - V_{G2}) + \frac{C_{ox2}^2(C_{ox1} + C_{si})}{C_{ox1}^2(C_{ox2} + C_{si})}(V_{G2,acc} - V_{G2})^2 \right]$$

飽和電流の一般形

- A (DS+DD) と B (AS+AD) との場合

$$I_{Dsat} \cong \frac{W\mu_n C_{ox1}}{2L(1+\alpha)} (V_{G1} - V_{th})^2$$

$$AS+AD \Rightarrow \alpha = \frac{C_{si}}{C_{ox1}}, \quad DS+DD \Rightarrow \alpha = \frac{C_{ox2}C_{si}}{C_{ox1}(C_{ox2} + C_{si})}$$

- C (AS+DD) の場合

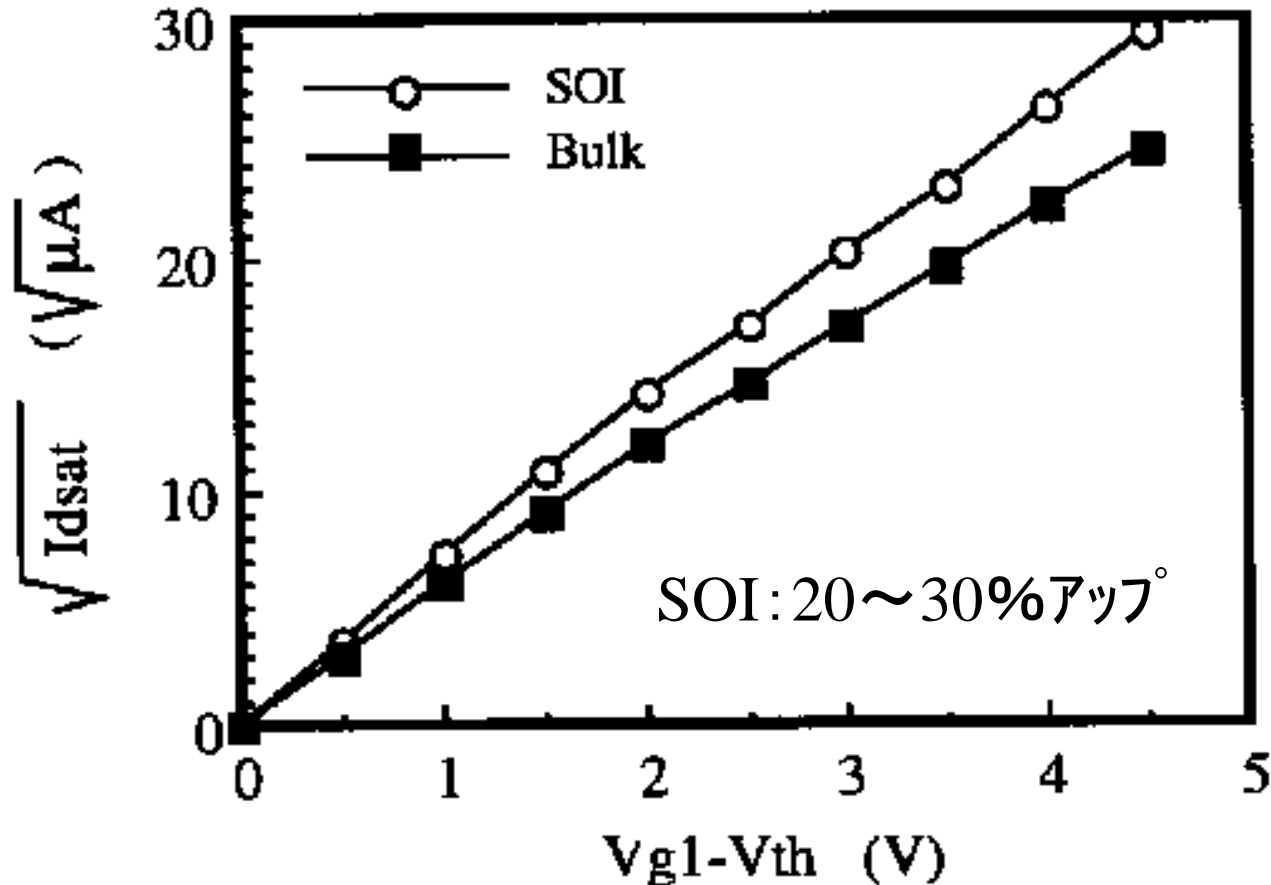
I_{Dsat} : AS+AD と DS+DD の場合ほぼ同等な表現 (複雑)

- バルクトランジスタの場合

$$\alpha = \frac{C_D}{C_{ox}}, \quad C_D = \frac{\epsilon_{si}}{x_{dmax}}: \text{空乏層容量}$$

飽和電流比較 (バルクvs.SOI)

- $I_{Dsat \text{ fully depleted SOI}} > I_{Dsat \text{ bulk}} > I_{Dsat \text{ back accum SOI}}$
 - $(\alpha_{\text{fully depleted SOI}} < \alpha_{\text{bulk}} < \alpha_{\text{back accum SOI}})$



トランス・コンダクタンス

- トランス・コンダクタンス

$$g_m = \frac{dI_{Dsat}}{dV_{G1}} = \frac{W\mu_n C_{ox1}}{L(1+\alpha)} (V_{G1} - V_{th})$$

– バック界面が蓄積状態にある場合

$$I_{Dsat} \Rightarrow I_{Dsat,acc2}, \quad V_{th} \Rightarrow V_{th1,acc2}, \quad \alpha = C_{si}/C_{ox1}$$

– バック界面が空乏状態にある場合

$$I_{Dsat} \Rightarrow I_{Dsat,depl2}, \quad V_{th} \Rightarrow V_{th1,depl2}, \quad \alpha = \frac{C_{ox2}C_{si}}{C_{ox1}(C_{ox2} + C_{si})}$$

$$g_{m \text{ fully depleted SOI}} > g_{m \text{ bulk}} > g_{m \text{ back accum SOI}} \\ (\alpha_{\text{fully depleted SOI}} < \alpha_{\text{bulk}} < \alpha_{\text{back accum SOI}})$$

電圧利得

- 最大の電圧利得

$$\frac{\Delta V_{out}}{\Delta V_{in}} = \frac{\Delta I_D}{g_D} \frac{1}{\Delta V_{in}} = \frac{g_m}{g_D} = \frac{g_m}{I_D} V_A, \quad V_A: \text{アーリー電圧}$$

- 弱反転領域での g_m/I_D

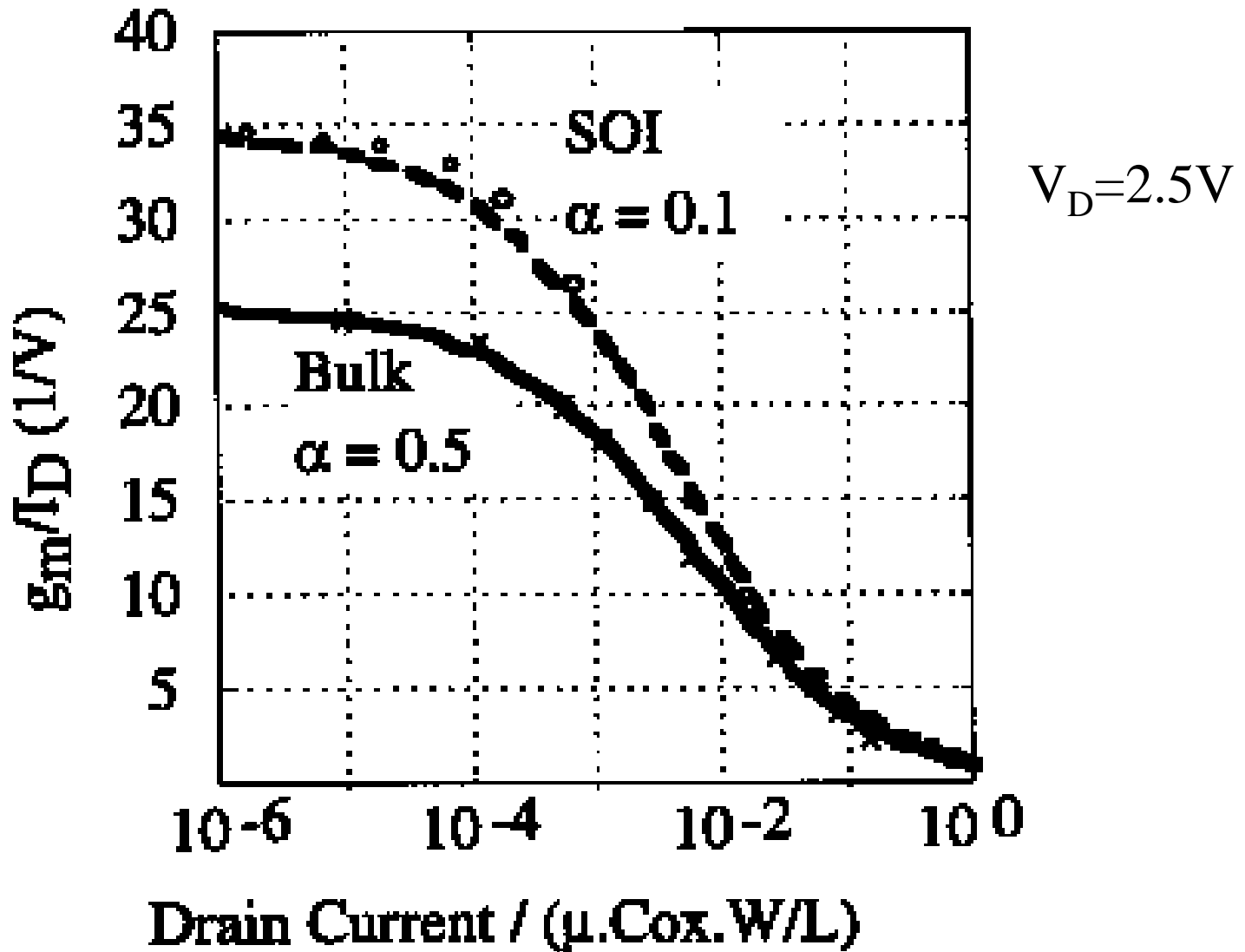
$$\frac{g_m}{I_D} = \frac{dI_D}{I_D dV_G} = \frac{q}{nkT} = \frac{q}{(1+\alpha)kT}$$

- 強反転領域(飽和)での g_m/I_D

$$\frac{g_m}{I_D} = \frac{2}{V_{G1} - V_{th}} = \sqrt{\frac{2W\mu_n C_{ox1}}{L(1+\alpha)I_D}} = \sqrt{\frac{2W\mu_n C_{ox1}}{LnI_D}}$$

$$g_m/I_D \text{ fully depleted SOI} > g_m/I_D \text{ bulk} > g_m/I_D \text{ back accum SOI}$$
$$(\alpha_{\text{fully depleted SOI}} < \alpha_{\text{bulk}} < \alpha_{\text{back accum SOI}})$$

飽和領域での g_m/I_D 比較



移動度の比較: $V_{DS} \doteq 0$ の場合

- バック界面: 反転に近い空乏状態

- $\Phi_{S1} - \Phi_{S2} \doteq 0$

- $E_{S1,SOI} \doteq (qN_a t_{si}) / (2\varepsilon_{si})$

- $|E_{S1,SOI}| < |E_{S,BULK}| \quad \because E_{S,BULK} = (qN_a x_{dmax}) / (2\varepsilon_{si}), t_{si} < x_{dmax}$

- $\mu_{S1,SOI} > \mu_{S,BULK}$

- バック界面: 十分な空乏状態

- $E_{S1,SOI} \doteq (qN_a x_1) / (2\varepsilon_{si}), \quad x_1: \text{電位の最低点}$

- $|E_{S1,SOI}| < |E_{S,BULK}| \quad \because x_1 < t_{si} < x_{dmax}$

- $\mu_{S1,SOI} > \mu_{S,BULK}$

- バック界面: 蓄積状態

- $\Phi_{S1} - \Phi_{S2} \doteq 2\Phi_F$

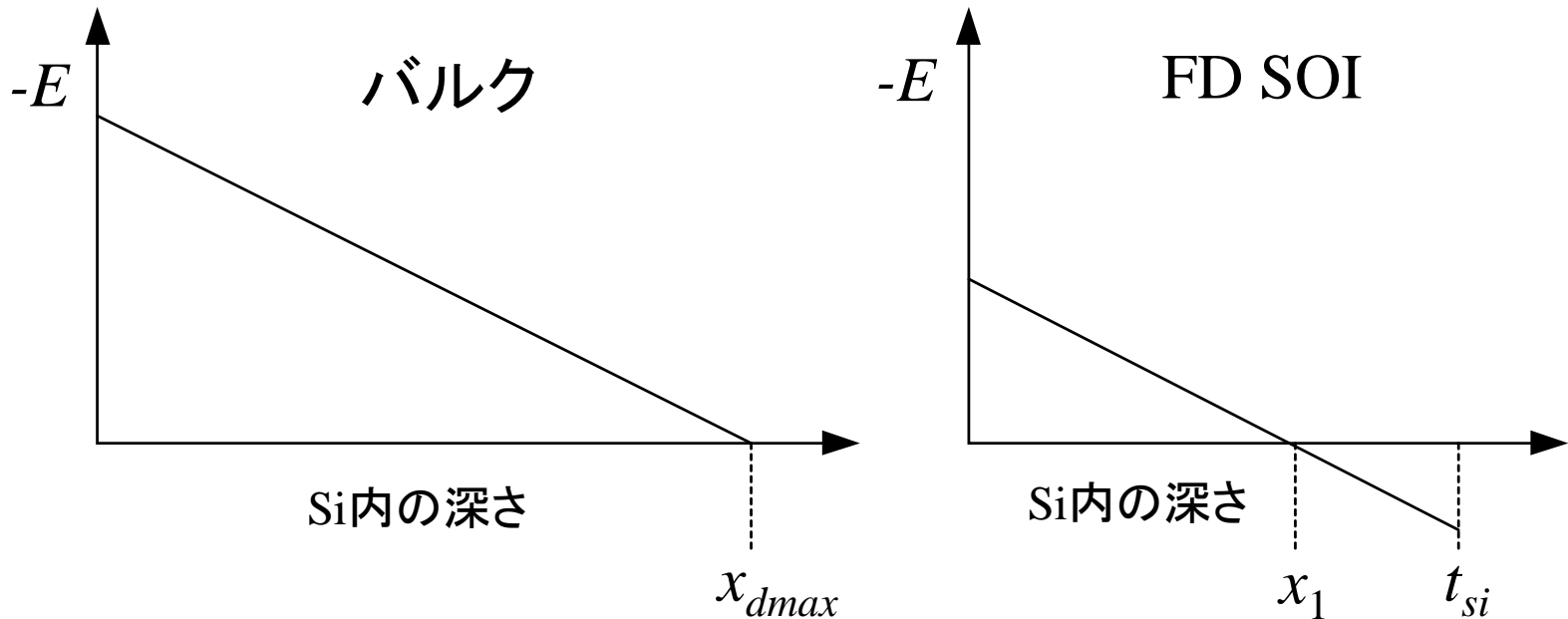
- $|E_{S1,SOI}| > |E_{S,BULK}|$

- $\mu_{S1,SOI} < \mu_{S,BULK}$

$$E_{s1}(y) = \frac{\Phi_{s1}(y) - \Phi_{s2}(y)}{t_{si}} + \frac{qN_a t_{si}}{2\varepsilon_{si}}$$

電界分布比較

—バルクvs.FD SOI—



- 基板濃度同じ⇒傾き同じ
- フロント界面での電界: Bulk > Thin FD SOI

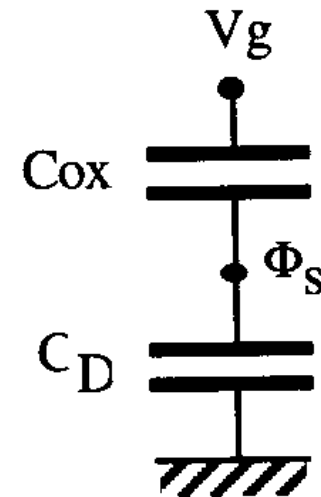
サブスレッシユホールドスロープ —部分空乏型—

- 界面準位を無視できる場合

$$S = \frac{kT}{q} \ln(10) \left(1 + \frac{C_D}{C_{ox}} \right)$$

- 界面準位がある場合

$$S = \frac{kT}{q} \ln(10) \left(1 + \frac{C_D + C_{it}}{C_{ox}} \right)$$

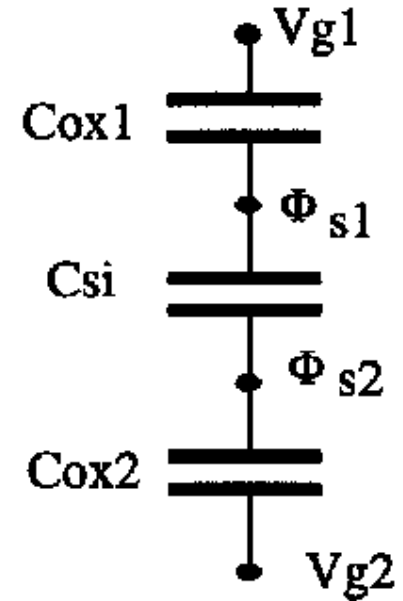


サブスレッシユホールドスロープ

—完全空乏型—

- 界面準位を無視できる場合

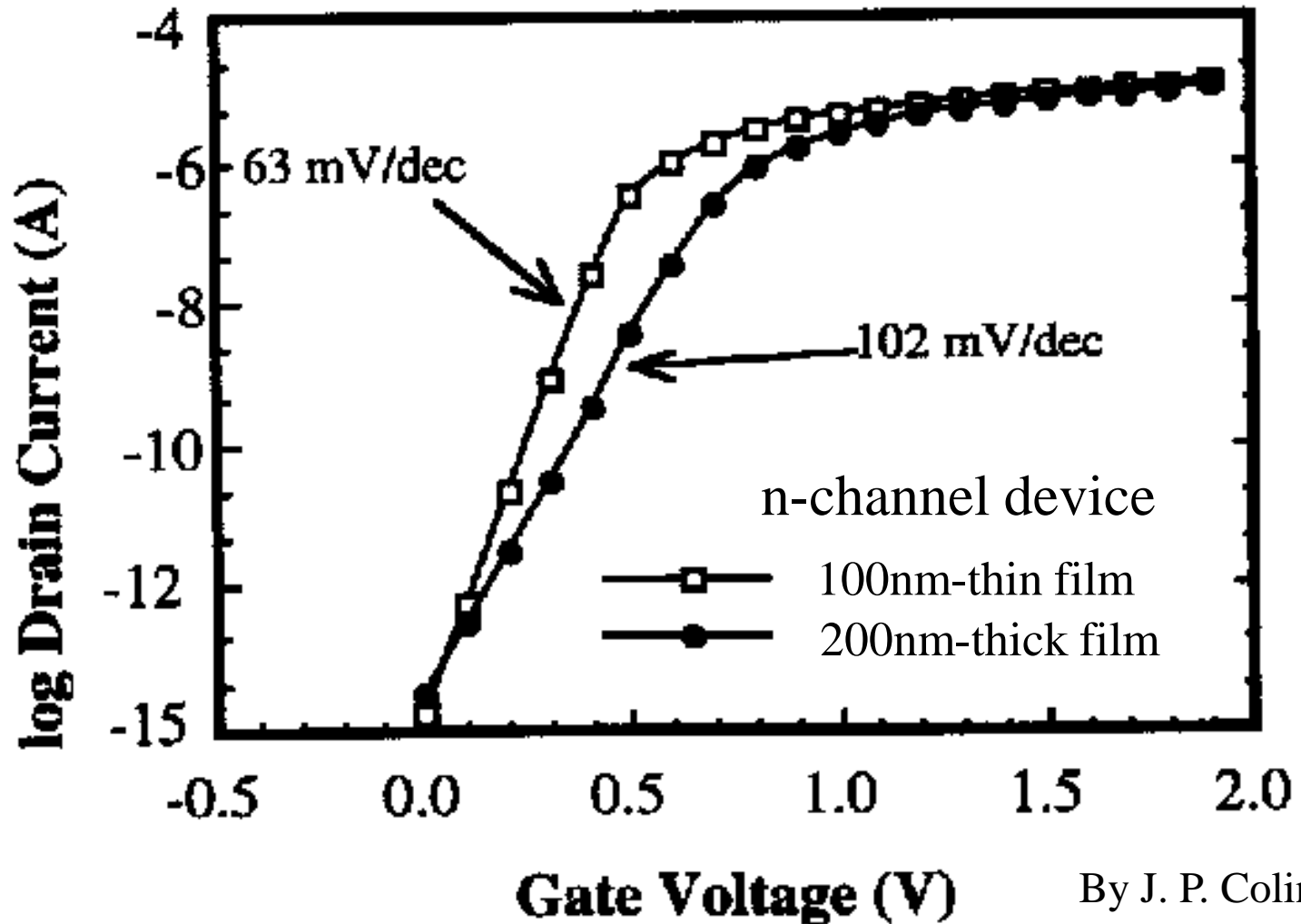
$$S = \frac{kT}{q} \ln(10) \left[1 + \frac{C_{ox2} C_{si}}{C_{ox1} (C_{ox2} + C_{si})} \right]$$



- 界面準位を考慮した場合

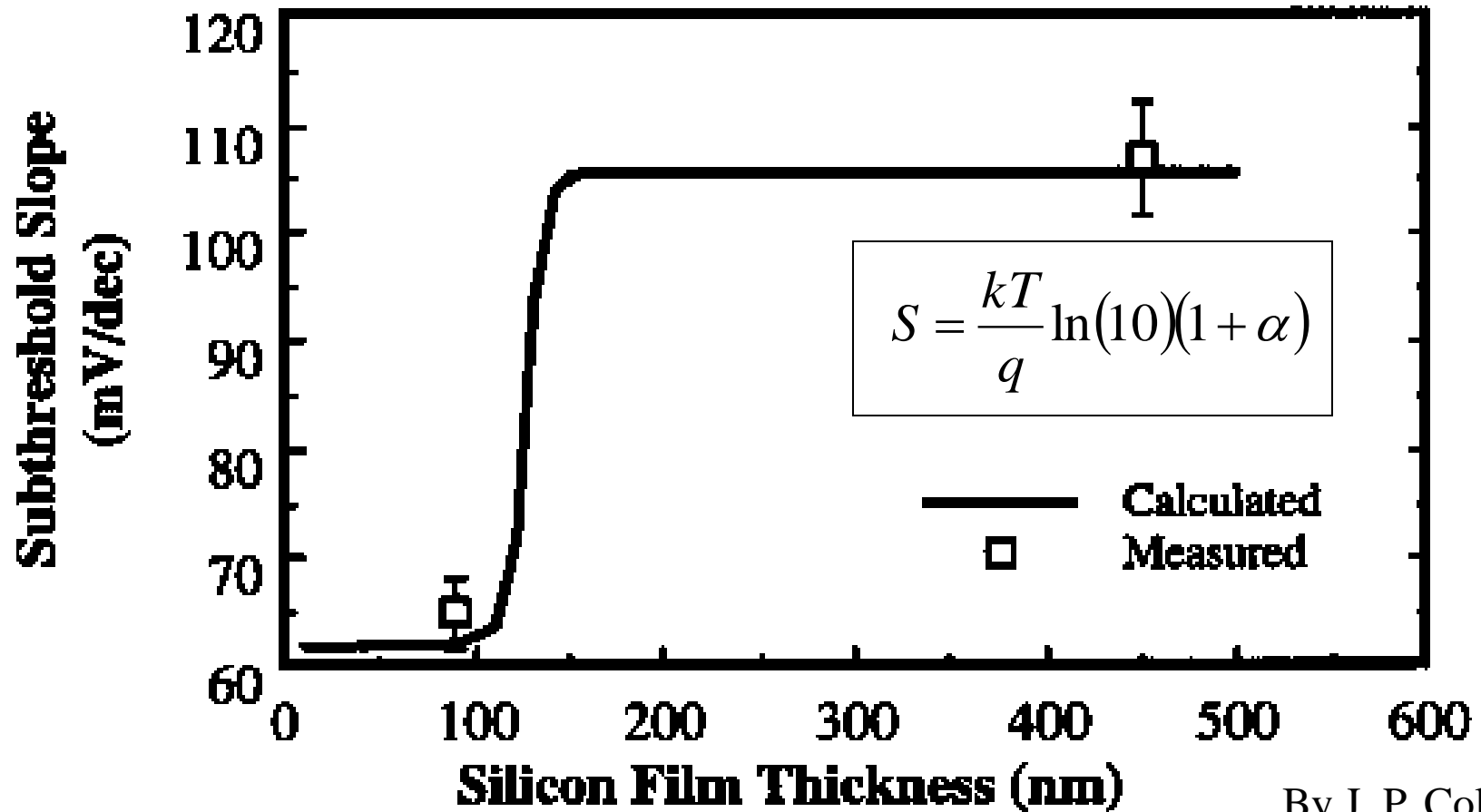
$$S = \frac{kT}{q} \ln(10) \left[\left(1 + \frac{C_{it1}}{C_{ox1}} + \frac{C_{si}}{C_{ox1}} \right) - \frac{\frac{C_{si}}{C_{ox1}} \frac{C_{si}}{C_{ox2}}}{1 + \frac{C_{it2}}{C_{ox2}} + \frac{C_{si}}{C_{ox2}}} \right]$$

I_D-V_G 比較 (部分空乏 vs. 完全空乏)



By J. P. Colinge

サブスレッショールドスロープのSi厚み依存性



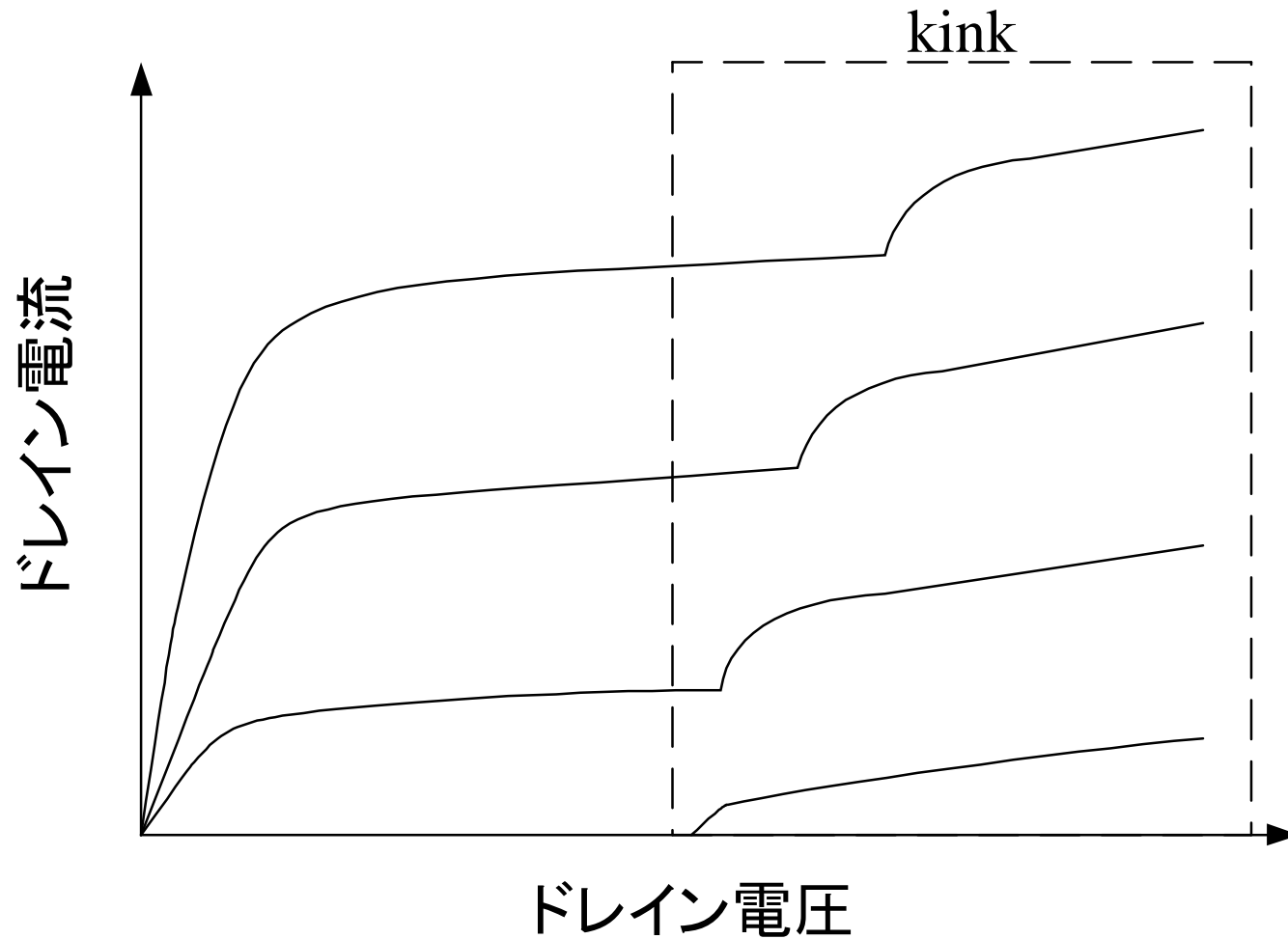
By J. P. Colinge

$$S_{\text{fully depleted SOI}} < S_{\text{bulk}} < S_{\text{back accum SOI}}$$

$$(\alpha_{\text{fully depleted SOI}} < \alpha_{\text{bulk}} < \alpha_{\text{back accum SOI}})$$

Kink効果

-nチャンネル SOI-MOSFET-



Kink効果の解釈1

- 部分空乏型

- ドレイン電圧増大⇒インパクトイオン化 (n-ch>p-ch)

- 電子⇒ドレイン

- 正孔⇒フローティングボディー(低電位⇒電位増大)

- ソースとフローティングボディー間が順方向バイアス

- » 閾値電圧の低下⇒ドレイン電流の増大(Kink効果)

- » 少数キャリア寿命大⇒Kink効果大

- 完全空乏型

- ドレイン電圧増大

- ⇒インパクトイオン化(完全空乏型<部分空乏型)

- 電子⇒ドレイン

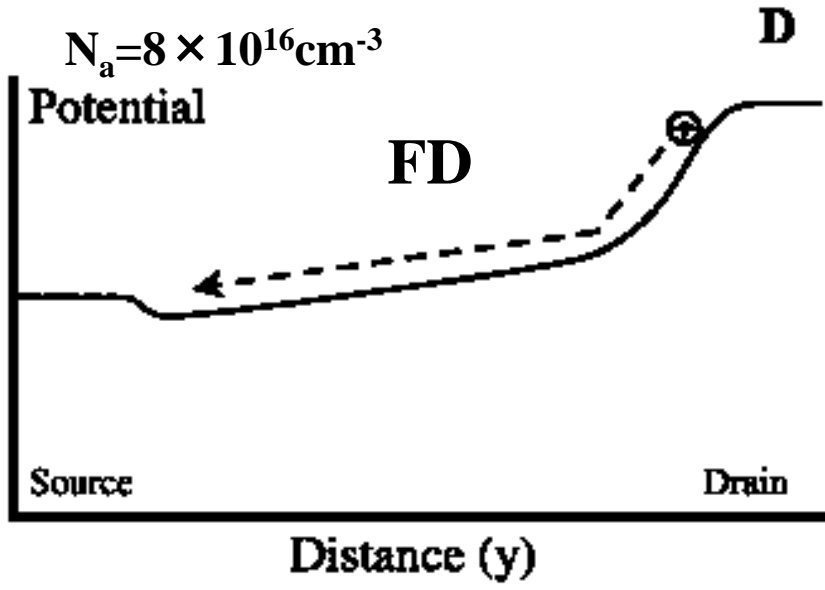
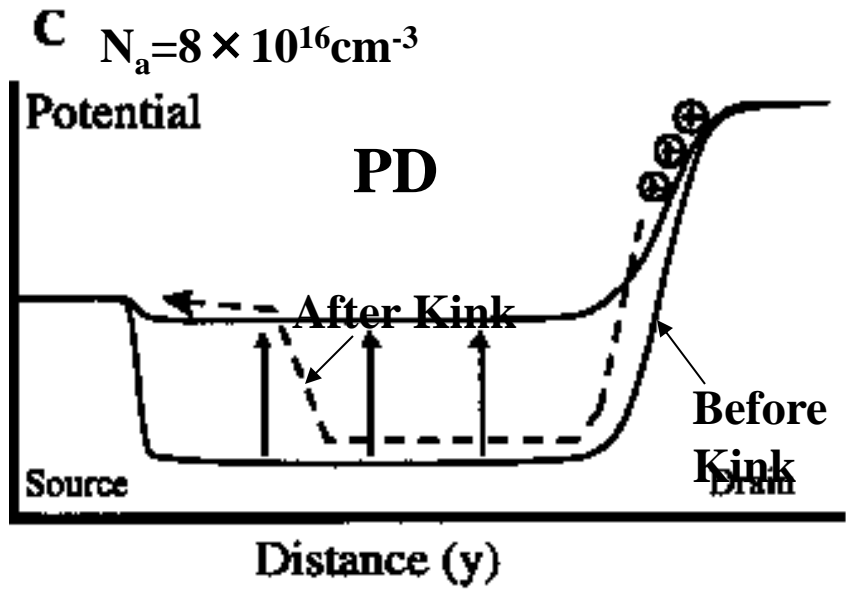
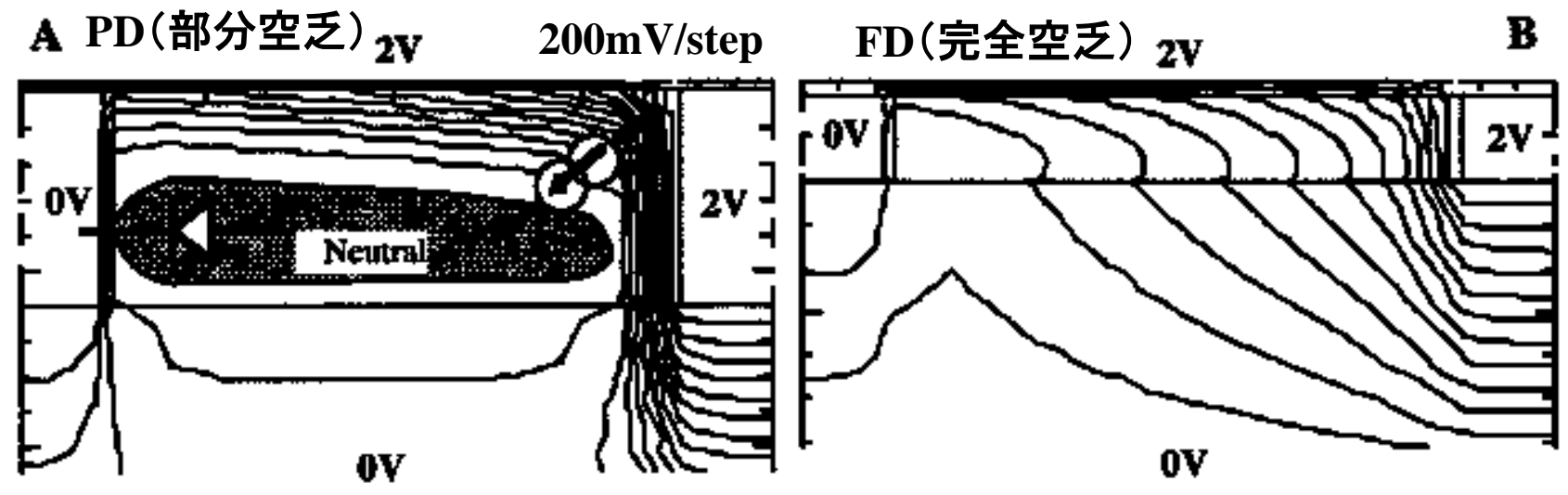
- 正孔⇒ソース接合近辺(低電位領域)

- 完全空乏によりソースとボディー間が順方向バイアス(低バリアー)

- 正孔はソース内で再結合⇒ボディー電位の上昇なし(Kink効果フリー)

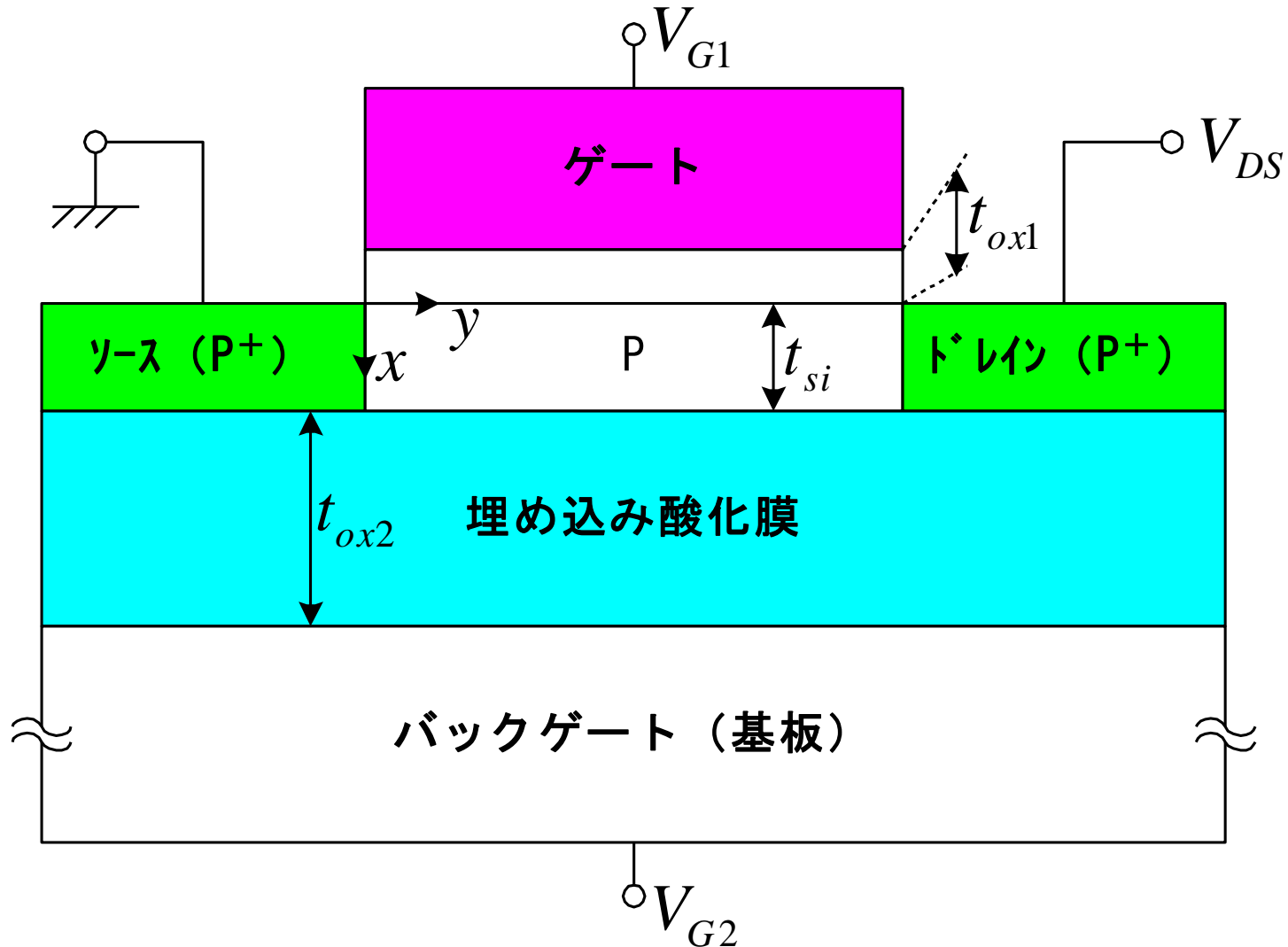
- 但し、バック界面が蓄積型の場合、kink効果は発生する。

Kink効果 (部分空乏と完全空乏での電位分布比較)



pチャネルSOI - MOSFET断面図

—蓄積型—



閾値電圧

—蓄積型pチャネルSOI - MOSFET—

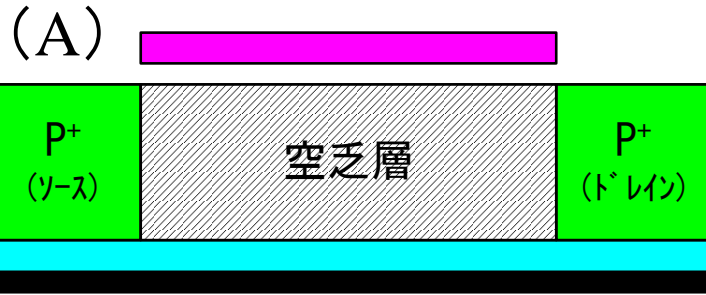
- 閾値電圧: $\Phi_{s1} = 0$ (フロント界面: 蓄積開始)
 - N⁺ポリSiゲート、p基板

$$V_{th,acc} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} = V_{fb1}, \quad \Phi_{MS1} = -\frac{E_g}{2} - \frac{kT}{q} \ln \frac{N_a}{n_i}$$

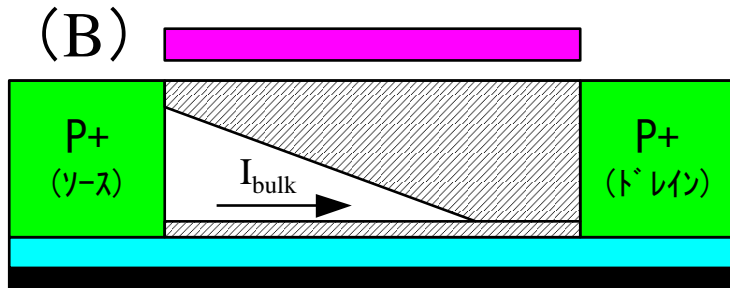
- ゲート電圧: 0 (OFFの状態)
 - フロント界面: 正 \Rightarrow 基板内完全空乏化
- ゲート電圧: 負 (ONの状態)
 - 基板内と表面蓄積層をキャリア(正孔)が伝導

電流通路(断面)

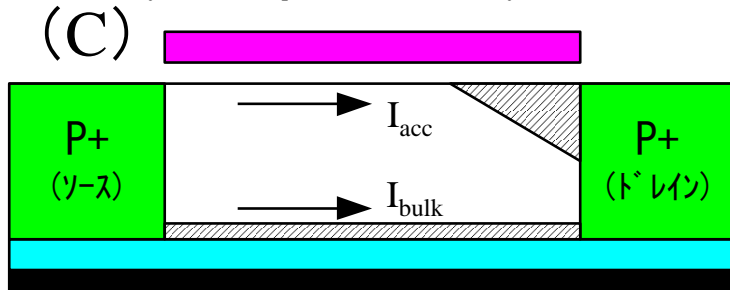
—蓄積型pチャネルSOI - MOSFET—



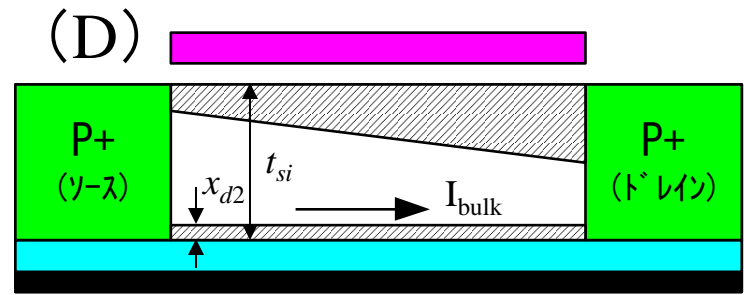
$$V_{G1} - V_{fb1} > V'_{depl}$$



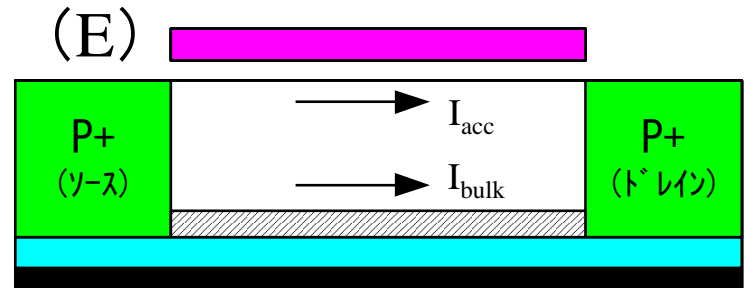
$$0 < V_{G1} - V_{fb1} < V'_{depl} \ \& \ V_{G1} - V_{fb1} - V_{DS} > V'_{depl}$$



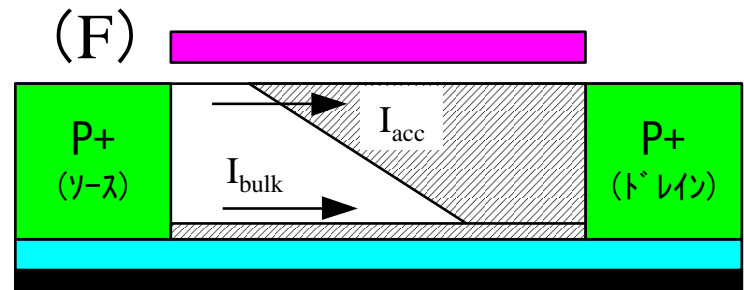
$$V_{G1} - V_{fb1} < 0 \ \& \ 0 < V_{G1} - V_{fb1} - V_{DS} < V'_{depl}$$



$$0 < V_{G1} - V_{fb1} < V'_{depl} \ \& \ 0 < V_{G1} - V_{fb1} - V_{DS} < V'_{depl}$$



$$V_{G1} - V_{fb1} < 0 \ \& \ V_{G1} - V_{fb1} - V_{DS} < 0$$



$$V_{G1} - V_{fb1} < 0 \ \& \ V_{G1} - V_{fb1} - V_{DS} > V'_{depl}$$

V'_{depl} : 空乏層幅が t_{eff} の時の V_{depl} , $V_{G1} = V_{fb1} + V_{depl}(x_{depl})$, $t_{eff} = t_{si} - x_{d2}$

蓄積チャネル電流

- 蓄積電荷

$$Q_{acc}(y) = -[V_{G1} - V_{fb1} - V(y)]C_{ox1}$$

- 蓄積チャネル電流：線型領域 ($V_{DS} \geq V_{G1} - V_{fb1}$)

$$I_{acc} \int_0^L dy = -W\mu_s \int_0^{V_{DS}} Q_{acc}(y) dV$$

$$I_{acc} = \frac{W\mu_s C_{ox1}}{L} \left[(V_{G1} - V_{fb1})V_{DS} - \frac{1}{2}V_{DS}^2 \right]$$

$$\text{但し、} \mu_s = \mu_{s0} / [1 - \theta(V_{G1} - V_{fb1})]$$

- 蓄積チャネル電流：飽和領域 ($V_{DS} < V_{G1} - V_{fb1}$)

$$I_{acc} = \frac{W\mu_s C_{ox1}}{2L} (V_{G1} - V_{fb1})^2 \quad I_{acc} : \text{ソース} \Rightarrow \text{ドレイン (正)}$$

ボディ電流 (A), (E)

• ボディ電流

$$I_{body} = -\frac{W}{L} \mu_b q N_a \int (t_{eff} - x_{d1}) dV = -\frac{W}{L} \mu_b q N_a \xi$$

$$\xi = \int \left[t_{eff} + \frac{\epsilon_{si}}{C_{ox1}} - \sqrt{\frac{\epsilon_{si}^2}{C_{ox1}^2} + \frac{2\epsilon_{si}(V_{G1} - V_{fb1} - V(y))}{qN_a}} \right] dV$$

(A) $V_{G1} - V_{fb1} > V'_{depl}$ の場合

$$t_{eff} = t_{si} - x_{d2}$$

$$\xi = 0$$

⇒ 完全空乏状態

(E) $V_{G1} - V_{fb1} < 0$ かつ $V_{G1} - V_{fb1} - V_{DS} < 0$ の場合

$$\xi = t_{eff} V_{DS} \quad (x_{d1} = 0)$$

⇒ 蓄積状態 (ソース～ドレインのフロント界面)

ボディ電流(D)

(D) $0 < V_{G1} - V_{fb1} < V'_{depl}$ かつ $0 < V_{G1} - V_{fb1} - V_{DS} < V'_{depl}$ の場合

$$I_{body} = -\frac{W\mu_b qN_a}{L} \int_0^{V_{DS}} [t_{eff} - x_{d1}] dV$$

$$\xi = \left(t_{eff} + \frac{\epsilon_{si}}{C_{ox1}} \right) V_{DS} + \frac{qN_a}{3\epsilon_{si}} \left[\frac{\epsilon_{si}^2}{C_{ox1}^2} + \frac{2\epsilon_{si}(V_{G1} - V_{fb1} - V_{DS})}{qN_a} \right]^{\frac{3}{2}}$$

$$- \frac{qN_a}{3\epsilon_{si}} \left[\frac{\epsilon_{si}^2}{C_{ox1}^2} + \frac{2\epsilon_{si}(V_{G1} - V_{fb1})}{qN_a} \right]^{\frac{3}{2}}$$

⇒ ボディチャネル形成

- ・ フロント界面蓄積層無し
- ・ ピンチオフ形成無し

ボディ電流(B)

(B) $0 < V_{G1} - V_{fb1} < V'_{depl}$ かつ $V_{G1} - V_{fb1} - V_{DS} > V'_{depl}$ の場合

$$I_{body} = -\frac{W\mu_b qN_a}{L} \int_0^{V_{G1} - V_{fb1} - V'_{depl}} [t_{eff} - x_{d1}] dV$$

$$\xi = \left(t_{eff} + \frac{\epsilon_{si}}{C_{ox1}} \right) (V_{G1} - V_{fb1} - V'_{depl}) + \frac{qN_a}{3\epsilon_{si}} \left[\frac{\epsilon_{si}^2}{C_{ox1}^2} + \frac{2\epsilon_{si}V'_{depl}}{qN_a} \right]^{\frac{3}{2}}$$

$$- \frac{qN_a}{3\epsilon_{si}} \left[\frac{\epsilon_{si}^2}{C_{ox1}^2} + \frac{2\epsilon_{si}(V_{G1} - V_{fb1})}{qN_a} \right]^{\frac{3}{2}}$$

⇒ ボディチャネル形成

- ・ フロント界面蓄積層無し
- ・ ピンチオフ形成有り

ボディ電流(C)

(C) $V_{G1} - V_{fb1} < 0$ かつ $0 < V_{G1} - V_{fb1} - V_{DS} < V'_{depl}$ の場合

$$I_{body} = -\frac{W\mu_b qN_a}{L} \left\{ \int_{V_{G1}-V_{fb1}}^{V_{DS}} [t_{eff} - x_{d1}] dV - \int_0^{V_{G1}-V_{fb1}} t_{eff} dV \right\}$$

$$\xi = t_{eff} (V_{G1} - V_{fb1}) + \left(t_{eff} + \frac{\varepsilon_{si}}{C_{ox1}} \right) (V_{DS} - V_{G1} + V_{fb1})$$

$$+ \frac{qN_a}{3\varepsilon_{si}} \left[\frac{\varepsilon_{si}^2}{C_{ox1}^2} + \frac{2\varepsilon_{si}}{qN_a} (V_{G1} - V_{fb1} - V_{DS}) \right]^{\frac{3}{2}} - \frac{qN_a}{3\varepsilon_{si}} \left[\frac{\varepsilon_{si}}{C_{ox1}} \right]^3$$

⇒ ボディーチャネル形成

- ・ ソース端フロント界面で蓄積層有り
- ・ ドレイン端で空乏層形成有り
- ・ ピンチオフ形成無し

ボディ電流 (F)

(F) $V_{G1} - V_{fb1} < 0$ かつ $V_{G1} - V_{fb1} - V_{DS} > V'_{depl}$ の場合

$$I_{body} = -\frac{W\mu_b qN_a}{L} \left\{ \int_{V_{G1}-V_{fb1}}^{V_{G1}-V_{fb1}-V'_{depl}} [t_{eff} - x_{d1}] dV - \int_0^{V_{G1}-V_{fb1}} t_{eff} dV \right\}$$

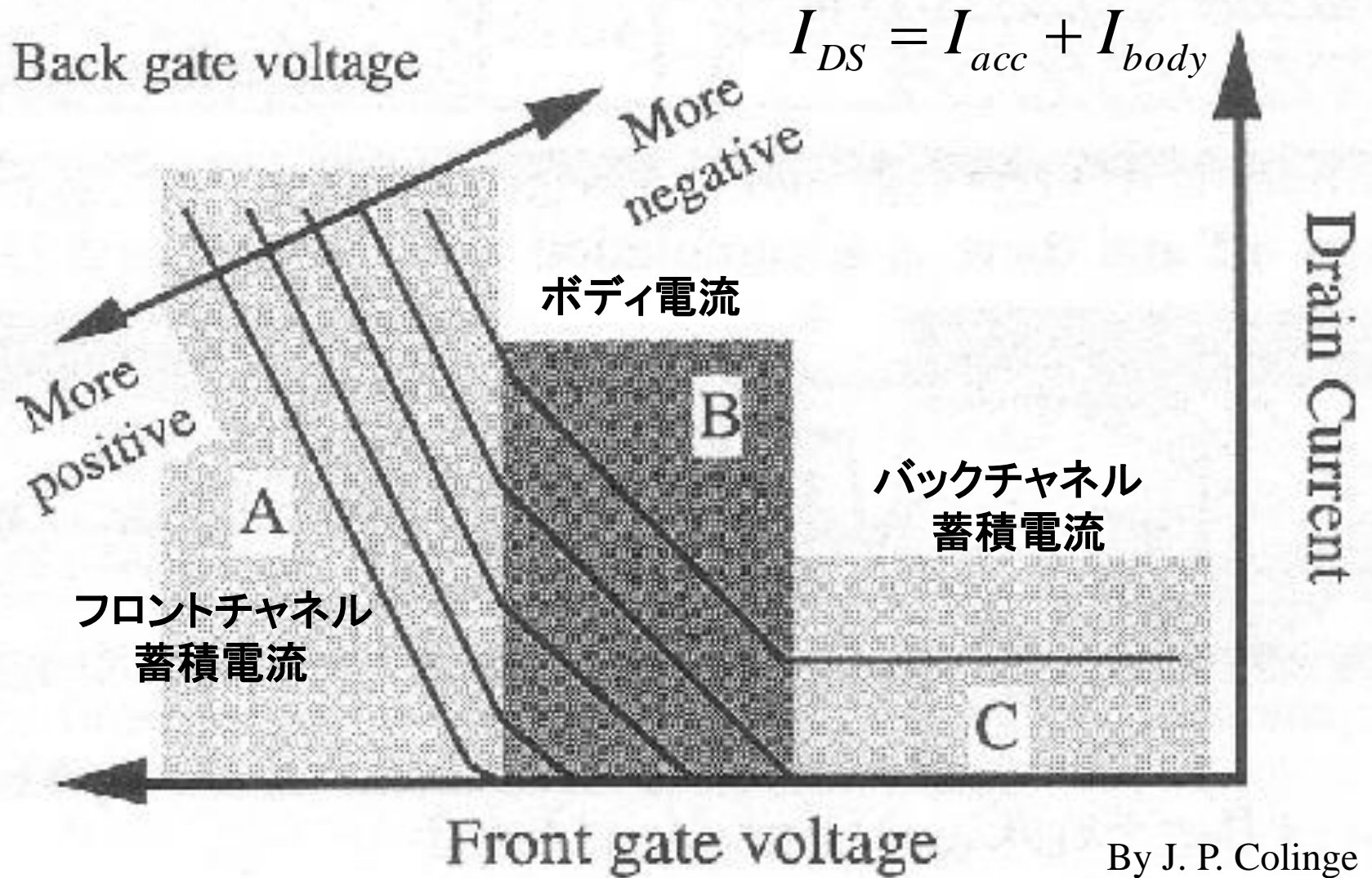
$$\xi = t_{eff} (V_{G1} - V_{fb1}) - \left(t_{eff} + \frac{\varepsilon_{si}}{C_{ox1}} \right) V'_{depl}$$

$$+ \frac{qN_a}{3\varepsilon_{si}} \left[\frac{\varepsilon_{si}^2}{C_{ox1}^2} + \frac{2\varepsilon_{si}V'_{depl}}{qN_a} \right]^{\frac{3}{2}} - \frac{qN_a}{3\varepsilon_{si}} \left[\frac{\varepsilon_{si}}{C_{ox1}} \right]^3$$

⇒ ボディーチャネル形成

- ・ ソース端フロント界面で蓄積層有り
- ・ ピンチオフ形成有り

全電流

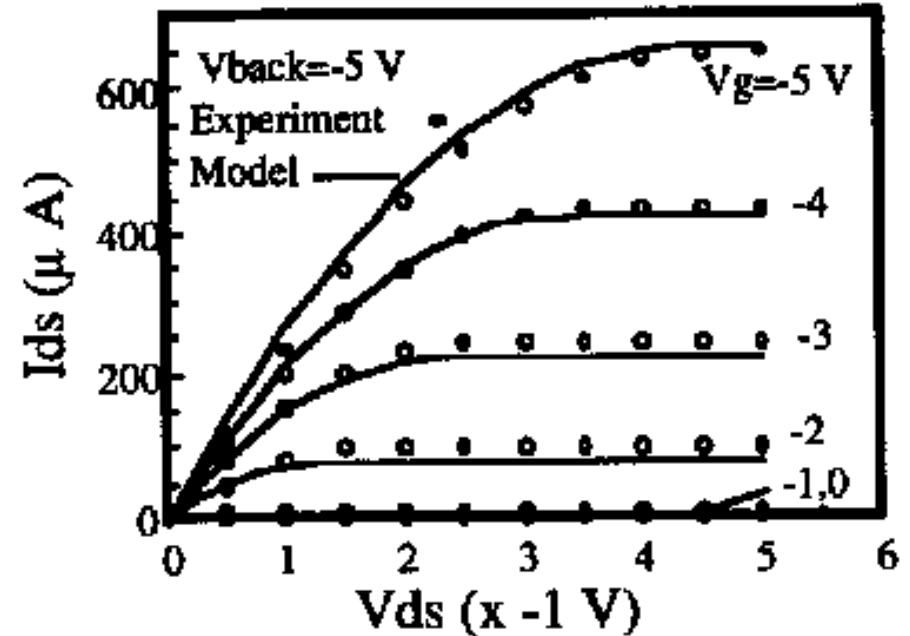
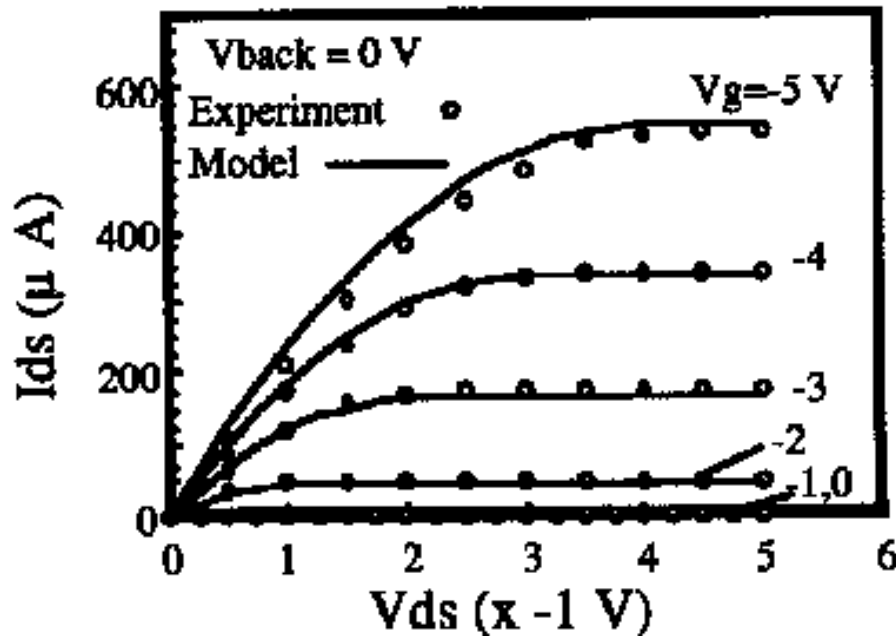


By J. P. Colinge

蓄積型pチャネルSOI MOSFET

I-V特性(バックバイアス2種類)

$$t_{si}=100\text{nm}, N_a=4 \times 10^{16}\text{cm}^{-3}$$



By J. P. Colinge

1. 蓄積型pチャネルSOI MOSFET

⇒通常負のバックバイアス印加:ボディ電流増大

⇒ボディ電流による高移動度(蓄積型の場合)

2. 蓄積型nチャネルSOI MOSFETにも適用可能

⇒ゲートが p^+ または n^+ でも可能(但し、 n^+ の場合、負の閾値電圧)

サブスレッシユホールドスロープ —蓄積型pチャネルSOI-MOSFET—

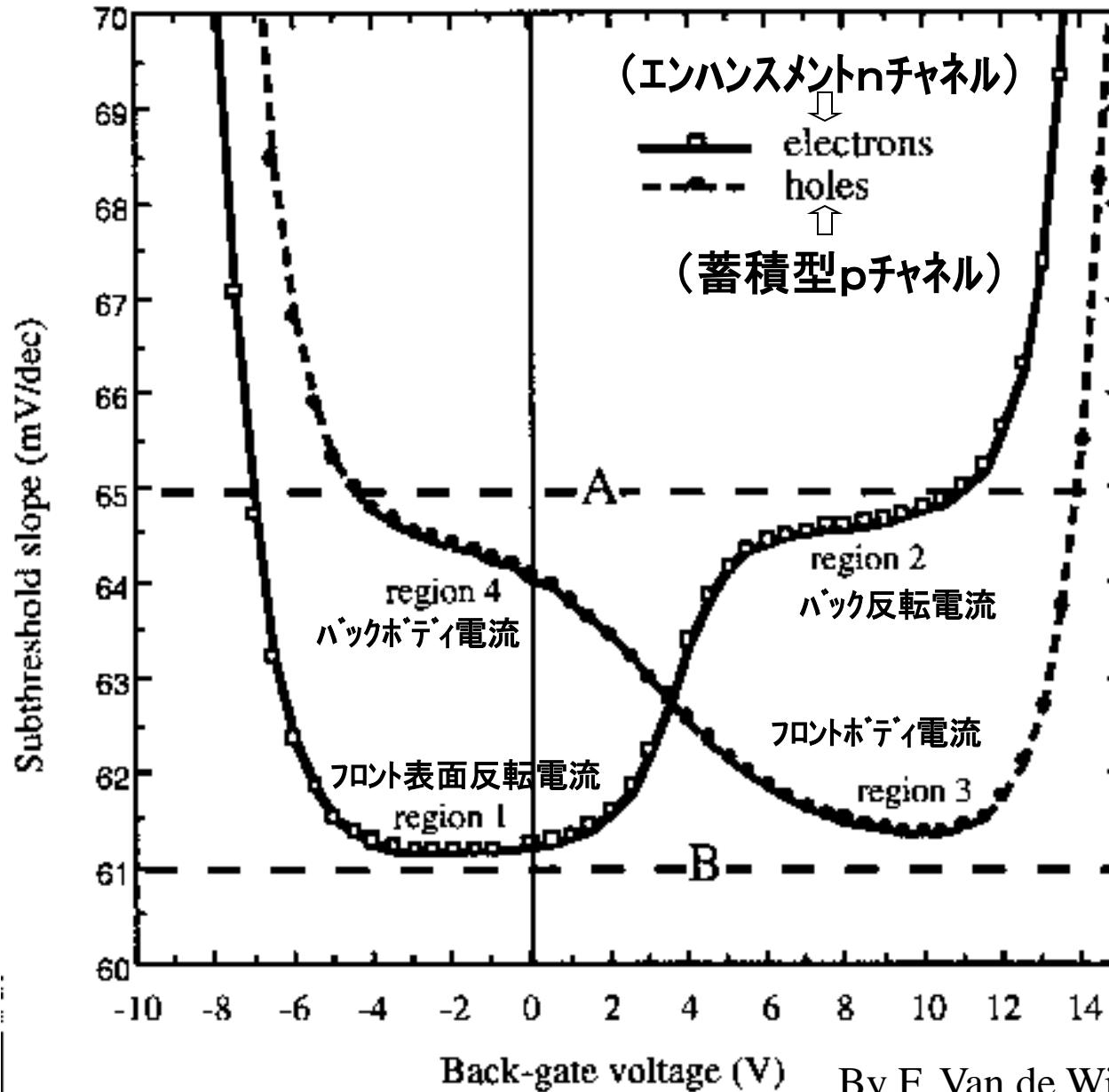
$$S = -\frac{\ln(10)}{\frac{q}{kT} - \frac{d}{d\Phi_{s1}} \ln(F(t_{si}, \Phi_{s1}, \Phi_{s2}))} \left[\left(1 + \frac{C_{it1}}{C_{ox1}} + \frac{C_{si}}{C_{ox1}} \right) - \frac{\frac{C_{si}}{C_{ox1}} \frac{C_{si}}{C_{ox2}}}{1 + \frac{C_{it2}}{C_{ox2}} + \frac{C_{si}}{C_{ox2}}} \right]$$

たいていの場合、 $\Phi_{s2} - \Phi_{s1}$ は Φ_{s1} に弱く起因し、ほぼ定数となる。

したがって、 $F(t_{si}, \Phi_{s1}, \Phi_{s2}) \Rightarrow F(t_{si})$ となり、 S は以下となる。

$$S = -\ln(10) \frac{kT}{q} \left[\left(1 + \frac{C_{it1}}{C_{ox1}} + \frac{C_{si}}{C_{ox1}} \right) - \frac{\frac{C_{si}}{C_{ox1}} \frac{C_{si}}{C_{ox2}}}{1 + \frac{C_{it2}}{C_{ox2}} + \frac{C_{si}}{C_{ox2}}} \right]$$

Sのバックゲート電圧依存性



$$S = \frac{kT}{q} \ln(10)(1 + \alpha)$$

$$\alpha = \frac{C_{ox2}(C_{si} + C_{ox1})}{C_{si}C_{ox1}}$$

$$\alpha = \frac{C_{si}C_{ox2}}{C_{ox1}(C_{si} + C_{ox2})}$$

ボディ効果の統一的表現

—サブスレッシュホールドスロープ—

- 弱反転領域の電流

$$I_{DS} \propto \exp\left(\frac{qV_{GS}}{nkT}\right), \quad n = 1 + \alpha = 1 + \frac{C_{CH-GND}}{C_{G-CH}}$$

C_{CH-GND} : チャネル-グラウンド間容量

C_{G-CH} : ゲート-チャネル間容量

- サブスレッシュホールドスロープ

$$S = \ln(10) \frac{nkT}{q}$$

n : body factor coefficient

カップリングを表す容量モデル ーバルクMOSFETー

- A: バルクMOSFET (強反転)

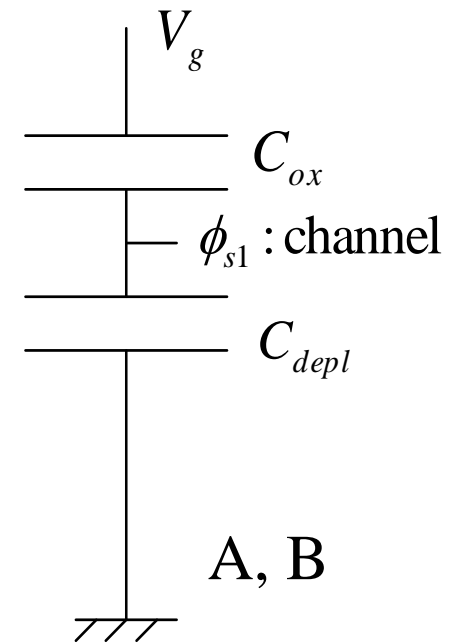
$$C_{G-CH} = C_{ox}$$

$$C_{CH-GND} = \varepsilon_{si} / x_{d \max} \Rightarrow C_{depl}$$

- B: バルクMOSFET (弱反転)

$$C_{G-CH} = C_{ox}$$

$$C_{CH-GND} = \varepsilon_{si} / x_d \Rightarrow C_{depl}$$



カップリングを表す容量モデル

—完全空乏型SOI - MOSFET—

- C:完全空乏型SOI-MOSFET (バック蓄積)

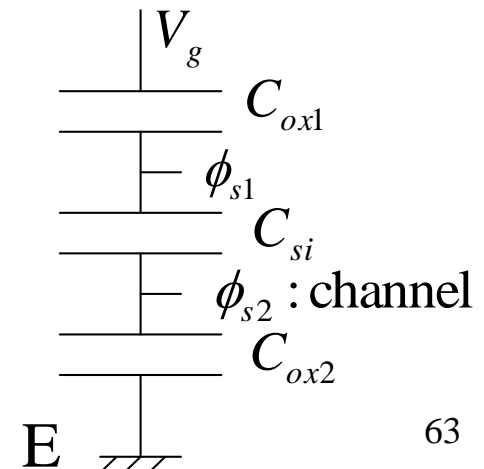
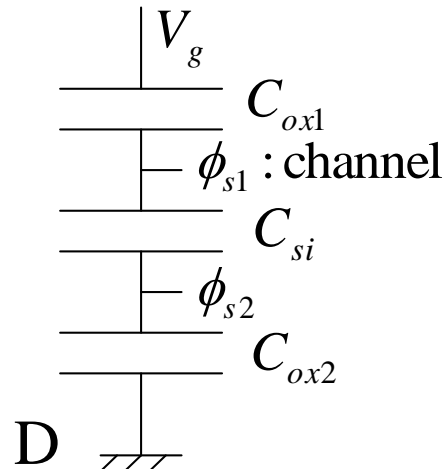
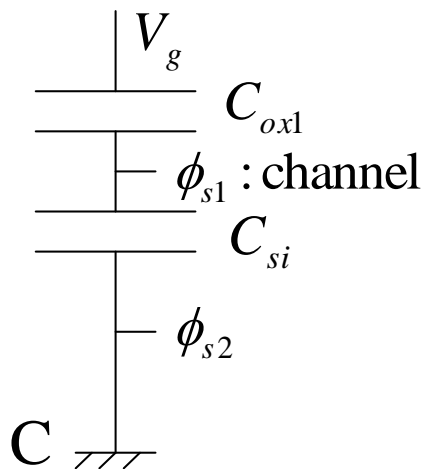
$$C_{G-CH} = C_{ox1}, \quad C_{CH-GND} = \varepsilon_{si}/t_{si} \Rightarrow C_{si}$$

- D:完全空乏型SOI-MOSFET (バック空乏)

$$C_{G-CH} = C_{ox1}, \quad C_{CH-GND} = C_{si} C_{ox2} / (C_{si} + C_{ox2})$$

- E:完全空乏型SOI-MOSFET (バック反転)

$$C_{G-CH} = C_{si} C_{ox1} / (C_{si} + C_{ox1}), \quad C_{CH-GND} = C_{ox2}$$



カップリングを表す容量モデル

—蓄積型SOI - MOSFET—

- F:蓄積型SOI - MOSFET(弱反転)

$$C_{G-CH} = C_{si1} C_{ox1} / (C_{si1} + C_{ox1})$$

$$C_{CH-GND} = C_{si2} C_{ox2} / (C_{si2} + C_{ox2})$$

$$C_{si1} = \varepsilon_{si} / x(\phi_{\min})$$

$$C_{si2} = \varepsilon_{si} / (t_{si} - x(\phi_{\min}))$$

$x(\phi_{\min})$: 最小電位の深さ

