

システム集積回路工学論

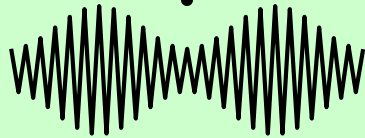
第1回 システム集積回路とアナログ回路

群馬大学客員教授 堀口真志

デジタル集積回路内のアナログ回路

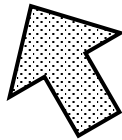
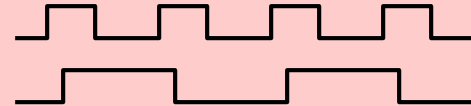
アナログ集積回路

オペアンプ
A/D変換器
D/A変換器
高周波
⋮

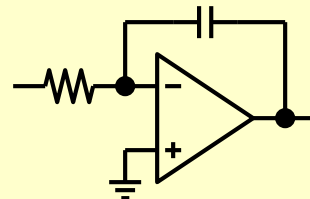


デジタル集積回路

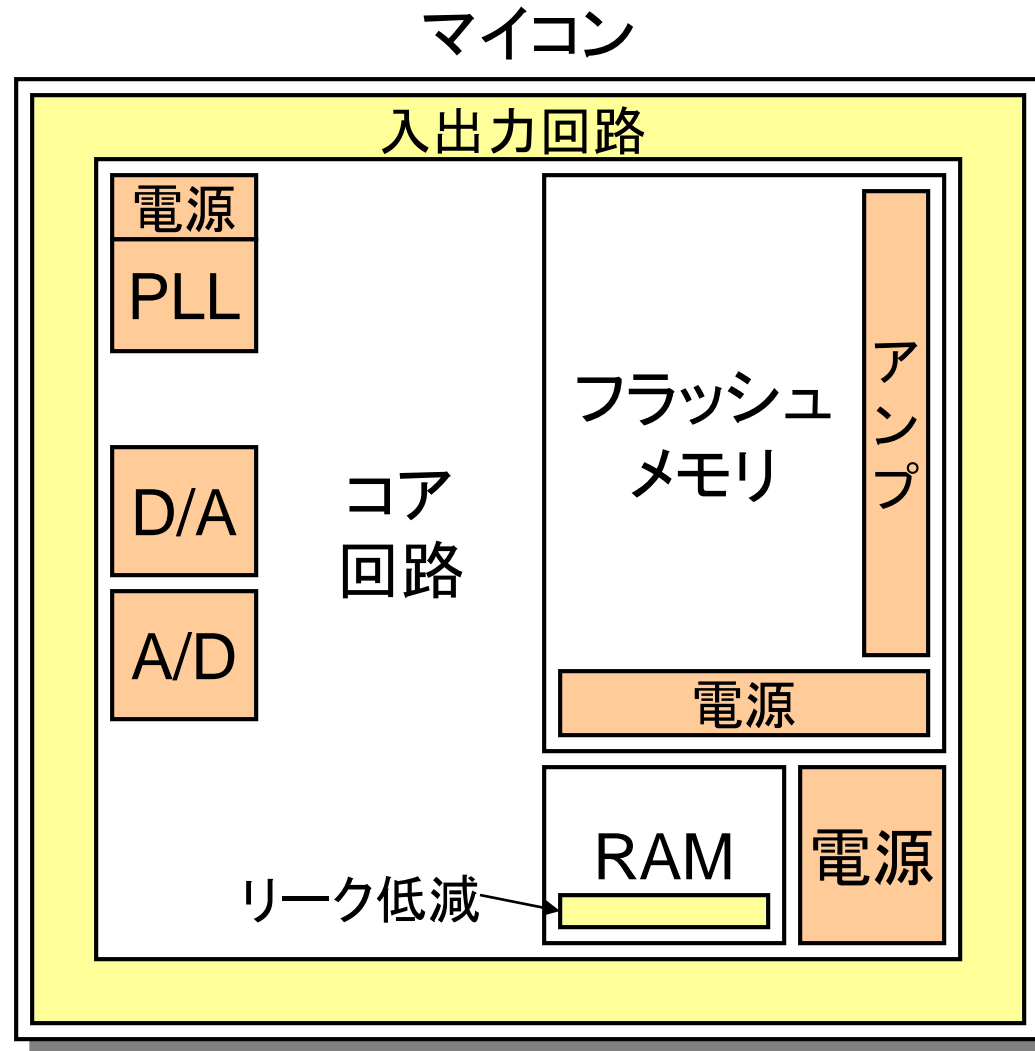
マイクロプロセッサ
マイクロコントローラ
メモリ
DSP
⋮



アナログ
回路技術



デジタル集積回路内のアナログ回路

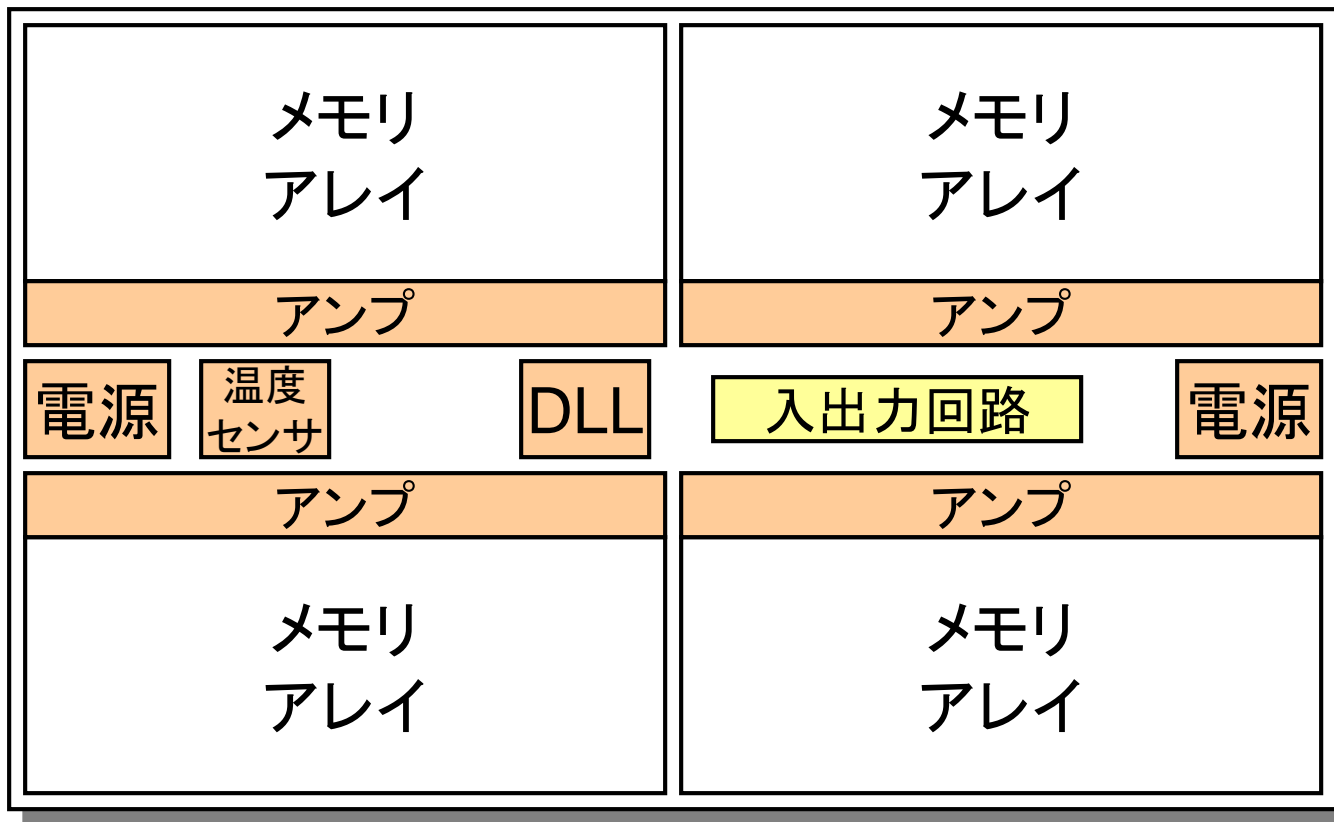


■ アナログ回路

■ デジタル回路だがアナログ技術必要

デジタル集積回路内のアナログ回路

メモリ



なぜオンチップ電源回路か？

降圧

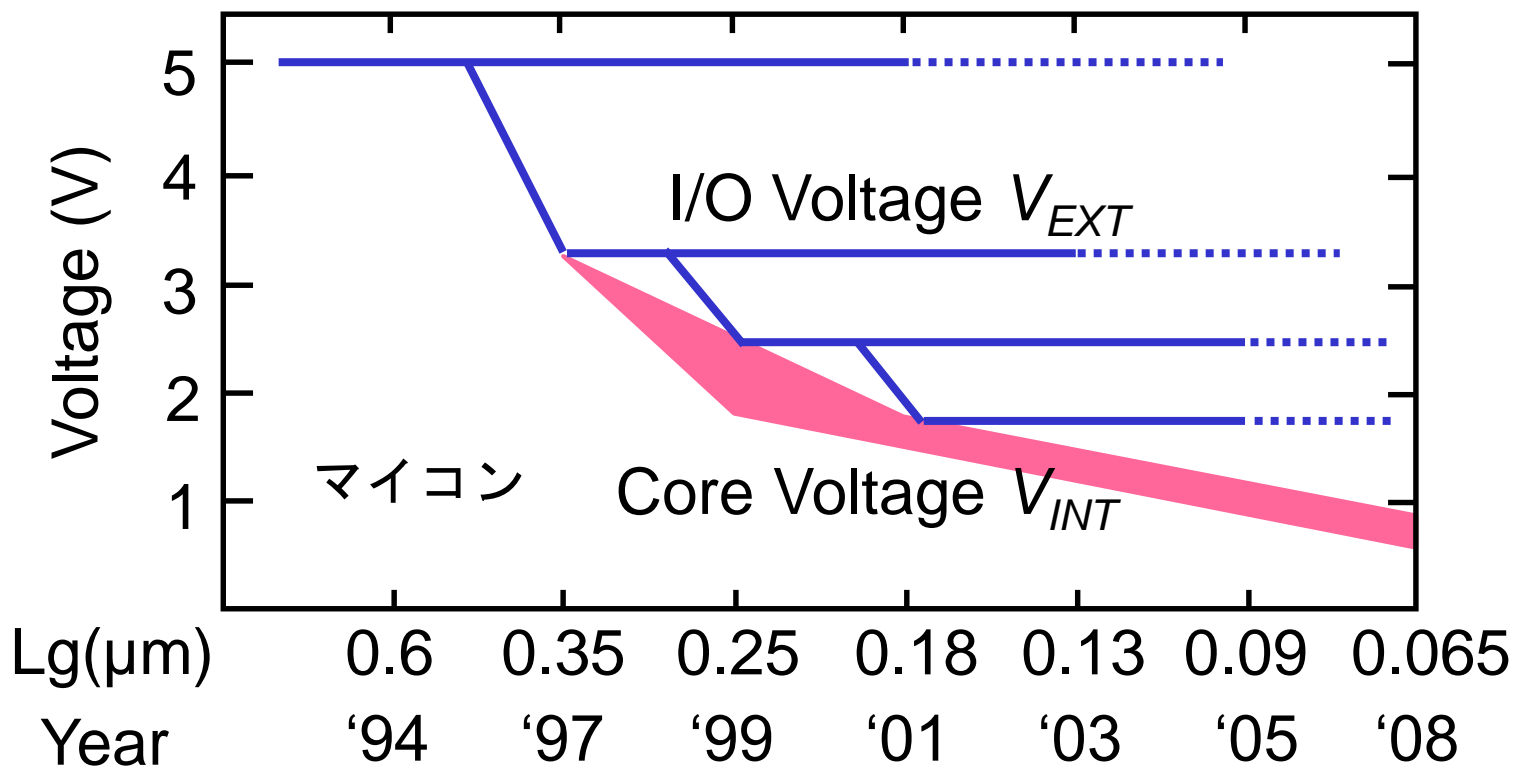
- 電源標準化からの要求
 - コア電圧とI/O電圧との乖離
 - チップ縮小による低価格化
- 電池駆動からの要求
- チップの高性能設計
- メモリセル動作からの要求
- リーク電流低減からの要求

昇圧

- 電池駆動からの要求
- メモリセル動作からの要求
- リーク電流低減からの要求

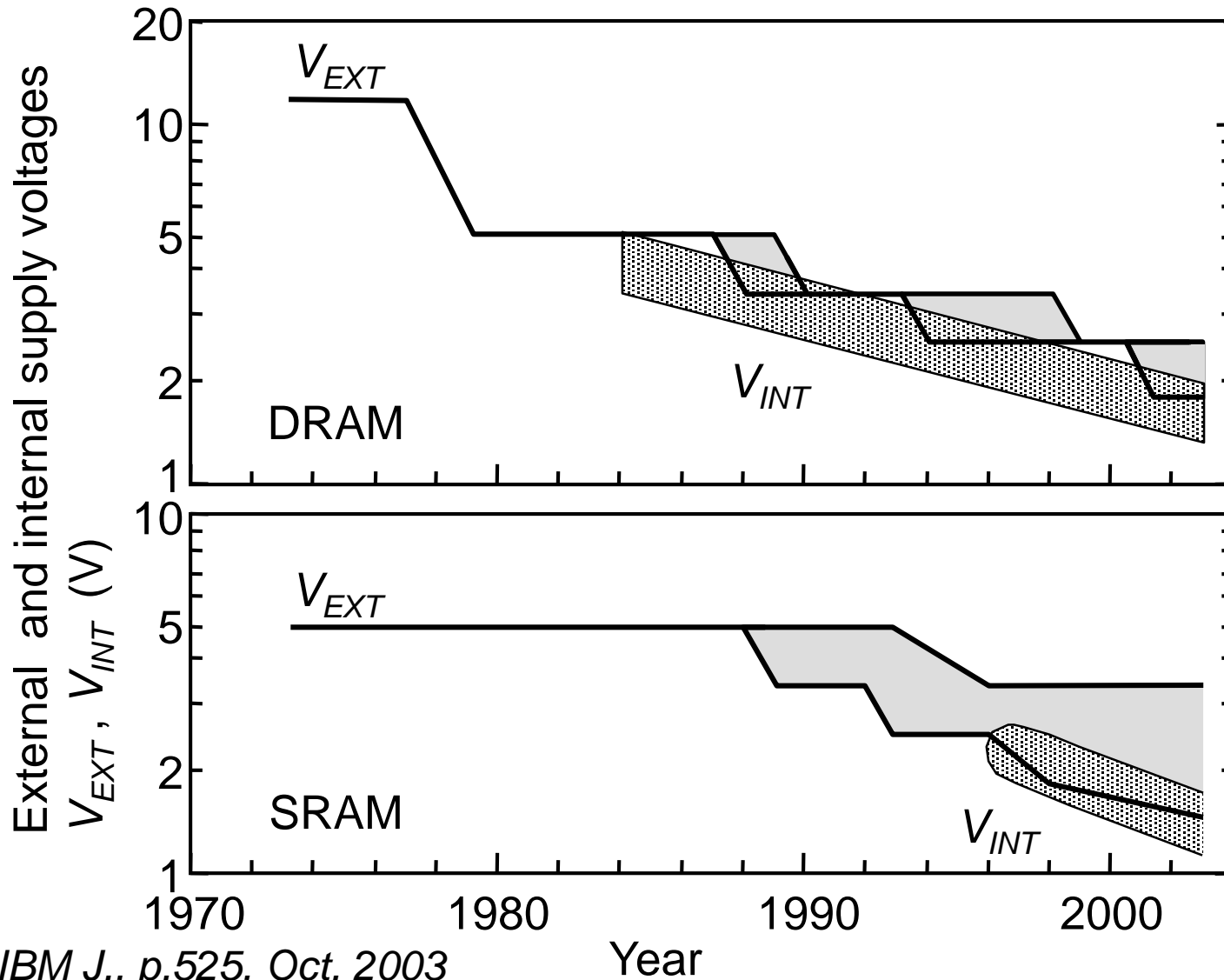
なぜオンチップ電源回路か？

電源標準化からの要求



M. Hiraki, IEEE J. SSC, p.661, Apr. 2004

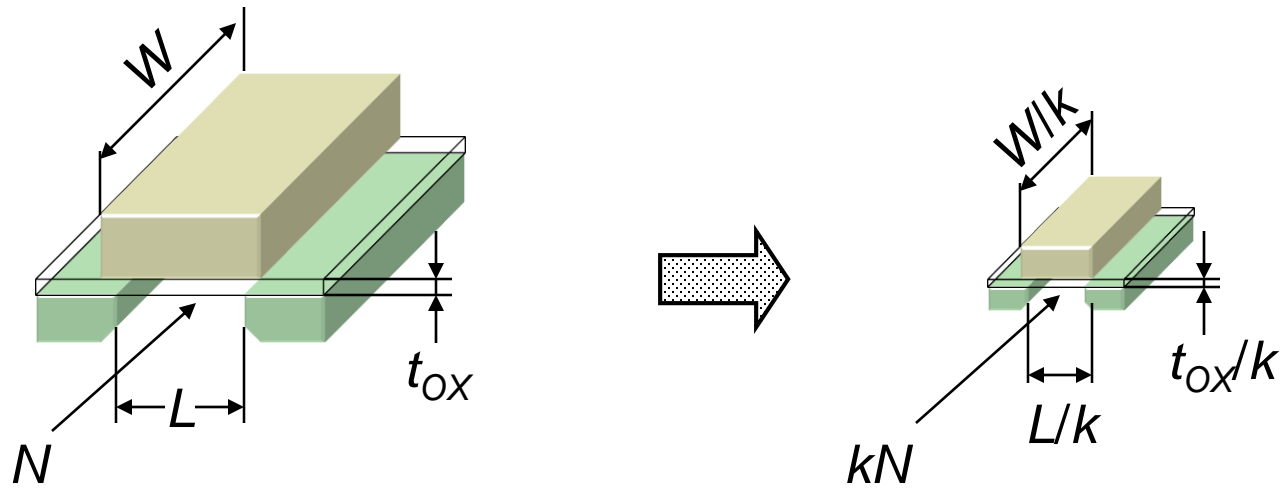
なぜオンチップ電源回路か？



Y. Nakagome, IBM J., p.525, Oct. 2003

Year

MOSTランジスタの比例縮小(スケールリング)



等方的に縮小
 $k \doteq 1.4$ / 世代

MOSTランジスタの比例縮小(スケーリング)則

			電界一定
寸法	L, W, t_{OX}		$1/k$
不純物濃度	N		k
電圧	V		$1/k$
電界	$E \propto V/L, V/t_{OX}$		1
電流	$I \propto (WV^2)/(Lt_{OX})$		$1/k$
オン抵抗	$R_{ON} \propto V/I$		1
ゲート容量	$C_G \propto LW/t_{OX}$		$1/k$
遅延時間	$t_D \propto R_{ON}C_G$		$1/k$
消費電力	$P \propto IV$		$1/k^2$
面積	$A \propto LW$		$1/k^2$

Mooreの法則
の原動力

- ⇒ 高速
- ⇒ 低電力
- ⇒ 低コスト・高機能

R. H. Dennard, IEEE J. SSC, p.256, Oct. 1974

MOSTランジスタの比例縮小(スケールリング)則

		電界一定	電圧一定
寸法	L, W, t_{OX}	$1/k$	$1/k$
不純物濃度	N	k	k
電圧	V	$1/k$	1
電界	E	1	k
電流	I	$1/k$	k
オン抵抗	R_{ON}	1	$1/k$
ゲート容量	C_G	$1/k$	$1/k$
遅延時間	t_D	$1/k$	$1/k^2$
消費電力	P	$1/k^2$	k
面積	A	$1/k^2$	$1/k^2$



MOSTランジスタの比例縮小(スケーリング)則

		電界一定	電圧一定	外部電圧一定 内部電界一定
寸法	L, W, t_{OX}	$1/k$	$1/k$	$1/k$
不純物濃度	N	k	k	k
電圧	V	$1/k$	1	1(外部) 1/k(内部)
電界	E	1	k	1
電流	I	$1/k$	k	$1/k$
オン抵抗	R_{ON}	1	$1/k$	1
ゲート容量	C_G	$1/k$	$1/k$	$1/k$
遅延時間	t_D	$1/k$	$1/k^2$	$1/k$
消費電力	P	$1/k^2$	k	$1/k$
面積	A	$1/k^2$	$1/k^2$	$1/k^2$

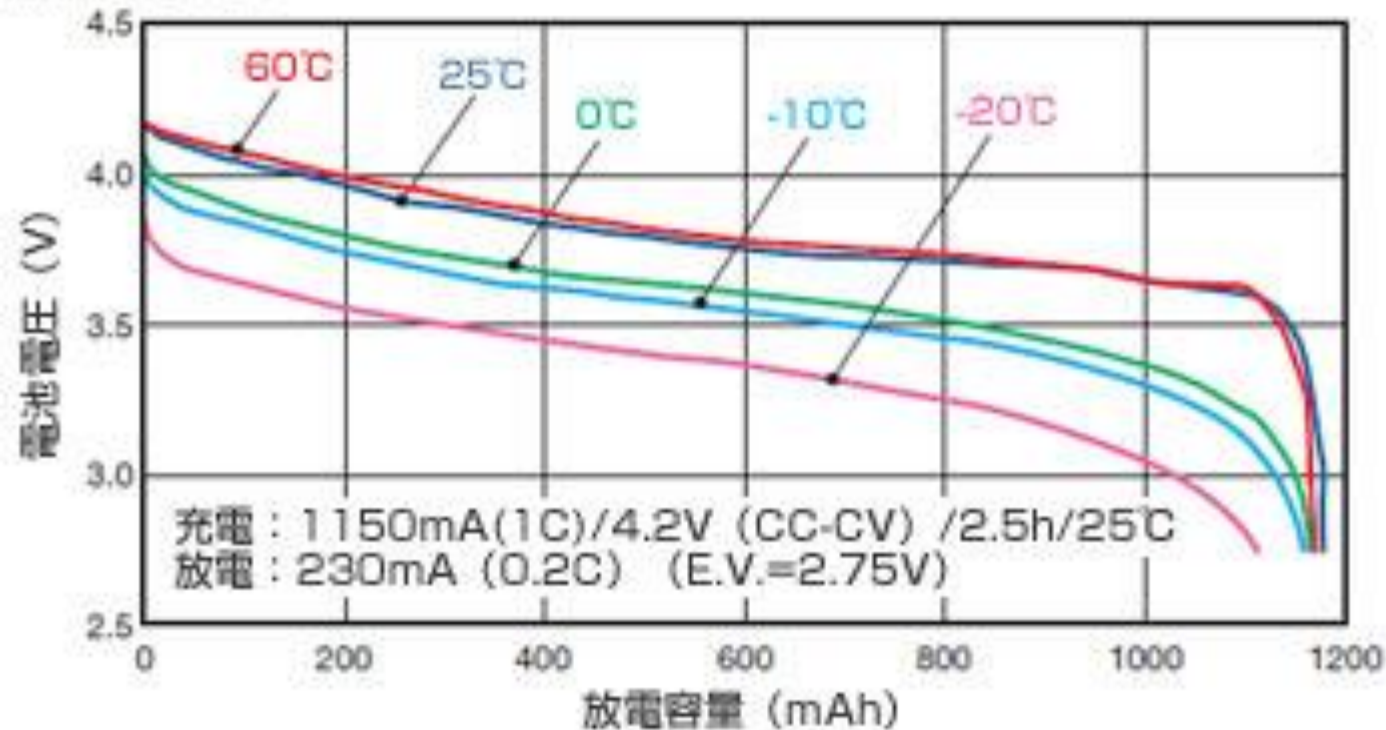
伊藤、超LSIメモリ、培風館(1994)

なぜオンチップ電源回路か？

電池駆動からの要求

リチウムイオン電池の放電特性

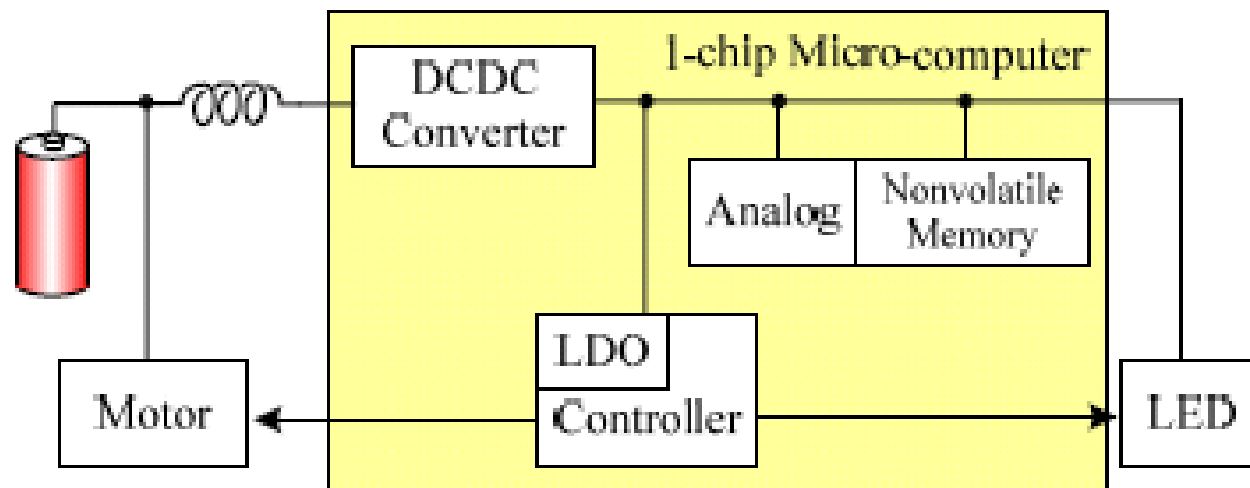
放電温度特性



http://www.maxell.co.jp/jpn/industrial/battery/lineup/i_li/index.html

なぜオンチップ電源回路か？

電池駆動からの要求



なぜオンチップ電源回路か？

チップの高性能設計

内部電源電圧の静的制御

PVT (Process, Voltage, Temperature)変動に強い設計

- しきい電圧 V_{TH} に連動して内部電源電圧、基板電圧を設定
- 外部電源電圧の変動(通常 $\pm 10\%$)を受けない
- 内部電源電圧に正の温度係数を持たせる

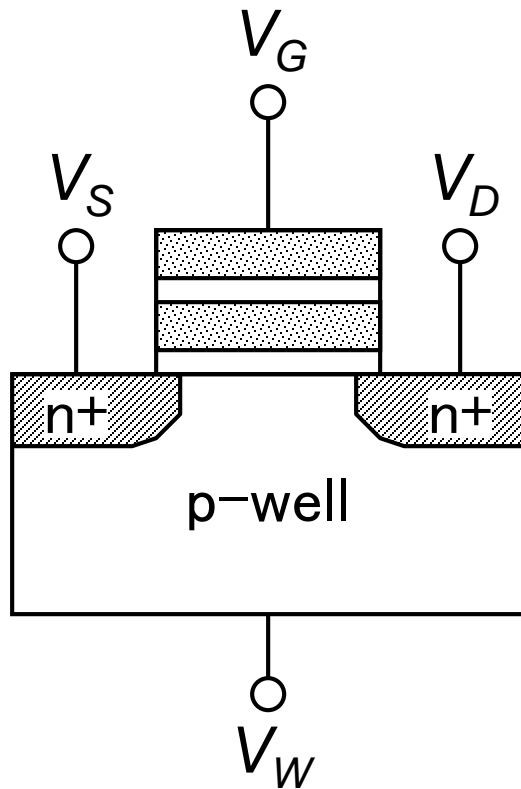
内部電源電圧の動的制御

- 動作モード(負荷)に応じて、クロック周波数と内部電源電圧を設定

なぜオンチップ電源回路か？

メモリ動作からの要求

フラッシュメモリの内部電圧の例



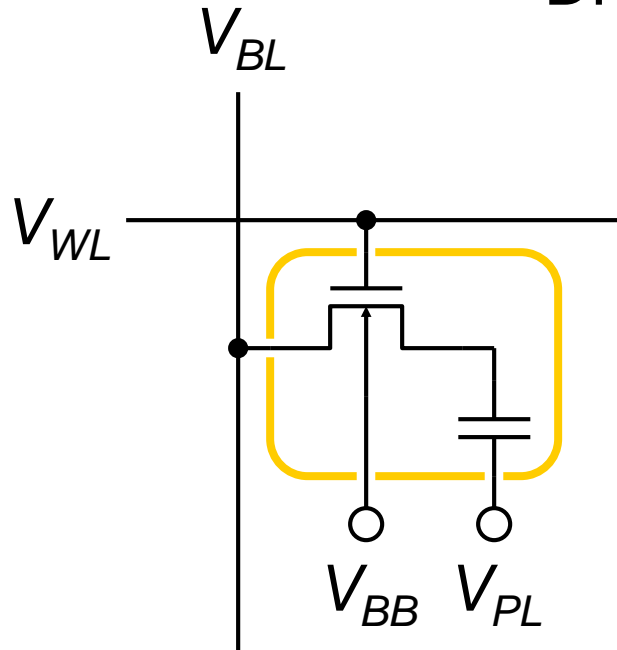
	V_G	V_D	V_S	V_W
読出し	3.8	1.0	0.0	0.0
書込み	10.0	5.4	0.0	0.0
消去1	-11.5	open	open	10.0
消去2	4.7	5.4	0.0	0.0

単位: V

なぜオンチップ電源回路か？

メモリ動作からの要求

DRAMの内部電圧の例

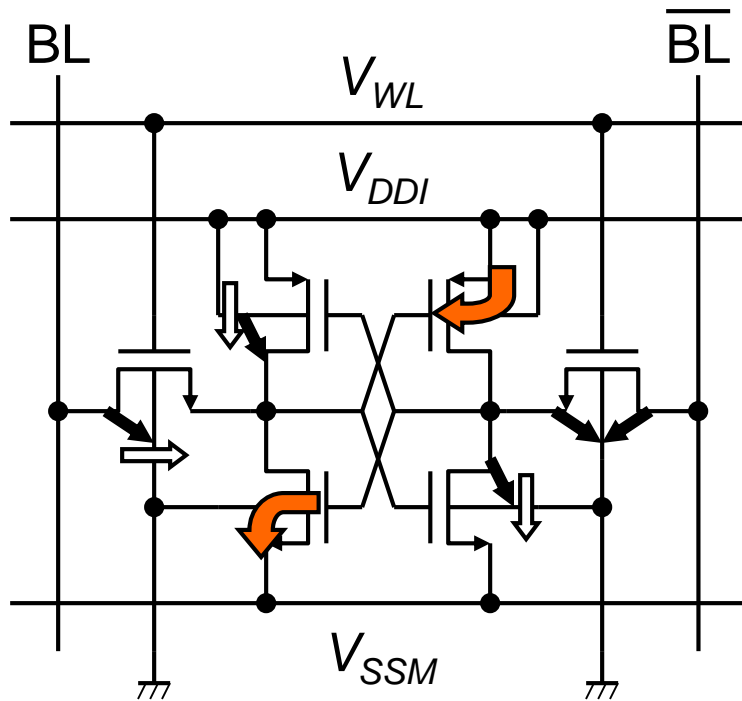


	V_{WL}	V_{BL}	V_{PL}	V_{BB}
待機	0.0	0.9	0.9	-1.0
読出し	3.8	open	0.9	-1.0
書込み	3.8	1.8(H) 0.0(L)	0.9	-1.0

単位: V

なぜオンチップ電源回路か？

リーク電流低減からの要求

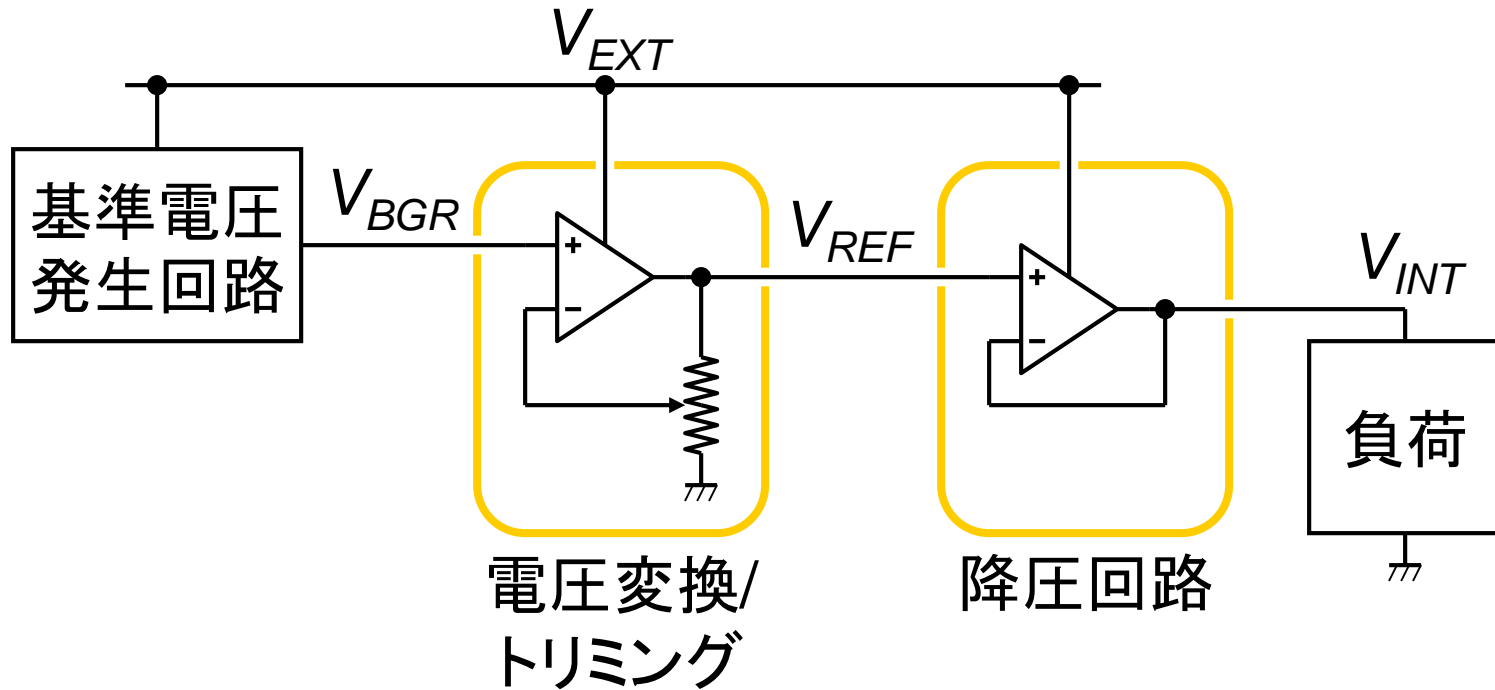


	V_{DDI}	V_{WL}	V_{BL}	V_{SSM}
待機	1.5 (1.5)	0.0 (0.0)	1.0 (1.5)	0.5 (0.0)
読出し	1.5	1.5	1.5	0.0

()内は従来 単位: V

- ⇒ サブスレッショルド電流
- GIDL
- ゲートトンネル電流

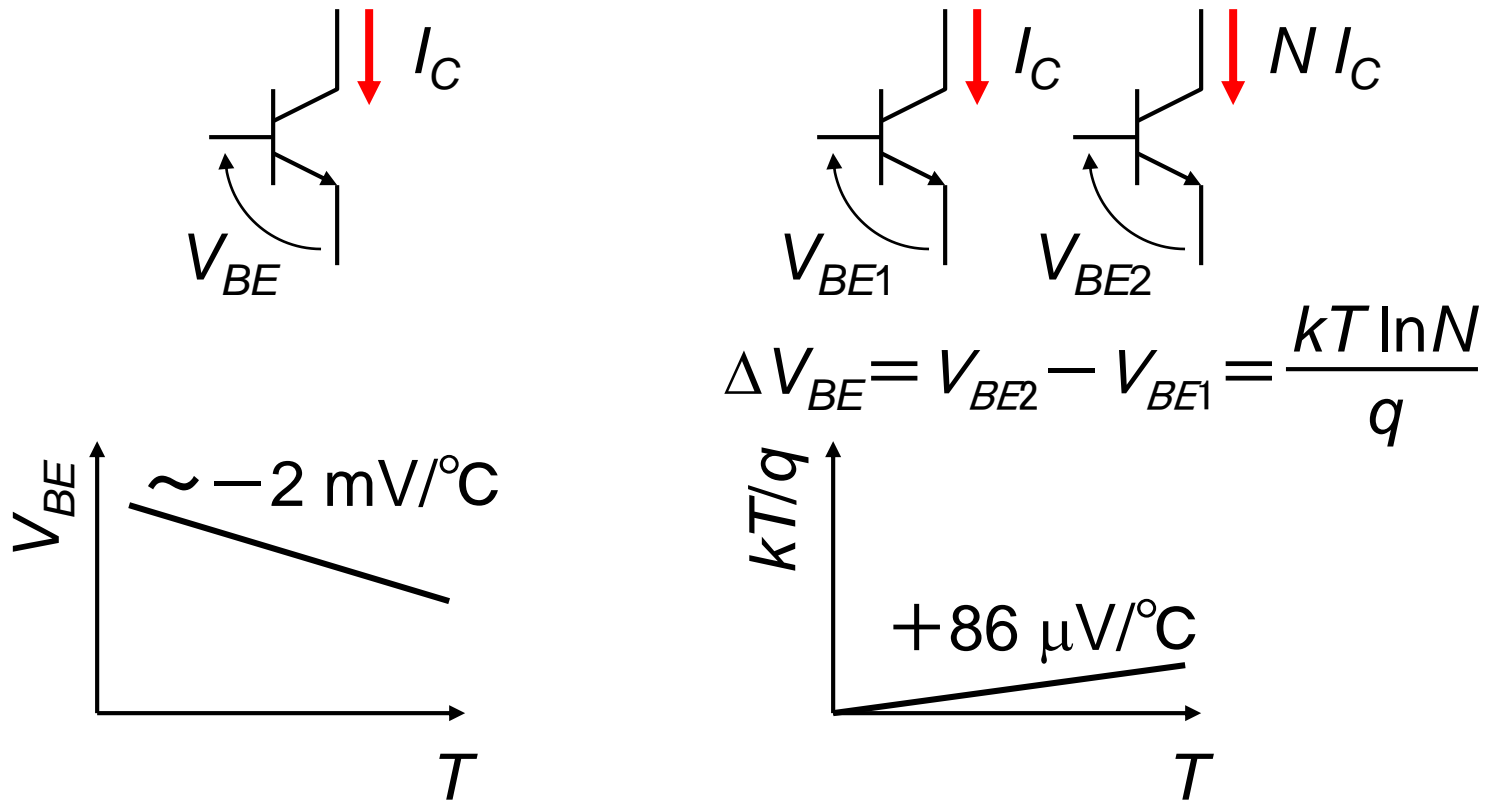
オンチップ降圧回路の基本構成



基準電圧発生回路

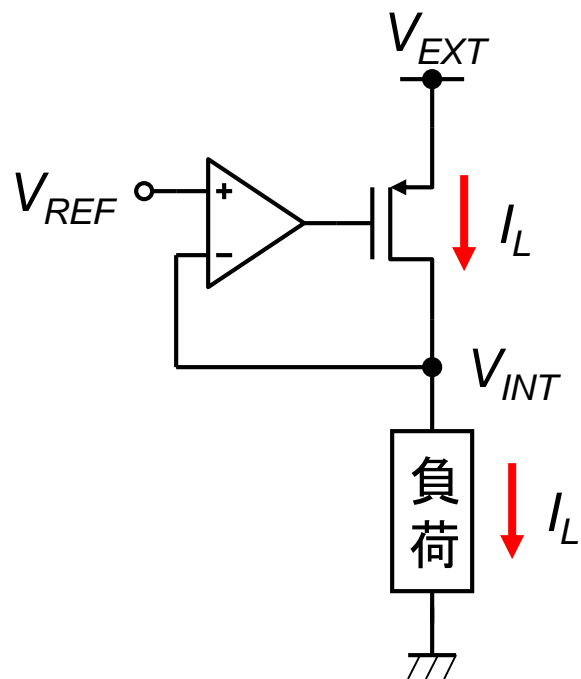
	MOS V_{TH}	MOS ΔV_{TH}	Bandgap Ref.
温度依存性	大	小	小
プロセスバラツキ	大	大	中～小
工程増加	なし	低 V_{TH} MOS	なし (三重ウェル)
出力電圧	βV_{TH}	$\beta \Delta V_{TH}$	1.25V
V_{EXTmin}	$\beta V_{TH} + \alpha$	$V_{THN} + V_{THP} + \alpha$	$1.25V + \alpha$

Bandgap基準電圧発生回路の原理

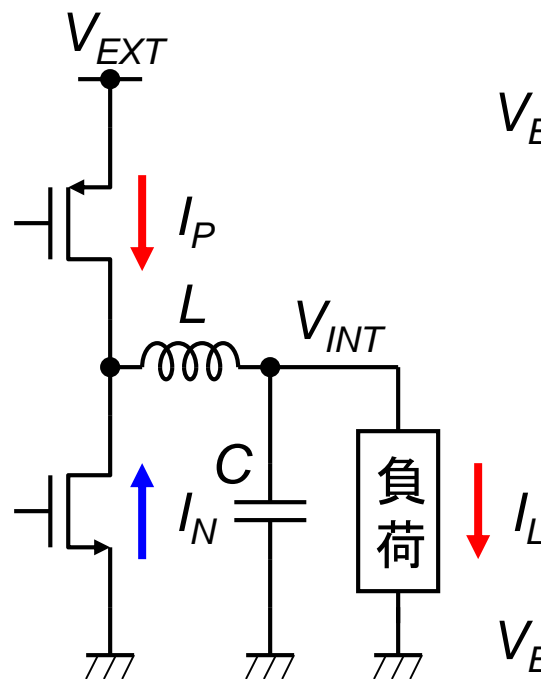


$V_{BGR} = a \cdot V_{BE} + b \cdot kT/q$ 温度依存性キャンセル可能
普通の設計: $a=1, b=21 \sim 23, V_{BGR} = 1.2 \sim 1.25\text{V}$

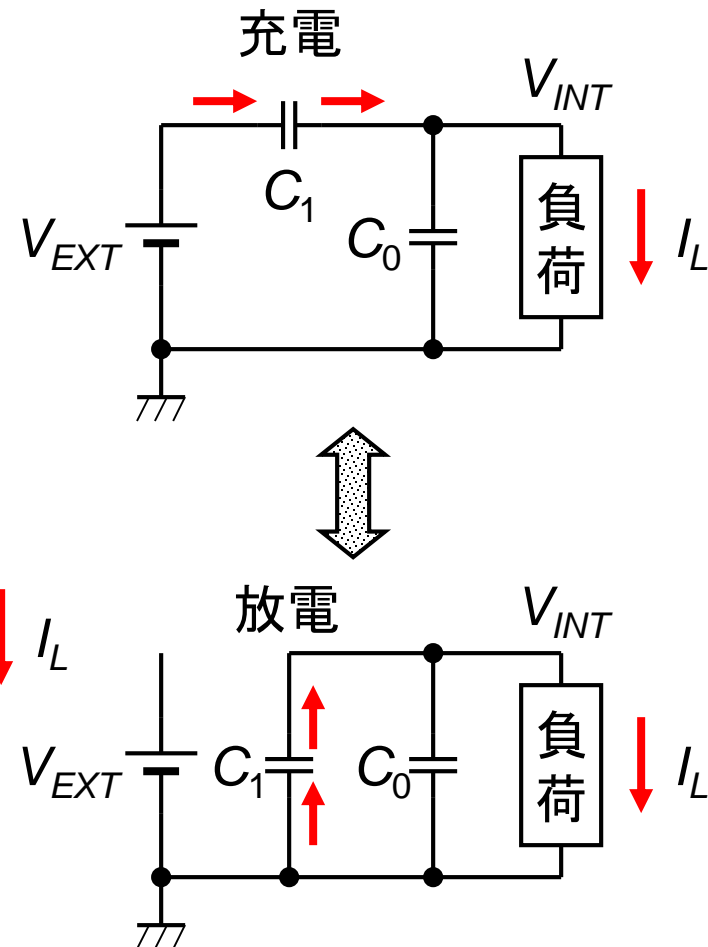
降圧回路の種類



シリーズ



スイッチング

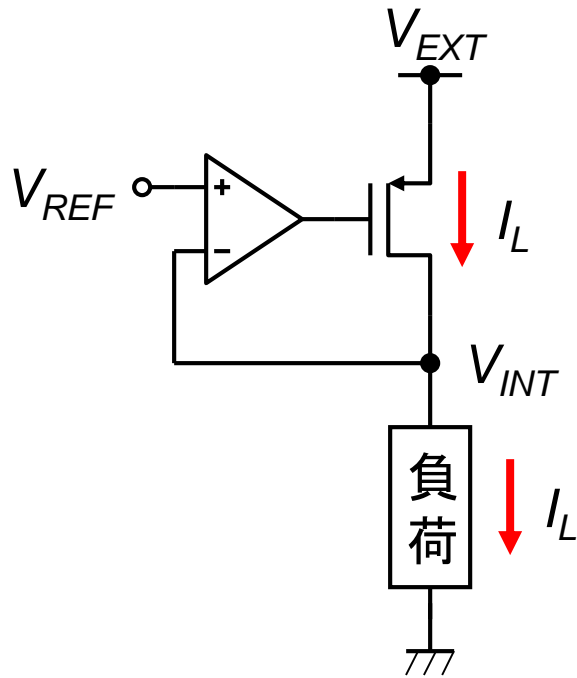


スイッチトキャパシタ

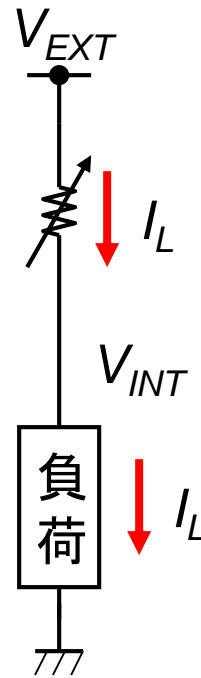
シリーズ降圧回路

(Series regulator, Linear regulator)

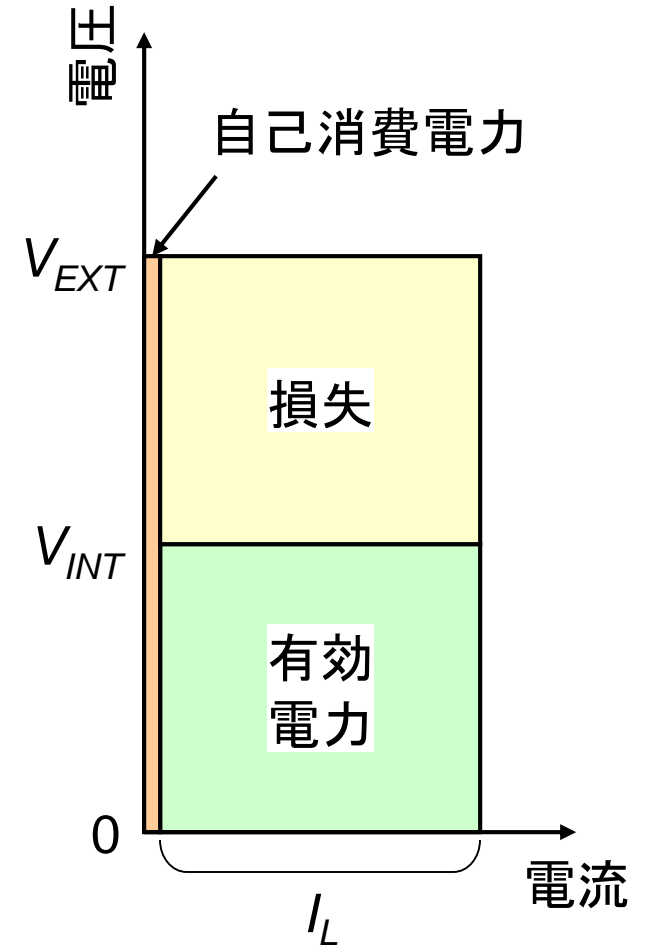
- 入力電流 ≒ 出力電流
- 電力効率 $\leq V_{INT}/V_{EXT}$



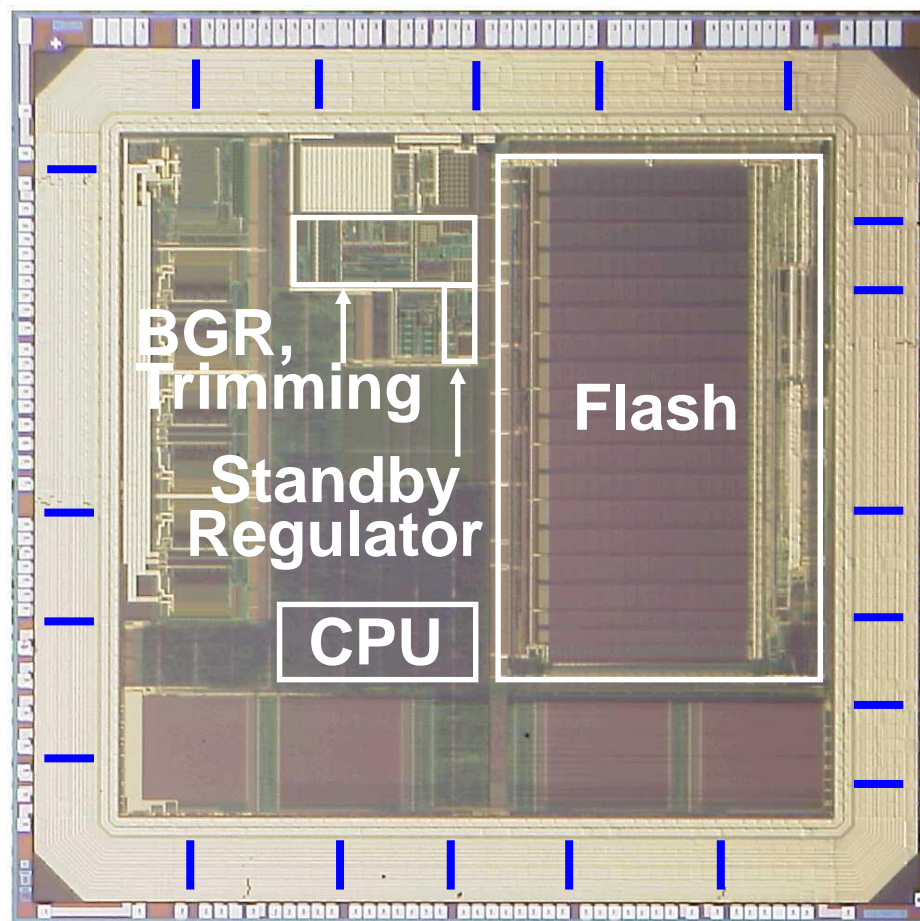
シリーズ降圧回路



等価回路



マイコンへの適用例



— Regulator for Active Mode

降圧回路の電力効率を改善するには

シリーズ降圧回路の電力効率 $\leq V_{INT}/V_{EXT}$

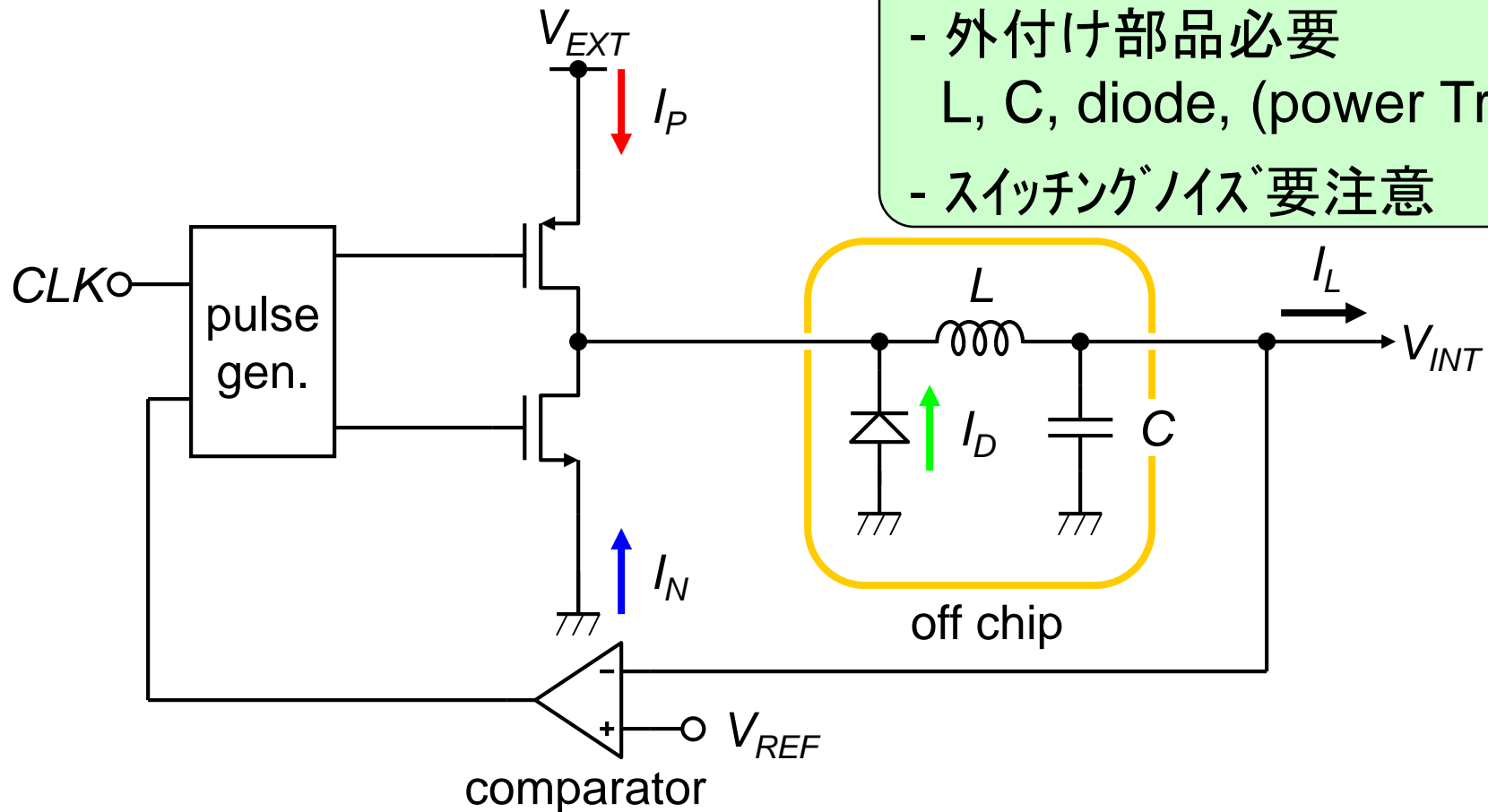
電力効率改善のためには電気エネルギーを蓄積できる素子(リアクタンス素子)が必要

- スイッチング降圧回路・・・L使用
- スイッチトキャパシタ降圧回路・・・C使用

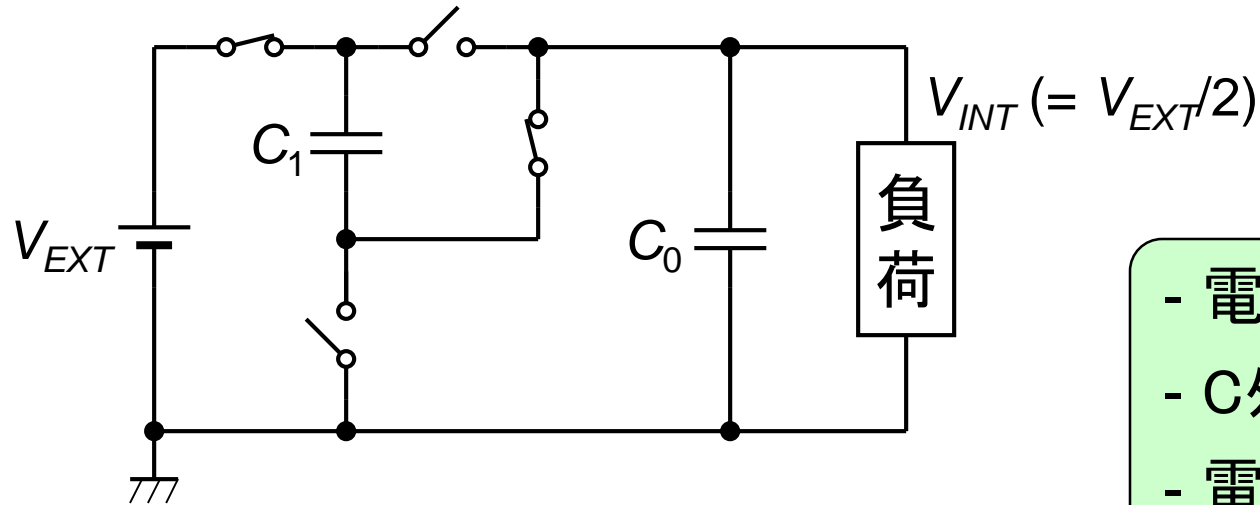
スイッチング降圧回路

(Switching regulator, Buck converter)

- 電力効率 $\geq 90\%$
- 外付け部品必要
L, C, diode, (power Tr.)
- スイッチングノイズ`要注意

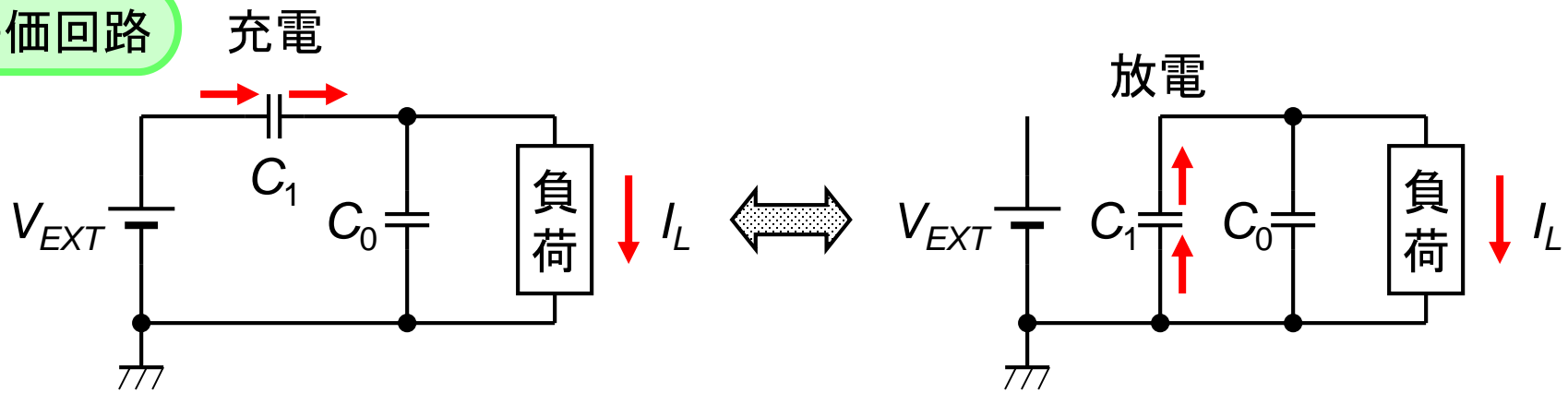


スイッチトキャパシタ降圧回路



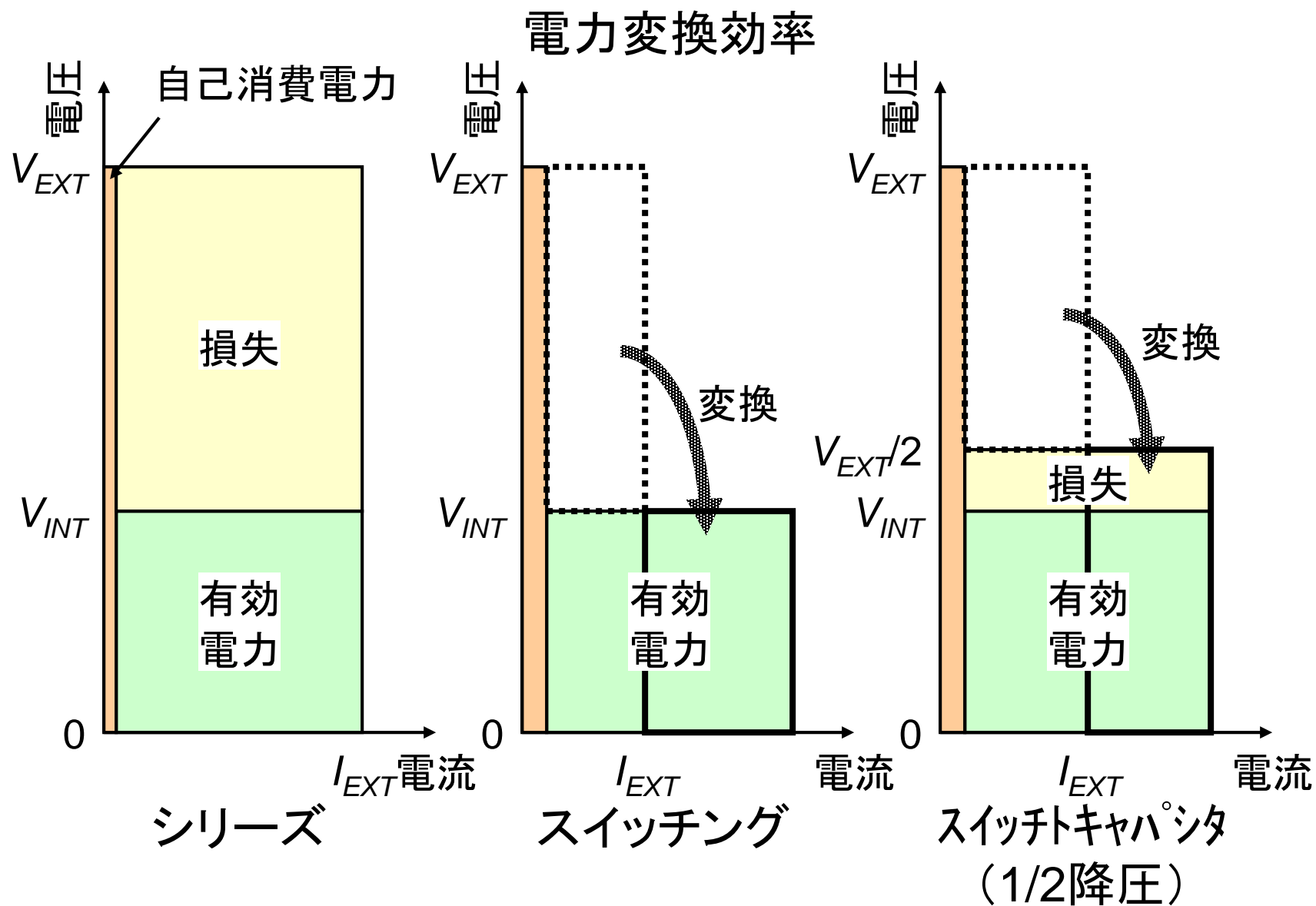
- 電力効率 > 80%
- C外付け必要
- 電圧変換比 = 整数比

等価回路



大田, 信学論文誌, J66-C, p. 576, 1983年8月

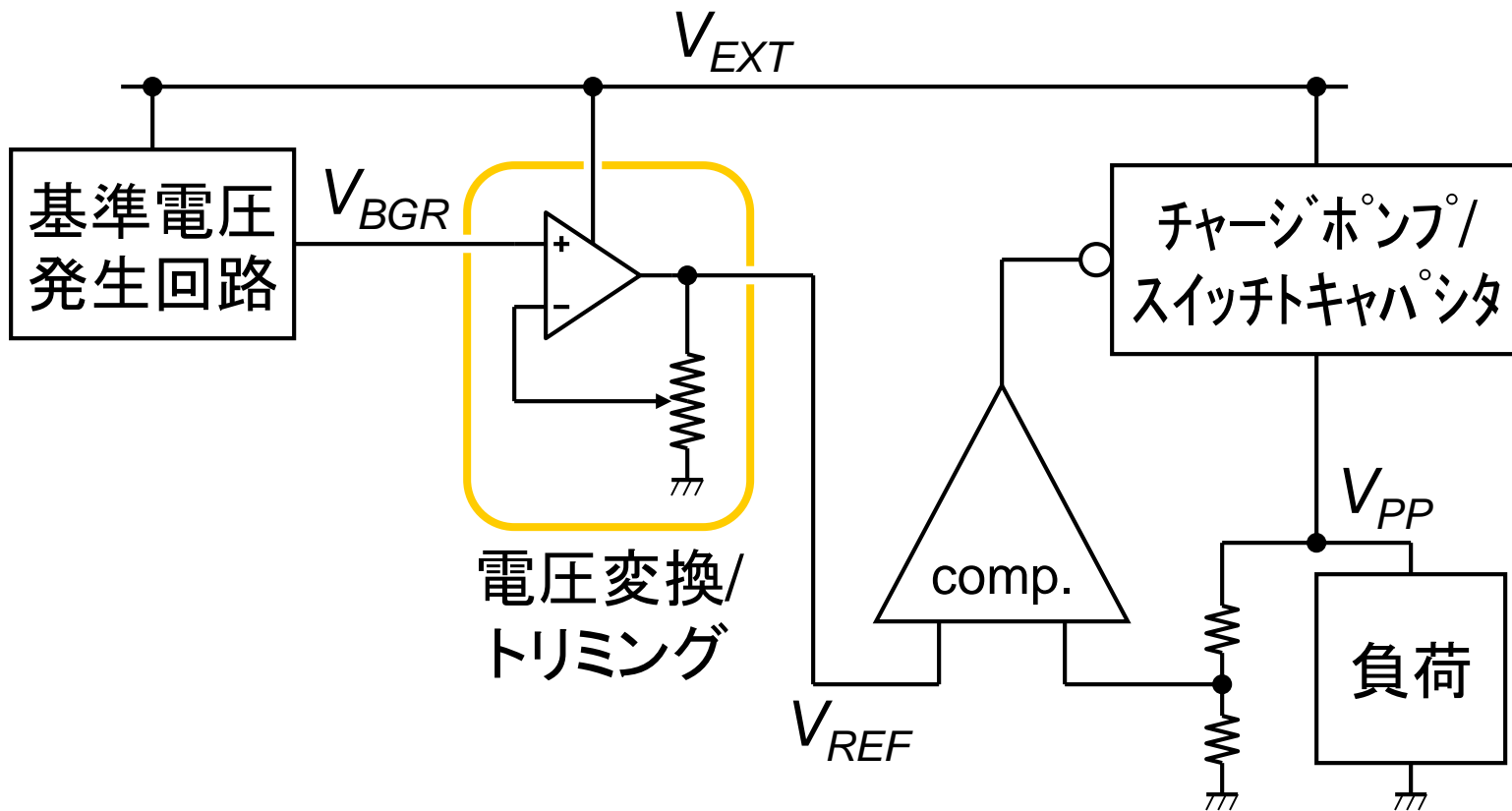
降圧回路方式比較



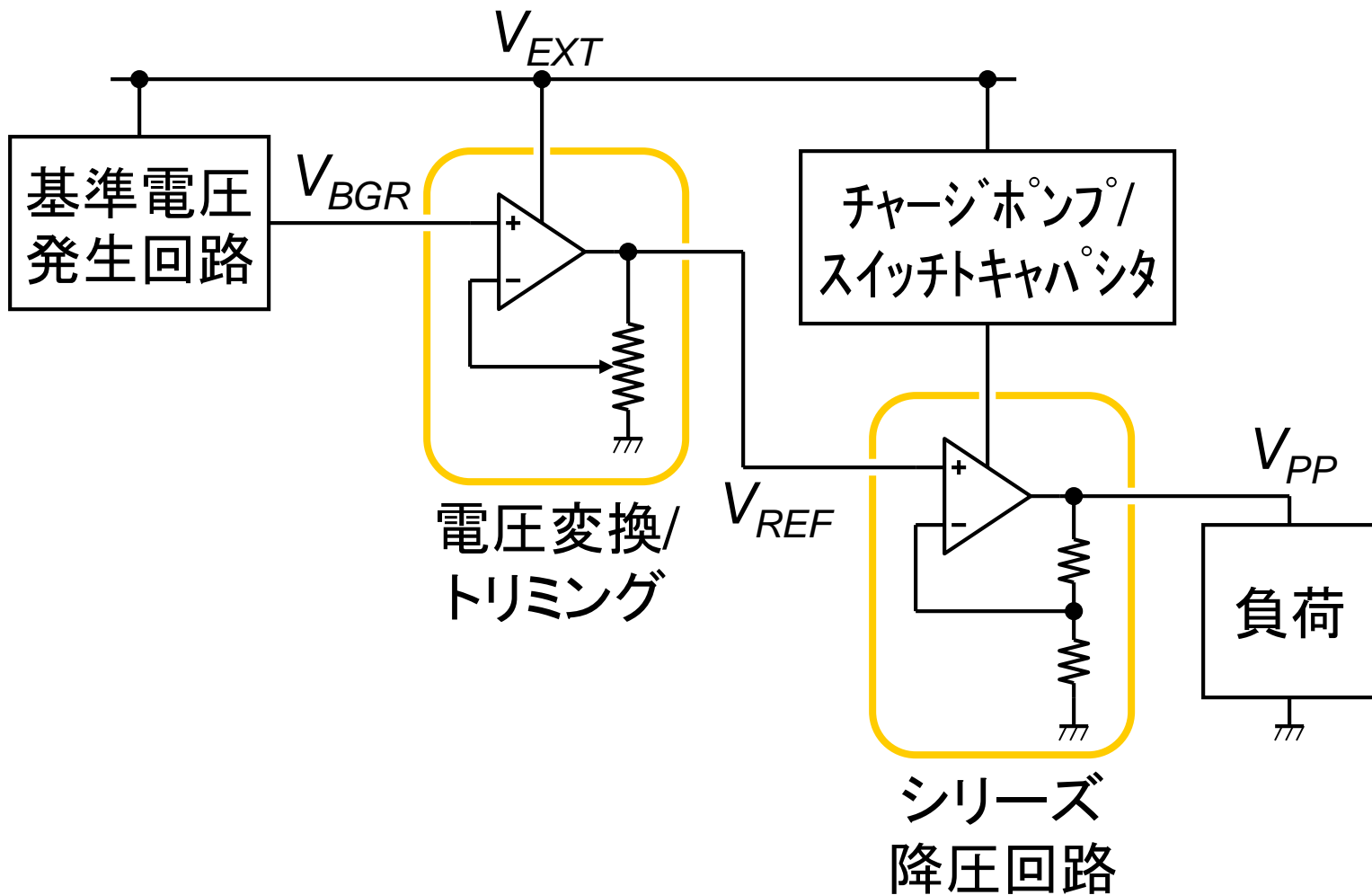
降圧回路方式比較

	シリーズ	スイッチング	スイッチトキャパシタ
電圧 変換比	任意 $\left(\begin{array}{l} V_{EXT} \doteq V_{INT} \\ \text{は困難} \end{array} \right)$	任意	整数比
電力変換 効率	$< \frac{V_{INT}}{V_{EXT}}$	$> 90\%$	$> 80\%$
外付け 部品数	0~1	3~5	n
端子数 増加	0~1	≥ 2	$2n-1$

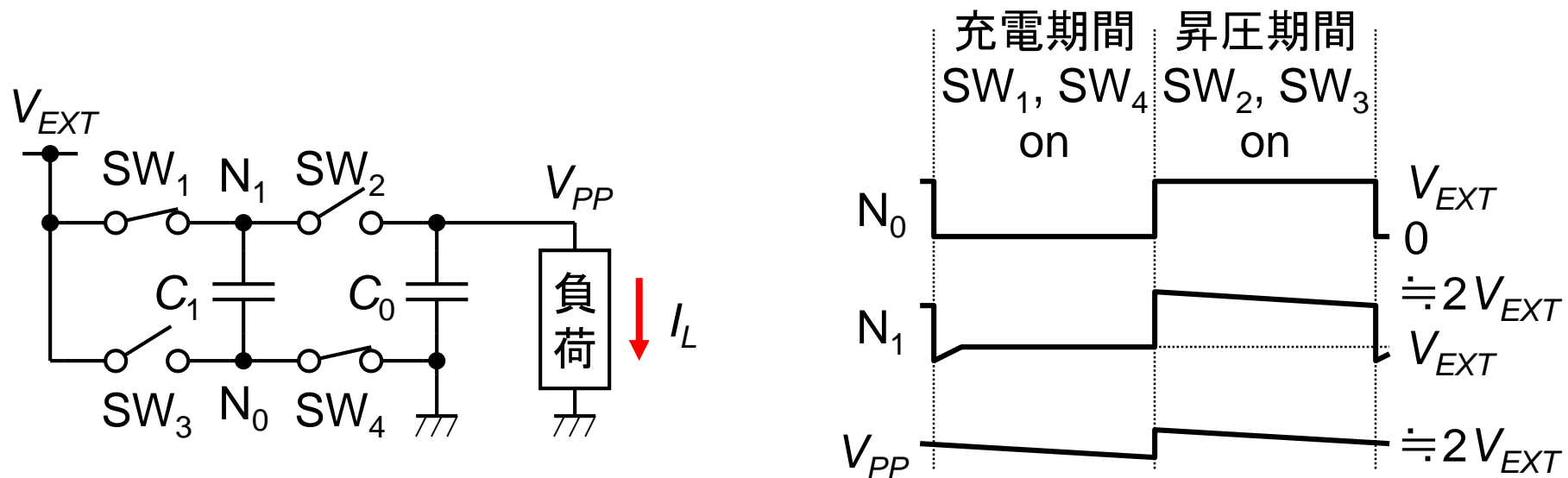
オンチップ昇圧回路の基本構成(1)



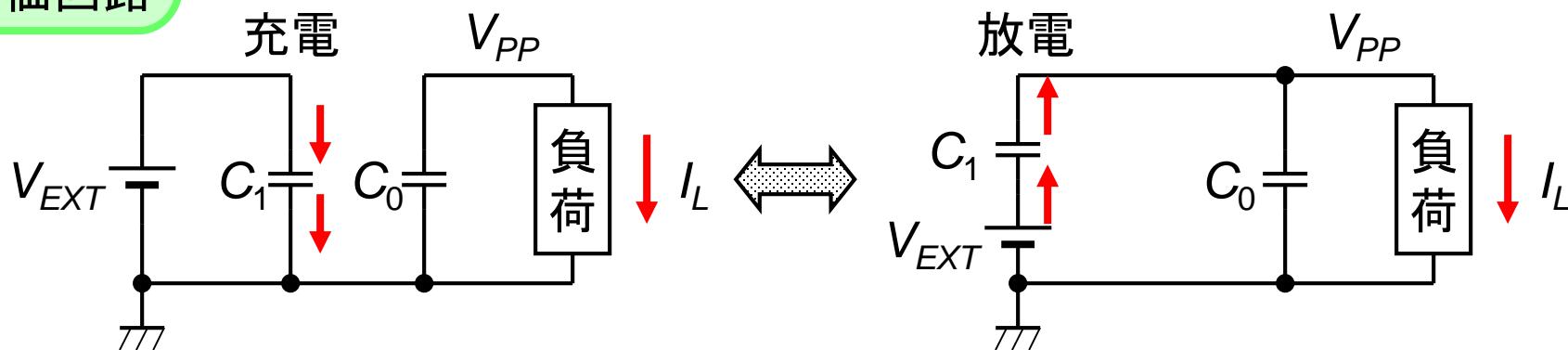
オンチップ昇圧回路の基本構成(2)



昇圧回路の原理



等価回路

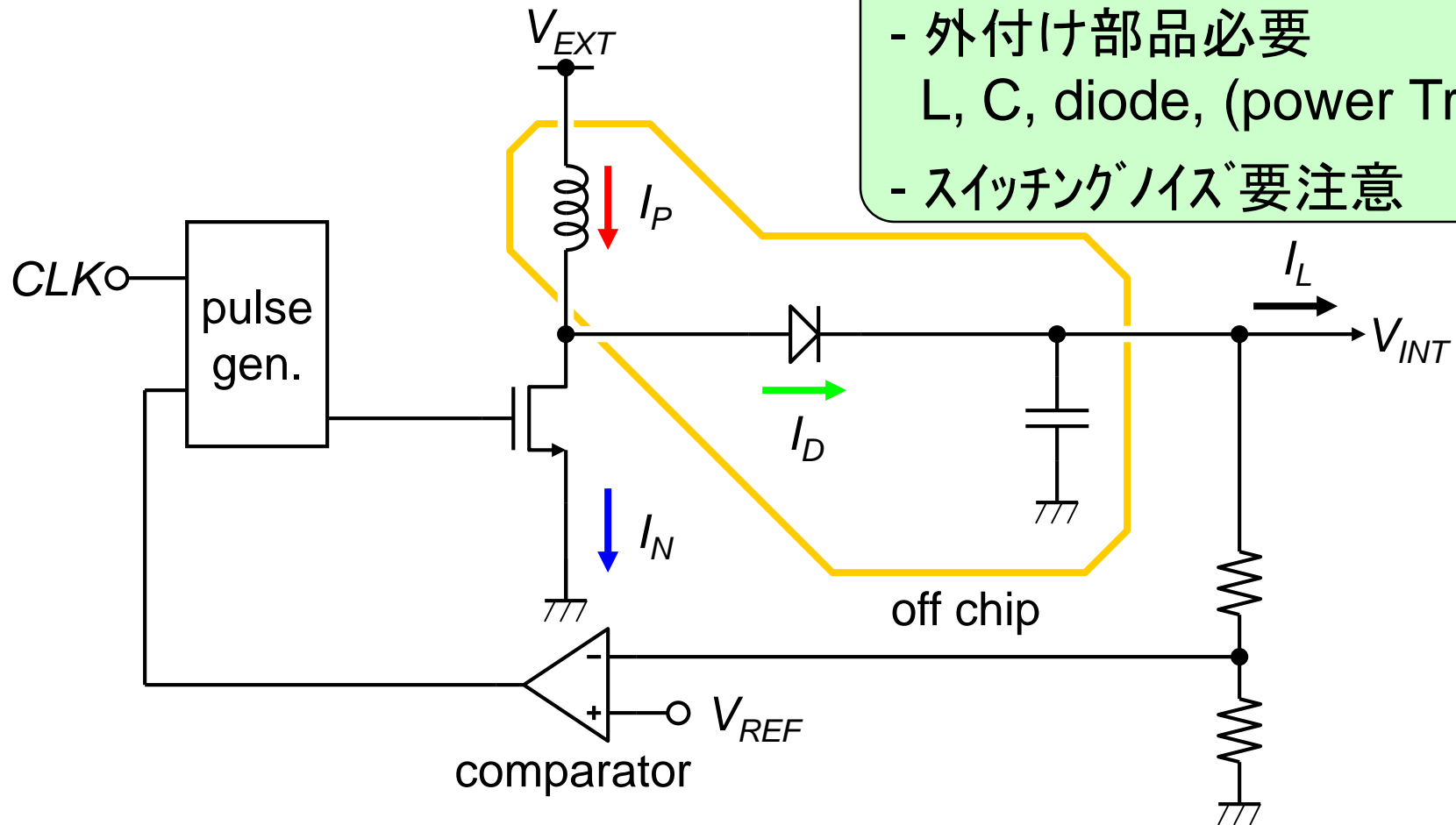


H. Neuteboom, IEEE J. SSC p.1790, Nov. 1997

スイッチング昇圧回路

(Boost converter)

- 電力効率 $\geq 90\%$
- 外付け部品必要
L, C, diode, (power Tr.)
- スイッチングノイズ要注意



なぜオンチップPLL、DLLか？

PLL (Phase Locked Loop)

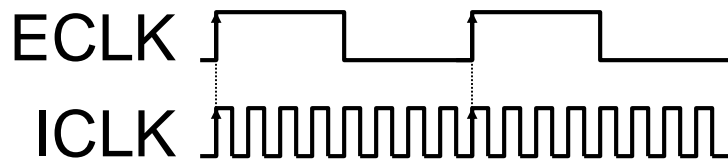
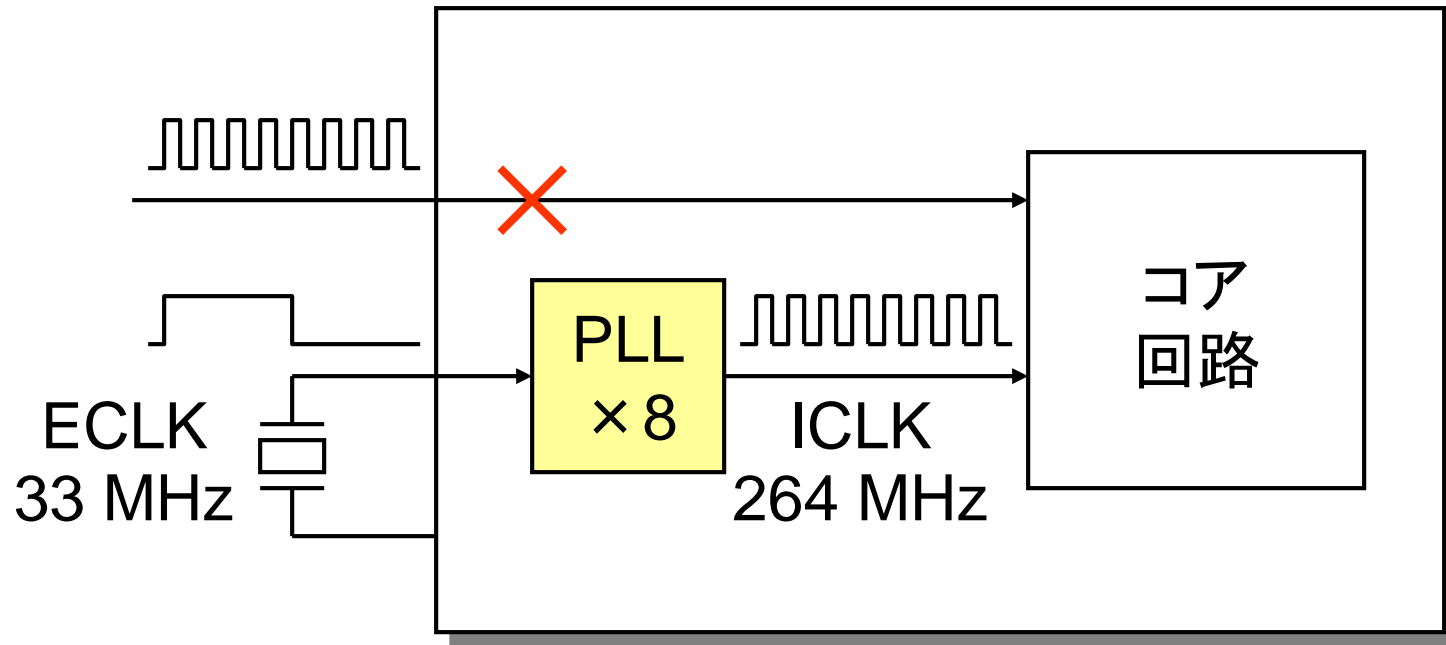
- 周波数逡倍
 - 内部クロック周波数と外部クロック周波数の乖離
- 内部回路動作のタイミング調整
 - 内部回路動作の高速化

DLL (Delay Locked Loop)

- データ入出力のタイミング調整
 - 高速化によるタイミングマージン減少
- 内部回路動作のタイミング調整
 - 内部回路動作の高速化

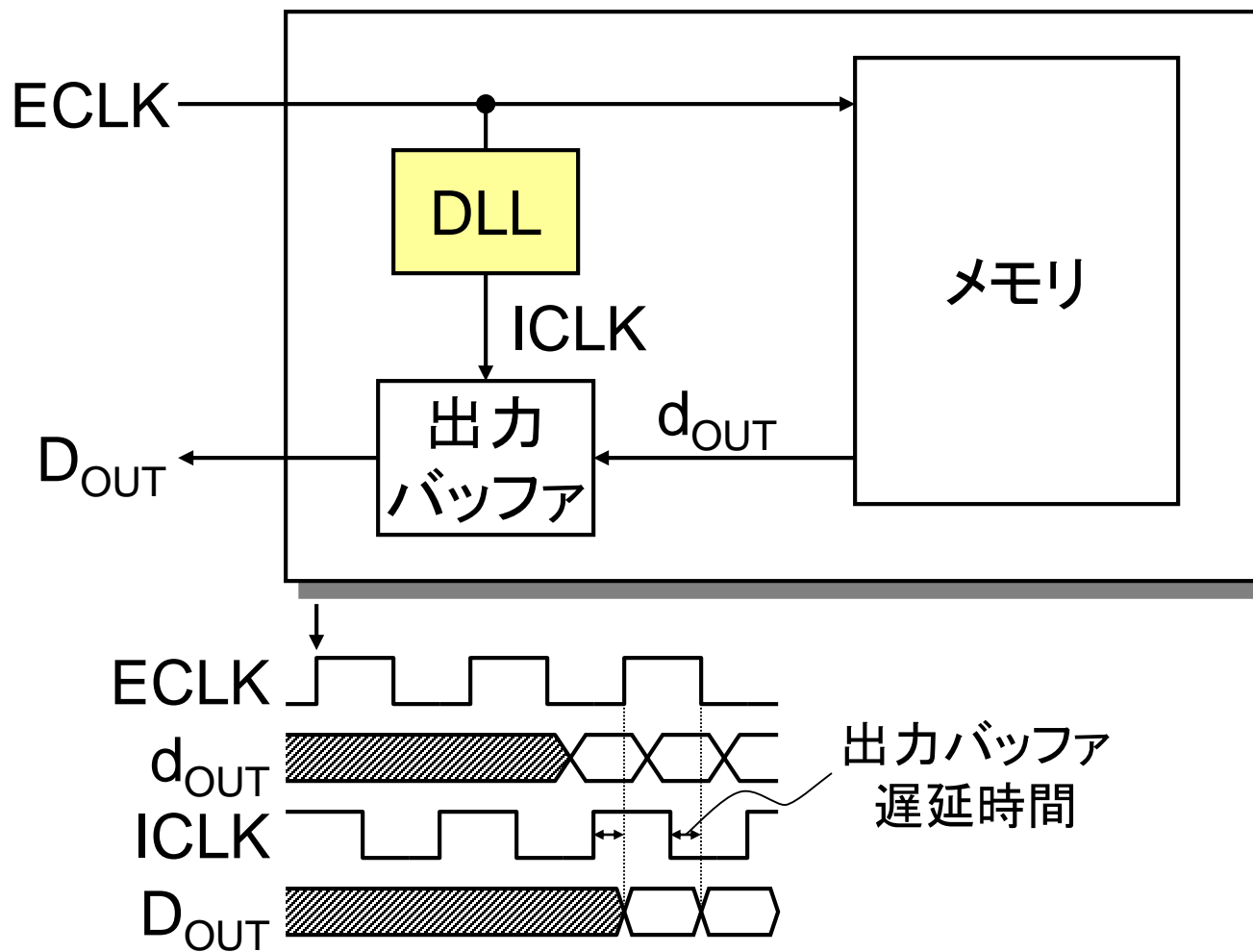
なぜオンチップPLL、DLLか？

マイコンのクロック周波数逡倍

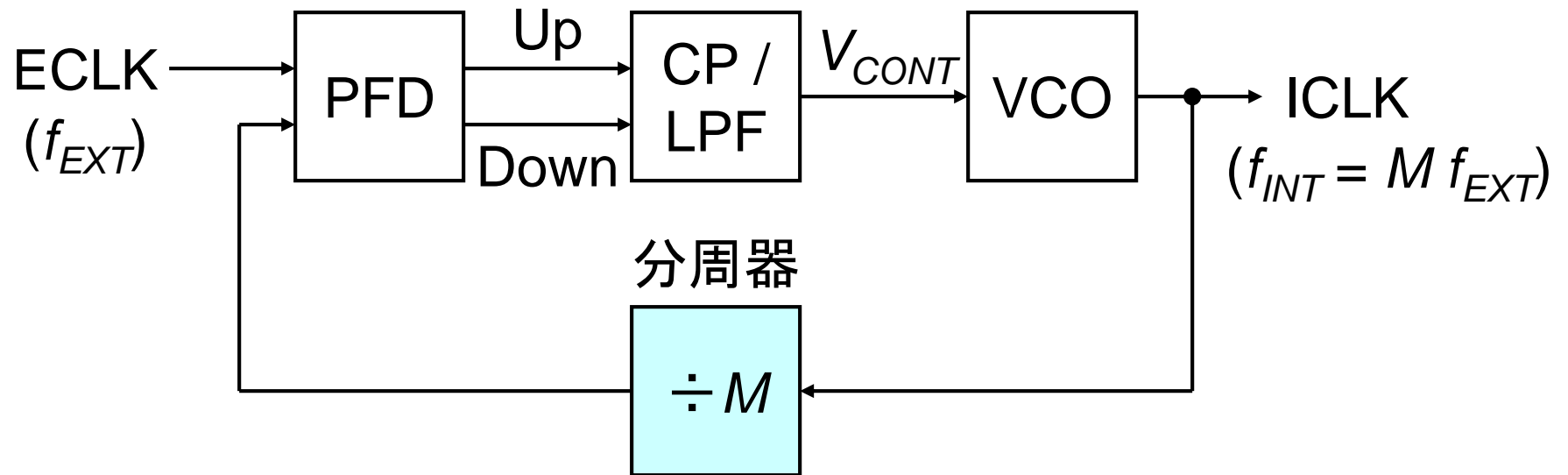


なぜオンチップPLL、DLLか？

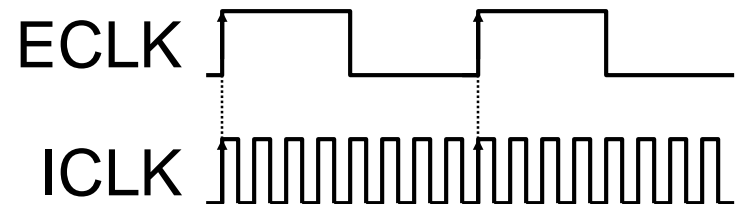
メモリ(DDR-SDRAM)のデータ出力タイミング調整



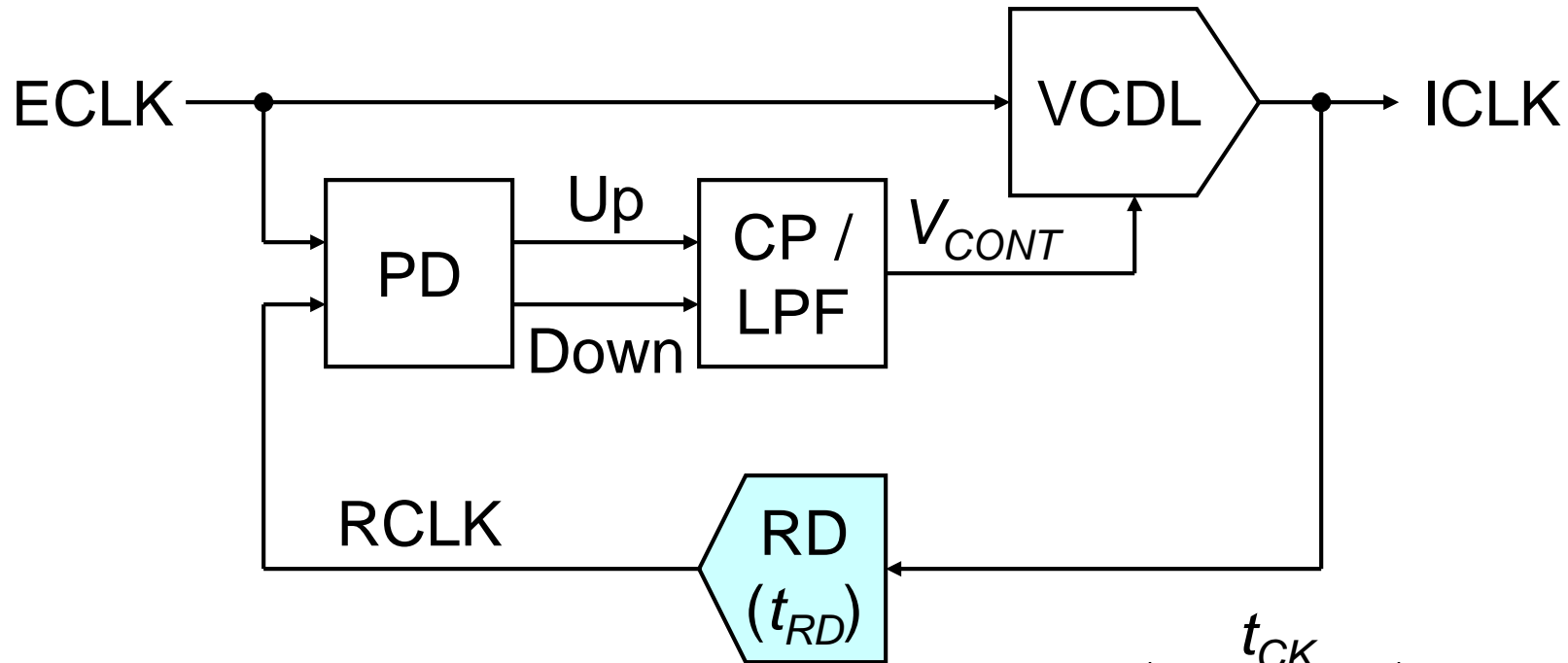
PLLの基本構成



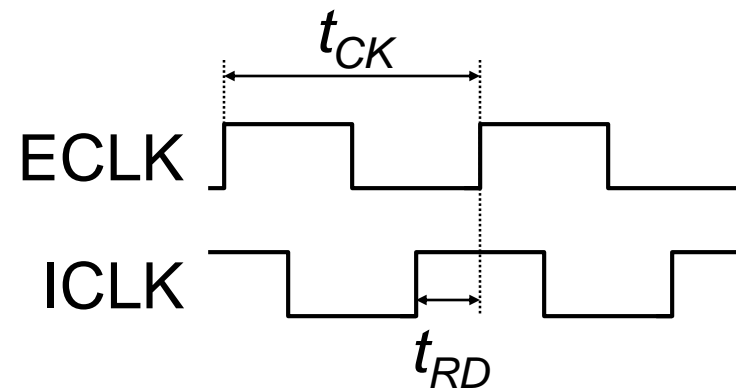
PFD: Phase Frequency Detector
CP: Charge Pump
LPF: Low Pass Filter
VCO: Voltage-Controlled Oscillator



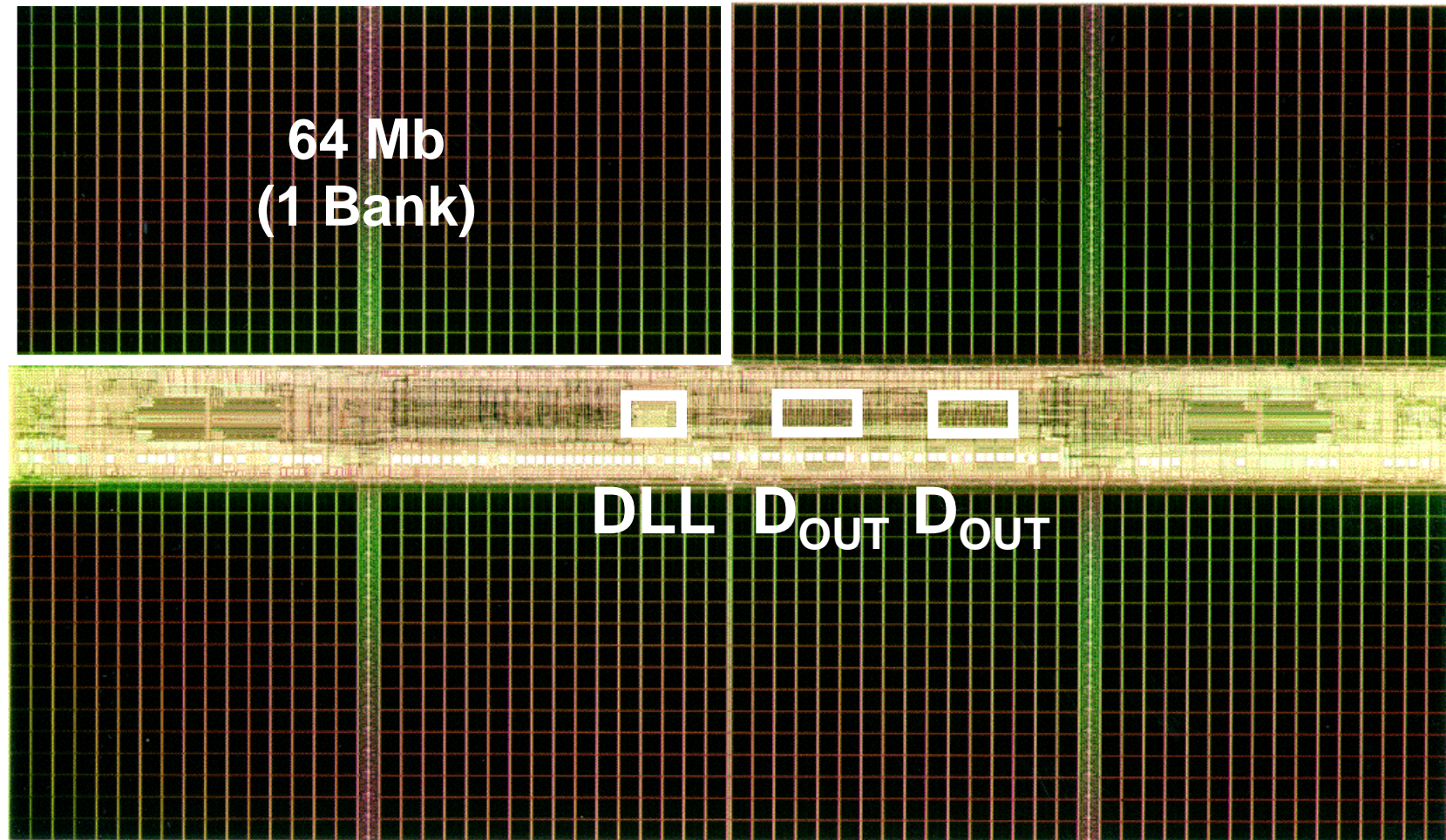
DLLの基本構成



PD: Phase Detector
CP: Charge Pump
LPF: Low Pass Filter
VCDL: Voltage-Controlled Delay Line
RD: Replica Delay



メモリ(DDR-SDRAM)への適用例



H. Yahata, *Symp. VLSI Circuits*, p. 74, June 2000.

まとめ

- デジタル集積回路にもアナログ回路技術（電源、PLL、DLL、etc.）が多く用いられている←微細化、高速化からの要求
- デジタル技術者もアナログ回路に関する基礎知識必要

問題

MOSスケーリング則(電界一定)において、不純物濃度を k 倍にする理由を述べよ。

		電界一定
寸法	L, W, t_{OX}	$1/k$
不純物濃度	N	k
電圧	V	$1/k$
電界	$E \propto V/L, V/t_{OX}$	1

ヒント: 空乏層の幅 W は、

$$W = \sqrt{\frac{2\varepsilon(V_R + \phi_B)}{qN}}$$

で表される。

ε : Siの誘電率

V_R : 逆バイアス電圧

ϕ_B : 拡散電位

q : 素電荷

N : 不純物濃度