

# システム集積回路工学論

## 第2回 基準電圧発生回路

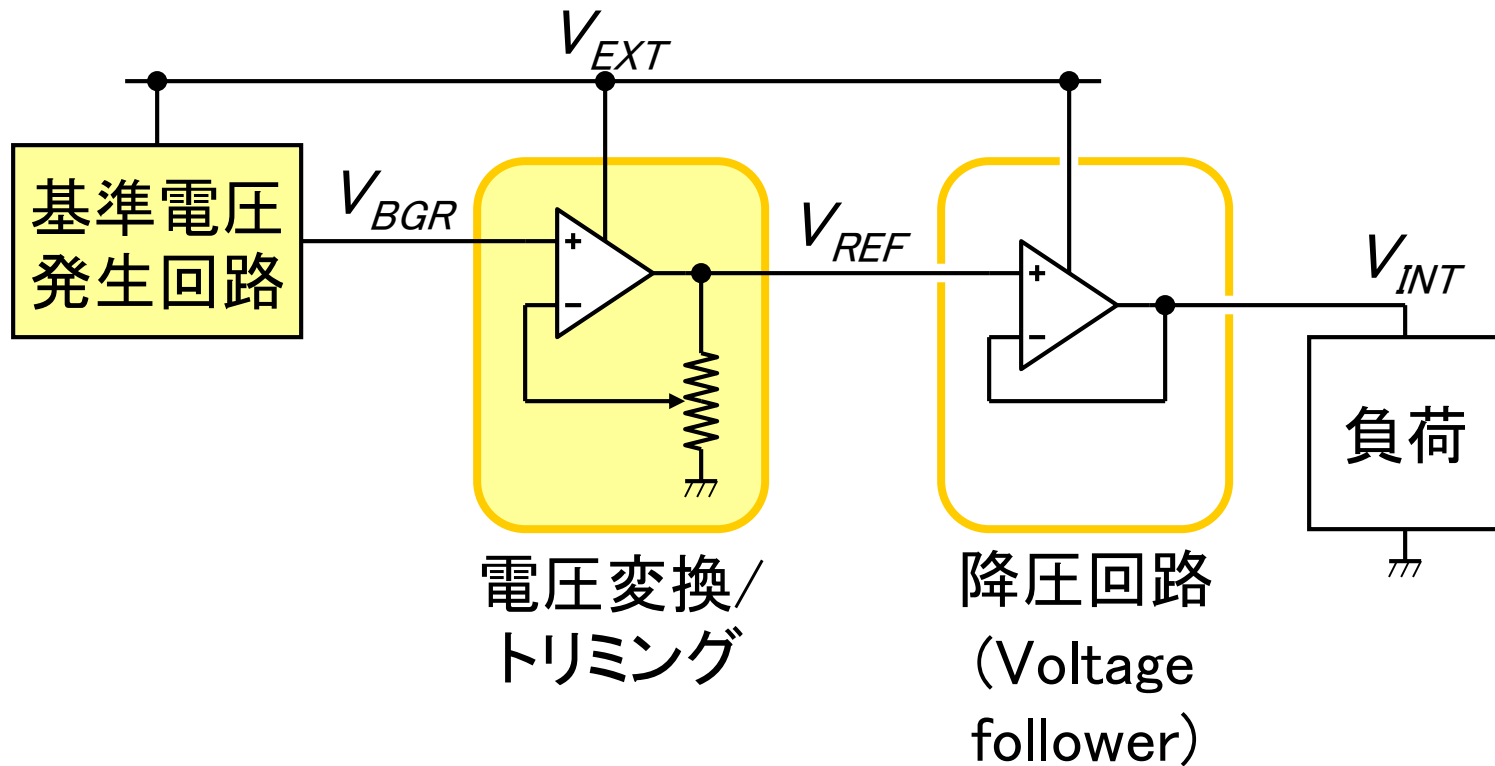
群馬大学客員教授 堀口真志

# 目次

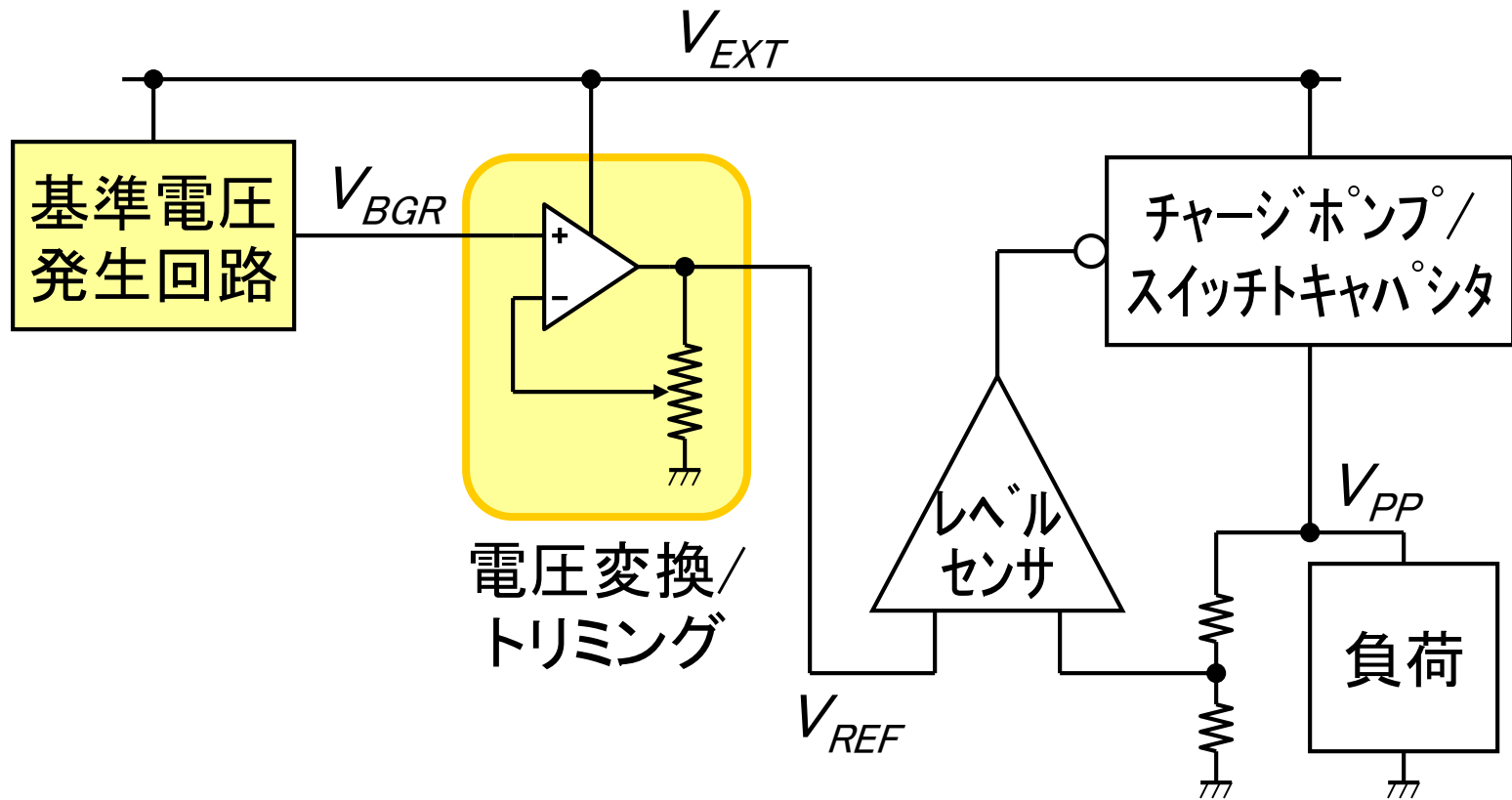
---

- 1 基準電圧発生方式
- 2  $V_{TH}$ 型、 $\Delta V_{TH}$ 型基準電圧発生回路
- 3 Bandgap Reference基準電圧発生回路
- 4 トリミング回路
- 5 バーンインを可能にするために
- 6 レイアウト上の注意

# オンチップ電源回路の基本構成(降圧)



# オンチップ電源回路の基本構成(昇圧)



# 基準電圧発生回路

---

PVT(Process Voltage Temperature)変動に対する安定性

- Process …… トリミング
- Voltage …… MOS  $V_{TH}$ 、 MOS  $\Delta V_{TH}$ 、  
バイポーラ  $V_{BE}$
- Temperature  $a$  (正の温度係数) +  $b$  (負の温度係数)  
 $a'$  (正の温度係数) -  $b'$  (正の温度係数)  
 $a''$  (負の温度係数) -  $b''$  (負の温度係数)

各種テスト可能

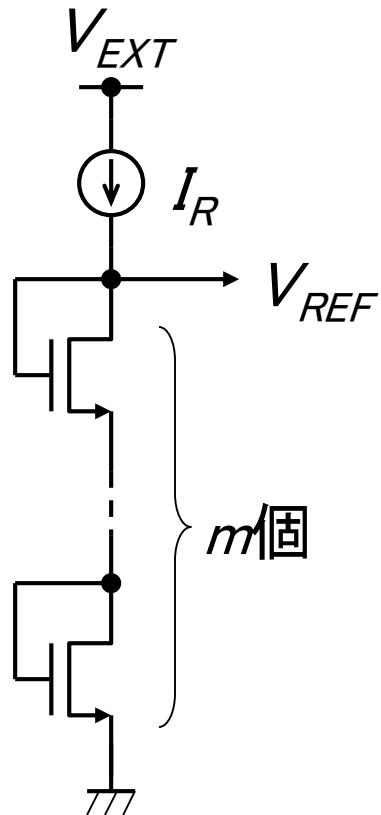
内部回路の動作マージンテスト

バーンイン

# 基準電圧発生方式の比較

	MOS $V_{TH}$	MOS $\Delta V_{TH}$	Bandgap Ref.
温度依存性	大	小	小
プロセスバラツキ	大	大	中～小
工程増加	なし	低 $V_{TH}$ MOS	なし (三重ウェル)
出力電圧	$m V_{TH}$	$m \Delta V_{TH}$	1.2 – 1.25V
$V_{EXTmin}$	$m V_{TH} + \alpha$	$V_{THN} +  V_{THP}  + \alpha$	1.2 – 1.25V + $\alpha$

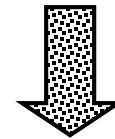
# $V_{TH}$ 基準電圧発生回路



$$V_{REF} = m V_{TH}$$

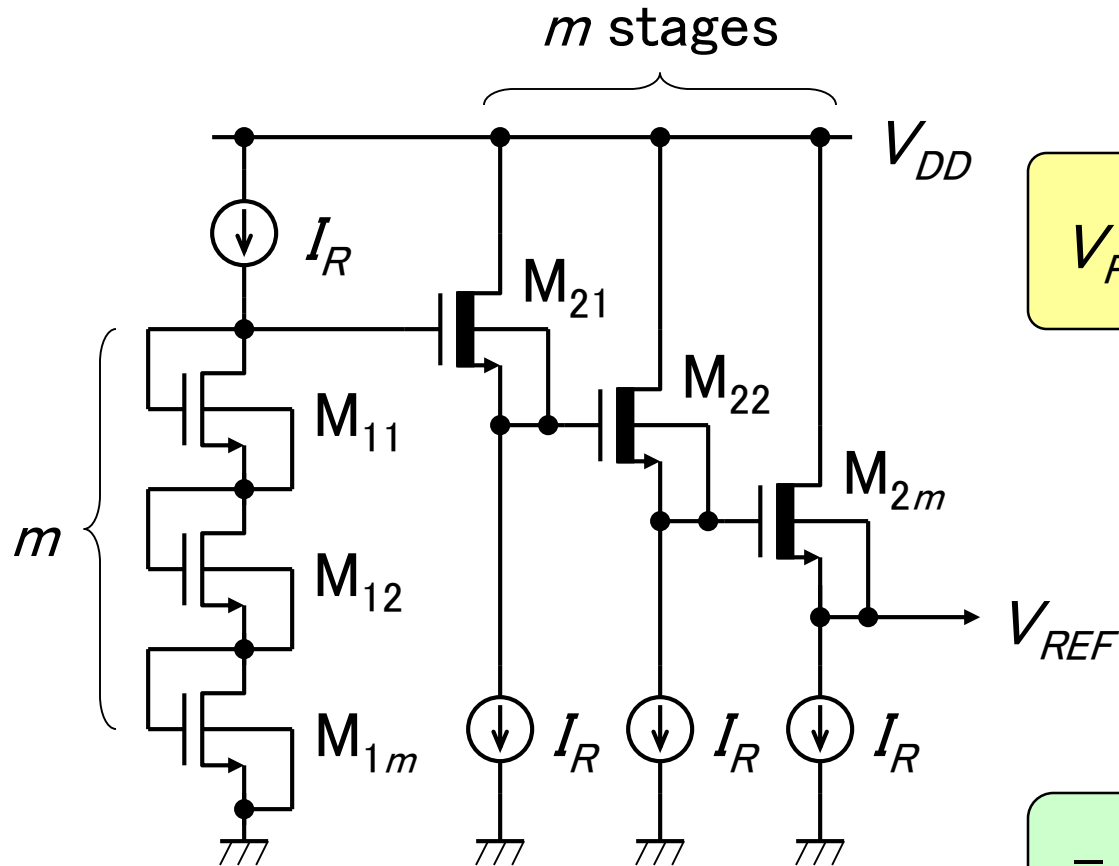
温度係数大

$$\Delta V_{REF} / \Delta T = -2 \text{ mV}/^\circ \text{C} \times m$$



正の温度係数をもつ物理量と  
組み合わせる必要あり

# $\Delta V_{TH}$ 型基準電圧発生回路(1)



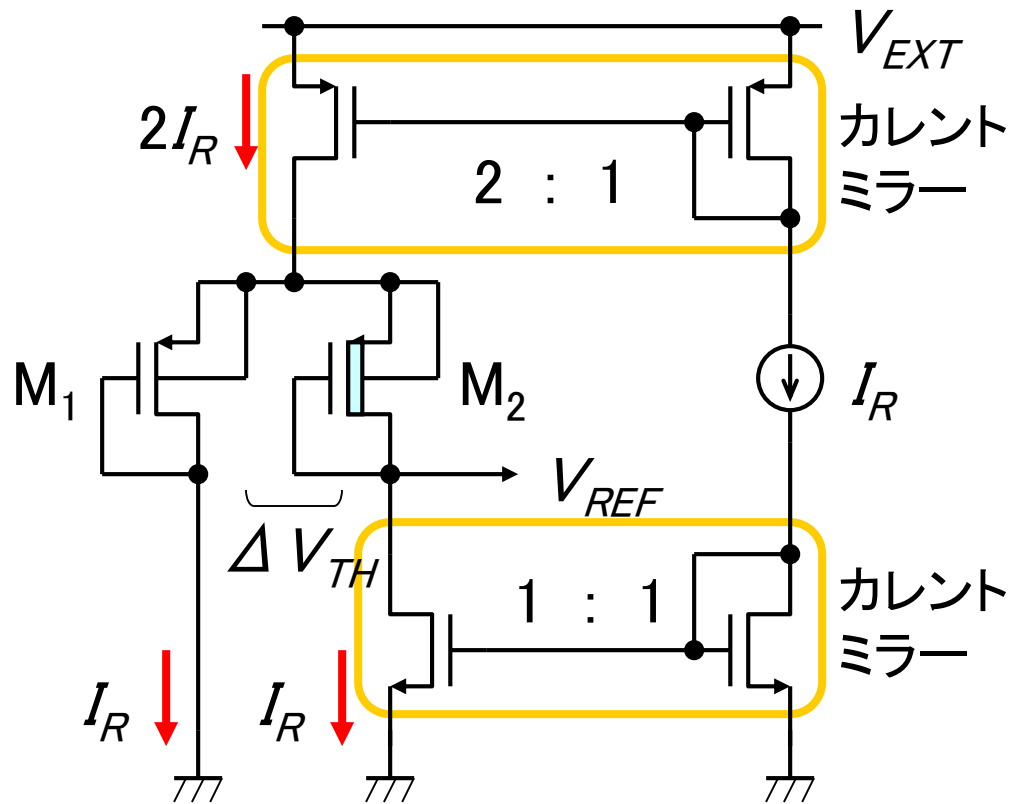
$$V_{REF} = m(V_{THN} - V_{THD})$$

- Depletion NMOS必要

$$- V_{EXTmin} = mV_{THN} + \alpha$$



# $\Delta V_{TH}$ 型基準電圧発生回路(2)

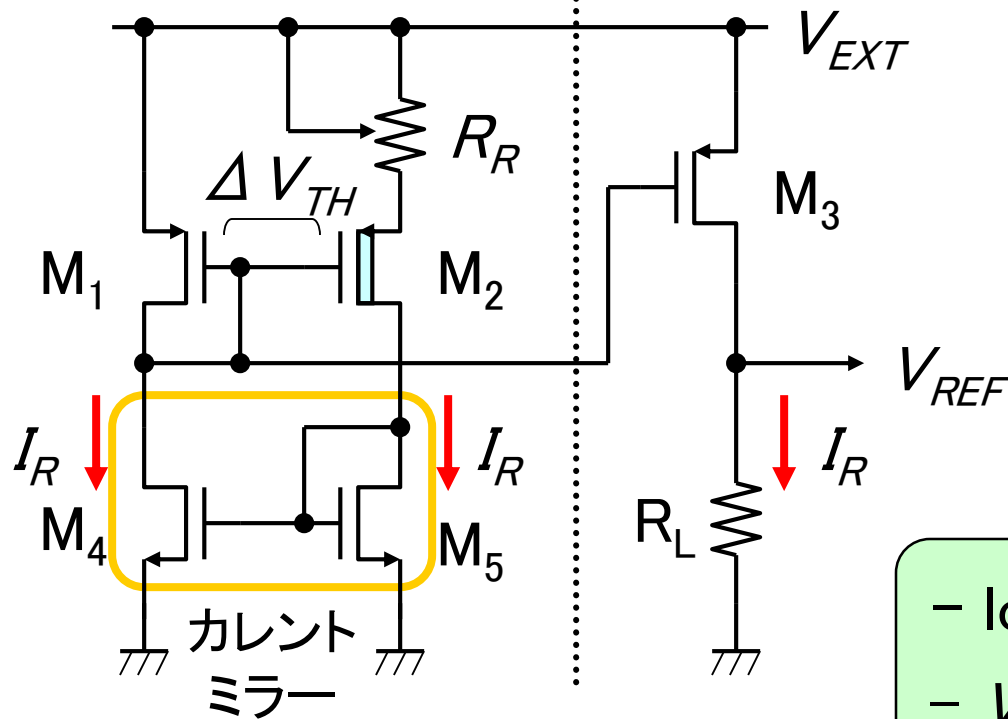


$$V_{REF} = \Delta V_{TH}$$

- low- $V_{TH}$  PMOS必要
- $V_{EXTmin} = V_{THN} - V_{THP} + \alpha$

# $\Delta V_{TH}$ 型基準電圧発生回路(3)

$\Delta V_{TH}$  - I Converter    I - V Converter

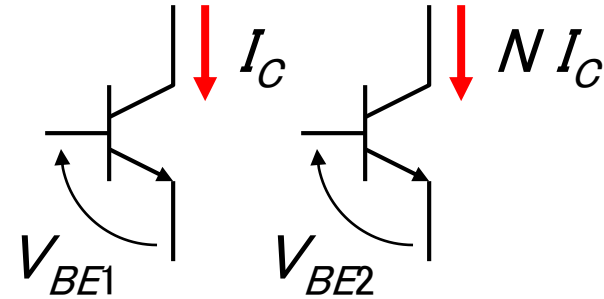
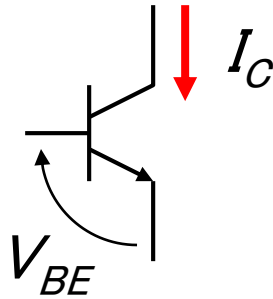


$$I_R = \frac{\Delta V_{TH}}{R_R}$$

$$V_{REF} = \frac{R_L \Delta V_{TH}}{R_R}$$

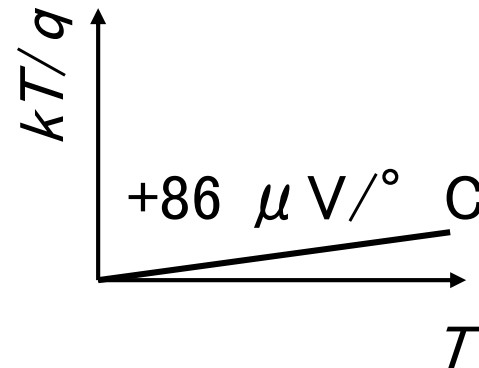
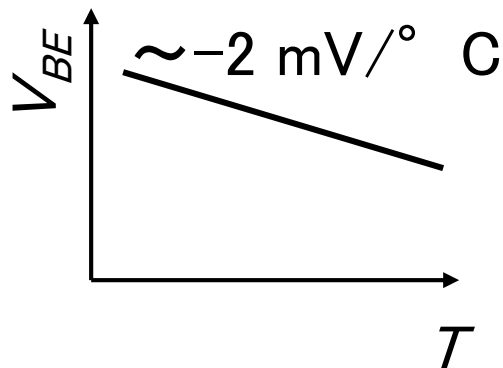
- low- $V_{TH}$  PMOS必要
- $V_{EXTmin} = V_{THN} - |V_{THP}| + \alpha$
- トリミング可能

# Bandgap基準電圧発生回路の原理



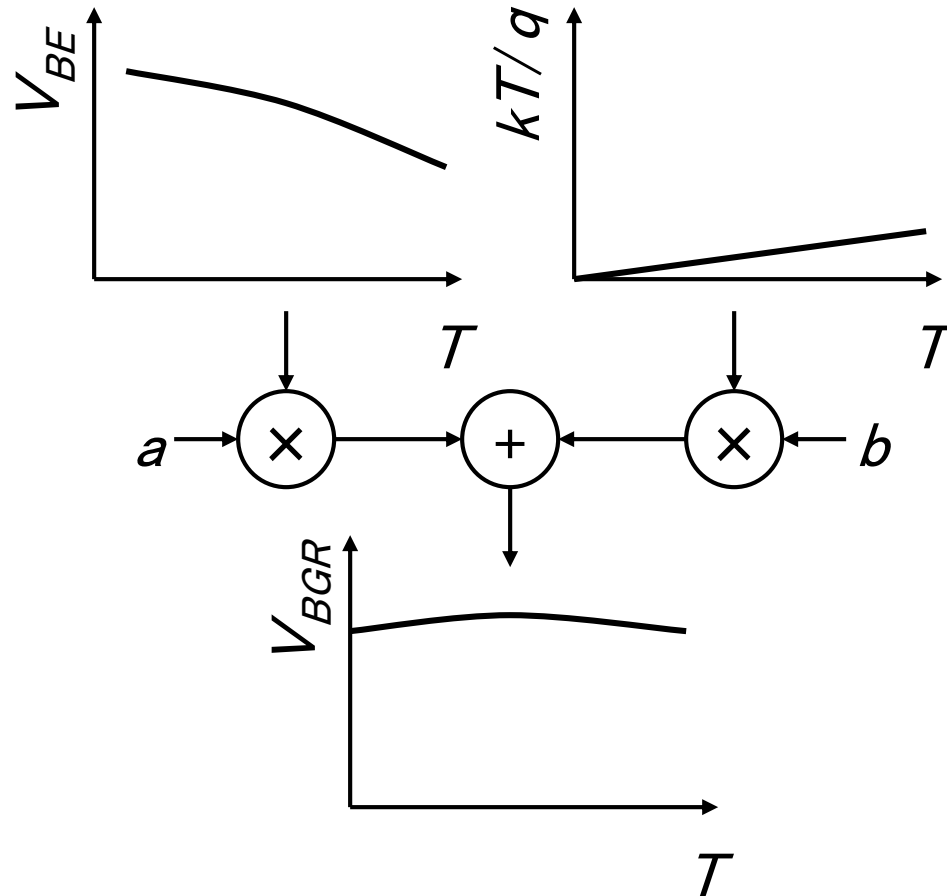
$$\Delta V_{BE} = V_{BE2} - V_{BE1} = \frac{kT \ln N}{q}$$

$k$ : Boltzmann定数  $q$ : 素電荷



$$V_{BGR} = a \cdot V_{BE} + b \cdot kT/q \quad \text{温度依存性キャンセル可能}$$

# Bandgap基準電圧の生成

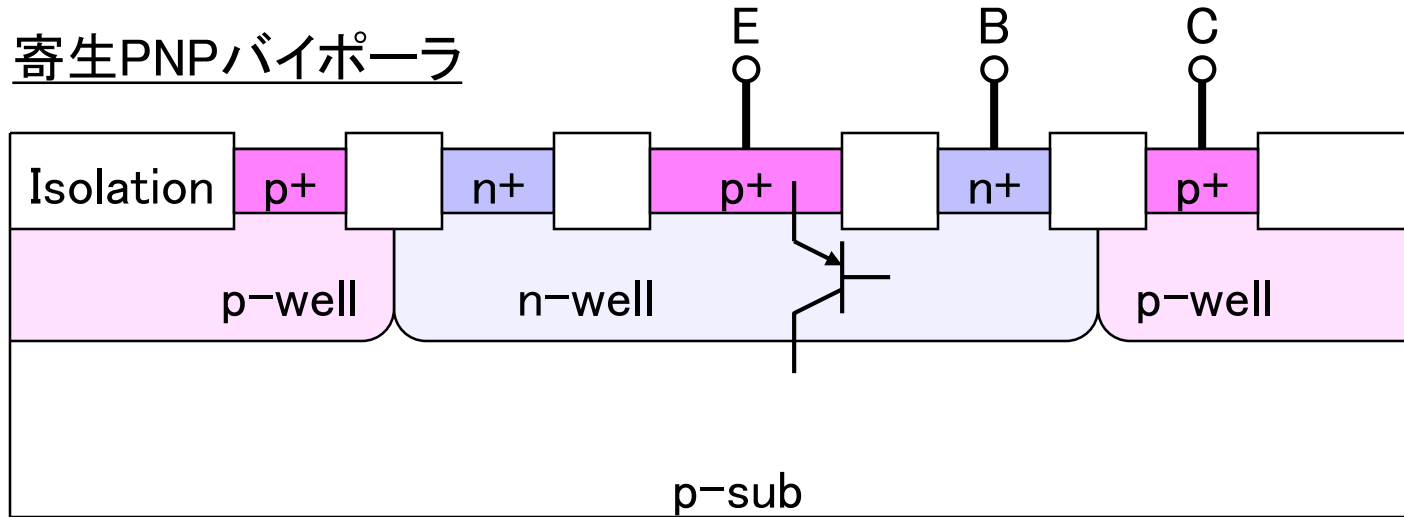


普通的设计:  $a = 1$ ,  $b = 21 \sim 23$ ,  $V_{BGR} = 1.2 \sim 1.25V$

$T \rightarrow 0$  のとき  $V_{BGR} \rightarrow E_g / q$ ,  $E_g$ : Si の bandgap

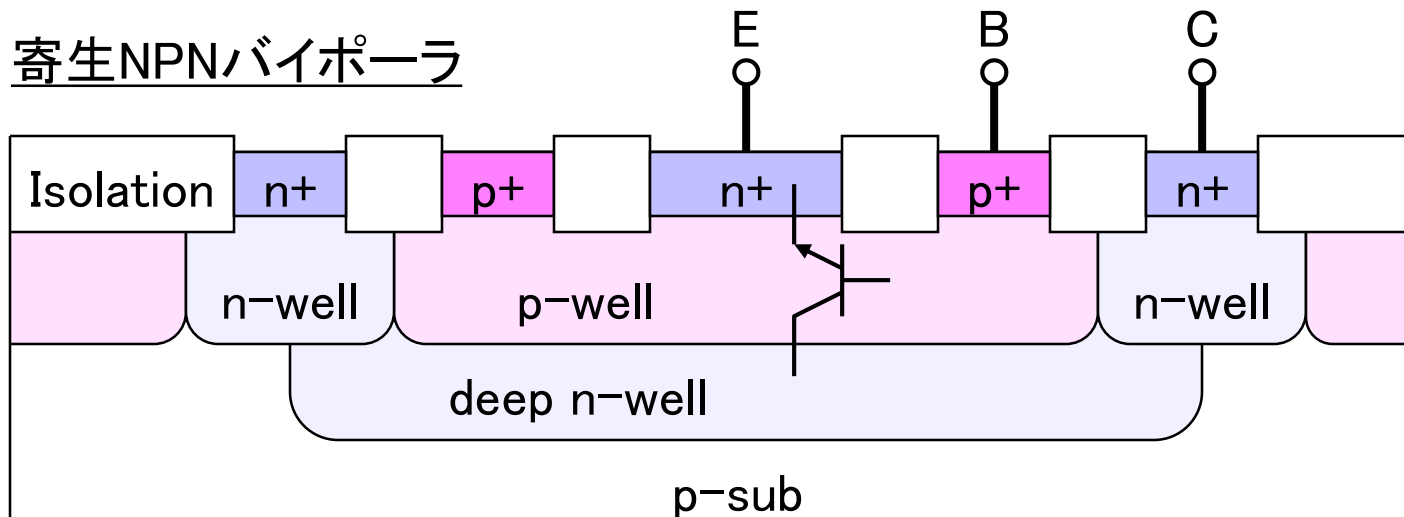
# 寄生バイポーラトランジスタ

寄生PNPバイポーラ



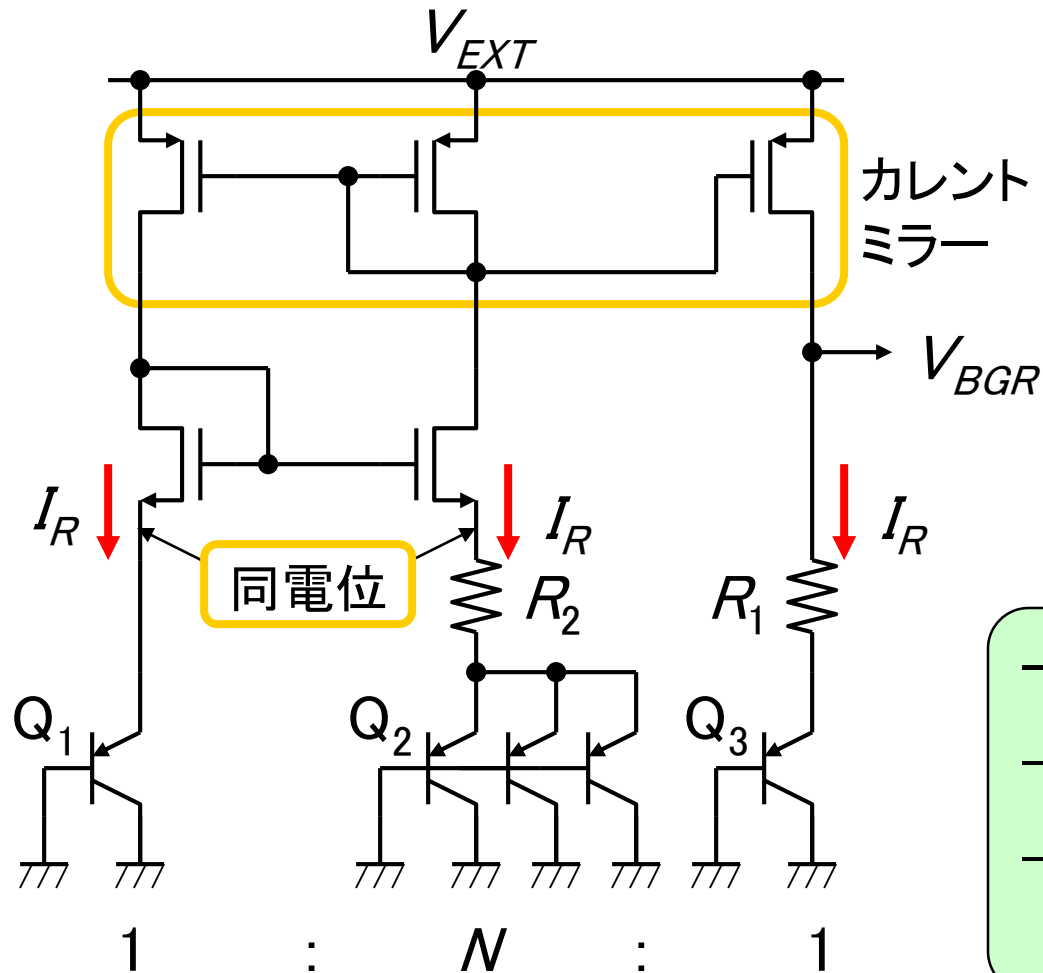
C = p-sub  
(通常は接地)

寄生NPNバイポーラ



三重ウェル構造  
E, B, C任意

# Bandgap基準電圧発生回路(1)



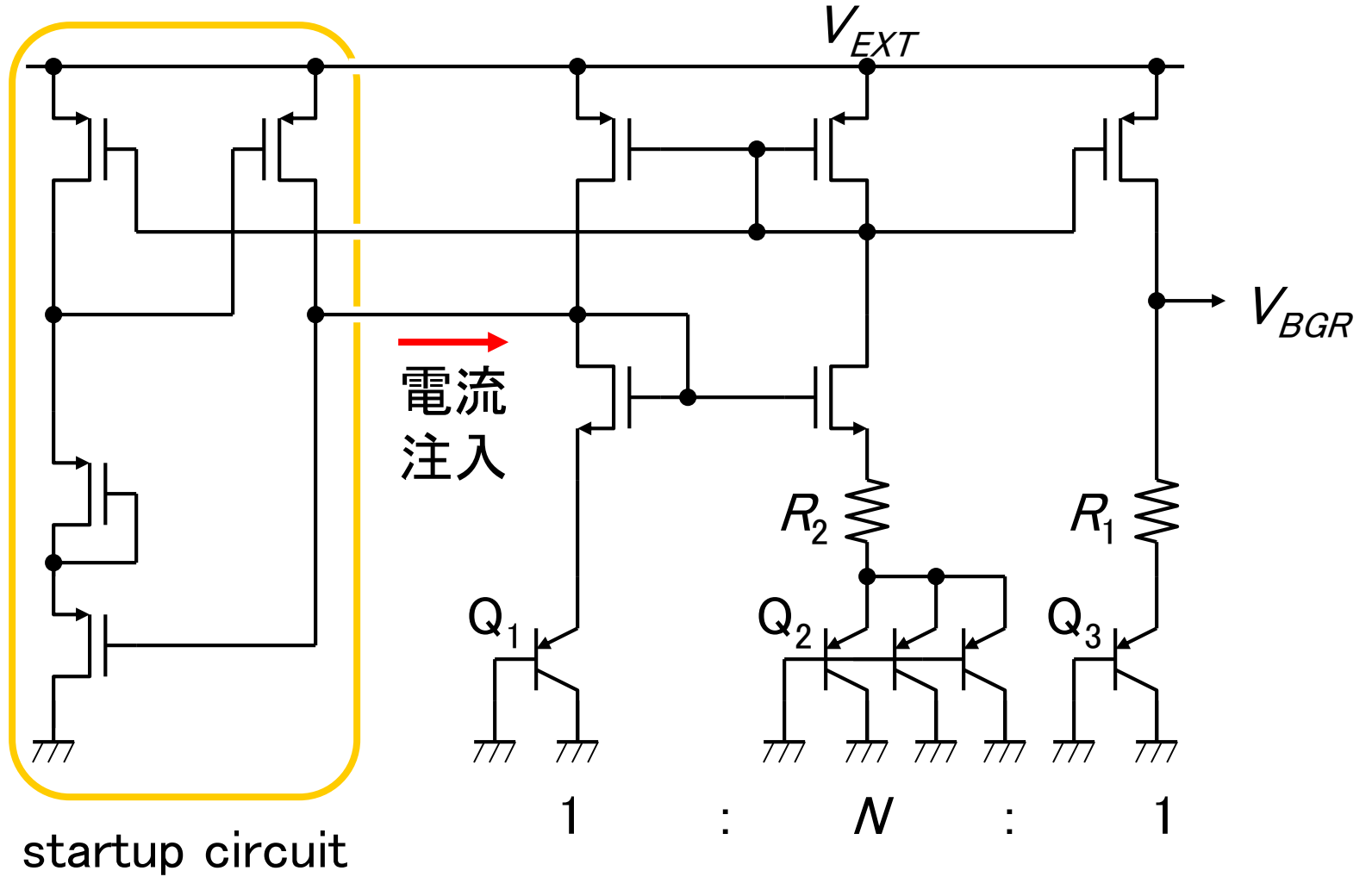
$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$V_{BGR} = V_{BE3} + I_R R_1$$

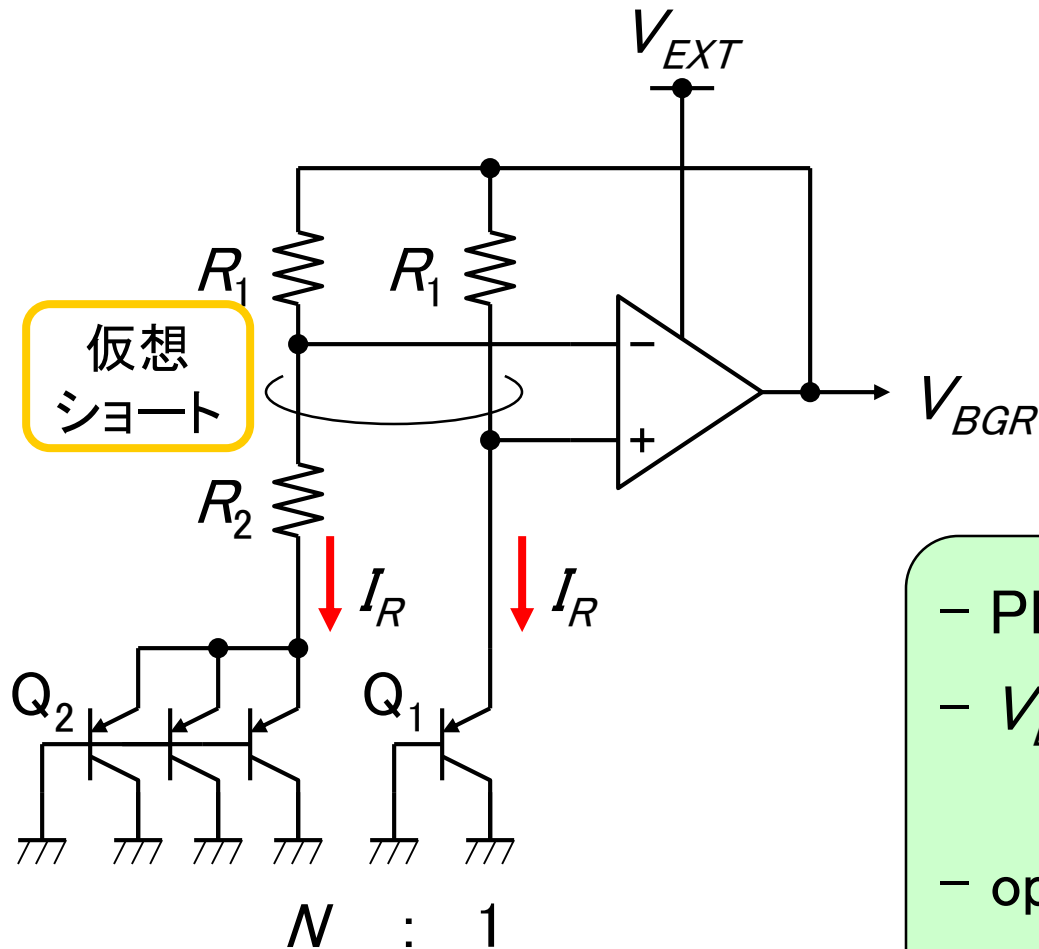
$$= V_{BE3} + \frac{kT}{q} \cdot \frac{R_1 \ln N}{R_2}$$

- PNP寄生バイポーラ使用
- $V_{EXTmin} = 1.25V + \alpha$
- self bias型回路
- startup circuit必要

# Startup Circuit



# Bandgap基準電圧発生回路(2)



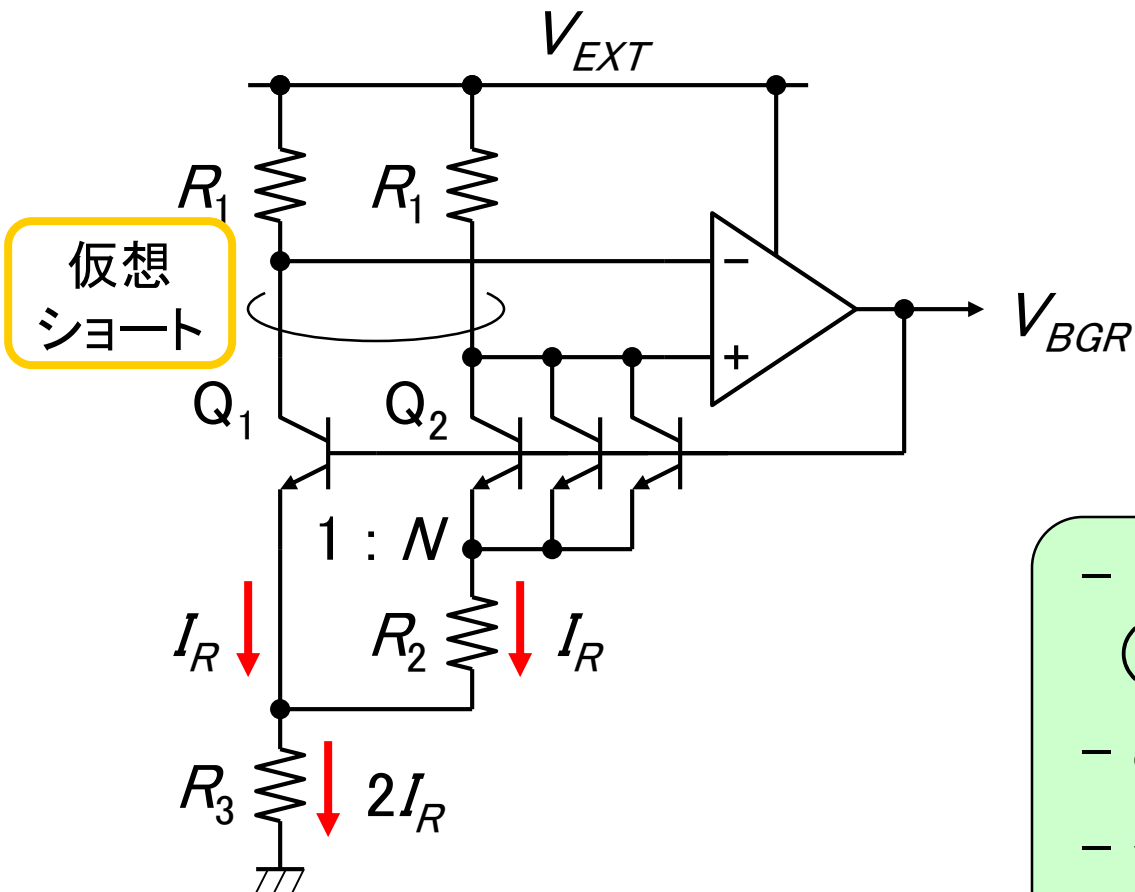
$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$\begin{aligned} V_{BGR} &= V_{BE1} + I_R R_1 \\ &= V_{BE1} + \frac{kT}{q} \cdot \frac{R_1 \ln N}{R_2} \end{aligned}$$

- PNP寄生バイポーラ使用
- $V_{EXTmin} = \max(1.25V + \alpha, \text{op-amp動作電圧})$
- op-ampのオフセット要注意
- 位相余裕確保必要



# Bandgap基準電圧発生回路(3)(Brokaw型)



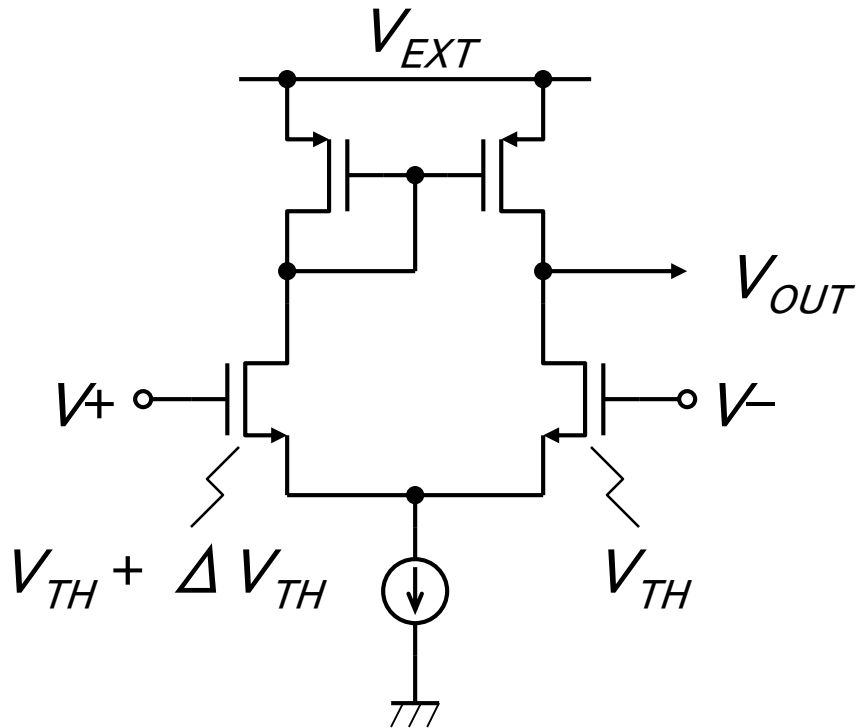
$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$\begin{aligned} V_{BGR} &= V_{BE1} + 2I_R R_3 \\ &= V_{BE1} + \frac{kT}{q} \cdot \frac{2R_3 \ln N}{R_2} \end{aligned}$$

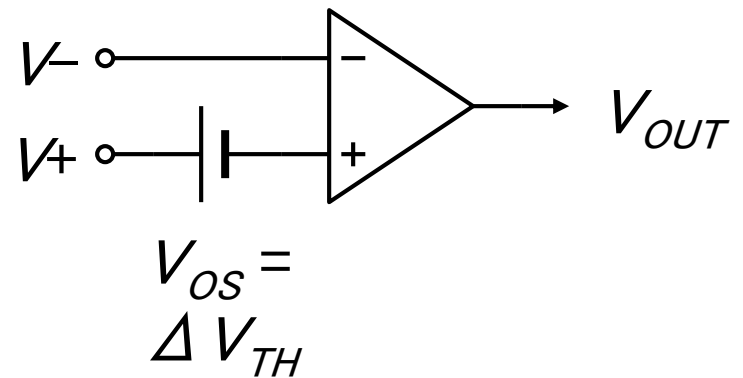
- NPN寄生バイポーラ使用 (三重ウェル構造必要)
- op-ampオフセットの影響小
- 位相余裕確保必要
- $V_{EXTmin}$ が高い

A. P. Brokaw, IEEE J. SSC, SC-9, p.388, Dec. 1974.

# Op-ampのオフセット電圧



等価回路



# 低電圧用Bandgap基準電圧発生回路

---

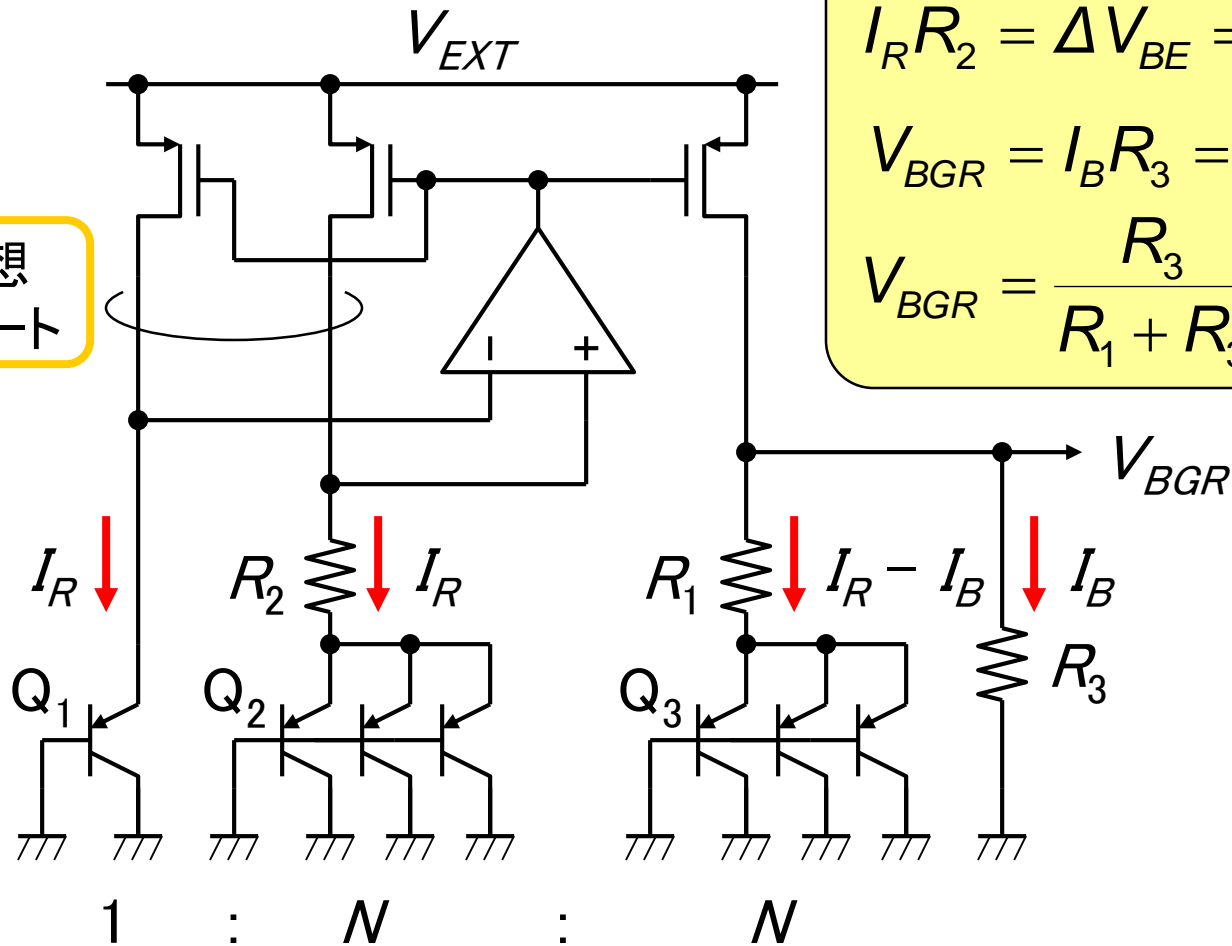
$$V_{BGR} = a \cdot V_{BE} + b \cdot kT/q$$

通常の設計:  $a = 1, b = 21 \sim 23, V_{BGR} = 1.2 \sim 1.25V$

低電圧用設計:  $a < 1, b/a = 21 \sim 23, V_{BGR} = 1.2 \sim 1.25V \times a$

# 低電圧用Bandgap基準電圧発生回路(1)

仮想  
ショート

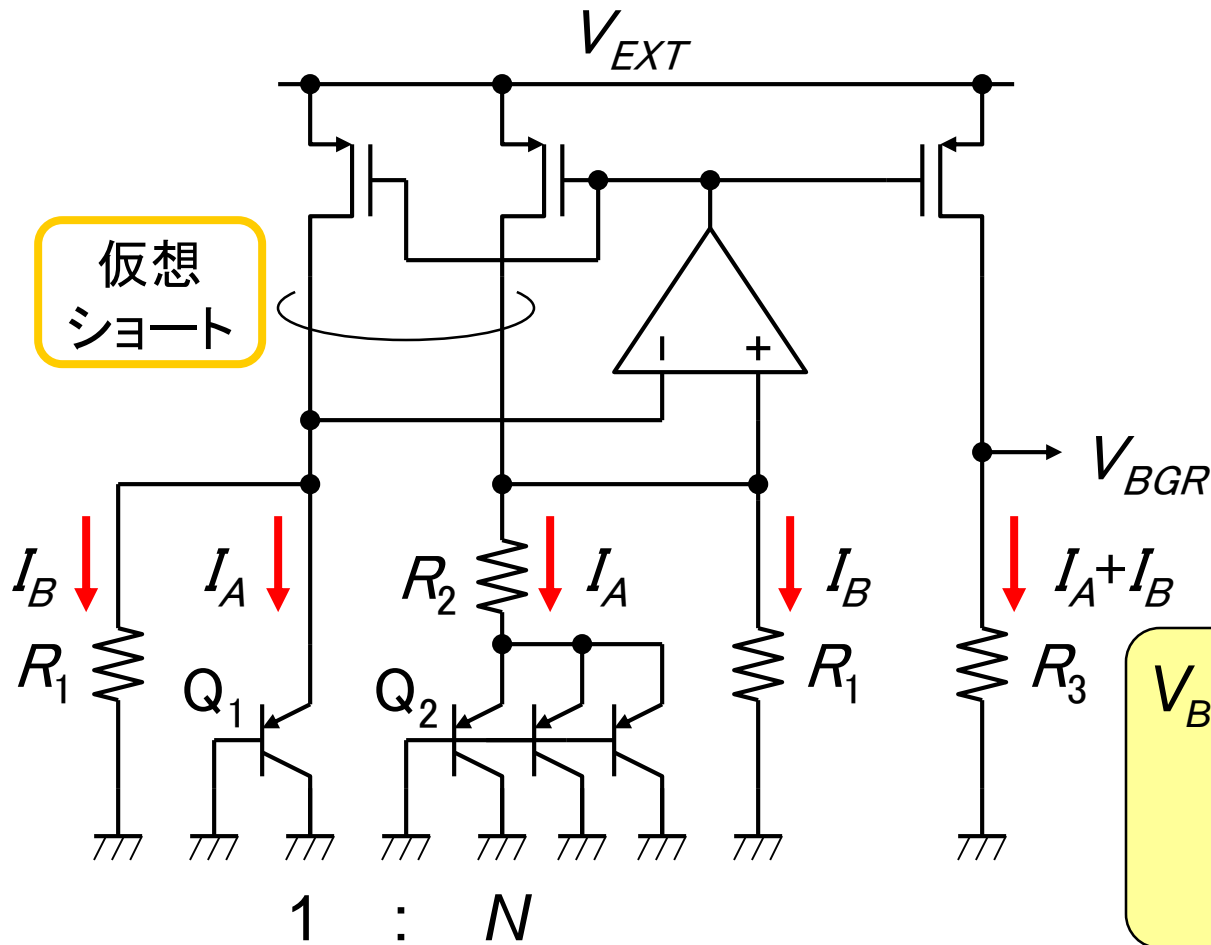


$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$V_{BGR} = I_B R_3 = \Delta V_{BE3} + (I_R - I_B) R_1$$

$$V_{BGR} = \frac{R_3}{R_1 + R_3} \cdot \left( V_{BE3} + \frac{R_1}{R_2} \cdot \frac{kT \ln N}{q} \right)$$

# 低電圧用Bandgap基準電圧発生回路(2)

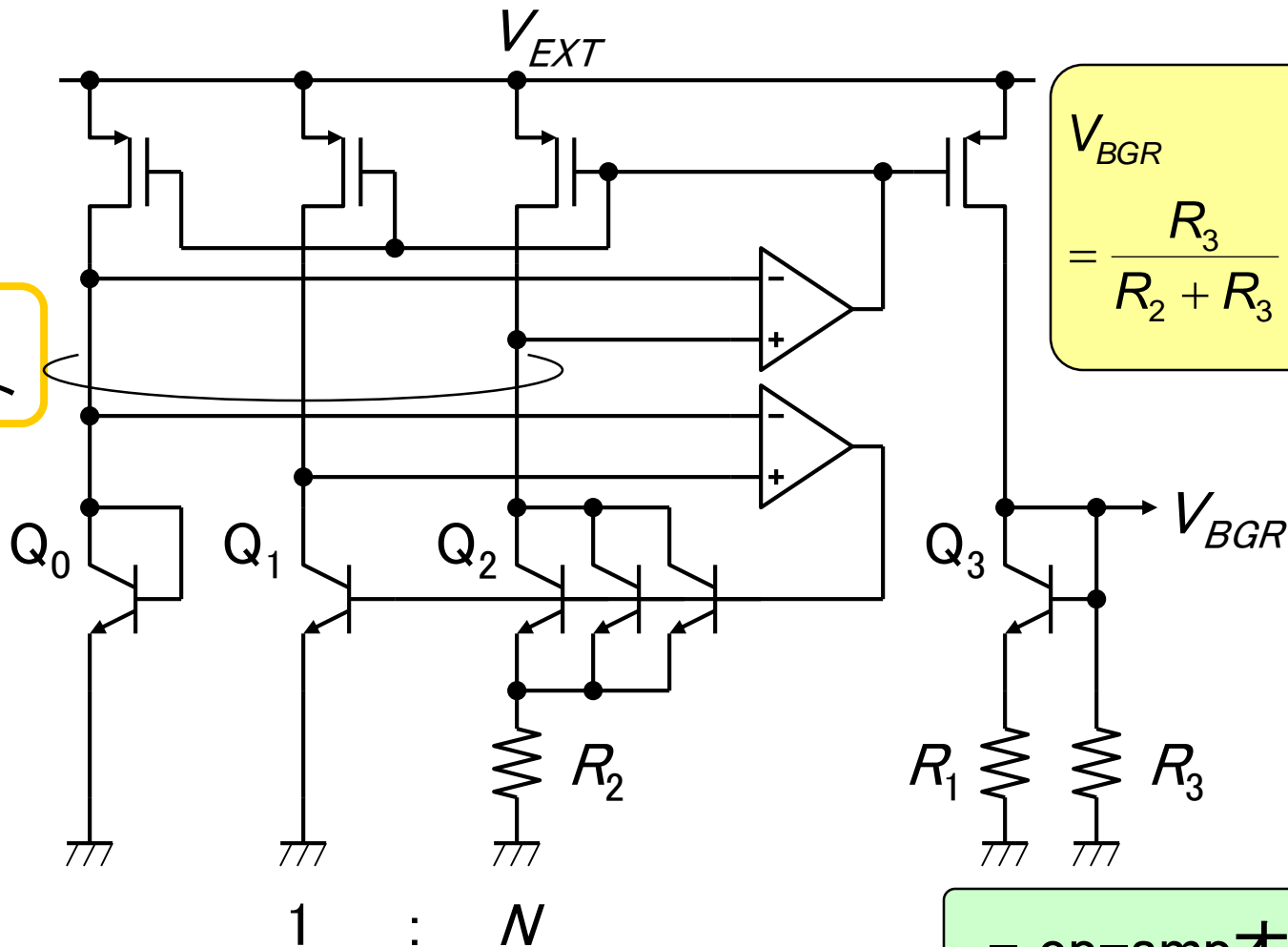


$$I_A R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$I_B R_1 = V_{BE1}$$

$$\begin{aligned} V_{BGR} &= (I_A + I_B) R_3 \\ &= \frac{R_3}{R_1} \cdot V_{BE1} + \frac{R_3}{R_2} \cdot \frac{kT \ln N}{q} \end{aligned}$$

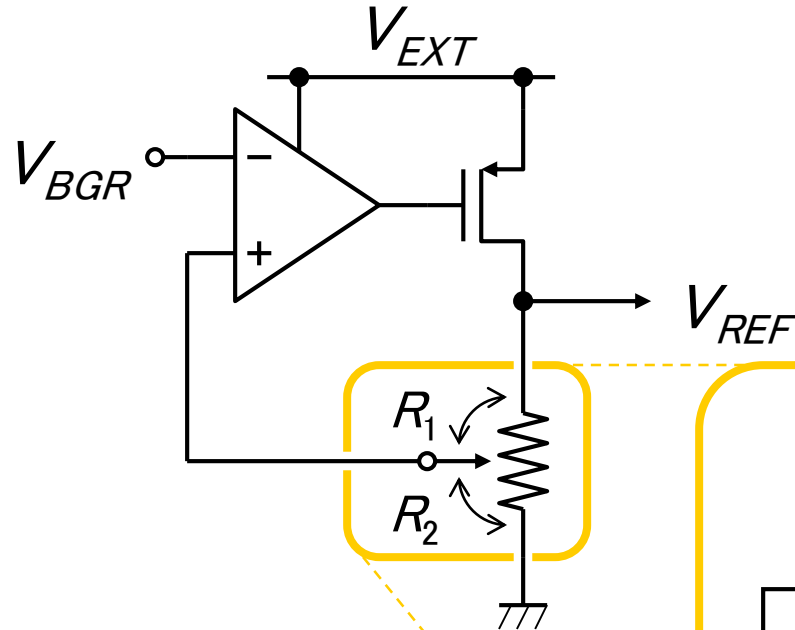
# 低電圧用Bandgap基準電圧発生回路(3)



$$V_{BGR} = \frac{R_3}{R_2 + R_3} \cdot \left( V_{BE3} + \frac{R_2}{R_1} \cdot \frac{kT \ln N}{q} \right)$$

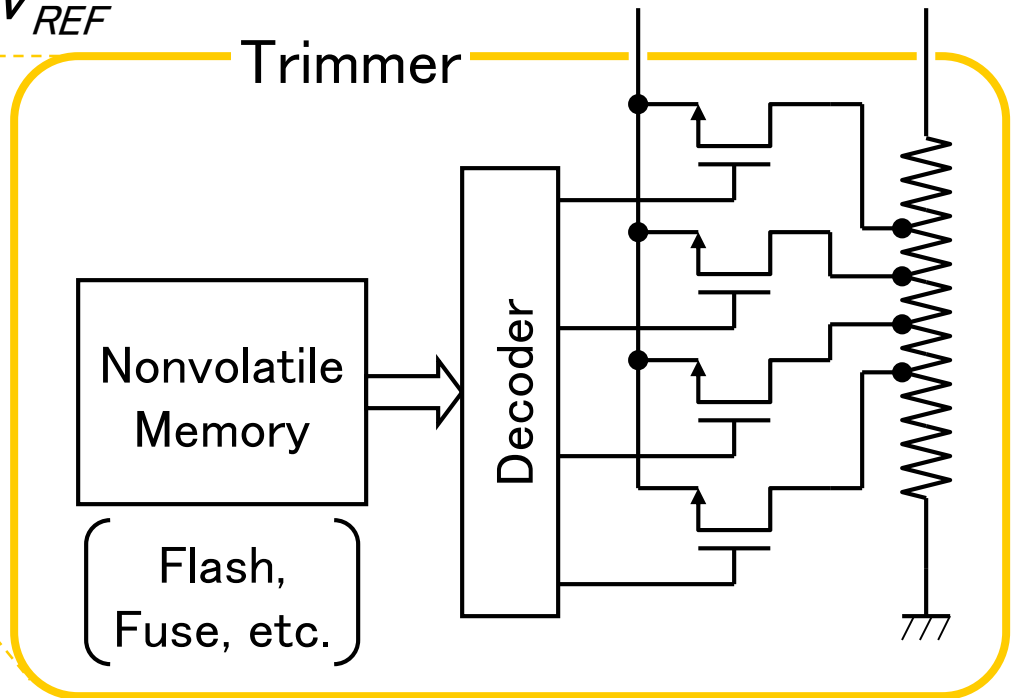
- op-ampオフセットの影響小

# トリミング回路

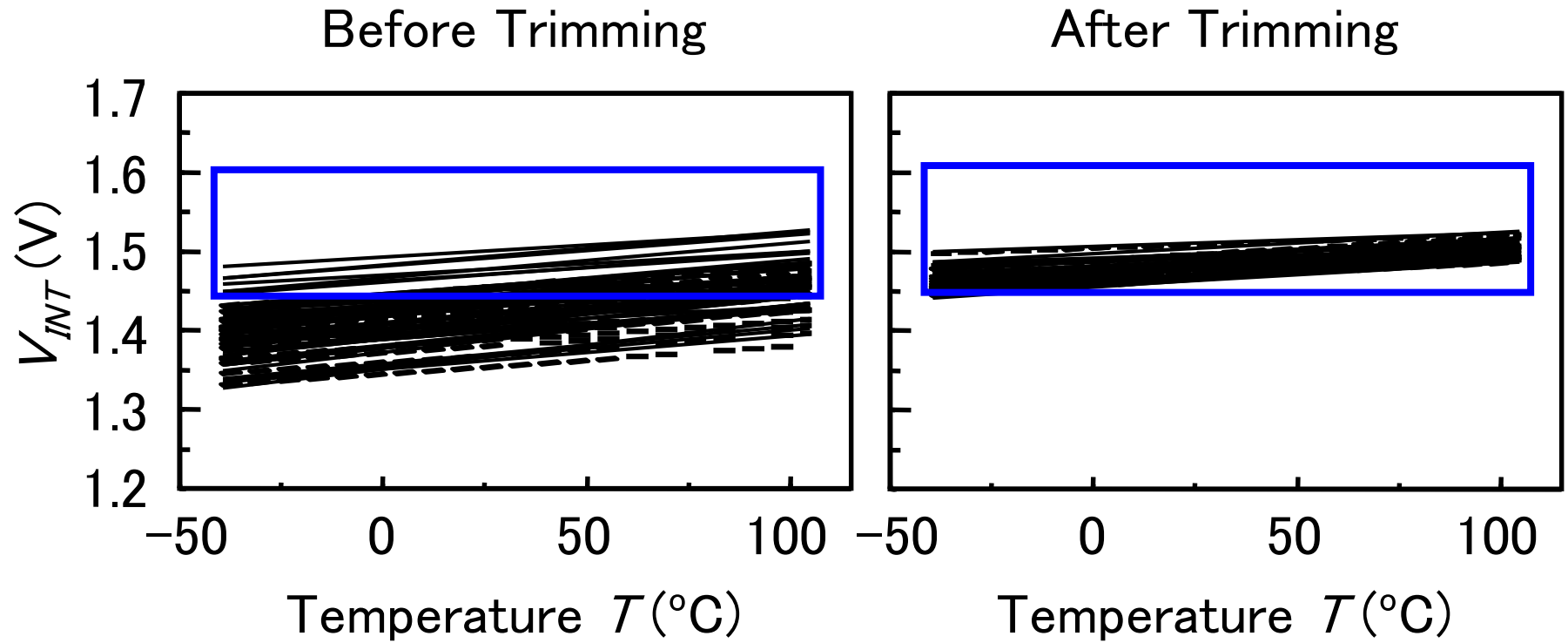


- Transfer gateの $V_{TH}$ 注意
- 位相余裕確保必要

$$V_{REF} = \frac{R_1 + R_2}{R_2} \cdot V_{BGR}$$



# トリミングの効果





# バーンインを可能にするために

## バーンインとは？

目的： 潜在欠陥の顕在化による初期故障率の低減

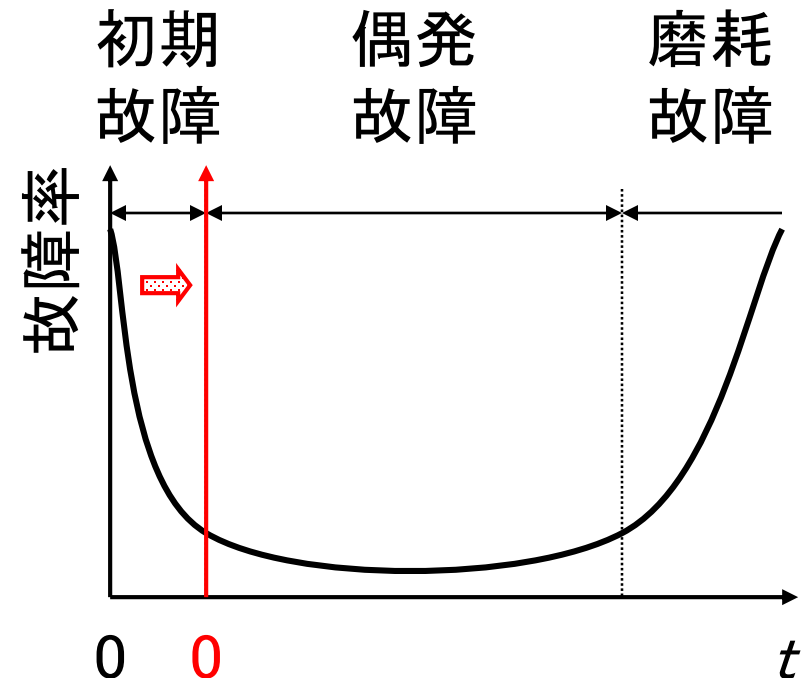
方法： ストレス(高温、**高電圧**)を加えることにより、  
顕在化を加速

## 降圧回路がある場合の問題点

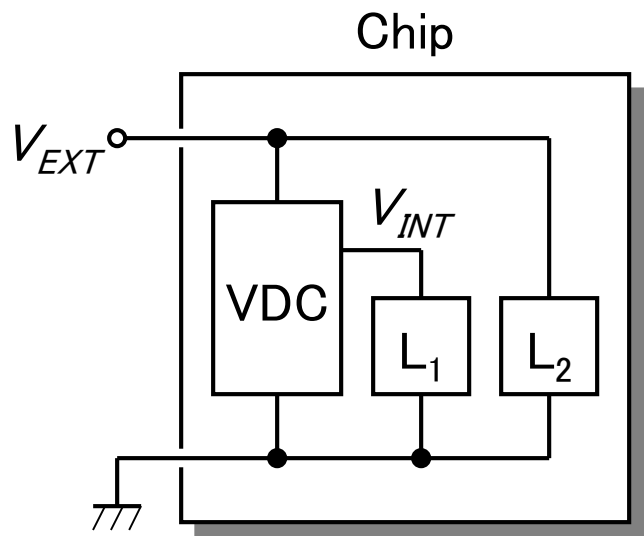
内部回路にストレス電圧がかからない

## 解決策

降圧回路でバーンイン用電圧を発生



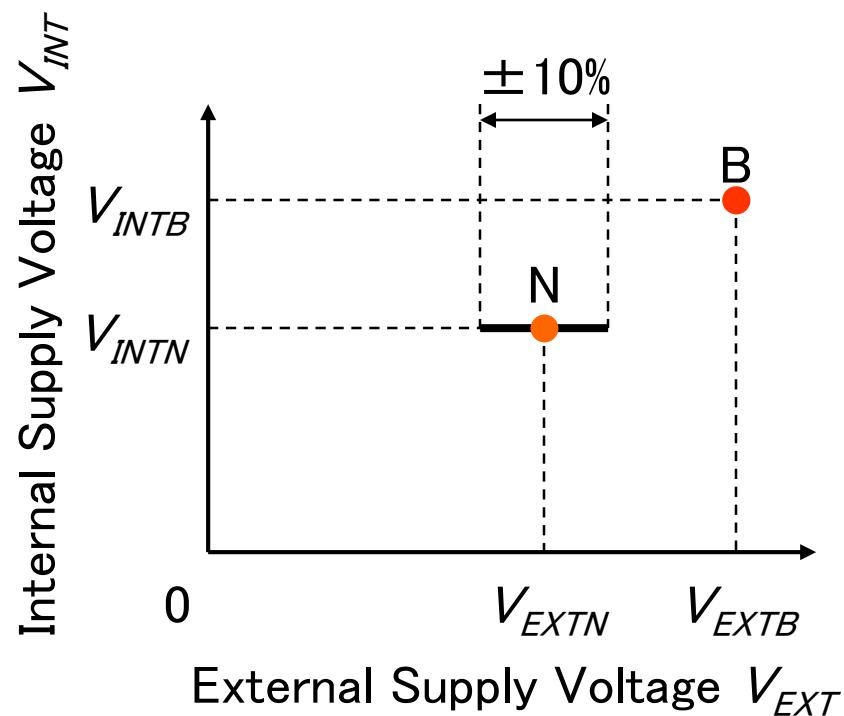
# バーンイン電圧の発生



VDC: Voltage down converter

$L_1$ : Core circuit

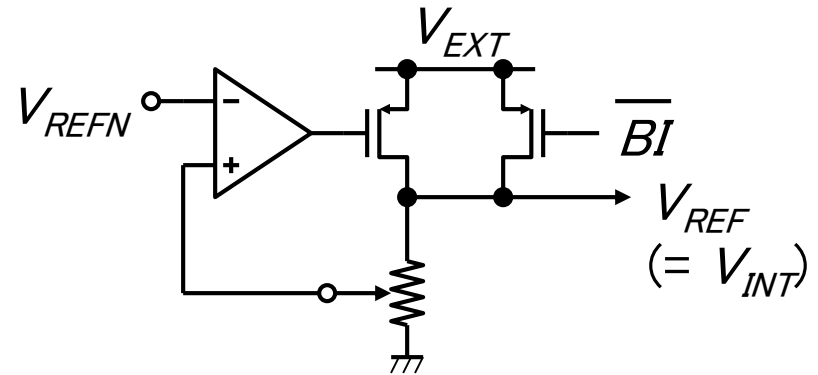
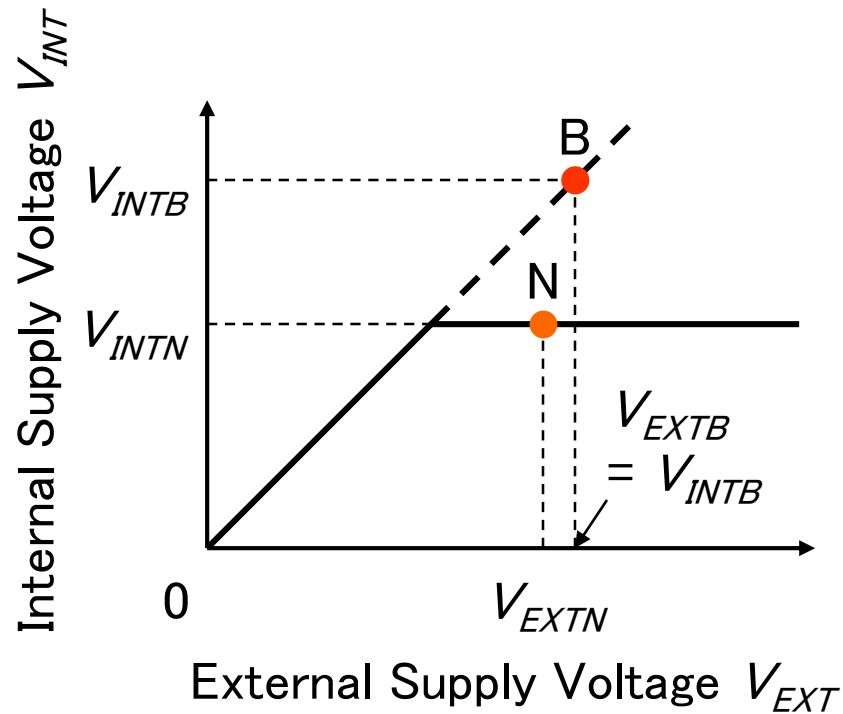
$L_2$ : I/O circuit



N: 通常動作

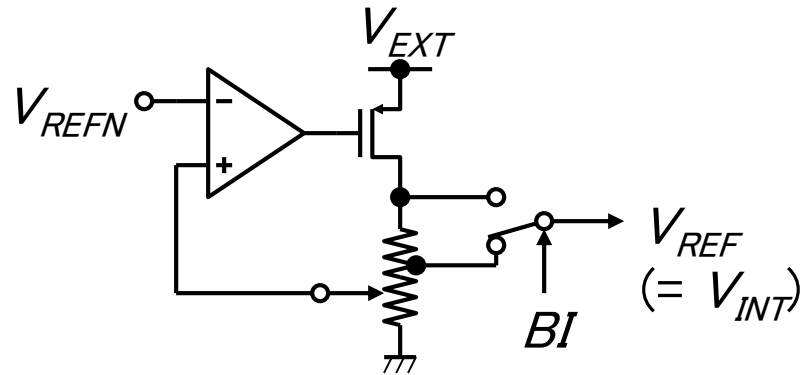
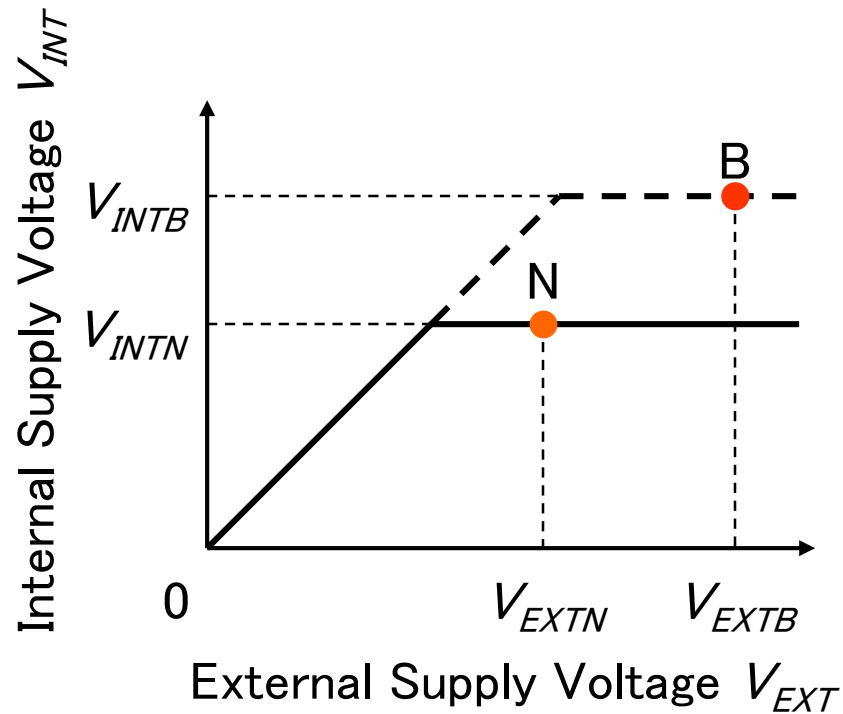
B: バーンイン

# バーンイン電圧の発生方法(1)



-  $V_{EXT}$ の加速が不十分

# バーンイン電圧の発生方法(2)

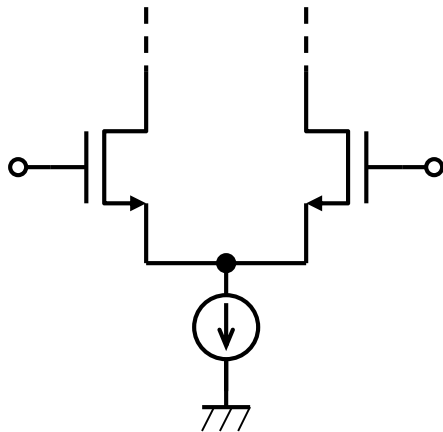


# レイアウト上の注意

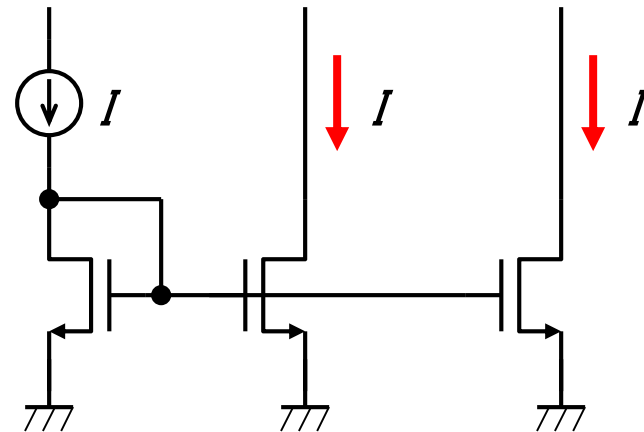
---

## (1) 素子間のミスマッチ

### 差動増幅器



### カレントミラー



## (2) ノイズ

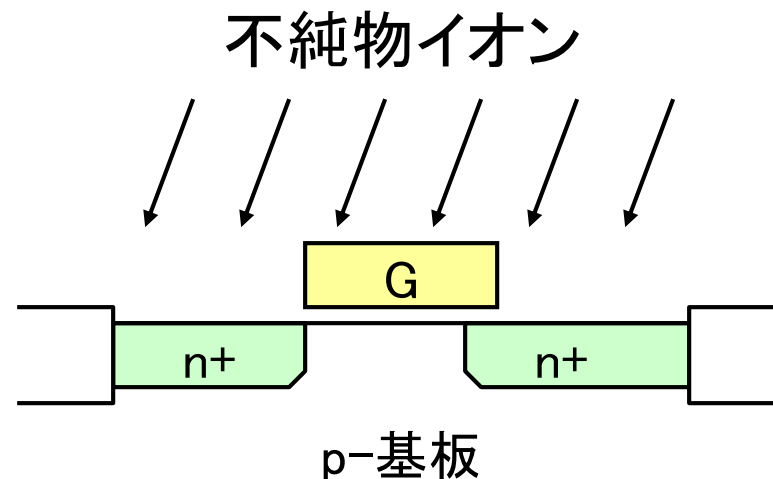
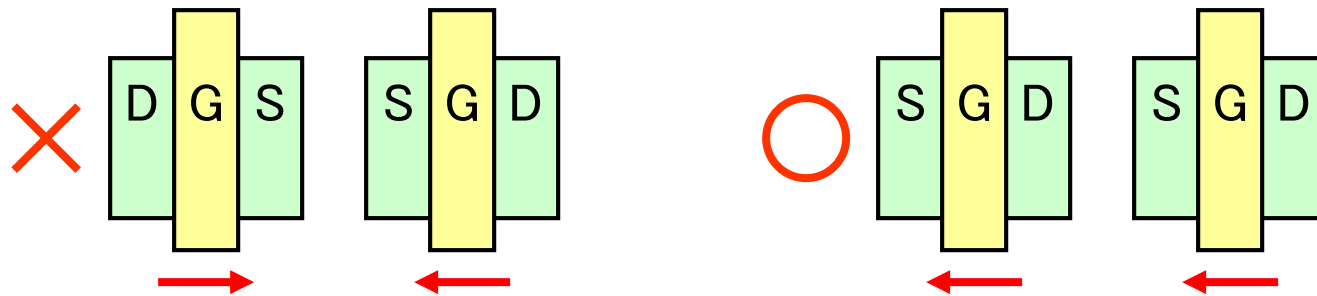
高インピーダンスの回路

# レイアウト上の注意……ミスマッチ(1)

## MOSTランジスタのミスマッチ低減

(1) 電流を同一方向に

斜めインプラ(イオン打ち込み)の影響を排除



# レイアウト上の注意……ミスマッチ(2)

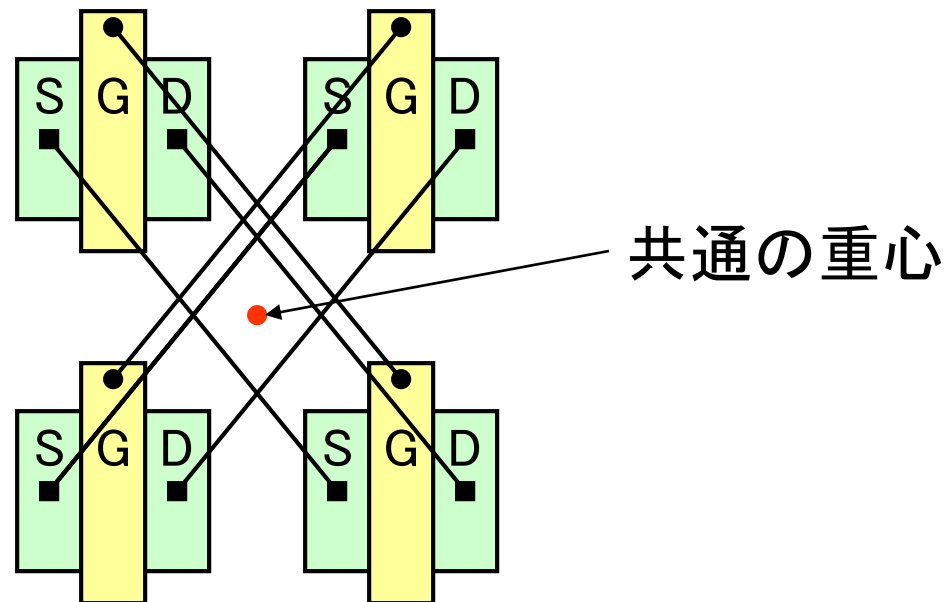
## MOSTランジスタのミスマッチ低減

(2)  $L, W$ を大きく

短チャネル、狭チャネル効果低減

$$\Delta V_{TH} \propto 1/\sqrt{LW}$$

(3) Common centroid配置

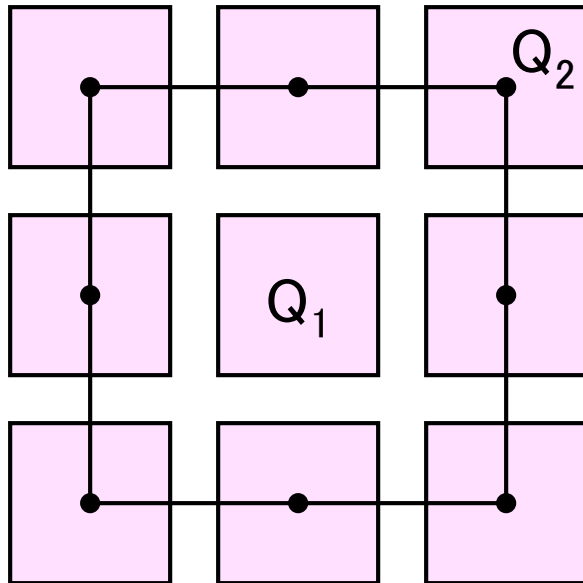


# レイアウト上の注意……ミスマッチ(3)

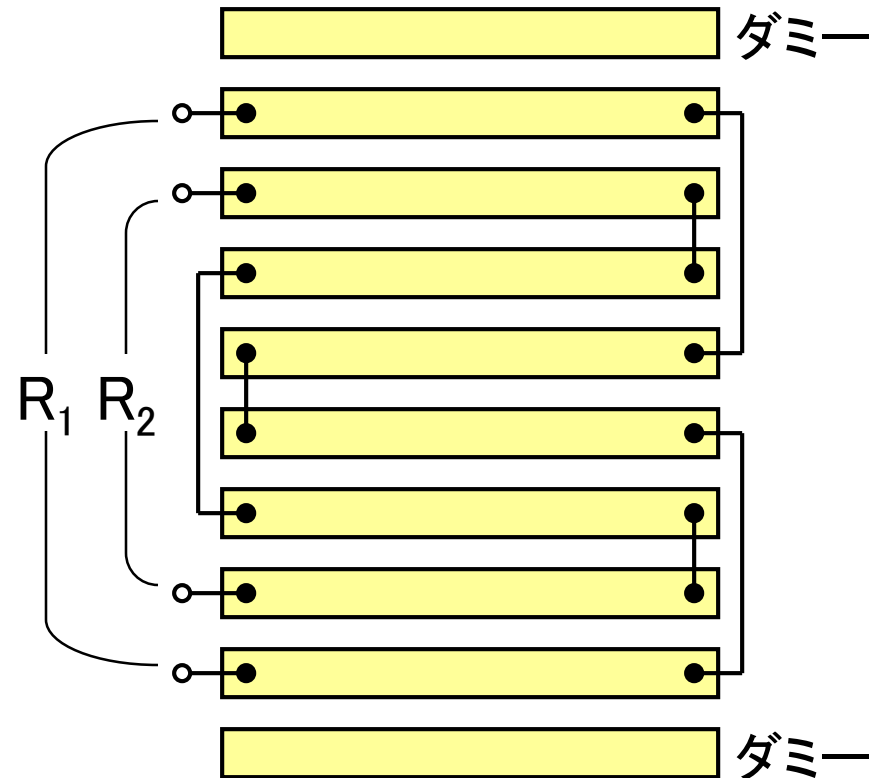
素子のミスマッチ低減

Common centroid配置

バイポーラトランジスタ



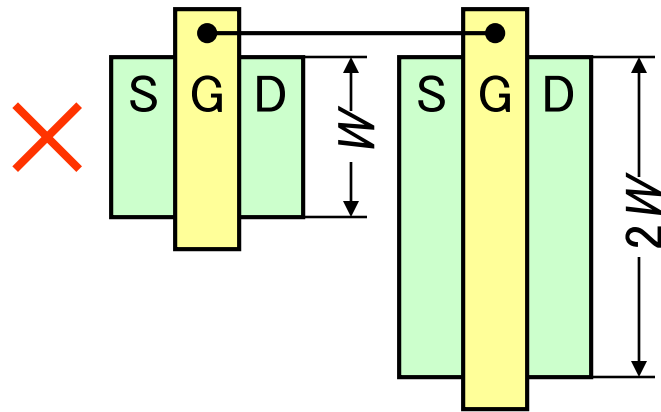
抵抗





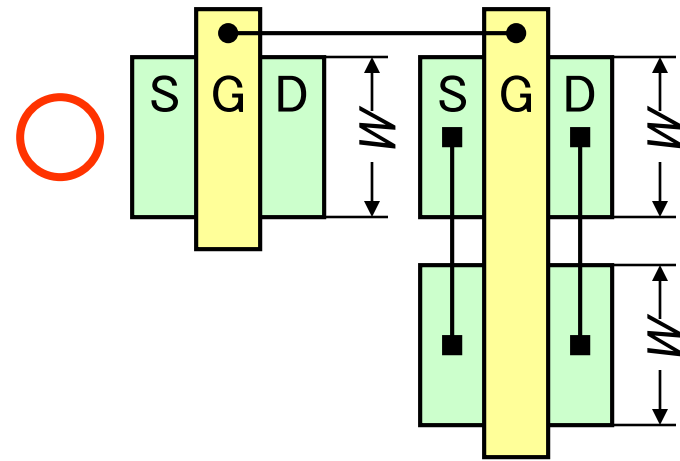
# レイアウト上の注意……ミスマッチ(4)

カレントミラーのミラー比を正確に



$$W_{eff1} = W - \Delta W \quad W_{eff2} = 2W - \Delta W$$

✗ 定数を  $M$  倍する

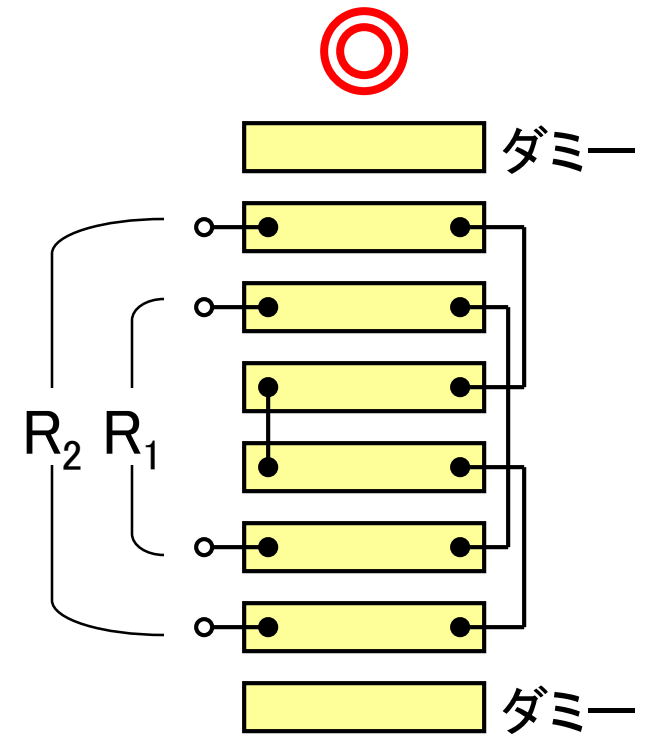
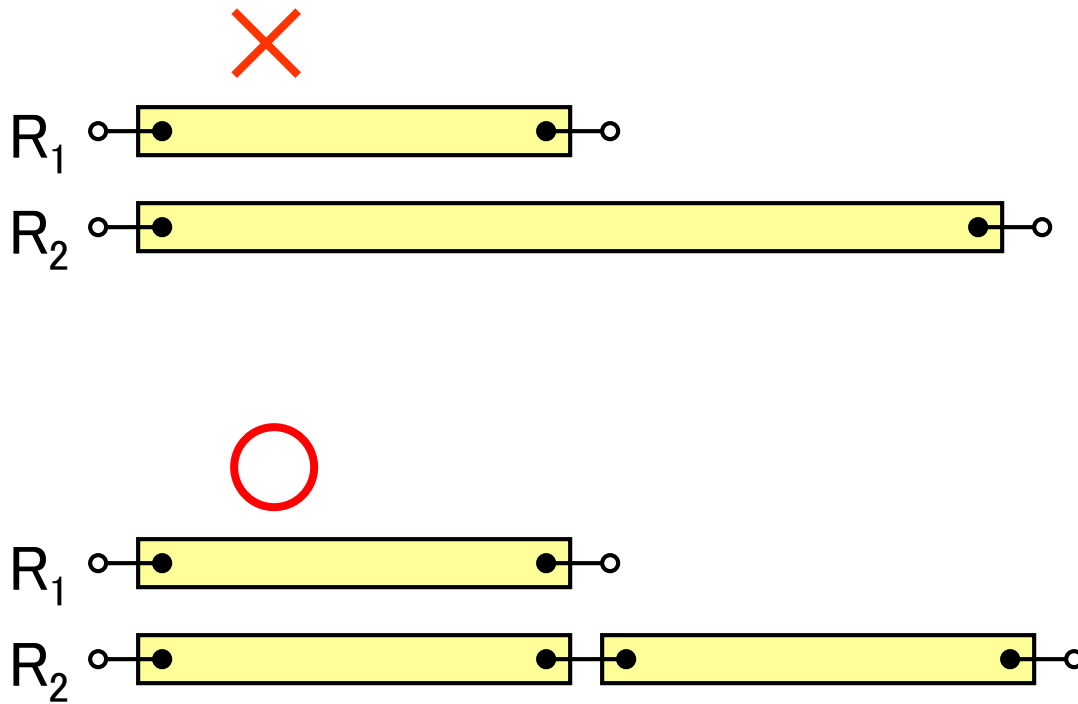


$$W_{eff1} = W - \Delta W \quad W_{eff2} = 2(W - \Delta W)$$

○ 同じ定数の素子を  $M$  個並べる

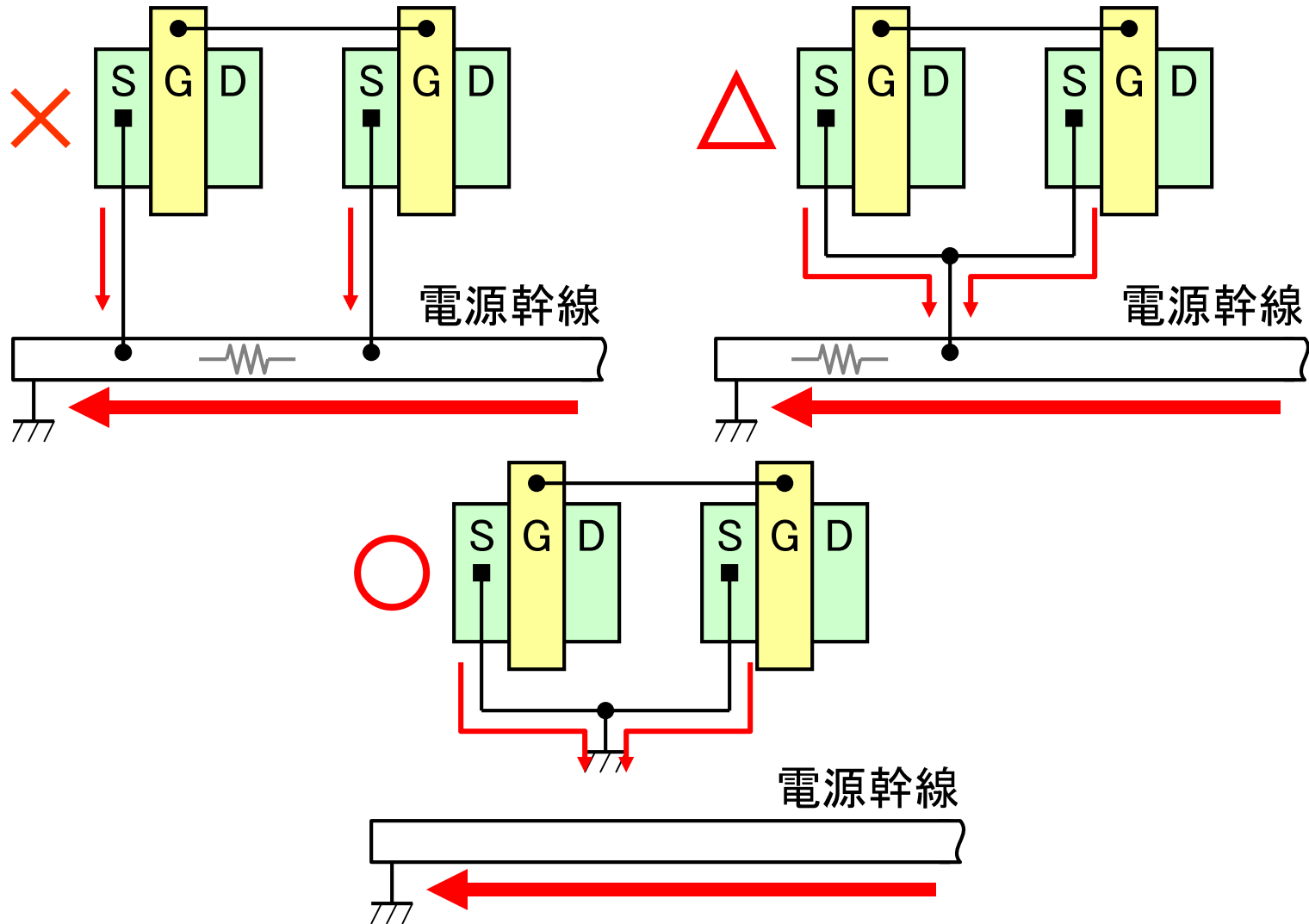
# レイアウト上の注意……ミスマッチ(5)

抵抗比を正確に



# レイアウト上の注意……ノイズ

## カレントミラーのソース寄生抵抗に注意



# 問題

1:2のカレントミラーを作るべく、図のようにレイアウトした。  
このレイアウトが良くない理由を2つあげよ。

