

システム集積回路工学論

第5回 PLL、DLL回路

群馬大学客員教授 堀口真志

目次

- 1 なぜオンチップPLL、DLLか？
- 2 PLL回路の概要
- 3 DLL回路の概要

なぜオンチップPLL、DLLか？

PLL (Phase Locked Loop)

- 周波数逡倍

 - 内部クロック周波数と外部クロック周波数の乖離

- 内部回路動作のタイミング調整

 - 内部回路動作の高速化

DLL (Delay Locked Loop)

- データ入出力のタイミング調整

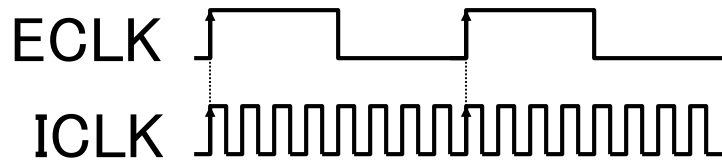
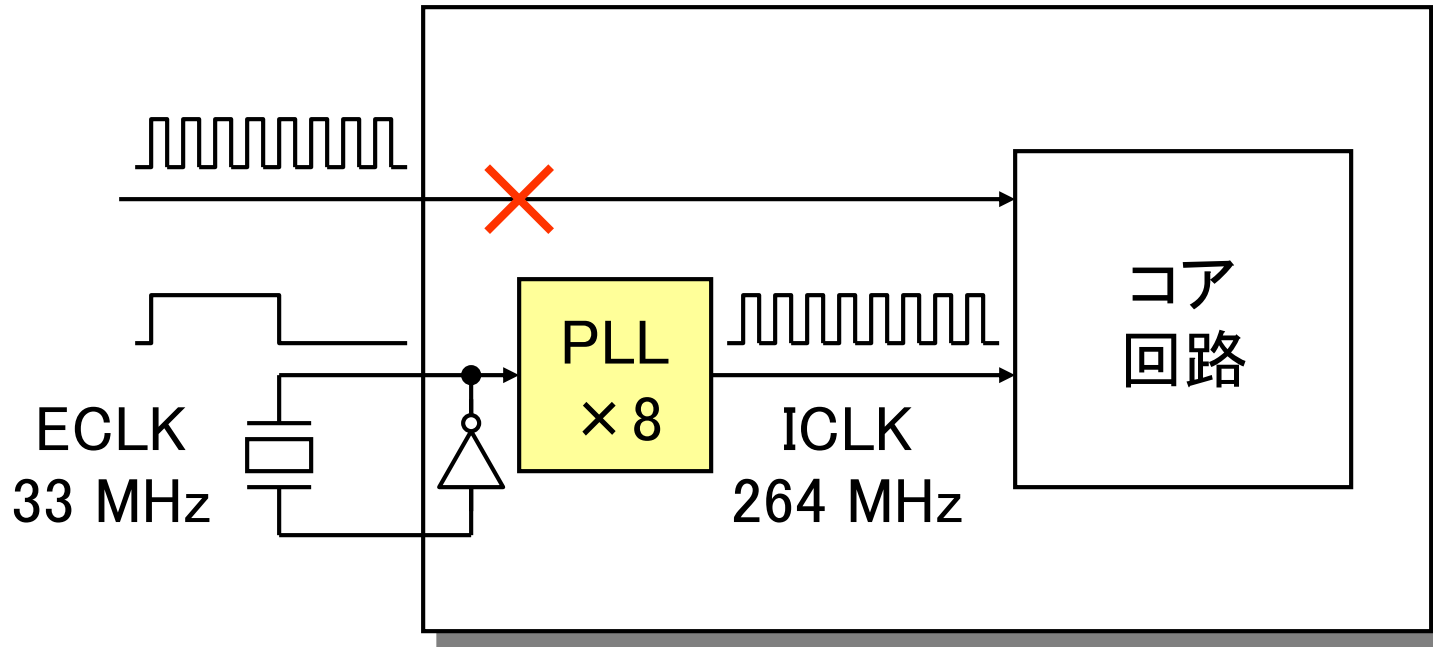
 - 高速化によるタイミングマージン減少

- 内部回路動作のタイミング調整

 - 内部回路動作の高速化

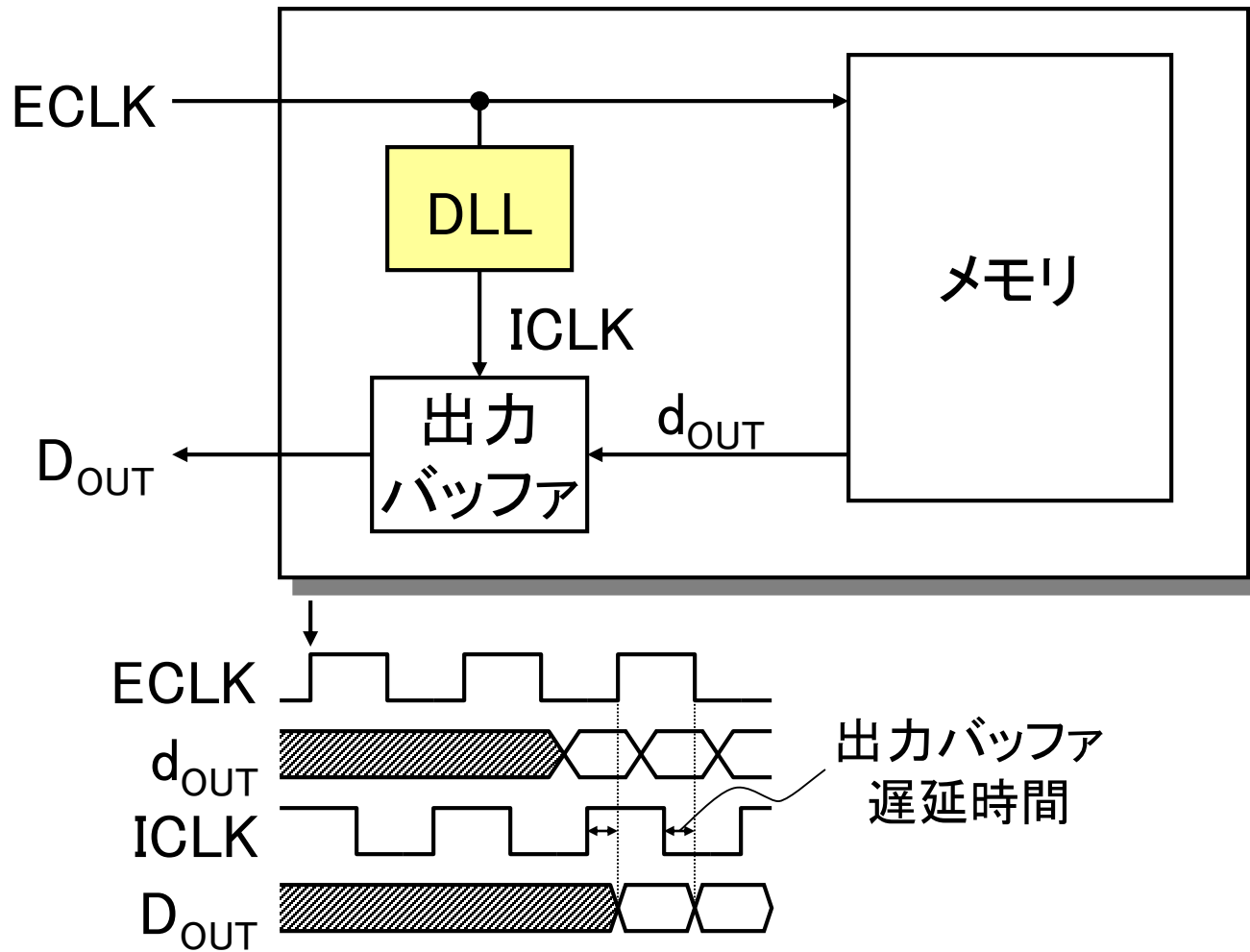
なぜオンチップPLL、DLLか？

マイコンのクロック周波数逡倍



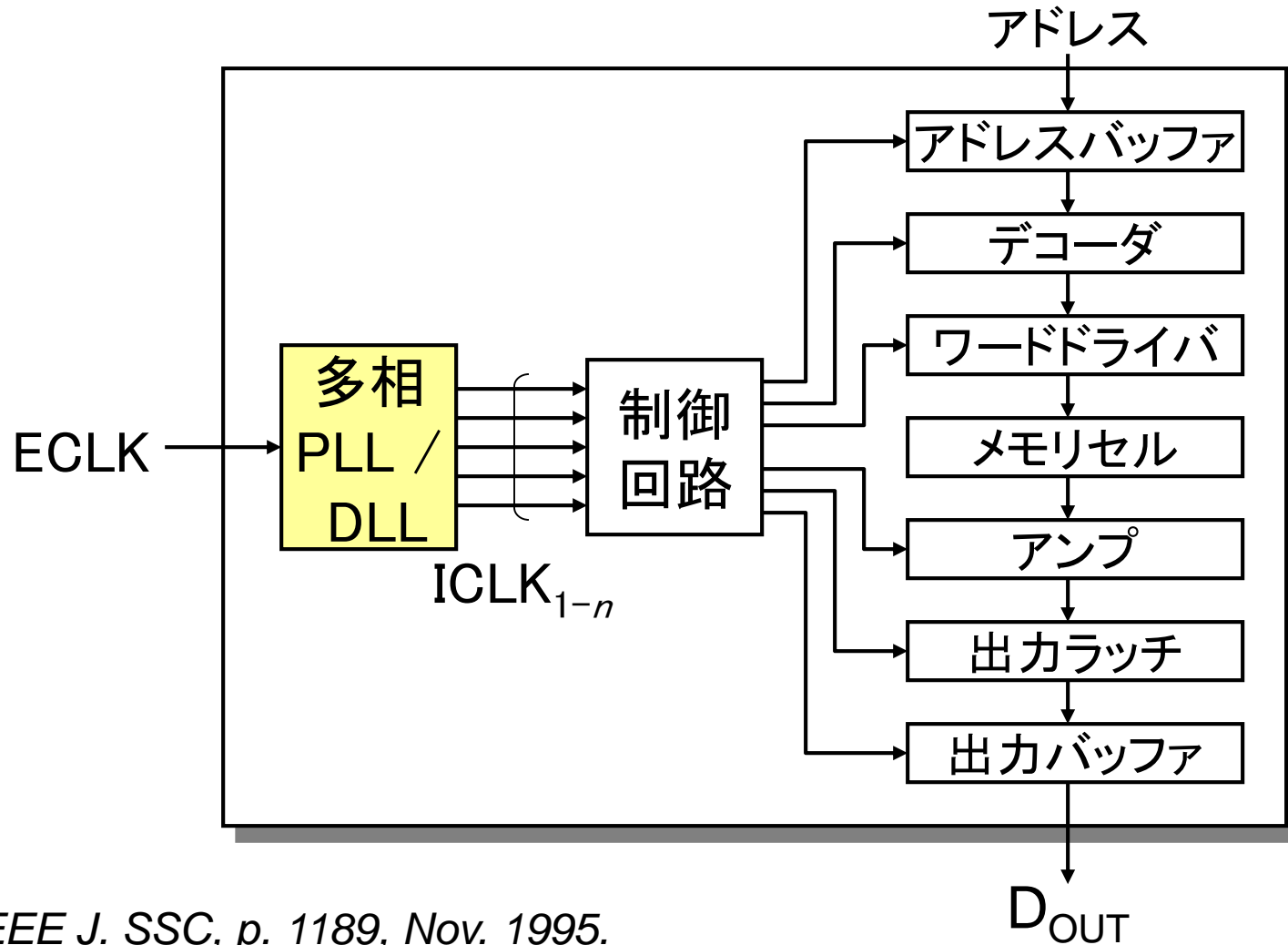
なぜオンチップPLL、DLLか？

メモリ(DDR-SDRAM)のデータ出カタイミング調整



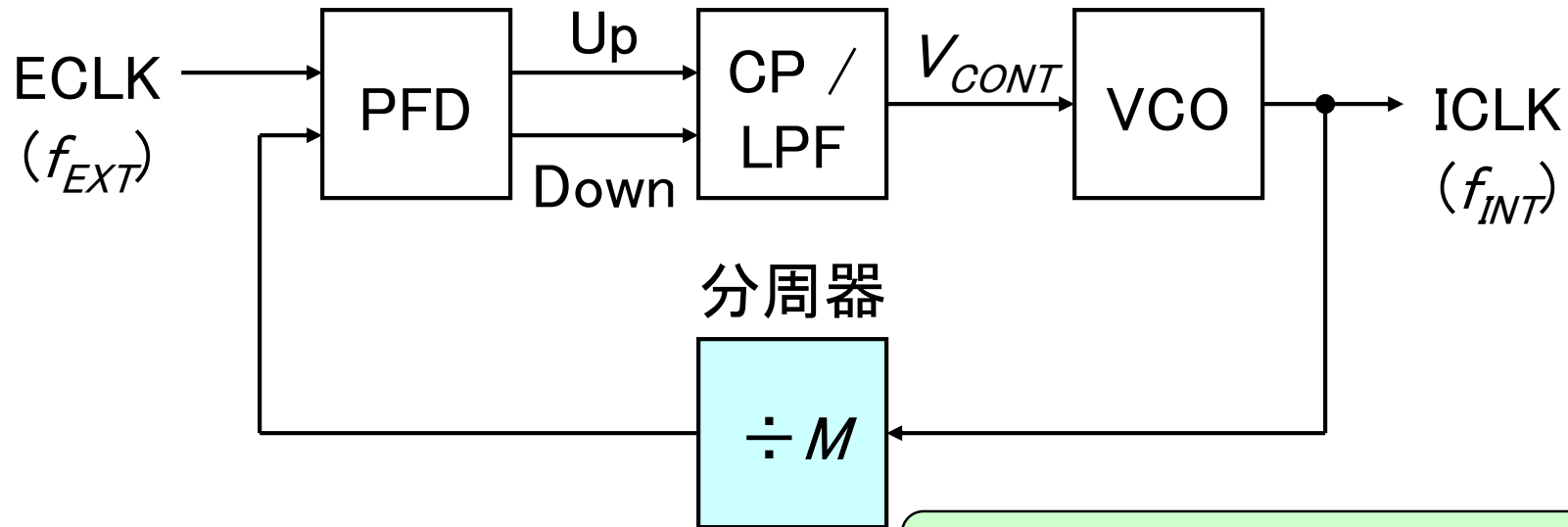
なぜオンチップPLL、DLLか？

メモリ(SRAM)の内部回路動作タイミング調整



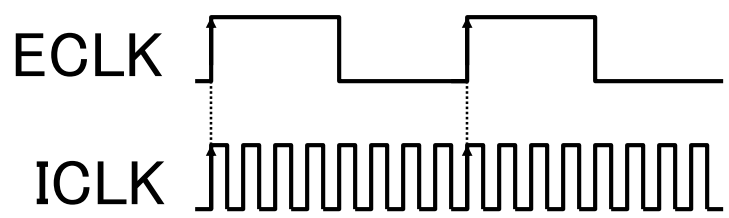
K. Ishibashi, *IEEE J. SSC*, p. 1189, Nov. 1995.

PLLの基本構成



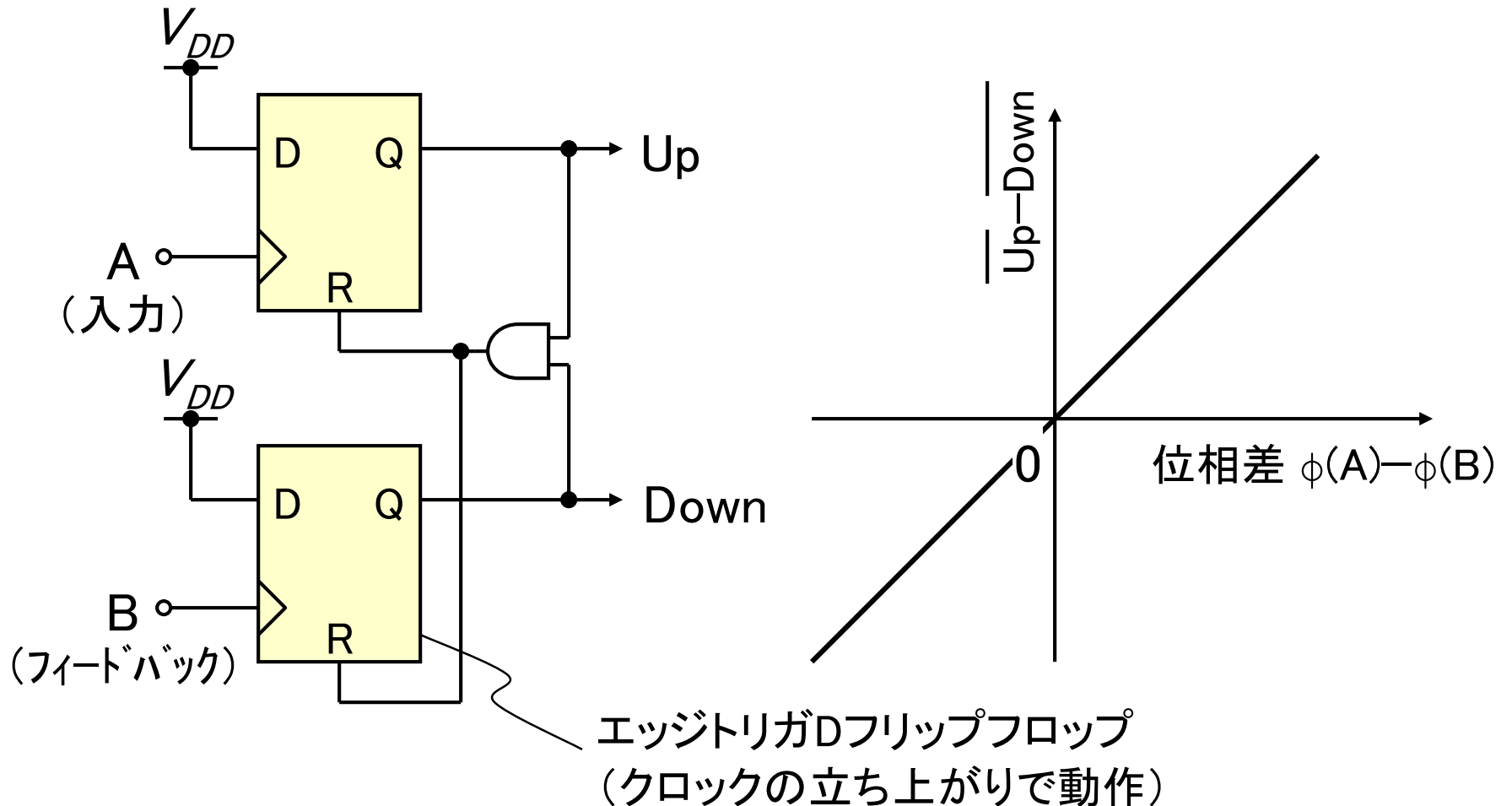
目的: $\begin{cases} \text{周波数逡倍} (f_{INT} = M f_{EXT}) \\ \text{ICLKとECLK同期} \end{cases}$

PFD: Phase Frequency Detector
CP: Charge Pump
LPF: Low Pass Filter (Loop Filter)
VCO: Voltage-Controlled Oscillator



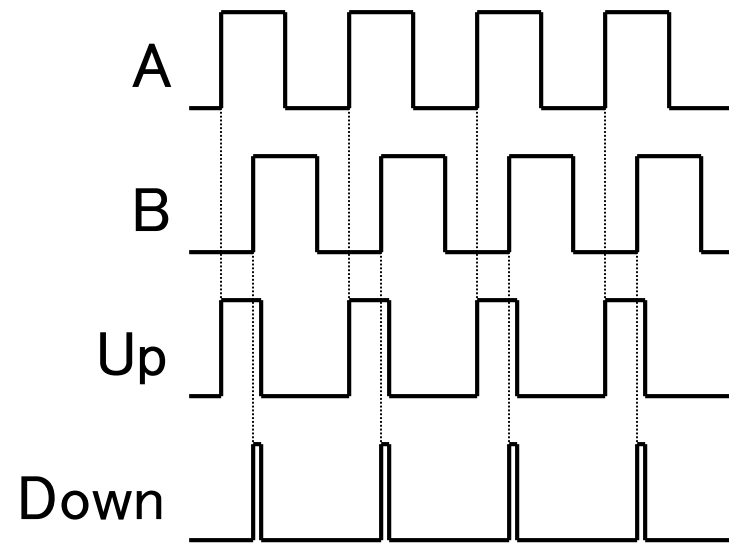
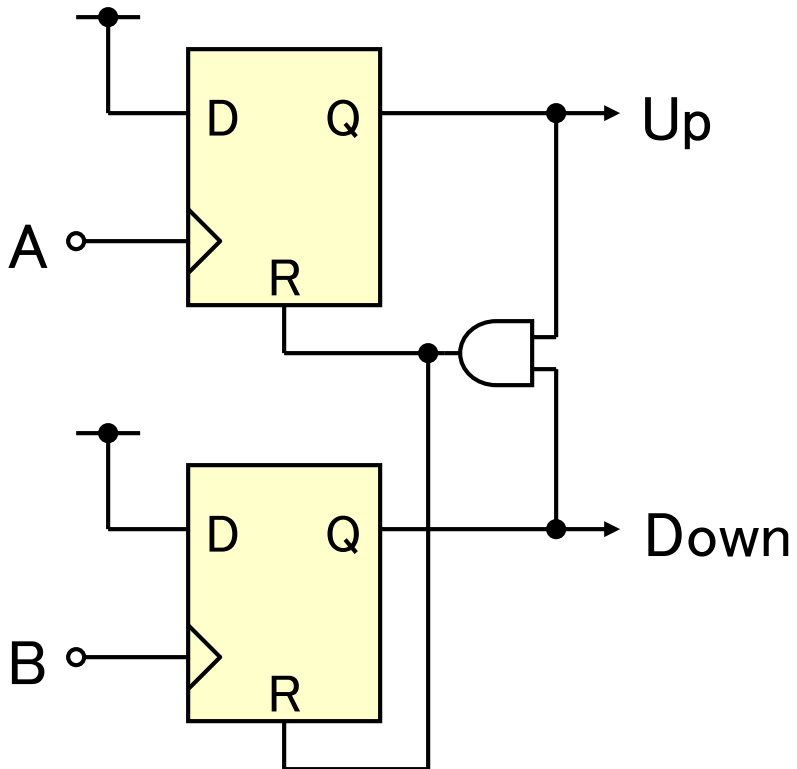
PFD (Phase Frequency Detector)

2つのクロックの位相、周波数の差を検出



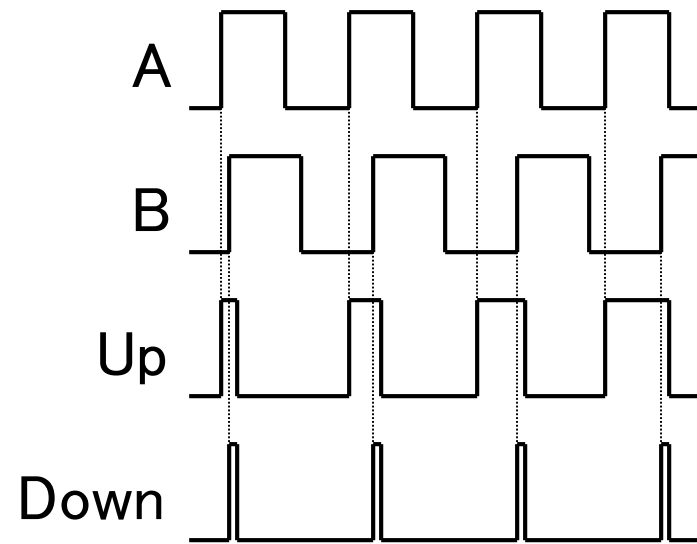
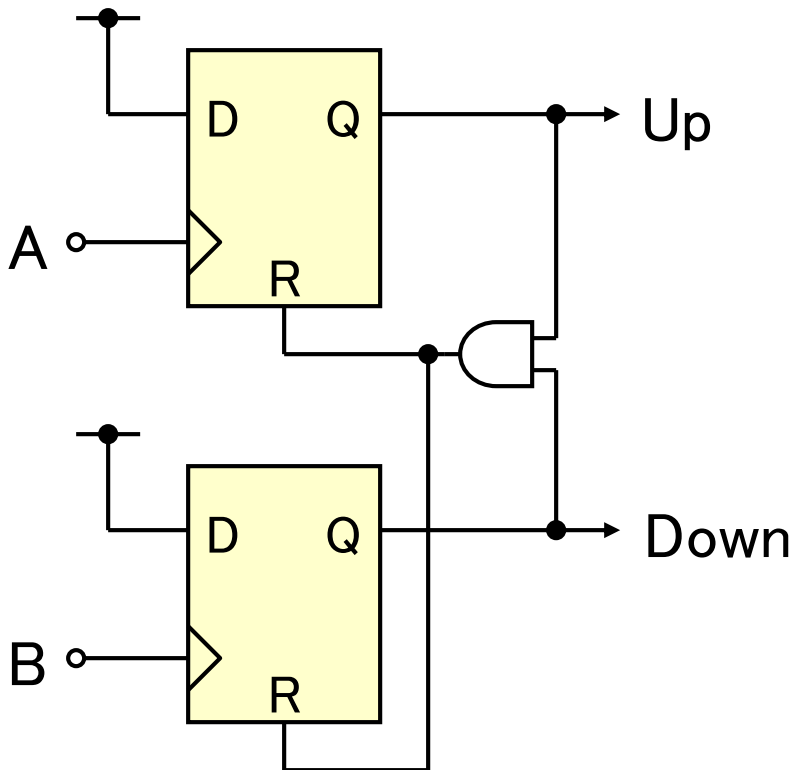
PFDの動作(1)

位相差がある場合



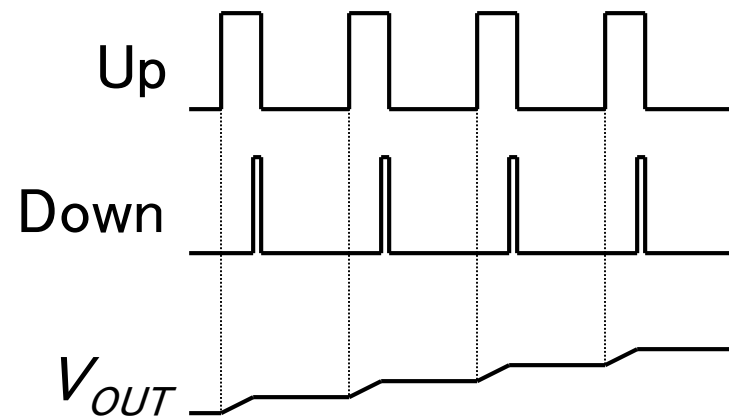
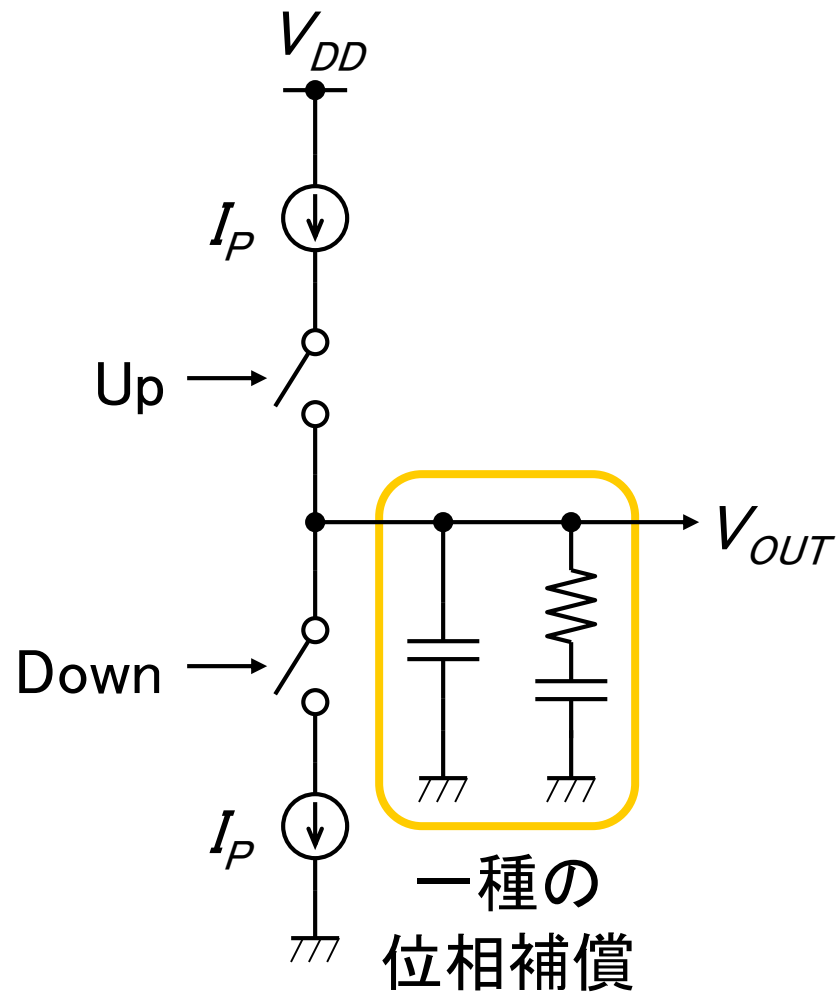
PFDの動作(2)

周波数差がある場合



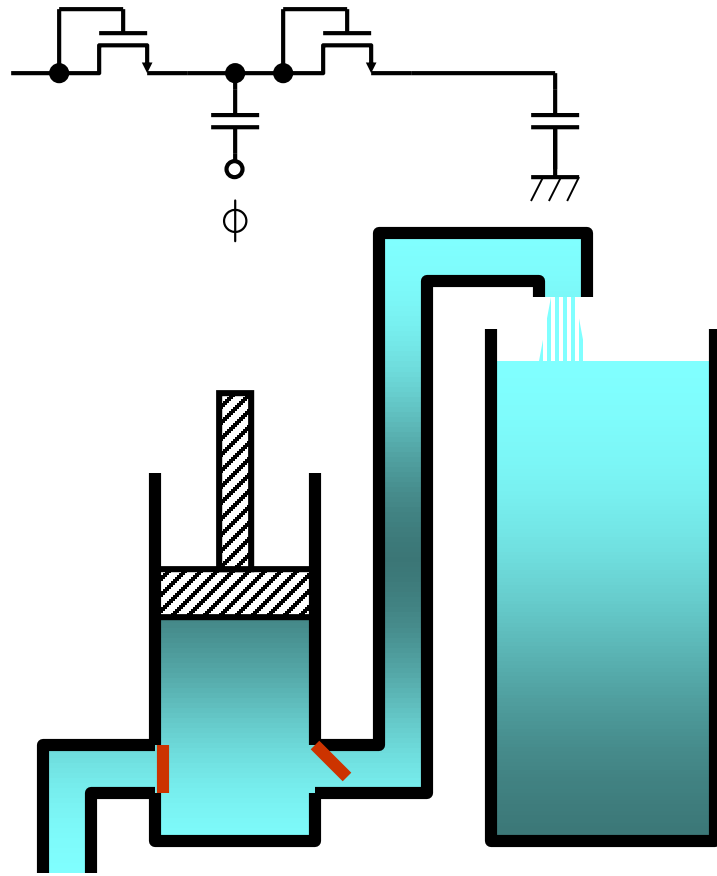
$$\text{位相} = 2\pi \int \text{周波数} dt$$

チャージポンプ／ローパスフィルタ

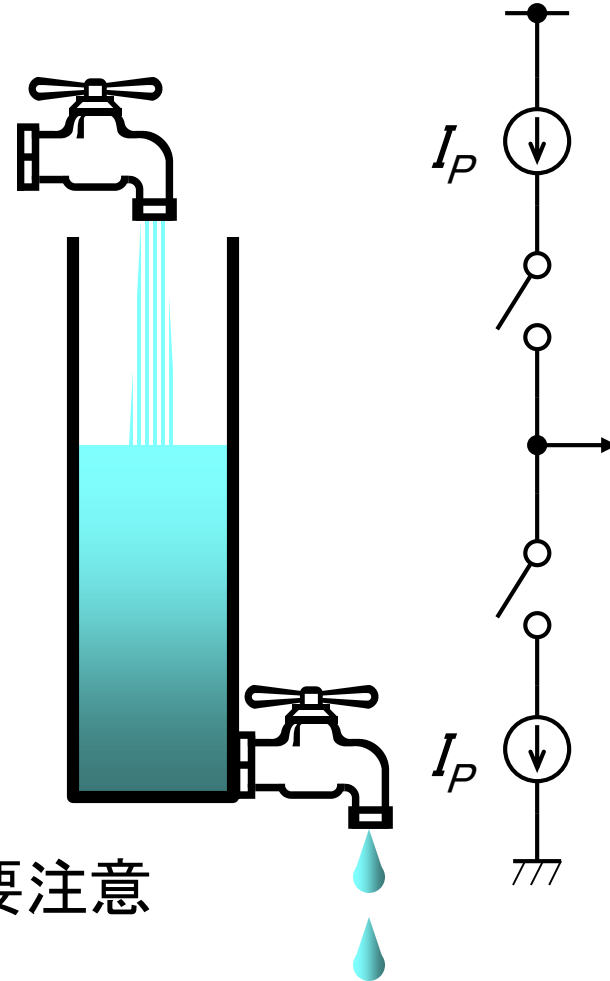


「チャージポンプ」の意味

昇圧回路

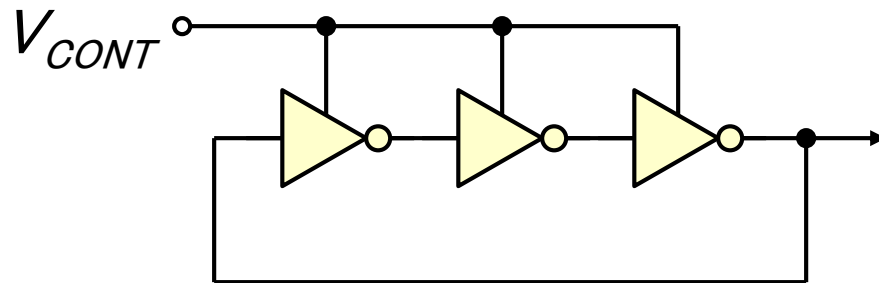


PLL、DLL



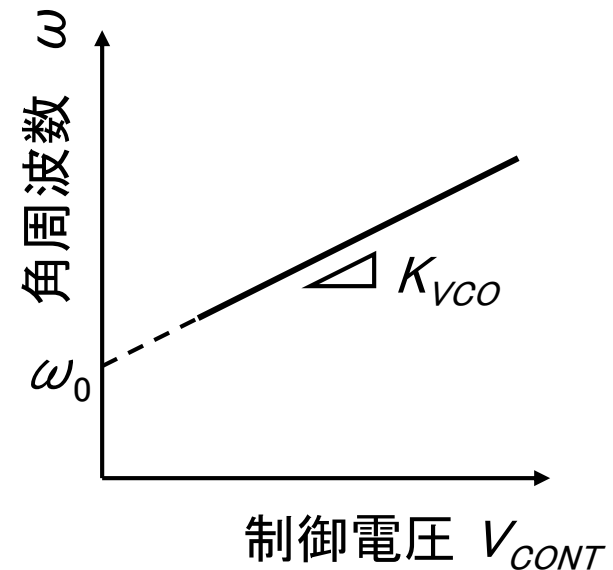
文献検索時要注意

VCO (Voltage Controlled Oscillator)



Ring Oscillator

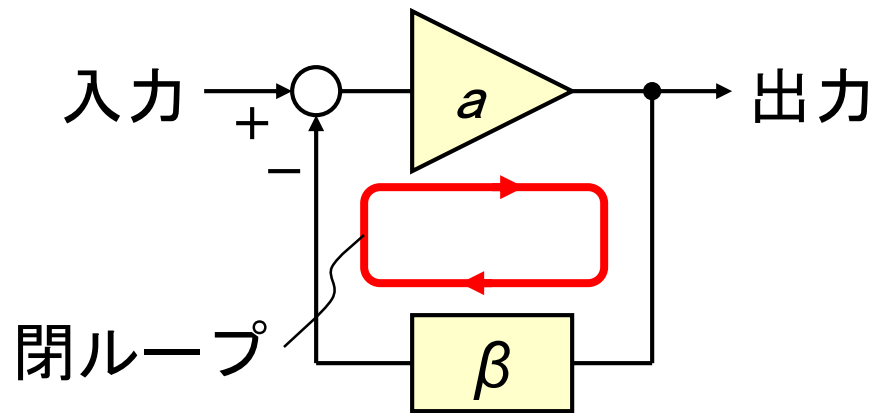
ω_0 : 自走周波数
(free running frequency)



$$\omega = \omega_0 + K_{VCO} V_{CONT}$$

発振するための条件

帰還アンプは発振する場合がある



発振する条件（Barkhausenの条件）

(1) 閉ループの一周の位相シフトが 360° （正帰還）

$a \cdot \beta$ では 180°

(2) 閉ループの一周の利得が1 (0dB) 以上

これらは周波数の関数

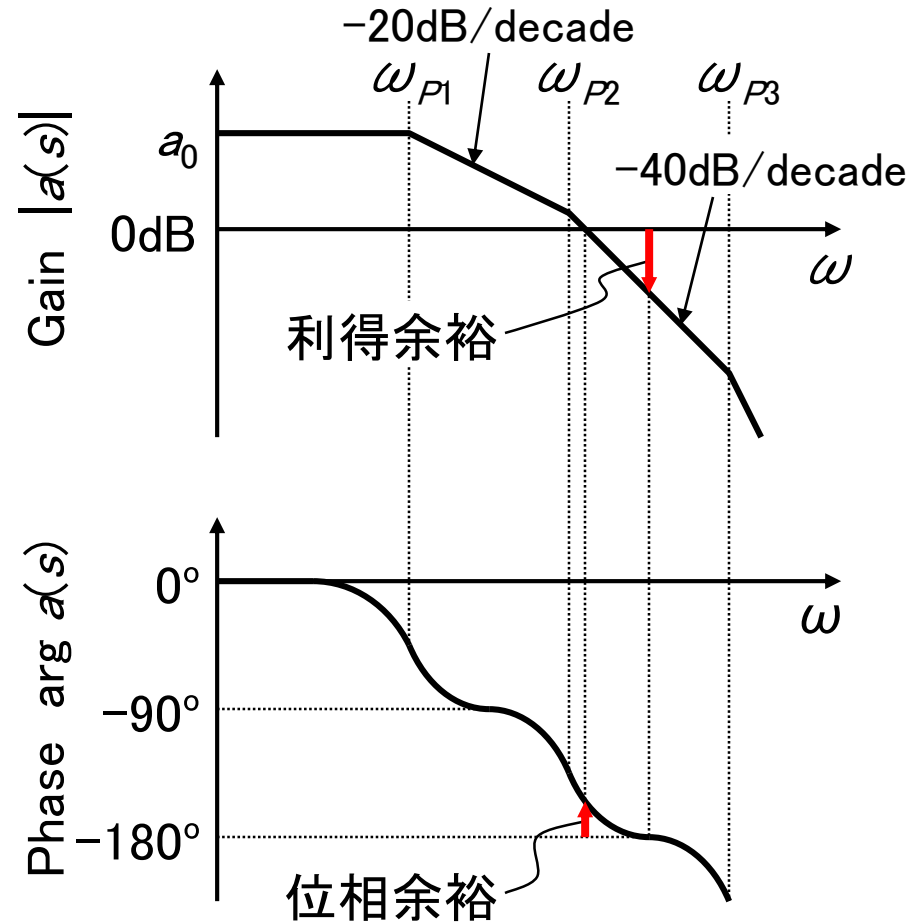
位相余裕

利得余裕:

-(開ループ伝達関数の位相が
-180° になる周波数における利得)

位相余裕:

(開ループ伝達関数の利得が0dBにな
る周波数における位相) + 180°



発振させるための方針

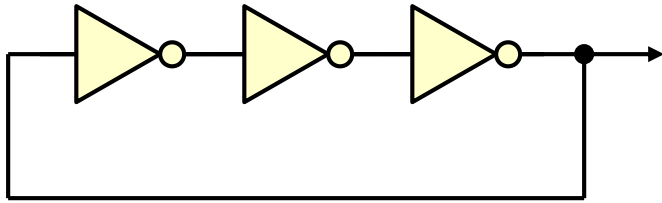
位相余裕確保の(発振させない)ための方針

1. 段数を最小に(2~(3)段)
2. 極 ω_{P1} と ω_{P2} とを離す
3. ループ利得の適正化(不必要に大きくしない)

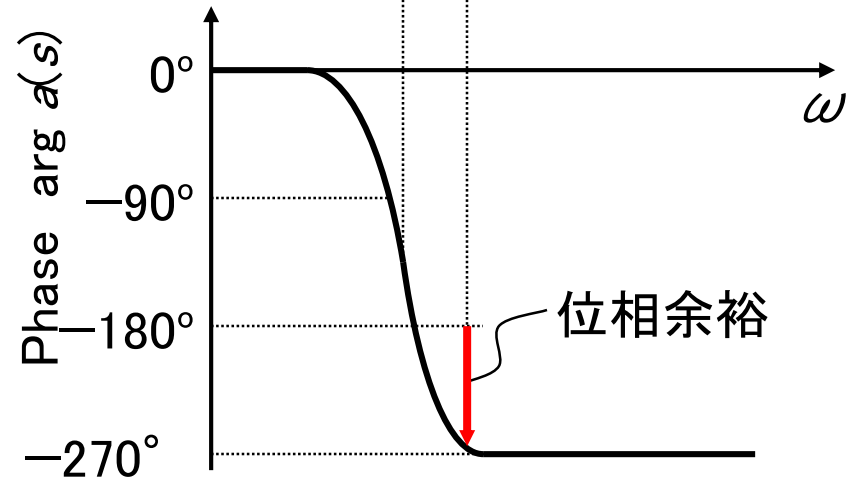
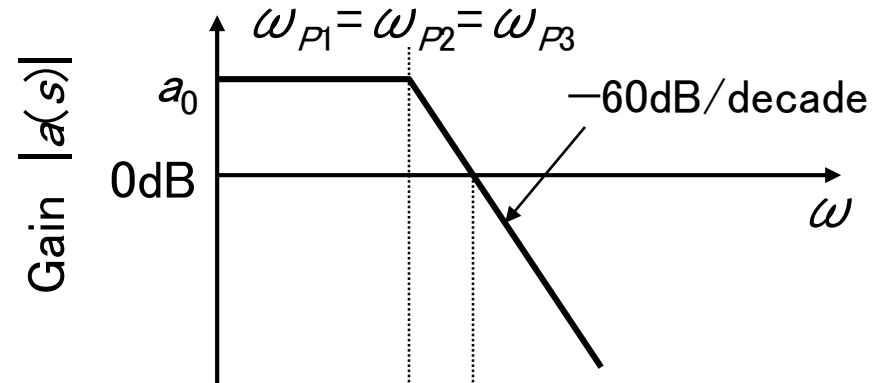
発振させるための方針

1. 段数は3段以上
2. 極 ω_{P1} と ω_{P2} とを近づける
3. ループ利得を大きく

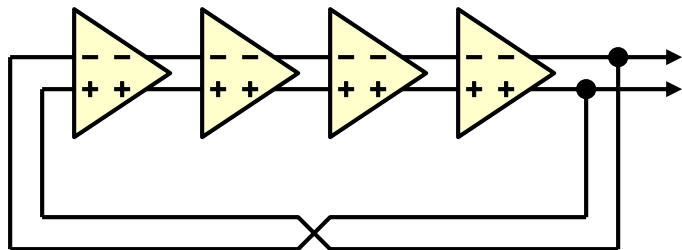
発振回路(1)



発振可能
($a_0 > 8$)

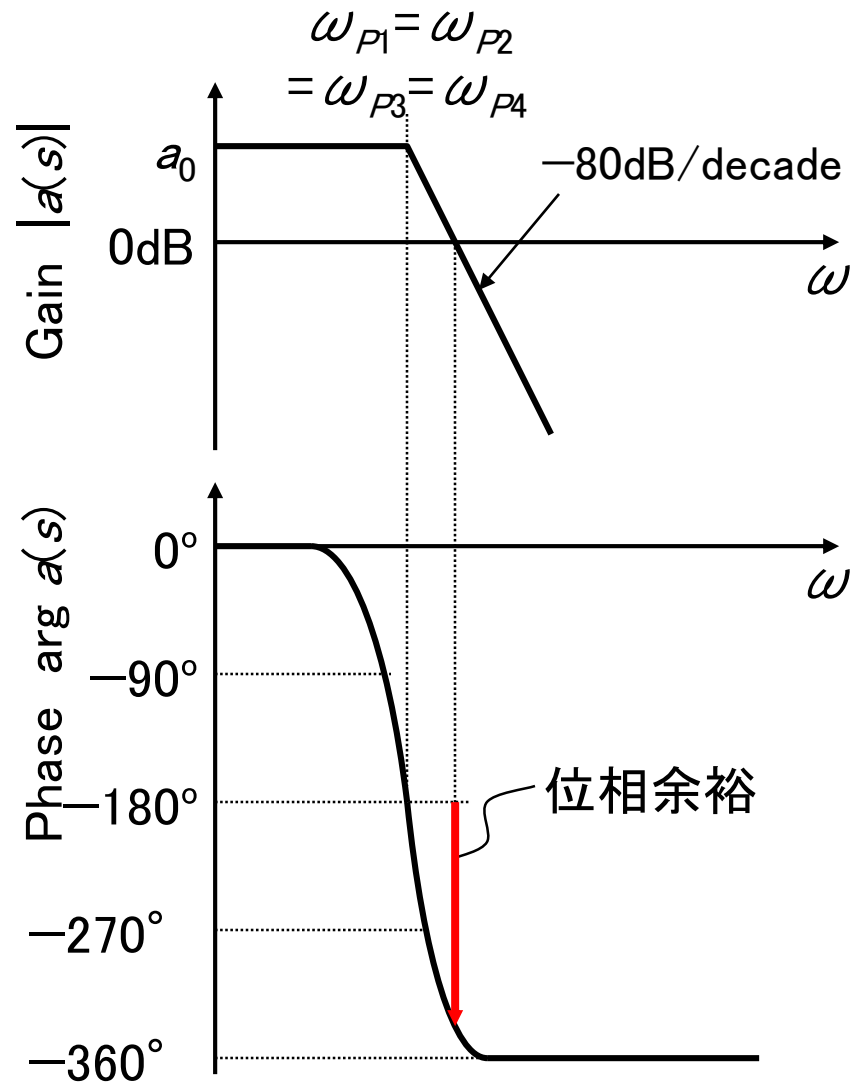
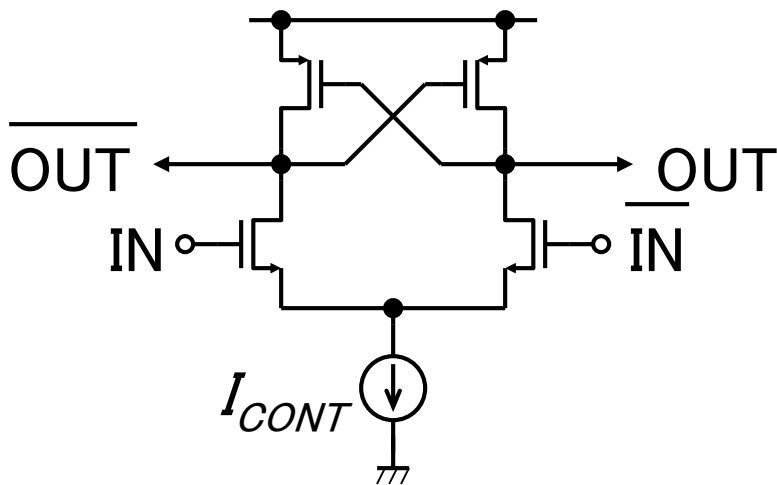


発振回路(2)

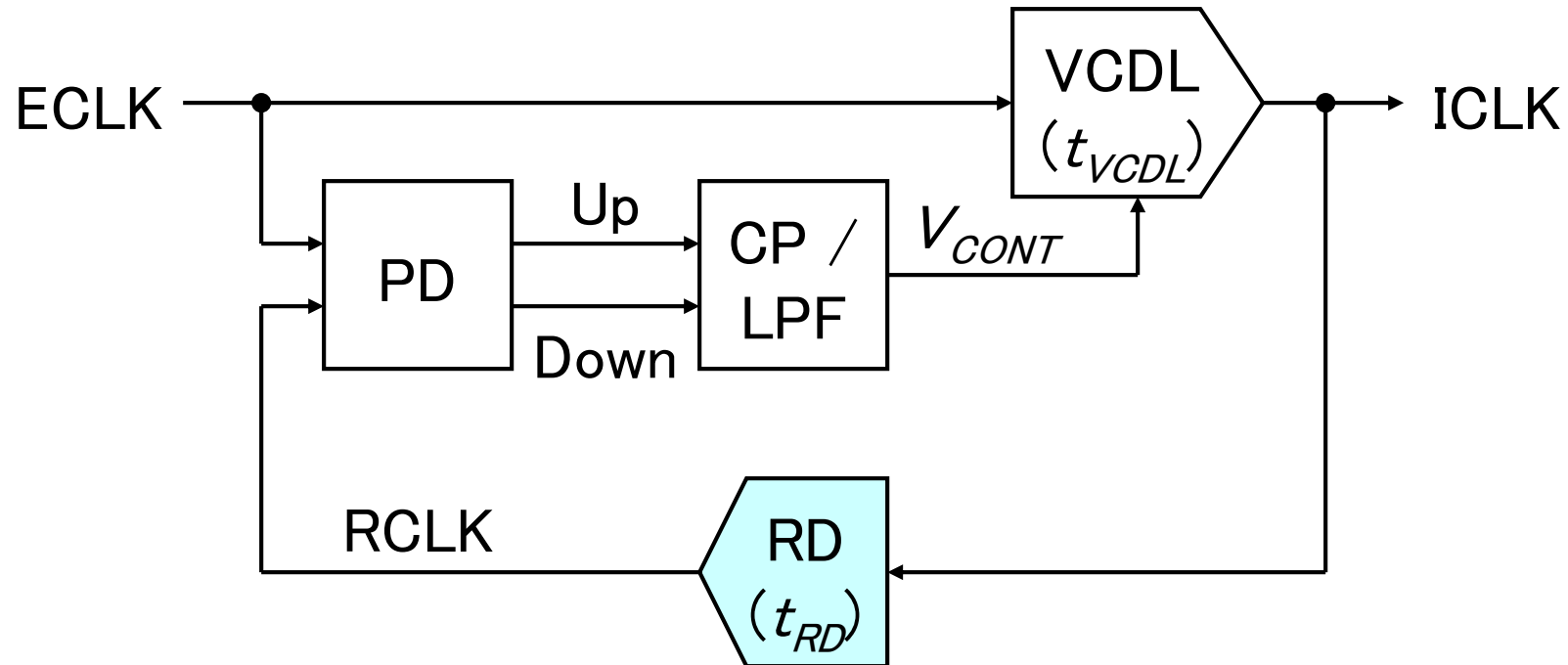


発振可能

$$(a_0 > 4)$$



アナログDLLの基本構成



PD: Phase Detector

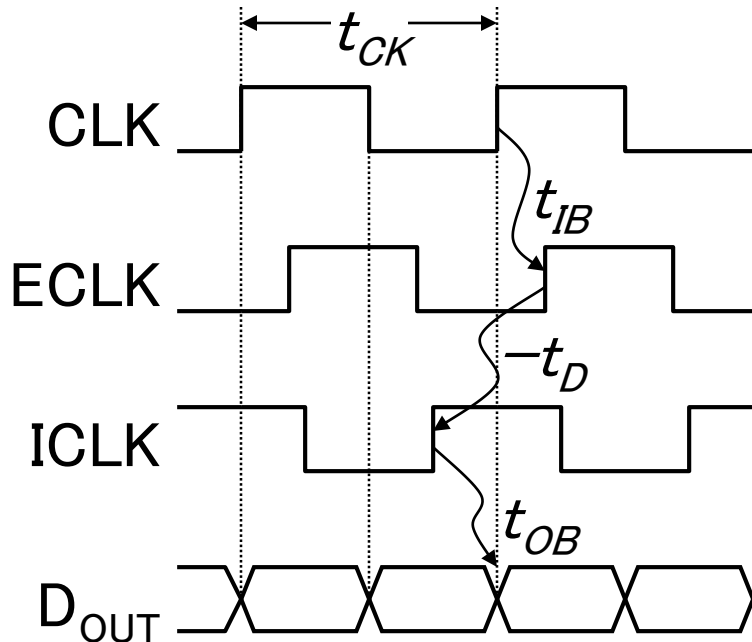
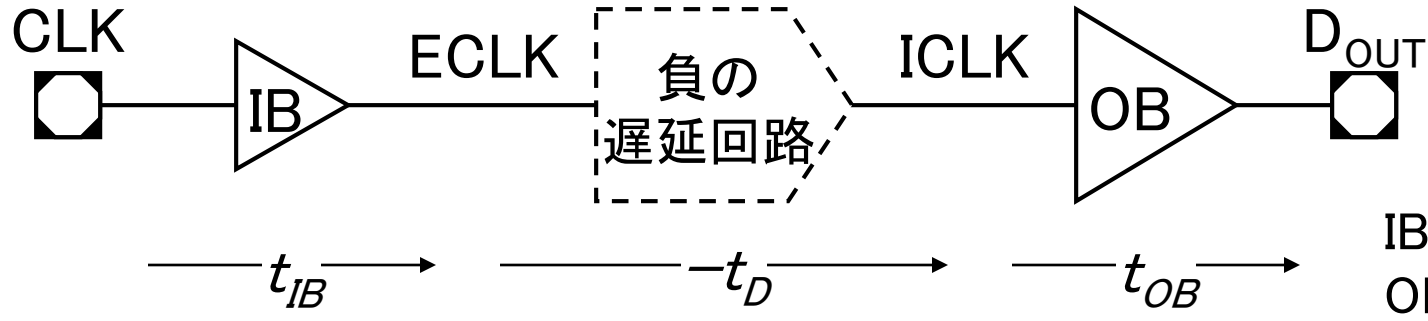
CP: Charge Pump

LPF: Low Pass Filter

VCDL: Voltage-Controlled Delay Line

RD: Replica Delay

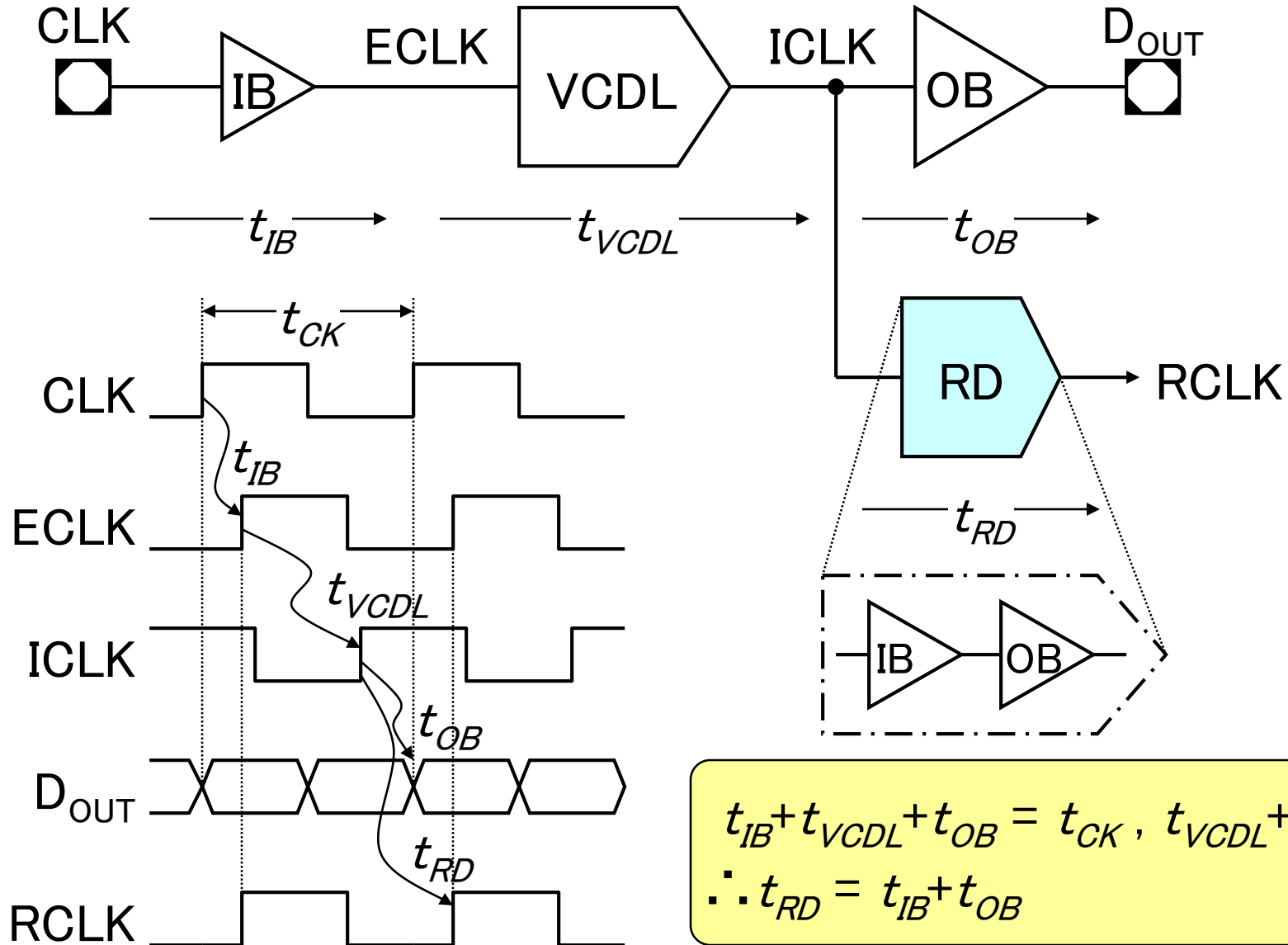
もし負の遅延回路があったら……



目的: CLKとD_{OUT}の同期

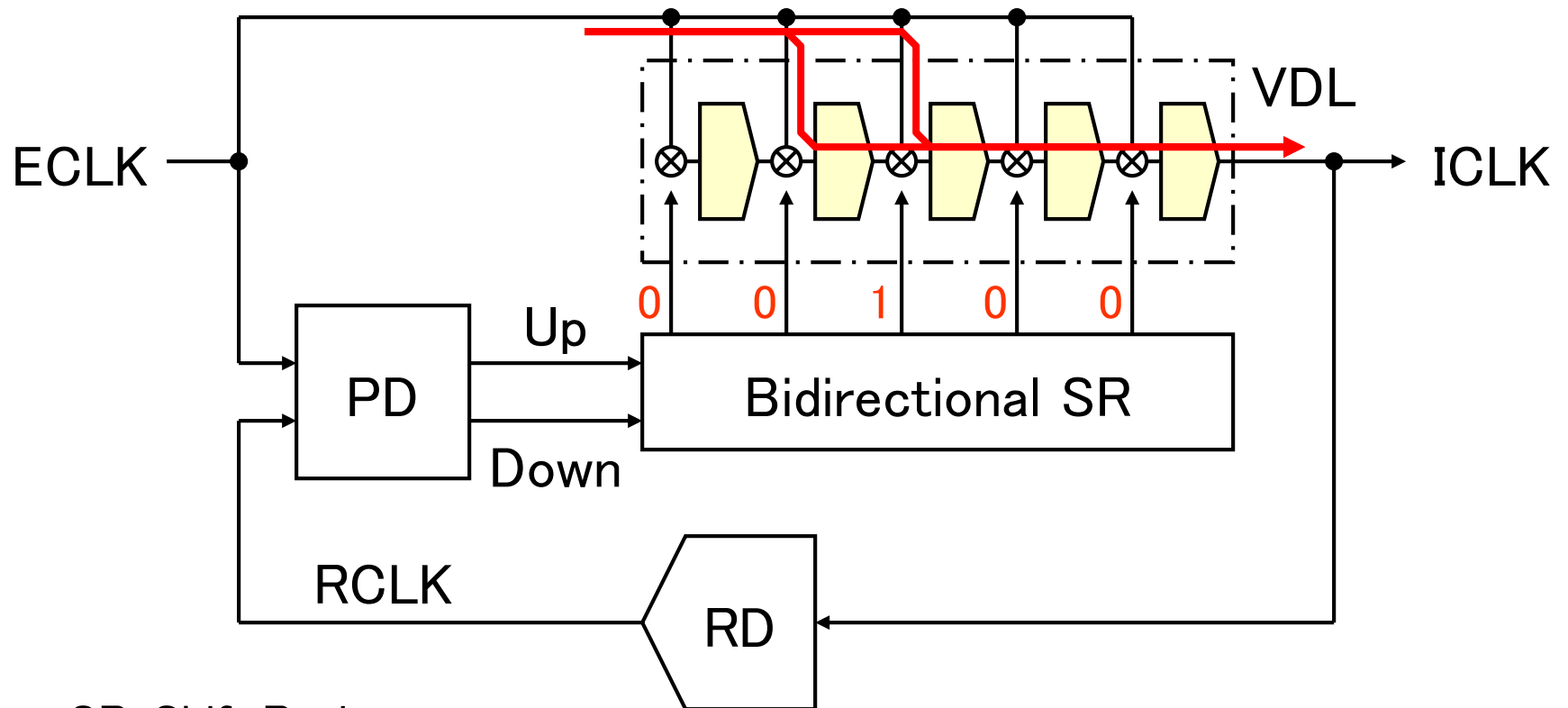
$$t_D = t_{IB} + t_{OB}$$

Replica Delay



デジタルDLL(1)

シフトレジスタ制御

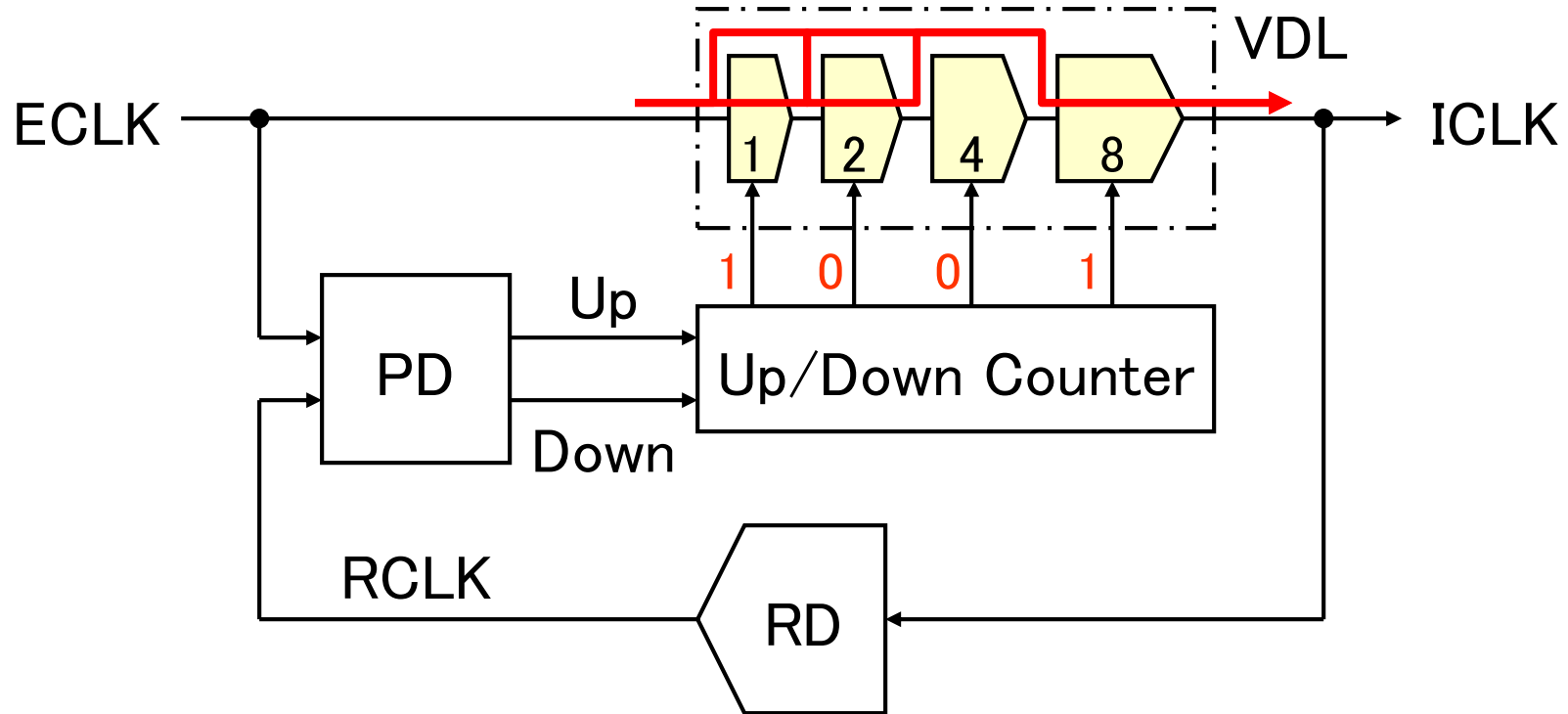


SR: Shift Register

VDL: Variable Delay Line

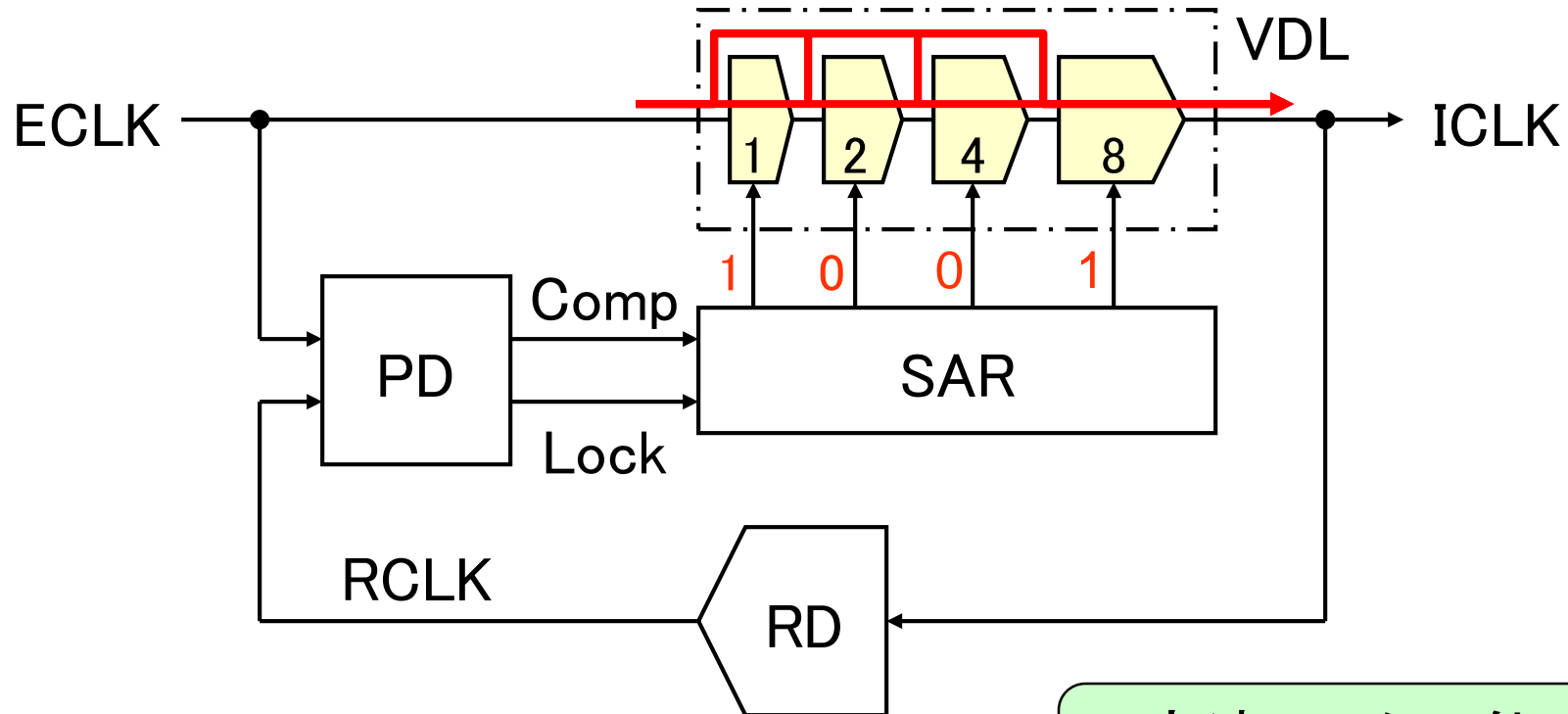
デジタルDLL(2)

カウンタ制御



デジタルDLL(3)

逐次比較制御

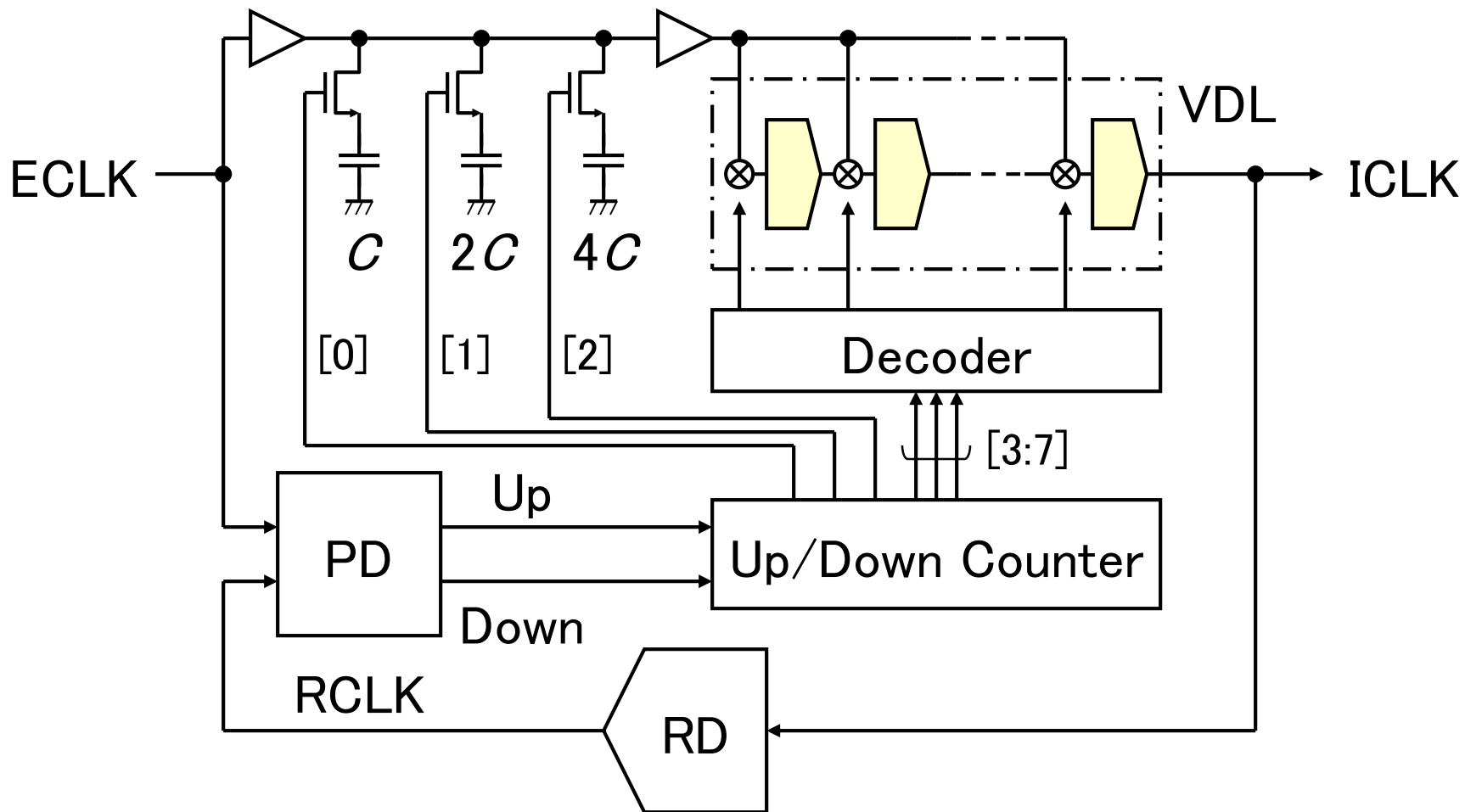


SAR: Successive Approximation Register

- 高速ロック可能
- ロック後の位相変化には追従困難

デジタルDLL(4)

粗調／微調遅延回路



アナログDLL vs. デジタルDLL

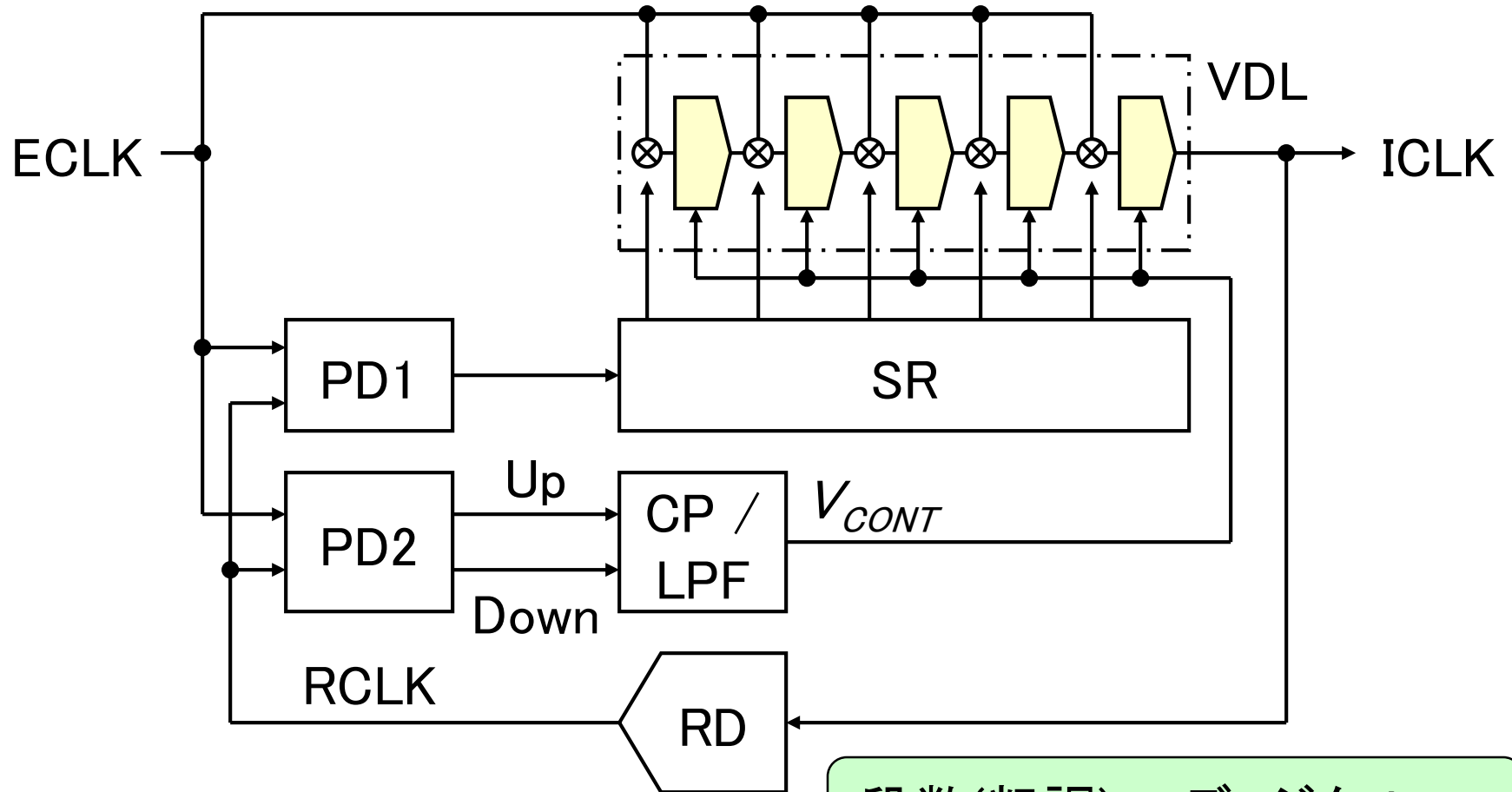
アナログ

- 連続的制御可能
位相誤差小
- 周波数レンジ狭い
- PVT変動の影響大
- ロック時間大

デジタル

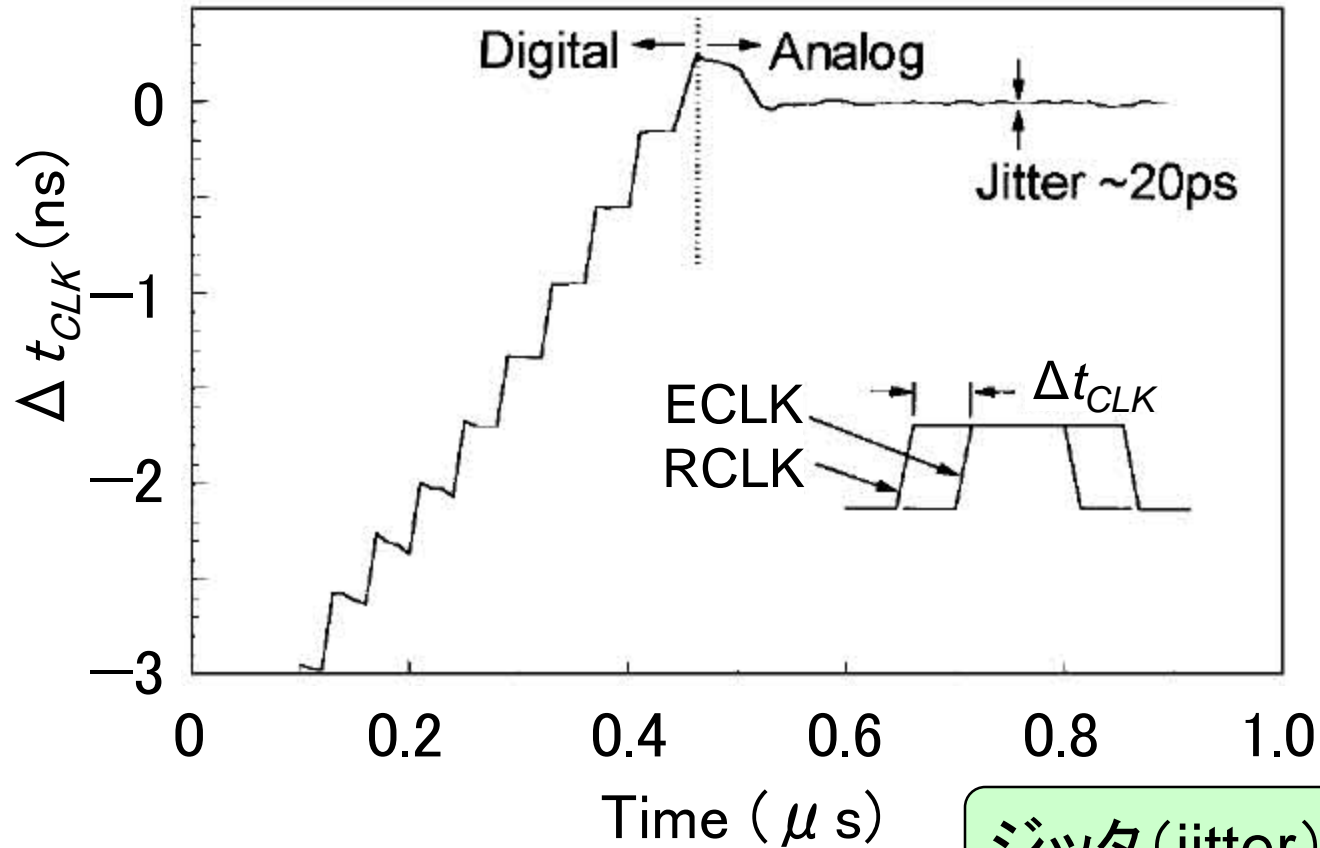
- 量子化誤差あり
位相誤差大
- 周波数レンジ広い
- PVT変動の影響
比較的小
- ロック時間小

Mixed-Mode DLL



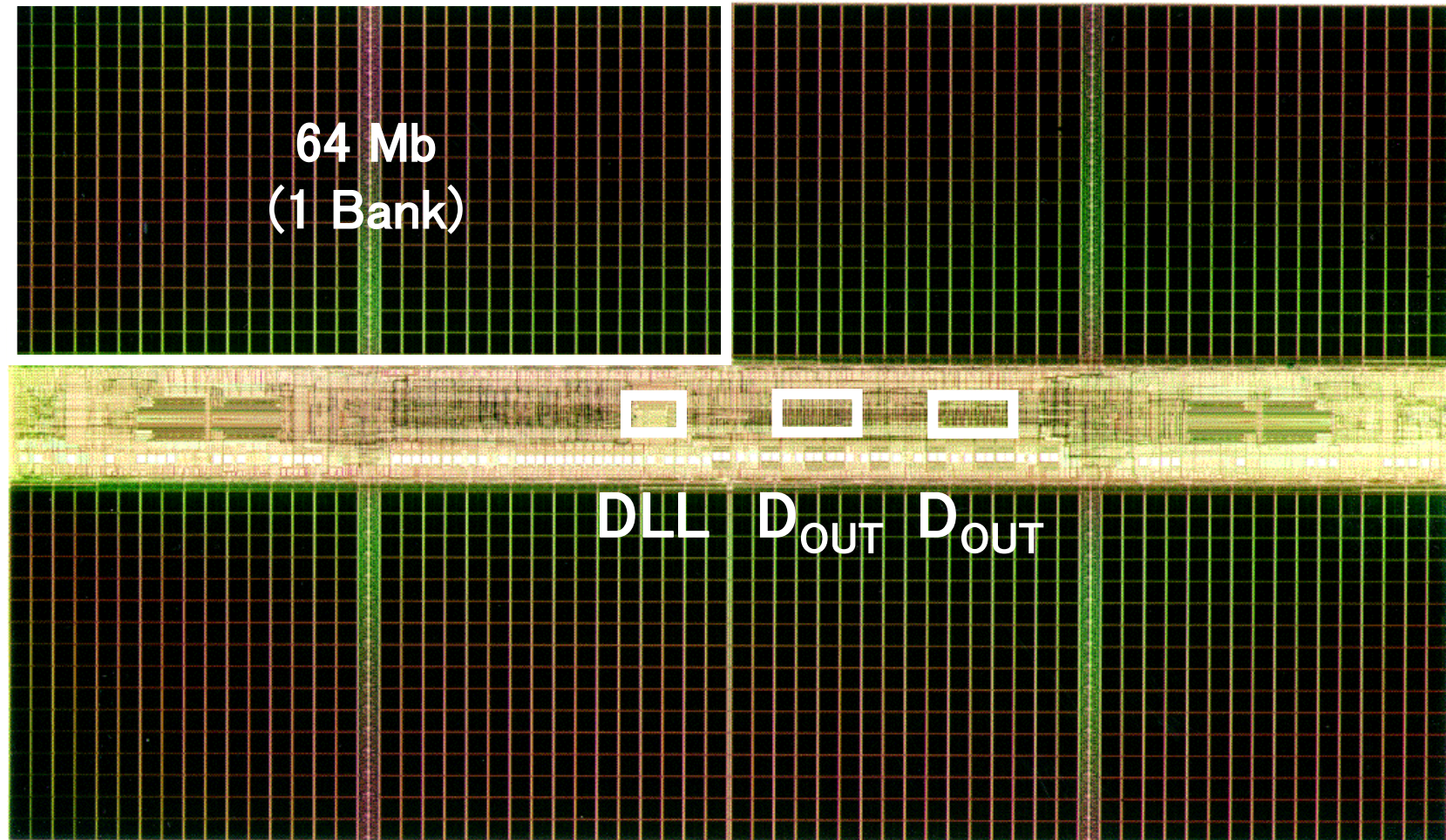
段数(粗調): デジタル
遅延 / 段(微調): アナログ

Mixed-Mode DLLの動作波形



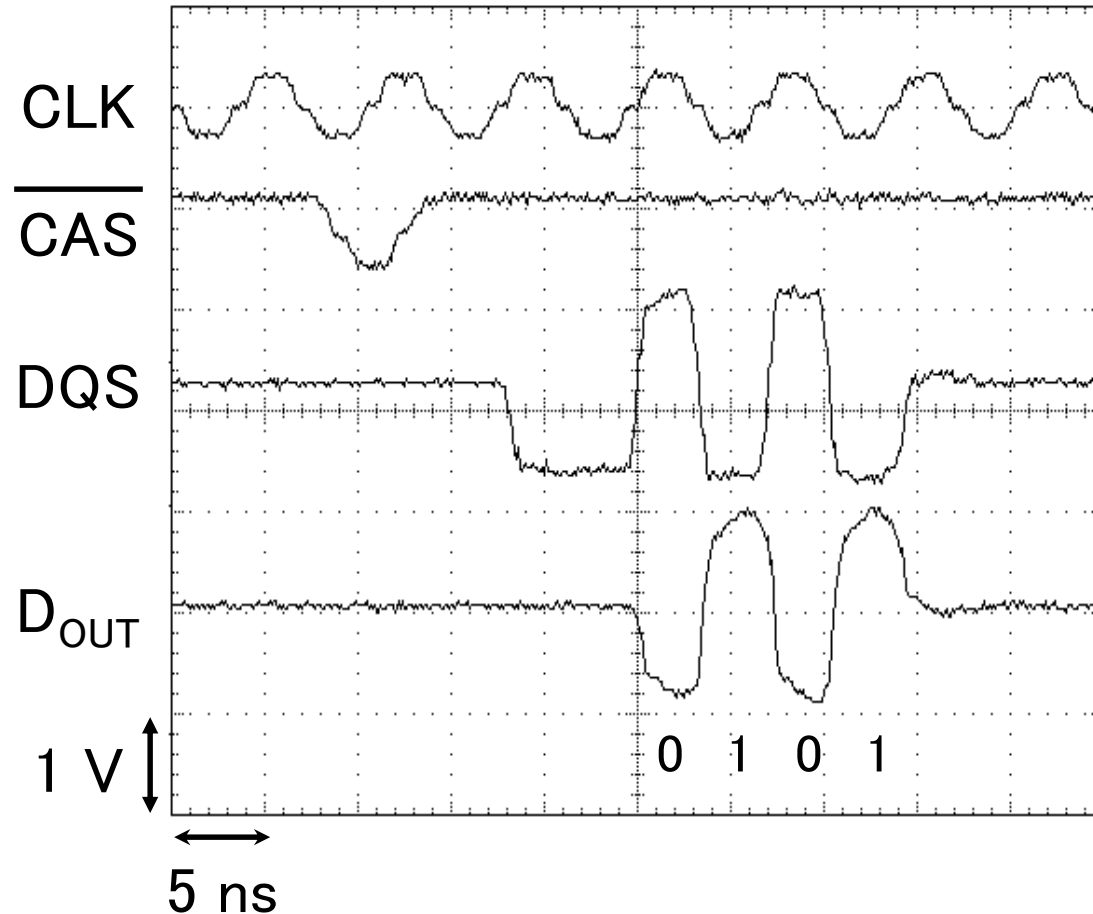
ジッタ (jitter) : 周波数/位相
のゆらぎ

メモリ(DDR-SDRAM)への適用例



H. Yahata, Symp. VLSI Circuits, p. 74, June 2000.

メモリ(DDR-SDRAM)への適用例

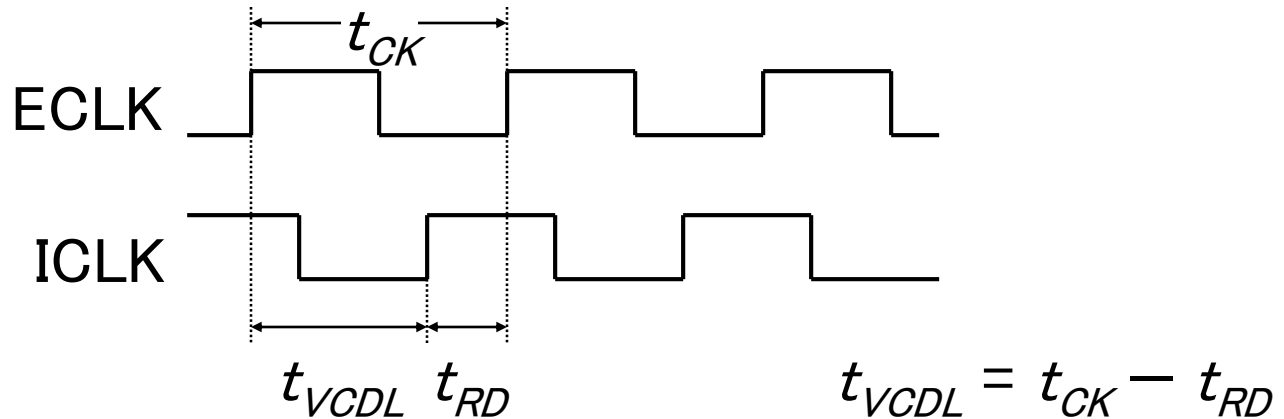


$$t_{CK} = 7.0 \text{ ns } (@ V_{CC} = 2.5 \text{ V}, T = 25^\circ \text{ C})$$

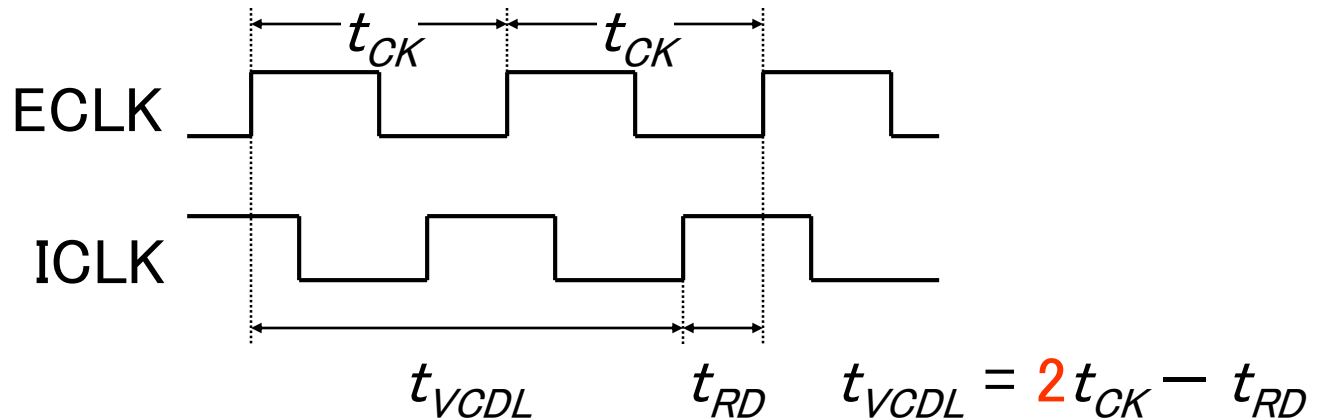
H. Yahata, Symp. VLSI Circuits, p. 74, June 2000.

擬似ロックの問題

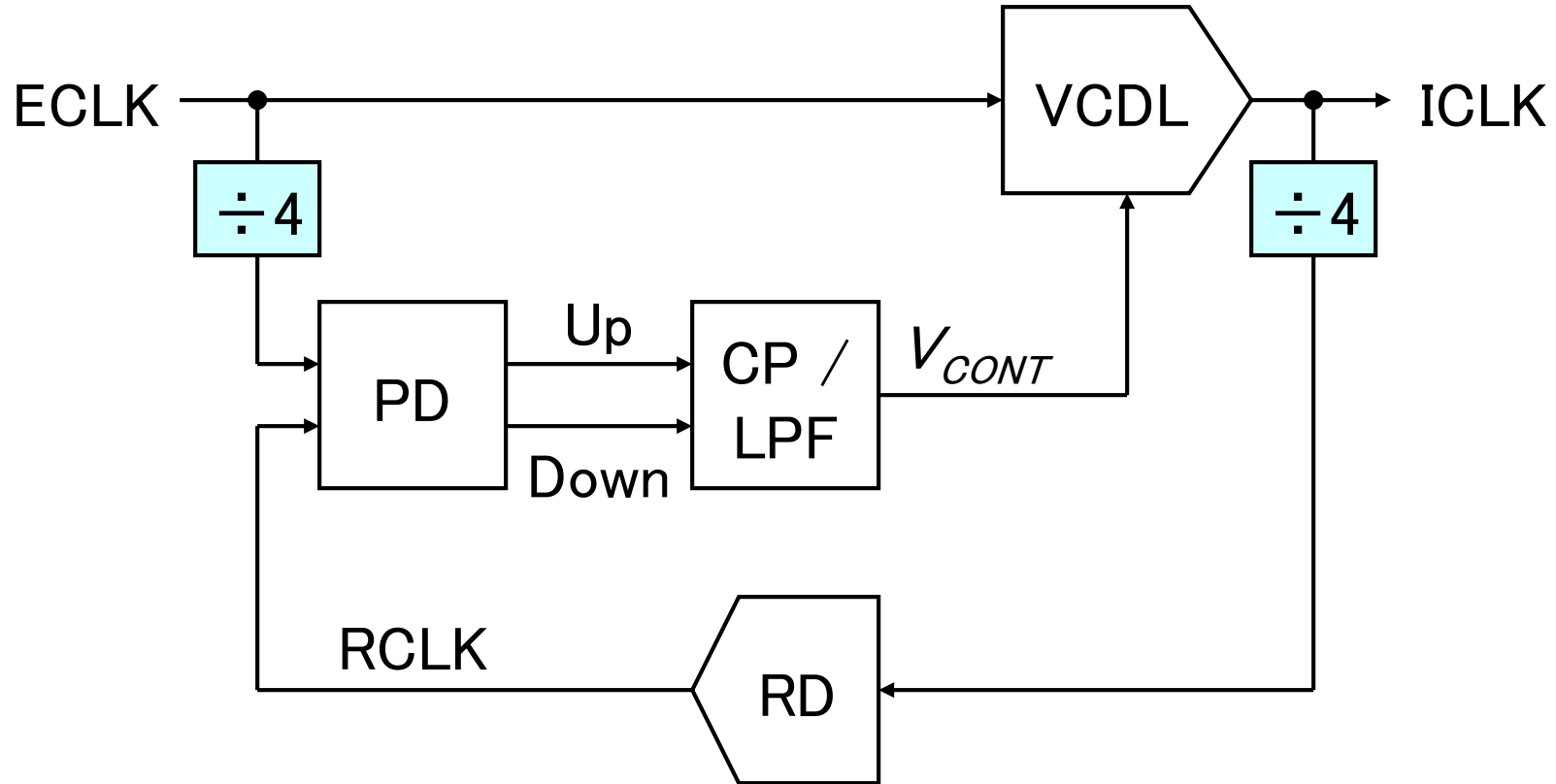
正常ロック



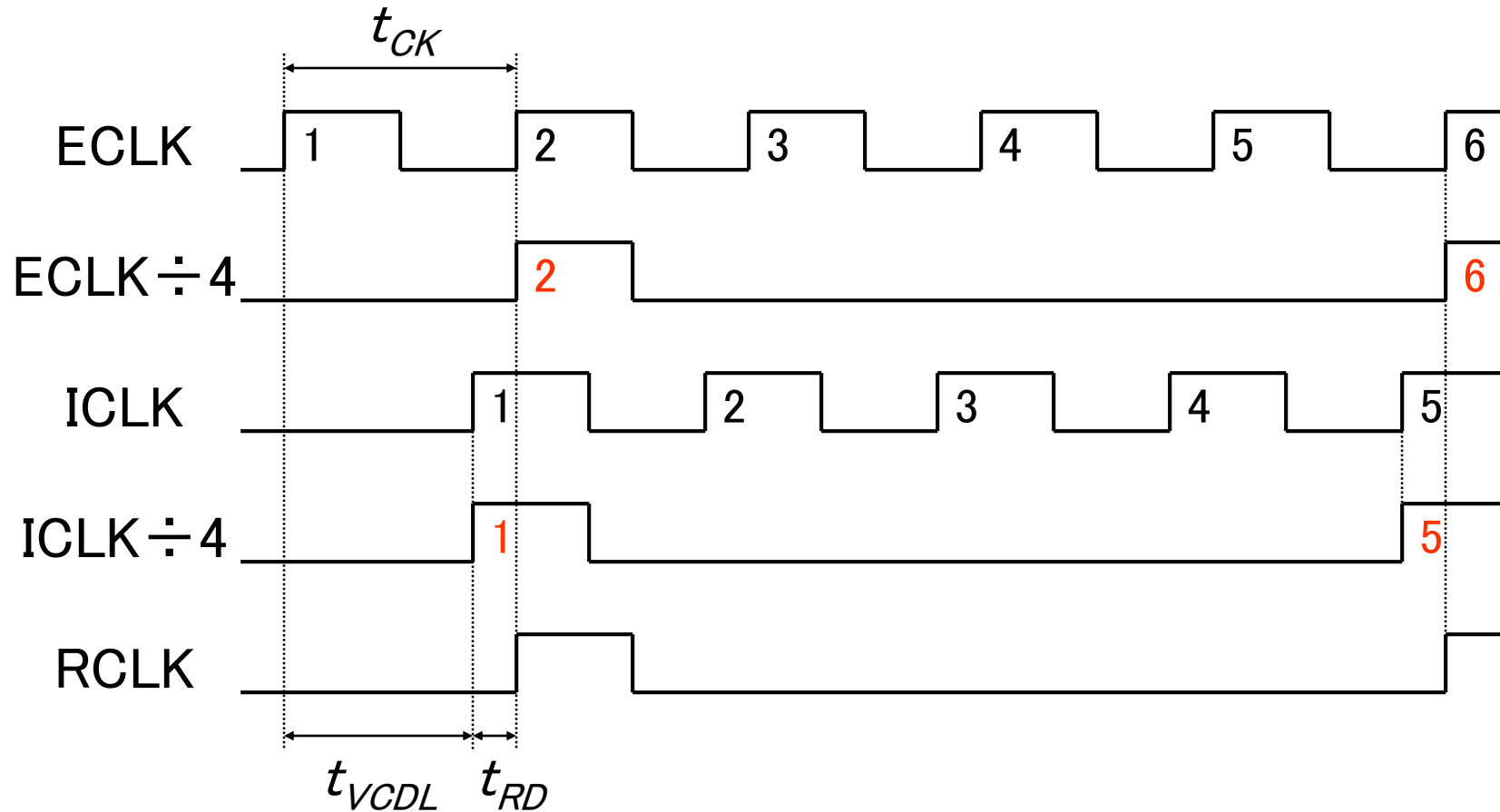
擬似ロック



擬似ロック防止方法

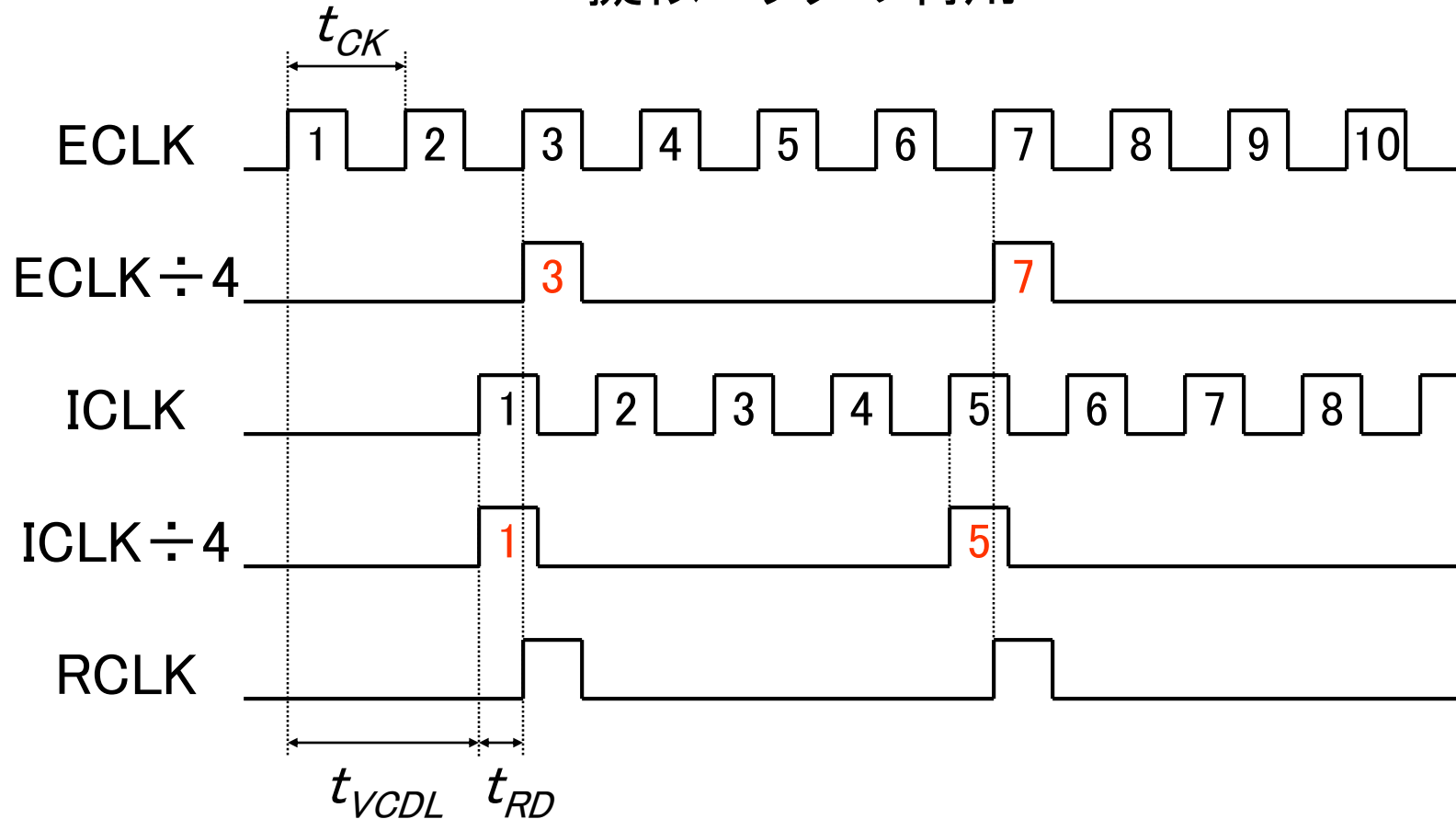


擬似ロック防止方法



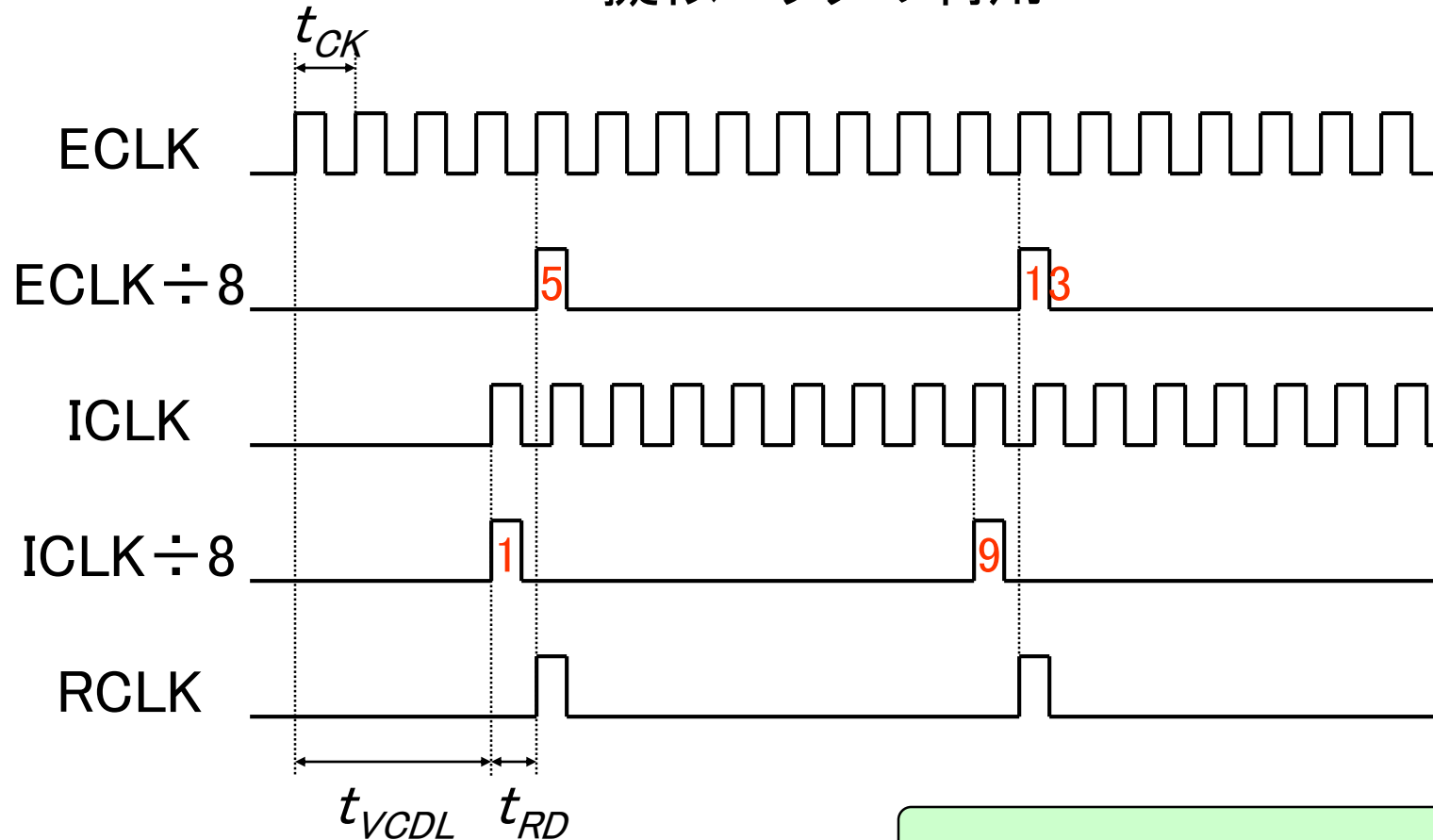
ロックモード可変DLL(2サイクルロック)

擬似ロックの利用



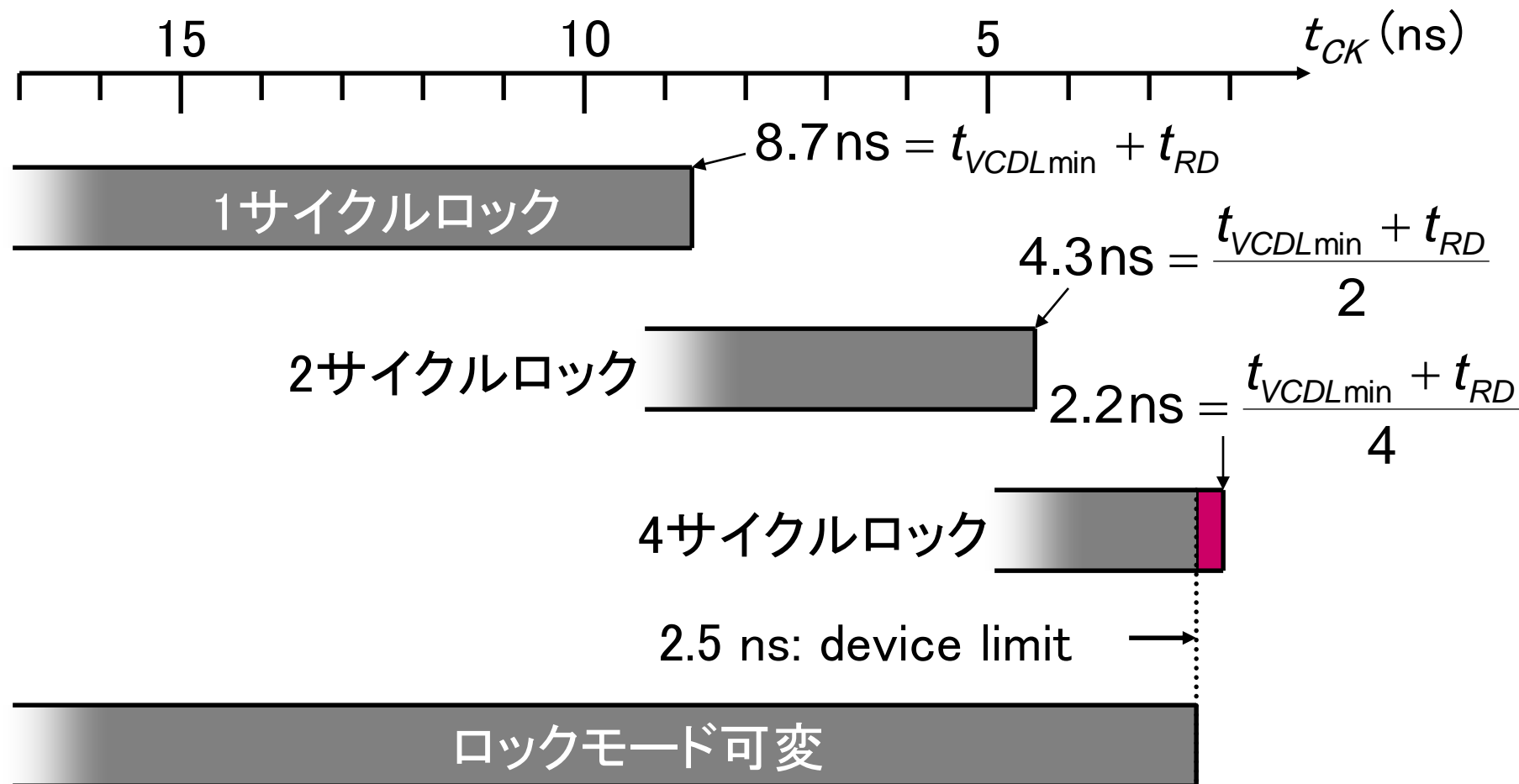
ロックモード可変DLL(4サイクルロック)

擬似ロックの利用



周波数レンジ拡大可能

周波数レンジの拡大



Y. Okuda, Symp. VLSI Circuits, p. 37, June 2001.

PLL vs. DLL

PLL

- 位相の蓄積効果あり
入力ジッタを落とせる
- 周波数確定しやすい
- ロックするまでにアナログ的な引き込みが必要

DLL

- 位相の蓄積効果なし
入力位相の瞬時変化に追いつく
- 周波数逡倍は困難
- 短ロック可能