

システム集積回路工学論

第6回 低電圧・高精度CMOSバンドギャップレファレンス回路

群馬大学客員教授 堀口真志

目次

- 1 背景
- 2 従来のBGR回路
- 3 低電圧・高精度BGR回路
- 4 実測結果
- 5 まとめ

背景

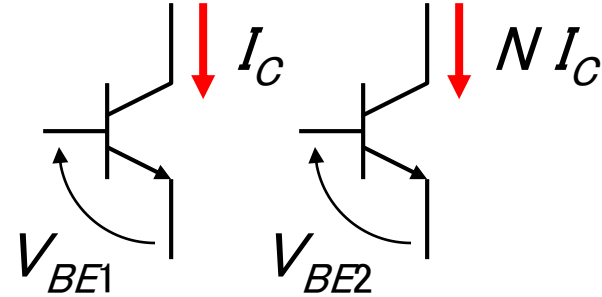
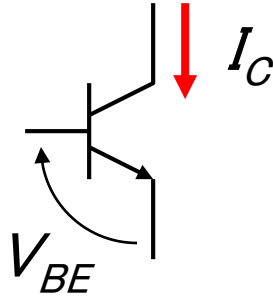
Bandgap reference回路 (BGR回路)

- ・高精度化
 - 温度ドリフト (線形、非線形) の低減
 - 電圧ばらつき の低減
 - トリミング …… テストコスト、製造コスト の増加
- ・低動作電圧化
 - 出力電圧 ~ 1.2 V による制約
 - 電源電圧 の低下に伴う低動作電圧化 の要求

目次

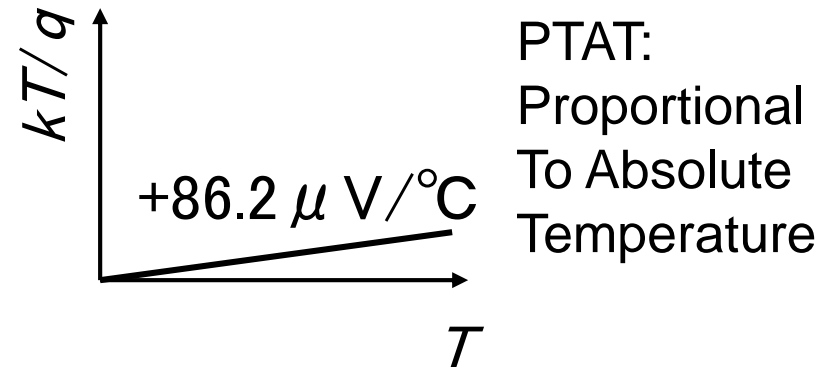
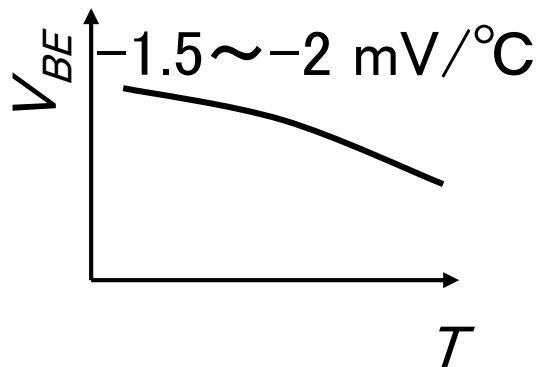
- 1 背景
- 2 従来のBGR回路
- 3 低電圧・高精度BGR回路
- 4 実測結果
- 5 まとめ

BGR回路の原理



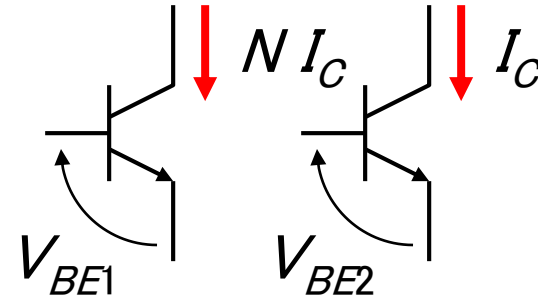
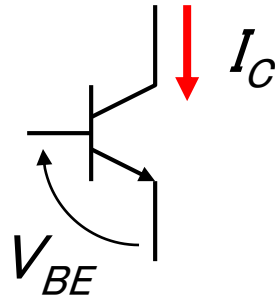
$$\Delta V_{BE} = V_{BE2} - V_{BE1} = \frac{kT \ln N}{q}$$

k : Boltzmann定数 q : 素電荷

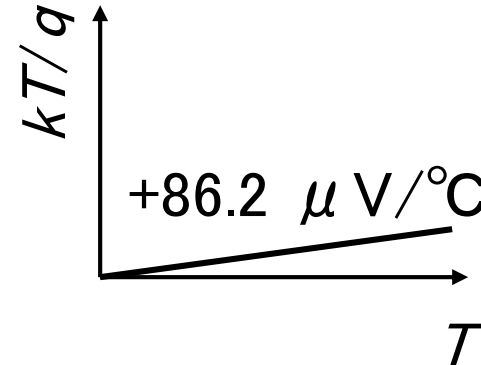
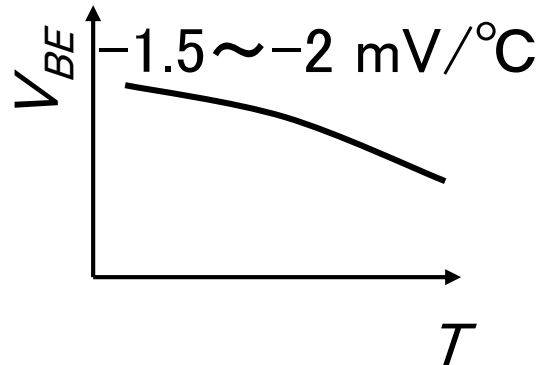


$V_{BGR} = a \cdot V_{BE} + b \cdot kT/q$ 温度依存性キャンセル可能
普通の設計: $a = 1$, $b = 18 \sim 23$, $V_{BGR} = 1.2 \sim 1.25\text{V}$

低電圧BGR回路の原理



$$\Delta V_{BE} = V_{BE1} - V_{BE2} = \frac{kT \ln N}{q}$$

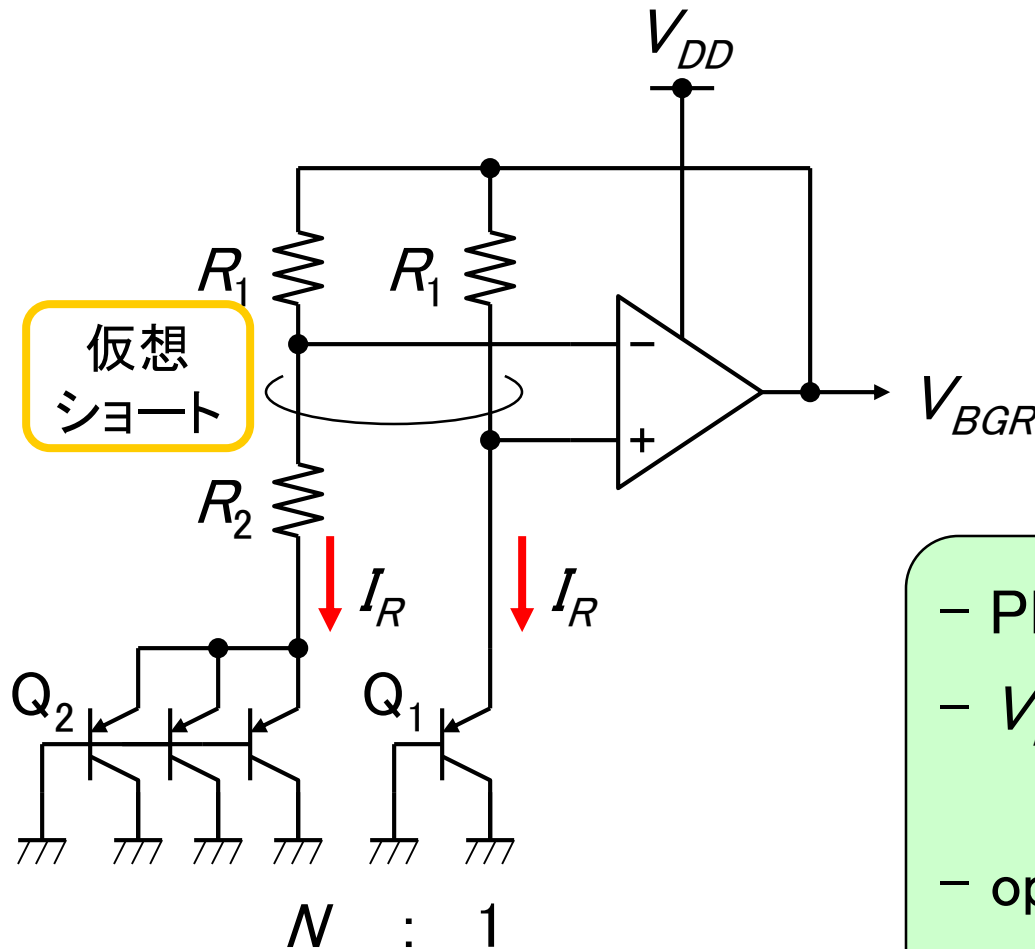


$$V_{BGR} = a \cdot V_{BE} + b \cdot kT/q$$

普通の設計: $a = 1$, $b = 18 \sim 23$, $V_{BGR} = 1.2 \sim 1.25\text{V}$

低電圧用設計: $a < 1$, $b/a = 18 \sim 23$, $V_{BGR} = 1.2 \sim 1.25\text{V} \times a$

従来型BGR回路



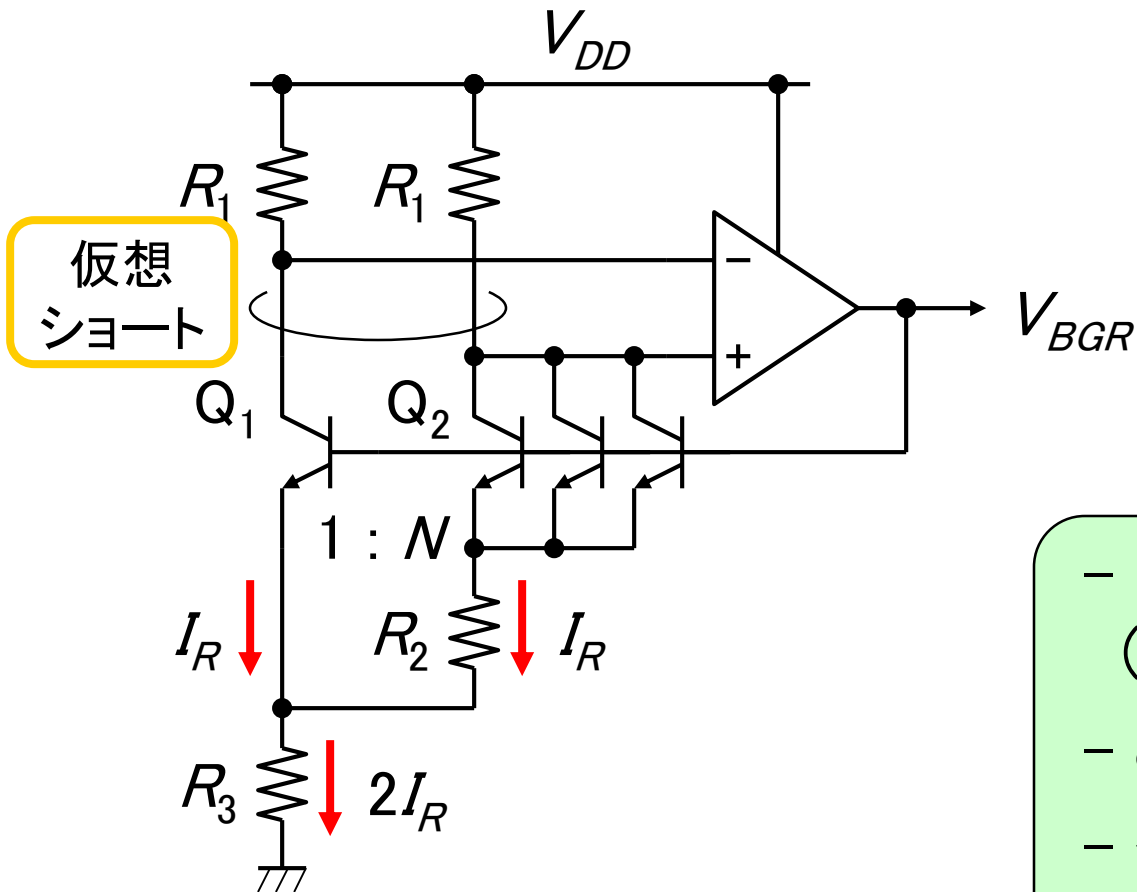
$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$V_{BGR} = V_{BE1} + I_R R_1$$

$$= V_{BE1} + \frac{kT}{q} \cdot \frac{R_1 \ln N}{R_2}$$

- PNP寄生バイポーラ使用
- $V_{DDmin} = \max(1.25V + \alpha, \text{op-amp動作電圧})$
- op-ampのオフセット要注意
- 位相余裕確保必要

高精度BGR回路

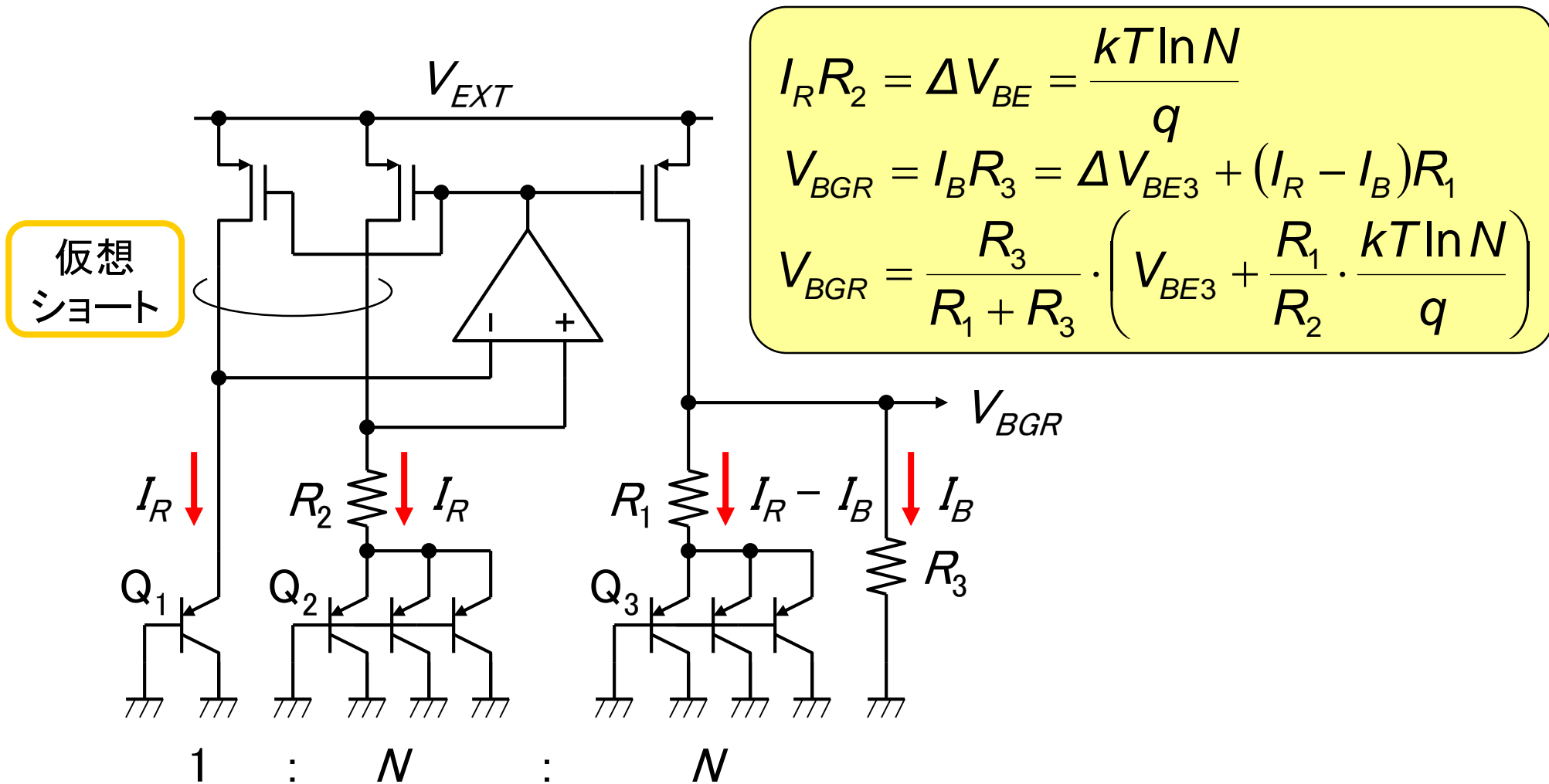


$$I_R R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$\begin{aligned} V_{BGR} &= V_{BE1} + 2I_R R_3 \\ &= V_{BE1} + \frac{kT}{q} \cdot \frac{2R_3 \ln N}{R_2} \end{aligned}$$

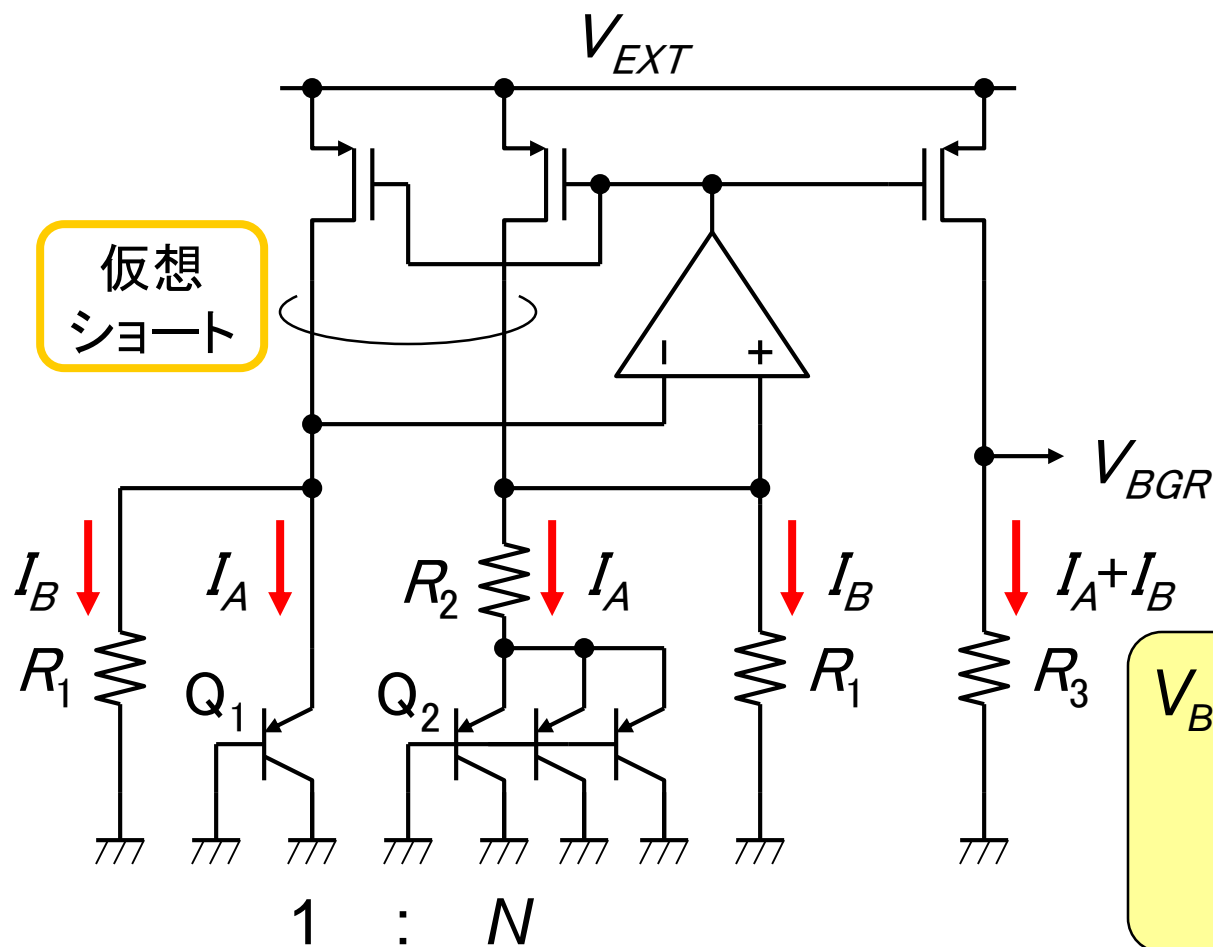
- NPN寄生バイポーラ使用
(三重ウェル構造必要)
- op-ampオフセットの影響小
- 位相余裕確保必要
- V_{DDmin} が高い

低電圧BGR回路(1)



H. Neuteboom, IEEE J. SSC, 32, p.1790, Nov. 1997

低電圧BGR回路(2)

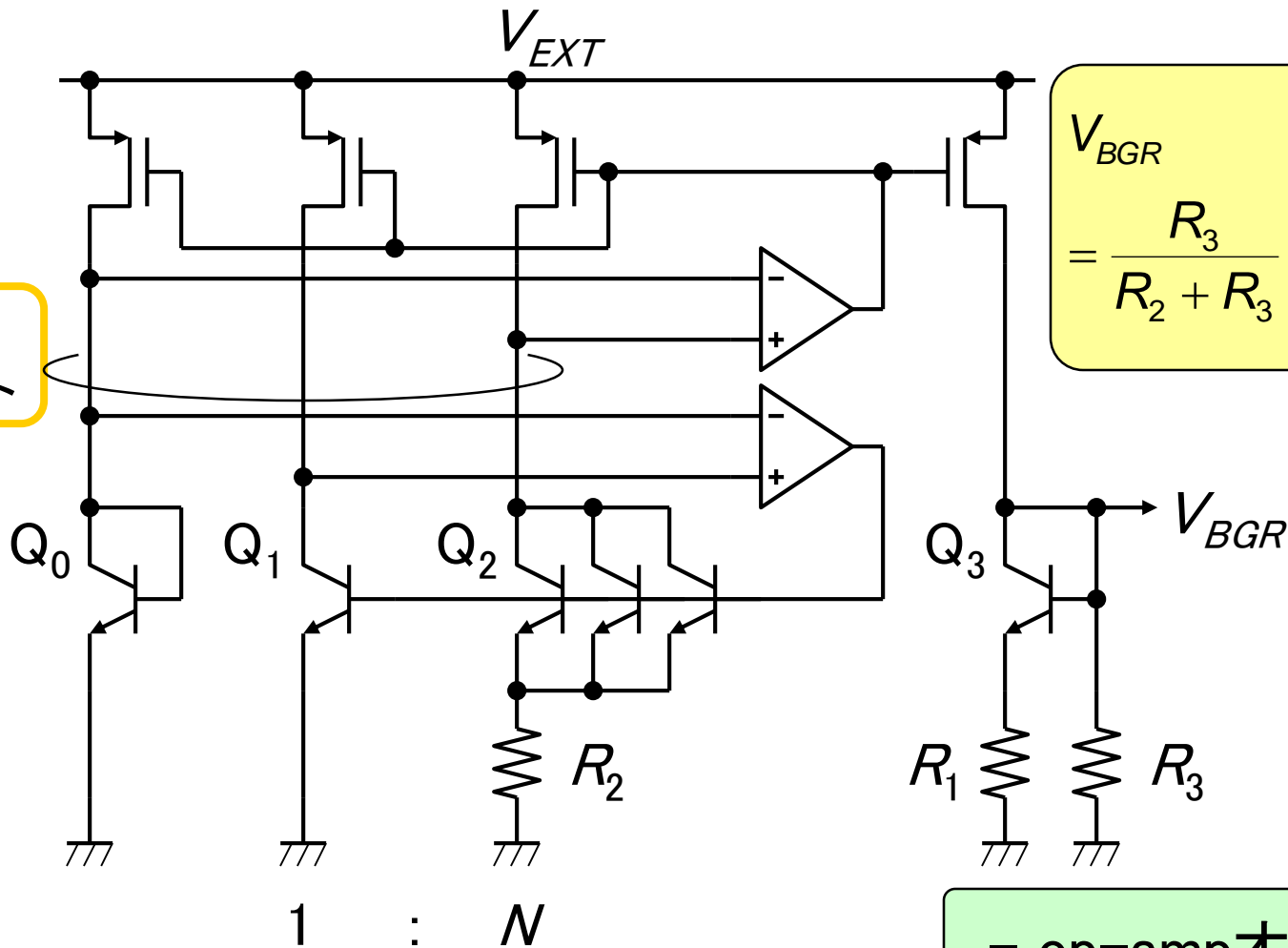


$$I_A R_2 = \Delta V_{BE} = \frac{kT \ln N}{q}$$

$$I_B R_1 = V_{BE1}$$

$$\begin{aligned} V_{BGR} &= (I_A + I_B) R_3 \\ &= \frac{R_3}{R_1} \cdot V_{BE1} + \frac{R_3}{R_2} \cdot \frac{kT \ln N}{q} \end{aligned}$$

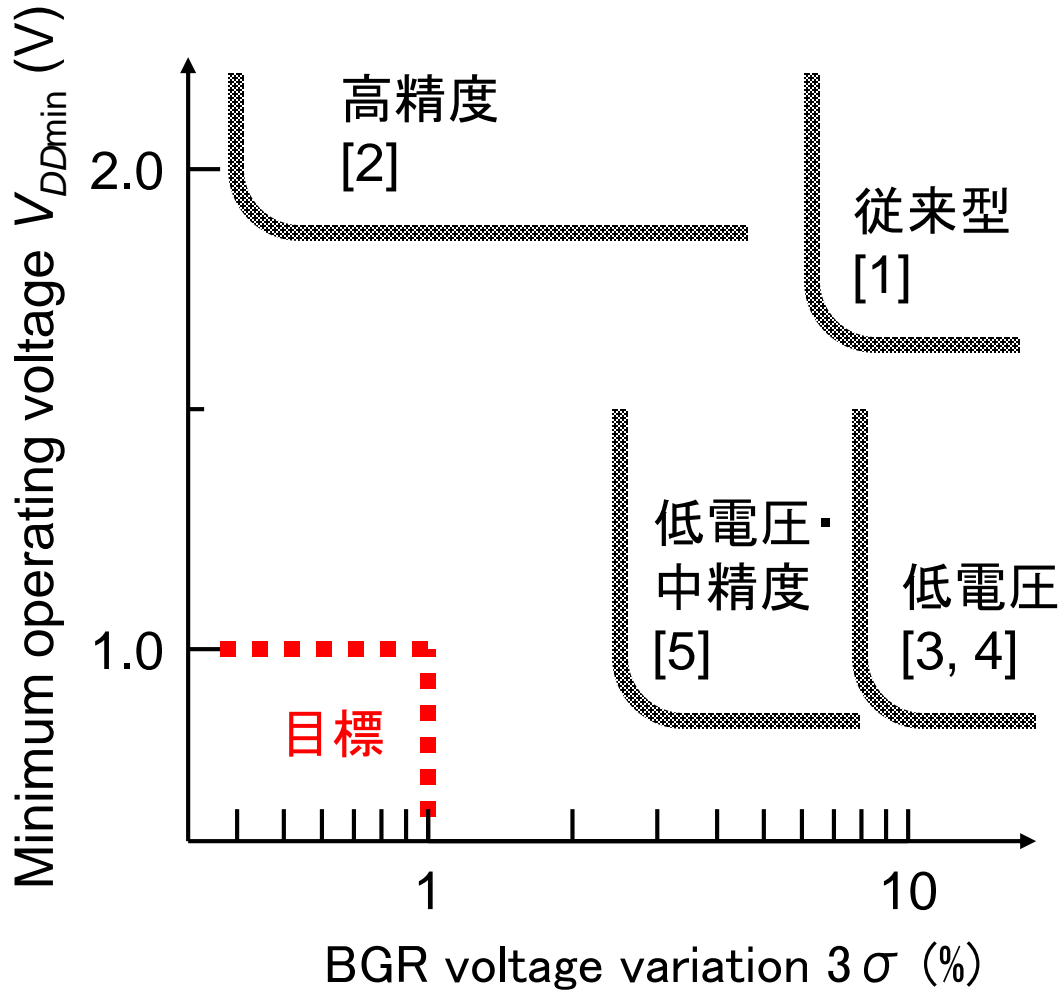
低電圧・中精度BGR回路



$$V_{BGR} = \frac{R_3}{R_2 + R_3} \cdot \left(V_{BE3} + \frac{R_2}{R_1} \cdot \frac{kT \ln N}{q} \right)$$

- op-ampオフセットの影響小

電圧ばらつきと動作下限電圧



- [1] K. E. Kuijk, IEEE J. SSC, SC-8, p. 222, June 1973.
- [2] A. P. Brokaw, IEEE J. SSC, SC-9, p.388, Dec. 1974
- [3].H. Neuteboom, IEEE J. SSC 32, p.1790, Nov. 1997
- [4] H. Banba, IEEE J. SSC, 34, p.670, May 1999
- [5] Y. Okuda, Symp. VLSI Circuits, p. 96, June 2007

V_{BE} の温度依存性

$$V_{BE} = \underbrace{V_G(T) - \frac{T}{T_R} \{V_G(T_R) - V_{BE}(T_R)\}}_{\text{線形}} - \underbrace{(\eta - m) \frac{kT}{q} \ln\left(\frac{T}{T_R}\right)}_{\text{非線形 (上に凸)}}$$

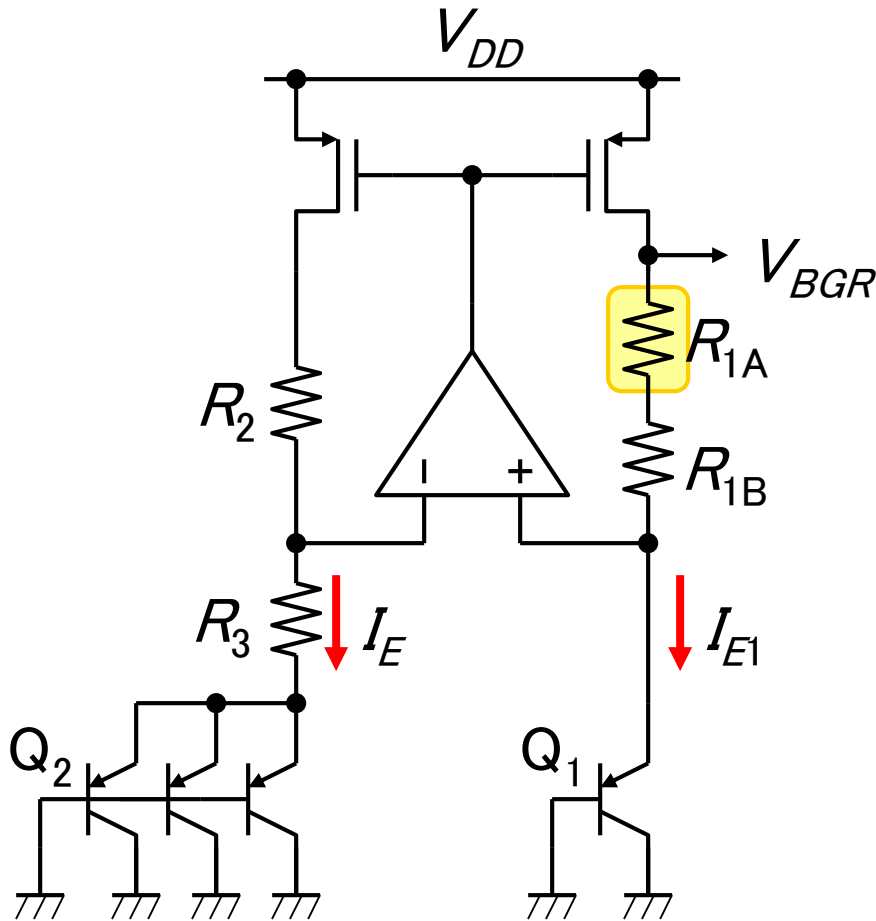
V_G : Bandgap電圧

T_R : Reference温度

η : バイポーラの構造に依存する定数、3.6~4

m : コレクタ電流 I_C の温度依存性、 $I_C \propto T^m$
PTATの場合、 $m = 1$

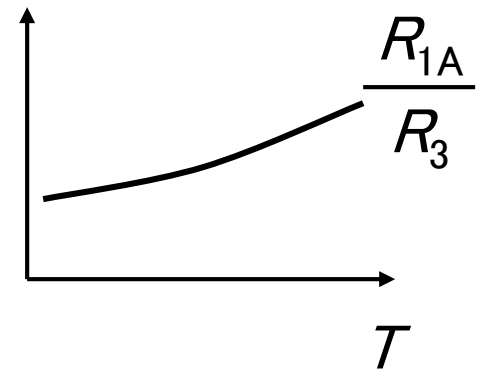
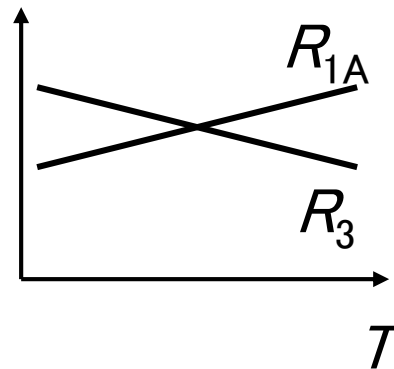
Curvature compensation (灣曲補正) BGR回路(1)



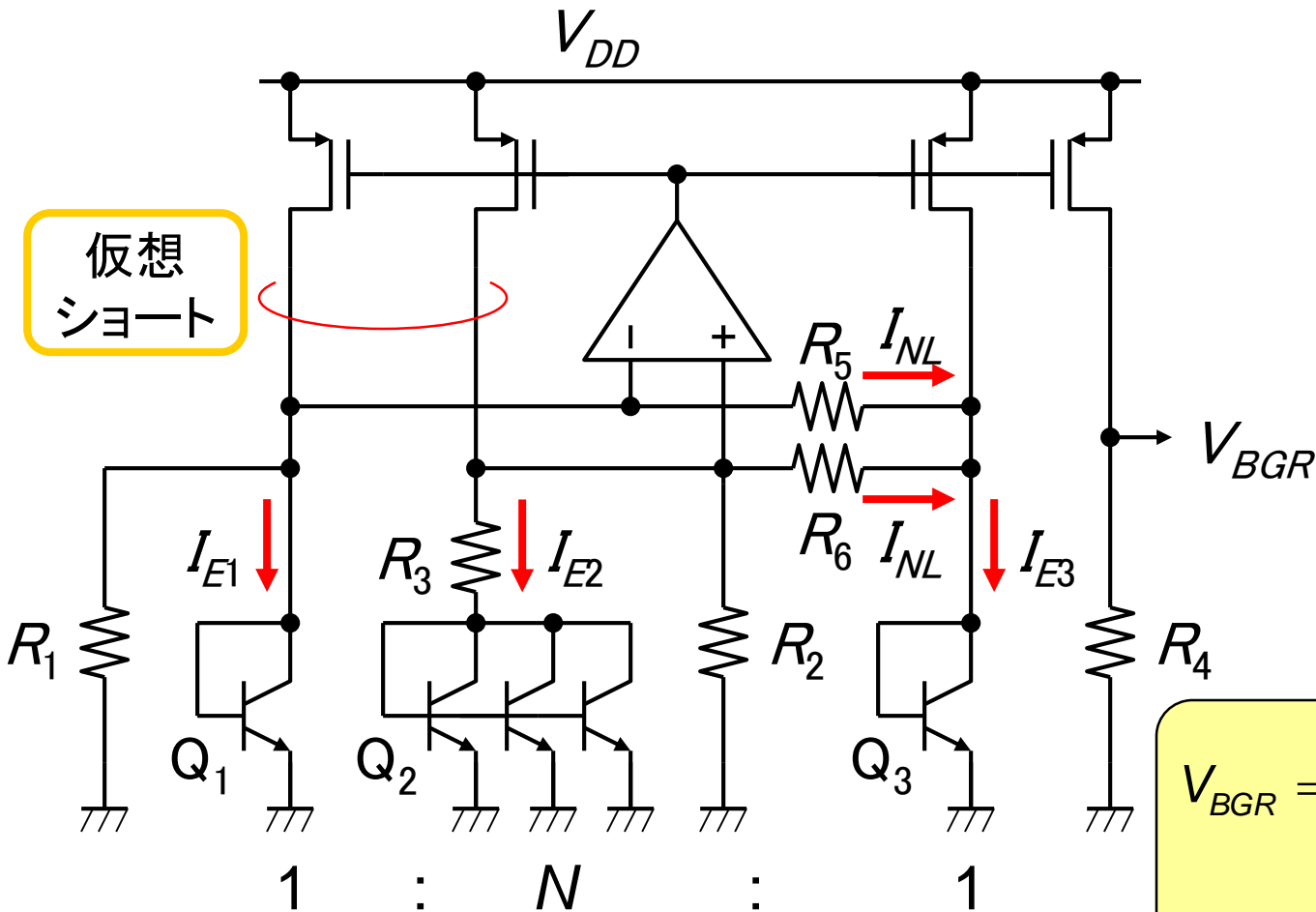
R_{1A} : 擴散層抵抗 (溫度係數 > 0)
 R_{1B}, R_2, R_3 : Poly-Si抵抗 (溫度係數 < 0)

$$V_{BGR} = V_{BE1} + I_E (R_{1A} + R_{1B})$$

$$= V_{BE1} + \frac{kT \ln N}{q} \left(\frac{R_{1A}}{R_3} + \frac{R_{1B}}{R_3} \right)$$



Curvature compensation (湾曲補正) BGR回路(2)



$$R_1 = R_2, R_5 = R_6$$

$$I_{E1} = I_{E2} = \frac{kT \ln N}{qR_3} \propto T^1$$

$$I_{E3} \propto T^0$$

$$I_{NL} = \frac{V_{BE1} - V_{BE3}}{R_5}$$

$$= \frac{kT}{qR_5} \ln \frac{T}{T_R}$$

$$V_{BGR} = \left(I_{E1} + \frac{V_{BE1}}{R_1} + I_{NL} \right) R_4$$

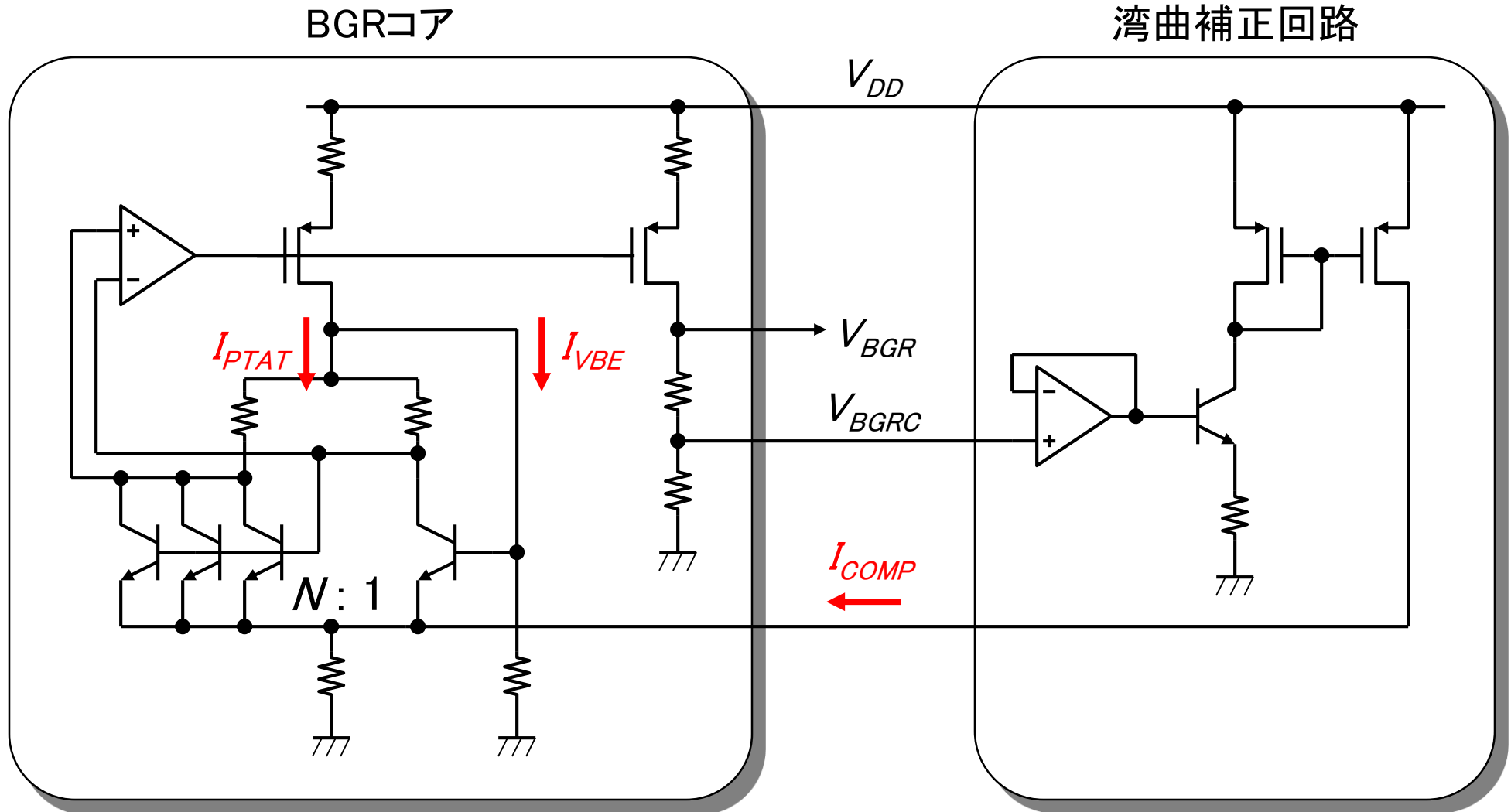
$$= (\text{線形}) + \underbrace{\left\{ \frac{R_4(\eta-1)}{R_1} - \frac{R_4}{R_5} \right\}}_{\text{キャンセル可能}} \frac{kT}{q} \ln \frac{T}{T_R}$$

キャンセル可能

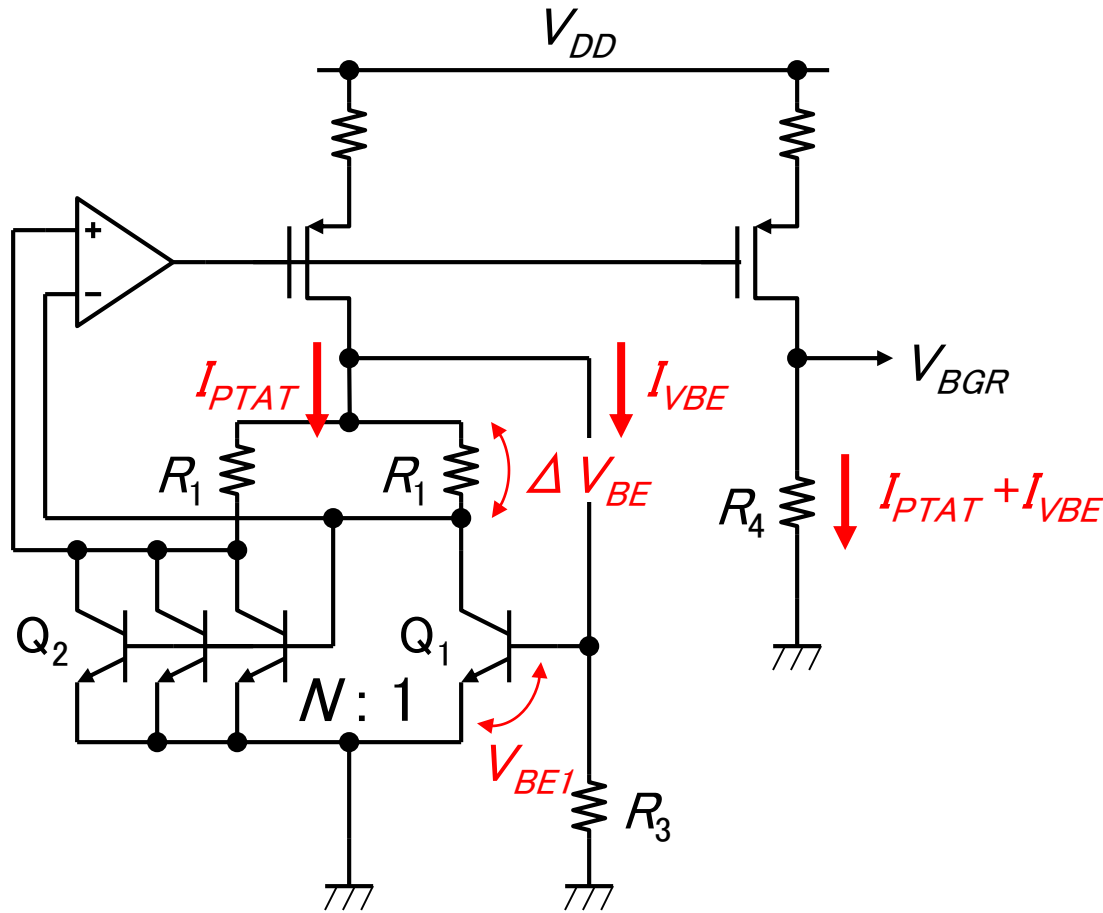
目次

- 1 背景
- 2 従来のBGR回路
- 3 低電圧・高精度BGR回路**
- 4 実測結果
- 5 まとめ

低電圧・高精度BGR回路の提案



BGRコア



$$\frac{I_{PTAT}}{2} = \frac{\Delta V_{BE}}{R_1} = \frac{kT \ln N}{qR_1}$$

$$I_{VBE} = \frac{V_{BE1}}{R_3}$$

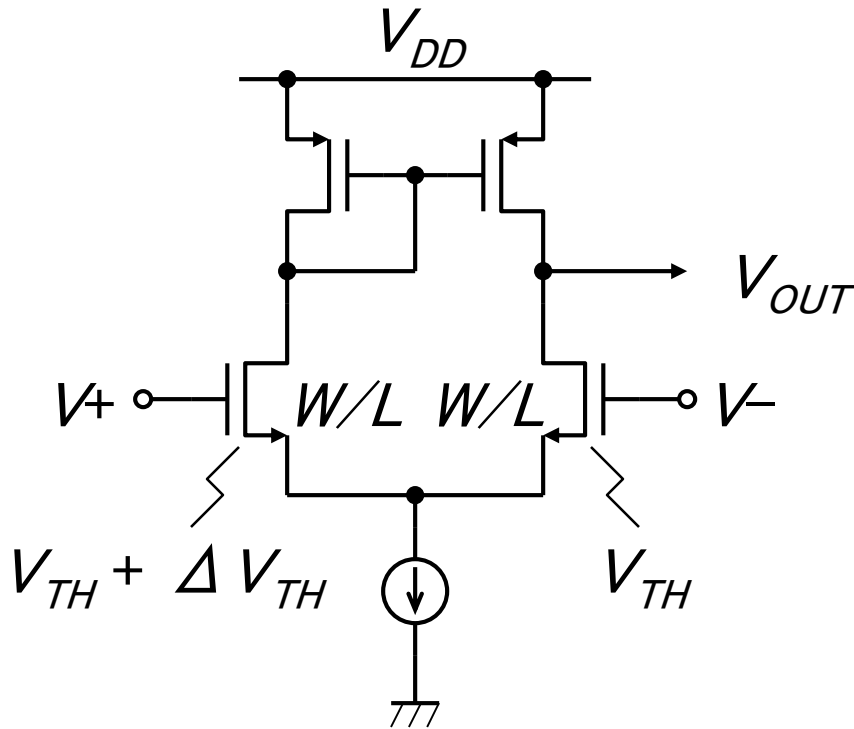
$$V_{BGR} = (I_{PTAT} + I_{VBE})R_4$$

$$= R_4 \left(\frac{V_{BE1}}{R_3} + \frac{2kT \ln N}{qR_1} \right)$$

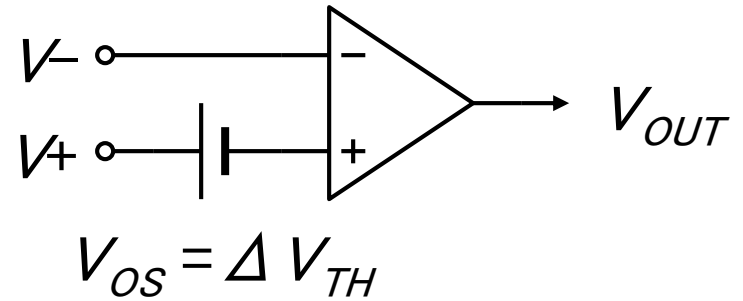
電圧ばらつき要因

- ・ オペアンプのオフセット電圧 non-PTAT
 - ・ バイポーラのグローバルばらつき (V_{BE} , h_{FE})
 - ・ バイポーラのローカルばらつき (V_{BE} , h_{FE})
 - ・ 抵抗のグローバルばらつき
 - ・ 抵抗のローカルばらつき
- } PTAT

オペアンプのオフセット電圧



等価回路

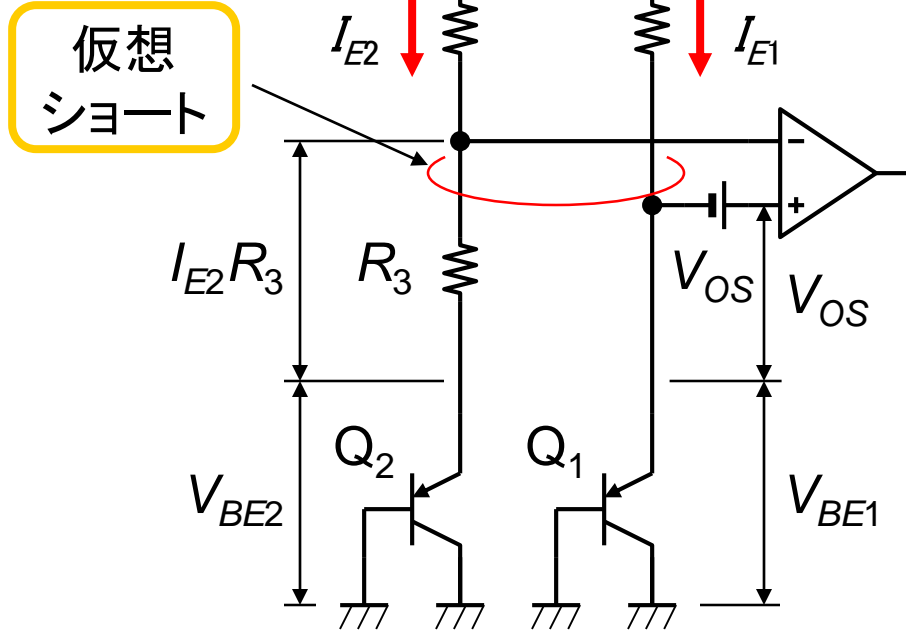


$$\sigma(V_{TH}) = \frac{q}{C_{OX}} \sqrt{\frac{N_A W_D}{3LW}}$$

$$\sigma(\Delta V_{TH}) = \sqrt{2} \cdot \sigma(V_{TH})$$

C_{OX} : ゲート絶縁膜の面積当り容量
 N_A : 不純物濃度
 W_D : 空乏層幅

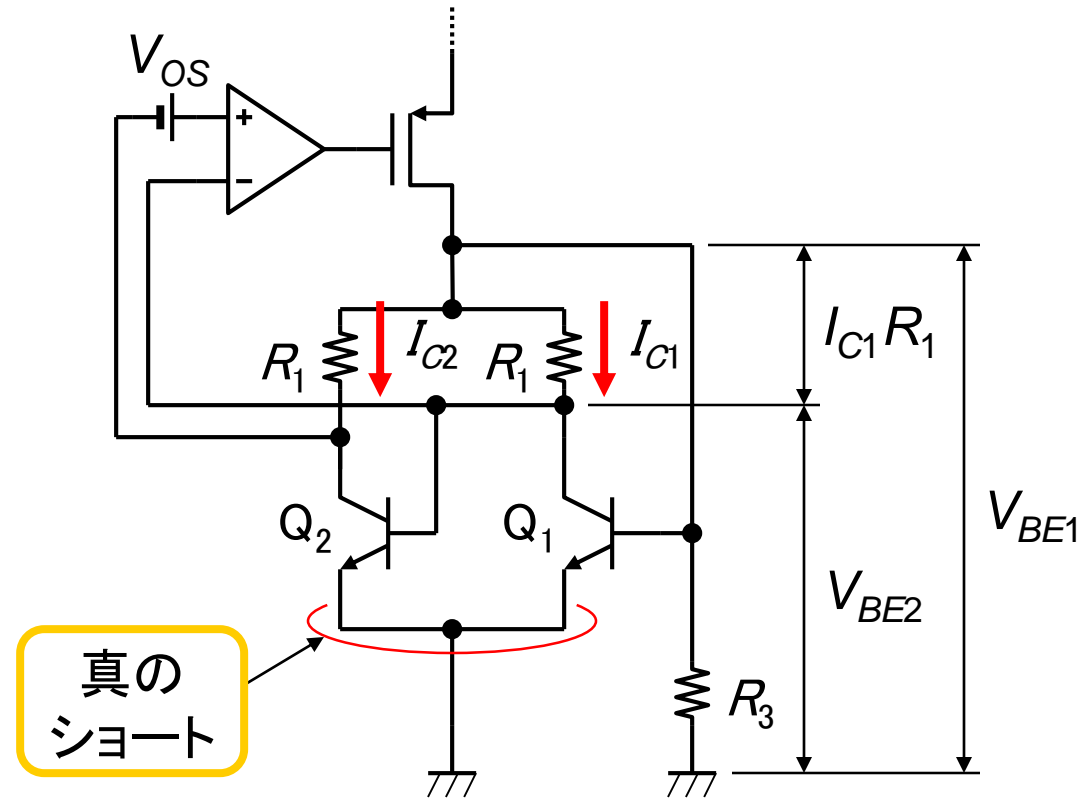
オペアンプオフセット電圧の影響



✗ $I_{E2} R_3 \neq V_{BE1} - V_{BE2}$

✗ $I_{E1} \neq I_{E2}$

Conventional BGR

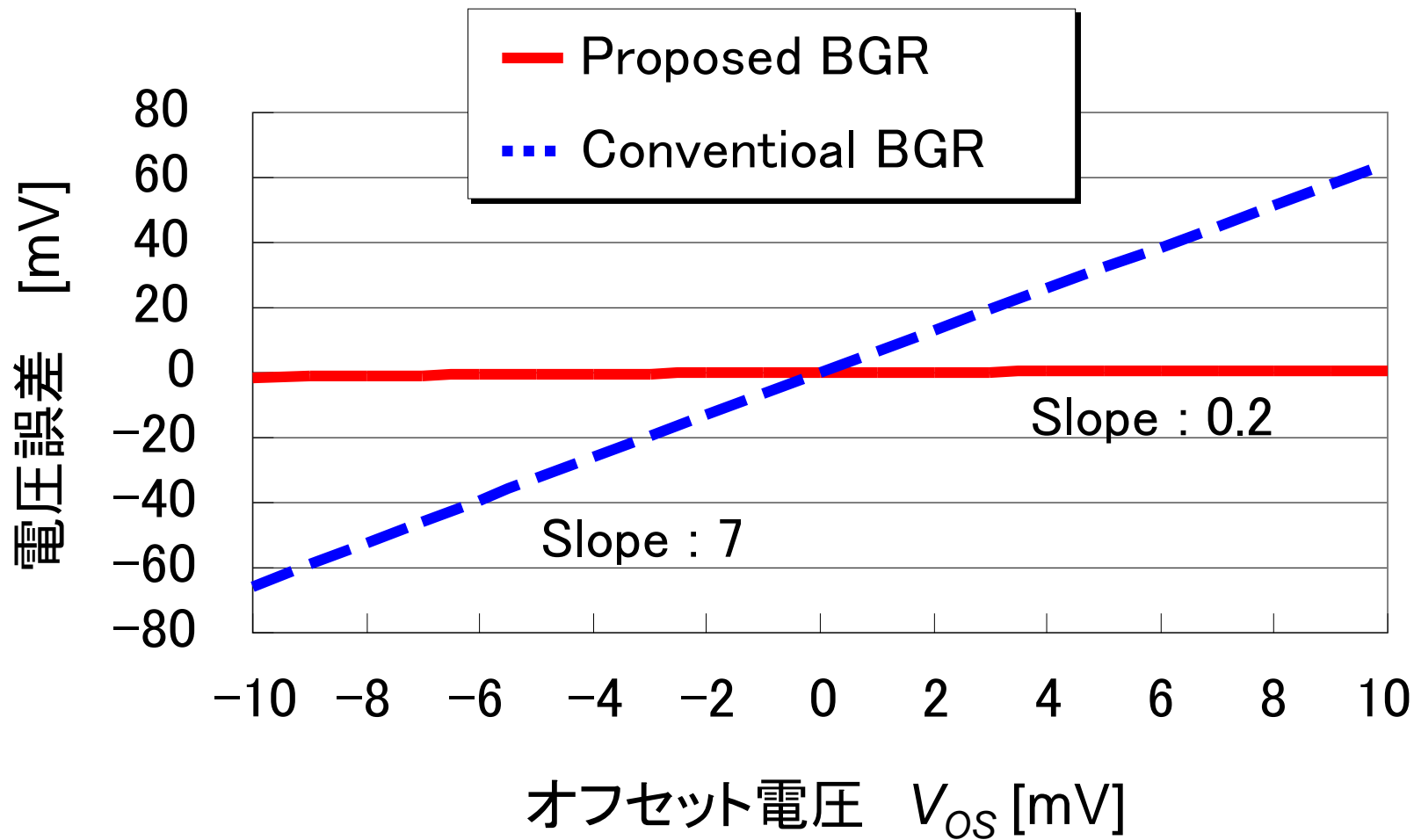


○ $I_{C1} R_1 = V_{BE1} - V_{BE2}$

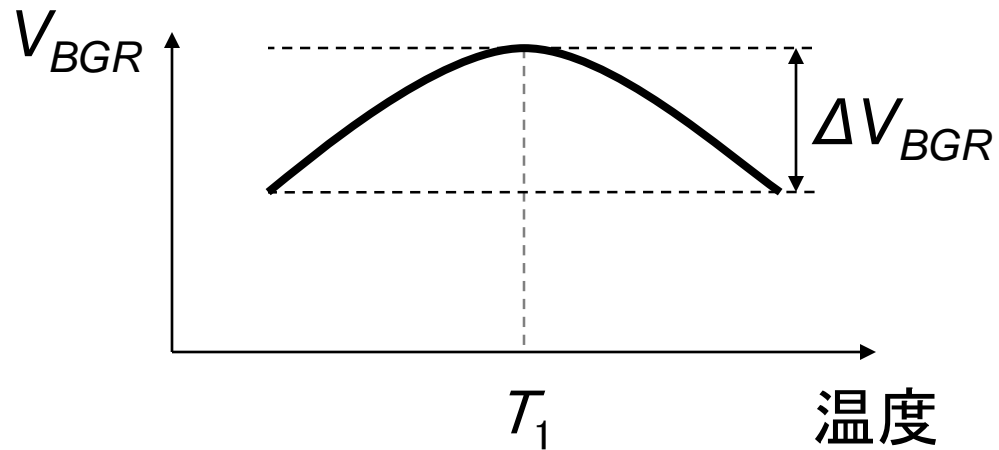
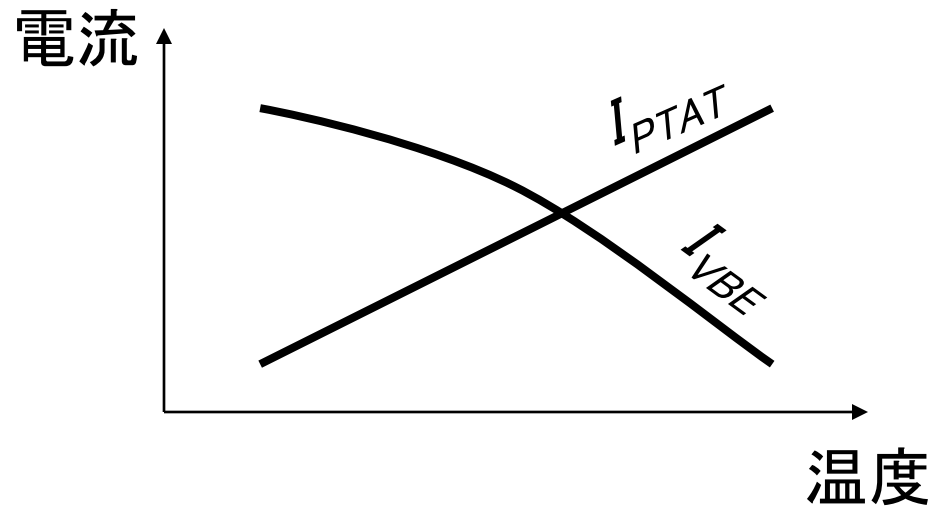
✗ $I_{C1} \neq I_{C2}$

Proposed BGR

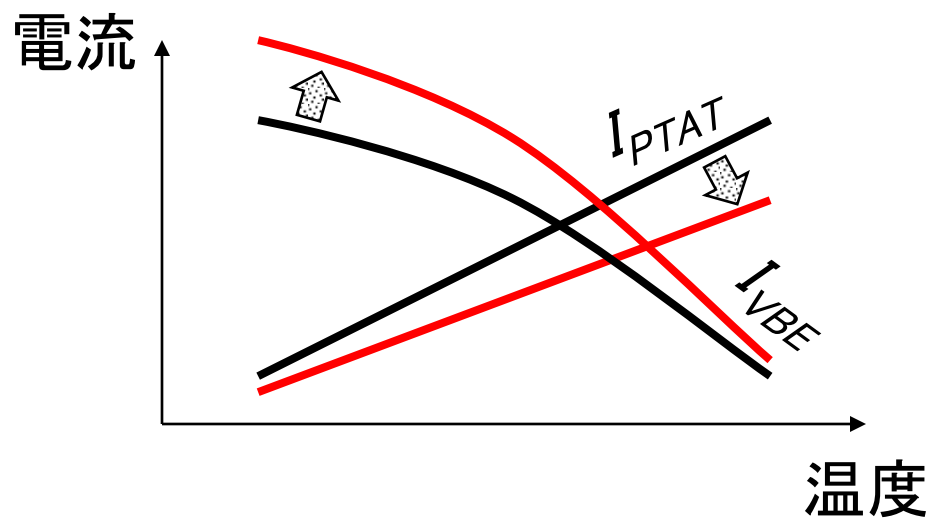
オペアンプオフセット電圧の影響



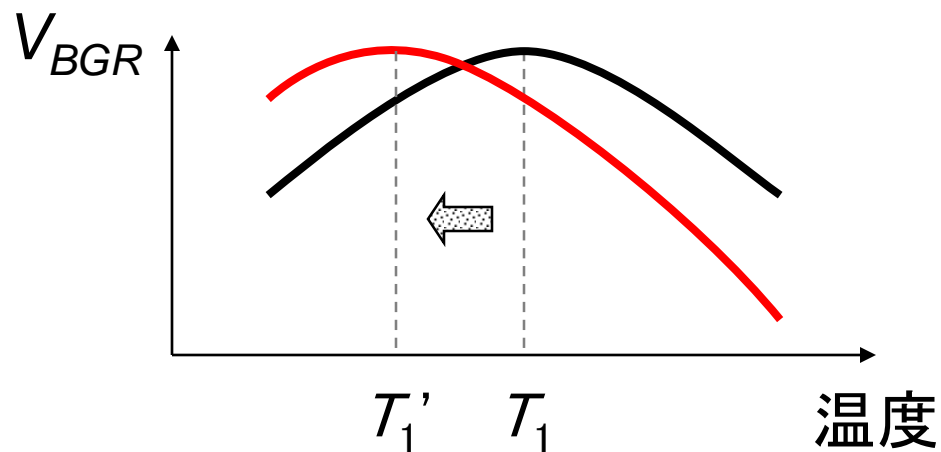
湾曲補正の原理



湾曲補正の原理

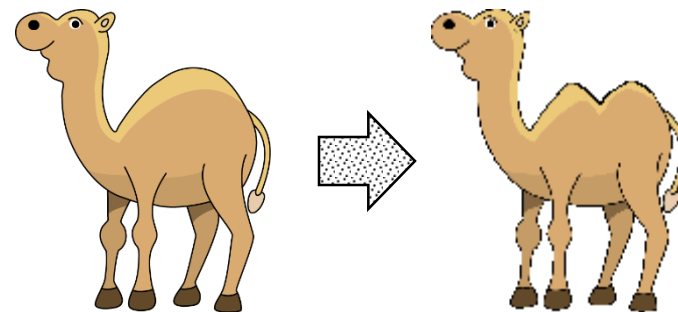
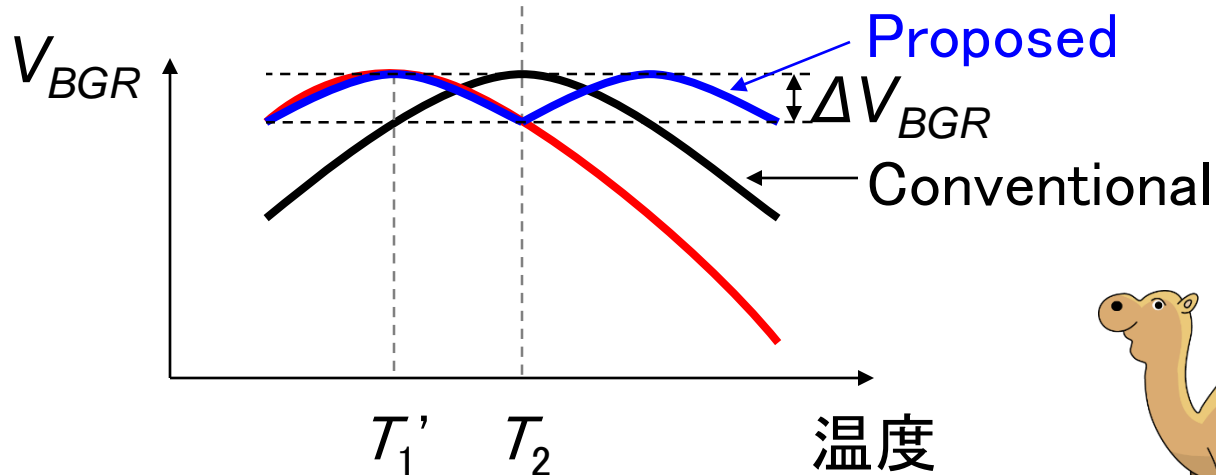
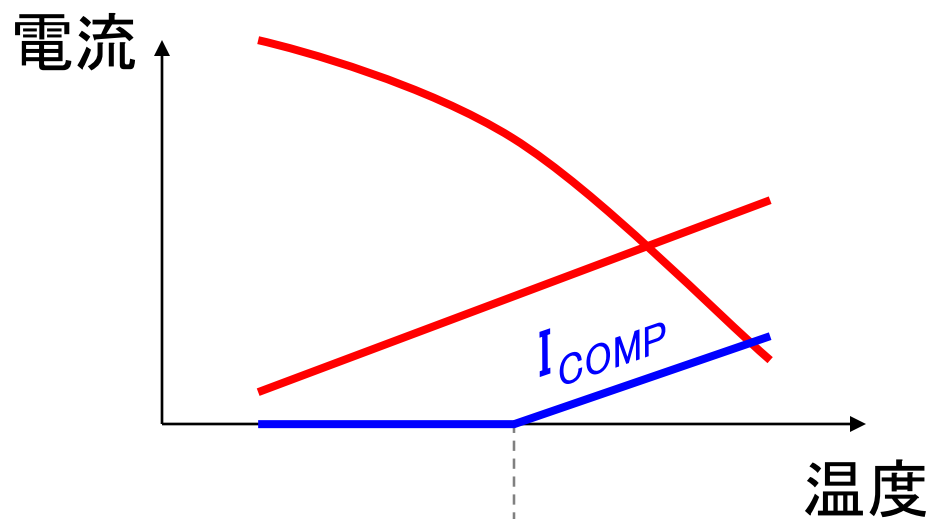


I_{PTAT} と I_{VBE} の割合を調整



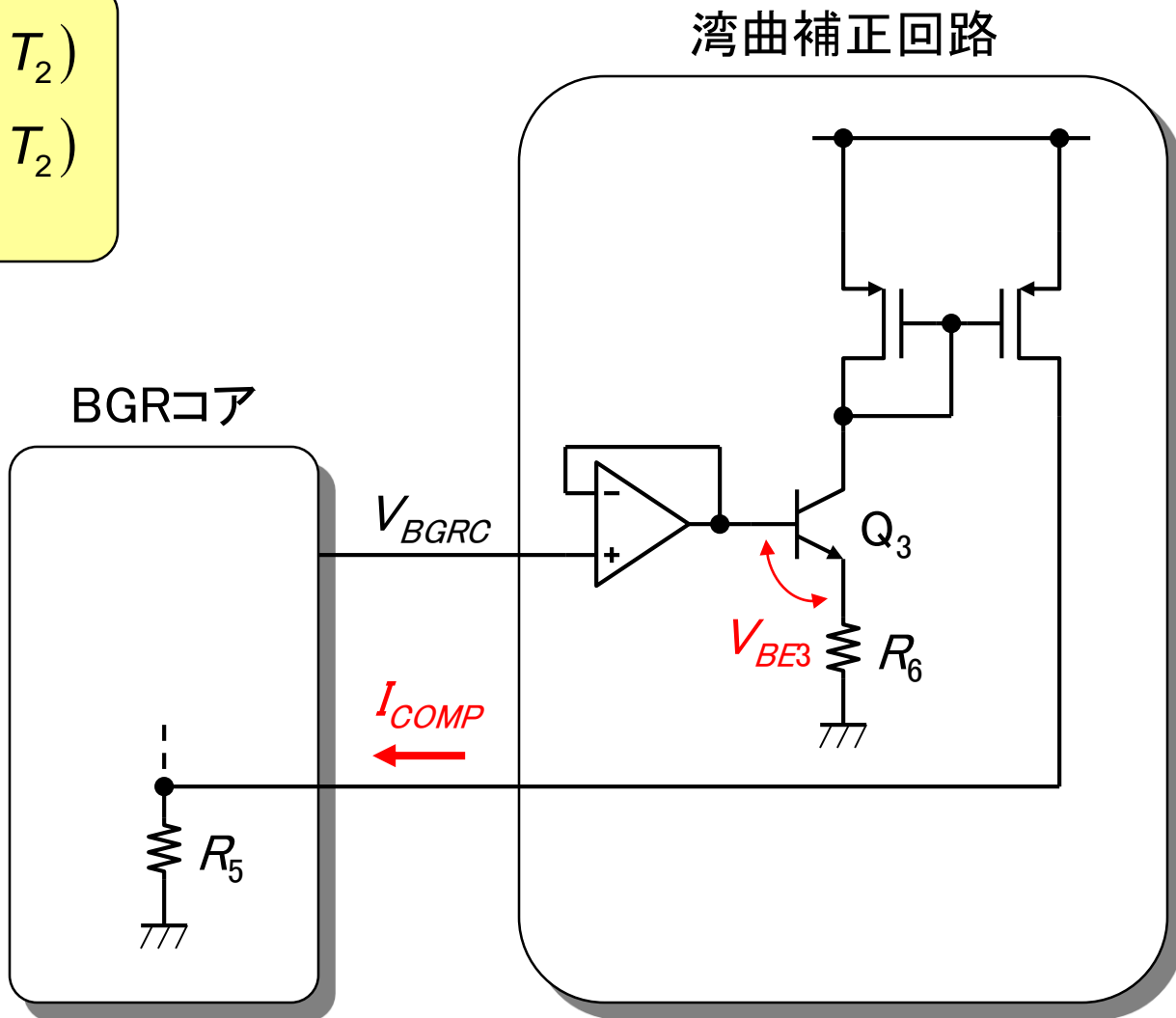
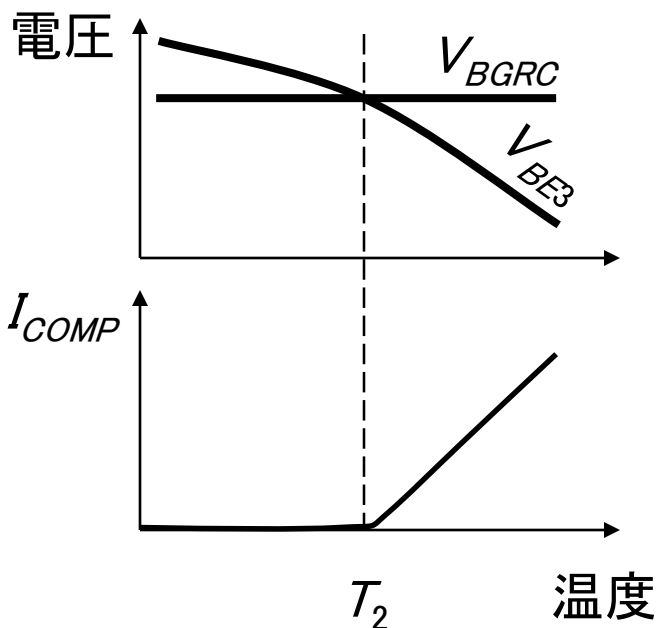
T_1 を低温側へシフト

湾曲補正の原理



湾曲補正回路

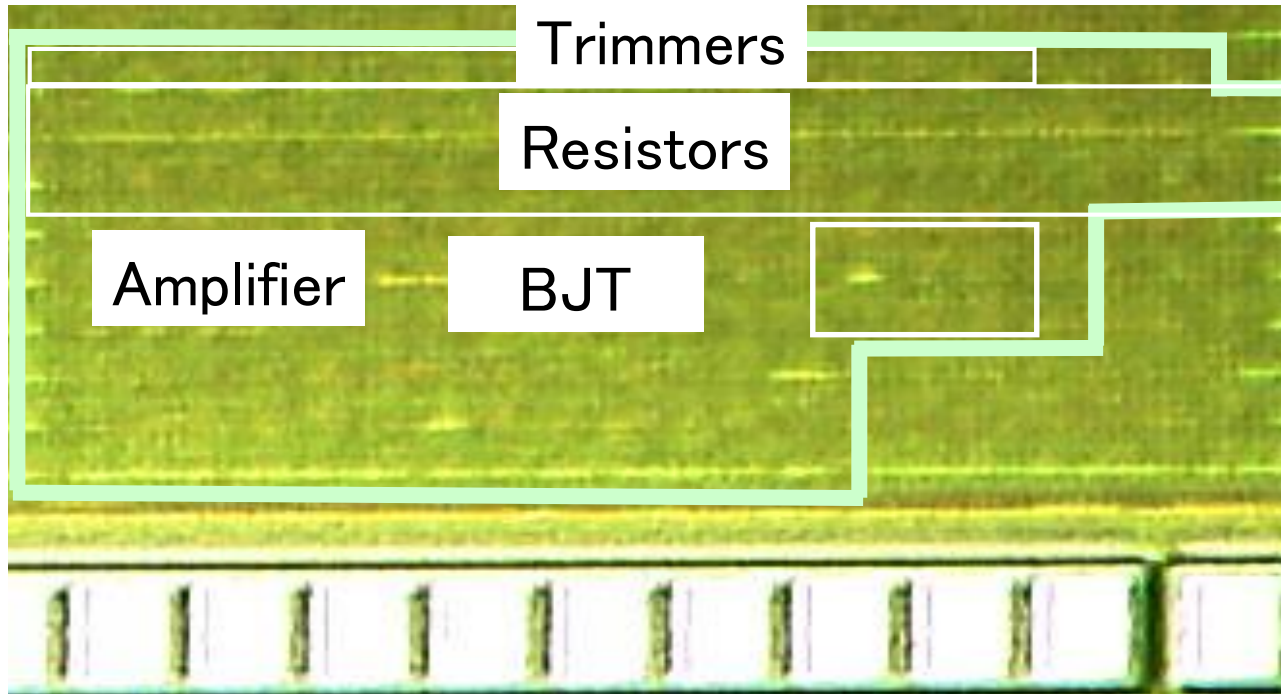
$$I_{COMP} = \begin{cases} 0 & (T \leq T_2) \\ \frac{V_{BGRC} - V_{BE3}}{R_6} & (T \geq T_2) \end{cases}$$



目次

- 1 背景
- 2 従来のBGR回路
- 3 低電圧・高精度BGR回路
- 4 実測結果**
- 5 まとめ

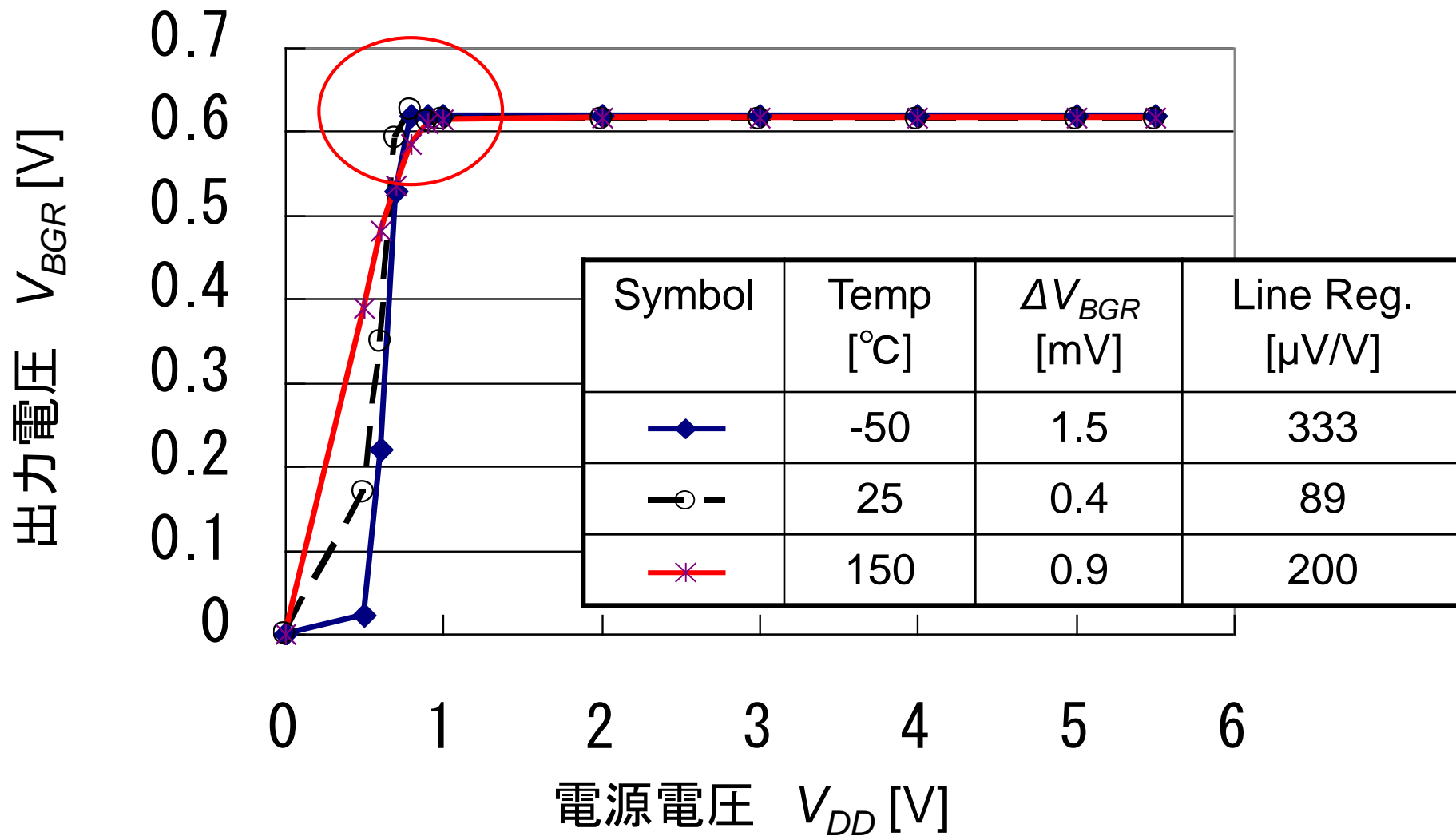
試作チップ



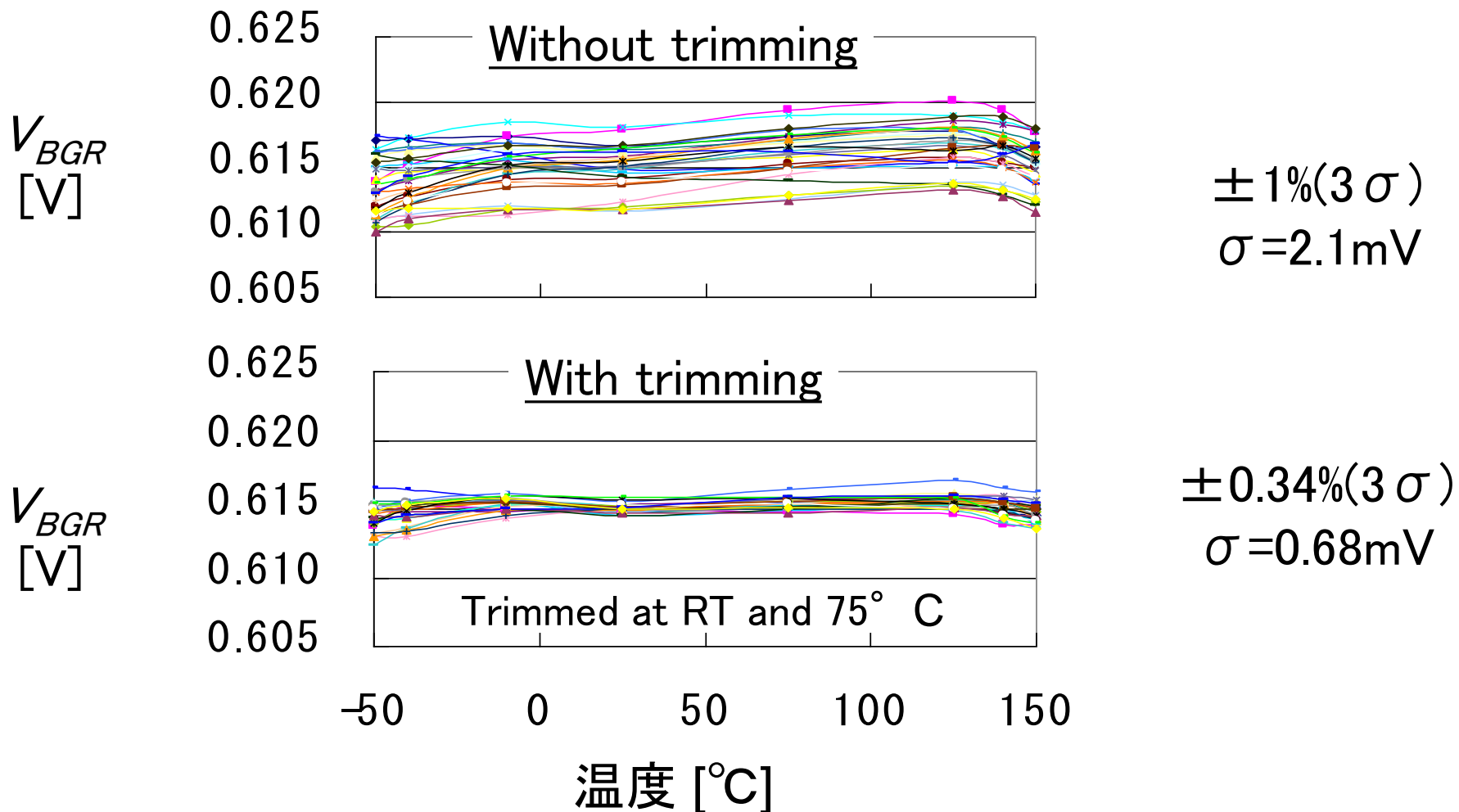
Core Area = 0.1mm^2

Technology: $0.13\text{-}\mu\text{m}$ triple-well CMOS

電源電圧依存性

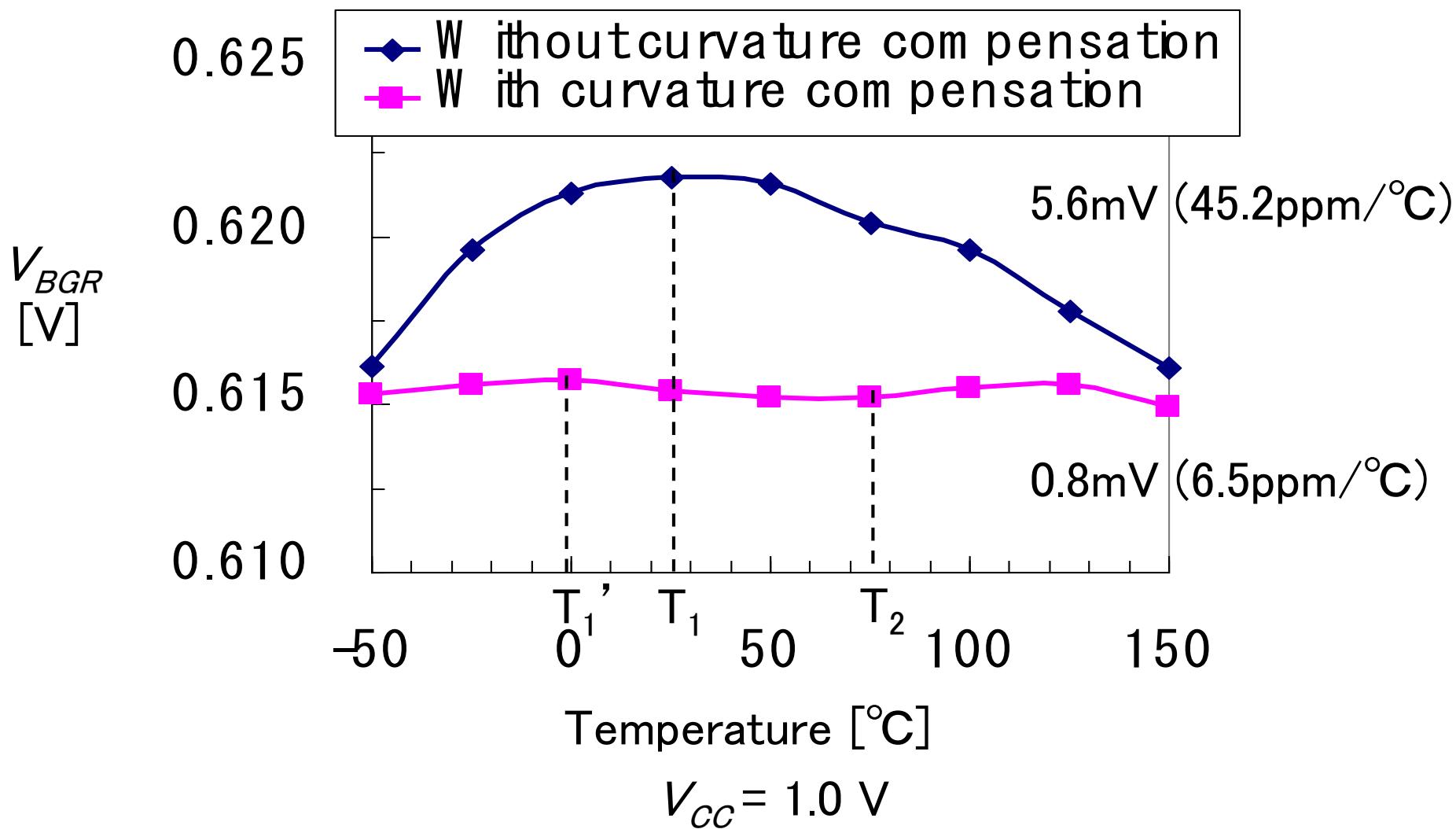


ばらつきと温度依存性



$V_{DD} = 1.0\text{ V}$, 31 samples

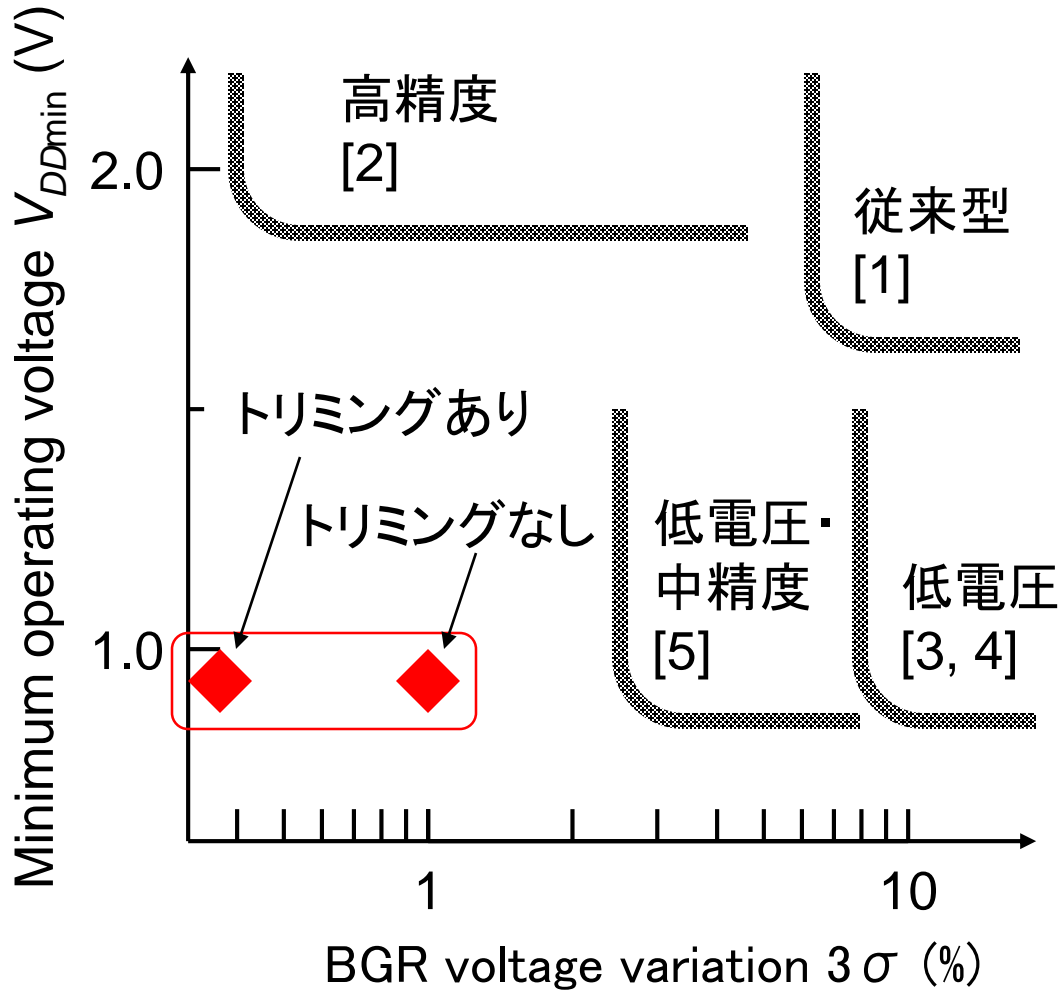
湾曲補正の効果



目次

- 1 背景
- 2 従来のBGR回路
- 3 低電圧・高精度BGR回路
- 4 実測結果
- 5 **まとめ**

電圧ばらつきと動作下限電圧



- [1] K. E. Kuijk, IEEE J. SSC, SC-8, p. 222, June 1973.
- [2] A. P. Brokaw, IEEE J. SSC, SC-9, p.388, Dec. 1974
- [3].H. Neuteboom, IEEE J. SSC 32, p.1790, Nov. 1997
- [4] H. Banba, IEEE J. SSC, 34, p.670, May 1999
- [5] Y. Okuda, Symp. VLSI Circuits, p. 96, June 2007

まとめ

低電圧・高精度CMOS bandgap reference (BGR)回路

- オペアンプのオフセットの影響が小さく低電圧動作可能なBGRコア回路
 - (a) 動作電源電圧0.9~5.5V
 - (b) 電圧ばらつき
 $\pm 0.34\% / \pm 1\%$ (トリミングあり/なし)
- 折れ線状補正電流による湾曲補正回路
温度ドリフト1mV以下を実現