

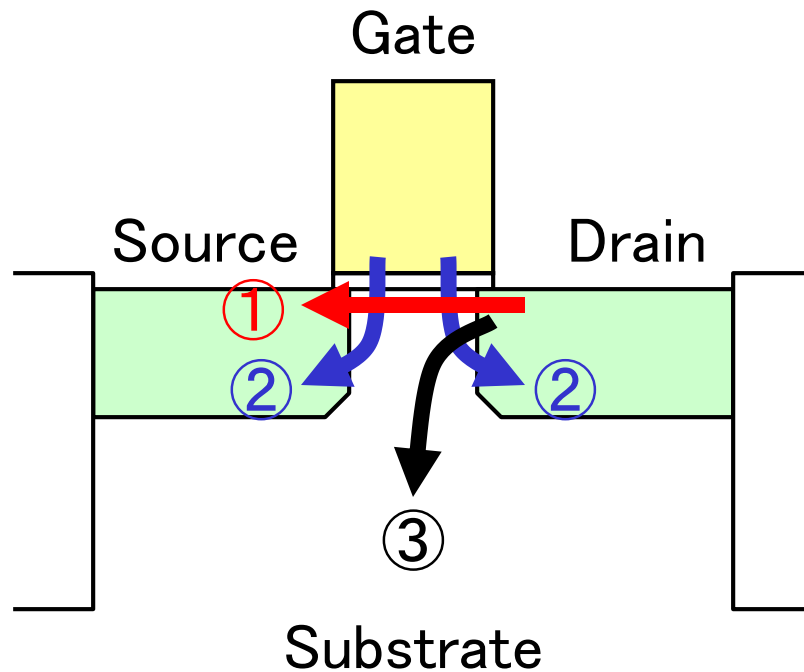
システム集積回路工学論

リーク電流低減回路

- 1 サブスレッショルド電流低減
- 2 ゲートトンネル電流低減
- 3 リーク電流低減例
- 4 アナログ回路のリーク電流

群馬大学客員教授 堀口真志

MOSトランジスタのリーク電流



①サブスレッショルド電流

ドレインからソースに流れる
拡散電流

②ゲートトンネル電流

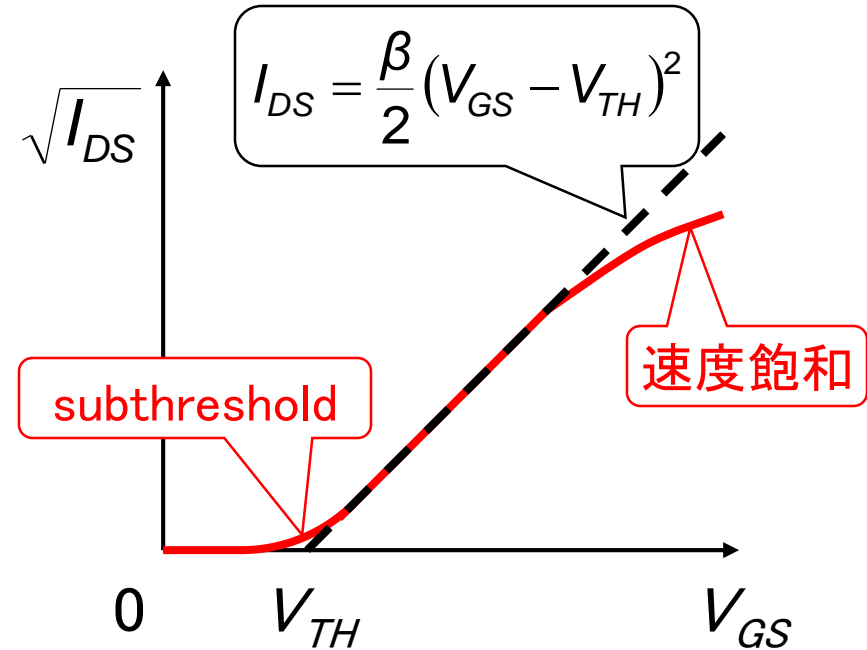
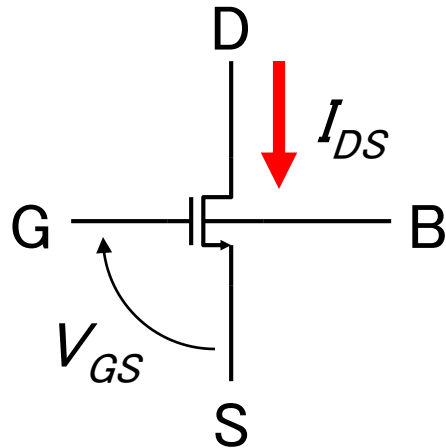
ゲートからソース・ドレインに
流れるトンネル電流

③GIDL

ドレインから基板に流れる
接合リーク電流

* Gate Induced Drain Leakage

サブスレッシュヨルド電流



$V_{GS} < V_{TH}$ (subthreshold) でもキャリアの拡散による
微小電流が流れる
 ΣI_{DS} = リーク電流 → 消費電流の増大

MOSTランジスタの比例縮小(スケーリング)則

		電界一定
寸法	L, W, t_{OX}	$1/k$
不純物濃度	N	k
電圧	V V_{TH}	$1/k$
電界	$E \propto V/L, V/t_{OX}$	1
電流	$I \propto (WV^2)/(Lt_{OX})$	$1/k$
オン抵抗	$R_{ON} \propto V/I$	1
ゲート容量	$C_G \propto LW/t_{OX}$	$1/k$
遅延時間	$t_D \propto R_{ON}C_G$	$1/k$
消費電力	$P \propto IV$	$1/k^2$
面積	$A \propto LW$	$1/k^2$

Mooreの法則
の原動力

- ⇒ 高速
- ⇒ 低電力
- ⇒ 低コスト・高機能

R. H. Dennard, IEEE J. SSC, p.256, Oct. 1974

サブスレッショルド電流のゲート電圧依存性

$$I_{DS} = I_0 \cdot \exp \frac{V_{GS} - V_{TH0}}{S/\ln 10}$$

V_{TH0} : 電流定義 V_{TH}

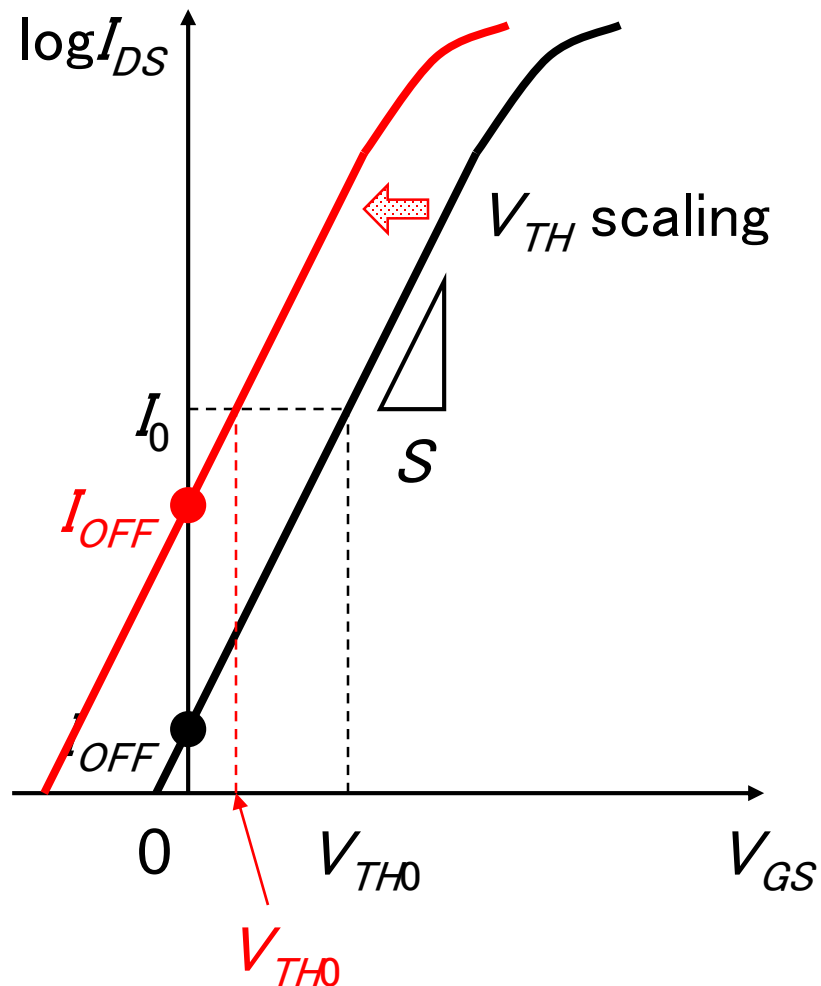
S : Subthreshold swing

I_{DS} を1桁変えるための
 V_{GS} の変化

単位: mV/decade

I_{OFF} : リーク電流

V_{GS} 依存性大
 V_{TH} 依存性大
温度依存性大



サブスレッショルド電流のドレイン電圧依存性

$$I_{DS} \propto \exp \frac{\lambda V_{DS}}{S/\ln 10} \cdot \left\{ 1 - \exp \left(-\frac{qV_{DS}}{kT} \right) \right\}$$

DIBL

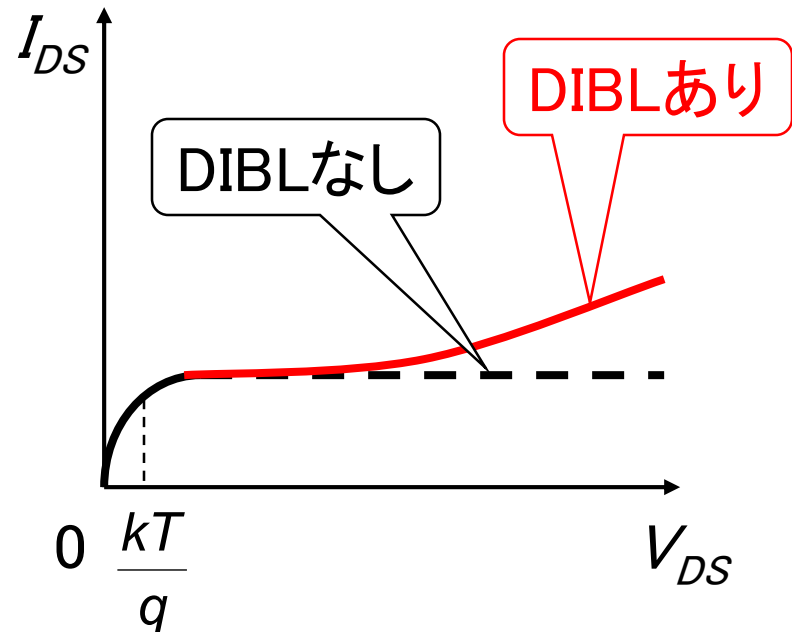
バイポーラの
電流式と同様

DIBL: Drain Induced
Barrier Lowering

ドレイン電圧によって
 V_{TH} が低くなる現象

λ : DIBL係数

V_{DS} 依存性小



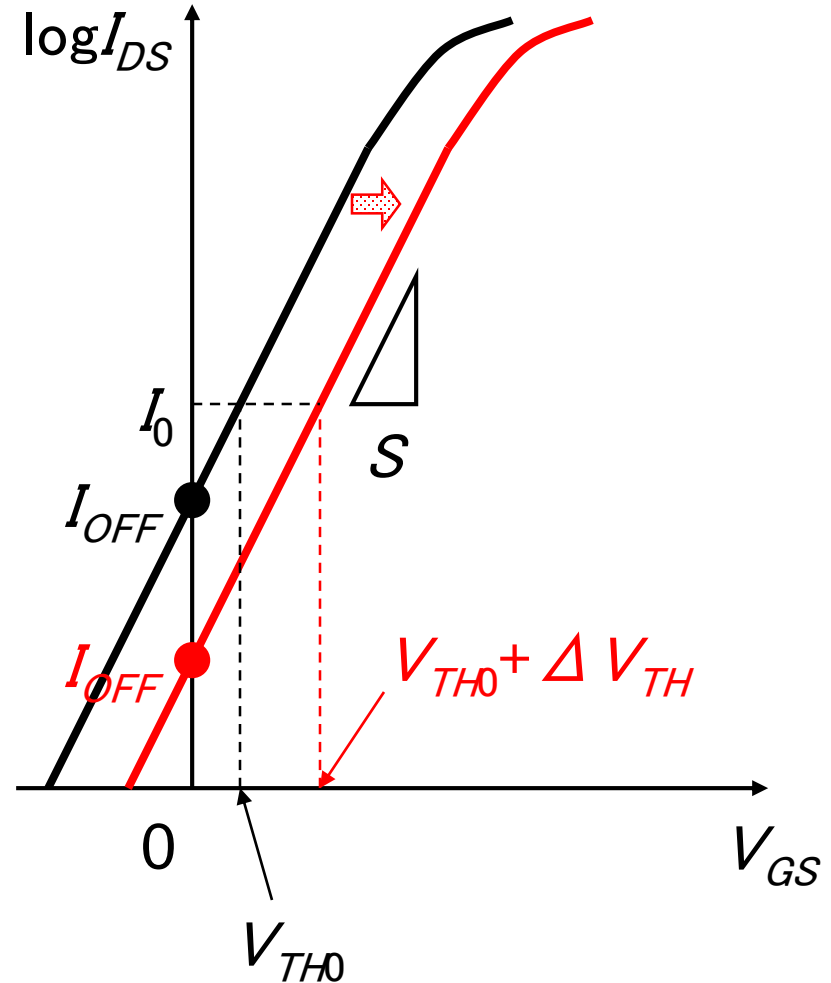
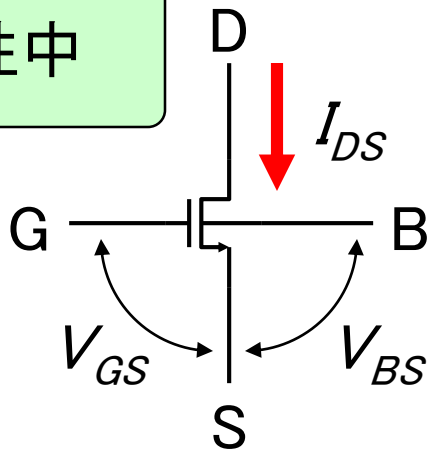
サブスレッショルド電流の基板電圧依存性

$$I_{DS} = I_0 \cdot \exp \frac{V_{GS} - V_{TH0} - \Delta V_{TH}}{S/\ln 10}$$

$$\Delta V_{TH} = \gamma (\sqrt{|V_{BS}|} + 2\psi - \sqrt{2\psi})$$

ΔV_{TH} : 基板効果による V_{TH} 変化
 γ : 基板効果係数

V_{BS} 依存性中



サブスレッショルド電流を低減するためには？

$$I_{DS} \propto \exp \frac{V_{GS} - V_{TH} - \Delta V_{TH} + \lambda V_{DS}}{S/\ln 10} \cdot \left\{ 1 - \exp \left(-\frac{qV_{DS}}{kT} \right) \right\}$$

・ S を小さく $S = \frac{kT \ln 10}{q} \left(1 + \frac{C_D}{C_{OX}} \right)$ C_D : 空乏層容量
 C_{OX} : ゲート容量

C_D を小さく……デバイスの対策(SOI)

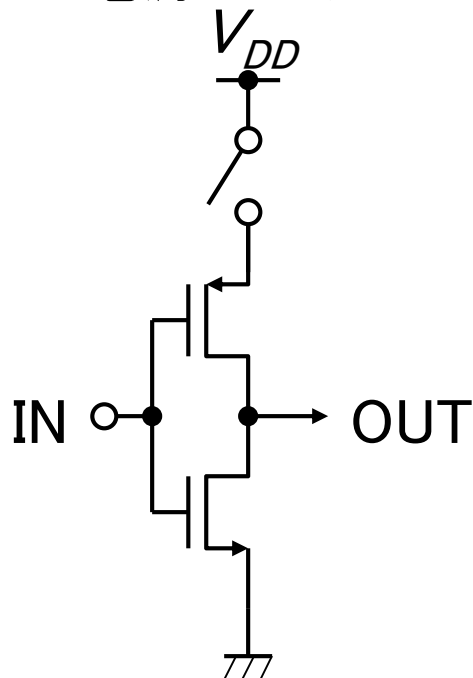
T を低く……？

- ・ V_{TH} を高く
 - ・ V_{GS} を低く
 - ・ V_{DS} を低く
 - ・ V_{BS} を深く
- } 回路的対策

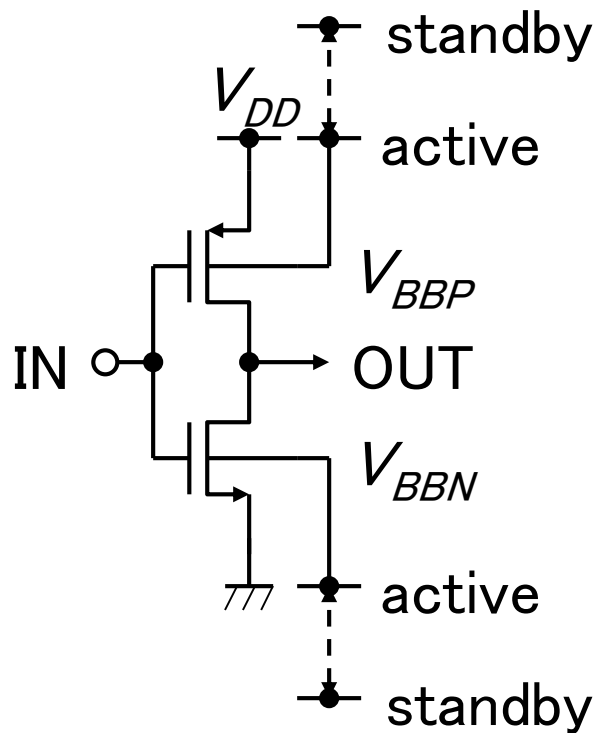
サブスレッショルド電流の回路的低減方法

回路形態による分類

電源スイッチ

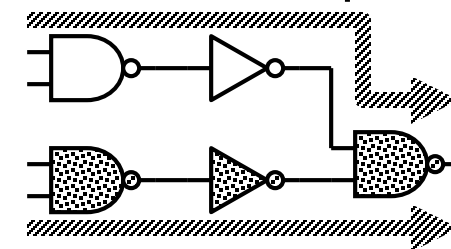


基板バイアス制御

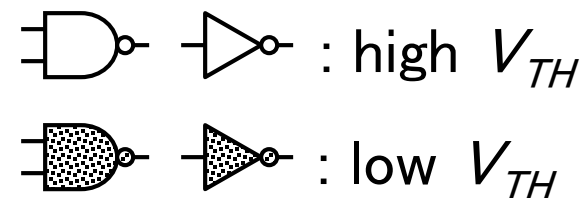


2種 V_{TH}

non-critical path



critical path




サブスレッショルド電流低減方法比較

回路形態による分類

	電源スイッチ	基板バイアス制御	2種 V_{TH}
電流低減効果	大	中	小
モード切替	要	要	不要
動作時リーク電流	低減不可	低減不可	低減可
データ保持	不可	可	可
工程増加	なし(2種 V_{TH})	三重ウェル	2種 V_{TH}
面積増加	電源スイッチ 電源配線	基板バイアス 発生回路・配線	なし
その他の課題	電源インピーダンス スイッチ自体のリーク	基板インピーダンス	






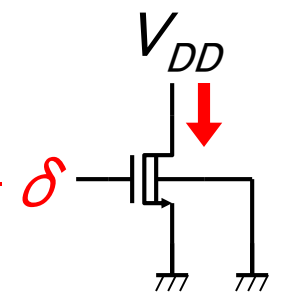
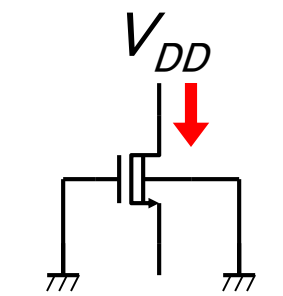
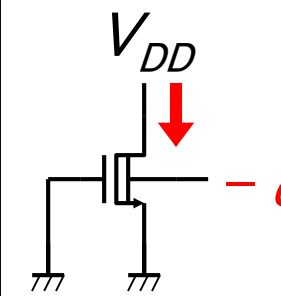
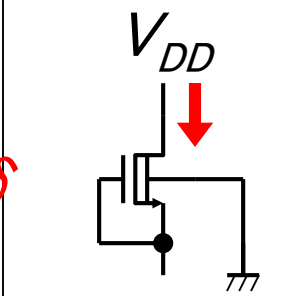
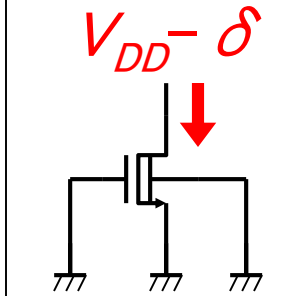
サブスレッショルド電流の回路的低減方法

MOSTランジスタレベルでの分類

- Static changing V_{TH} of MOS transistor S 

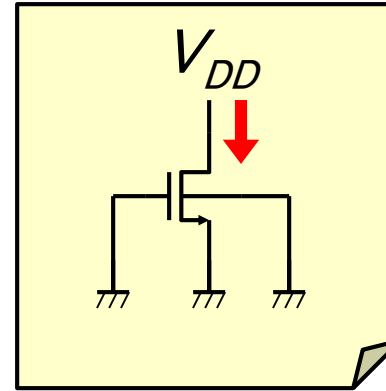
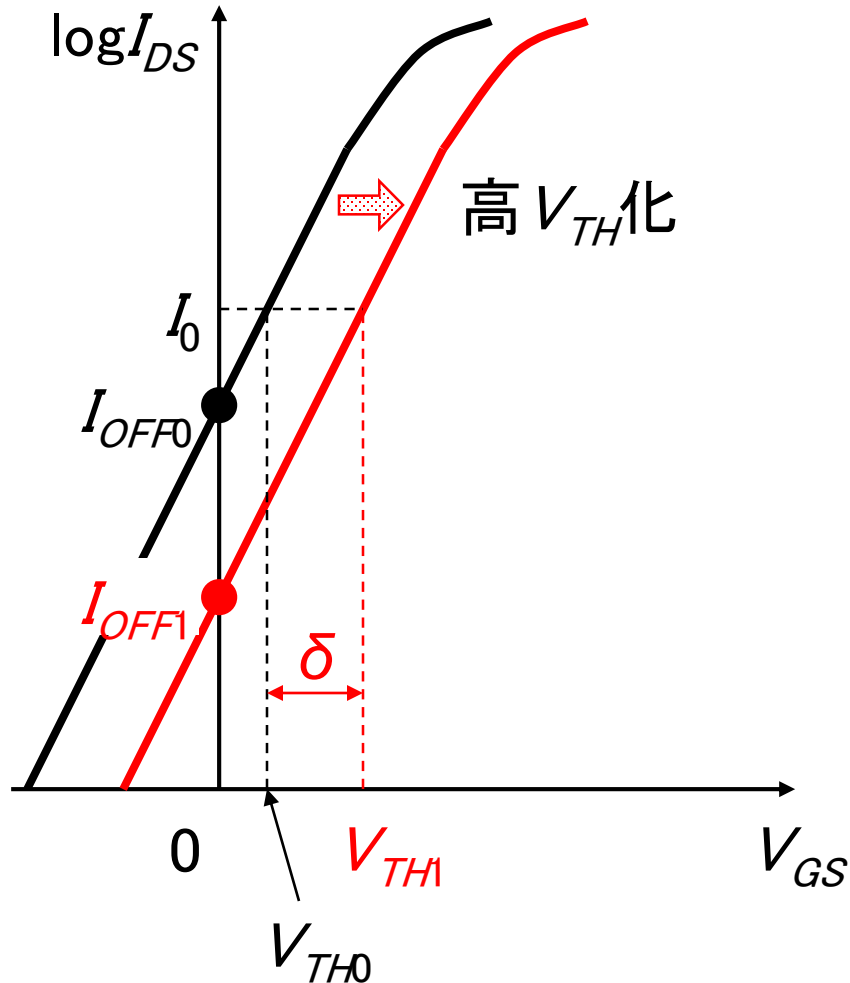
Dual (Multiple) V_{TH} low: V_{TH} high: $V_{TH} += \delta$

- Dynamic changing bias condition of MOS transistor A  E 

					
変更電圧	V_G	V_S	V_B	$V_S = V_G$	V_D
端子電圧					

Y. Nakagome, IBM J. R&D, p. 525, Nov. 2003.

方式⑤ ($V_{TH} += \delta$) の原理

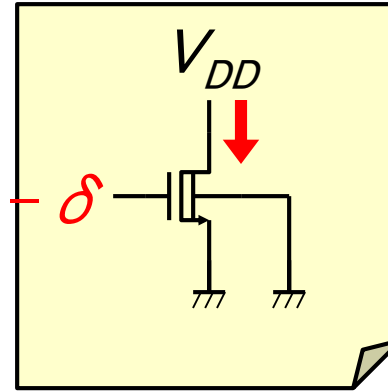
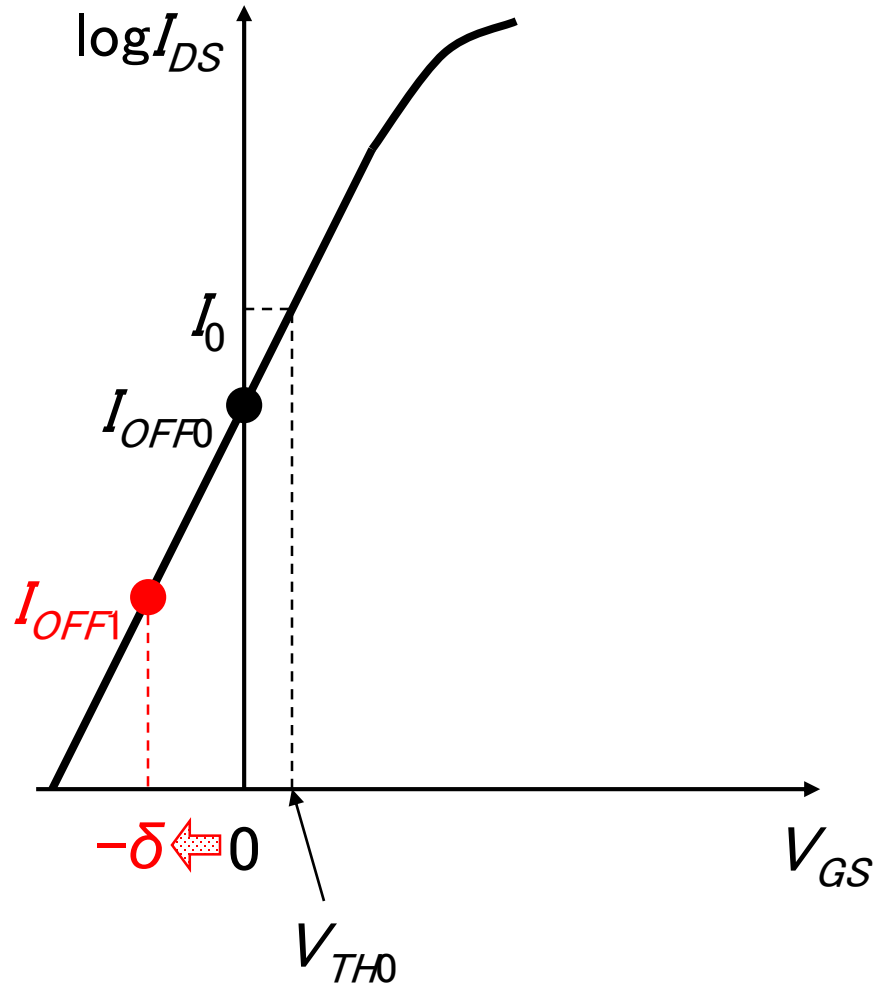


低減効果: 大

全MOSトランジスタには
適用不可

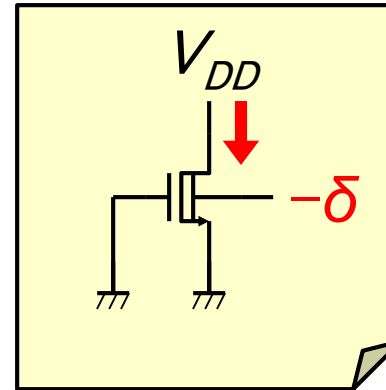
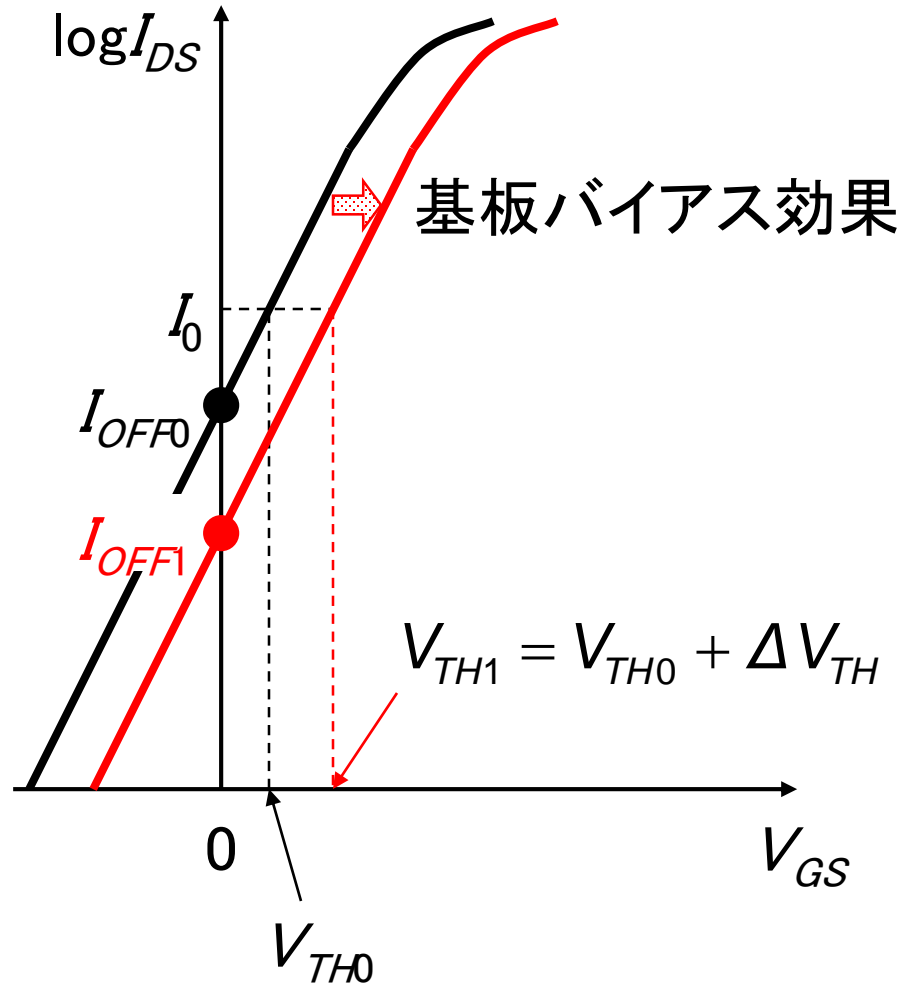
→ 2種以上の V_{TH} を使い
分け

方式 A ($V_G = -\delta$) の原理



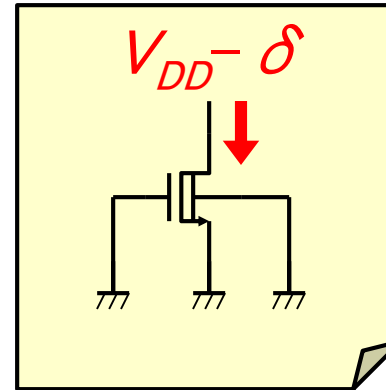
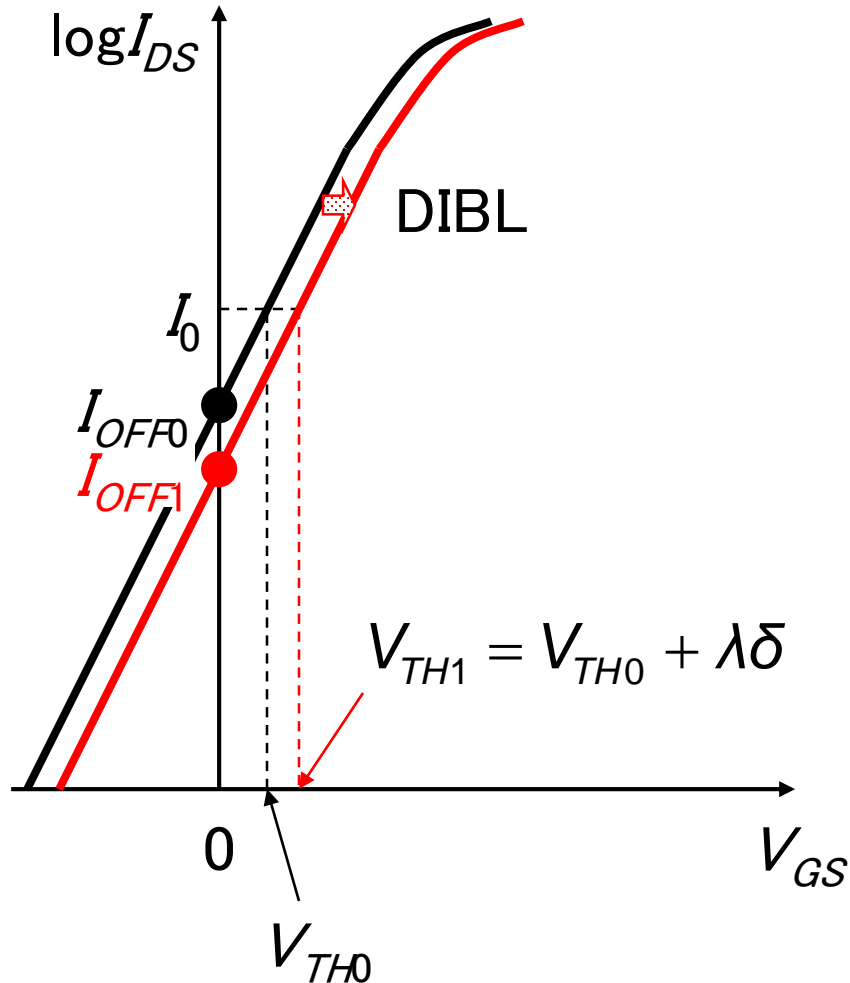
低減効果：大
負電圧が必要

方式 C ($V_B = -\delta$) の原理



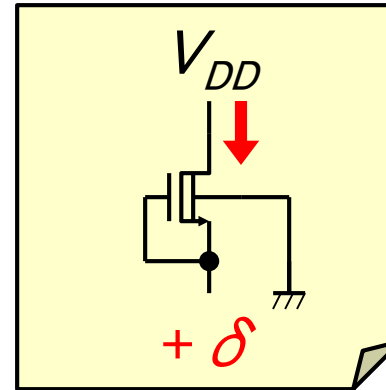
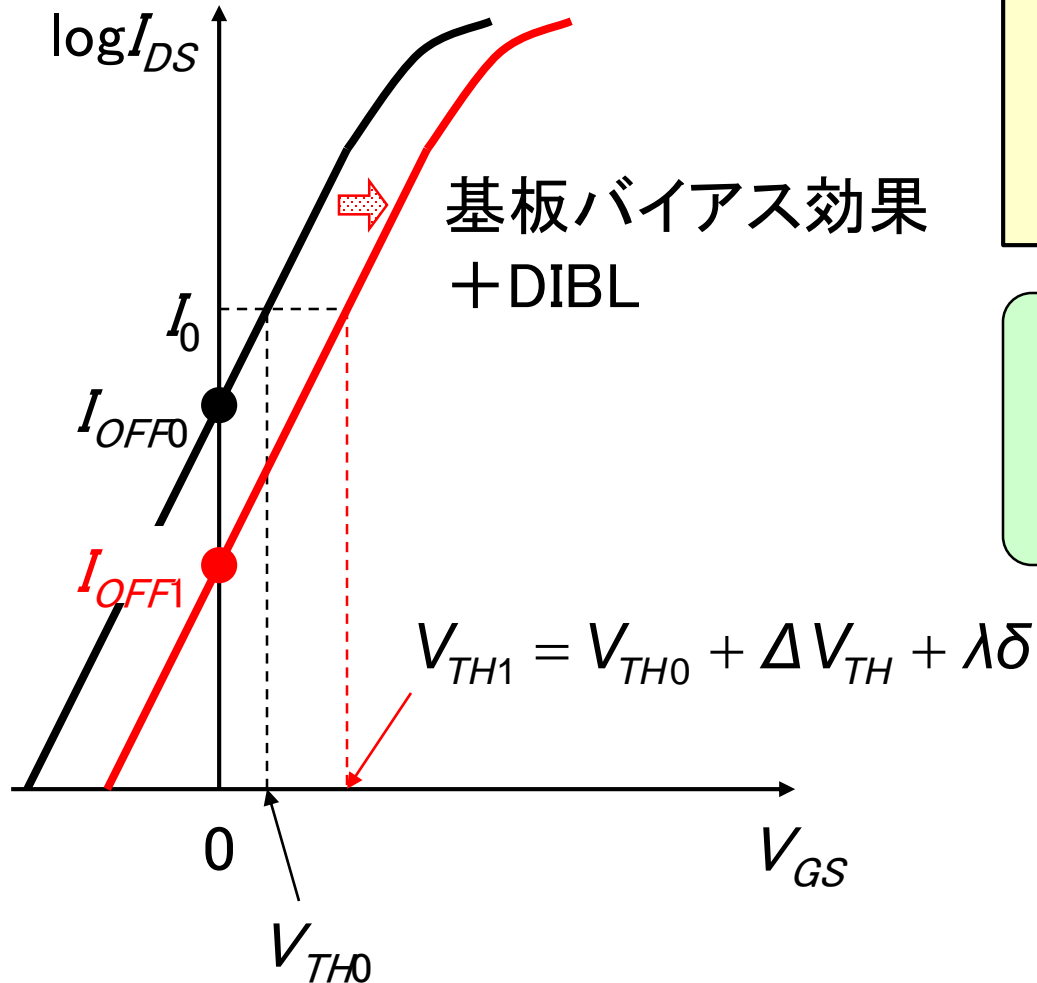
低減効果：中
負電圧が必要

方式E ($V_D = V_{DD} - \delta$) の応用



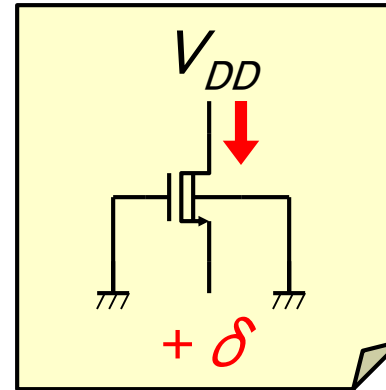
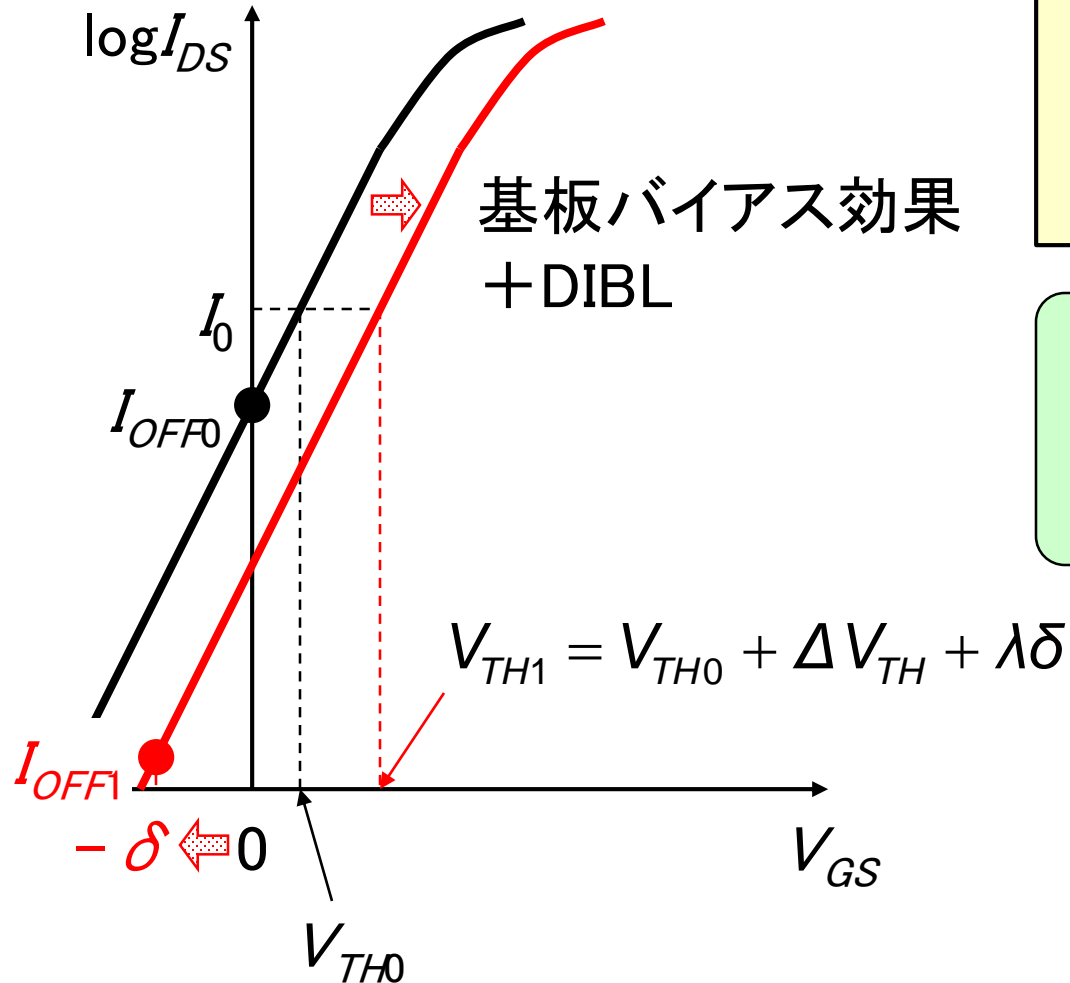
低減効果:小

方式D ($V_S = V_G = +\delta$) の原理



低減効果: 中
負電圧不要

方式 B ($V_S = +\delta$) の原理



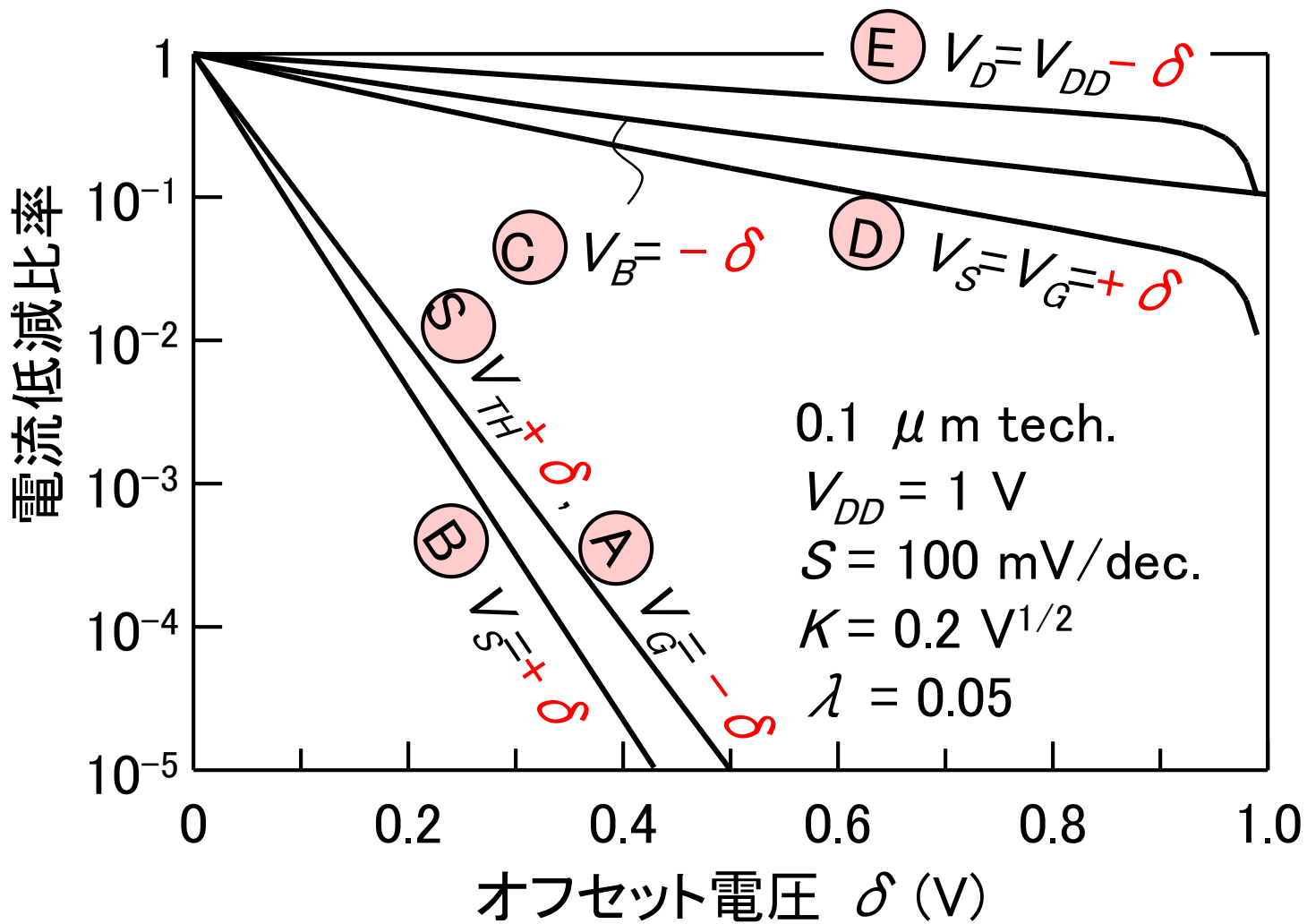
低減効果: 大
負電圧不要

電流低減効果比較

MOSTランジスタレベルでの分類

	(A)	(B)	(C)	(D)	(E)
端子電圧					
ゲート・ソース 逆バイアス	○	○	×	×	×
基板バイ アス効果	×	○	○	○	×
DIBL	×	○	×	○	○

電流低減効果



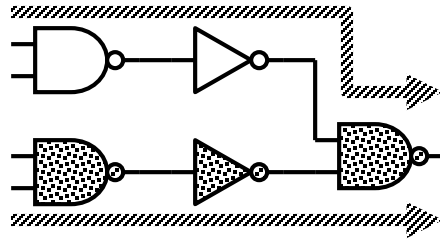
Y. Nakagome, IBM J. R&D, p. 525, Nov. 2003.

論理回路への適用(1)

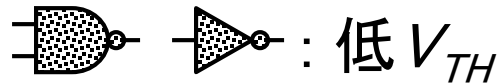
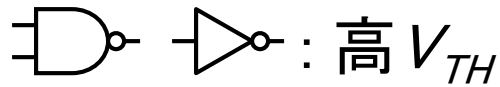
回路形態……2種 V_{TH}

MOSTランジスタ……方式 \textcircled{S} ($V_{TH} += \delta$)

non-critical path



critical path



低減効果:小

2種 V_{TH} 必要

モード切替不要

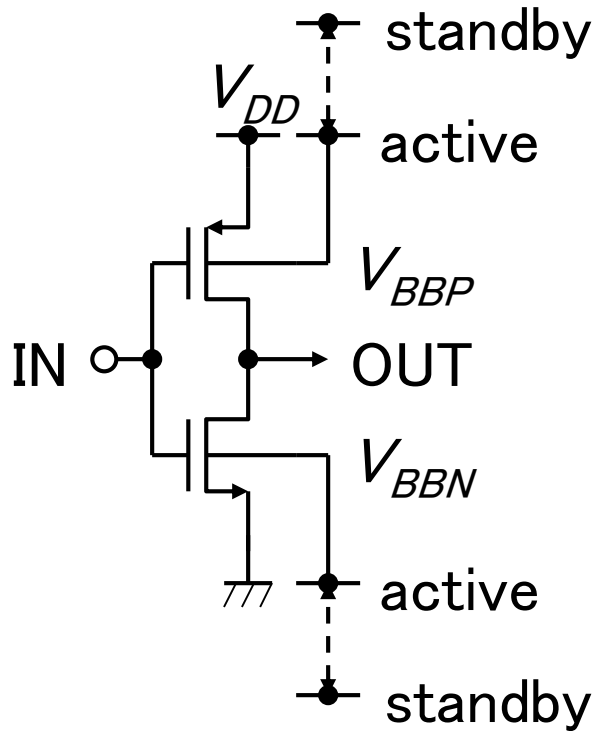
動作時のリークも低減可

論理回路への適用(2)

回路形態……基板バイアス制御

MOSTランジスタ……方式 \textcircled{C} ($V_B = -\delta$)

(VTCMOS: Variable Threshold CMOS)



低減効果: 中
基板バイアス発生回路必要

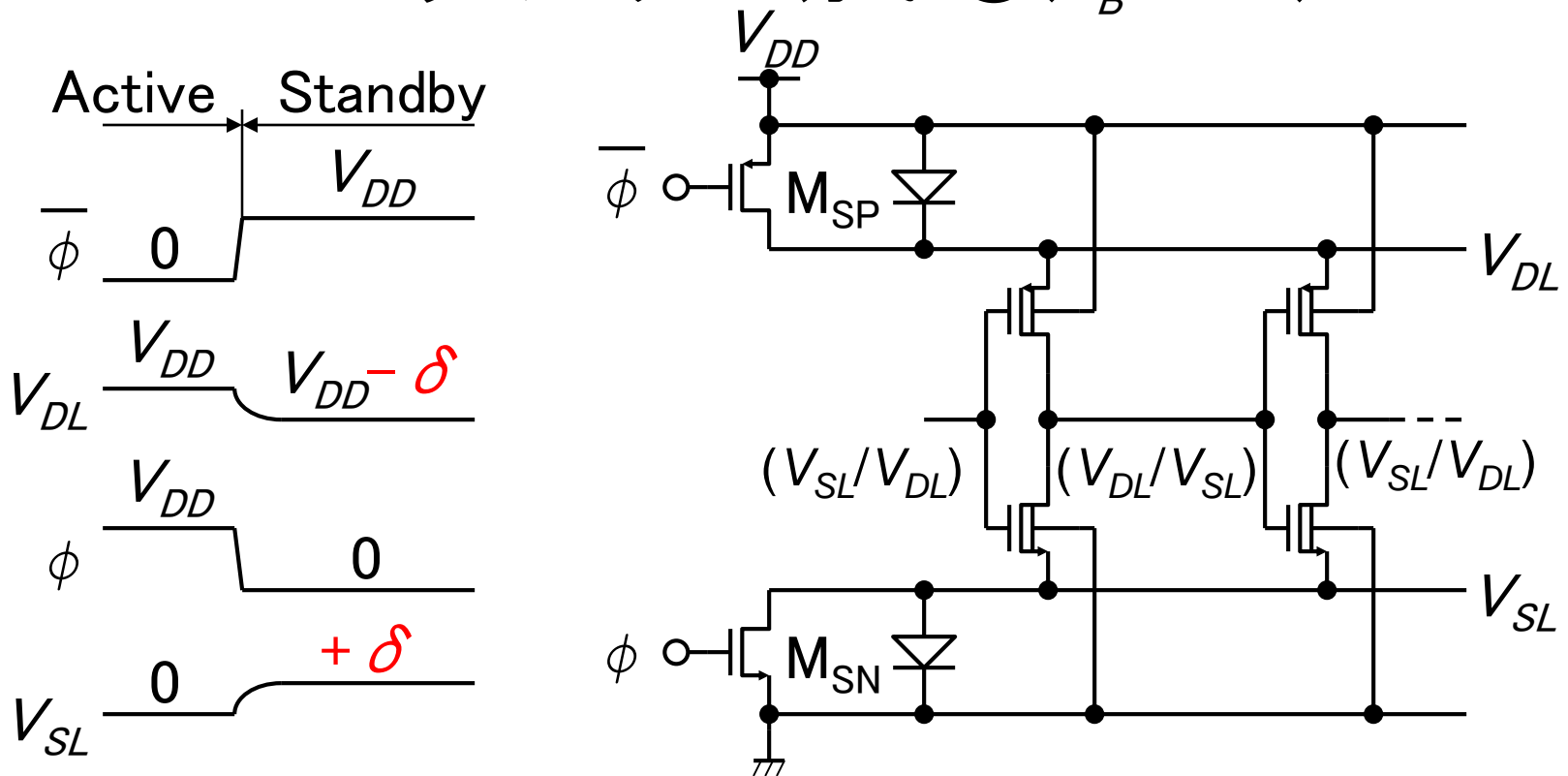
K. Seta, ISSCC, p. 318, Feb. 1995.

T. Kuroda, IEEE J. SSC, p. 1770, Nov. 1996.

論理回路への適用(3)

回路形態……電源スイッチ

MOSTランジスタ……方式 \textcircled{D} ($V_B = -\delta$)



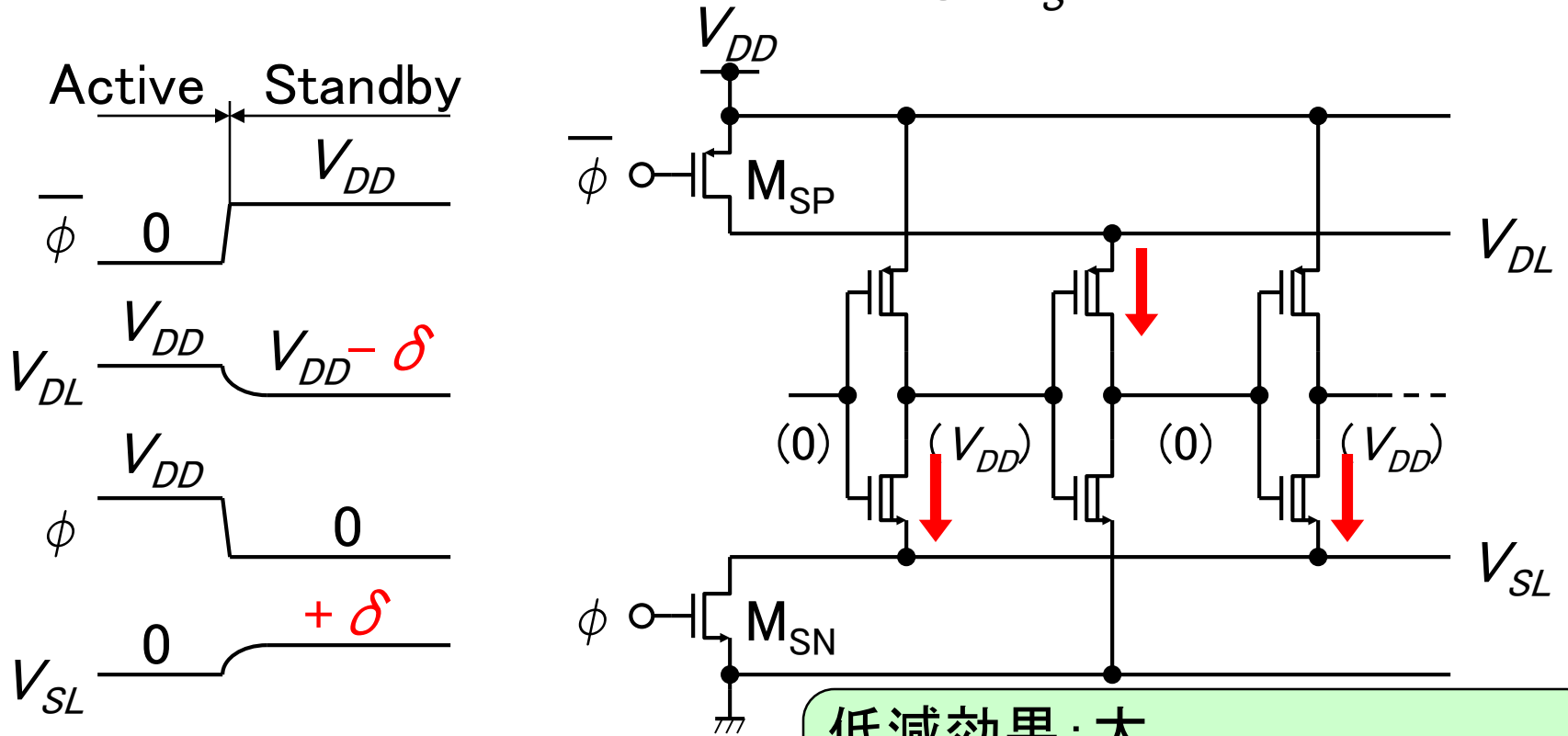
低減効果: 中

基板バイアス発生回路不要

論理回路への適用(4)

回路形態……電源スイッチ

MOSTランジスタ……方式 **B** ($V_S = +\delta$)



低減効果：大
 V_{DL} , V_{SL} の振幅小 → 復帰高速
 スタンバイ時の各ノードの状態
 が予測可能である必要あり

M. Horiguchi, IEEE J. SSC, p. 1131, Nov. 1993.

D₂₃ Takashima, IEEE J. SSC, p. 441, Apr. 1994.

方式② スタンバイ時の状態は予測可能か？

・メモリ

ほとんどのノードの状態は予測可能

例：ワード線はすべて非選択 (low level)

例外：入力信号

・ロジック

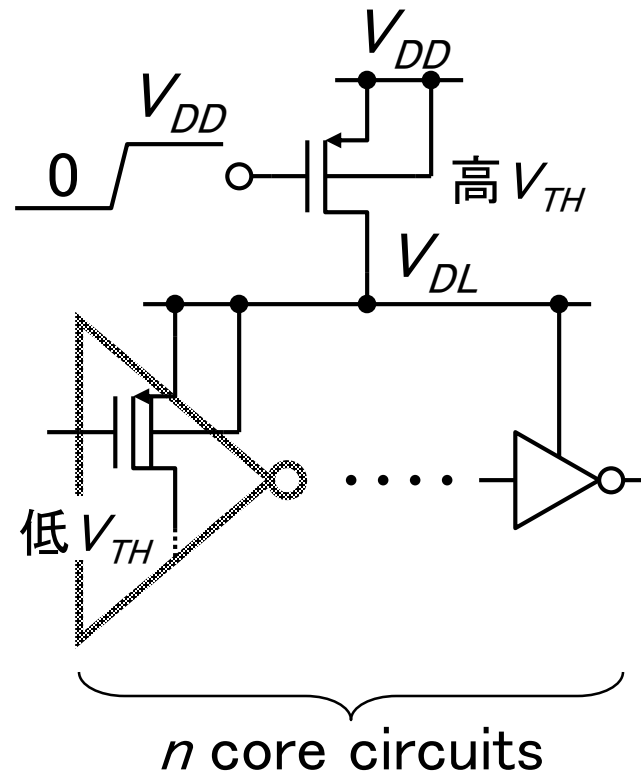
ほとんどのノードの状態は予測不可能

∵ FF、ラッチ多数あり

電源スイッチへの適用(1)

MOSTランジスタ・・・方式 \textcircled{S} ($V_{TH} += \delta$)

(MTCMOS: Multi-Threshold CMOS)

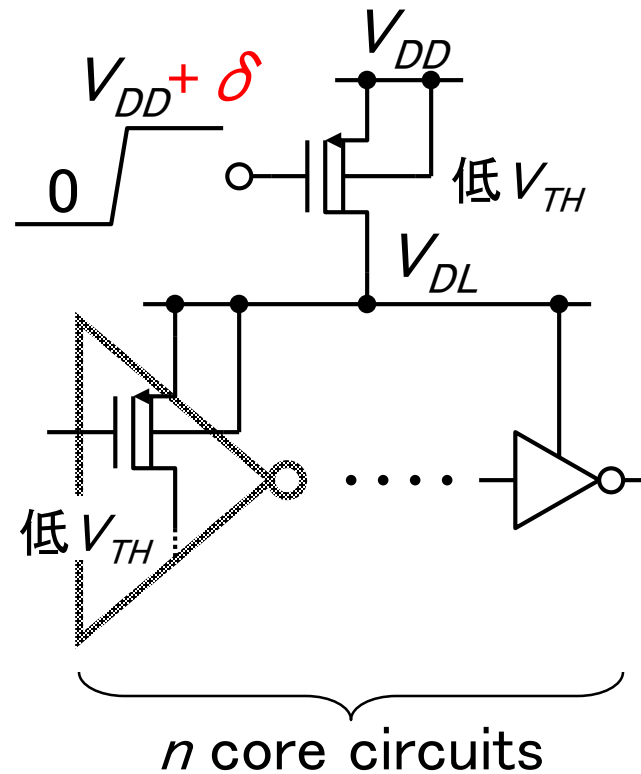


2種 V_{TH} 必要

電源スイッチへの適用(2)

MOSTランジスタ・・・方式 **A** ($V_G = -\delta$)

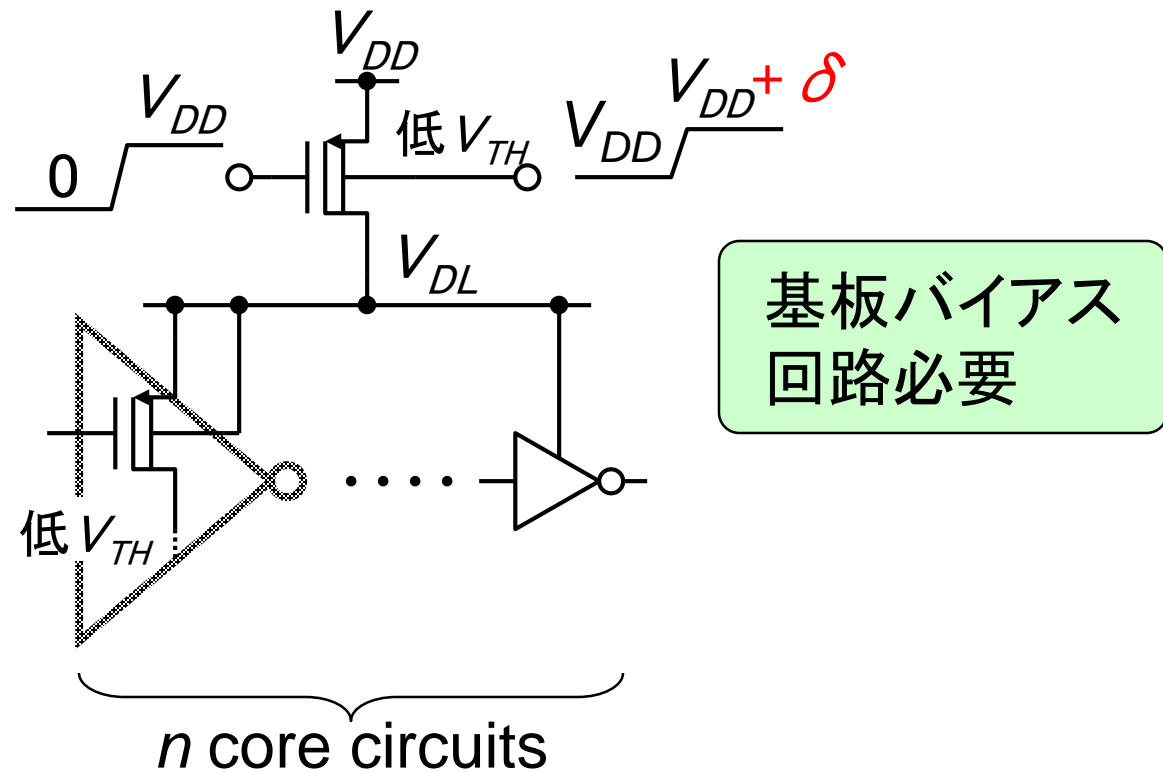
(Super Cut-off)



昇圧回路必要

電源スイッチへの適用(3)

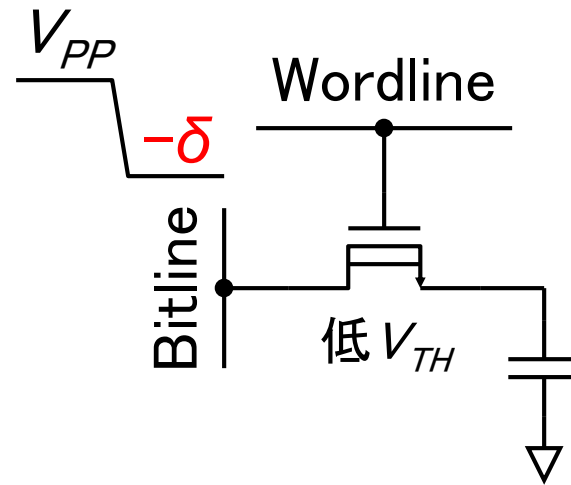
MOSTランジスタ・・・方式 (C) ($V_B = -\delta$)



メモリへの適用(1) DRAM

MOSTランジスタ・・・方式 **A** ($V_G = -\delta$)

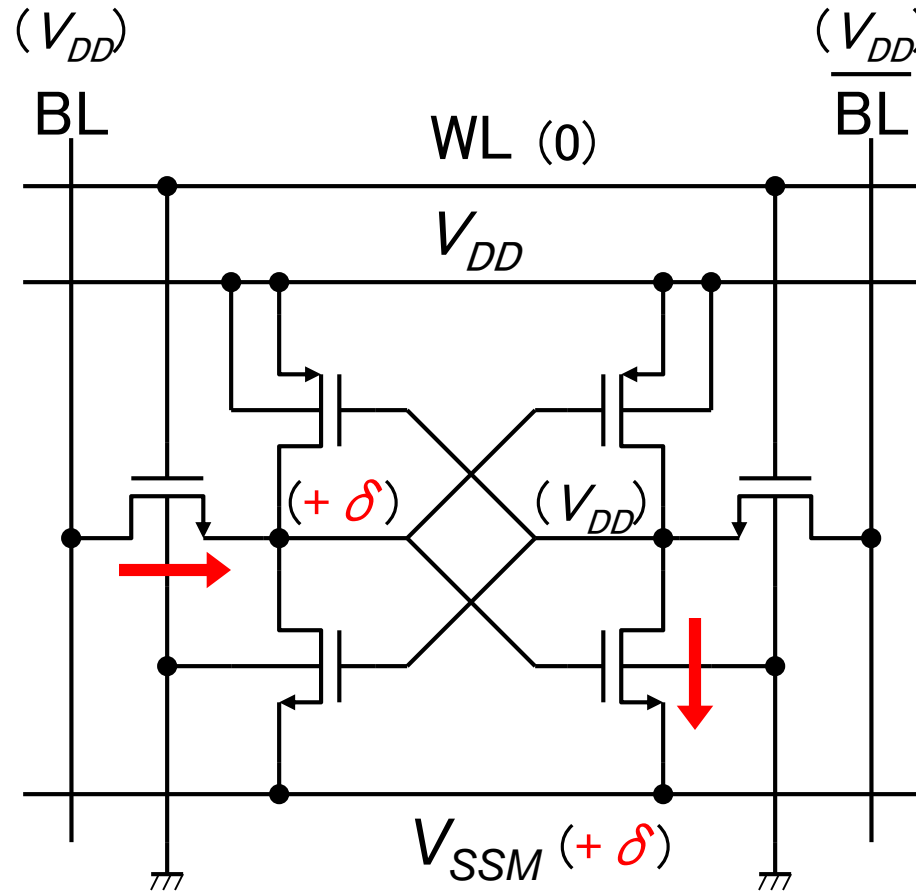
(Negative wordline)



負電圧必要

メモリへの適用(2) SRAM

MOSTランジスタ・・・方式 \textcircled{B} ($V_S = +\delta$) + \textcircled{D} ($V_S = V_G = +\delta$)



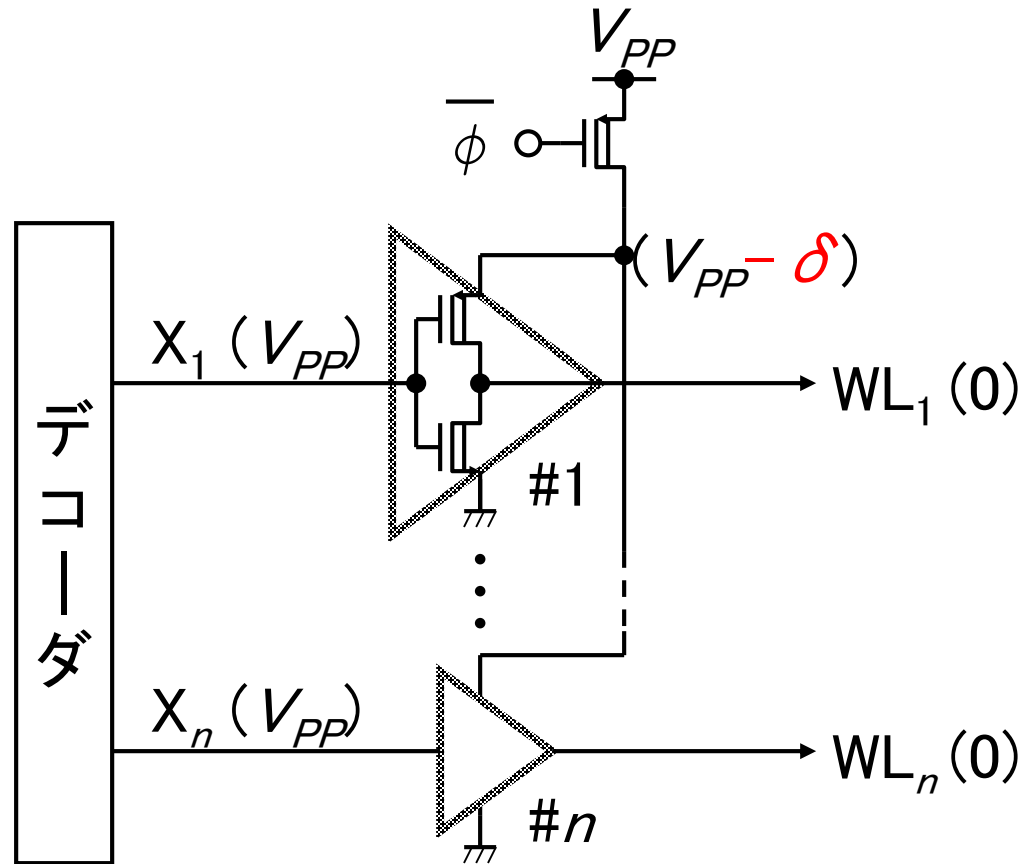
H. Yamauchi, *Symp. VLSI Circuits*, p. 126,
June 1996.

T. Enomoto, *IEEE J. SSC*, p. 1220, July 2003.

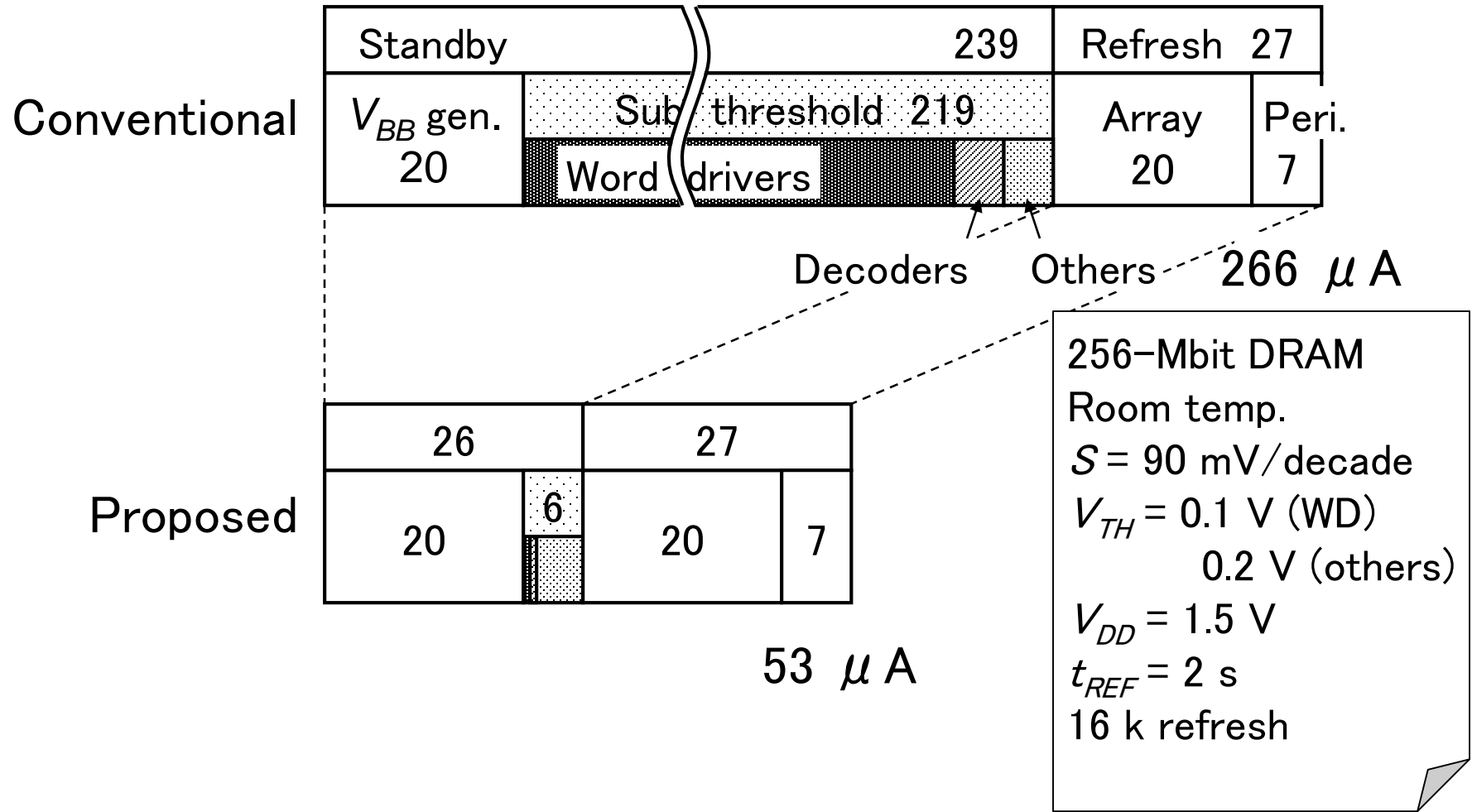
K. Osada, *IEEE J. SSC*, p. 1952, Nov. 2003.

リーク電流低減例

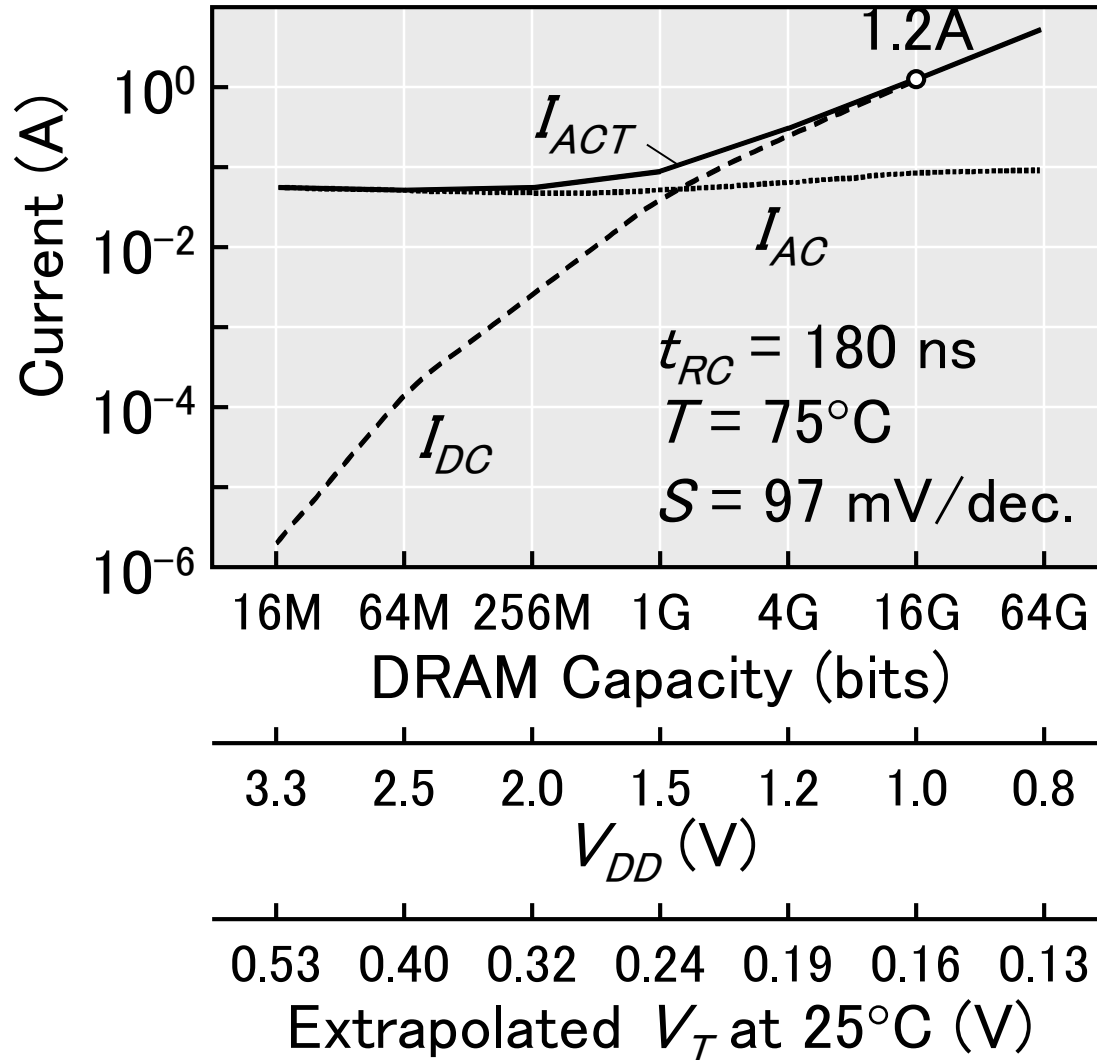
DRAMワード線ドライバ



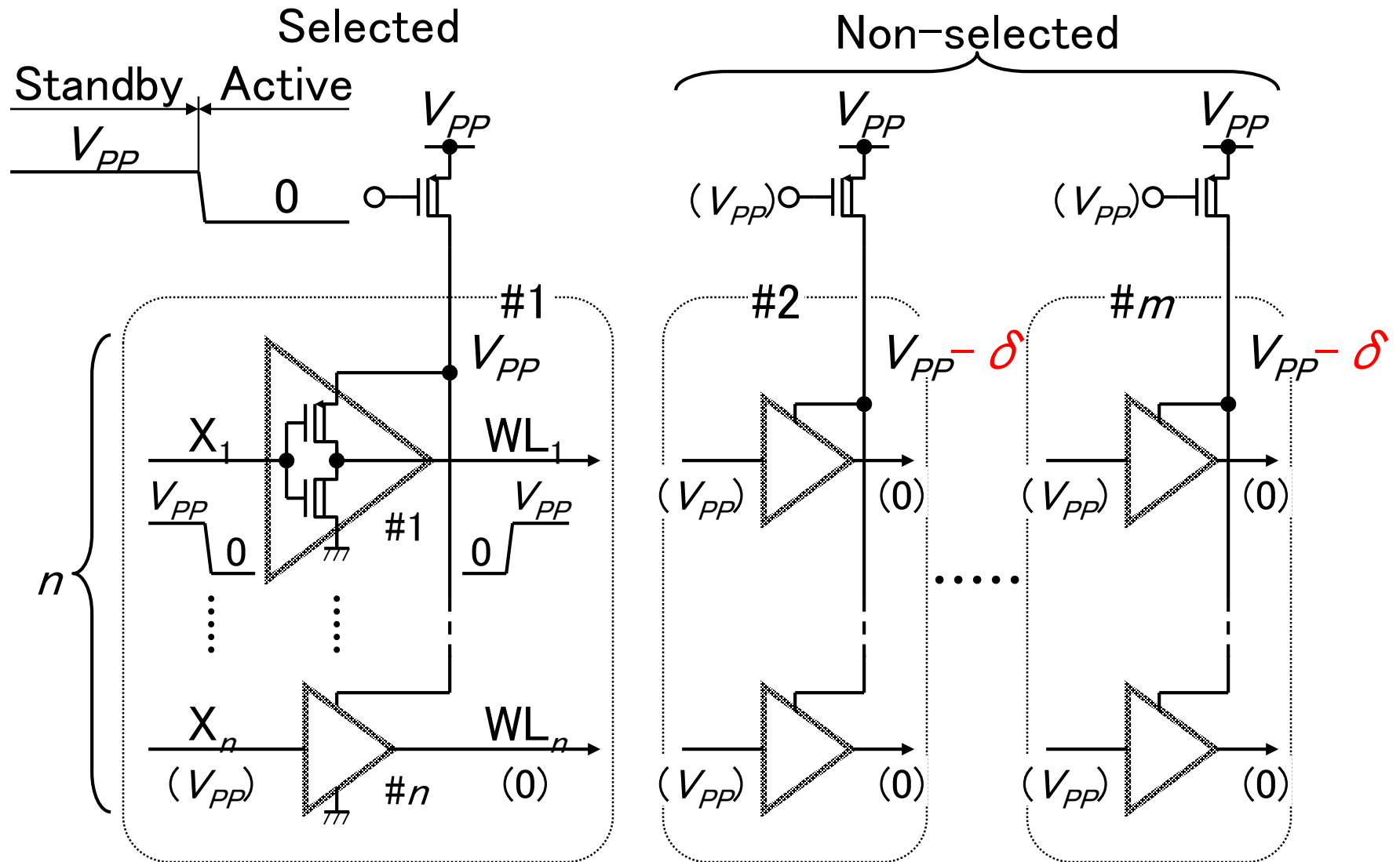
リーク電流低減効果



動作時のサブスレッシュヨルド電流



動作時のサブスレッショルド電流低減



ゲートトンネル電流

・特徴

膜厚依存性大

電圧依存性中

(~ 1 桁 / 0.5 V)

温度依存性小

常温でのリークが問題

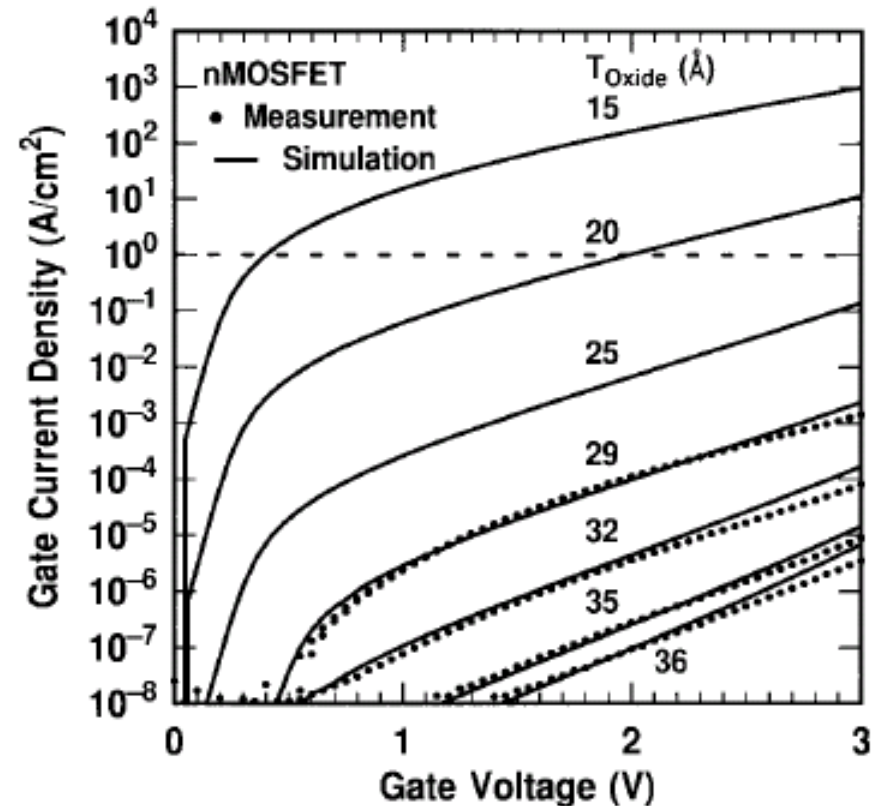
・対策

デバイスの対策

高誘電率(high- k)絶縁膜

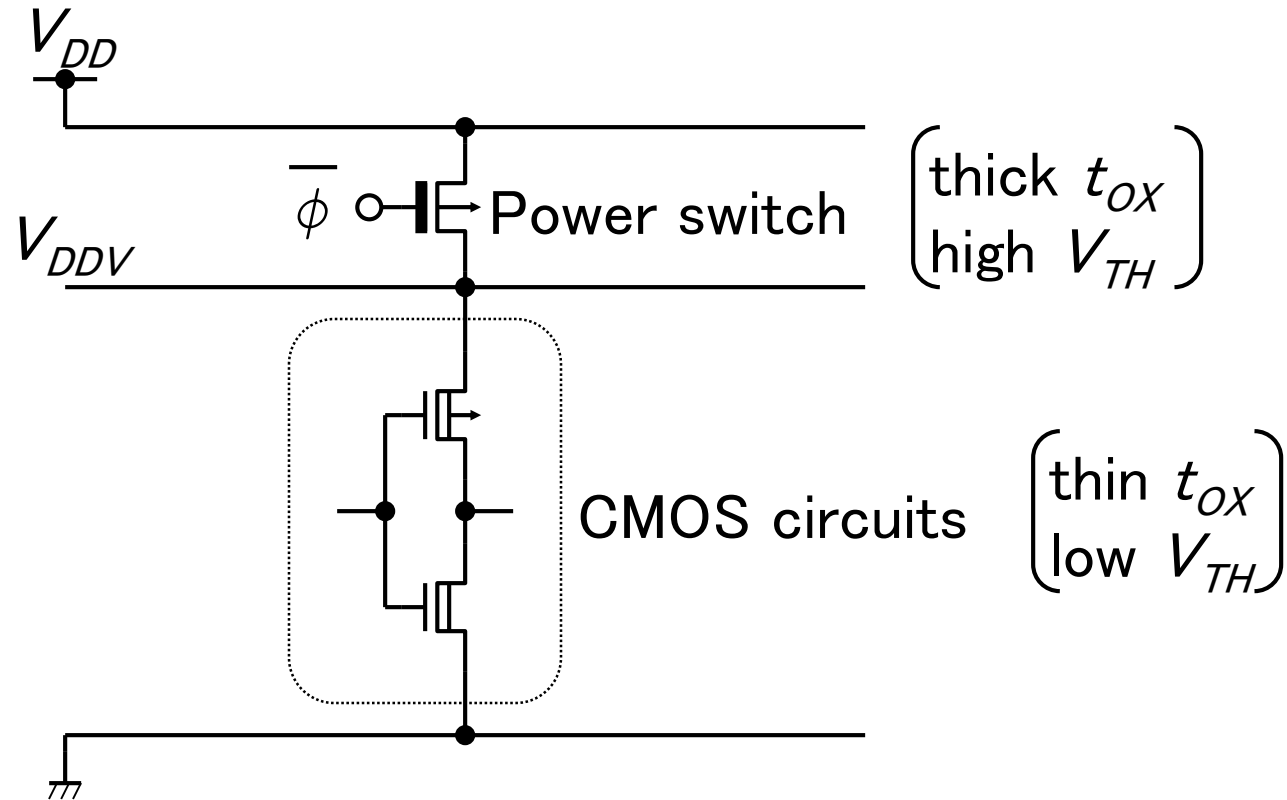
回路的対策

厚膜電源スイッチ



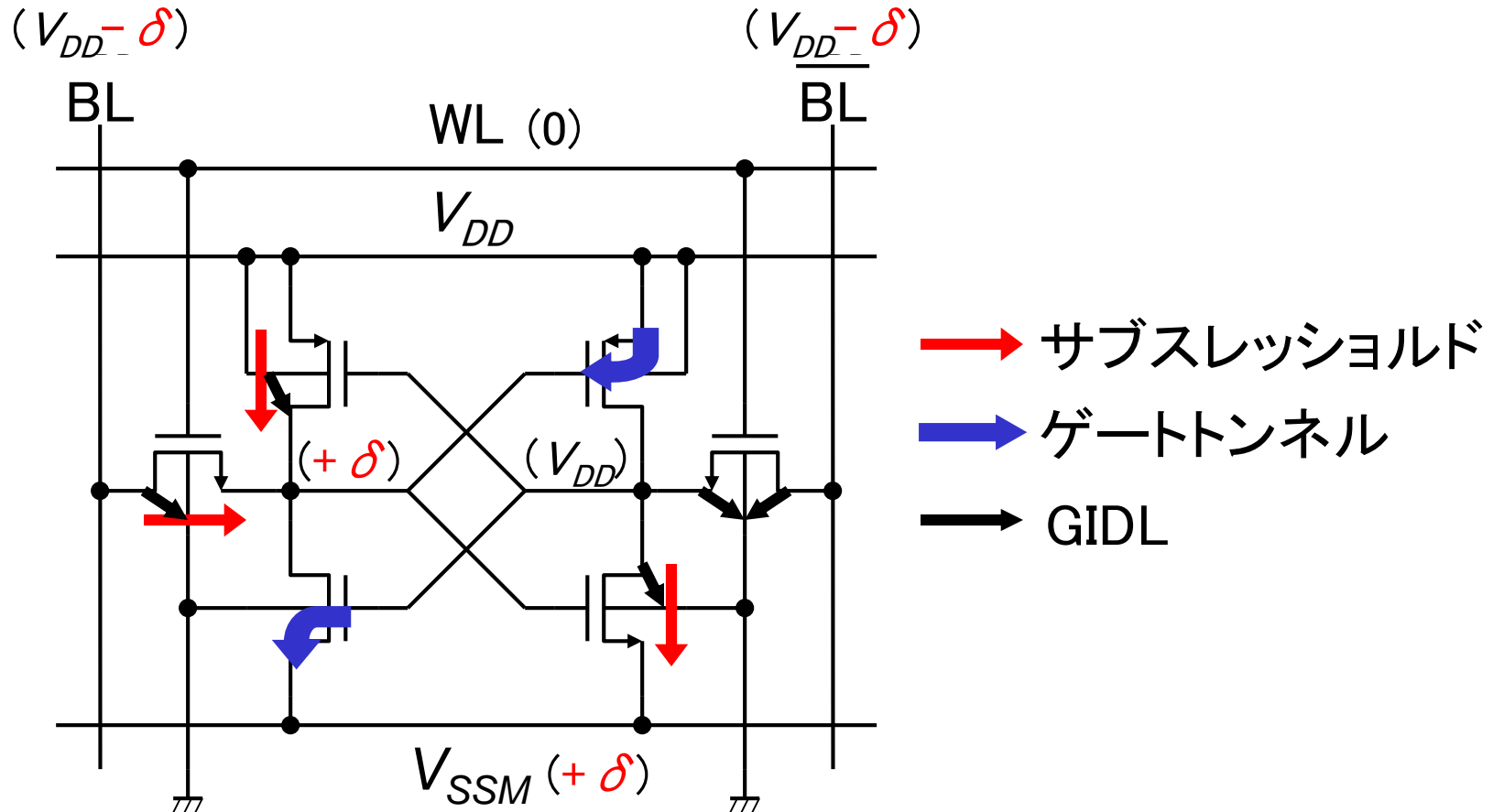
ゲートトンネル電流低減法

厚膜電源スイッチ

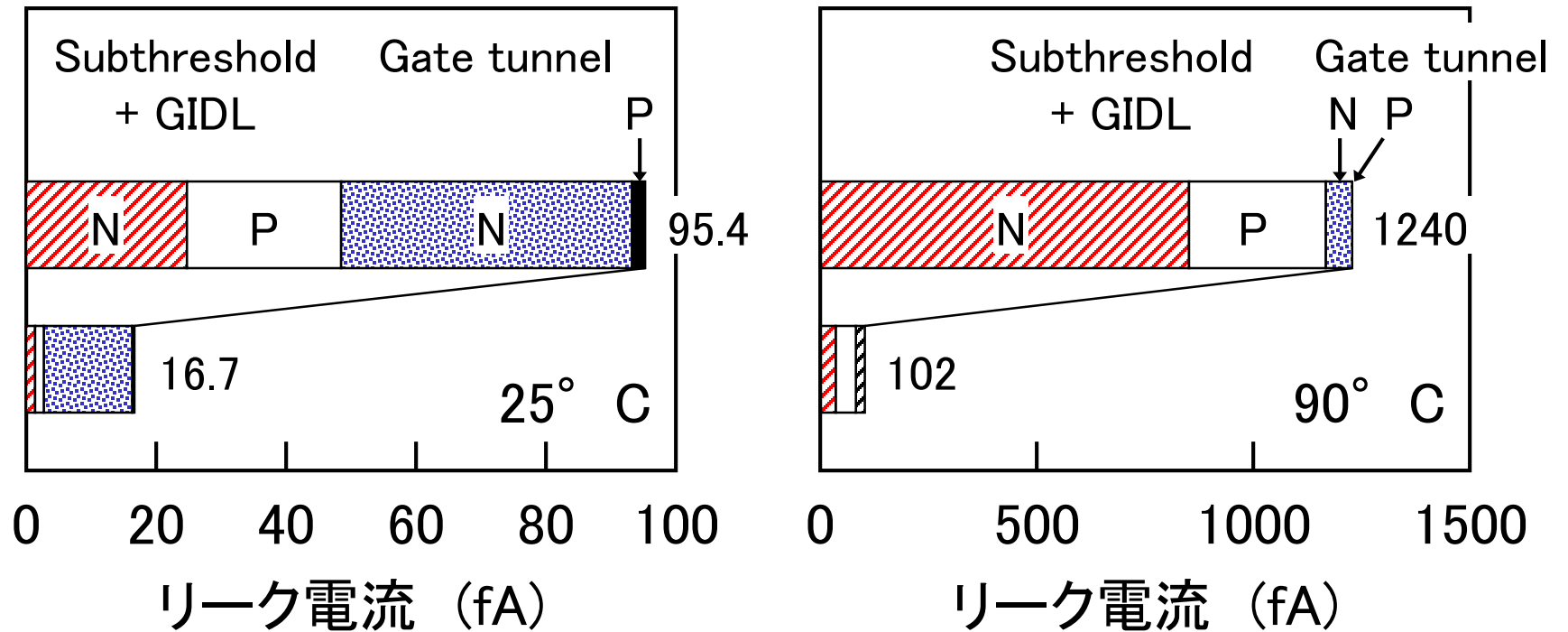


リーク電流低減例(1)

SRAMセル

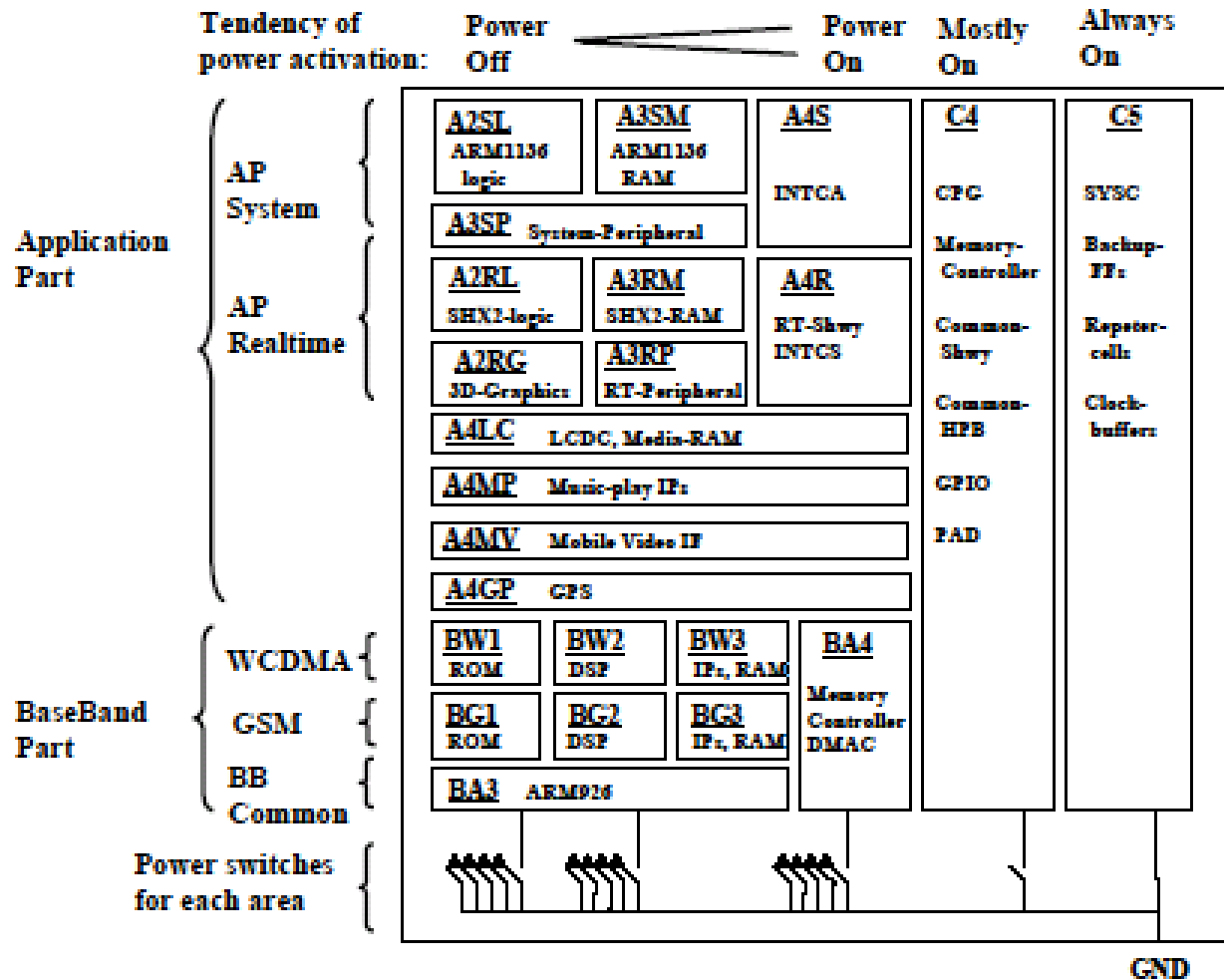


リーク電流低減効果



リーク電流低減例(2)

Mobile Processor



アナログ回路のリーク電流

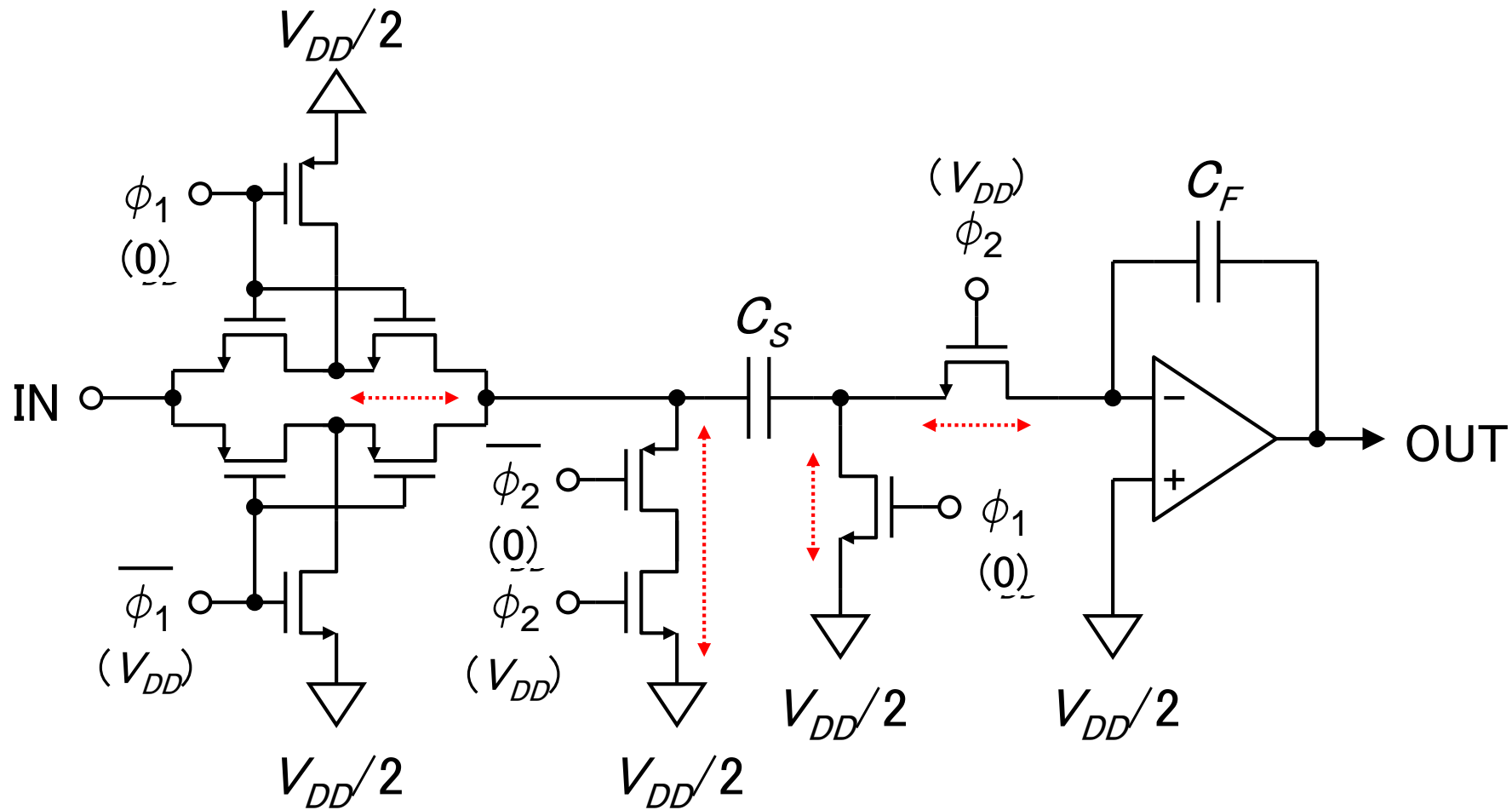
デジタル回路との差異

1. デジタル: 消費電流の増加
アナログ: 消費電流の増加 + **アナログ値の誤差**
2. デジタル: Σ (リーク電流)が問題
アナログ: **個々の**リーク電流が問題

対策

1. リーク電流低減
リーク電流 \ll 信号電流
$$\frac{1}{C} \int (\text{リーク電流}) dt \ll \text{信号電圧}$$
2. リーク電流補償
リーク電流 \doteq 補償電流

アナログ回路のサブスレッショルド電流低減



まとめ

・サブスレッショルド電流低減

待機時 { メモリ…… $V_S = +\delta$ が効果大
 { ロジック……電源スイッチ
 { アナログ……今後の課題

動作時……部分的活性化

2種 V_{TH} はどちらにも効果あり

・ゲートトンネル電流低減

回路的対策もあるが、高誘電率 (high k)

ゲート絶縁膜が最も効果的