

# アナログ回路のためのレイアウト — マッチング —

群馬大学

松田 順一

# 概要

## 1. 抵抗と容量に関するミスマッチ

### 1-1 ミスマッチの定義

### 1-2 ミスマッチの原因

- (1) ランダム変化、(2) プロセス・バイアス、(3) リード線の寄生効果、(4) パターン・シフト、(5) エッチレートの変化、(6) フォトリソの影響、(7) 拡散の干渉、(8) アロイ(水素アニール)の影響、(9) メカニカル・ストレスとパッケージ・シフト、(10) ストレス勾配、(11) 温度勾配、(12) 熱誘起電位、(13) 静電干渉

### 1-3 抵抗と容量に関するマッチングのルール

## 2. MOSFETに関するミスマッチ

### 2-1 ゲート電圧とドレイン電流のミスマッチ

### 2-2 形状の影響

- (1) ゲート面積、(2) ゲート酸化膜厚、(3) チャネル長変調、(4) 方向性(移動度)

### 2-3 拡散とエッチングの影響

- (1) ポリSiエッチレートの変化、(2) ポリSi内不純物拡散、(3) アクティブ・ゲート上コンタクト、(4) チャネル近傍の拡散、(5) PMOSとNMOS

### 2-4 アロイ(水素アニール)の影響

### 2-5 温度とメカニカル・ストレスの影響

### 2-6 共通セントロイド・レイアウト

### 2-7 MOSFETマッチングのルール

After Alan Hastings

# ミスマッチの定義

- 一対のデバイスのミスマッチ

$$\delta = \frac{(x_2/x_1) - (X_2/X_1)}{(X_2/X_1)} = \frac{X_1 x_2}{X_2 x_1} - 1$$

$x_1, x_2$ : 測定値  
 $X_1, X_2$ : 設定値

- ミスマッチの平均値

$$m_\delta = \frac{1}{N} \sum_{i=1}^N \delta_i$$

⇒ システムミスマッチ

- ミスマッチの標準偏差

$$s_\delta = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (\delta_i - m_\delta)^2}$$

⇒ ランダムミスマッチ

# システムミスマッチの例

## —コンタクト抵抗によるシステムミスマッチ—

コンタクト抵抗： $R_C = 100\Omega$

①  $R_{S1} = 2k\Omega$   $\Rightarrow R = 2.1k\Omega$  ( $R_C$ により5%増)

②  $R_{S2} = 4k\Omega$   
 $\Rightarrow R = 4.1k\Omega$  ( $R_C$ により2.5%増)

③  $R_{S1} = 2k\Omega$   $R_{S1} = 2k\Omega$   
 $\Rightarrow R = 4.2k\Omega$  ( $R_C$ により5%増)

①と②の対  $\Rightarrow \delta = 1.5\%$  (システム誤差有り)

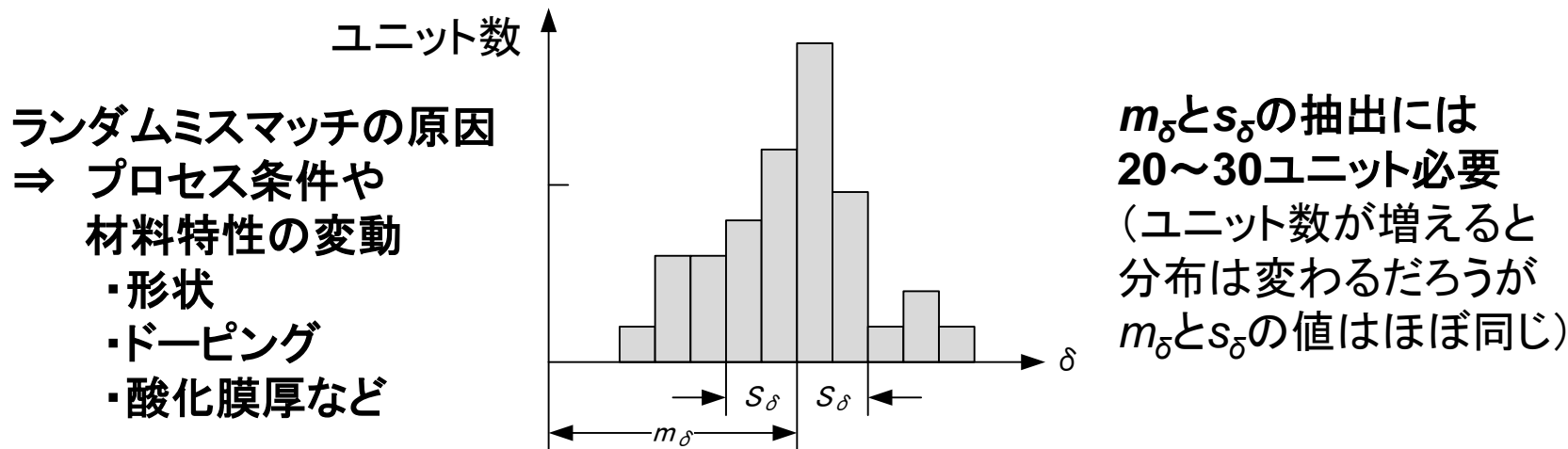
①と③の対  $\Rightarrow \delta = 0\%$  (システム誤差無し)

### システムミスマッチ

- ・プロセスバイアス
- ・コンタクト抵抗
- ・不均一電流分布
- ・不純物拡散干渉
- ・パターンシフト
- ・エッチレート変化
- ・近接効果
- ・水素の影響(アロイ)
- ・ストレス勾配
- ・温度勾配
- ・電圧変調
- ・熱誘起電位
- ・電荷広がり
- ・誘電分極など

# ワーストケース・ミスマッチの予測

- 3シグマミスマッチ  $\Rightarrow |m_\delta| + 3s_\delta$ 
  - 3シグマを超えるユニットは1%以下
- 6シグマミスマッチ  $\Rightarrow |m_\delta| + 6s_\delta$ 
  - 6シグマを超えるユニットは実質的にゼロ



$\Rightarrow$  4.5シグマミスマッチで特性予測

# ミスマッチの原因

## ーランダム変化ー

- 面積に依存するパラメータの標準偏差

$$s = m \sqrt{\frac{k}{2A}}$$

$s$ :  $A$ の面積を持つデバイスパラメータの標準偏差

$m$ :  $A$ の面積を持つデバイスパラメータの平均値

$A$ : 能動領域の面積

$k$ : マッチング係数 (コンポーネントとプロセス依存)

- 2コンポーネント間のミスマッチの標準偏差

$$s_{\delta} = \sqrt{\left(\frac{s_1}{m_1}\right)^2 + \left(\frac{s_2}{m_2}\right)^2}$$

$m_1, m_2$ : 各デバイスパラメータの平均値

$s_1, s_2$ : 各デバイスパラメータの標準偏差

集積デバイス ⇒ 面積起因(主) > 周辺起因

集積デバイスに於けるランダム・ミスマッチの計算には上記2式を使用

# ランダム変化

## —容量—

- 容量値の標準偏差

$$s = \sqrt{\frac{k_c C}{2}}$$

$m \Rightarrow C, \quad A \propto C$   
 $k_c$ : 容量のミスマッチ係数 (容量の単位)  
 (仮定: システム的な誤差無し)

- 2容量間のミスマッチの標準偏差

$$s_\delta = \sqrt{\frac{k_c}{C}}$$

⇒ 同一容量値

ミスマッチの標準偏差:  $1/N \Rightarrow C: N^2$

$$s_\delta = \sqrt{\frac{k_c (C_1 + C_2)}{2C_1 C_2}}$$

⇒ 異なる容量値

小さい容量値 ⇒ ミスマッチの影響大  
 対策: 容量比の大きな回路の回避  
 (注) 直列接続で小容量を形成した場合  
 ⇒ 下部電極の寄生容量の影響有り

# ランダム変化

## — 抵抗 —

- 抵抗値の標準偏差 ( $W/L$ )

$$s = \frac{1}{W} \sqrt{\frac{k_R R}{2}}$$

$$\because A = (R/R_s)W^2$$

$R_s$ : シート抵抗  $\Omega/\square$

$k_R$ : 抵抗のミスマッチ係数 ( $\Omega\mu\text{m}^2$ )

- 2抵抗間のミスマッチの標準偏差

$$s_\delta = \frac{1}{W} \sqrt{\frac{k_R}{R}}$$

⇒ 同一抵抗値 (同一  $R$ , 同一  $W$ )

ミスマッチの標準偏差:  $1/N$

⇒ ①  $R: N^2$  ( $W$ : 一定), ②  $W: N$  ( $R$ : 一定)

$$s_\delta = \frac{1}{W} \sqrt{\frac{k_R (R_1 + R_2)}{2R_1 R_2}}$$

⇒ 異なる抵抗値 (異なる  $R$ , 同一  $W$ )

小さい抵抗値 ⇒ ミスマッチへの影響大

対策:  $W$ を拡幅 (但し、抵抗面積の増大)



# 抵抗のランダム・ミスマッチの低減

## －異なる2抵抗値間－

- **小さい側の抵抗を並列接続(抵抗の面積拡大)**
  - － この場合の2抵抗間ミスマッチの標準偏差

$$s_{\delta} = \frac{1}{W} \sqrt{\frac{k_R}{2} \left( \frac{1}{R_1} + \frac{1}{N_s^2 R_2} \right)}$$

$R_1$  (幅  $W$ ): 大きい側の抵抗 (単一セグメント)

$R_2$  (幅  $W$ ): 小さい側の抵抗 ( $N_s$  個セグメント)

⇒ { 抵抗値  $N_s R_2$  のセグメントを  $N_s$  個並列接続  
 ⇒ 抵抗値:  $R_2$ , 抵抗の面積:  $N_s^2$

(例)  $R_1: 100\text{k}\Omega$ ,  $R_2: 10\text{k}\Omega$  の場合

$R_2: 2$  つの  $20\text{k}\Omega$  の抵抗を並列接続 ⇒ 約半分にばらつき低減  
 ( $R_1$  と  $R_2$  の  $W$  を 2 倍にするより面積的に有効)

# 抵抗のミスマッチ係数

- ポリSi抵抗の場合のミスマッチ係数

$$k_R = \eta R_S d_g^2 \quad (\text{但し、} W \gg d_g)$$

$\eta$ : 定数 (通常2)

$R_S$ : ポリSiのシート抵抗

$d_g$ : ポリSiグレインの平均直径

$d_g$ は1 $\mu\text{m}$ よりかなり小さいため、  
1 $\mu\text{m}$ 以上の $W$ であれば成立

シート抵抗:大、グレインサイズ:大  $\Rightarrow$  ミスマッチばらつき:大

# プロセス・バイアス

## — 抵抗 —

- 抵抗線幅にバイアスが有る場合

例: ポリSi 抵抗線幅 2 $\mu$ mと4 $\mu$ m、線幅のバイアス0.1 $\mu$ m

$$\left[ \frac{(2+0.1)}{(4+0.1)} - \frac{2}{4} \right] / \frac{2}{4} = 0.024$$

⇒ システムミスマッチ 2.4%

対策 ⇒ 同じ線幅

- 抵抗の長さバイアスが有る場合

例: 抵抗の長さ 20 $\mu$ mと40 $\mu$ m、コンタクトのバイアス 0.2 $\mu$ m

$$\left[ \frac{(20+0.2)}{(40+0.2)} - \frac{20}{40} \right] / \frac{20}{40} = 0.005$$

⇒ システムミスマッチ 0.5%

対策 ⇒ 同じサイズ(長さ)のセグメントに分割

$$\left[ \frac{(20+0.2)}{2} \cdot \frac{2}{(20+0.2)} - \frac{20}{40} \right] / \frac{20}{40} = 0$$

⇒ システムミスマッチ 0%

# プロセス・バイアス

## —容量—

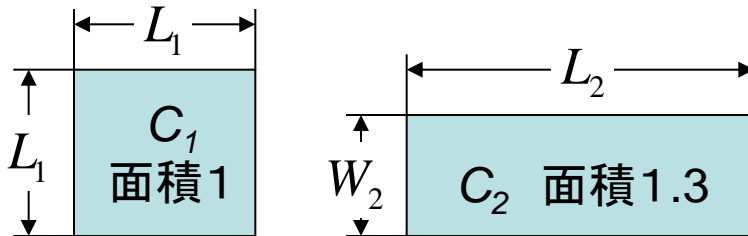
### • 容量パターンへのバイアス

例: ポリポリ容量  $10 \times 10 \mu\text{m}$ 、 $10 \times 20 \mu\text{m}$ 、ポリエッチバイアス  $0.1 \mu\text{m}$

$$\left[ \frac{(10.1 \times 10.1)}{(10.1 \times 20.1)} - \frac{100}{200} \right] / \frac{100}{200} = 0.005$$

⇒ システムミスマッチ 0.5%

面積 / 周辺長の比が一定 ⇒ プロセスバイアスからの影響無し(理論的)



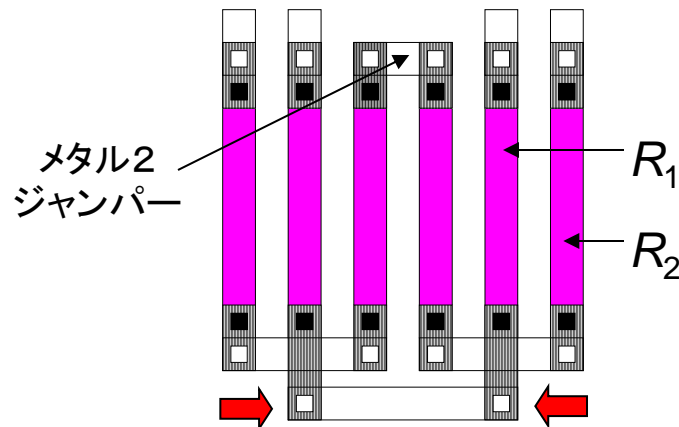
$C_2/C_1 > 1.5$ の場合  
⇒ 下式を使わないで  
ユニット容量のアレイを使用

$$L_2 = \frac{C_2}{C_1} \left( 1 + \sqrt{1 - \frac{C_1}{C_2}} \right) L_1, \quad W_2 = \frac{C_2}{C_1} \left( 1 - \sqrt{1 - \frac{C_1}{C_2}} \right) L_1$$

# リード線の寄生効果

## 抵抗

マッチングの向上: 全てのジャンパーにViaペアの導入

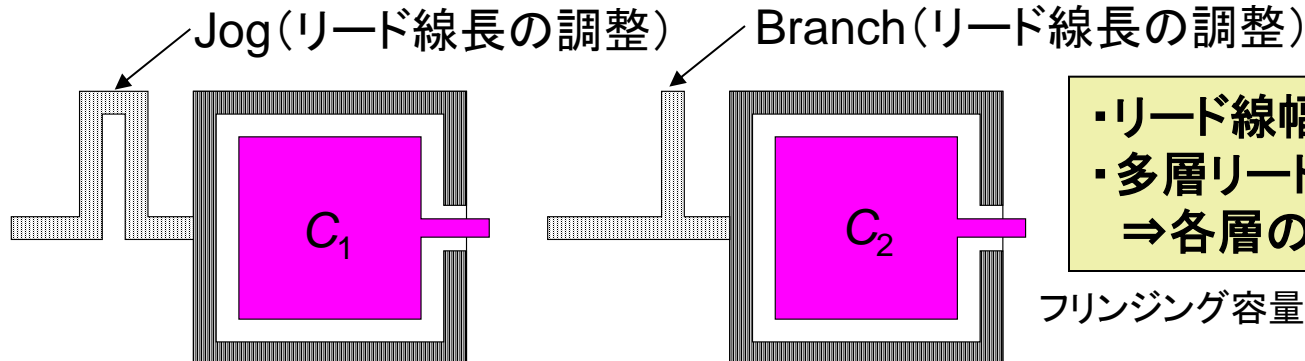


- ・ジャンパー長短縮による抵抗低減
- ・マルチViaの導入

例 各Via抵抗:  $2-5\Omega$   
 ジャンパーの抵抗 (Al):  $5-8\Omega$   
 抵抗  $R: 1k\Omega$  の場合  
 $\Rightarrow$  Viaとジャンパーの影響  $\approx 1-2\%$

## 容量

マッチングの向上: 各リード線の長さの比 = 各容量の比

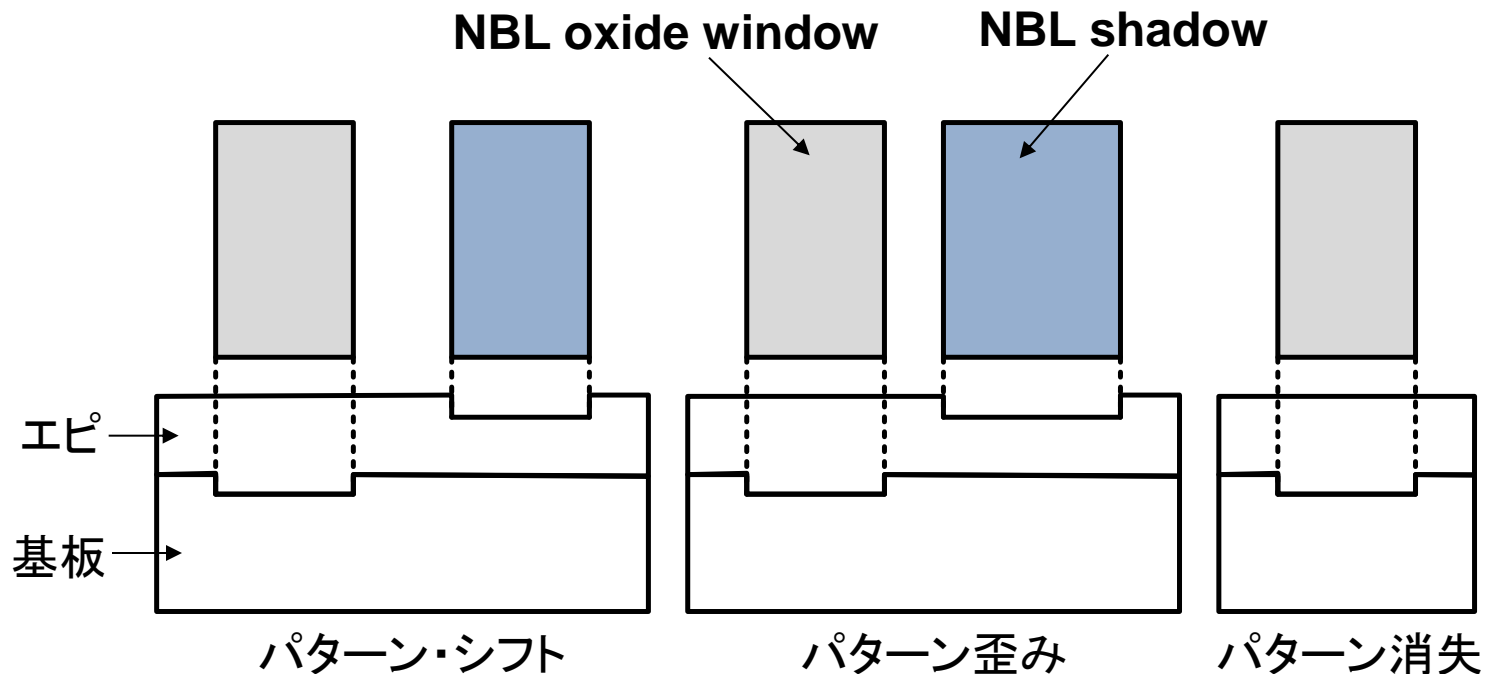


- ・リード線幅は同一
- ・多層リード線の場合  
 $\Rightarrow$  各層のリード線比同一

フリッジング容量を各(層)リード線で同一

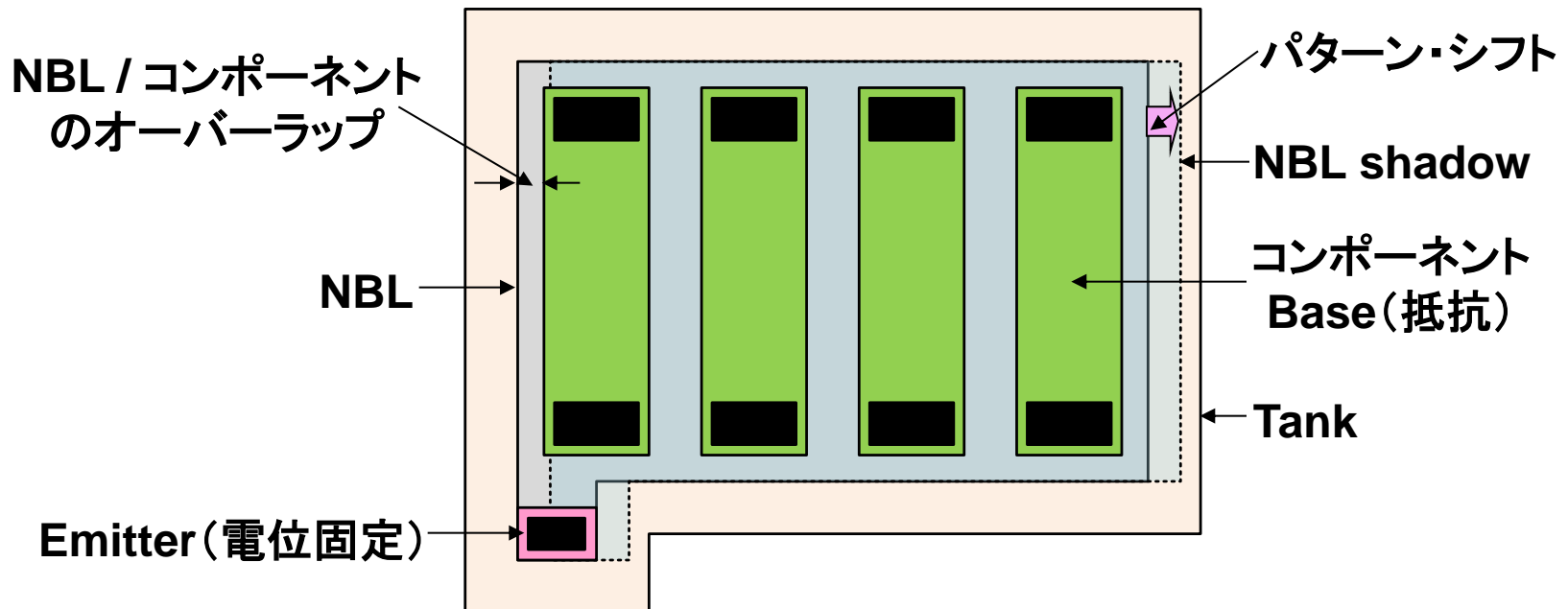
# パターン・シフト

- (111): パターン・シフトと歪み発生
  - シフトと歪みの最小化→ $\langle 110 \rangle$ 軸の周りに約 $4^\circ$  傾斜
- (100): パターン歪み発生(シフト無し)
  - 歪みの最小化→僅かな傾斜(シフトの発生)
- **NBL Shadowを含むマッチング用拡散抵抗→マッチングの低下**



# パターン・シフト対応

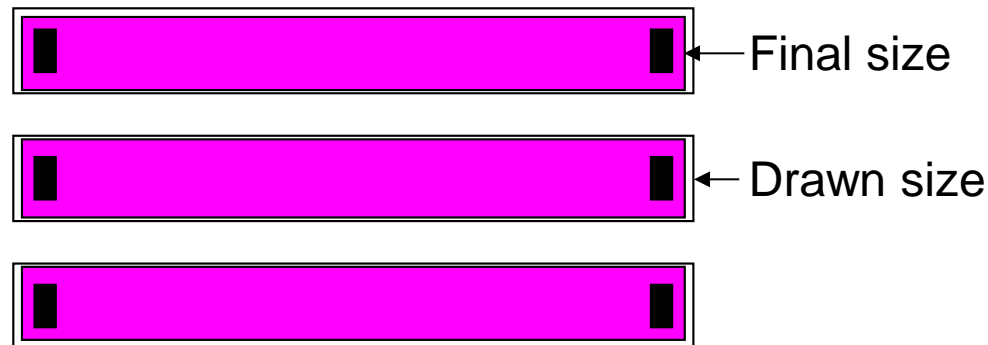
- コンポーネント下のNBL除去
  - Tank抵抗の増加(ラッチアップ耐性の低下)
- パターン・シフト情報(シフトの方向と量)のある場合
  - NBL / コンポーネントのオーバーラップ: **通常パターン・シフトの少なくとも120%必要**
- パターン・シフト情報のない場合
  - NBL / コンポーネントのオーバーラップ: **エピ厚の少なくとも150%必要(全方向)**



# エッチレートの変化

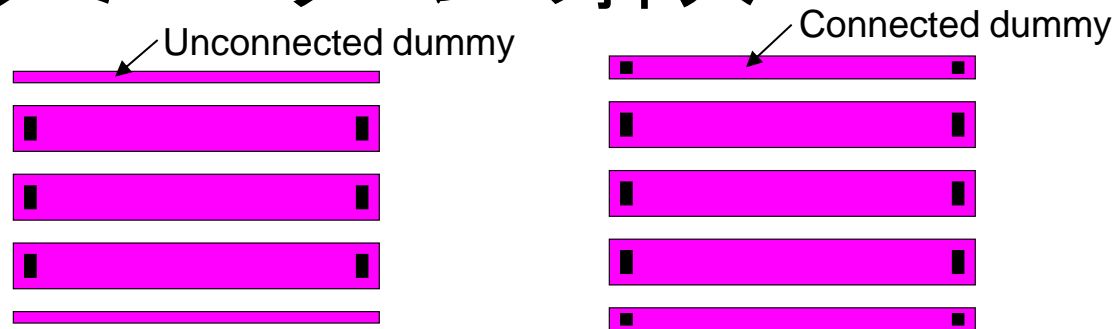
## —抵抗—

- パターンの外と内での線幅変換差の違い



**ポリSi 抵抗**  
 外: 変換差大  
 内: 変換差小  
 ⇒システムミスマッチ

- ダミーパターンの挿入



**(要注意)**  
 抵抗配列を囲む  
 ポリSi のリング  
 ⇒ドライエッチの電磁場によるリング内の電流発生  
 ⇒エッチレートに影響  
 (対策)リングにギャップ挿入

ダミー: フローティング  
 ⇒静電的な影響の可能性有り

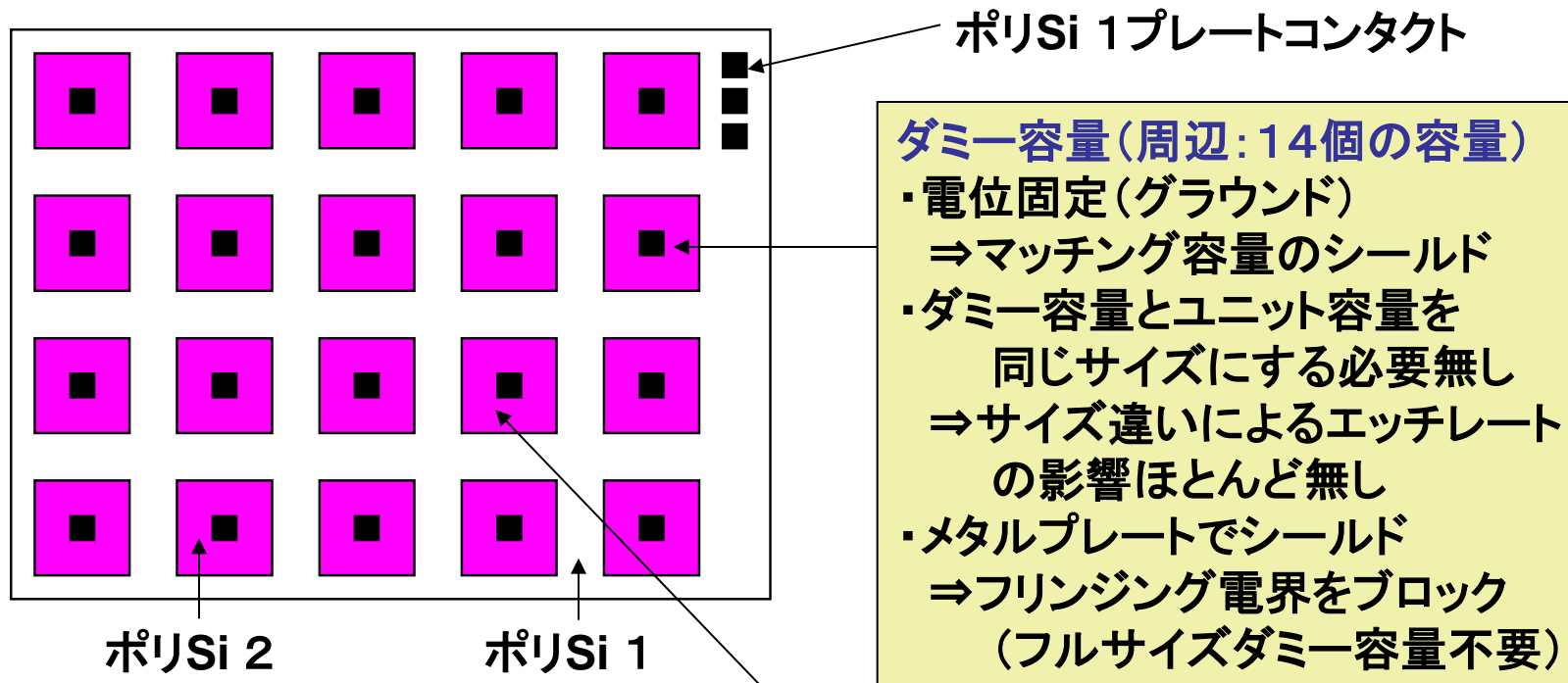
ダミー: 電位固定 ⇒ 静電的な影響無し (通常不必要)  
 (グランドまたは低インピーダンスノードへ接続)



# エッチレートの変化

## —容量—

### • ダミーパターンの挿入



ダミー容量—ユニット容量間、  
ダミー容量間、ユニット容量間スペース同一

**ユニット容量**  
(内部: 6個のマッチング容量)

# フォトリソの影響

- 露光

- 干渉(狭い形状:近接効果)

- マッチング・コンポーネントにサブミクロンの寸法を使わない  
(絶対的に必要でない限り)

理由:遠紫外光の場合 $1\mu\text{m}$ 以上の寸法で干渉によるミスマッチ大幅減

- サイドウォールからの反射

- 反射防止膜の使用

- 現像

- エッチレートの変化 (ウエハ周辺でウエハ中心を向く面でエッチレート早い)

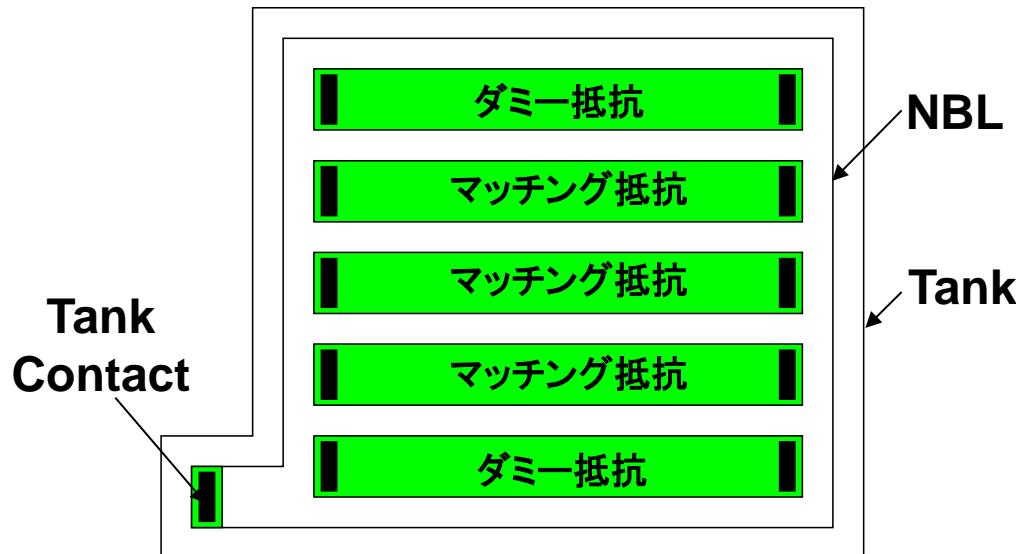
- 現像時のウエハ回転レートの低減
    - 全てのマッチング・コンポーネントにダミー・パターンを使用

現像の例: 0.4%のシステム・ミスマッチ発生( $0.4\mu\text{m}$ 幅の拡散抵抗の場合)<sup>(1)</sup>

# 拡散の干渉1

- 隣接した抵抗パターン
  - 隣接した同極の拡散層
    - シート抵抗の低下と拡散層幅の増大
  - 隣接した異極の拡散層
    - シート抵抗の上昇と拡散層幅の減少

## 拡散テイルの影響

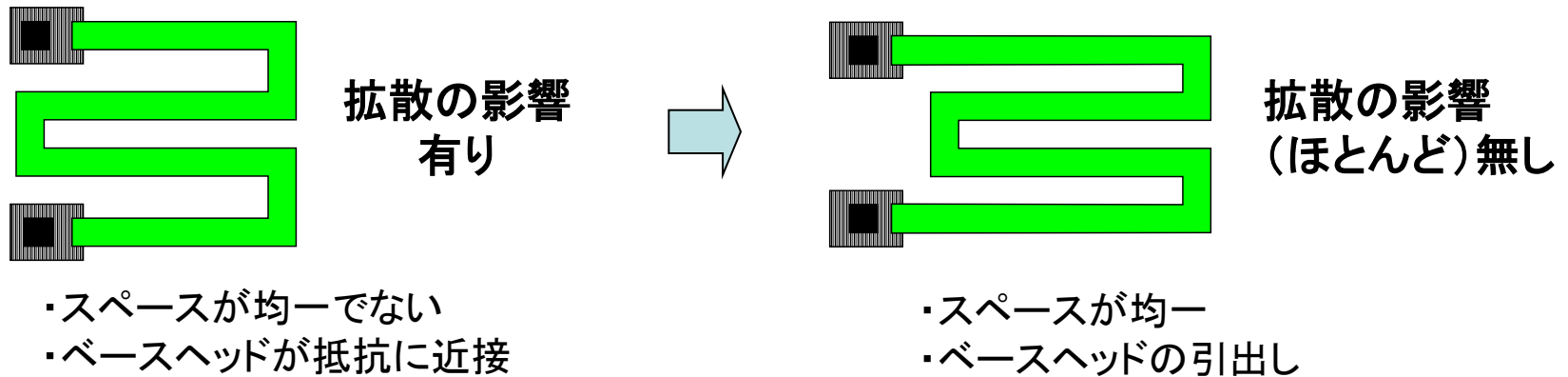


## 対策: ダミー抵抗の追加

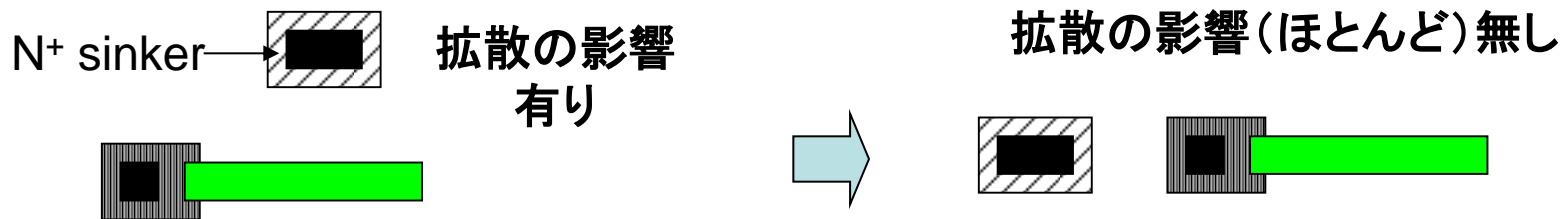
- マッチング抵抗と同形状  
⇒ドーピングプロファイルのマッチング
- グランドに電位固定  
⇒ラッチアップ耐性低下防止

# 拡散の干渉2

## • 曲りくねった抵抗パターン



## • N<sup>+</sup> sinkerからの拡散の影響



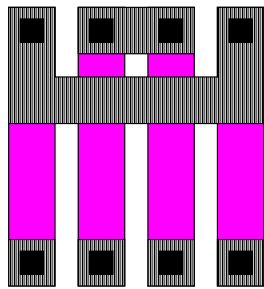
注) レトログレードウエル用高エネルギーイオン注入による影響:

レジスト端からのイオンの散乱(表面でのドーピング) ⇒ 拡散抵抗のミスマッチに影響

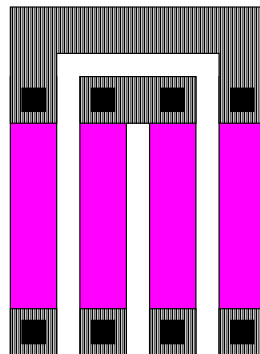
⇒ 対策: レジスト端から拡散抵抗を2~3 $\mu$ m離す

# アロイ(水素アニール)の影響

- 水素の導入:メタル工程(デポジション、エッチング、アロイ)
  - 界面準位と界面固定電荷の低減(ダングリングボンドの低減)
  - P型基板:Si内でB原子と結合⇒アクセプタとして機能せず(室温)  
(Hydrogen Compensation)
  - ポリSi の抵抗へ影響
    - グ레인境界でのダングリングボンドの低減 → 抵抗への影響大
    - P型抵抗の場合:Hydrogen Compensation発生 → 抵抗への影響小



ミスマッチ:大



ミスマッチ:小

## N型抵抗(Pの場合)

- ⇒Hydrogen Compensation無し
- ⇒グレイン境界でのダングリングボンド密度の低減(理由:グレイン境界でのPの蓄積)
- ⇒ランダムミスマッチに要注意
  - ・グレインサイズ要因
  - ・ドーパントの不完全な活性化要因

水素の影響 ⇒ メタルの有る所と無い所で差有り  
(水素:メタル内拡散不可、Ti:水素を強く吸収)

# パッケージ・シフト

- **パッケージ・シフト(パッケージ前後の電気特性の差)**
  - チップ全体へ影響するストレス
    - Siとパッケージ樹脂の熱膨張係数の差に起因
  - ローカルなストレス(ランダムな変化)
    - 樹脂の中のフィラー起因
- **パッケージ・シフトの低減**
  - **パッケージ後のトリミング(完全ではない)**
    - パッケージ・シフトの温度依存性に要注意
      - 25°C ⇒ 125°C パッケージ・シフト: ほぼ消滅
      - 25°C ⇒ -40°C パッケージ・シフト: およそ倍
    - 長時間高温動作時にパッケージ・シフトの増大に要注意
      - 樹脂の化学的変化に起因(パッケージの縮小)
  - **チップ上へのポリイミド膜や厚いCu膜のコーティング**
    - 樹脂中のフィラー起因のパッケージ・シフトに効果有り
    - チップ全体へ影響するストレス低減にあまり効果無し

# メカニカル・ストレス

## ー ダイボンドー

- チップとリードフレームとの接合

チップの接合方法	チップとリードフレーム間の熱的及び電氣的接合度合	残留ストレス
Agペースト	中	低
ハンダ	高	高
Au-Si共晶	高	高

- ハンダ/Au-Si共晶の場合の残留ストレスの低減
  - ー Siの熱膨張係数に近いリードフレーム材の使用

- 42アロイの使用
  - ー 脆く、熱及び電気伝導度が低い
- モリブデンの使用
  - ー 高価

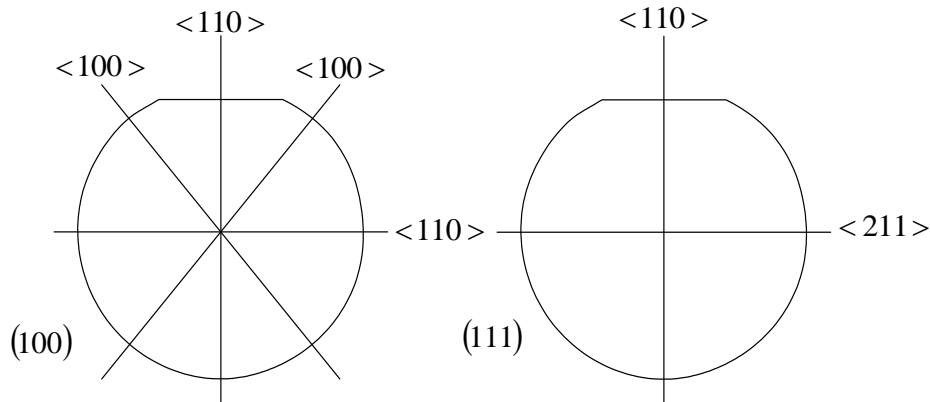
材料	熱膨張係数(ppm/°C)
エポキシ樹脂(典型)	24
Cuアロイ	16-18
42アロイ	4.5
モリブデン	2.5
Si	2.5

パワーデバイスではパッケージ・シフト大に関わらず**Cuリードフレーム**を使用  
理由: Cuの熱及び電気伝導度が高い(放熱に有効)

# ストレス勾配

## —ピエゾ抵抗率—

- (100)ウエハ
  - N型Siのピエゾ抵抗率、N型拡散(イオン注入)層抵抗のストレス感度
    - $\langle 110 \rangle$ 軸方向:最小、 $\langle 100 \rangle$ 軸方向:最大
  - P型Siのピエゾ抵抗率、P型拡散(イオン注入)層抵抗のストレス感度
    - $\langle 100 \rangle$ 軸方向:最小(ピエゾ抵抗率ゼロ)、 $\langle 110 \rangle$ 軸方向:最大
- (111)ウエハ
  - ピエゾ抵抗率の方向依存性無し
- Siのピエゾ抵抗率のドーピング密度依存性
  - ドーピング密度  $10^{18}\text{cm}^{-3}$  以下  $\Rightarrow$  ピエゾ抵抗率のドーピング密度依存性はほとんど無し
- ポリSi
  - ピエゾ抵抗率の方向依存性無し(ピエゾ抵抗率はポリSiの抵抗率の増大と共に低下)
  - 低ドーブポリSi  $\Rightarrow$  低ストレス感度(但し、P型Si $\langle 100 \rangle$ の場合より大)



**抵抗のマッチング性(全体的評価):**  
**ポリSi抵抗 > 拡散(イオン注入)層抵抗**  
 理由:ポリSi抵抗  $\rightarrow$  電圧変調無し  
 拡散(イオン注入)層抵抗  $\rightarrow$  電圧変調有り

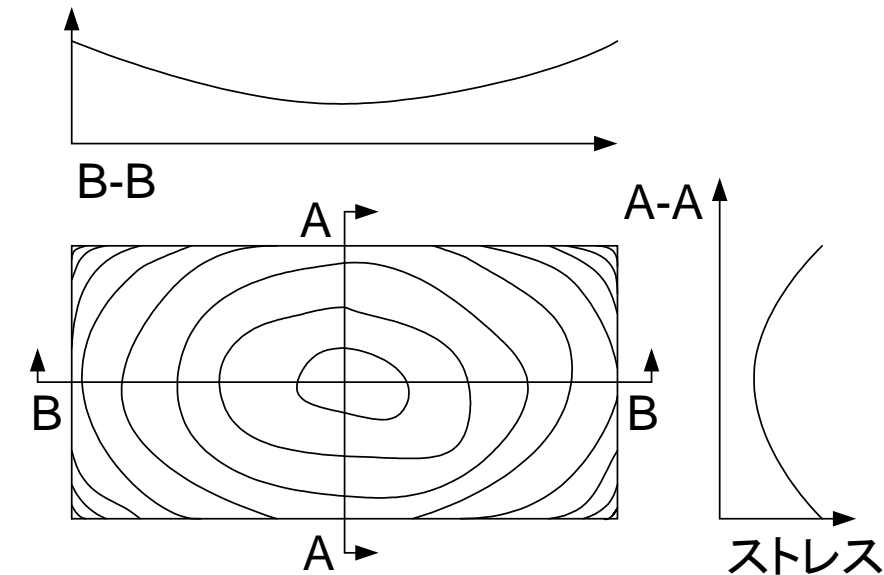


# ストレス勾配

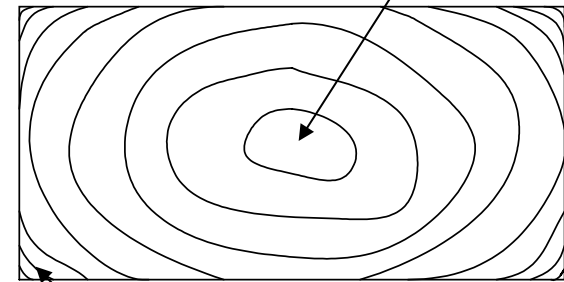
## —チップ表面でのストレス分布—

ストレス

局所的なストレス無視



ストレス勾配: 小



ストレス勾配: 大(4コーナー)

チップ表面でのストレス分布

デバイス間のマッチングを良くするには？  
 ⇒ ストレス差の低減 ⇒ マッチングデバイス出来るだけ接近(基本)

# ストレス勾配

## —2抵抗間のストレス誘起ミスマッチ—

### • ストレス誘起ミスマッチの大きさ

$$\delta_s = \pi_{cc} d_{cc} \nabla S_{cc}$$

$\pi_{cc}$ : セントロイド間を結ぶ線に沿ったピエゾ抵抗率

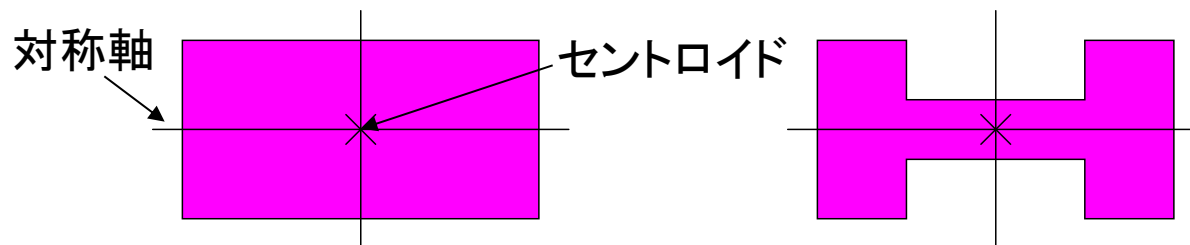
$\nabla S_{cc}$ : 上記線に沿ったストレス勾配

$d_{cc}$ : セントロイド間の距離

### • ストレス誘起ミスマッチの低減

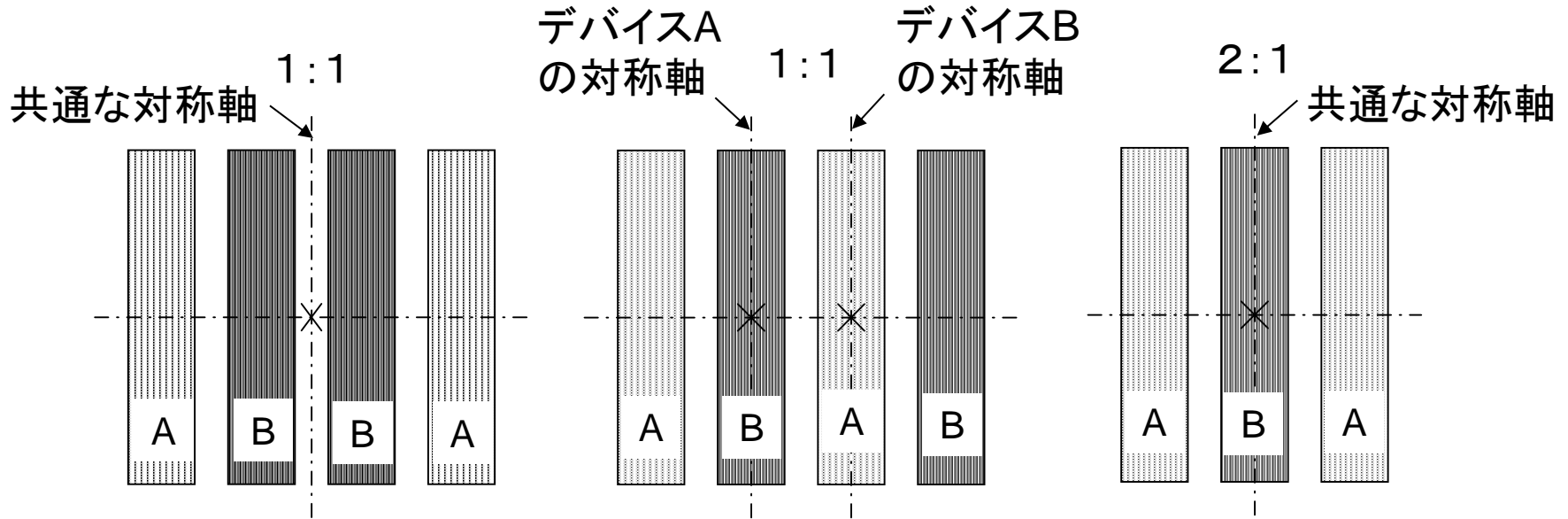
- ピエゾ抵抗率低減: 抵抗の材料と方向の選択
- ストレス勾配の低減: デバイス位置、低ストレスパッケージング材料
- セントロイド間の距離の低減

注) セントロイド: デバイスの各部分からの寄与を平均した位置(中心点)



# 共通セントロイド・レイアウト

## — 1次元配列 (Interdigitation) —



共通セントロイド  
(採用)

セントロイドに分離有り  
(不採用)

共通セントロイド  
(採用)

パターン端でダミーパターン必要

例 抵抗: 直列 or 並列  
容量: 並列

# セグメントの1次元配列の例

## — Interdigitation —

A  
 AB\*  
 ABC\*  
 ABCD\*  
 ABA  
 ABABA  
 AABA\*  
 AABAA

AAA  
 ABBAAB\*  
 ABCBACBCA\*  
 ABCDBCADBCDA\*  
 ABAABAABA  
 ABABAABABAABABA  
 AABAABAAABA\*  
 AABAAAABAAABAA

AA  
 ABBA  
 ABCCBA  
 ABCDDCBA  
 ABAABA  
 ABABAABABA  
 AABAABAA  
 AABAAAABAA

AAAA  
 ABABBABA  
 ABCABCCBACBA  
 ABCDDCBAABCDDCBA  
 ABAABAABAABA  
 ABABAABABAABABAABABA  
 AABAABAAAABAABAA  
 AABAAAABAAABAAAABAA

アスタリスク付: セントロイドに分離有り

# セグメント値の決定

- 最大公約数でセグメントを作成(基本)

抵抗の例 :10k $\Omega$ と25k $\Omega$   $\Rightarrow$  最大公約数 :5k $\Omega$

$\Rightarrow$  7セグメントで抵抗パターン作成

- 共通因子が存在しない場合

– 最も小さいデバイスの値を採用

抵抗の例 :39.7k $\Omega$ と144.5k $\Omega$

①  $39.7/1 = 39.7\text{k}\Omega : 1\text{セグメント} \Rightarrow 144.5\text{k}\Omega : 3.64\text{セグメント}$  (64%の部分セグメント)

②  $39.7/2 = 19.85\text{k}\Omega : 1\text{セグメント} \Rightarrow 144.5\text{k}\Omega : 7.28\text{セグメント}$  (28%の部分セグメント)

③  $39.7/3 = 13.23\text{k}\Omega : 1\text{セグメント} \Rightarrow 144.5\text{k}\Omega : 10.92\text{セグメント}$  (92%の部分セグメント)  $\Rightarrow$  採用

部分セグメント: フルセグメントの70%以上必要(基本)  
注) 分割しすぎてセグメントが小さくなり過ぎないこと

抵抗 10 $\square$ 以上  
容量 100 $\mu\text{m}^2$ 以上

# 部分セグメントの形成

- 部分抵抗セグメント

- スライディングコンタクトを使用して形成

- 各セグメントは同一形状

⇒各セグメント間でエッチングばらつきと拡散の干渉起因

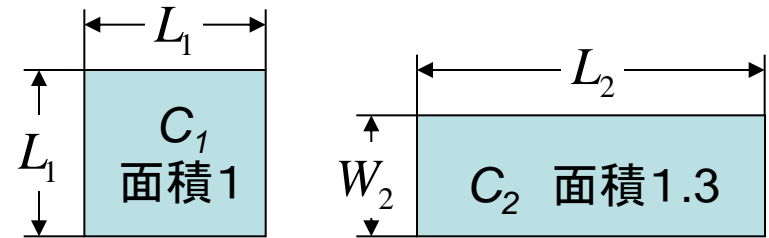
によるミスマッチ無し

- 部分ユニット容量

- 容量配列の端に配置

- 他のユニット容量を乱さない

- 面積/周辺比 ⇒ ユニット容量と部分ユニット容量で同じ



$$\Rightarrow L_2 = \frac{C_2}{C_1} \left( 1 + \sqrt{1 - \frac{C_1}{C_2}} \right) L_1, \quad W_2 = \frac{C_2}{C_1} \left( 1 - \sqrt{1 - \frac{C_1}{C_2}} \right) L_1$$

# 共通セントロイド・ルール

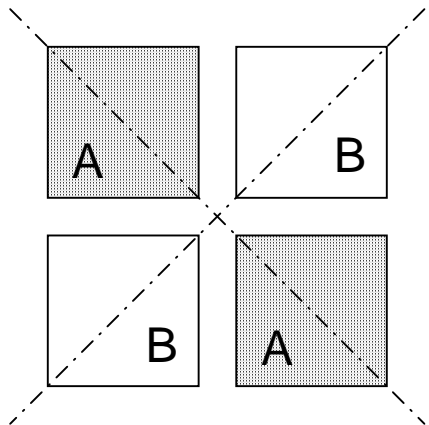
- マッチング・デバイスの**セントロイドの一致**
- 配列はXとY軸に対し**対称**
- 各デバイスのセグメントの**均一分布(分散)**
  - 配列① **A****B****B****A****A****B****B****A** (2セグメントの3回繰り返し)
  - 配列② **A****B****A****B****B****A****B****A** (2セグメントの1回繰り返し)
- **できるだけコンパクトな配列**
  - 配列の理想: 正方形
  - 実際の配列のアスペクト比が2:1を超える場合
    - ⇒ 2:1以下の配列になるように修正  
(例: 長いセグメント→セグメントの数を倍、各セグメントの値半分)

分散: 配列① < 配列②

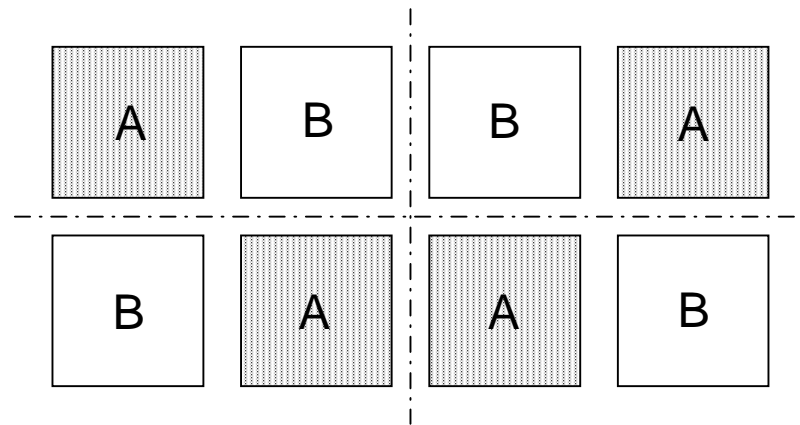
# 共通セントロイド・レイアウト

## —2次元配列—

- 容量(ダイオード、トランジスタ)の2次元配列



(a) cross- coupled pair



(b) cross- coupled pairの分割展開  
⇒ 分散の程度向上(XYの両方向に展開)

注) 抵抗: cross- coupled pair 不採用  
理由: 配列のアスペクト比→大(扱いにくい)



# セグメントの2次元配列の例

— Interdigitation —

ABBA  
BAAB

ABBAABBA  
BAABBAAB

ABBAABBA  
BAABBAAB  
ABBAABBA

ABBAABBA  
BAABBAAB  
BAABBAAB  
ABBAABBA

ABA  
BAB

ABAABA  
BABBAB

ABAABA  
BABBAB  
ABAABA

ABAABAABA  
BABBABBAB  
BABBABBAB  
ABAABAABA

ABCCBA  
CBAABC

ABCCBAABC  
CBAABCCBA

ABCCBAABC  
CBAABCCBA  
ABCCBAABC

ABCCBAABC  
CBAABCCBA  
CBAABCCBA  
ABCCBAABC

AAB  
BAA

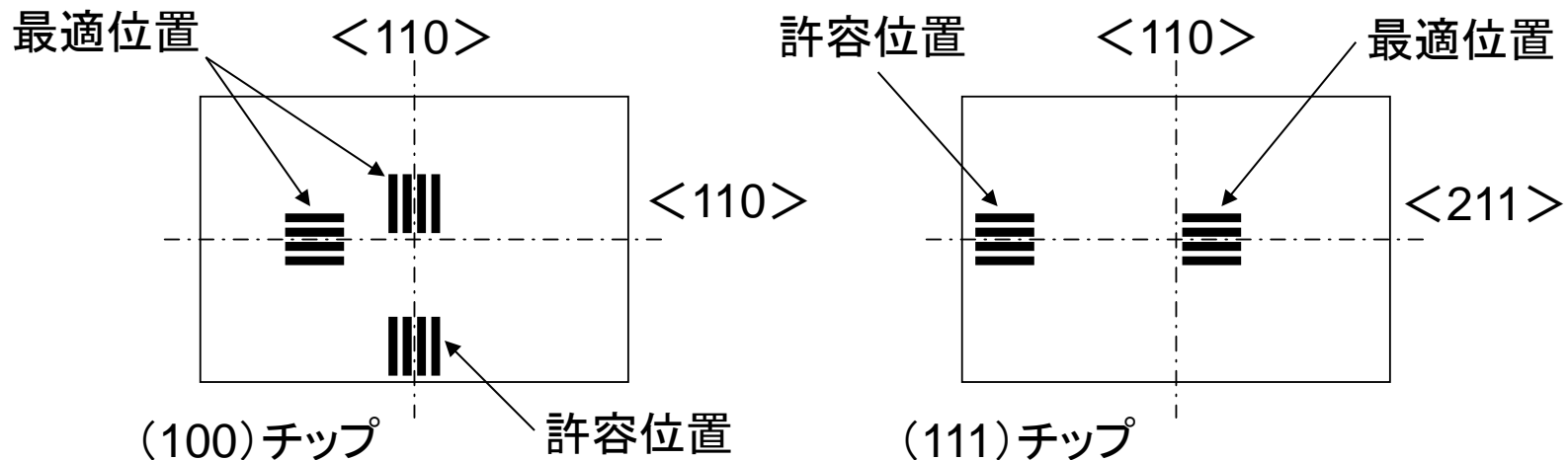
AABBAA  
BAAAAB

AABBAA  
BAAAAB  
AABBAA

AABBAA  
BAAAAB  
BAAAAB  
AABBAA

# マッチング・デバイスの最適位置と方向

- 位置: 残留ストレス勾配の最小位置
  - 最適位置  $\Rightarrow$  チップの中央近辺
  - 許容位置  $\Rightarrow$  チップの長辺側の周辺に沿った位置
- 方向: 共通セントロイドの対称軸がチップの水平軸または垂直軸に一致



(111)チップでのストレス分布の対称性  $\Rightarrow$  (<211>軸周り) > (<110>軸周り)

# ストレスのチップサイズと形状依存性

## －パッケージとダイボンドの影響－

- プラスチック・パッケージ(ダイボンド:ハンダまたはAu-Si)
  - － ストレスはチップサイズと形状に依存
    - チップサイズ:大 ⇒ ストレス:大
    - チップのアスペクト比:大 ⇒ ストレス:大
- メタルCan、セラミック・パッケージ(ダイボンド:エポキシ)
  - － ストレスはチップサイズと形状に依存せず
    - ストレス:小

パッケージ/ダイボンド	チップサイズ	アスペクト比(提案)	アスペクト比(最大)
メタルCan/エポキシ接着	Any	2:1 以下	Any
プラスチック/エポキシ接着	$< 10 \text{ mm}^2$	1.5:1 以下	3:1 以下
	$> 10 \text{ mm}^2$	1.5:1 以下	2:1 以下
プラスチック/ハンダ接着	$< 10 \text{ mm}^2$	1.5:1 以下	2:1 以下
	$> 10 \text{ mm}^2$	1.3:1 以下	1.5:1 以下

# 温度勾配

- 温度勾配がある場合の抵抗のミスマッチ

$$\delta_T = TC_1 d_{cc} \nabla T_{cc}$$

$\delta_T$  : 2つのデバイス間の熱誘起ミスマッチ

$TC_1$  : 抵抗の線型温度係数

$d_{cc}$  : 抵抗のセントロイド間の距離

$\nabla T_{cc}$  : 抵抗のセントロイドを結ぶ線に沿った温度勾配

- 例 : 抵抗の熱誘起ミスマッチ
  - 温度係数 : 2500ppm/°Cの場合
  - 温度勾配 : 0.1°C/μm (パワーデバイス近傍)
  - セントロイド間 10μm
    - ⇒ マッチング抵抗間で 1°C の差
    - ⇒ 0.25% のミスマッチ

# パッケージの熱抵抗

$$T_j = T_a + P_d \theta_{ja}, \quad T_j = T_c + P_d \theta_{jc} \quad (\text{パワーパッケージの場合})$$

$T_j$  : 接合温度       $P_d$  : パッケージ内でのパワー消失  
 $T_a$  : 周囲温度       $\theta_{ja}$  : 熱抵抗 (接合 - 周囲)  
 $T_c$  : ケース温度       $\theta_{jc}$  : 熱抵抗 (接合 - ケース)

パッケージ	$\theta_{ja}$ (°C/W)	$\theta_{jc}$ (°C/W)
16-pin プラスチック DIP	110	
16-pin プラスチック SOIC	131	
3-lead プラスチック TO-220 パワーパッケージ		4.2
3-lead メタル TO-3 can パワーパッケージ		2.7

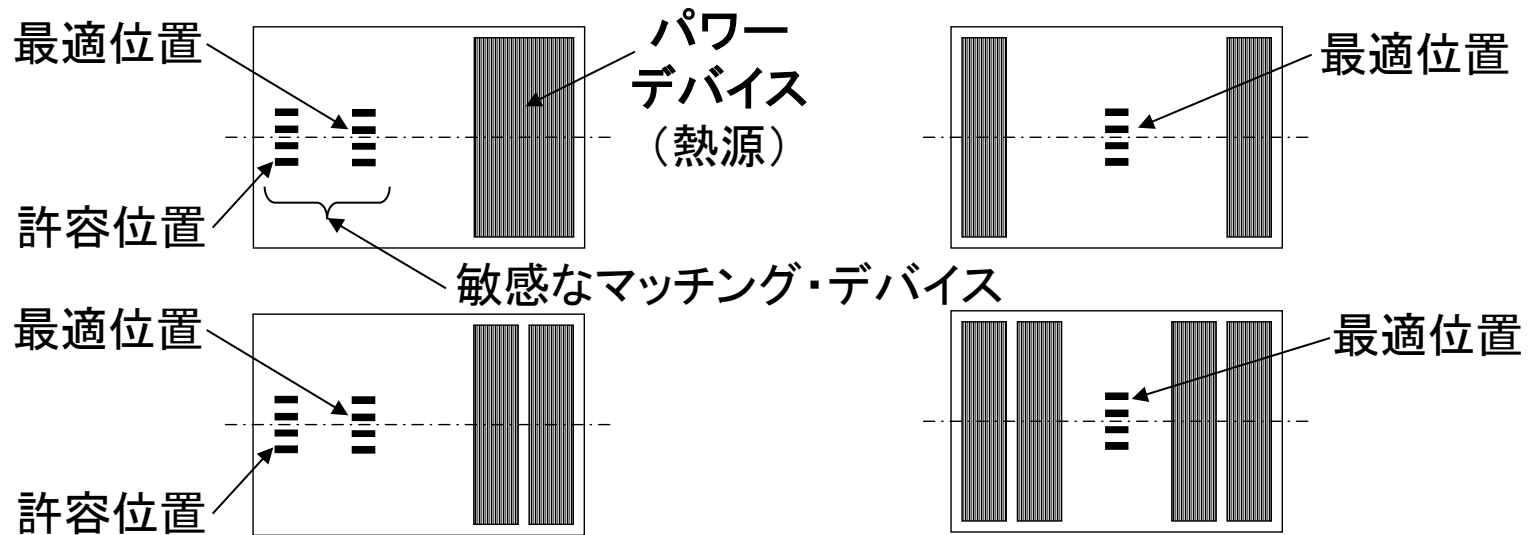
パワーパッケージ内のパワーデバイスからの発熱  
 ・ヒートシンク有り ⇒ チップ表面の温度勾配大  
 ・ヒートシンク無し ⇒ チップ表面の温度勾配小

By Alan Hastings

# パワーデバイスの最適配置

## — マッチング・デバイスへの影響 —

- パワーデバイスの配置
  - チップの対称軸上に配置 (対称な熱分布)
  - 敏感なマッチング・デバイスから遠ざけて配置
    - チップのアスペクト比を上げて (1.3~1.5) 距離確保



注) チップ端では、マッチング・デバイスへのストレスの影響あり

# 熱誘起電位

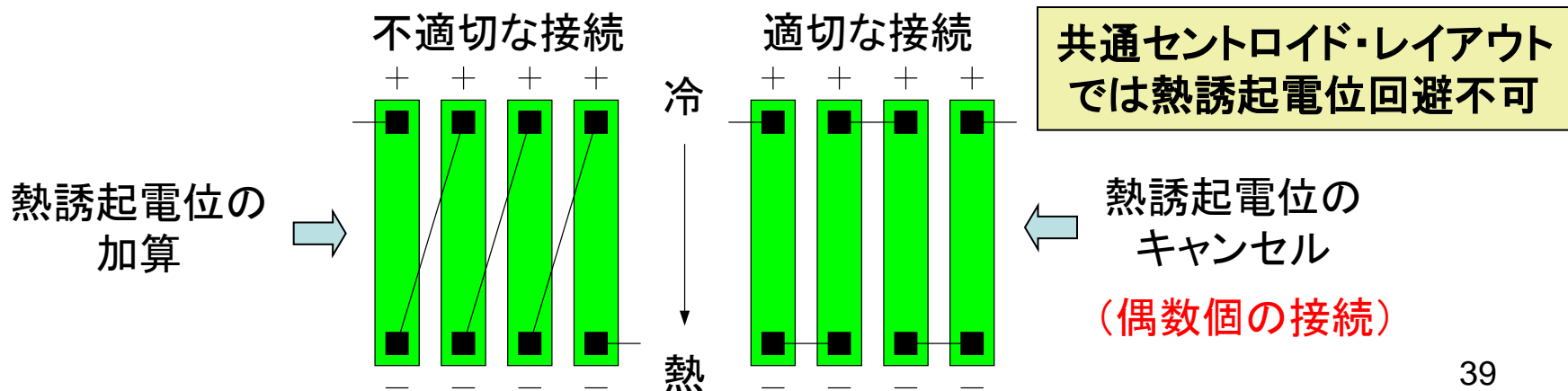
## — Seebeck効果 —

- コンタクト(金属/半導体)電位の温度依存性
  - 温度差のあるオーミックコンタクト間で電位差発生

$$E_T = S\Delta T_C$$

$E_T$ : 熱誘起電位  
 $S$ : Seebeck係数  $\Rightarrow$  典型的な値 約0.4mV/°C  
 $\Delta T_C$ : 抵抗の2コンタクト間の温度差

- 抵抗の接続方法(熱誘起電位のキャンセル)



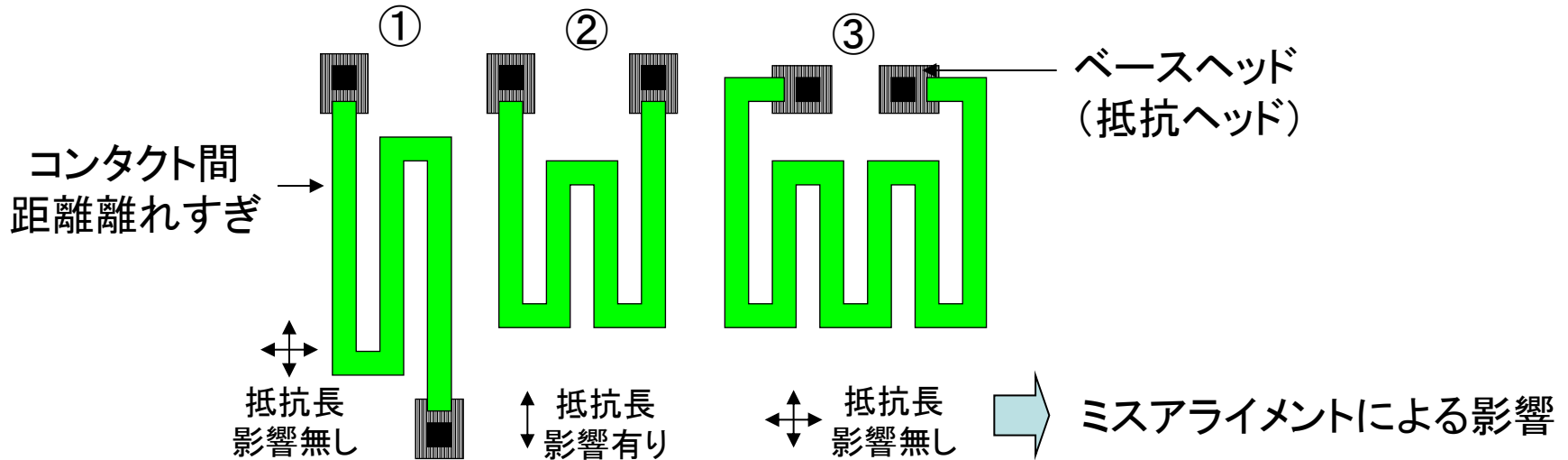
# 熱誘起電位の抑制

## — 曲りくねった抵抗パターン —

### • コンタクトの位置による影響

- ① 熱誘起電位の影響大、ミスアライメントの影響無し
- ② 熱誘起電位の影響小、ミスアライメントの影響有り
- ③ 熱誘起電位の影響小、ミスアライメントの影響無し

⇒ 但し、ベースヘッドの近接による拡散の干渉に要注意



曲がりくねった抵抗パターンでの熱誘起電位の抑制 ⇒ **コンタクト位置の近接**



# 静電干渉

- 電界の影響
  - 抵抗材料内キャリアの空乏と蓄積による抵抗値変化
  - 容量と周辺回路とのカップリングによる容量値変化
  - 抵抗と容量の配列内に存在するセンシティブな高インピーダンスノードへのノイズのカップリング
- 抵抗における静電干渉
  - 電圧変動、電荷広がり、誘電分極
- 容量における静電干渉
  - 容量カップリング、誘電緩和

# 抵抗の電圧変調

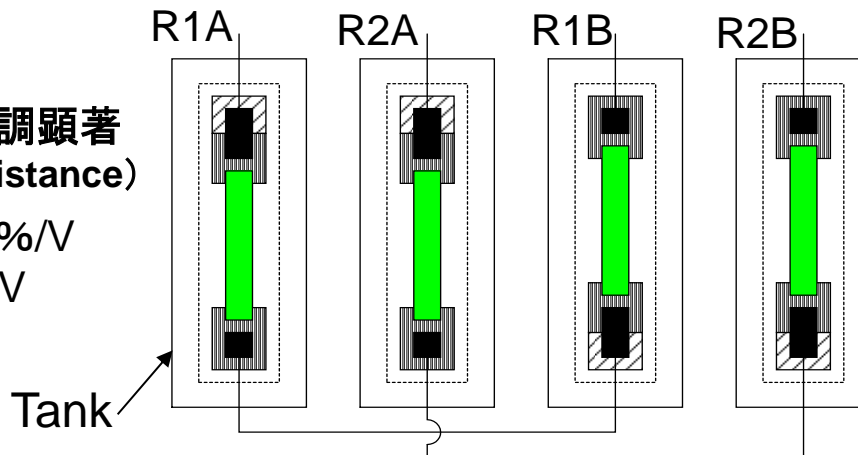
## －拡散抵抗とタンク間電圧－

- タンク内の拡散抵抗の電圧変調抑制
  - － 拡散(マッチング)抵抗とタンク間の電圧を一定
    - マッチング抵抗値: 同一、バイアス: 同一の場合
      - － 各マッチング抵抗を共通タンク内に収納
    - マッチング抵抗値が上記以外の場合
      - － 各マッチング抵抗を各タンク内に収納
        - » 各抵抗で抵抗とタンク間電圧同じ (抵抗の正電極側をタンクに接続)

HSR → 電圧変調顕著  
(High Sheet Resistance)

$160\Omega/\square \rightarrow 0.1\%/V$

$2k\Omega/\square \rightarrow 1\%/V$



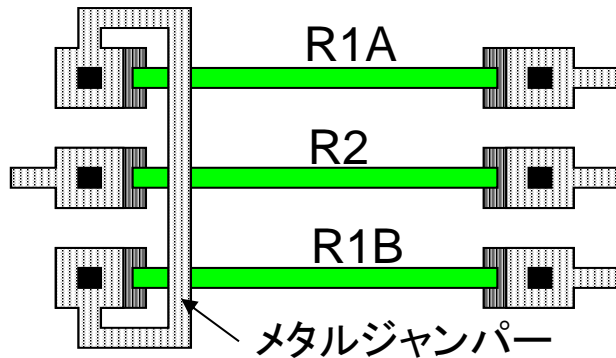
左の方式では チップ面積大  
⇒ポリSi 抵抗の使用  
注)ポリSi 抵抗不使用の場合  
⇒電圧変調の許容度検討  
⇒トリミング活用

- 熱誘起電位の抑制
- タンク変調の抑制

# 抵抗の電圧変調

— 抵抗を横切る配線と抵抗との間の電圧 —

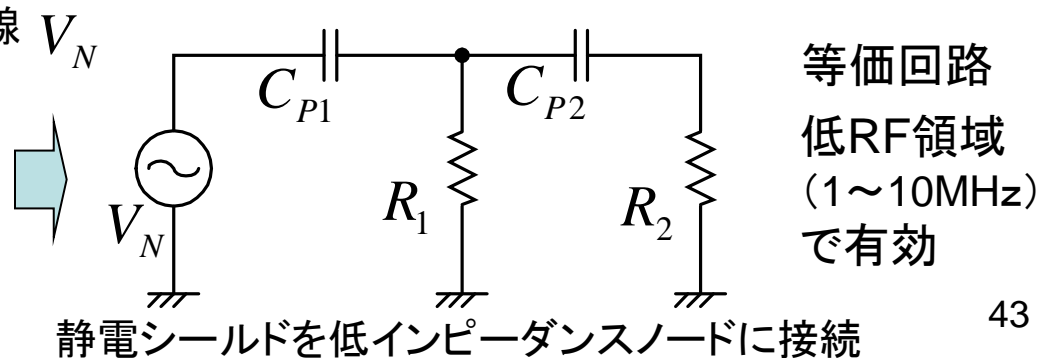
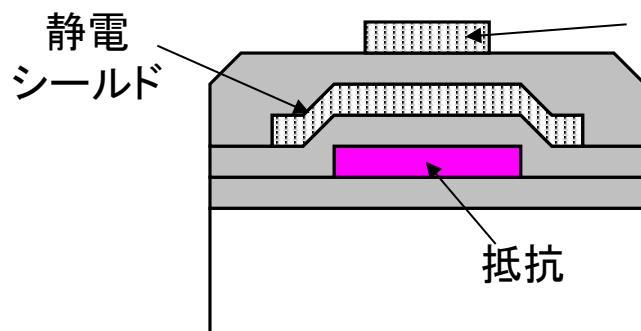
- メタルジャンパーの使用(メタル1層プロセスの場合)



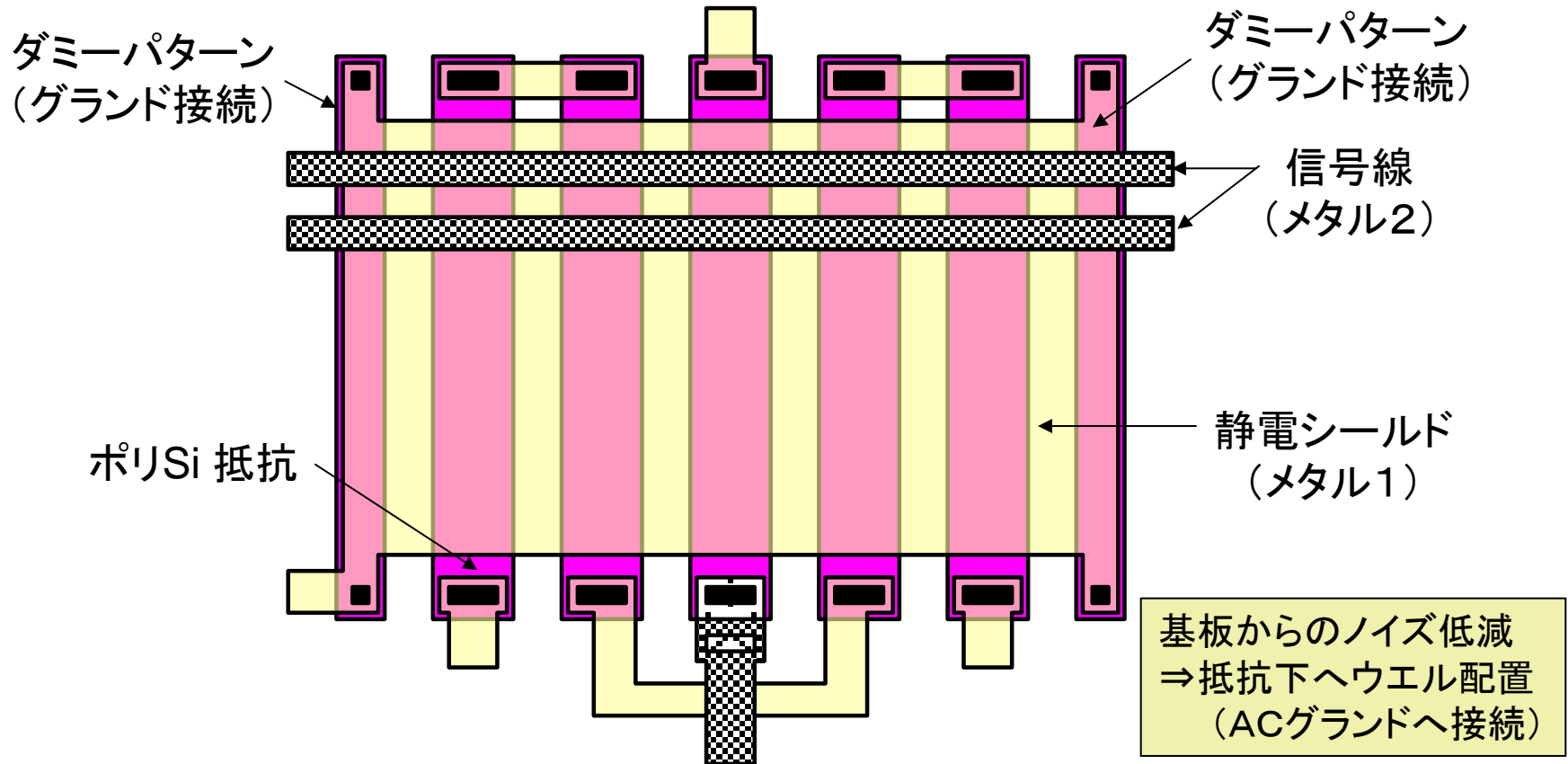
ジャンパーは同じ形で各抵抗と交差  
⇒ストレス及び水素侵入によるミスマッチ低減  
(但し、マッチング抵抗上の配線は原則禁止)

- 静電シールド

— 抵抗の伝導度変調防御、容量カップリングのシールド



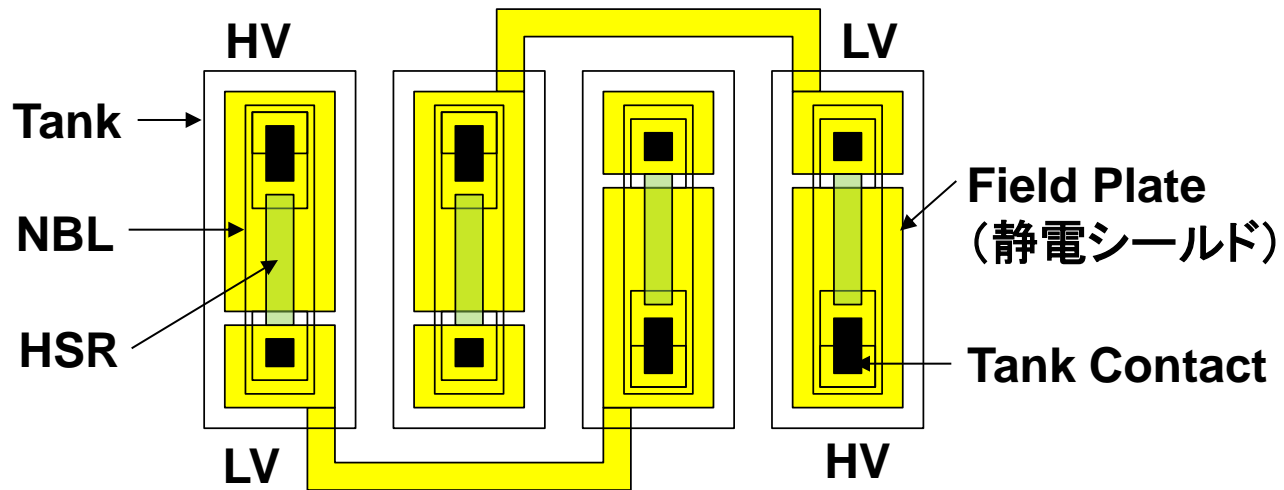
# 抵抗の静電シールドの実施例



共通静電シールド ⇒ 抵抗の伝導度変調無し / 信号線によるストレスを緩和  
 注) 抵抗の電位差小 & 約500Ω/□以下の場合 ⇒ 共通静電シールド有効  
 抵抗の電位差(数V) または 高抵抗の場合  
 ⇒ 各抵抗セグメントの静電シールド有効(抵抗の伝導度変調の発生抑制)

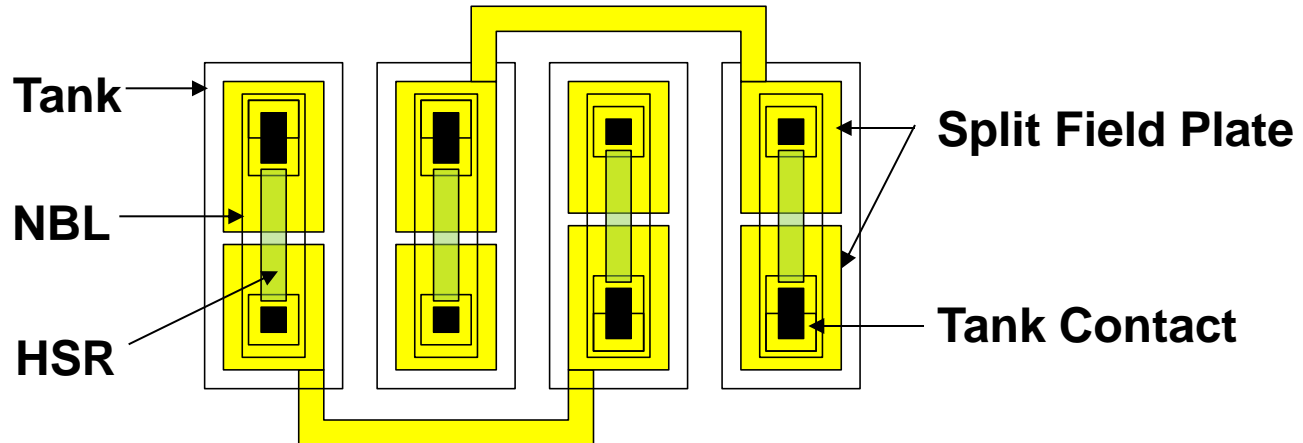
# 電荷広がり

- 電荷広がり: 界面トラップ電子の電界による移動
  - 回路動作から発生する一部電子の界面トラップ
    - 層間膜とパッシベーション膜間/パッシベーション膜とモールド樹脂間
  - 高電圧、湿度、可動イオンが電荷広がりの効果を増幅
- 界面トラップ電子による抵抗値変化(高抵抗の伝導度変調)
- 静電シールド(フィールドプレート: 抵抗全体をカバー)による電荷広がり対策
  - フィールドプレートは抵抗の正電極側に接続(Tank Biasに設定)
  - フィールドプレート上の配線によるノイズカップリング増大(高抵抗接続の場合)
  - フィールドプレートを横切る配線の禁止(低抵抗接続の場合除く)



# 誘電分極

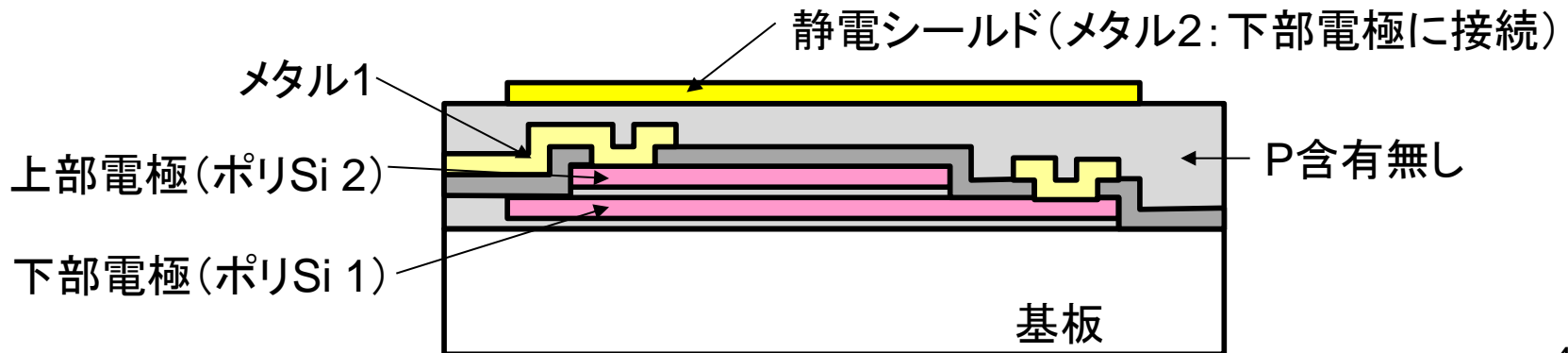
- 酸化膜内電界によるアルカリイオン (Na、K) の移動 → 誘電分極
  - 分極後の残留電界による高抵抗値の変化
- P (PSG、BPSG膜) の導入によるアルカリイオンのゲッター
  - アルカリイオンの不動化による分極の発生抑制
  - 但し、P自身によるわずかな誘電分極有り → ヒステリシス性の電圧変調
- **スプリットフィールドプレートによる誘電分極対策 (抵抗の中心でスプリット)**
  - 抵抗の各半分の誘電分極が分極をキャンセル
  - フィールドプレートによる抵抗の非線形性改善: 蓄積効果と空乏効果がバランス
  - スプリットフィールドプレートの適用: 1kΩ/□以上、ミスマッチ±0.5%以下



# 誘電緩和

- 容量の急峻な充電(充電後容量端子開放)
  - 誘電分極形成 → 電極間電界の低下(容量電圧の低下)
- 容量の急峻な放電(放電後容量端子開放)
  - 誘電分極の消失 → 容量に逆バイアス形成
  - 電荷蓄積容量(ex. サンプル保持回路) → 誘電緩和誤差許容不可
- 電荷広がりも誘電分極と同様に容量へ影響
  - 容量の急峻な充放電 → 絶縁膜(複合膜:ONO)界面に沿って電荷の再分布
  - 容量値の変化: 1MHzを超える周波数で発生
- 誘電緩和誤差対策(マッチングレベルの高い容量: 特に高周波動作の場合)
  - 高品質酸化膜(TEOS膜)使用
  - 静電シールド(容量の外側で発生する電荷広がりと誘電分極の対策)

急峻な電界変化に対する  
誘電分極の時間遅れ



# 抵抗マッチングのルール1

- 単一材料の使用
- 同一幅に設定
- 十分大きな面積に設定
  - 小抵抗を作る場合→多数セグメントを並列接続
- 十分ワイドな抵抗に設定
- 同一形状の抵抗使用
- 同一方向に配置
- 抵抗を近接して配置
- 抵抗を組み込んで(interdigitate)配列
- 抵抗配列の端にダミーパターンの配置
- 短い抵抗セグメントの禁止
- 熱誘起電位をキャンセルするためのマッチング抵抗の接続



# 抵抗マッチングのルール2

- 低ストレス領域へのマッチング抵抗の配置
- マッチング抵抗をパワーデバイスから十分引き離して配置
- マッチング抵抗をチップの対象軸上に配置
- タンク変調効果を考慮
- 曲がりくねった抵抗より分割抵抗の採用
- 拡散抵抗よりポリSi抵抗の採用
- フィールド酸化膜上への抵抗の配置
- 拡散抵抗領域内でNBL shadow の横断禁止
- フィールドプレートと静電シールドの考慮
- 抵抗に接続されない配線の抵抗上での配置禁止
- マッチング抵抗中で過度なパワー消費の禁止

# 容量マッチングのルール1

- マッチング容量間で同一形状の使用
- 高精度マッチング容量に関して正方形パターン使用
- 実用的な大きさの容量
  - 面積に関しランダムミスマッチと勾配効果のトレードオフ
  - 最適な容量サイズ(CMOS)→  $20 \times 20 \sim 50 \times 50 \mu\text{m}$
- フィールド酸化膜上への容量の形成
- マッチング容量の上部電極を高インピーダンスノードへ接続
  - 寄生容量低減
  - 基板ノイズカップリング低減→容量下へのウエル配置(ウエルはノイズのないアナログ参照電圧へ接続)
- 容量配列の外側端の周りにダミー容量配置
- マッチング容量の静電シールド

# 容量マッチングのルール2

- Cross-coupled 配列容量
- 容量に接続する配線容量を考慮
- マッチング容量上の配線の禁止
  - 配線が静電シールドされていない場合
- 薄い酸化膜または複合膜より厚い酸化膜の使用
- 低ストレス領域への容量の配置
- 容量をパワーデバイスから十分引き離して配置
- チップの対称軸上にマッチング容量を配置

# MOSFETミスマッチ

## ーゲート電圧ミスマッチー

条件

- ・飽和状態
- ・2つのMOSFETのドレイン電流同じ

$$\Delta V_{GS} \cong \Delta V_t - V_{gst1} \left( \frac{\Delta k}{2k_2} \right)$$

$\Delta V_{GS} = V_{GS1} - V_{GS2}$  : 2つのMOSFETのゲート電圧差

$\Delta V_t = V_{t1} - V_{t2}$  : 2つのMOSFETの閾値電圧差

$\Delta k : k_1 - k_2$  : 2つのMOSFETのトランスコンダクタンス差

$V_{gst1} = V_{GS1} - V_{t1}$  : 1番目MOSFETの実効ゲート電圧

$k_2 = \mu C_{OX} (W_2/L_2)$  : 2番目MOSFETのトランスコンダクタンス

電圧マッチングの向上:  $\Delta V_{GS}$  (オフセット電圧) の最小化

- ・  $W/L \rightarrow$  大
- ・  $V_{gst} \rightarrow$  小 (0.1V以下: 弱反転領域を除き、 $V_t$ ばらつきの影響を無視できる範囲)
- ・ 閾値電圧の差  $\rightarrow$  小

# MOSFETミスマッチ

## ードレイン電流ミスマッチー

### 条件

- ・飽和状態
- ・2つのMOSFETのゲート電圧同じ

$$\frac{I_{D2}}{I_{D1}} \cong \frac{k_2}{k_1} \left( 1 + \frac{2\Delta V_t}{V_{gst1}} \right)$$

$I_{D1}, I_{D2}$  : ドレイン電流

### 電流マッチング向上

- ・  $V_{gst} \rightarrow$  大 (0.3V以上、0.5V好ましい) :  $V_t$  ばらつきの影響低減
- ・ 閾値電圧の差  $\rightarrow$  小

# MOSFETミスマッチ

## — 形状(ゲート面積)の影響 —

### • ゲート面積依存ミスマッチ

#### – 閾値電圧ミスマッチ

- 主要因: 基板不純物分布 (小要因: 固定電荷分布)

$$S_{V_t} = \frac{C_{V_t}}{\sqrt{W_{eff} L_{eff}}} \quad S_{V_t}: \text{閾値電圧ミスマッチ標準偏差、} C_{V_t}: \text{定数}$$

$$W_{eff}: \text{実効チャネル幅、} L_{eff}: \text{実効チャネル長}$$

#### – トランスコンダクタンス・ミスマッチ

- 要因: ゲート線幅変動、ゲート酸化膜ラフネス、移動度変動

$$\frac{S_k}{k} = \frac{C_k}{\sqrt{W_{eff} L_{eff}}} \quad \Rightarrow \quad \frac{S_k}{k} = \sqrt{\frac{C_k^2}{W_{eff} L_{eff}} + \frac{C_{kp1}^2}{W_{eff}^2 L_{eff}} + \frac{C_{kp2}^2}{W_{eff} L_{eff}^2}}$$

大サイズMOSFET

小サイズMOSFET (周辺変動考慮): 短、狭チャネル

$S_k$ : トランスコンダクタンス・ミスマッチ標準偏差

$C_k$ : 面積起因ミスマッチ定数、 $C_{kp1}, C_{kp2}$ : 周辺起因ミスマッチ定数

$W_{eff}, L_{eff} \geq 2\mu\text{m}$  のデバイス → 周辺の影響回避

# MOSFETミスマッチ

## — 形状 (ゲート酸化膜厚) の影響 —

- ゲート酸化膜厚の薄化1 (デバイスシュリンク)
  - 閾値電圧とトランスコンダクタンスのマッチング向上

$$C_{V_t} = at_{ox}\sqrt{N_b}$$

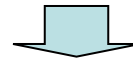
$a$ : 比例定数

$t_{ox}$ : ゲート酸化膜厚

$N_b$ : 基板不純物密度

定電界スケールリング

$t_{ox} \rightarrow 1/\kappa$ 倍,  $N_b \rightarrow \kappa$ 倍



$C_{V_t}$  低下

ランダムなキャリア散乱増大  
による移動度ばらつき低減

## — ドレイン電流マッチングには不向き

ゲート酸化膜薄化 → トランスコンダクタンス増大 → 実効ゲート電圧の低下  
→ ドレイン電流マッチング低下

(適当な実効ゲート電圧を得るにはチャネルを過度に狭くまたは長くする必要あり)

$$\frac{I_{D2}}{I_{D1}} \cong \frac{k_2}{k_1} \left( 1 + 2\Delta V_t / V_{gst1} \right)$$

# MOSFETミスマッチ

— 形状 (ゲート酸化膜厚とチャネル長) の影響 —

- ゲート酸化膜厚の薄化2 (デバイスシュリンク)
  - ゲート電圧マッチングの向上

ゲート酸化膜薄化 → トランスコンダクタンス増大

→ 実効ゲート電圧の低下 → ゲート電圧マッチング向上

$$\Delta V_{GS} \cong \Delta V_t - V_{gst1} (\Delta k / 2k_2)$$

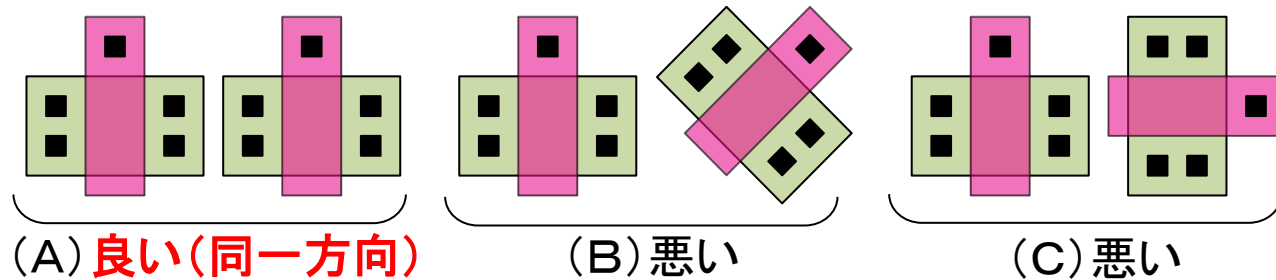
- チャネル長変調の影響
  - 異なる  $V_{DS}$  の短チャネルMOSFET間でミスマッチ発生
    - ミスマッチの大きさ
      - 異なる  $V_{DS}$  の差に比例
      - チャネル長に逆比例
  - マッチングの向上
    - 同じ  $V_{DS}$  に設定 (Cascodeの使用)



# MOSFETミスマッチ

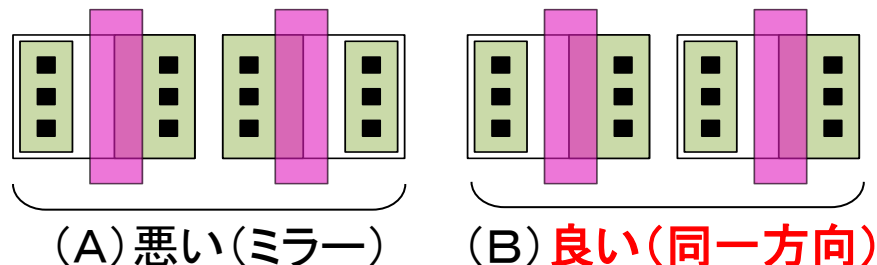
## — 結晶方位とマスクアライメントの影響 —

- 結晶方位の影響 (移動度のストレス感度の違い)
  - 移動度の違いによるミスマッチ 対策 → 同一方向に配置



- 非対称MOSFET

— マスクアライメントずれによるミスマッチ 対策 → 同一方向に配置

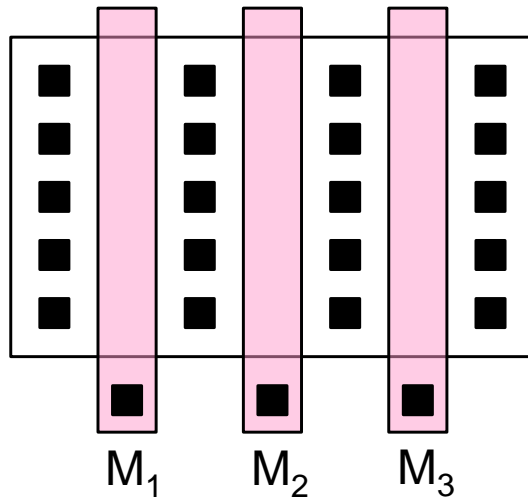


# MOSFETミスマッチ

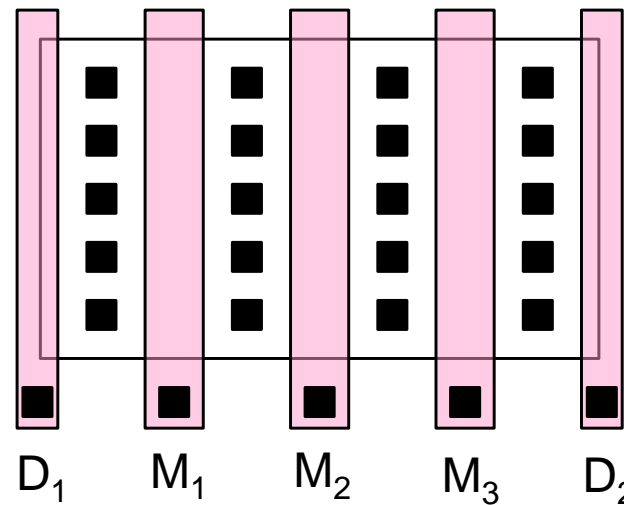
## —エッチングの影響—

### • ポリSi エッチレートの変化

重要: 等間隔のスペース



$$(A): GL_{M_2} > GL_{M_1}, GL_{M_3}$$



$$(B): GL_{M_1} = GL_{M_2} = GL_{M_3}$$

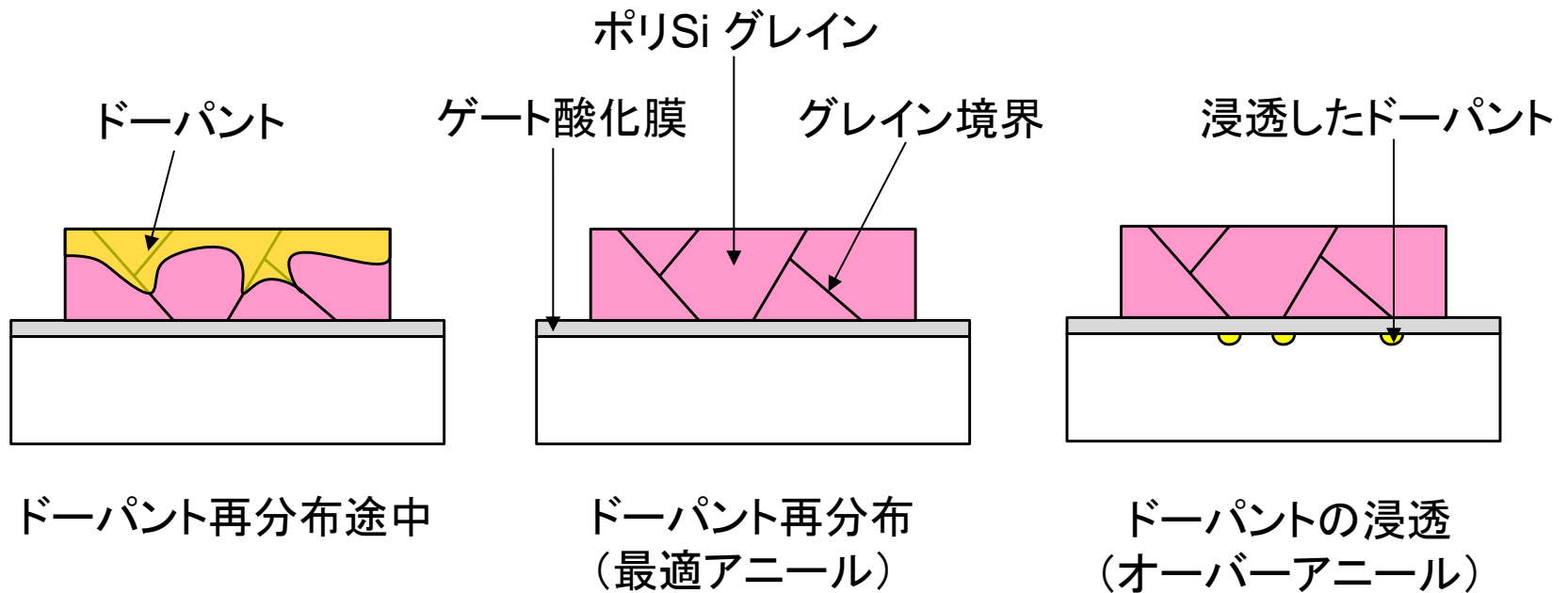
ダミーゲート: ソースまたはバックゲートへ接続 → ダミーゲート下にチャネル形成無し

楕形より長方形(フィンガー: メタルコンタクト有り)のマッチングがより良好  
楕形の場合: ポリSi と拡散層間のスペースを最小デザインルールより1~2 $\mu\text{m}$ 拡張

# MOSFETミスマッチ

## —ポリSiを通しての拡散の影響—

- グ레인境界に沿っての早い拡散



- ・アニール不足 → ポリSi の空乏化
- ・オーバーアニール → 閾値電圧とトランスコンダクタンスの変化

# MOSFETミスマッチ

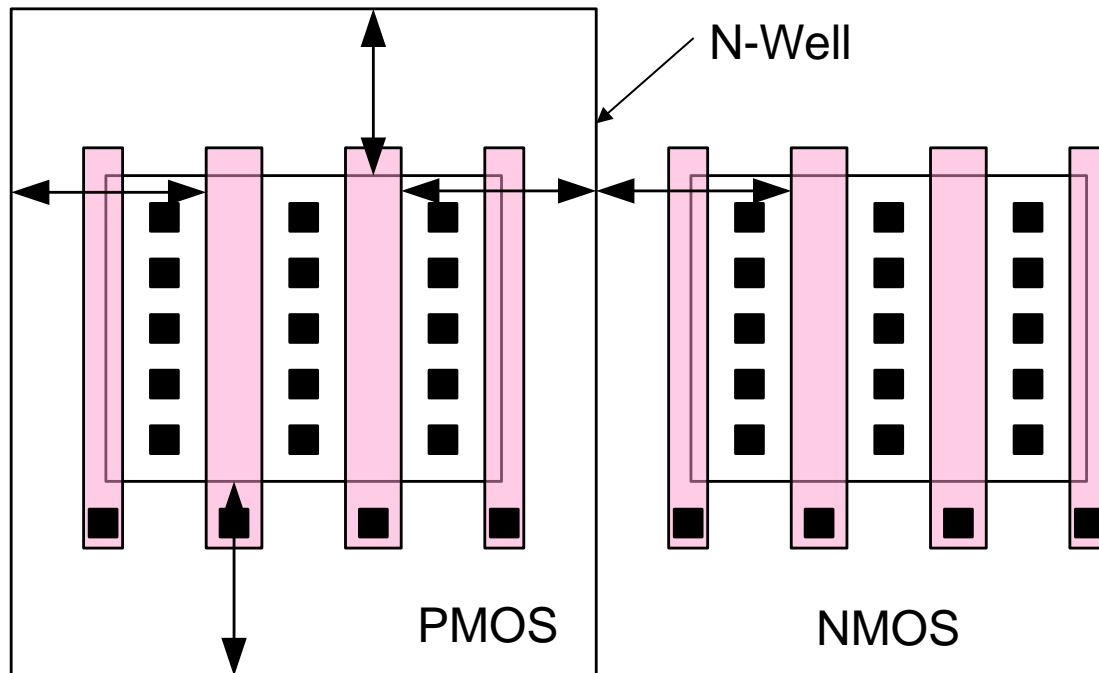
## －アクティブ・ゲート上コンタクトの影響－

- アクティブ・ポリSi ゲート上コンタクトの影響
  - 閾値電圧ミスマッチ増大
    - 理由:コンタクト領域でシリサイドまたはメタルの存在  
⇒ 仕事関数の変化による閾値電圧の変化
    - グレインサイズ、ドーパント分布、ストレスパターンも影響
- 通常のMOSFET(長方形ゲート)の場合の対策
  - フィールド上にポリSiゲートを引出してコンタクトを形成
- リングゲートMOSFETの場合の対策
  - マッチング用にどうしても必要な場合のみに使用
    - アクティブゲート上コンタクトを形成する場合→小形状、最少数、同配列
- ドレイン拡張型リングゲートMOSFETの場合の対策
  - ゲートコンタクトは電界緩和領域(フィールド酸化膜)上に形成

# MOSFETミスマッチ

## —チャネル近傍の拡散—

- 深い拡散 (N-Well) の裾野の影響



マッチングの向上  
 → 右図矢印(スペース)  
 を深い拡散の  
 接合深さの2倍以上

- レトログレードウエルの場合: フォトリジスト内で高エネルギーイオンが散乱 (イオンのいくらかは横方向に数 $\mu\text{m}$ 散乱 $\rightarrow$ レジスト端でドーピング増加)
- アクティブ・ゲートとNBL (N埋め込み層) 端のスペース: エピ厚の1.5倍以上

# PMOSとNMOS

- マッチング度合
  - NMOS > PMOS
    - トランスコンダクタンスミスマッチ: PMOS > NMOS (30~50%大)
    - $V_t$ ミスマッチ: PMOS > NMOS
      - トランスコンダクタンスのミスマッチより小さい
  - 原因
    - バックゲートドーピングのばらつき
    - 埋め込みチャネル構造
    - 方向依存のストレス効果

# アロイ(水素アニール)の影響

- 水素アニール処理の効果
  - 界面準位と界面固定電荷の低減(ダングリングボンドの低減)
  - 閾値電圧マッチングの改善
- アニール時の水素侵入
  - SiNパッシベーション膜による水素侵入の妨げ
    - 本工程以前の酸化膜中水素による中性化 → 不十分の場合有り
  - メタルによる水素の吸収(Ti の場合顕著)
    - 過剰水素がある場合 → メタル下を水素が横方向拡散(要長時間)
- MOSFET上メタルの有無
  - マッチングレベルが高い場合
    - アクティブ・ゲート上メタル不可
  - マッチングレベルが高くない場合
    - 全面カバーまたは同一メタルパターンのアクティブ・ゲート上メタル可

注)メタルから数 $\mu\text{m}$ 離れた領域内でも不完全水素アニール  
⇒アクティブ・ゲート領域からメタルを数 $\mu\text{m}$ 離すこと(高マッチングの場合)

# 温度とメカニカル・ストレスの影響

- MOSFETのパラメータ $P$ の変化: $\Delta P$

$$\Delta P \cong d \nabla P$$

$d$ : 2つのマッチングデバイスのセントロイド間の距離  
 $\nabla P$ : 2つのセントロイドを結ぶ線に沿った $P$ の勾配

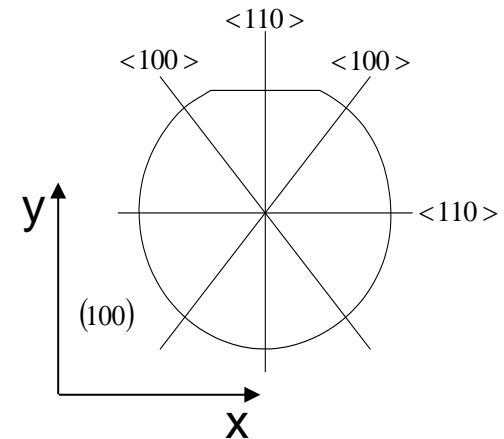
- $\Delta P$ に影響する要因
  - 酸化膜厚分布
  - メカニカル・ストレス分布
  - 温度分布
- 酸化膜厚分布の影響
  - 半径方向の酸化膜厚勾配の傾向有り
    - 酸化温度と酸化雰囲気成分に依存
  - 閾値電圧マッチングへ影響



# メカニカル・ストレスの影響

## — 結晶軸の移動度依存性 —

- バルク(100) Si
  - 正孔移動度のストレス依存性
    - $\langle 110 \rangle$ : 最大、 $\langle 100 \rangle$ : 最小 (x、y軸に対し45度方向)
  - 電子移動度のストレス依存性
    - $\langle 100 \rangle$ : 最大、 $\langle 110 \rangle$ : 最小 (x、y軸方向)
- チャネル
  - バルクほど移動度の結晶軸依存性なし
    - Si-SiO<sub>2</sub>界面でのキャリア散乱の影響 (推定)



p-ch のストレス抑制 ⇒  $\langle 100 \rangle$ 配置よりも共通セントロイドレイアウト有効

閾値電圧のストレス依存性はほとんど無し(数mV以下の変化)

# 温度の影響

- ゲート電圧マッチング
  - 閾値電圧の温度変化が主に影響
    - 約 $-2\text{mV}/^\circ\text{C}$ : 仕事関数差の温度依存
- ドレイン電流マッチング
  - トランスコンダクタンスの温度変化が主に影響
    - 約 $-7000\text{ppm}/^\circ\text{C}$  (at  $25^\circ\text{C}$  近辺): 実効移動度の温度依存
  - 閾値電圧の温度変化の影響殆ど無し(ゲート電圧大)

# オフセット電圧の温度依存

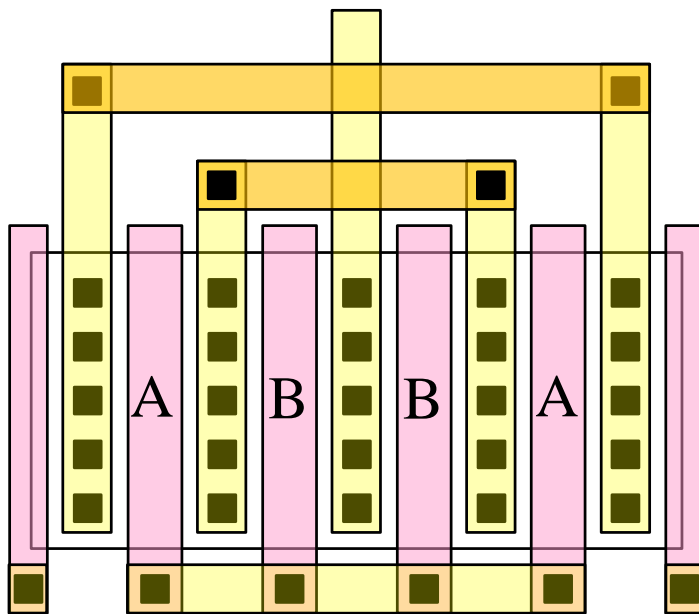
- **2つのMOSFET間のオフセット電圧設定**
  - ドレイン電流密度を調整(トリミング)  
(トランスコンダクタンスにおけるオフセットを補償することにより  
閾値電圧のミスマッチをキャンセル)  
→ **オフセット電圧の温度依存をゼロにできない**  
理由: 閾値電圧とトランスコンダクタンス(移動度)の異なる温度係数
- **2つのバイポーラトランジスタ間のオフセット電圧設定**
  - ベース・エミッタ間電圧差  $\Delta V_{BE}$  をゼロに調整(トリミング)  
→ **オフセット電圧の温度依存もゼロにできる**  
理由: オフセット電圧に関する式 → 温度(熱電圧)のみに依存

オフセット電圧の温度依存性  
⇒バイポーラトランジスタ < MOSFET (トリミング後)

# 共通セントロイドレイアウト

## — 1次元配列 —

- マッチングのためのベストレイアウト
  - MOSFET間のセントロイドの合致
  - コンパクトなレイアウト(線型性の保持)



D A<sub>S</sub> B<sub>D</sub> B<sub>S</sub> A<sub>D</sub>



方向依存性のキャンセル

等価Chirality ⇒ 方向依存ミスマッチ無し

例: ①  $3/4 - 1/4 = 1/2$  (右 :3、左 :1)

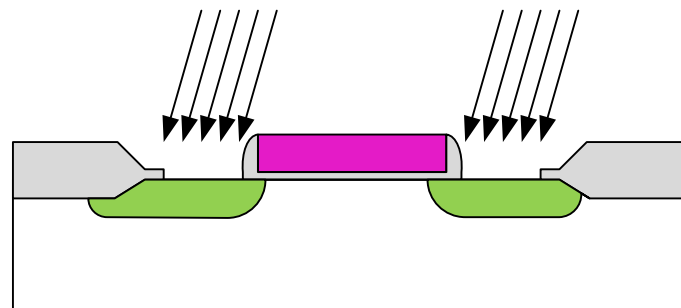
②  $9/12 - 3/12 = 1/2$  (右 :9、左 :3)

①と②のChiralityは1/2で等価  
→ 方向依存ミスマッチ無し

# MOSFETの方向依存ミスマッチ

## ーソース・ドレインへのチルトイオン注入ー

- ソース・ドレインへのチルトイオン注入 (チャネリング防止)
  - ゲート～ソース、ゲート～ドレインのオーバラップ非対称
  - マッチングへの影響 → 線形領域:小、飽和領域:大
- 対策
  - 等価なChiralityレイアウト
  - 共通セントロイド・レイアウト (Interdigitation)
  - 回転イオン注入
  - 0度イオン注入 (チャネリング低減用酸化膜追加)



# MOSFETミスマッチ解消のルール

## — 1次元配列 —

### • MOSFETミスマッチ解消5ルール

- ① セントロイドの一致
- ② XとY軸に対称配列
- ③ 各デバイスのセグメントの均一分散
- ④ コンパクト配列(理想的な配列:正方形)
- ⑤ 各方向のセグメント数が一致(等価Chirality)

MOSFET配列例  
(Interdigitation)

①、②、⑤  
満足

1.  $(S A_D A)(S B_D B_S B_D B)(S A_D A)_S$  → 分散不足
2.  $(D A_S B_D - D B_S A_D) - (D A_S B_D - D B_S A_D)$  → コンパクトで無い
3.  $(D A_S B_D B_S A)_D$  → 分散十分+コンパクト
4.  $(S A_D A_S B_D B)_S (B_D B_S A_D A_S)$  → 分散やや十分
5.  $(S A_D A_S B_D B_S A_D A)_S$
6.  $(S A_D A_S B_D - S A_D A_S - D B_S A_D A)_S$
7.  $(S A_D A_S B_D B_S C_D C)_S (C_D C_S B_D B_S A_D A_S)$

(注) 括弧: 一連の繰り返しセグメント、- : S/Dがマージされない場合

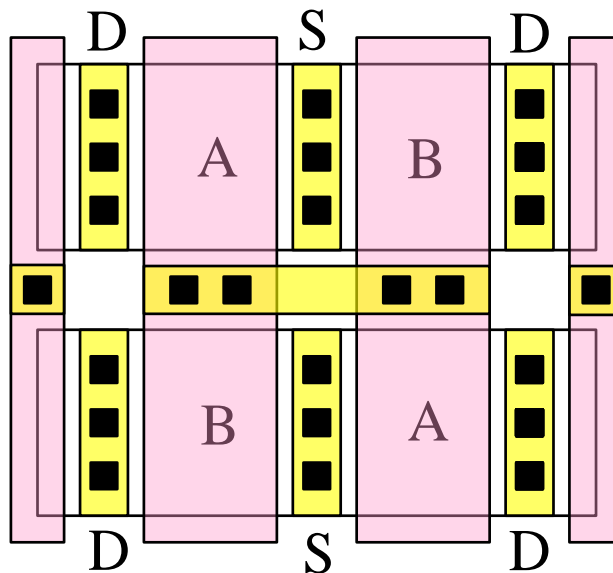
# 共通セントロイド・レイアウト

— 2次元配列：簡単な場合 —

- Cross-coupled pair

- 著しくパラメータが線型変化する場合効果あり

- 温度勾配(周りにパワーデバイス存在)
    - ストレス勾配(プラスチックパッケージ)



$${}_D A_S B_D / {}_D B_S A_D$$

- セントロイドの一致
- コンパクト
- 各方向のセグメント数一致

比較的小MOSFET対  
のレイアウトに有効

共通セントロイドレイアウトのマッチング性：1次元配列 < 2次元配列

# 共通セントロイド・レイアウト

— 2次元配列：複雑な場合 —

- 大きなCross-coupled pair

— 基本的なレイアウトパターン

XY/YX (X, Y: トランジスタA, Bからなるサブ配列)

典型的レイアウト:  $({}_S A_D A)_S (B_D B_S) / ({}_S B_D B)_S (A_D A_S) \rightarrow$  分散不足

$$\begin{array}{c} {}_D A_S B_D B_S A_D \\ {}_D B_S A_D A_S B_D \end{array}$$

$$\begin{array}{c} {}_D A_S B_D B_S A_D \\ {}_D B_S A_D A_S B_D \\ {}_D A_S B_D B_S A_D \\ {}_D B_S A_D A_S B_D \end{array}$$

$$\begin{array}{c} {}_D A_S B_D B_S A_D A_S B_D B_S A_D \\ {}_D B_S A_D A_S B_D B_S A_D A_S B_D \\ {}_D A_S B_D B_S A_D A_S B_D B_S A_D \\ {}_D B_S A_D A_S B_D B_S A_D A_S B_D \\ {}_D A_S B_D B_S A_D A_S B_D B_S A_D \\ {}_D B_S A_D A_S B_D B_S A_D A_S B_D \end{array}$$

上記配列のマッチングは良いが配線に難あり ⇒ 簡単な配列の方が有効



# MOSFETマッチングのルール1

- 分割ゲート(フィンガー)間で同一のチャネル幅と長さに設定
- 大きなアクティブ領域(チャネル幅×長さ)の使用
  - 中レベルマッチング: 数百 $\mu\text{m}$ の正方形
  - 高レベルマッチング: 数千 $\mu\text{m}$ の正方形
- 電圧マッチング $\Rightarrow V_{gst}$ : 小 ( $V_{gst} \leq 0.1\text{V}$ )
- 電流マッチング $\Rightarrow V_{gst}$ : 大 ( $V_{gst} \geq 0.3\text{V}, (\Rightarrow 0.5\text{V})$ )
- 薄いゲート酸化膜の使用
  - 高トランスコンダクタンス $\rightarrow$ 電圧マッチング改善 ( $V_{gst}$  低減による)
- MOSFETの同方向配置(等価Chirality)
- MOSFETの近接配置
- マッチングMOSFETのコンパクトなレイアウト
  - MOSFET間で同一のW/Lに設定
- 共通セントロイド・レイアウト

# MOSFETマッチングのルール2

- 極端な短または狭チャンネルMOSFETの使用回避
  - サブミクロンのサイズ回避(高精度マッチングの場合)
- 配列MOSFETの端にダミーセグメントの配置
- 低ストレス勾配の領域にMOSFETを配置
- MOSFETをパワーデバイスから十分引き離して配置
- アクティブ・ゲート領域上のコンタクト禁止
- アクティブ・ゲート上を横切ったのメタル配線禁止
- アクティブ・ゲート領域から十分離れた深い拡散接合形成
- チップの対称軸上にマッチングMOSFETを配置
- アクティブ・ゲート領域内でのNBL shadow の横断禁止
- メタルストラップを使用するのゲートフィンガーの接続
- PMOSよりNMOSの使用