

2. LSI搭載用A/D, D/A変換器:
ナイキストA/D変換器と $\Delta\Sigma$ A/D変換器

2019/10/08(火) 16:00-17:30 (90分) 77頁+α

■ アナログ技術ネットワーク
ATN (Analog Technology Network)

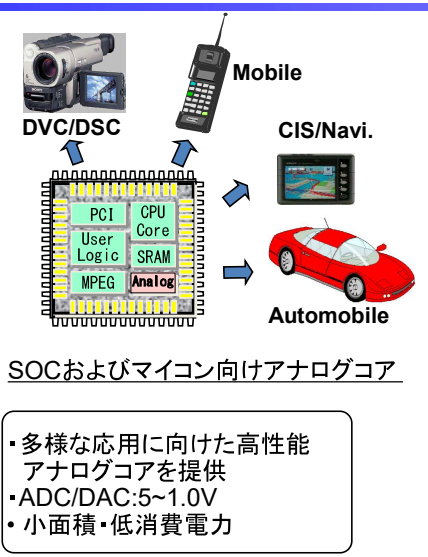
■ 群馬大学 理工学部 電子情報理工学科
客員教授

■ 東京理科大学
電気電子情報工学科
松浦 達治
matsuura.t@rs.tus.ac.jp

■ 元ルネサスエレクトロニクス
主管技師長

Rev. 1.000000-A

1. A/D, D/A変換器の活用 LSIチップへの搭載



講座内容

第2回
題目: LSI搭載用A/D, D/A変換器:
ナイキストA/D変換器と $\Delta\Sigma$ A/D変換器

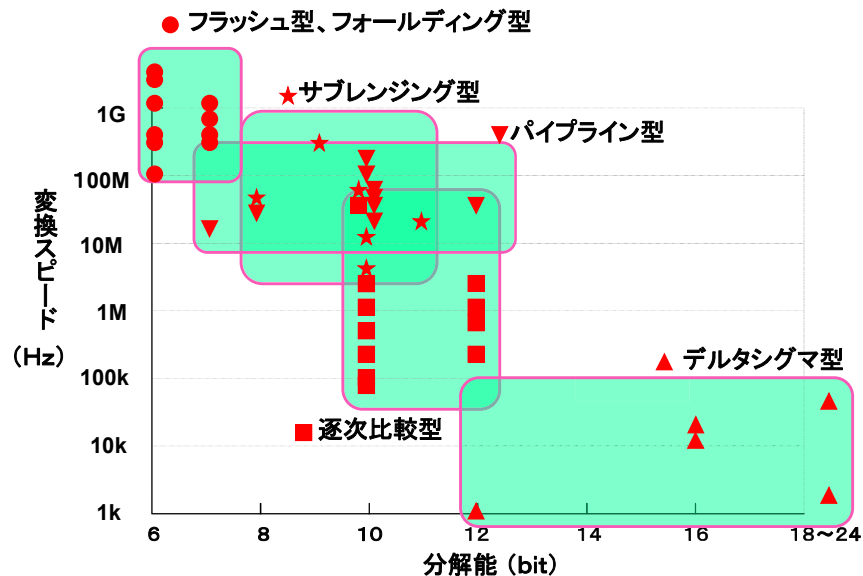
- 1. A/D, D/A変換器の活用
- 2. A/D変換器の用語・仕様
- 3. ナイキスト型A/D変換器の各種方式
- 4. $\Delta\Sigma$ 型A/D変換器とは
- 5. まとめ

付録: 学会発表に見るA/D変換器の性能プロット

A/D変換器コア

	コメント
逐次比較型	8~12bitで、1us程度の変換時間。マイクロコンピュータによく使用される。
高速フラッシュ型 (並列比較型)	6~7bitで、500Msps~3.5Gpspのコアが存在する。が、高速で使い方が難しい。 HDD(ハードディスクドライブ)用、やODD(光ディスク)用がある。
パイプライン型	8~10bitで、30~110Msps程度。(画像)信号処理用のSoCに良く使われる。
$\Delta\Sigma$ ADC	高性能であり使い方に気をつける必要がある。 オーディオ用24bit、携帯電話RF通信用14bit、 カメラレンズ制御用、電力計用、電池電流積算用などがある。

ADCの性能と変換方式



2. A/D変換器 用語・仕様

分解能・量子化誤差

直線性

INL/DNL

変換時間

SNR(信号対雑音比)・有効ビット

FFT(高速フーリエ変換)

A/D変換器の大分類

(1) ナイキストA/D変換器

- ・入力アナログ信号と出力デジタルデータが1:1に対応。
前の入力サンプルに関係なく、各サンプルが独立に処理されており変換器にメモリ機能はない。
- ・入力アナログ信号の帯域(最大信号周波数)の2倍の周波数(ナイキスト周波数)で入力信号をサンプルしてやれば、元のアナログ信号を正確に再現できる。
(ナイキストの定理)
- ・直線性や精度は、アナログ回路素子(抵抗、電流源、容量等)のマッチング精度で決まる。

(2) オーバーサンプル($\Delta\Sigma$ 型)A/D変換器 (本日後半で解説)

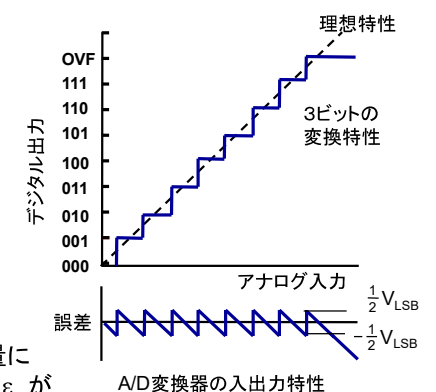
- ・大幅に高い周波数(8-512倍程度)で信号をサンプルし、出力データを、沢山の先行する入力データを使って再生する変換器。
- ・入力アナログ信号と出力デジタルデータの間には1:1の対応はない。
- ・時間領域または周波数領域における入力波形全体と出力波形全体の比較が変換器の精度を決める。
- ・精度は正弦波入力に対するSNRで評価できる。
- ・アナログ回路素子に対する要求精度はナイキスト変換器より一般に緩和される。

分解能 量子化誤差

A/D D/A変換器をブラックボックスと見て、その入出力特性から各種の用語を定義する。

(1) 分解能

アナログをデジタルに変換するとは、連続量を不連続な値に変換すること。一つのデジタル量に対応するアナログ量は幅を持つ。この幅以上の電圧差があれば区別できる。これを分解能といい、LSB(Least Significant Bit)で表す。別にフルスケールを何ビットに分解するという意味で、分解能10 bit等と表現する。



(2) 量子化誤差

量子化することで、連続な量を不連続な量に変換するので、四捨五入に相当する誤差 ϵ_q がかならず生まれる。最大誤差は $\pm(1/2)\text{LSB}$ 。

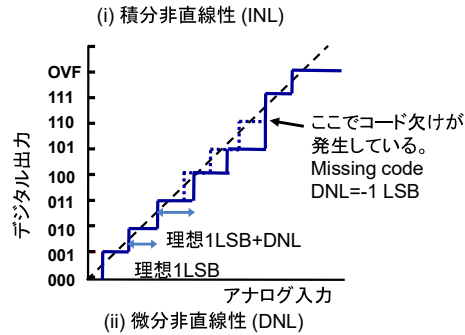
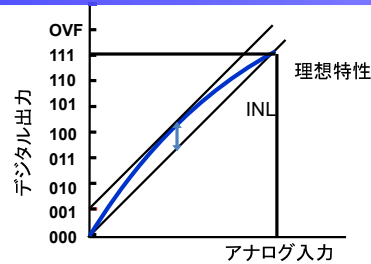
直線性

(4) 直線性

・非直線性誤差ともいい、理想的な変換特性と実際の変換特性の誤差の最大を言う。

(i) 積分非直線性(Integral Non-Linearity: INL)
変換特性に対し直線近似からの最大偏差として定義される。

(ii) 微分非直線性(Differential Non-Linearity)
DNL: 理想的なADCでは、1デジタルコードに対しアナログ入力電圧は1 LSBだが、実際は変動する。この誤差がDNLである。

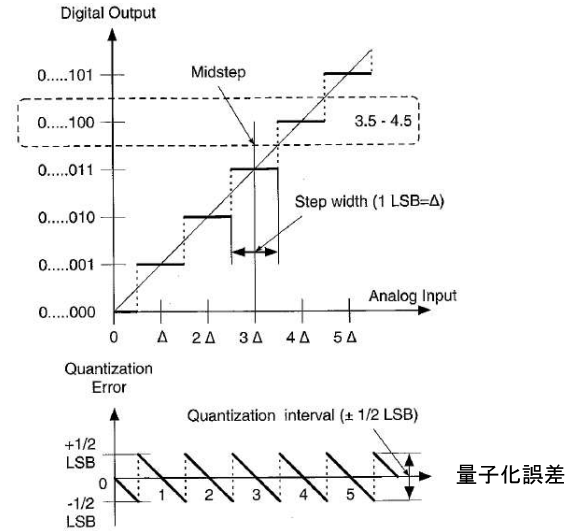


(ii) 微分非直線性 (DNL)

ATN
アナログ技術ネットワーク

9

直線性

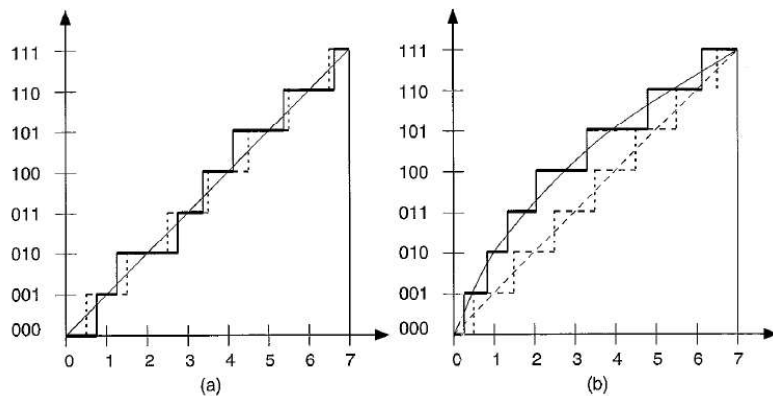


理想的な入出力伝達特性

ATN
アナログ技術ネットワーク

10

直線性



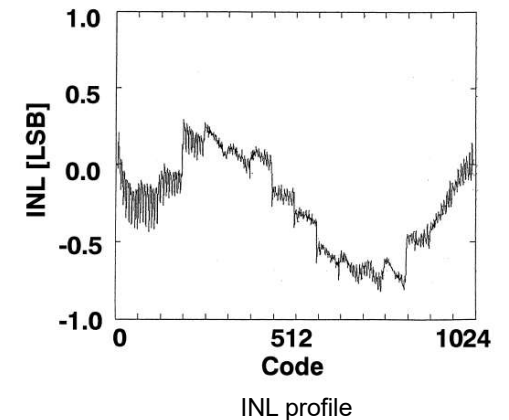
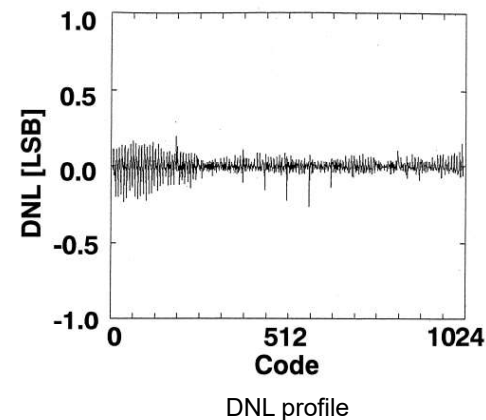
非理想的な入出力伝達特性

ATN
アナログ技術ネットワーク

11

直線性

微分非直線性誤差(DNL) および 積分非直線性誤差(INL) 実測例



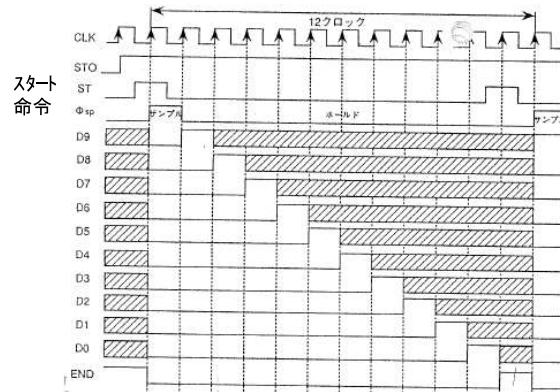
ATN
アナログ技術ネットワーク

12

変換時間

(6) 変換時間

- ADCデジタル出力が全ビット決定されるのに要する時間。
- 逐次比較方式ではA/D変換がクロックに同期して行われる。
図の10bit ADCでは12クロック分が変換時間である。



10-bit逐次比較A/D変換器タイミングチャートの一例

SNR(信号対雑音比), 有効ビット

(7) SNR, 有効ビット

- 分解能(量子化ステップ)を Δ としたとき、理想A/D変換器で発生する量子化雑音のパワー ε_q^2 は、

$$\varepsilon_q^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} \varepsilon_q^2 d\varepsilon_q = \frac{\Delta^2}{12}$$

- フルスケール正弦波の実効値(rms)はダイナミックレンジを $2\sqrt{2}$ で割った値。
- 信号電力と雑音電力の比

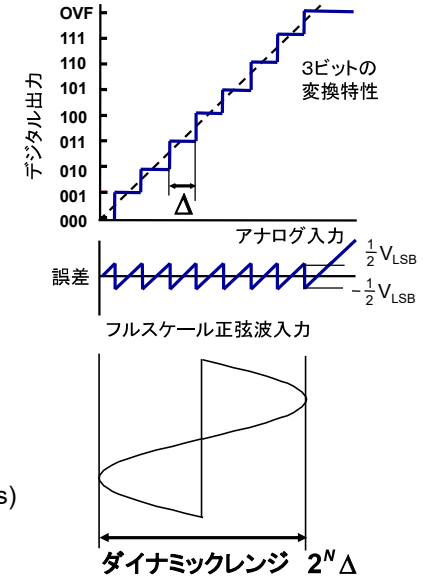
$$SNR = \frac{2^N \Delta}{\Delta} = 2^N \sqrt{\frac{3}{2}}$$

- 対数をとると、

$$(SNR)_{dB} = 6.02N + 1.76(dB)$$

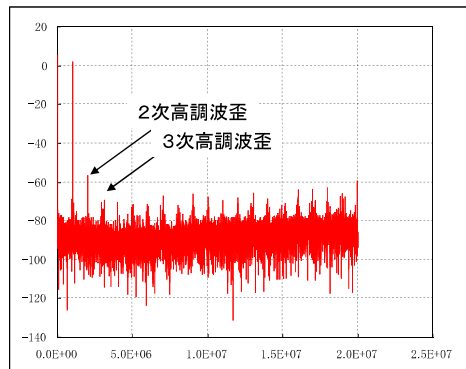
- 有効ビット(ENOB: Effective Number of Bits)

$$ENOB = \frac{SNDR_{peak,dB} - 1.76}{6.02}$$

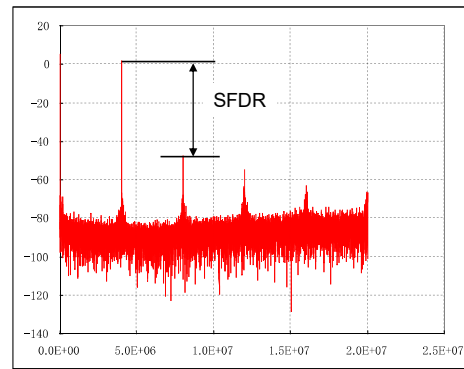


FFT (Fast Fourier Transform)

正弦波を印加して出力のFFTスペクトラム解析を行う。SNRの他、歪を含めたSNDRおよびSFDR(Spurious Free Dynamic Range)等が求められる。



Fc=40MHz, fin=1MHz
SNDR=46.8dB, ENOB=7.48-bit
2ndHD=-58.5dB, 3rdHD=-76.0dB
THD=-57.6dB



Fc=40MHz, fin=4MHz
SNDR=44.9dB, ENOB=7.17-bit
2ndHD=-49.8dB, 3rdHD=-56.7dB

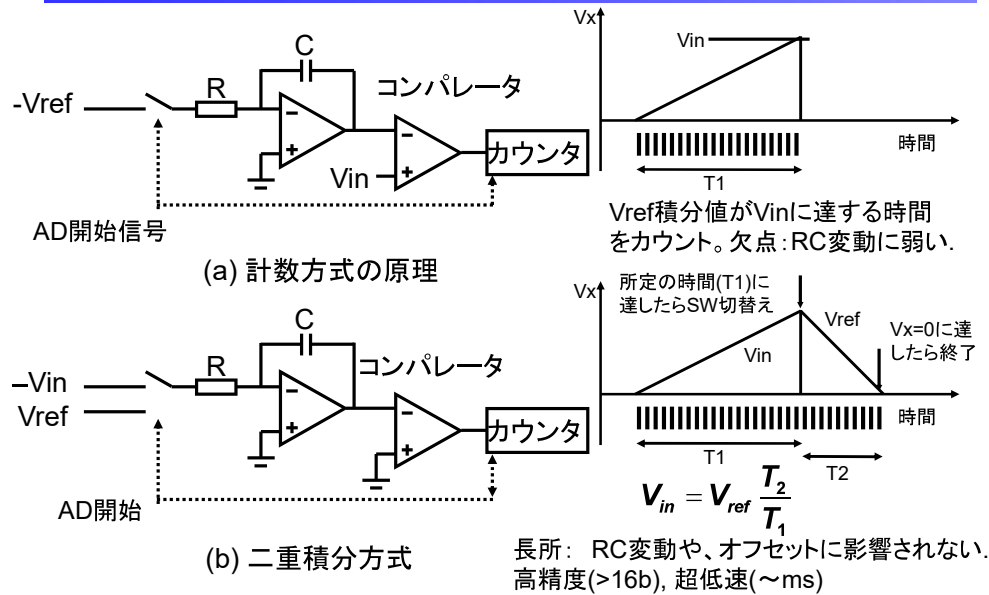
3. ナイキストA/D変換器の各種方式

- 計数(積分)型
- 逐次比較型
- 並列比較(フラッシュ)型
- 直並列(サブレンジ)型
- パイプライン型

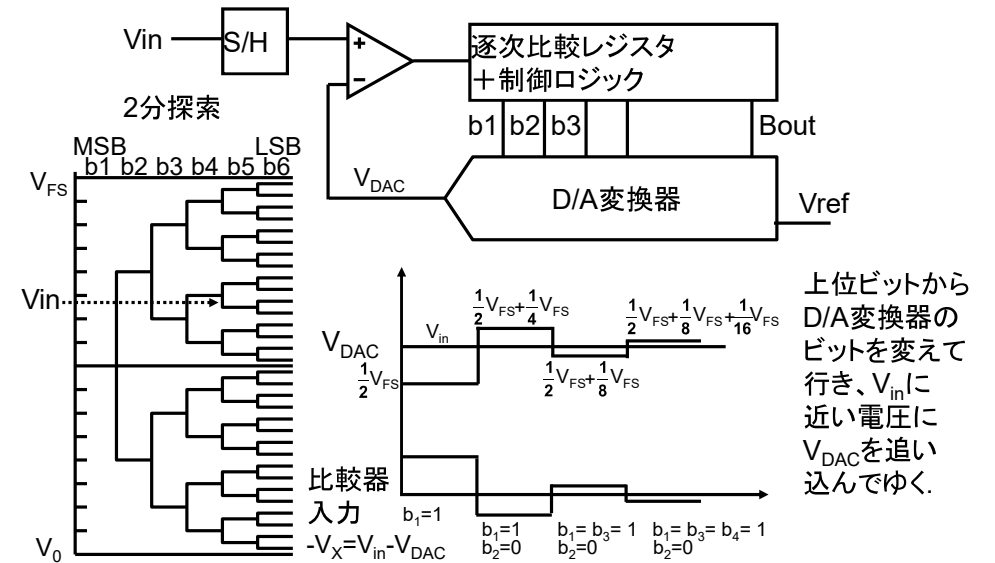
注: 説明を省略した方式

- 1) フォールディング型
- 2) コンパレータ・オフセット・アベレージング
- 3) 補間・並列比較方式など。

a. 計数(積分)型A/D変換方式

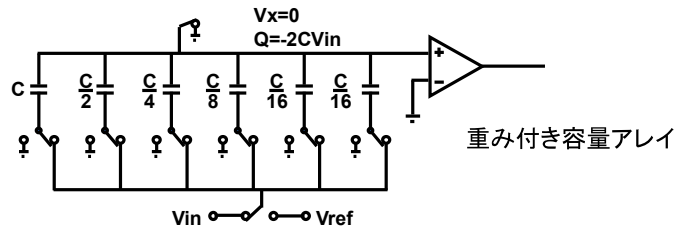


b. 逐次比較型A/D変換方式

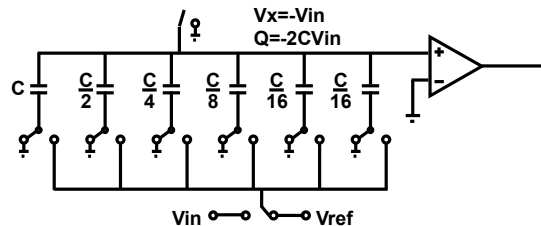


逐次比較の動作

- 1) 入力信号 V_{in} のサンプル

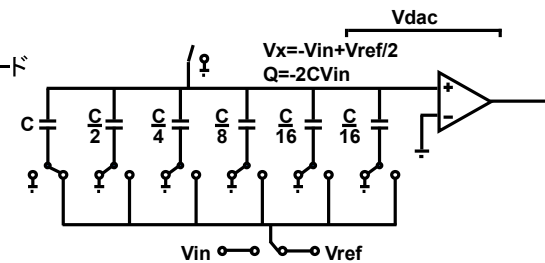


- 2) 入力信号 V_{in} のホールド

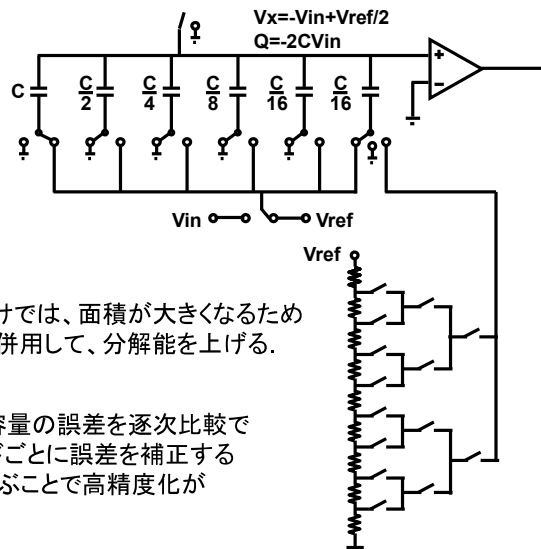


逐次比較の動作

- 3) 電荷再配分モード
上位ビットからビットを決定。

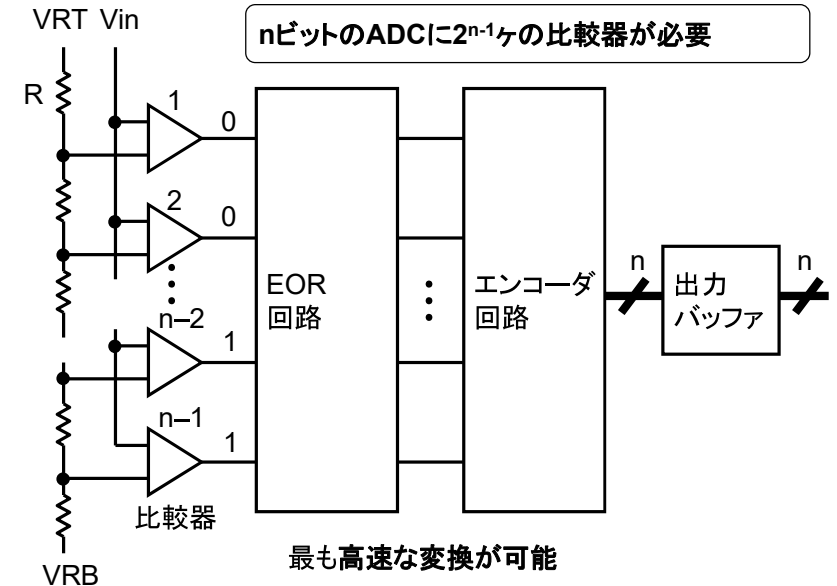


逐次比較の高分解能化・自己校正



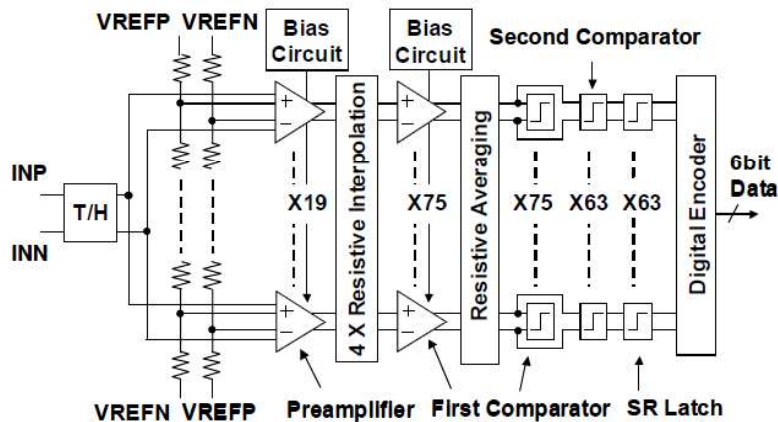
- 容量アレイだけでは、面積が大きくなるため抵抗ラダーも併用して、分解能を上げる。
- 自己校正: 容量の誤差を逐次比較で検出し、コードごとに誤差を補正するラダー値を選ぶことで高精度化が可能である。

c. 並列比較(フラッシュ)型A/D変換方式



最も高速な変換が可能

6-bit 3.5 Gspsフラッシュ型A/D変換器 (1/2)



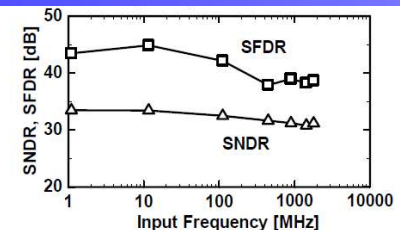
ADCブロック図

- 2007 VLSI Circuit Symposium 発表 -

A 6-bit 3.5-GS/s 0.9V 98-mW Flash ADC in 90nm CMOS

6-bit 3.5 Gspsフラッシュ型A/D変換器 (2/2)

SNDR, SFDRの
入力周波数依存性



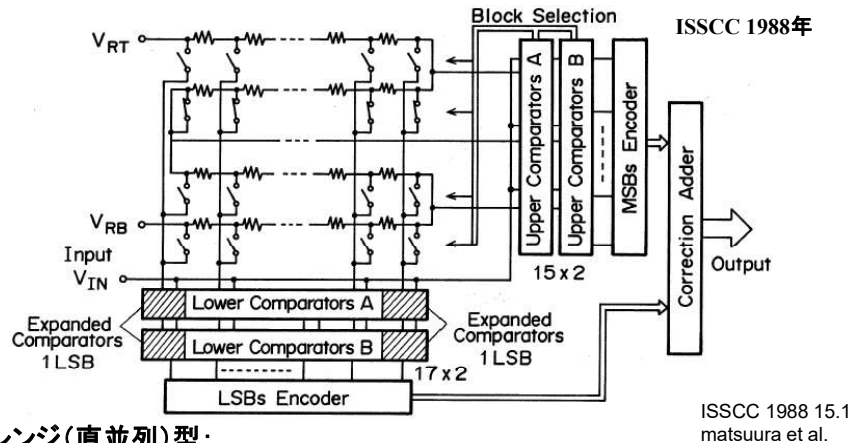
性能一覧

分解能	6 bit
最大サンプルレート	3.5 Gsps
電源電圧	0.9 V
INL	+0.96 / -0.39 LSB
DNL	+0.50 / -0.48 LSB
SNDR	31.18 dB (@fs/2)
SFDR	38.67 dB (@fs/2)
消費電力	98 mW @ 3.5Gsps
面積	0.1485 mm ²
プロセス	90nm CMOS

- 2007 VLSI Circuit Symposium 発表 -

A 6-bit 3.5-GS/s 0.9V 98-mW Flash ADC in 90nm CMOS

d. サブレンジ(直並列)型A/D変換方式



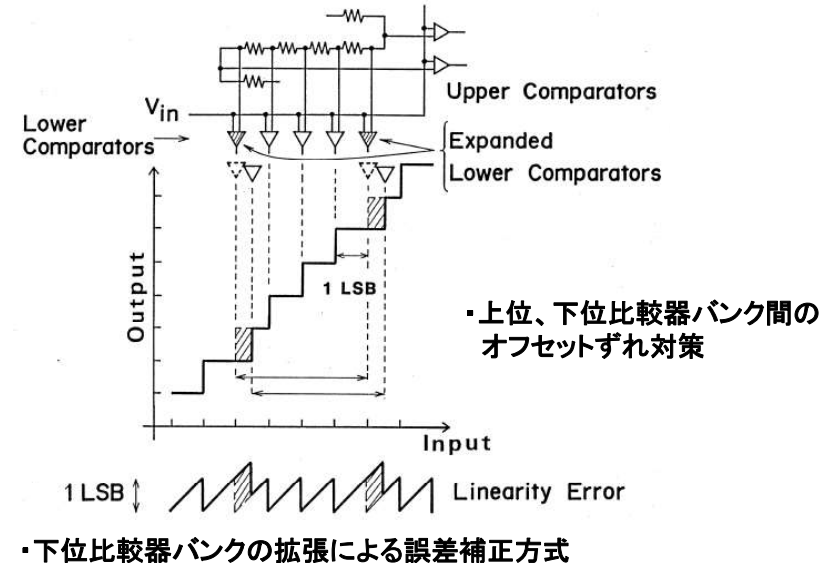
サブレンジ(直並列)型:

並列比較を2回に分けて行い、比較器の数を減らして低電力・小面積化

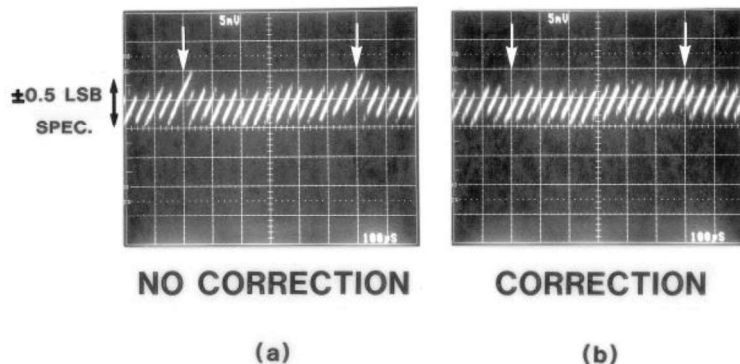
8-bit 並列型: 256個 → 直並列型: 16x2=32個

- ・ サンプルホールド機能内蔵差動型比較回路(分散SH方式)
- ・ 下位比較器バンクの拡張による誤差補正方式

サブレンジ型の誤差補正(1/2)



サブレンジ型の誤差補正(2/2)

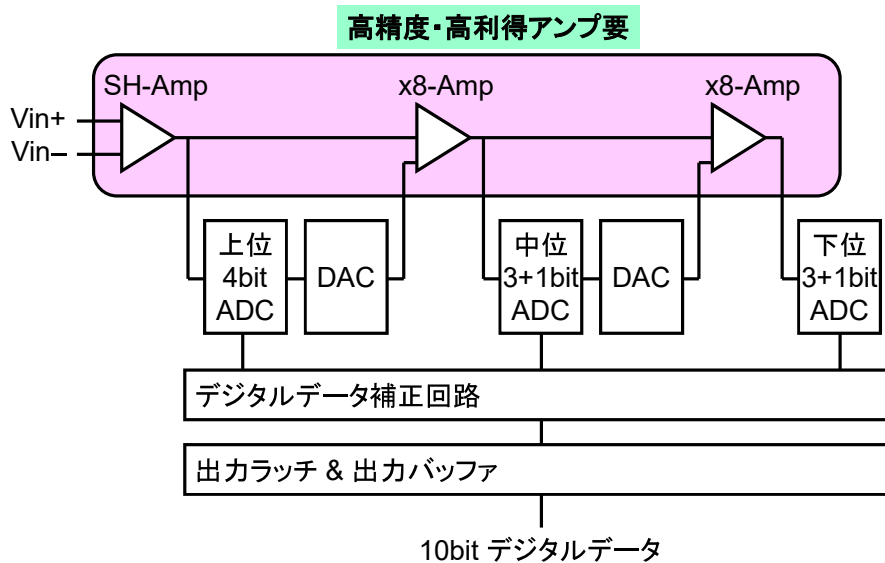


- ・ 下位比較器バンクの拡張による誤差補正方式
実測した誤差補正の働き

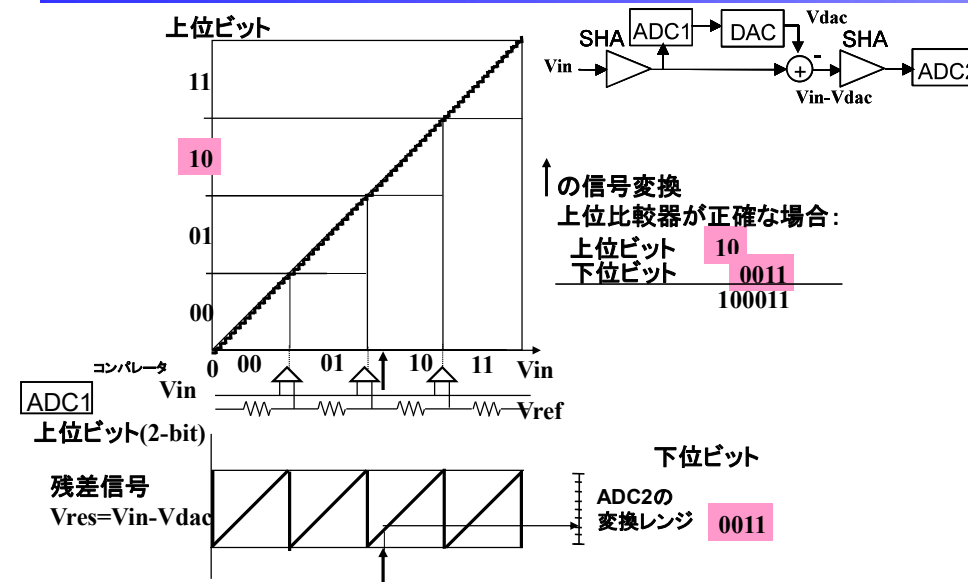
e. パイプライン型A/D変換器

- ・ パイプラインADCは、8bit~10bit(12bit)で、30MHz~110MHz程度の性能のADCである。
- ・ マイコン搭載ADCとしては使用されていないが、SOCや専用ASIC搭載用としてよく使われる。ビデオ信号用ADCや、WLANのRF-ICからの8MHz帯域信号をA/D変換するなどに使われる。
- ・ カメラ前処理LSIとして、CCDやCMOS画像センサーの後ろで、センサーからのアナログ信号をデジタル化するA/D変換器に本方式が使われている。
- ・ 容量プロセス必要。

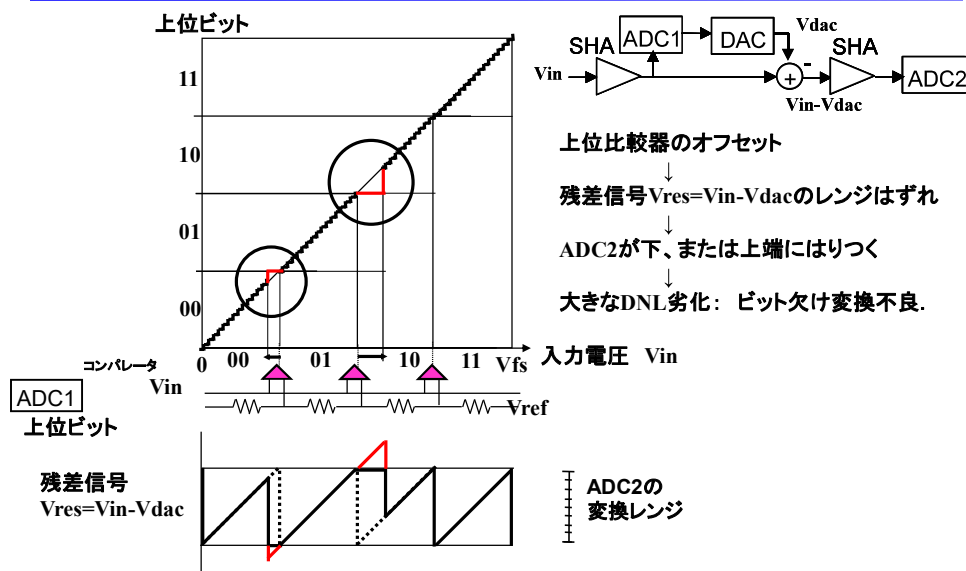
パイプライン型A/D変換方式



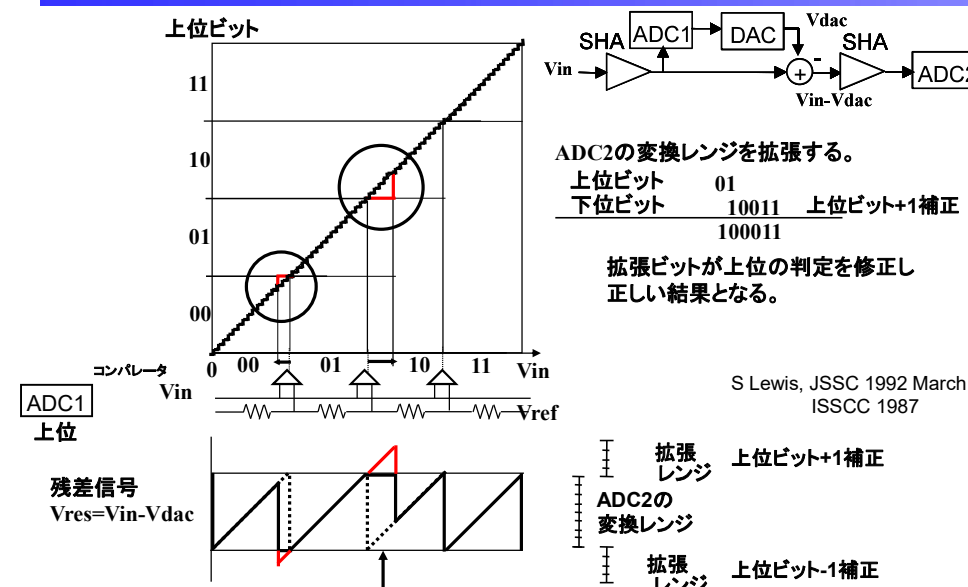
パイプラインA/D変換器の変換原理



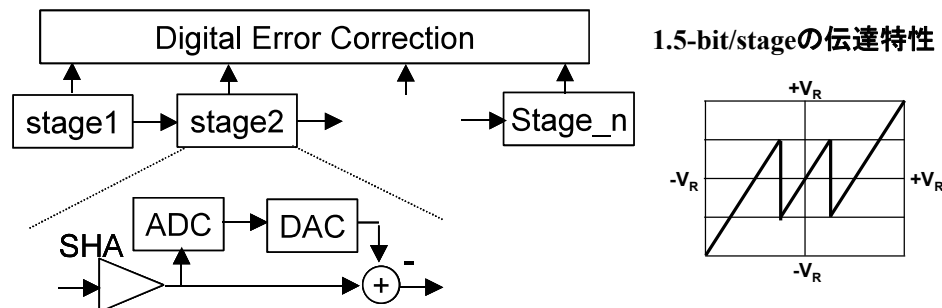
変換誤差： 比較器のオフセットばらつき



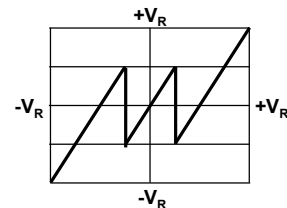
下位AD拡張レンジによる誤差補正



1.5-bit/stage パイプライン型



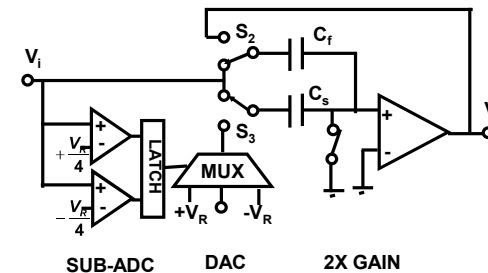
1.5-bit/stageの伝達特性



S Lewis, JSSC, March 1992

1.5-bit/stage パイプライン型

1.5-bit/stageの伝達特性



1.5-bit/stageの1ステージ構成

$$V_o = \begin{cases} \left(1 + \frac{C_s}{C_f}\right) V_i - \frac{C_i}{C_f} V_{ref} & \text{if } \frac{V_{ref}}{4} \leq V_i \\ \left(1 + \frac{C_s}{C_f}\right) V_i & \text{if } -\frac{V_{ref}}{4} \leq V_i \leq \frac{V_{ref}}{4} \\ \left(1 + \frac{C_s}{C_f}\right) V_i - \frac{C_i}{C_f} V_{ref} & \text{if } V_i \leq -\frac{V_{ref}}{4} \end{cases}$$

ナイキスト型A/D変換方式のまとめ

- チップに搭載するナイキスト型A/D, D/A変換器の方式、概要について紹介した。
- A/D, D/A変換器は、動作速度、分解能がパラメータであるが、万能のA/D, D/A変換器はない。
 - 高速用途ではフラッシュ型があるが分解能は6-bit程度と低い。
 - 中間の速度にはパイプライン方式やサブレンジ形などがあり10~12bitなどが実現できる。また逐次比較方式も最近研究開発が盛んである。
 - 低速で14~16ビットと言った高精度には $\Delta\Sigma$ 方式が適するがデジタルフィルタと組み合わせて使う必要がある。
- システムLSIで必要な性能を実現するために、A/D, D/A変換器コアの面積や電力を見極めて適切な選択をする必要がある。

4. $\Delta\Sigma$ A/D変換器とは

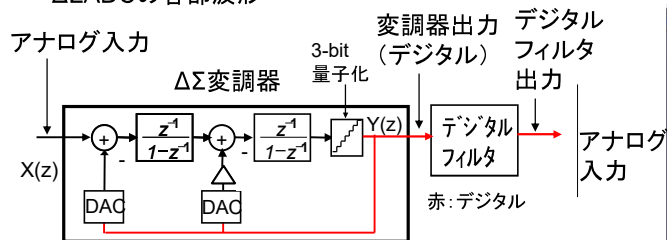
($\Delta\Sigma$ A/D変換器の基礎)
(オーバーサンプル型A/D変換器)

アナログとデジタルの特長をうまく利用する A/D変換器

$\Delta\Sigma$ A/D変換器のシステム検討にはMATLAB/Simulinkの使用が効果的

4.1 $\Delta\Sigma$ A/D変換器の例

・ $\Delta\Sigma$ ADCの各部波形



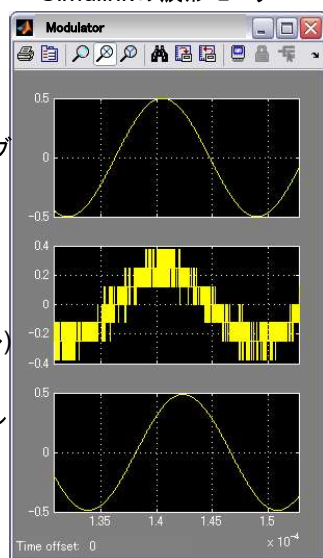
1) $\Delta\Sigma$ 変調器:
オーバーサンプルとノイズシェープ
の概念を使って、入力正弦波を右図のように
 $\Delta\Sigma$ 変調を掛ける。

2) デジタルフィルタ:
 $\Delta\Sigma$ 変調波形から、高周波の雑音成分を
取り除くことで平滑化された図下段の
正弦波波形を得る。

変調器
出力
(デジタル)

デジタル
フィルタ
出力

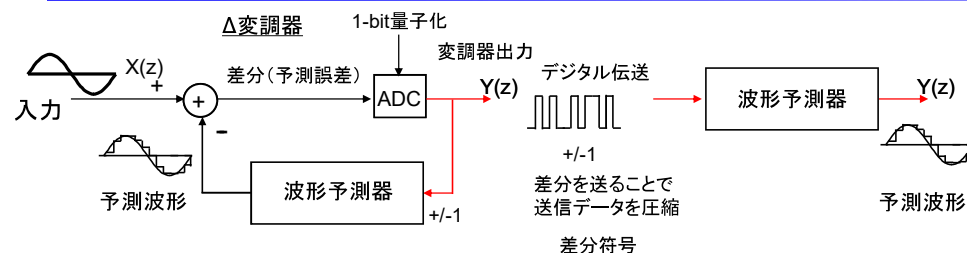
Simulinkの波形モニター



ATN
アナログ技術ネットワーク 37

群馬大学・客員教授

4.1 Δ 変調 (予測差分データ伝送): $\Delta\Sigma$ 変調の祖先

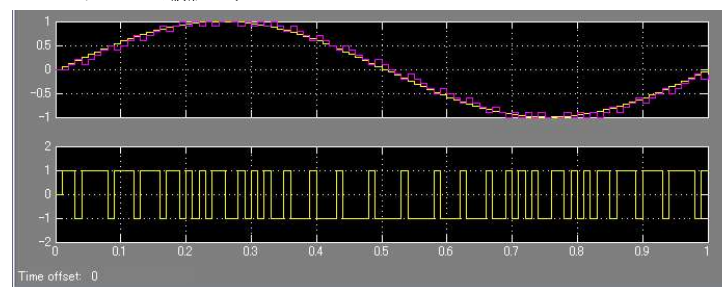


MATLAB/Simulinkの波形モニター

Δ 変調の考え方は1948年フランスのデジタル通信技術の特許

入力波形 (黄)
予測波形 (藤)

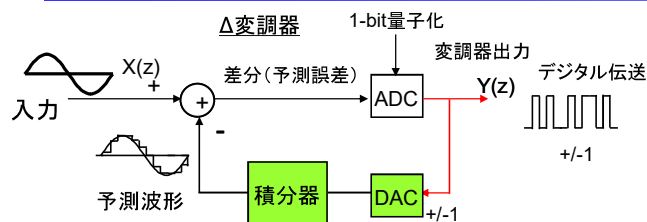
変調器出力:
差分 (予測誤差) の
1-bit量子化



群馬大学・客員教授

ATN
アナログ技術ネットワーク 38

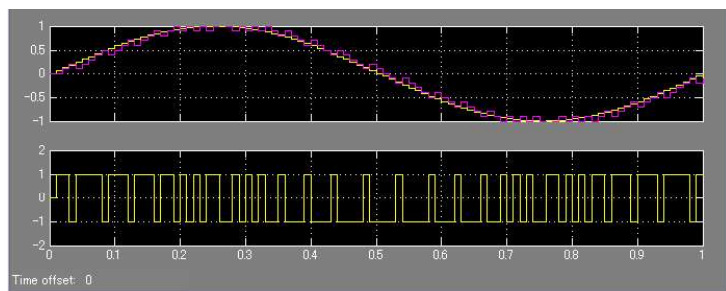
4.1 Δ 変調 (波形予測器をどう作るか?)



最も簡単な波形予測器

入力波形 (黄)
予測波形 (藤)

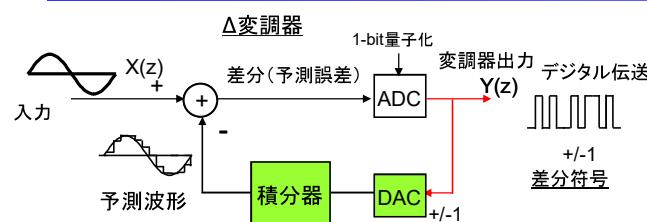
変調器出力:
差分 (予測誤差) の
1-bit量子化



ATN
アナログ技術ネットワーク 39

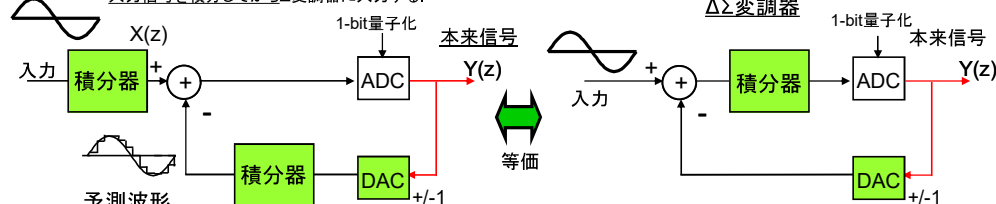
群馬大学・客員教授

4.1 Δ 変調から $\Delta\Sigma$ 変調へ



Δ 変調器の変形

出力を差分符号でなく本来の信号にするために
入力信号を積分してから Δ 変調器に入力する。

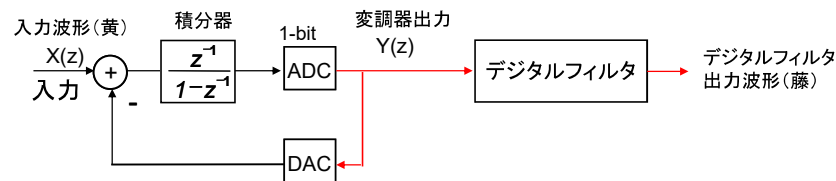


$\Delta\Sigma$ 変調の考え方は1957年電気通信学会誌に提案された。
安田靖彦、猪瀬

群馬大学・客員教授

ATN
アナログ技術ネットワーク 40

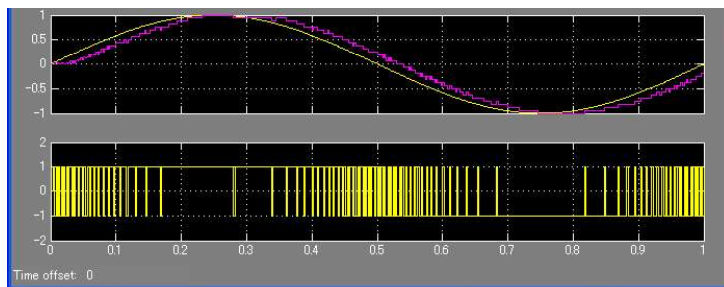
4.1 ΔΣ変調器の直感的な理解



・入力波形(黄)
・デジタルフィルタ
出力波形(藤)

変調器出力:
1-bit量子化

電圧レベルをパルス
密度に変換している
ともいえる。



ATN
アナログ技術ネットワーク 41

群馬大学・客員教授

4.2 ΔΣA/D変換器の原理

・ΔΣ A/D変換器の2大原理

1) オーバーサンプル

入力周波数よりも大幅に高い(128倍など)サンプリング f_s を行い、デジタルフィルタで不要な高帯域量子化雑音を除去し、SNRを改善する。

2) ノイズシェーピング

量子化雑音を、低周波(in-band)から高周波に追いやって(ノイズシェープ)、in-bandの量子化雑音を小さくし、SNRを改善する。

ATN
アナログ技術ネットワーク 42

群馬大学・客員教授

オーバーサンプルの概念によるSNRの改善

入力 f_{in}

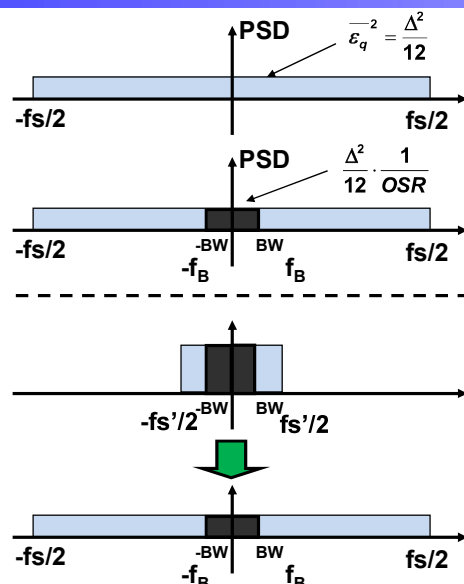
・量子化雑音のパワー $\overline{\varepsilon_q^2} = \frac{\Delta^2}{12}$ は
次頁追加
+/- $f_s/2$ の周波数までフラットに分散される。

・ナイキスト周波数 $f_s/2$ に対して、
信号帯域(in-band)周波数を f_B として、
その比をオーバーサンプリング比(OSR)と定義

$$OSR = \frac{f_s/2}{f_B}$$

・in-bandに残る雑音電力は、 $\frac{\Delta^2}{12} \cdot \frac{1}{OSR}$

・ f_s を上げるとin-bandの雑音電力が減る。
・OSR 4倍で1-bit分解能を向上できる。



ATN
アナログ技術ネットワーク 43

群馬大学・客員教授

SNR(信号対雑音比), 有効ビット

(7) SNR, 有効ビット

・分解能(量子化ステップ)を Δ としたとき、
理想A/D変換器で発生する量子化雑音の
パワー $\overline{\varepsilon_q^2}$ は、

$$\overline{\varepsilon_q^2} = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} \varepsilon_q^2 d\varepsilon_q = \frac{\Delta^2}{12}$$

・フルスケール正弦波の実効値(rms)は
ダイナミックレンジを $2\sqrt{2}$ で割った値。

・信号電力と雑音電力の比

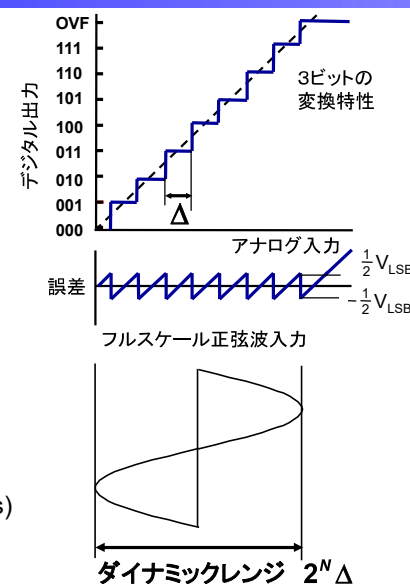
$$SNR = \frac{2^N \Delta}{\frac{2\sqrt{2}}{\Delta}} = 2^N \sqrt{\frac{3}{2}}$$

・対数をとると、

$$(SNR)_{dB} = 6.02N + 1.76(dB)$$

・有効ビット(ENOB: Effective Number of Bits)

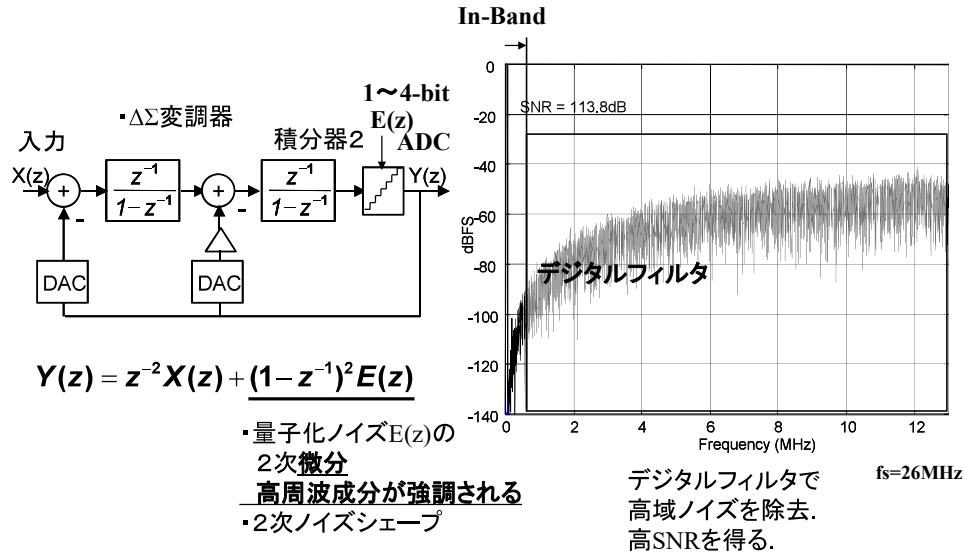
$$ENOB = \frac{SNR_{peak,dB} - 1.76}{6.02}$$



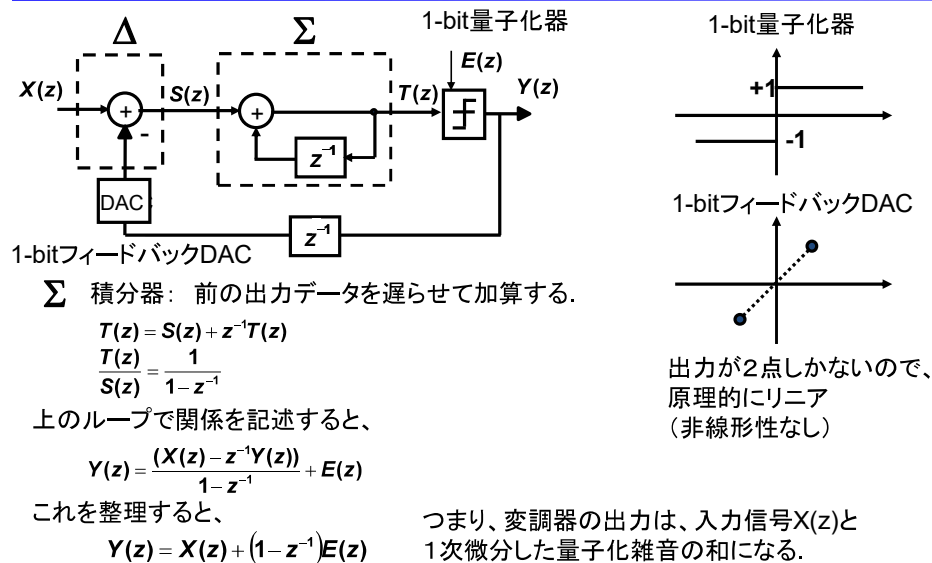
ATN
アナログ技術ネットワーク 44

群馬大学・客員教授

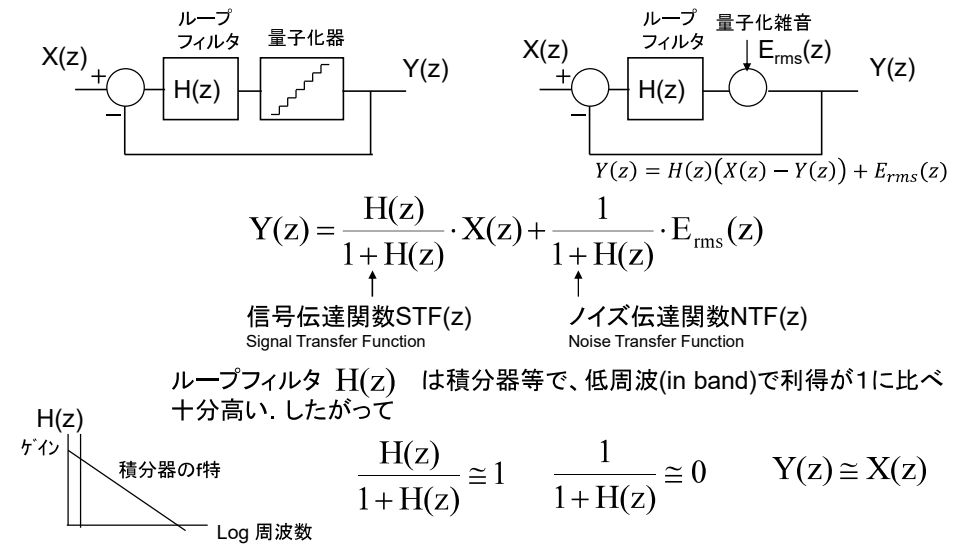
ノイズシェープの概念によるSNRの改善



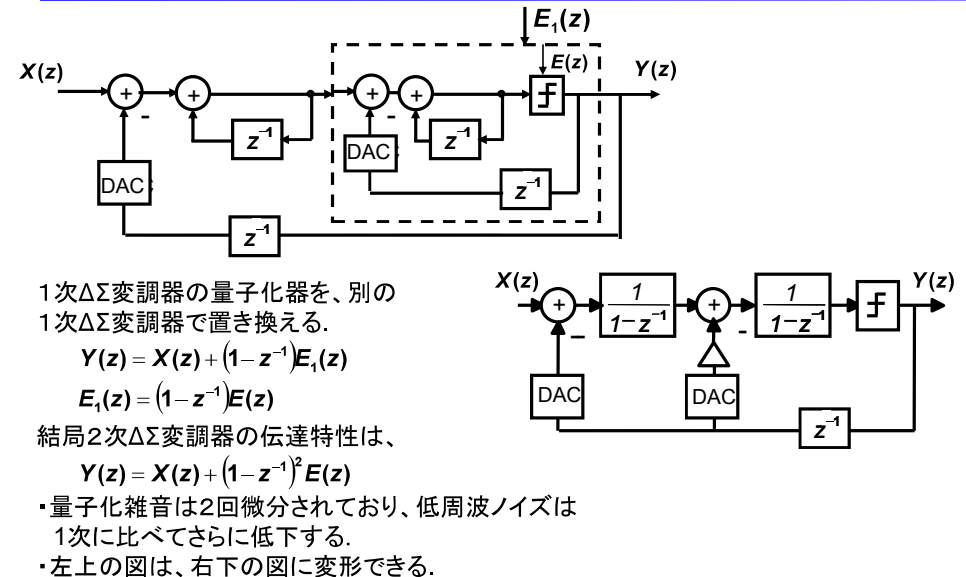
4.3 1次 $\Delta\Sigma$ 変調器



$\Delta\Sigma$ 変調器の線形モデル



4.4 2次 $\Delta\Sigma$ 変調器



2次ΔΣ変調器

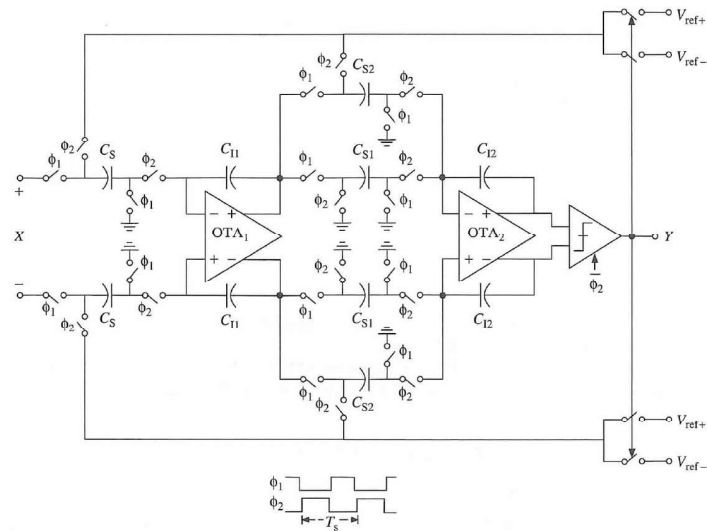
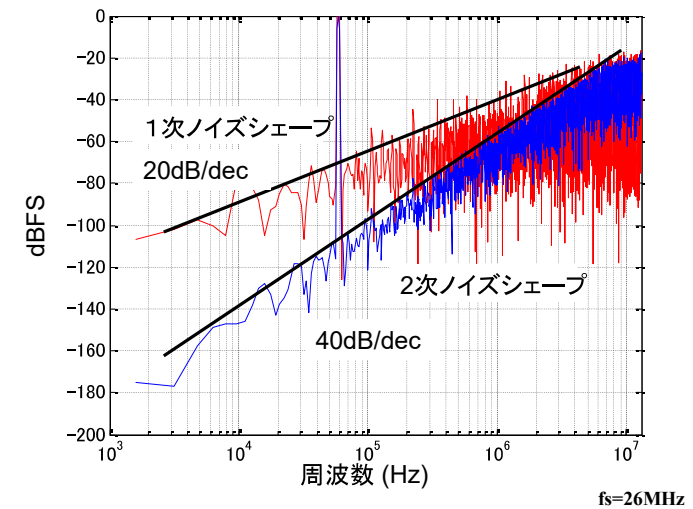
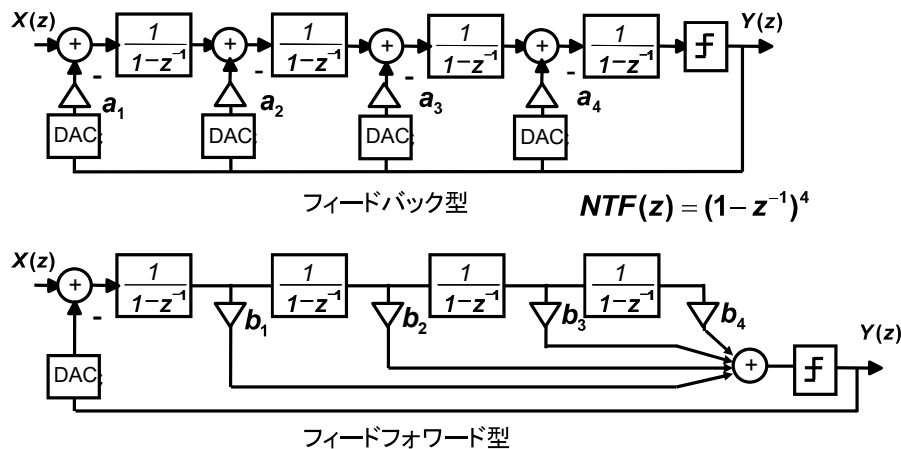


図 完全差動型、2次 1-bit ΔΣ変調器のスイッチドキャパシタ実現例

1次と2次のノイズシェープ比較



高次シングルループΔΣ変調器

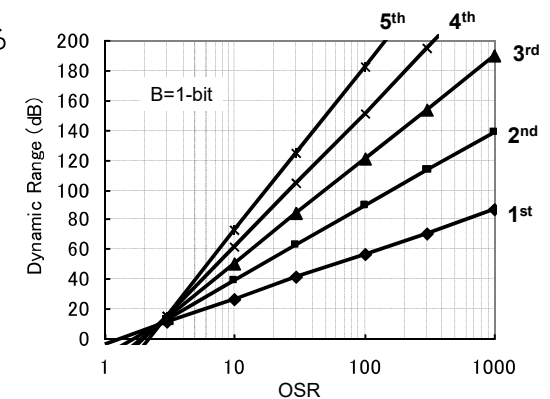


・シングルループ高次ΔΣは、フィードバックループの位相回転により、3次以上では発振する。発振せずに使うためには、安定性を考慮して係数を決め、かつ入力可能な最大振幅がある値以下に制限する必要がある。安定化手法の詳細は省略する。

ΔΣ変調器で得られるダイナミックレンジ

ダイナミックレンジを決める
3パラメータ

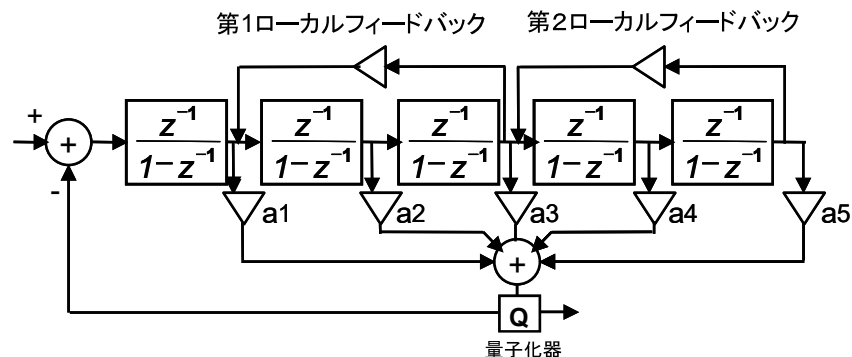
- 1) オーバーサンプル比
 f_s
 $OSR = \frac{f_s}{f_B}$
- 2) ループ次数
 n 次 (積分器の個数)
- 3) 量子化器の分解能
 B -bit



注: 上図はループ安定性を考慮していないケース

$$DR = \frac{3\pi}{2} (2^B - 1)^2 (2n + 1) \left(\frac{OSR}{\pi} \right)^{2n+1}$$

ローカルフィードバックを持った5次 $\Delta\Sigma$ 変調器

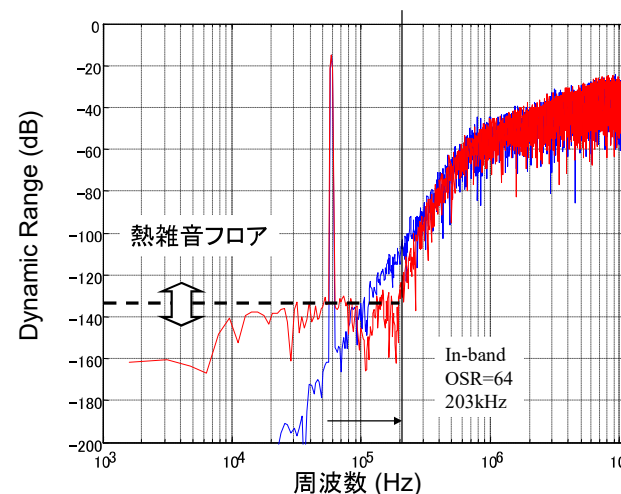


- ・積分器2個の周りのフィードバックで、共振周波数・ノッチ周波数を作る。
- ・2個のノッチ周波数

4.5 $\Delta\Sigma$ A/D変換器のメリット

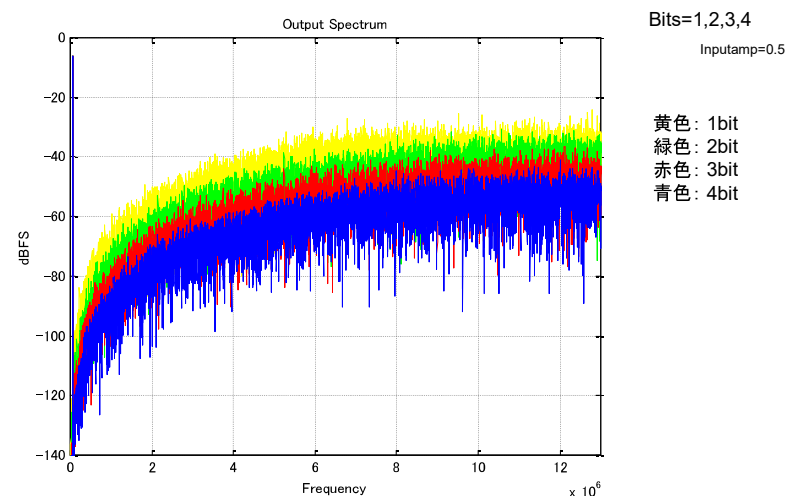
- 1) 電圧方向の精度が無くても、時間方向に多数サンプルして精度を上げられる。個別回路に(一部を除いて)精度が要求されない。
- 2) (シングルビット方式では)リニアリティが原理的によく、単純な構成で非常に高いSNRが得られる。
- 3) サンプル周波数 f_s が非常に高いので、折り返しによる誤差がほとんど起きず、RCフィルタなどの簡単なアンチエイリアシングフィルタで十分。
- 4) 微細プロセスを利用すると、デジタルフィルタを内蔵しても面積的な問題が少なくなり、アナログの規模を小さくできるので、微細CMOS向きである。

バンドエッジにノッチ点を持った5次 $\Delta\Sigma$ 変調器



- ・バンドエッジでの量子化ノイズが低減し、SNRが改善できる。
- ・実際のADCでは、量子化ノイズのほか、回路の熱雑音が決める。

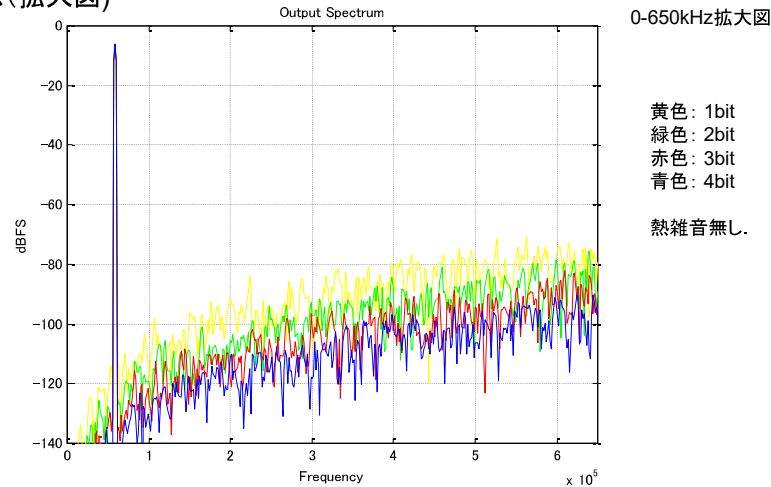
4.6 マルチビット $\Delta\Sigma$ 変調器



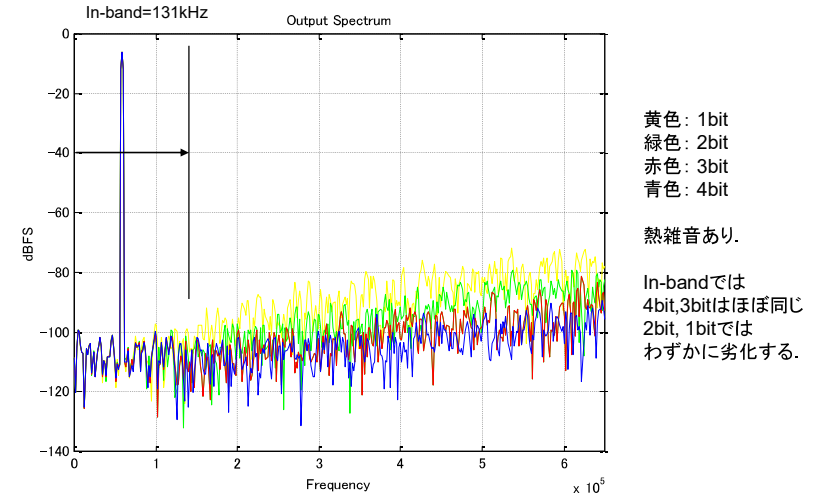
- ・量子化器の分解能を1-bitから、2, 3, 4-bitと上げると、量子化雑音が6dBづつ改善され、SNRが上がってゆく。

マルチビット $\Delta\Sigma$ 変調器・熱雑音なし

スペクトラム(拡大図)

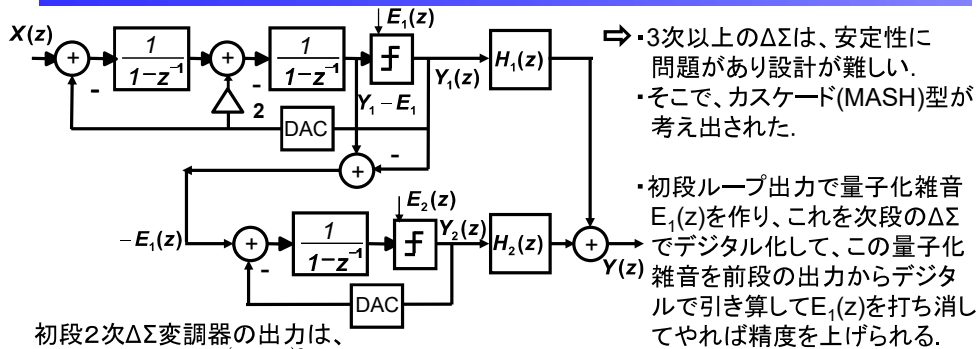


マルチビット $\Delta\Sigma$ 変調器・熱雑音あり



・実際の回路では、回路熱雑音のため、SNRが決まってしまう。

4.7 カスケード(MASH)型 $\Delta\Sigma$ 変調器



初段2次 $\Delta\Sigma$ 変調器の出力は、

$$Y_1(z) = X(z) + (1 - z^{-1})^2 E_1(z)$$

2段目の1次 $\Delta\Sigma$ 変調器の入力は $-E_1(z)$ なので、

$$Y_2(z) = -E_1(z) + (1 - z^{-1}) E_2(z)$$

$Y_1(z)$ と $Y_2(z)$ を加算するデジタルフィルタを $H_1(z) = 1$ $H_2(z) = (1 - z^{-1})^2$ とおくと、

最終出力は、 $Y(z) = Y_1 H_1 + Y_2 H_2 = X(z) + (1 - z^{-1})^2 E_1(z) - (1 - z^{-1})^2 E_1(z) + (1 - z^{-1})^3 E_2(z)$

$$Y(z) = X(z) + (1 - z^{-1})^3 E_2(z)$$

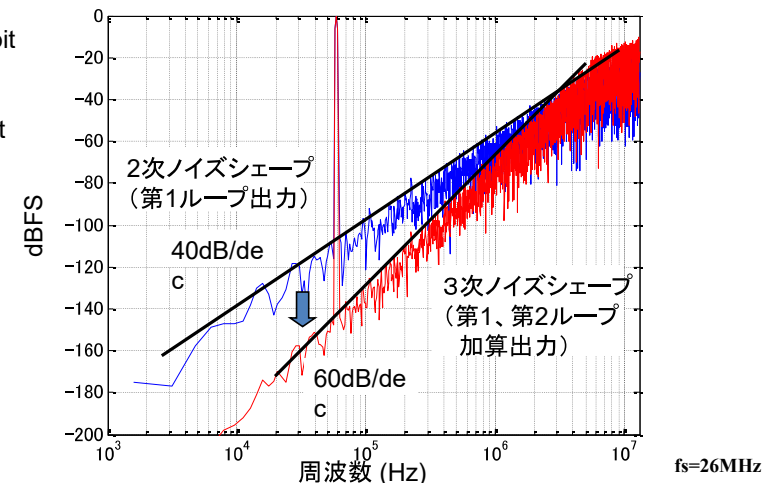
となつて、 $E_1(z)$ がキャンセルされ、 $E_2(z)$ が3次ノイズシェーブされていることがわかる。

量子化雑音 $E_1(z)$ の打ち消し

カスケード(MASH)型 $\Delta\Sigma$ 変調器

第1ループ
2次、1.5 bit

第2ループ
1次、1.5 bit

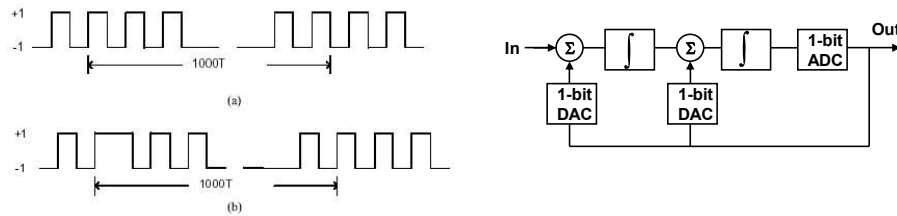


$$Y(z) = Y_1 H_1 + Y_2 H_2 = X(z) + (1 - z^{-1})^2 E_1(z) - (1 - z^{-1})^2 E_1(z) + (1 - z^{-1})^3 E_2(z)$$

第1ループの量子化雑音を、第2ループがデジタルに変換して、デジタルドメインで差し引く。

4.8 アイドルトーン

アイドルトーンは $\Sigma\Delta$ 変調器の出力が1bitのディスクリート信号のため生じる。入力端子で長時間の+1,-1の出力系列の平均値が入力DC電圧と平均されてゼロになるようにループが動作する。



- a) 入力DC=0V時の1bit $\Sigma\Delta$ 変調器出力パターン
長時間平均がゼロとなり、入力の0Vと釣り合う。
- b) 入力DC=0.001フルスケール時の1bit $\Sigma\Delta$ 変調器出力パターン
1000回に一回+1が余計に出て、入力の+0.001に釣り合うように働くため
1000回に一回の繰り返しパターンとなり、低周波トーンが出る。

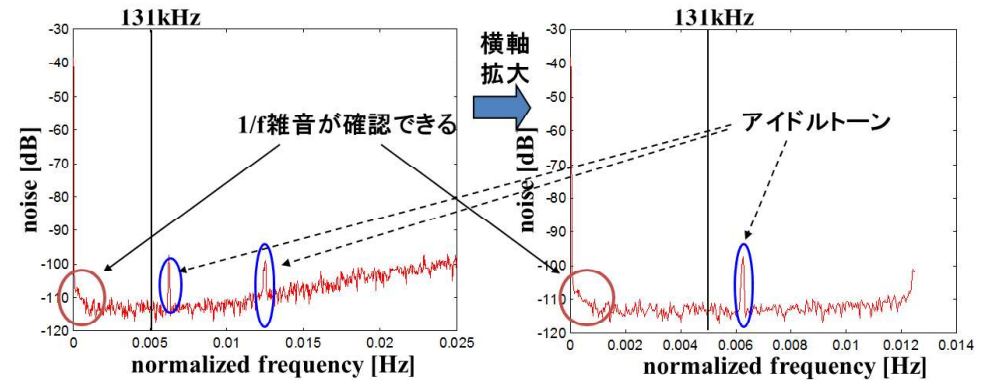
一般に、小DC入力電圧では低周波のトーンが発生する。
また、入力信号を入れても、振幅が小さい間はトーンは依然発生する。

$$f_{DC} = \frac{1}{1000T} = \frac{1}{1000} f_s$$

対策： デザインを加える、DCオフセットを加える、3次以上の高次ループを使う、など。

アイドルトーンの例

低域スペクトルの拡大図

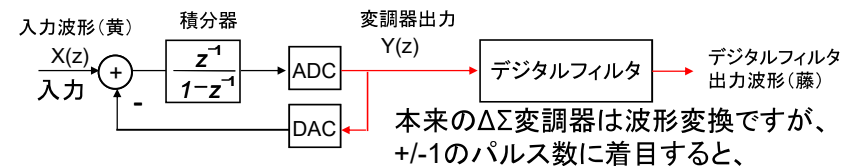


アイドルトーンの他に、1/f雑音が発生している。

4.9 インクリメンタル $\Delta\Sigma$ A/D変換方式

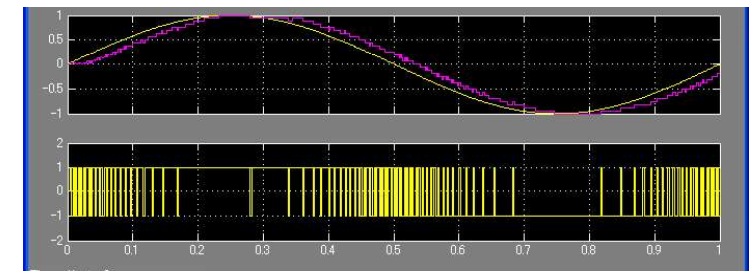
- $\Delta\Sigma$ A/D変換器でDC電圧の1:1変換ができるか？
- インクリメンタル $\Delta\Sigma$ A/D変換器
- 電池用 $\Delta\Sigma$ A/D変換器

$\Delta\Sigma$ 変調器で DC電圧の1:1変換を実現できるか？



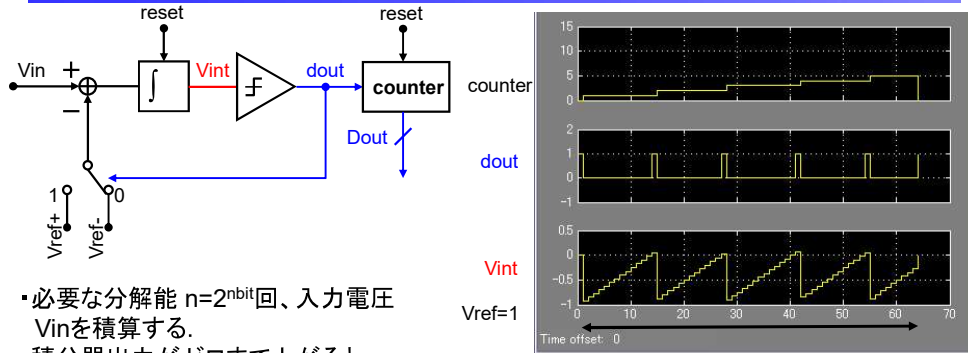
- 入力波形(黄)
- デジタルフィルタ出力波形(藤)

変調器出力:
1-bit量子化



低DC入力電圧では-1のパルスが多く、高DC入力電圧では+1のパルスが多い。変換スタートを掛けて、一定時間後までの、+1/-1のパルスを積算すればDC電圧をデジタル値に直すことができる。これをインクリメンタル $\Delta\Sigma$ A/D変換器という。

インクリメンタルΔΣA/D変換器



- 必要な分解能 $n=2^{\text{nbit}}$ 回、入力電圧 V_{in} を積算する。
- 積分器出力がゼロまで上がると、比較器が1を出力して入力に $-V_{ref}$ が加算される。カウンタが $-V_{ref}$ を加算した数を数える (N)。
- nステップ後、積分器の出力Vは

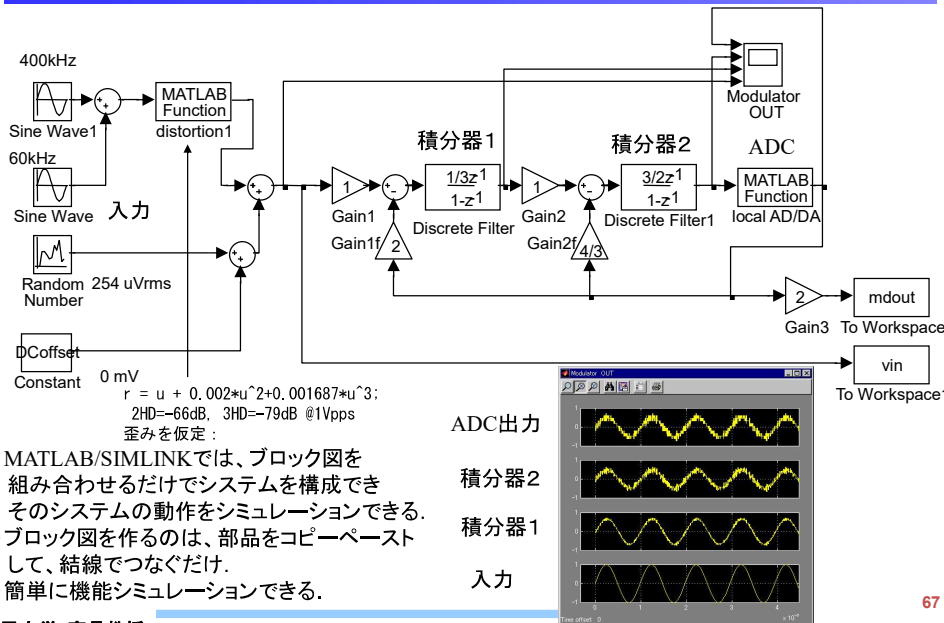
$$V = nV_{in} - NV_{ref}$$

$$N = n \left(\frac{V_{in}}{V_{ref}} \right) + \varepsilon \quad -1 \leq \varepsilon \leq 1$$

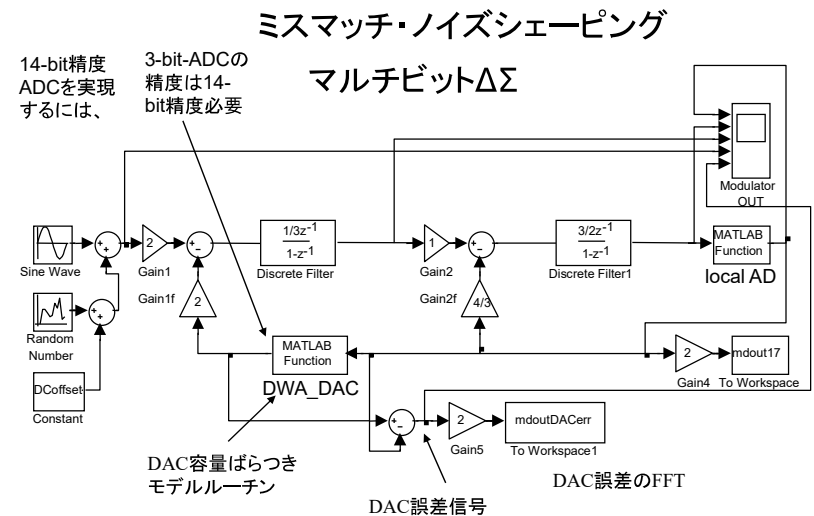
- Nは、基準電圧(フルスケール) V_{ref} に対する V_{in} の比に、分解能 $n=2^{\text{nbit}}$ を掛けた数値である。つまりデジタル変換値がNに得られる。

4.10 MATLAB/SimulinkによるΔΣA/D変換器の高位設計例

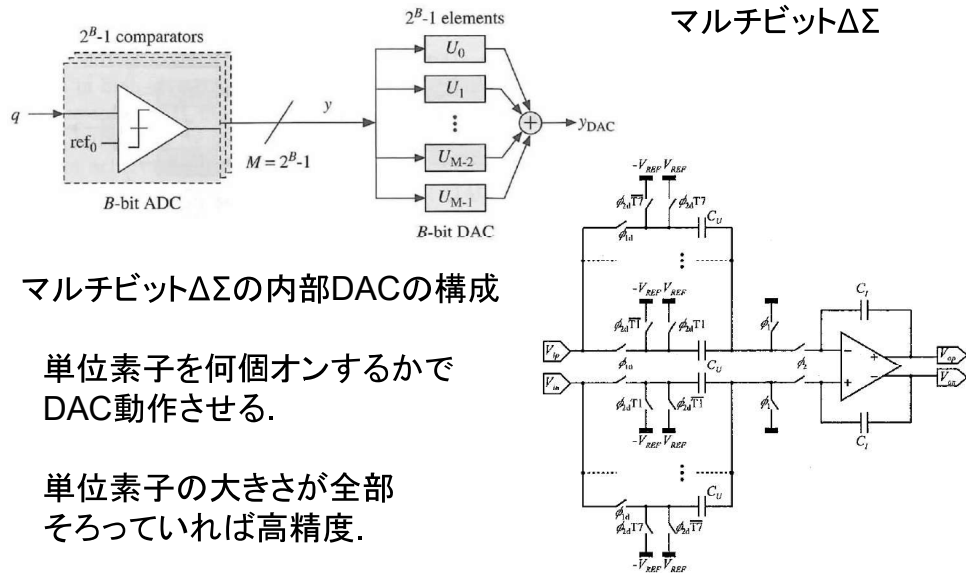
MATLAB/Simulinkによる機能シミュレーション



4.11 DAC容量ばらつきによる雑音の混入



DAC容量ばらつきによる雑音の混入



DAC容量ばらつきによる雑音の混入

メイン信号は
+/-0.5Vオーダー

ADC出力

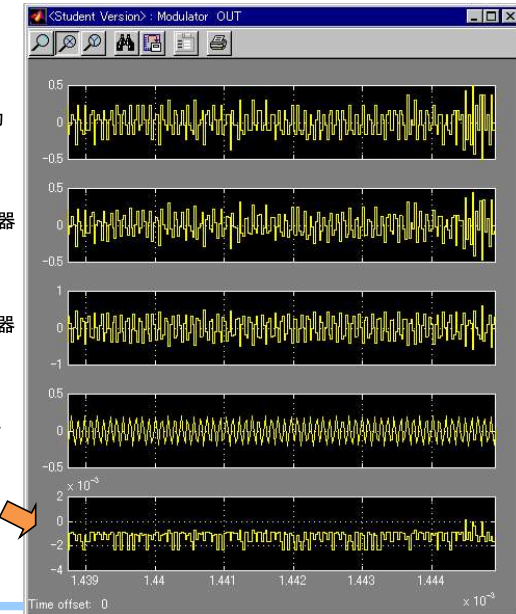
第2積分器
出力

第1積分器
出力

入力信号

雑音の混入

DAC誤差信号
+/-100uVオーダー

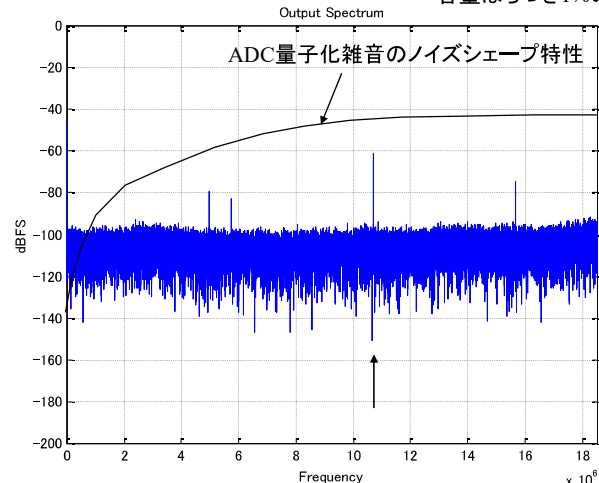


DAC容量ばらつきによる雑音の混入

容量ばらつきによるDAC誤差信号のスペクトラム

DAC誤差信号を
FFTしたもの。

容量ばらつき1%の場合、DWAなし。



ゼロ周波数でのボトムは98dB程度で、DAC誤差信号がSNRをリミットしているのが理解できる。

対策： ミスマッチ・ノイズ・シェーピング

- DAC容量ばらつきによるノイズを何とか除けないか？
ミスマッチをノイズシェープできないか？
- DACの入力信号を、まず積分して、つぎに出力で微分すると、DAC信号自体は正しい値 V' が出るのに対し、DACで加わったミスマッチによる誤差 DE は、微分され、高周波領域にノイズシェープされる。

$$V \rightarrow \frac{1}{1-z^{-1}} \rightarrow \text{DAC} \rightarrow \frac{1}{1-z^{-1}} \rightarrow V' = V + \frac{(1-z^{-1})DE}{1-z^{-1}}$$

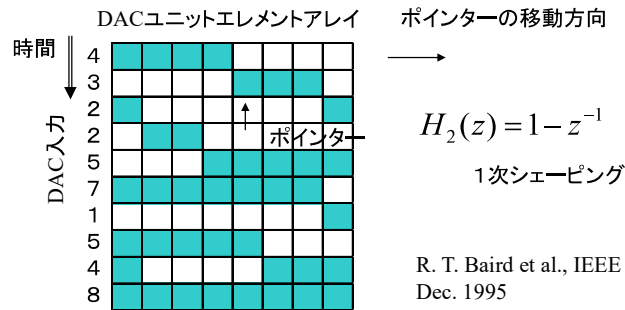
DACエラー DE の1次ノイズシェープ

- では有限エレメント個数のDACでどのようにして積分と微分を実現するか？

ミスマッチ・ノイズ・シェーピング

DWAアルゴリズム

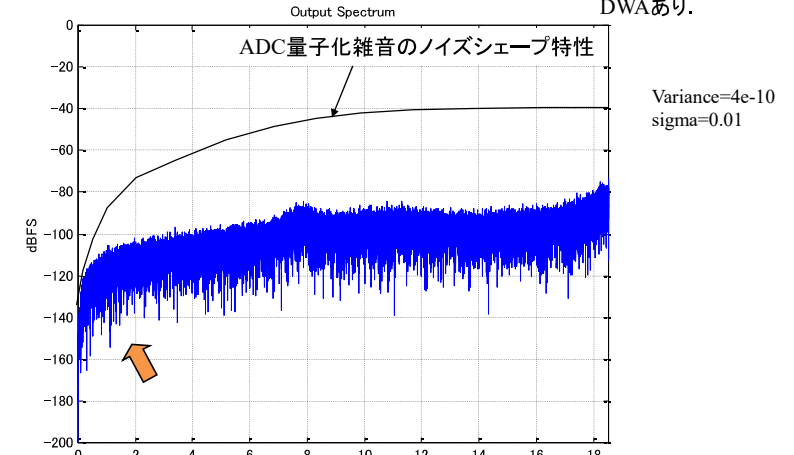
- DWA (Data Weighted Averaging): ポインタを使ってDAC容量を、順次使うことにより、ミスマッチが1次ノイズシェーブされる手法。DCにゼロ点ができる。ミスマッチノイズシェーブと呼ばれる。
- 時間的に要素の平均をとるという意味でダイナミックエレメントマッチングと呼ばれることもある。DWAはその一種。



ミスマッチ・ノイズ・シェーピング

DWAを行ったDAC誤差信号のスペクトラム

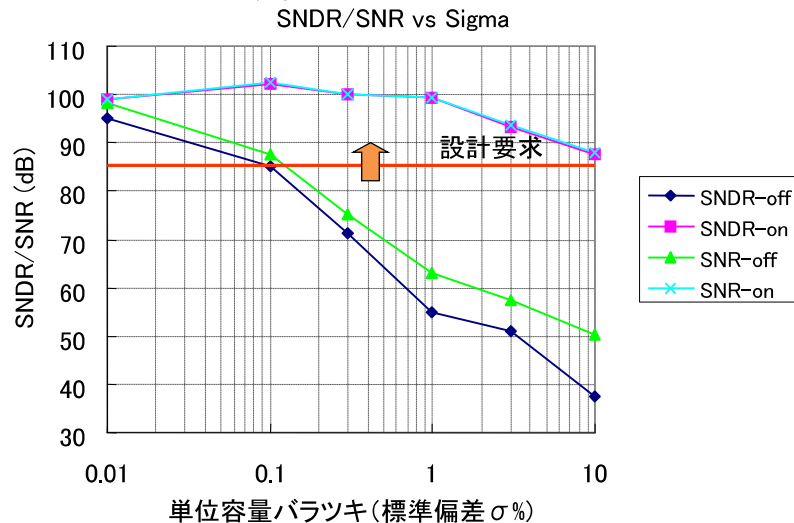
容量ばらつき1%の場合
DWAあり。



DAC容量ミスマッチばらつきによるノイズが、1次ノイズシェーブされて、ゼロ周波数でノッチになる。従ってゼロ周波数でのSNRが向上する。

ミスマッチ・ノイズ・シェーピングによるSN改善

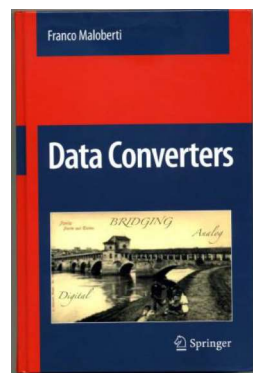
DWAによるSNR/SNDR改善



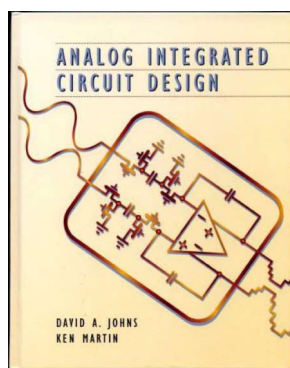
$\Delta\Sigma$ A/D変換器のまとめ

- 1) $\Delta\Sigma$ A/D変換器について、その動作原理を解説し、各種構成法を紹介、実際の設計について述べた。
- 2) 微細化・低電圧化でアナログ回路は作りにくくなるが、 $\Delta\Sigma$ は回路要素のアナログ的精度が必要な部分が少なく、高精度な変換が実現できるため、デジタル主体のLSIになじみ易く、今後さらに活用されてゆくと考えられる。
- 3) ただし設計には $\Delta\Sigma$ 特有の知識や設計手法が必要である。例えば、量子化器の非線形性のために生まれるアイドルトーンといった問題や、高精度を追及するためにマルチビット量子化器を使った場合、内部D/A変換器の容量ミスマッチをダイナミックエレメントマッチングで取り除くこと、などである。また、高精度を実現するには回路の熱雑音も考慮した設計が必要である。

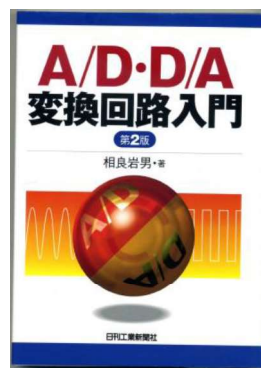
AD/DA参考書（一般）



(1) Franco Maloberti 著
Springer
ISBN 978-0-387-32485-2



(2) David A. Johns
Ken Martin 著
Wiley
ISBN 0-471-14448-7

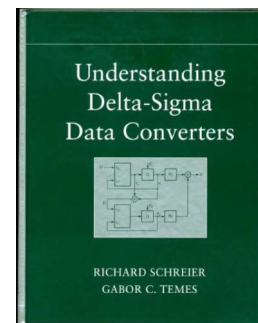


(3) 相良岩男 著
日刊工業新聞社

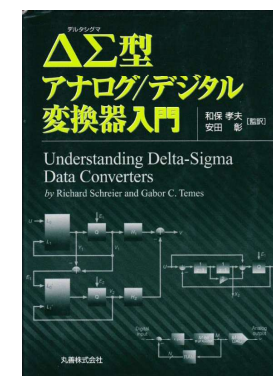
群馬大学・客員教授

ATN
アナログ技術ネットワーク 77

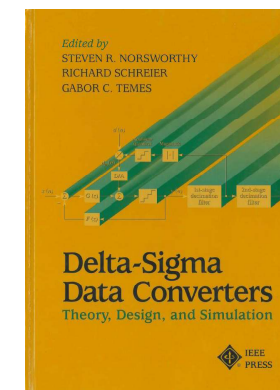
AD/DA参考書（ $\Delta\Sigma$ ADC）



(4) Richard Schreier
Gabor C. Temes 著
Wiley-Interscience
ISBN 0-471-46585-2



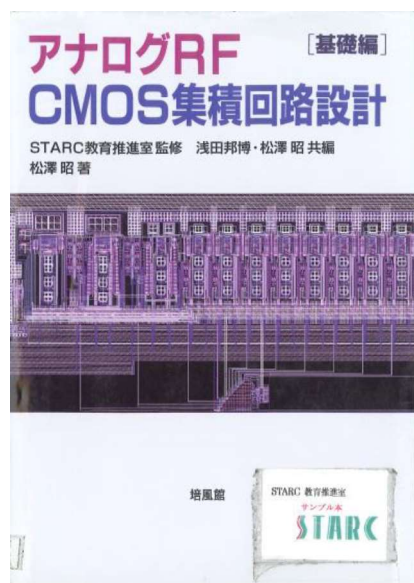
(4) 翻訳、丸善株式会社
ISBN 978-4-621-07872-3
9,500円+税



(5) S. Norsworthy
Richard Schreier
Gabor C. Temes 著
IEEE Press
ISBN 0-7803-1045-4

群馬大学・客員教授

ATN
アナログ技術ネットワーク 78



1) アナログRF CMOS集積回路 [基礎編]
STARC教育推進室 浅田邦博・松澤明
共編 倍風館、8,000円



2) アナログRF CMOS集積回路 [応用編]
STARC教育推進室 浅田邦博・松澤明
共編 倍風館

群馬大学・客員教授

ATN
アナログ技術ネットワーク 79

参考文献

- 1) アナログRF CMOS集積回路 [基礎編]
STARC教育推進室浅田邦博・松澤明共編 倍風館
- 2) アナログRF CMOS集積回路 [応用編]
STARC教育推進室浅田邦博・松澤明共編 倍風館
- 3) 金沢大学 RF_AMS LSI設計の概要（公開資料）
- 4) Data Converters, Franco Maloberti, Springer, ISBN978-0-387-32485-2
- 5) CMOS Mixed-Signal Circuit Design, second edition,
R. Jacob Baker, IEEE Press, and Wiley
- 6) Analog Integrated Circuit Design, David A Johns, Ken Martin, Wiley, ISBN
0-471-14448-7
- 7) A/D・D/A変換回路入門 相良岩男 日刊工業新聞社
- 8) 東京工業大学 松澤研究室 Web, 2011/09/13 電情報通信学会研究会
- 9) Nano-CMOS Circuit and Physical Design, Ban P. Wong,
Anurag Mittal, Yu Cao and Greg Starr, WILEY-INTERSCIENCE, 2005
- 10) CMOS Analog Circuit Design, Phillip E. Allen, Douglas R. Holberg,
Oxford University Press, 2002

群馬大学・客員教授

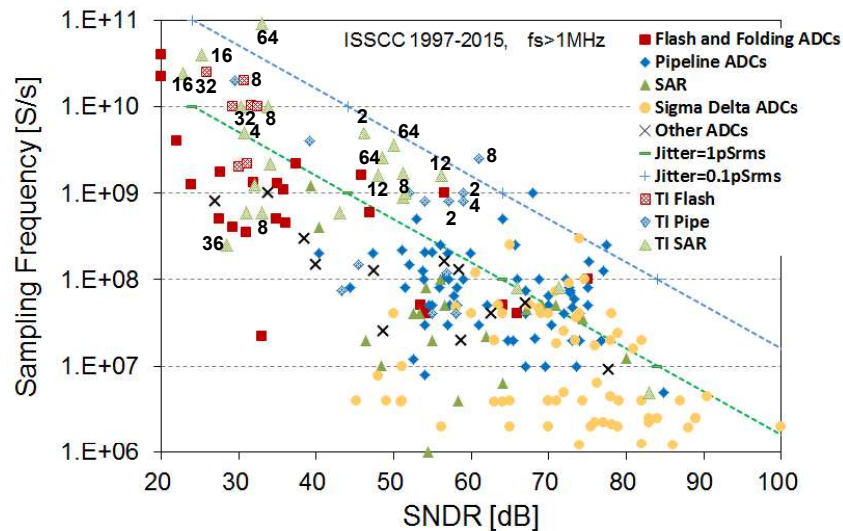
ATN
アナログ技術ネットワーク 80

参考文献

- 11) A Small-Chip-Area Transceiver IC for Bluetooth Featuring a Digital Channel-Selection Filter, Masaru Kokubo, Tatsuji Matsuura, et. al. IEICE Trans. Electron, Vol. E87-C, No. 6, June 2004
- 12) A 240-Mbps, 1W CMOS EPRML Read-Channel LSI Chip Using an Interleaved Subranging Pipeline A/D Converter, Tatsuji Matsuura, et. al. IEEE Journal of Solid State Circuits, Vol. 33, No. 11, November 1988, pp.1840-1850
- 13) 応用電子回路工学 松澤 昭 電気学会大学講座 2014年6月, A5判, 並製 276頁, 3,024円
- 14) 基礎電子回路工学 松澤 明 電気学会大学講座, A5判, 並製, 260頁, 2,916円

付録 学会で発表されている AD変換器の性能

ISSCC, VLSIでのADCの性能(SNDR vs. f_s)



数字はタイムインターリーブのチャンネル数

ISSCC, VLSIでのADCの性能(SNDR vs P_w/f_s)

