

低電源電圧で動作する 全差動増幅器

2011/10/14 @群馬大学工学部
谷本 洋(北見工業大学)

内 容

- 低電源電圧動作を阻む要因
- 全差動増幅器とは？
- これまでの種々のアプローチ
- 我々のアプローチ: CMOS-INV
- 実際の設計例と評価結果
 - プロトタイプ
 - CMRRの改善
 - 高利得化(カスコードINV)
- 展望？

低電源電圧動作を阻む要因

概 要

- プロセスの微細化（スケーリング）
 - デバイスの低耐圧化
 - デバイス特性の悪化（固有利得の低下）
- 回路トポロジーによる動作電圧の制約
 - トランジスタを縦積みできない



電源電圧低下の背景と問題点

スケーリング則に基づくデバイスの微細化

⇒ より高速化, より低消費電力化

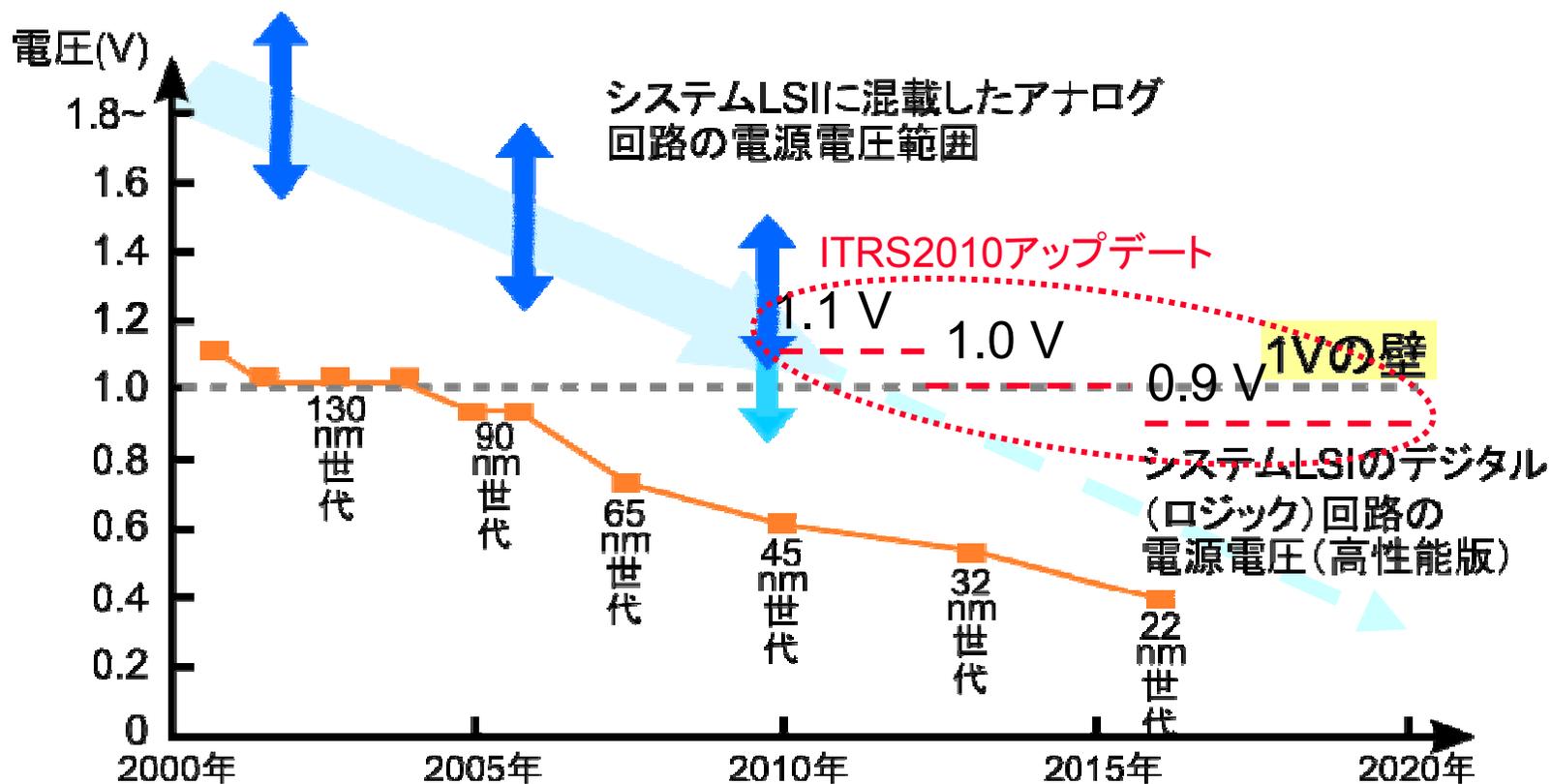
その結果:

- 電源電圧の低下 (ロジック用トランジスタ)
 - 1.8 V@0.18 μm \Rightarrow 1.2 V@90 nm \Rightarrow 1.1 V@65 nm \Rightarrow 0.97 V@45 nm \Rightarrow 0.9 V@32 nm \Rightarrow ???
- 固有利得の低下
 - 電流あたりの g_m は増加○
 - 出力抵抗 r_o の低下×
 - 両者の積である固有利得($g_m r_o$)としては低下×
 - 20~30 dB@0.18 μm \Rightarrow 15~25 dB@90nm
 - ITRS2009では, 2024まで固有利得>30が目標 (@5 L_{\min})

ITRS: International Technology Roadmap for Semiconductors; 半導体開発の目標



CMOSプロセス微細化の推移



[参照]
日経エレクトロニクス2006/11/06号
「アナログ微細化に危機迫る」p.106



何が困るか？

- トランジスタを縦積みできない
 - 2段積みまで⇒カスコードは不可⇒新しい回路が必要!
- アンプの利得が取れない
 - 多段構成とせざるを得ない⇒少ない段数で済む方法?
- 同相電圧の抑圧と制御が必要
 - 入力同相電圧範囲が狭まる
 - 同相電圧を $V_{DD}/2$ 付近に保ちたい } ダイナミックレンジの減少
 - ⇒具体的な解決策は?

これらを解決すればよい！

低電圧化の歴史と我々の提案を説明

MOSの2乗特性モデル(復習)

- 遮断領域, 5極管領域, 3極管領域

$$I_D = 0 : V_{GS} - V_{th} < 0, \quad I_D = I_0 e^{\frac{V_{GS} - V_{th}}{\eta V_T}} \quad (\text{弱反転領域})$$

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 : V_{DS} > \boxed{V_{GS} - V_{th}} \leftarrow V_{OD} \text{と書く}$$

$$I_D = \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 : V_{DS} < V_{GS} - V_{th}$$

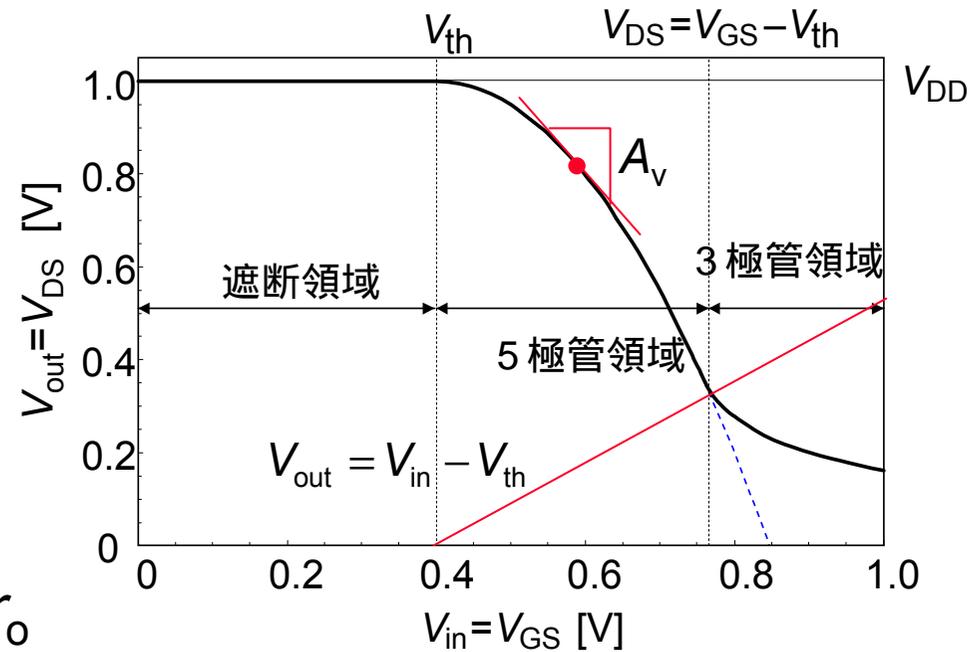
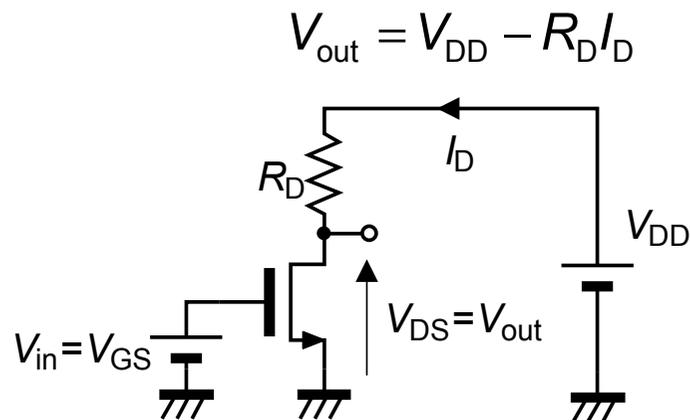
$$V_{DS} < V_{GS} - V_{th} \Leftrightarrow V_{GS} > V_{DS} + V_{th}$$

- トランスコンダクタンス g_m (@5極管領域)

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th}) \propto \sqrt{I_D}$$



MOSの2乗特性モデル(続き)



$$|A_v| = g_m (R_D || r_o) \Rightarrow |A_v|_{\max} = g_m r_o$$

$$R_D \rightarrow \infty$$



固有利得



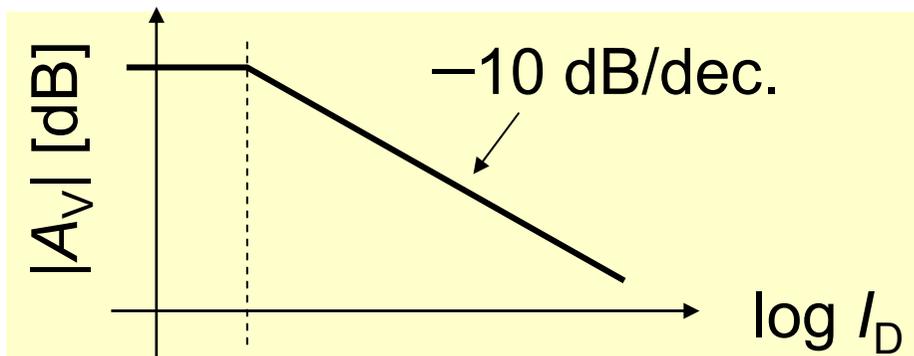
MOSの動作電流と固有利得の関係

- 5極管領域(2乗特性)

$$g_m \propto \sqrt{I_D}, \quad r_o \propto \frac{1}{\lambda I_D} \quad \therefore |A_V| = g_m r_o \propto \frac{1}{\sqrt{I_D}}$$

- 弱反転領域(指数特性)

$$g_m \propto I_D, \quad r_o \propto \frac{1}{\lambda I_D} \quad \therefore |A_V| = g_m r_o = \text{const.}$$



MOSは動作電流の
小さい方が利得大

思考実験

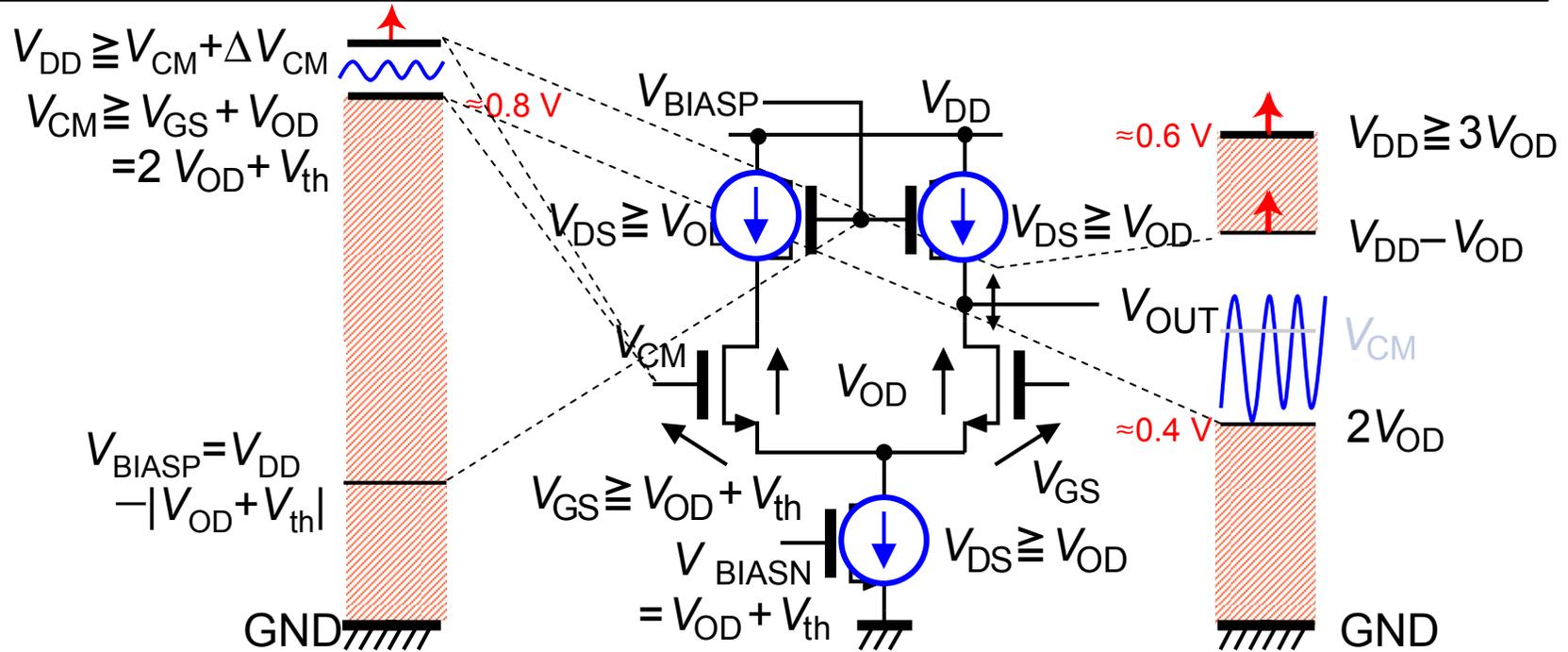
電源電圧を下げるとどうなるか？

概 要

- NMOS差動対の動作電源電圧の下限界
- NMOS演算増幅器を3 Vと1 Vで動かす場合
- 思考実験からわかること



動作電圧の下限 — NMOS差動対



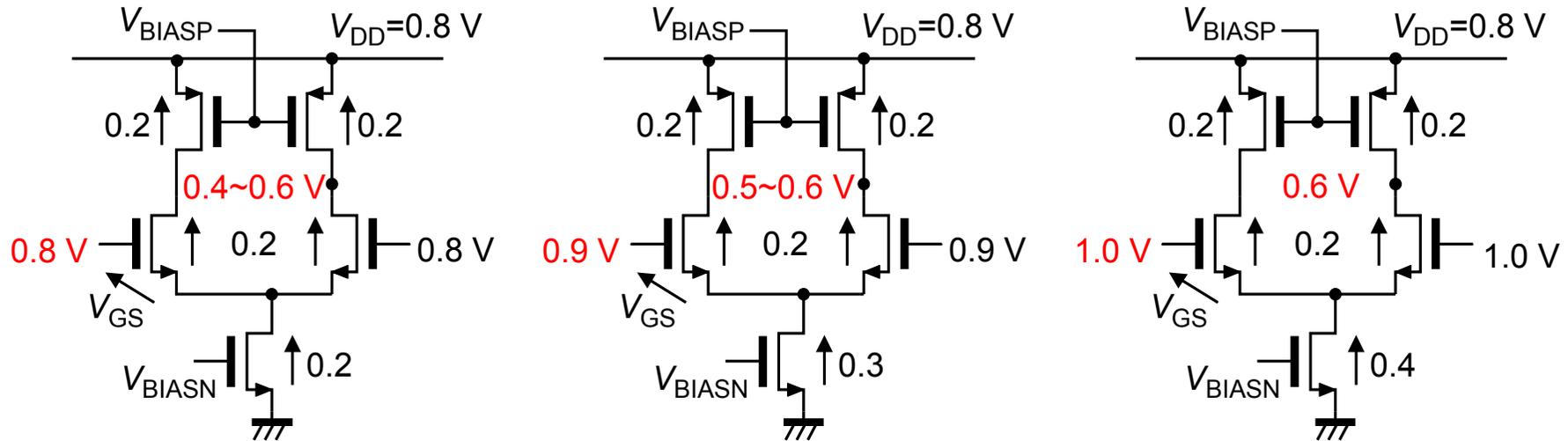
仮定： $V_{GS} - V_{th} = V_{OD} = 0.2\text{ V}$, $V_{th} = 0.4\text{ V}$

条件：全てのMOSが5極管領域で動作すること

- MOS 差動対は $V_{DD} \cong 1.0\text{ V}$ まで動作可能 ($\Delta V_{CM} = 0.2\text{ V}$)
- そのときの同相電圧は $\approx 0.8\text{ V}$ で差動電圧ゼロ!
- 出力スイングは $\Delta V_{out} \cong 0.2\text{ V}$ ($V_{DD} \cong 1.0\text{ V}$ なら)



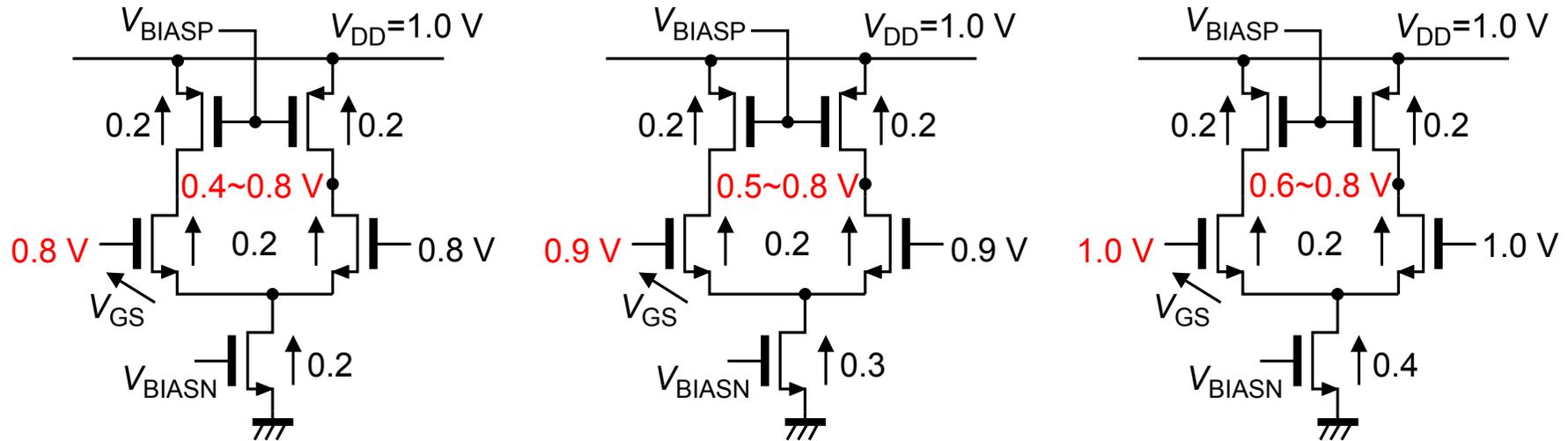
例: $V_{DD}=0.8\text{ V}$ の場合



$$V_{GS} - V_{th} = V_{OD} = 0.2\text{ V}, V_{th} = 0.4\text{ V}, V_{CM} > V_{GS} + V_{OD} = 0.8\text{ V}$$

- $V_{CM} = 0.8\text{ V} \Rightarrow 0.4\text{ V} \leq V_{out} \leq 0.6\text{ V}; 0.2\text{ V}_{p-p}$ スイング
- V_{DD} を超える同相入力も可能
しかし, $V_{DD} \geq V_{CM}$ でなければならない!
 $\Rightarrow V_{DD} = 1.0\text{ V}$ 程度が下限界

例: $V_{DD}=1.0\text{ V}$ の場合



$$V_{GS} - V_{th} = V_{OD} = 0.2\text{ V}, V_{th} = 0.4\text{ V}, V_{CM} > V_{GS} + V_{OD} = 0.8\text{ V}$$

- $V_{DD}=1.0\text{ V} \Rightarrow 0.6\text{ V} \leq V_{out} \leq 0.8\text{ V} @ V_{CM}=1.0\text{ V}$
- 入力も出力も最低 0.2 V_{p-p} スイング可能
- 差動信号に対しては: $0.4\text{ V} \leq V_{out} \leq 0.8\text{ V}; 0.4\text{ V}_{0-p}$

まとめるとMOS差動対の最低電源電圧は

- $V_{th}=0.4\text{ V}$, $V_{OD}=0.2\text{ V}$ のとき

$$V_{DD} \geq V_{CM} + \Delta V_{CM} = 1.0\text{ [V]}$$

$$\therefore V_{CM} \geq 2V_{OD} + V_{th} = 0.8\text{ [V]}, \Delta V_{CM} = 0.2\text{ [V]}$$

$$\therefore V_{DD} \geq 1.0\text{ [V]}$$

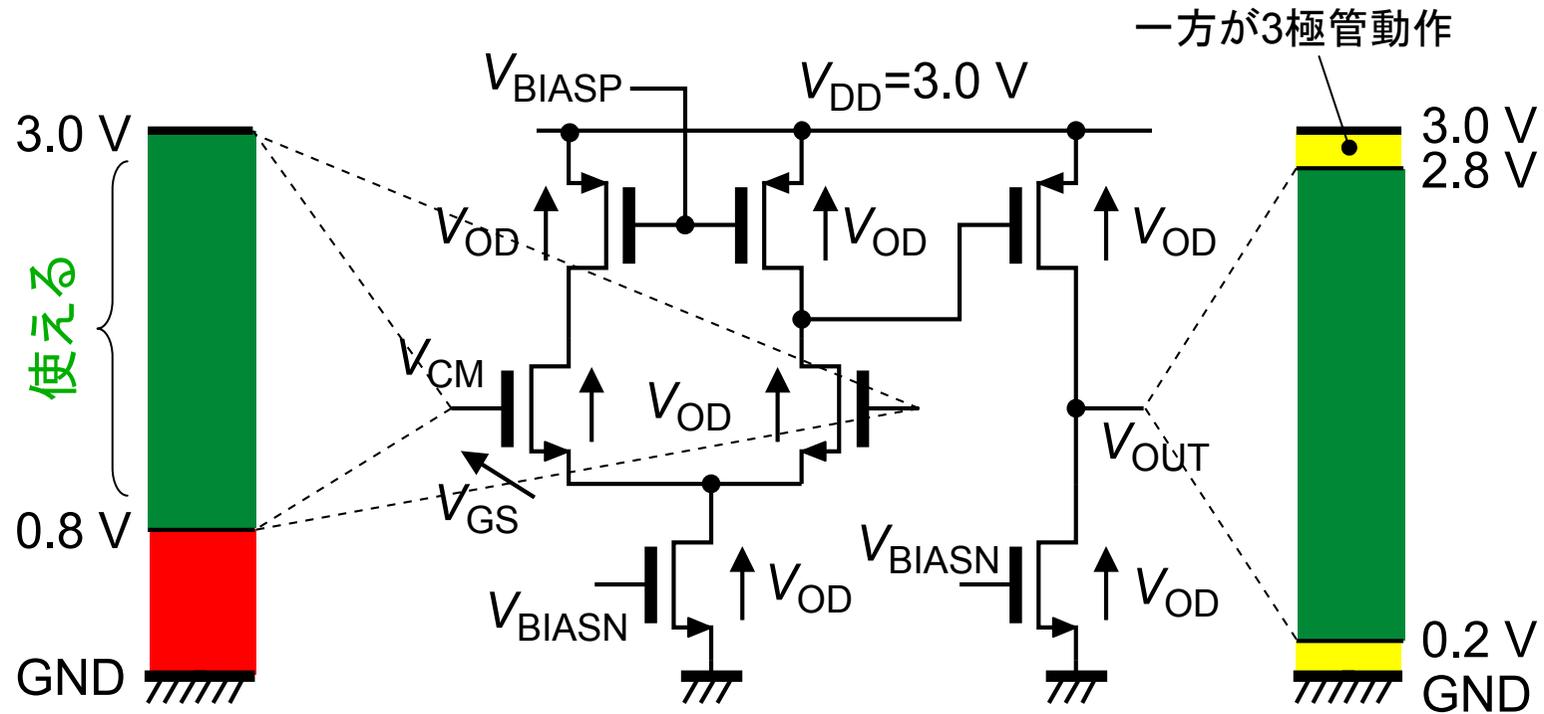
- もしも $V_{th}=0\text{ V}$ ならば

$$V_{DD} \geq V_{CM} + \Delta V_{CM} = 0.6\text{ [V]}$$

$$\therefore V_{CM} \geq 2V_{OD} = 0.4\text{ [V]}, \Delta V_{CM} = 0.2\text{ [V]}$$

$$\therefore V_{DD} \geq 0.6\text{ [V]}$$

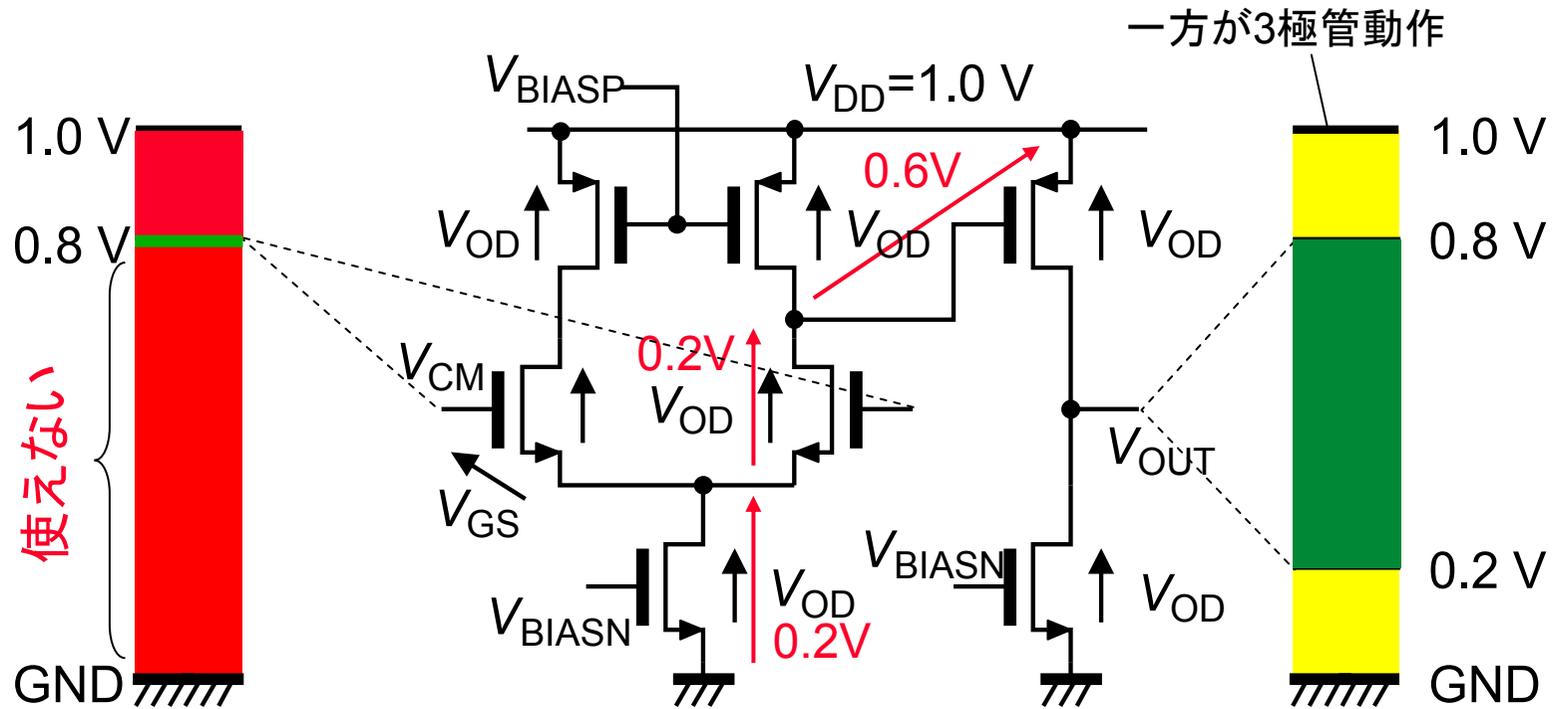
差動入力2段アンプを3Vで動かすと？



$$V_{GS} - V_{th} = V_{OD} = 0.2 \text{ V}, \quad V_{th} = 0.4 \text{ V}, \quad V_{CM} > V_{GS} + V_{OD} = 0.8 \text{ V}$$

入力同相電圧 $V_{CM} > 0.8 \text{ V}$ でないと正常に動作しない！

1Vならどうか？



$$V_{GS} - V_{th} = V_{OD} = 0.2\text{ V}, V_{th} = 0.4\text{ V}, V_{CM} > V_{GS} + V_{OD} = 0.8\text{ V}$$

入出力の電圧範囲が重ならない⇒レベルシフトが必要



差動2段アンプの思考実験からの教訓

- トポロジーを変えないで電源電圧だけ低下してもうまく行かない
 - 特に, 入力側で使える同相電圧 V_{CM} の範囲が狭まる
 - $V_{CM} > V_{GS} + V_{OD} = (V_{OD} + V_{th}) + V_{OD} = 2V_{OD} + \underline{V_{th}} \approx 0.8 \text{ V}$
- ↓
- V_{th} を低下する and/or 差動対を使わない!
 - V_{th} を下げる: プロセス依存, 基板バイアス効果の利用, バックゲートから入力する ($V_{th} < 0$)
 - 差動対を使わない: ソース接地増幅回路の利用
⇒ 同相抑圧効果がないので, これを何とかする必要あり
 - 両方とも採用する

低電源電圧化による問題点の対策

- **ダイナミックレンジの減少**
 - 出力電圧スイングの減少
 - 雑音は減少しない
 - ⇒少しでも出力スイングのロスを減らしたい
 - 全差動構成(スイング2倍)が望ましい**
 - 同相フィードバック(CMFB)の利用
- **差動対が利用できなくなる！**
 - 同相抑圧をどのように行うか？
 - ⇒少しでも同相入力範囲を広くしたい
 - 同相フィードフォワード(CMFF)の利用

全差動増幅器とは？

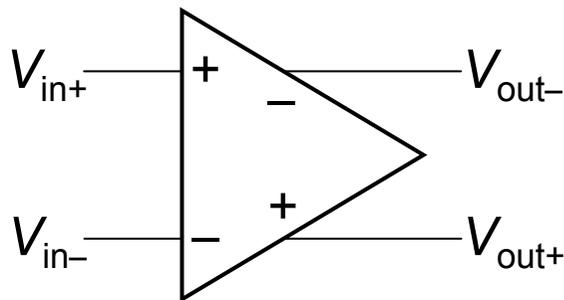
概 要

- 差動入力かつ差動出力のアンプ
 - 差動成分と同相成分への分解と合成
- 理想的な場合としてOPAとOTAがある
 - 実際はどちらでもない. どちらに近いかだけ.
- 同相抑圧の方法



全差動増幅器とは

- 入出力端子がそれぞれ2個ある
⇒それぞれ同相成分と差動成分がある
- 「差動」なので，同相信号抑圧作用がある
 - 入力と同相成分は増幅せず，差動成分だけ増幅する
 - 出力の同相成分を所望の値(V_{outCM})に制御できる



理想的には

$$V_{out+} - V_{out-} = A_{DD} (V_{in+} - V_{in-}),$$

$$\frac{V_{out+} + V_{out-}}{2} \approx 0 (+V_{outCM}),$$

$A_{DD} (\gg 1)$ は差動利得である。

差動成分と同相成分の意味

- 奇対称成分と偶対称成分への分解

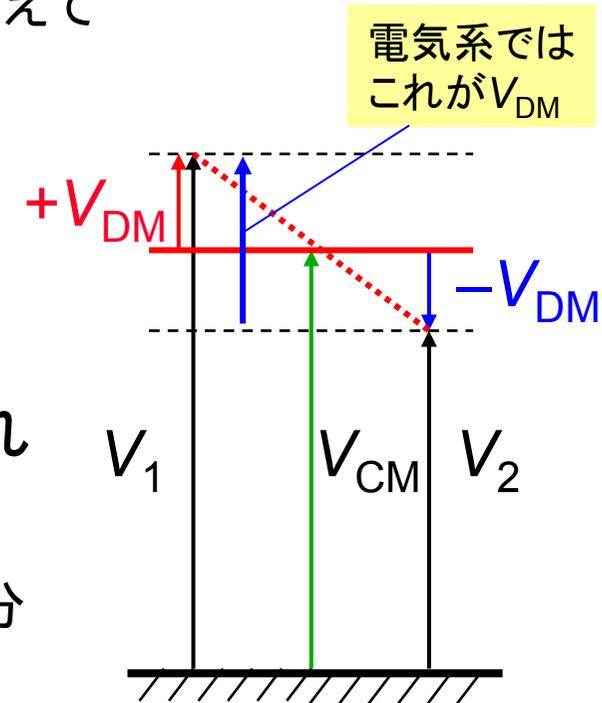
- 線形回路では重ねあわせが成り立つ
⇒ 奇対称成分と偶対称成分を別々に考えて
後で加えれば便利だ

$$V_{DM}^* = \frac{V_1 - V_2}{2}, V_{CM} = \frac{V_1 + V_2}{2}$$

$$V_1 = V_{DM} + V_{CM}, V_2 = -V_{DM} + V_{CM}$$

- 天秤が平衡(バランス)からずれている場合と同じ

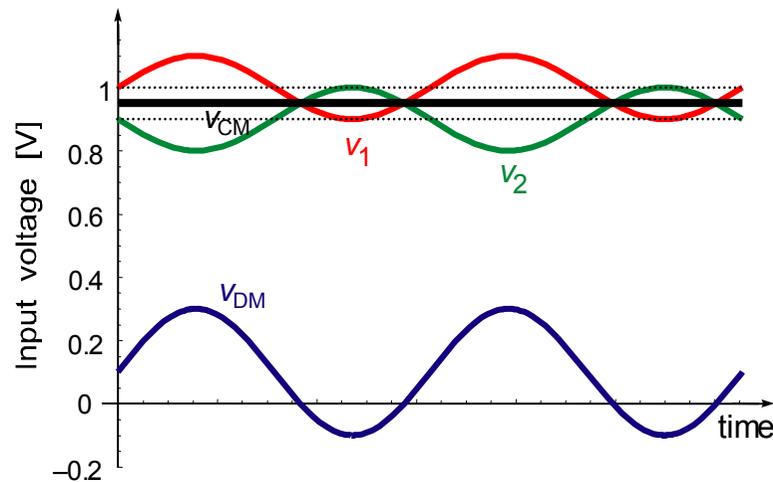
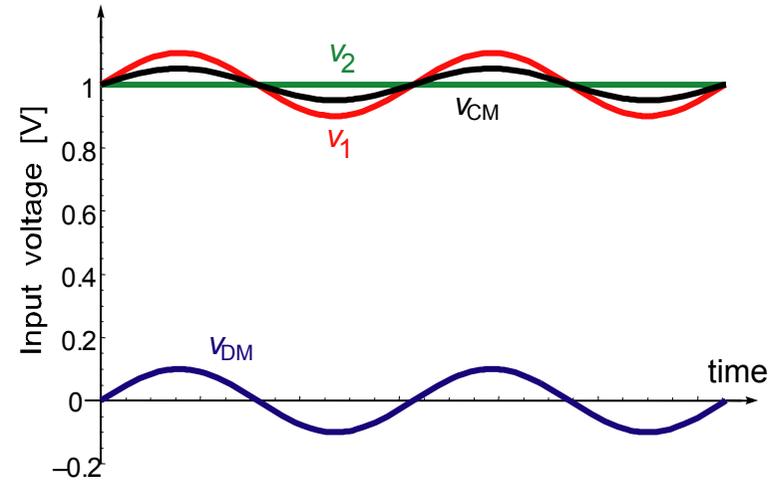
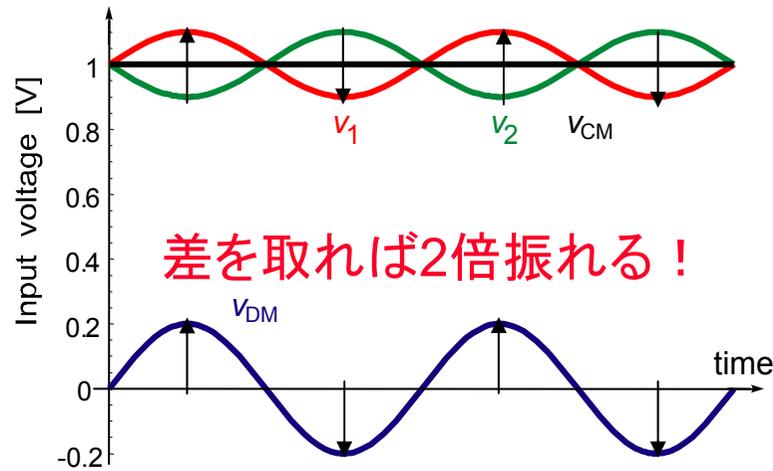
ズレ = 奇対称成分, 平均値 = 偶対称成分
(差動成分) (同相成分)



*) これは数学的な定義. 差動成分は電気系では2で割らないのが習慣.



例：差動成分と同相成分への分解



2つの入力が奇対称でなければ
同相成分が発生する



差動増幅器で抑圧される
差動成分だけが増幅される



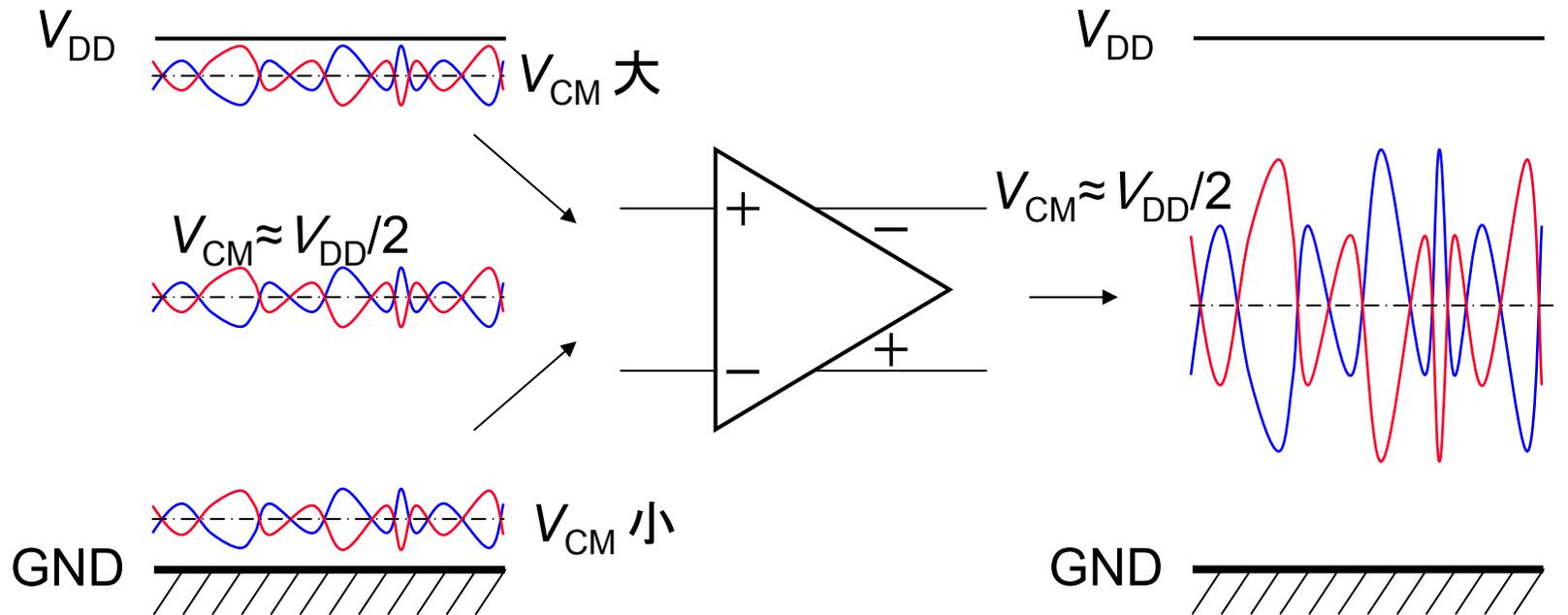
簡単に全差動増幅器と言うけれど...

実は2つの異なる概念が混ざっている

- **入力**の同相成分に対する利得→理想はゼロ
⇒狭義の同相抑圧: 増幅しないだけ
 - 差動成分は増幅する
 - 同相電圧は特に制御しない } 差動対がこれ
- 同相抑圧できる入力範囲(=同相入力範囲)が大切
- **出力**の同相電圧(電流)→ $V_{DD}/2$;
⇒同相出力電圧の制御機能
 - 通常, 電源電圧の1/2に設定する(∴DR max.)
 - レベルシフト回路, あるいは同相FBが必要

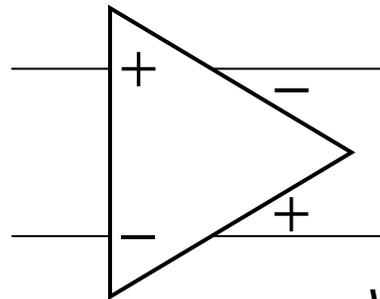
入力の同相抑圧機能と同相入力範囲

- 同相成分が0付近の差動信号から V_{DD} 付近の差動信号まで増幅したい
⇒ **広い同相入力抑圧範囲が必要**

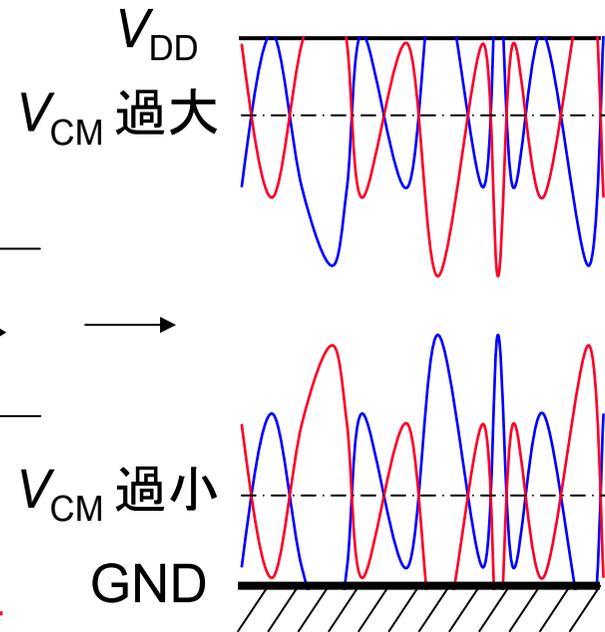


出力同相電圧の制御機能 (1/2)

- 入力側の同相成分抑圧能力があるだけでは出力側の同相電圧が決められない
 - 出力同相電圧は負帰還を掛ければ入りに依存して自動的に定まるが、任意の値に設定することができない
⇒出力DRの減少



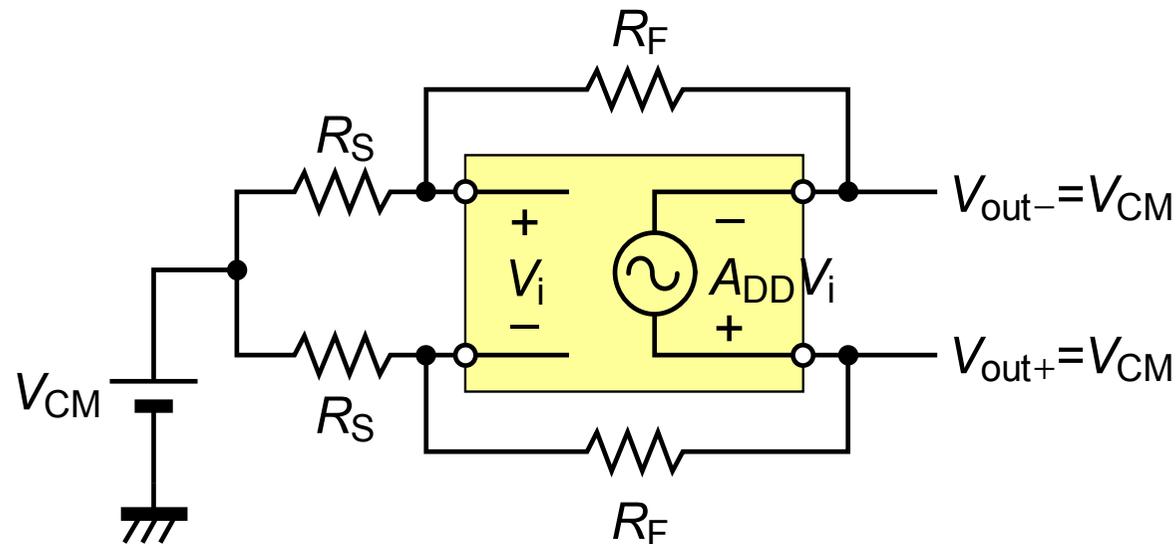
これでは困る！
⇒同相出力の制御が必要



出力同相電圧の制御機能 (2/2)

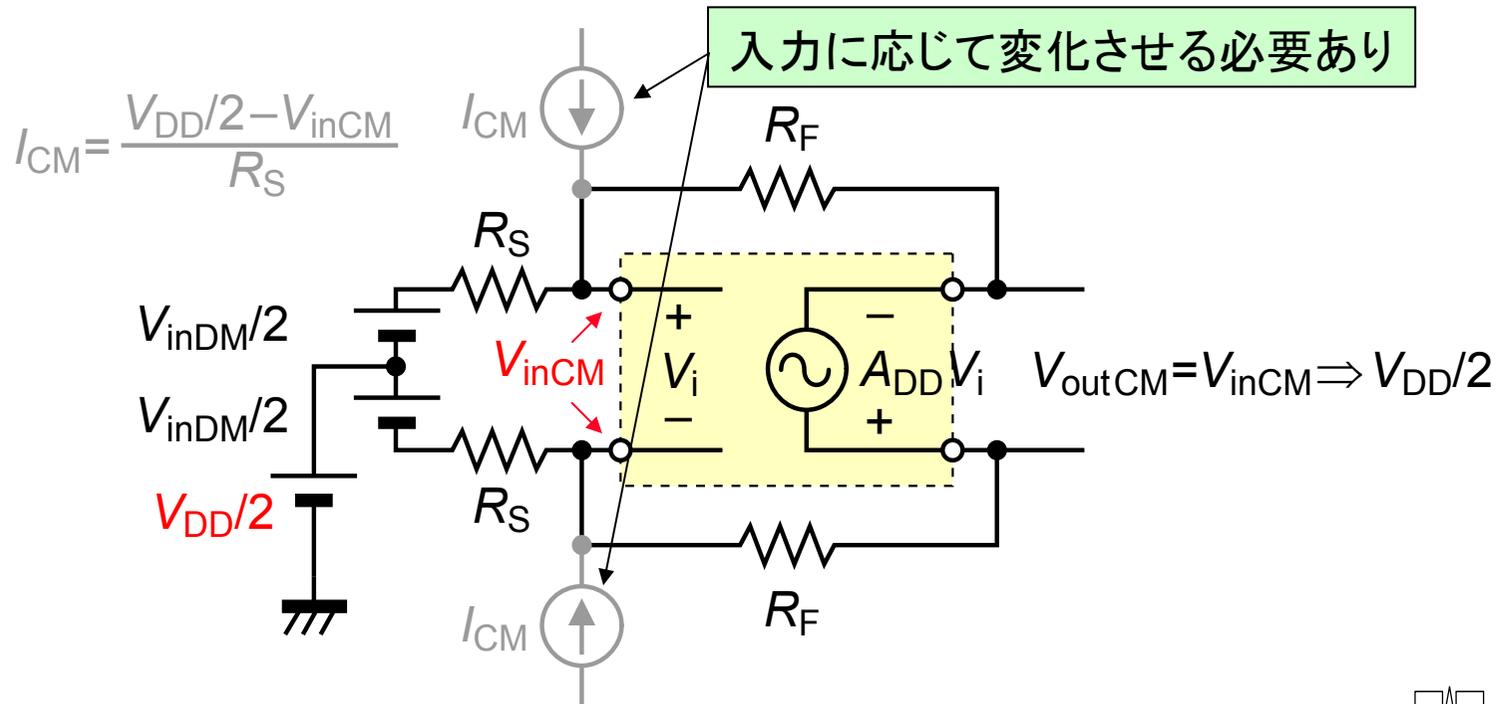
同相利得をゼロに近づけるだけでは不十分

- $A_{CC}=0$ の理想的差動アンプではだめか？
 - 同相入力だけでは $V_i=0$ なので, $V_{outCM}=V_{CM}$ となり制御できない
 - 差動対は同相利得が小さいので, そのまま負帰還をかけても出力同相電圧は制御できない!
- 出力の同相電圧が制御できることが必須



同相入力のためのレベルシフト

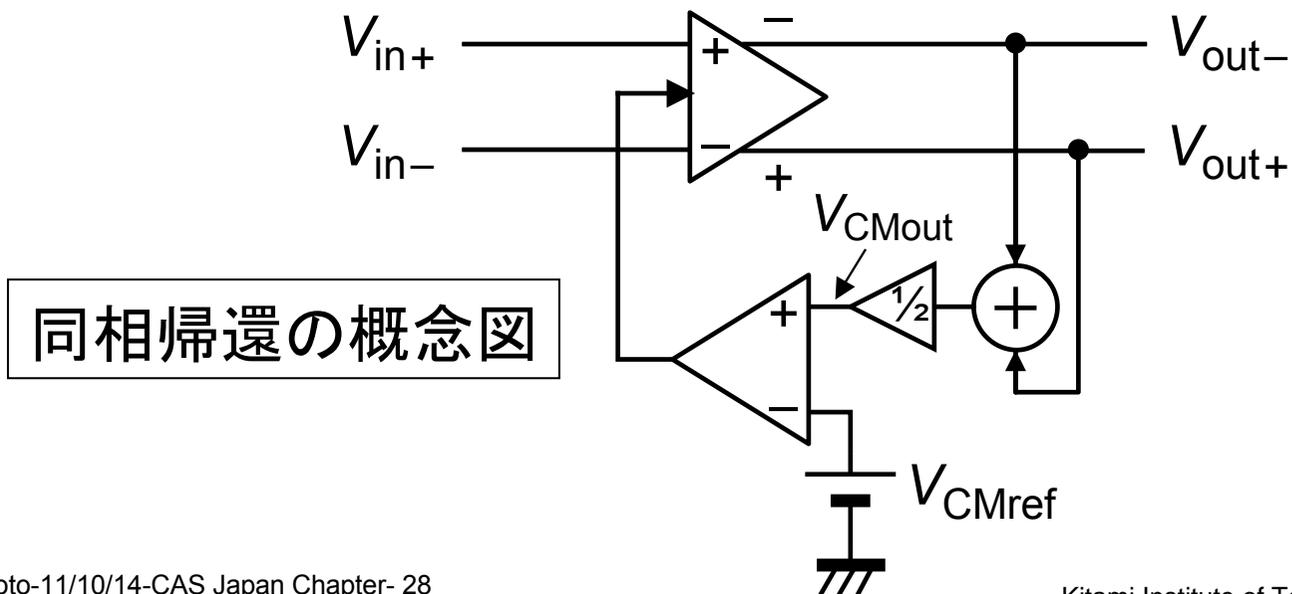
- DR上, 入出力の同相電圧は $V_{DD}/2$ が望ましい
- アンプの入力側同相電圧が $V_{DD}/2$ でなければ, レベルシフトが必要⇒レベルシフト量は入力の同相成分に依存



同相負帰還 — 入力同相成分に依存しないために

- 出力の同相電圧を検出して入力側に帰還する必要がある⇒同相負帰還ループの利用

$$V_{CMout} = \frac{V_{out+} + V_{out-}}{2} \rightarrow V_{CMref} \text{ となるように制御する}$$



OPA/OTAに要求される直流特性

- 大きな差動利得(OPA), 一定の G_m (OTA)
 - G_m が大きければ, 通常は $OTA \approx OPA$ と看做せる
- 小さい R_{out} (OPA), 大きな R_{out} (OTA)
- 広い同相入力抑圧範囲
- 同相出力電圧の制御(OTA)
- 良好な線形性(OTA)

言わずもがな... のもの

- 低電源電圧動作
- 低消費電力

同相入力範囲の拡大策

低 V_{DD} ではMOSがオンになるまでが問題

- デバイスの対策: V_{th} を下げる
 - V_{th} の制御: イオン打ち込み: コスト上昇!
 - 基板バイアス効果の利用: $V_{BS} > 0$ とする
 - 回路的対策
 - 差動対を使う
 - 差動対を使わない
 - 差動対を使わない:
- NMOS段とPMOS段を並列する,
バックゲート入力
- ソース接地増幅回路の利用, バックゲート入力

OPA低電圧化の歴史

概 要

- 始まりは低消費電力化
- デバイスの工夫で頑張る
- 差動対を使って頑張る: $V_{DD}=1.2\text{ V}$ くらいまでO.K.
 - 同相入力範囲の拡大
 - V_{th} を下げる, バックゲート入力etc.
- 差動対を使わずに頑張る: $V_{DD}=0.5\text{ V}$ くらいまでO.K.
 - 同相抑圧をどう実現するか, 利得を稼ぐ方法



谷本の卒論(1975年)

超低電力レベルMOS型電界効果トランジスタ 基本特性の検討

- 回路の消費エネルギーは $E = \int_0^T v(t) i(t) dt$
 - E を減らすには $v(t)$, $i(t)$, T のどれかまたは全部を低減
桁で減らせるのは $i(t)$ だけ
 - じつは, 1972年頃, J. Meindlが同じ事を言っていた:
インバータは V_{th} を下げれば, $V_{DD} \approx 8kT/q = 0.2$ Vまで動作する
- 10^{-12} AのレベルまでMOSの特性を測った
 - $I_D \propto \exp(V_{GS})$ の領域があることを発見した(と思った)
⇒実は知られており, モデルも提案されていた!

先駆的な研究

- **J. Meindl: マイクロパワー回路を提唱**
 - 弱反転領域での回路動作を検討(1972年ころ)
 - 弱反転領域のモデル検討, CMOSインバータ試作
 - V_{th} を下げればインバータは $8V_T \approx 0.2$ Vまで動作する
- **E. Vittoz: 弱反転領域動作する回路を追求**
 - クォーツ腕時計用の発振回路など開発(1977年ころ)
 - 各種のアナログ回路を弱反転領域動作で開発
 - 弱反転から強反転まで扱えるEKVモデルを開発
- **増原利明: MOSの精密なモデル提案**
 - 弱反転から強反転まで扱えるモデルの提案(1974年ころ)

弱反転領域動作？

- 1970年代には弱反転動作で低電圧・低消費電力回路の構成が可能だと分っていた
- 弱反転動作の問題点
 - 低電流動作⇒遅い: $f_T \approx \mu V_{DSsat} / (2\pi L^2)$
 - ミスマッチ大きい⇒ $\Delta I_D / I_D = \Delta V_{th} / (\eta V_T)$; 強反転の約3倍
 - 温度係数が大きい⇒強反転の約6倍
- まじめに取り扱われていなかった
 - 微細デバイス: $f_T = \mu V_{DSsat} / (2\pi L^2) \approx 4\text{GHz!}$ for $L=0.1 \mu\text{m}^*$
 - 省エネの観点からも, **今後は研究を推進すべき**
- 本講演では2乗特性(強反転)動作を前提

*) E.Vittoz, CCD Workshop 2003.

ちょっと前の話し(1993年⇒2011年)

電気学会全国大会でのシンポジウム:

3.3V時代のバイポーラアナログ回路は どうあるべきか？

「バイポーラアナログ回路と低電圧化」(東芝 谷本)

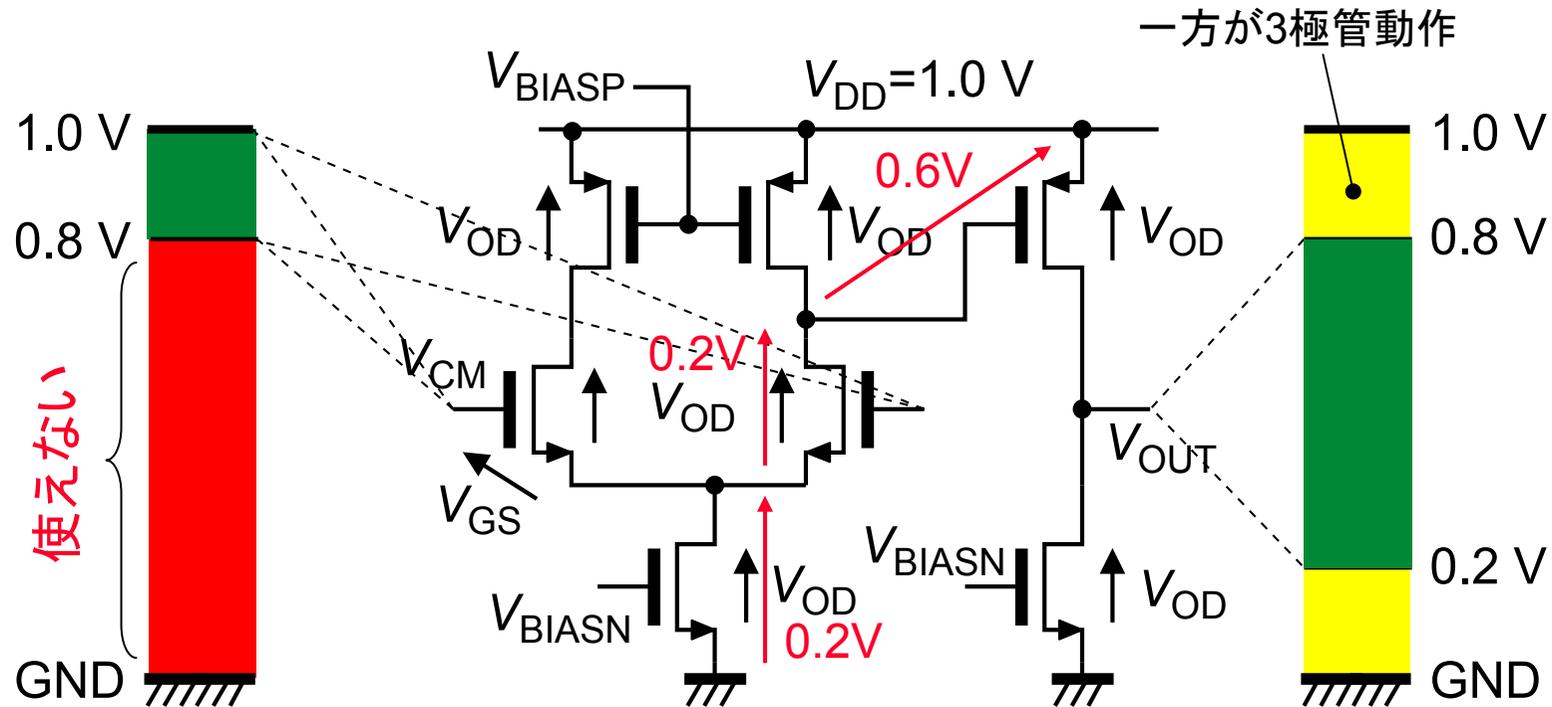
- バイポーラトランジスタ全盛
- MOSアナログはSCFが少しあっただけ
- その後, 急速に標準的なLSIの電源電圧が低下した: 3.3 V ⇒ 2.7 V ⇒ 1.8 V ⇒ 1.0 V

差動対を使う場合

概 要

- Rail-to-rail OPA
- NMOS入力段とPMOS入力段の併用
- バックゲートからの入力

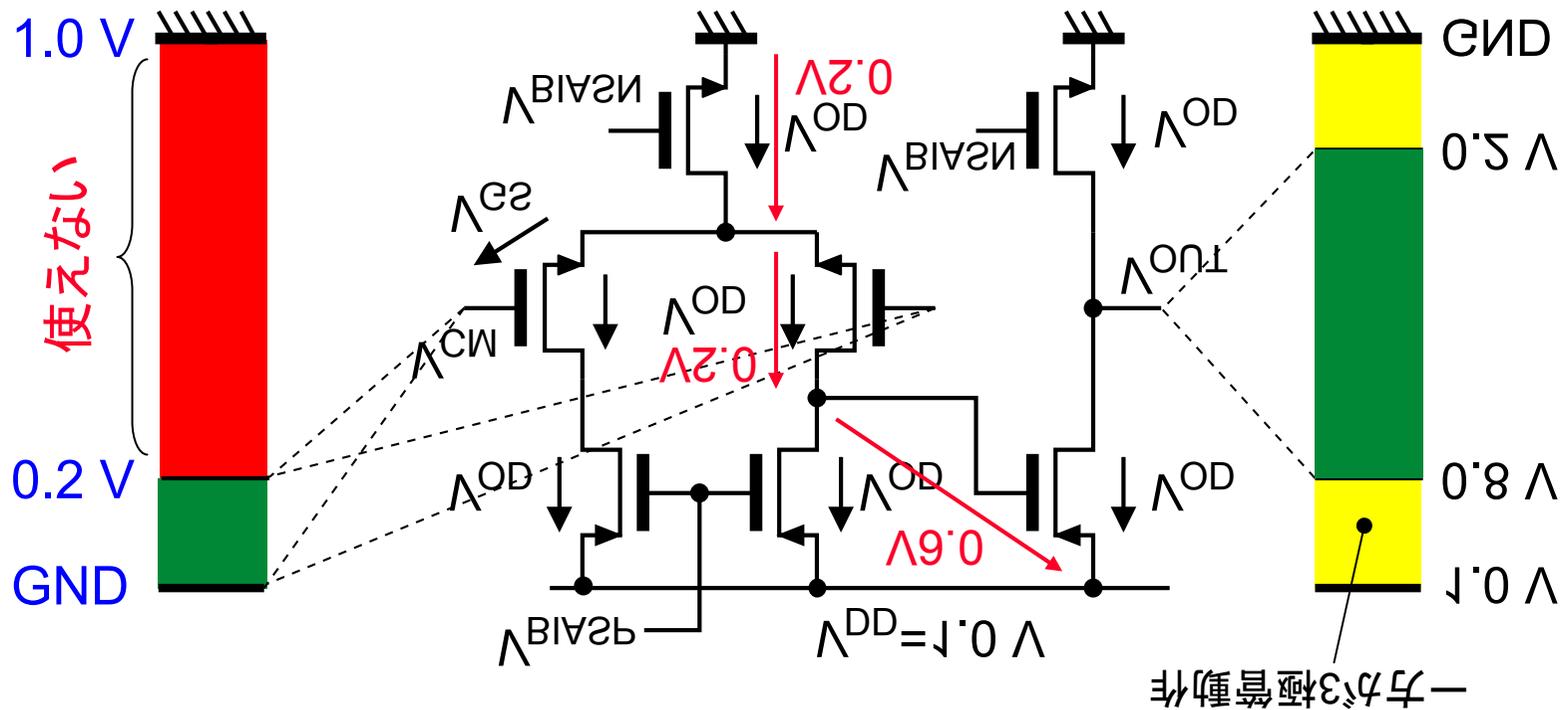
NMOS差動対の場合 (@1V)



$$V_{GS} - V_{th} = V_{OD} = 0.2\text{ V}, V_{th} = 0.4\text{ V}, V_{CM} > V_{GS} + V_{OD} = 0.8\text{ V}$$

PMOS差動対の場合 (@1V)

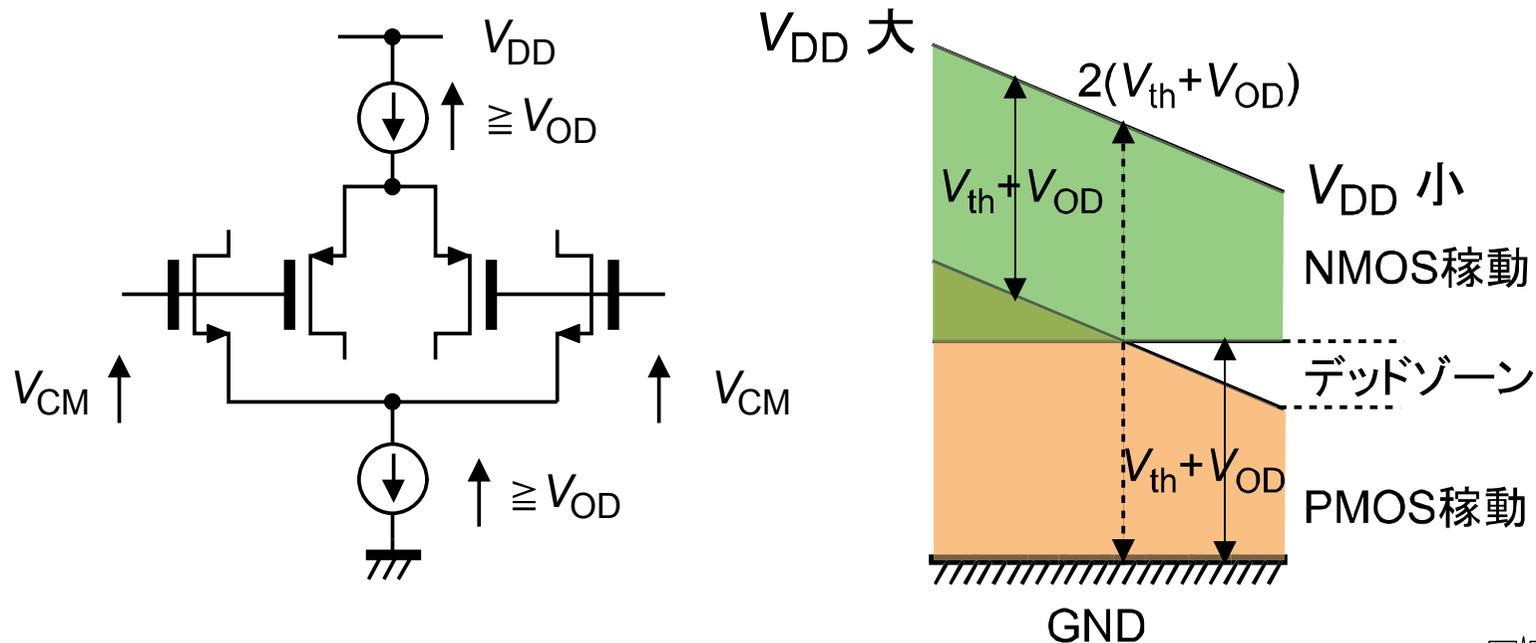
$$V_{GS} - V_{th} = V_{OD} = 0.5 \text{ V}, \quad V_{th} = 0.4 \text{ V}, \quad V_{CM} > V_{GS} + V_{OD} = 0.8 \text{ V}$$



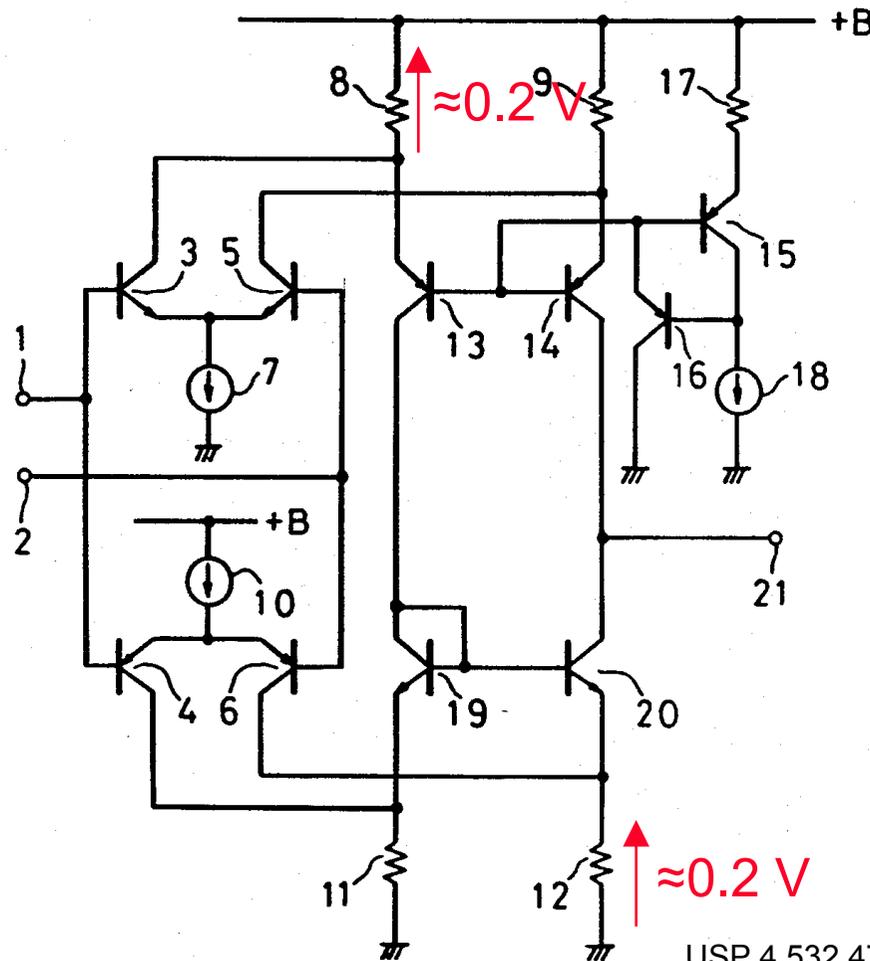
$V_{DD} \approx 2(2V_{OD} + V_{th}) \approx 1.6 \text{ V}$ なら常にどちらかが動作する！

NMOSとPMOSで分担

- NMOSとPMOSの差動対を組み合わせる
 - 下駄が高い($V_{CM} > V_{th} + 2V_{OD} \approx 0.8 \text{ V}$)
 $\Rightarrow V_{DD} \lesssim 1.6 \text{ V}$ ではデッドゾーンが発生する



NPN段とPNP段を両方使う(元のアイデア)



• NPNとPNPの差動対を並列接続

- NPN: $V_{BE} \sim V_{CC}$
- PNP: $0 \sim (V_{CC} - V_{BE})$
- $V_{inCM} = 0.2V \sim V_{CC} - 0.2V$
⇒ 通称: **Rail-to-rail**

• 改良: G_m の一定化

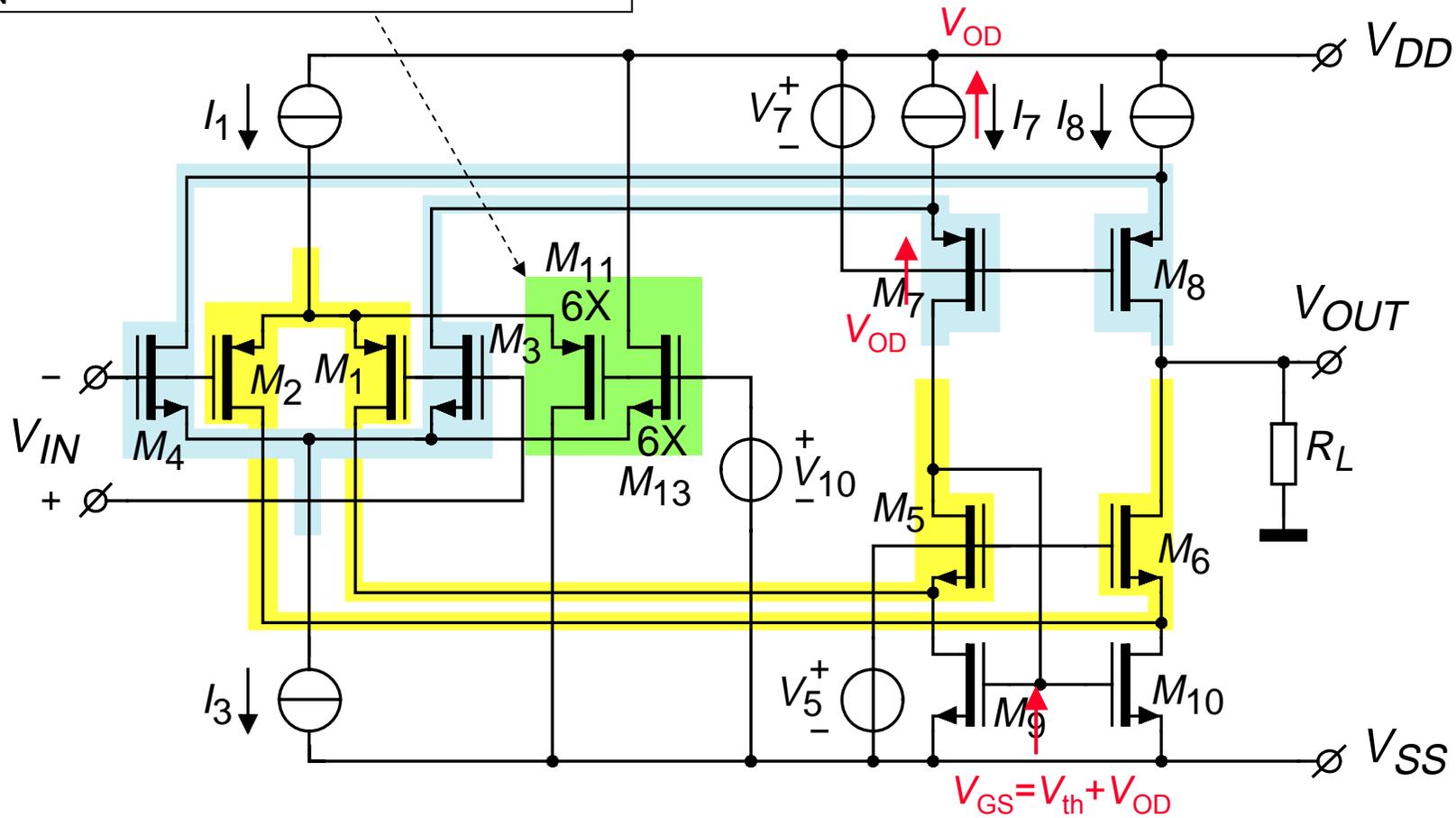
- どちらかが死ぬと G_m 低下
- PNPとNPNのテール電流の和を一定にする

USP 4,532,479 (Feb. 1983); R. A. Blauschild (Signetics)



Rail-to-rail OPAのCMOS版(1/2)

$V_{IN}=0$ 付近のテール電流を減らす



出典: K-J. de Langen, J. H. Huijsing, CICC2003.

元はUSP 4,734,297(Nov. 1985); J. H. Huijsing and R. J. van de Plassche(Signetcs)



Rail-to-rail OPAのCMOS版(2/2)

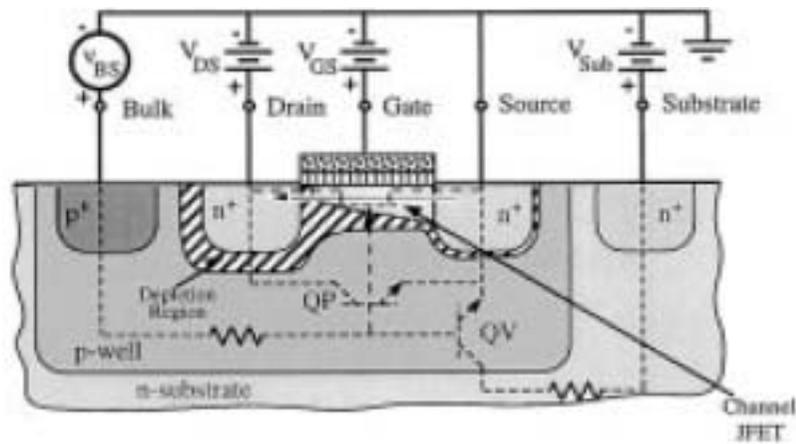
- 同相入力範囲をNMOSとPMOSで分担
 - 電源電圧は1.6 V程度まで: $V_{DD} \approx 2(V_{OD} + V_{th}) \approx 1.6 \text{ V}$
 - スイッチで切り換えて, G_m を略一定値に保つ
- 基本的に1段増幅器
 - 折り返しカスコードのプッシュプル(利得増大の意図)
 - NMOSをカスコードにすると, PMOSもカスコード化しないと意味がない \Rightarrow 出カスイング = $V_{DD} - 4V_{OD}$ ($\approx 0.8 \text{ V}$ の損)



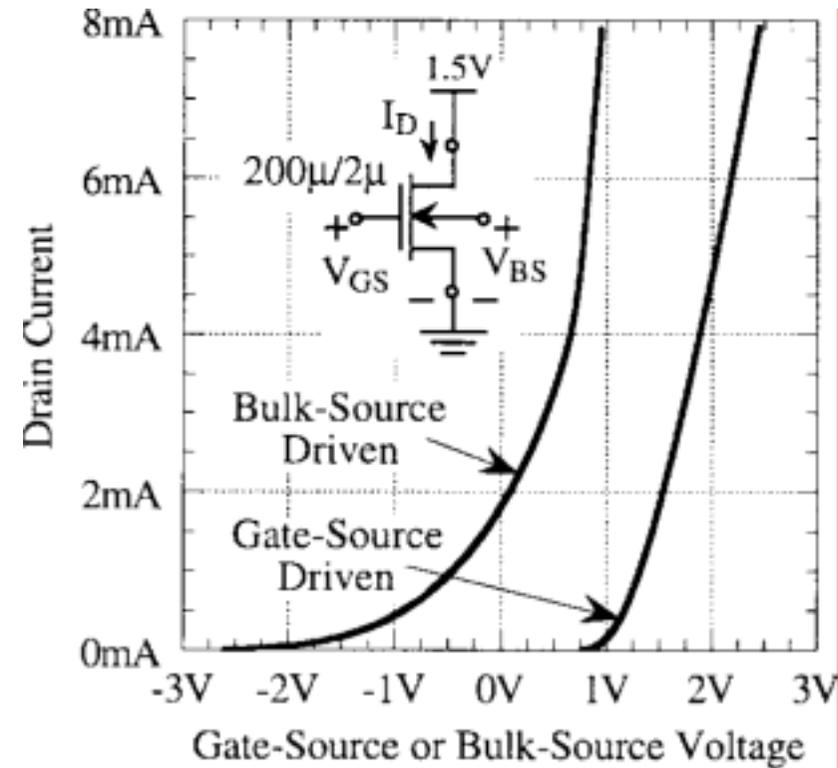
差動対を使う限り 1 V の壁は越え難い
 $\Rightarrow V_{th}$ を低減するしかない



バックゲートから入力する(JFET動作)



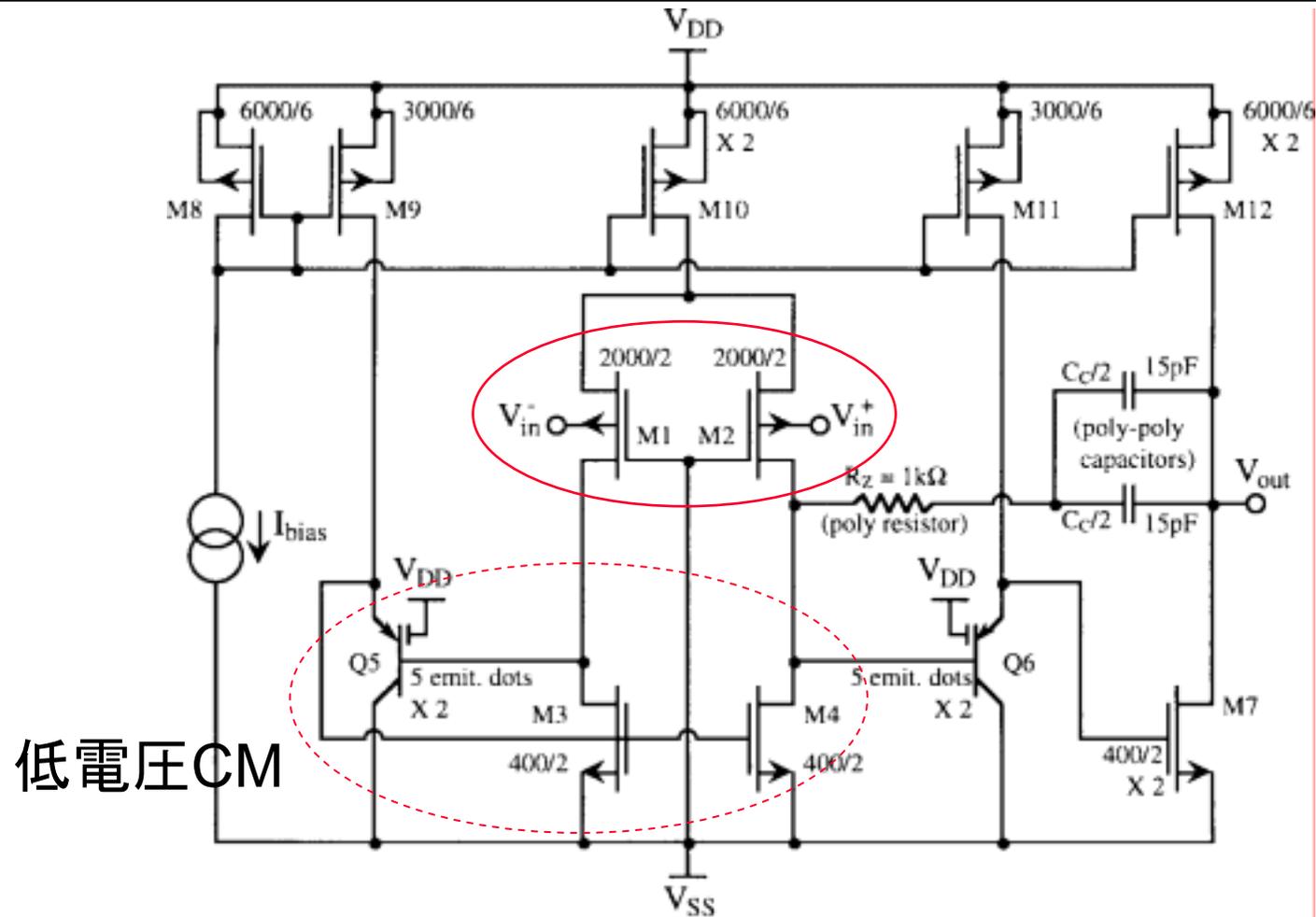
V_{BS} でチャネルの空乏層を制御する
⇒ JFETとして動作させる: $V_{th} < 0$



出典: B.J.Blalock, P.E.Allen, G.A.Rincon-Mora, *IEEE TCAS-II*, Vol.45, No.7, pp.769-779, July 1998.
Body-inputのアイデアは1987年にポーランドのGuzinskiらがECCTDで発表している由。



差動対のバックゲートから入力 ($V_{DD}=1\text{ V}$)

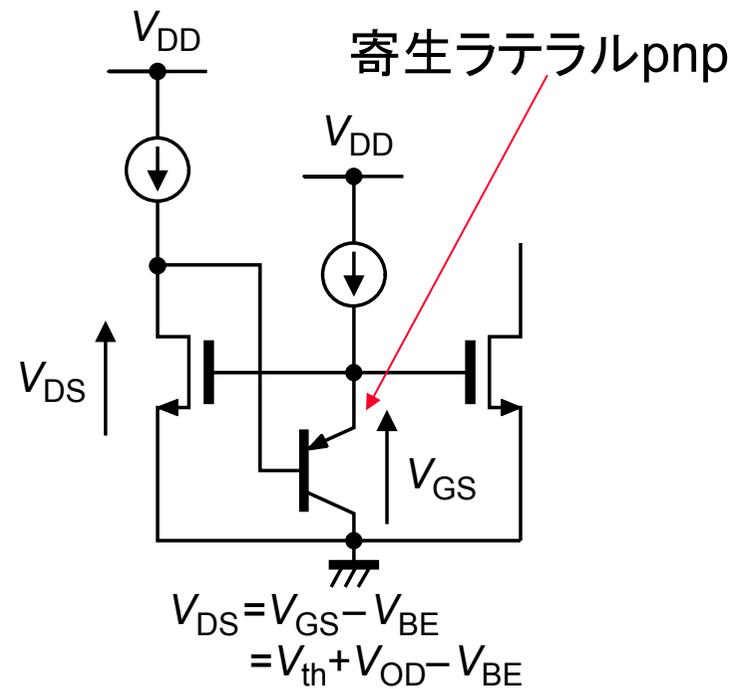
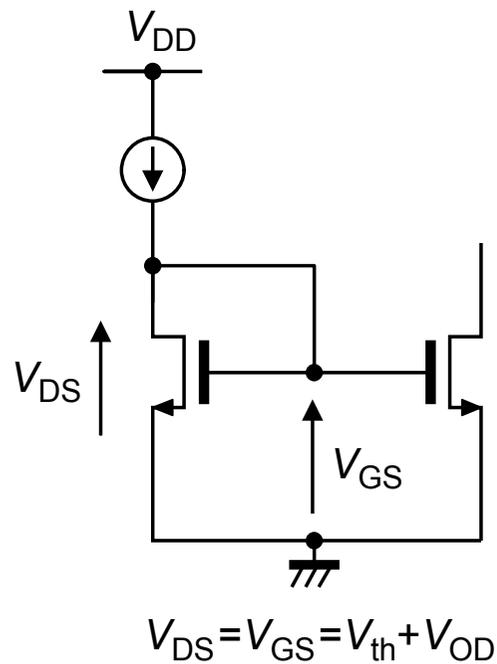


出典: B.J. Blalock, P.E. Allen, G.A. Rincon-Mora, *IEEE TCAS-II*, Vol.45, No.7, pp.769-779, July 1998.



低電圧動作カレントミラー

- カレントミラーも低電圧用を使用

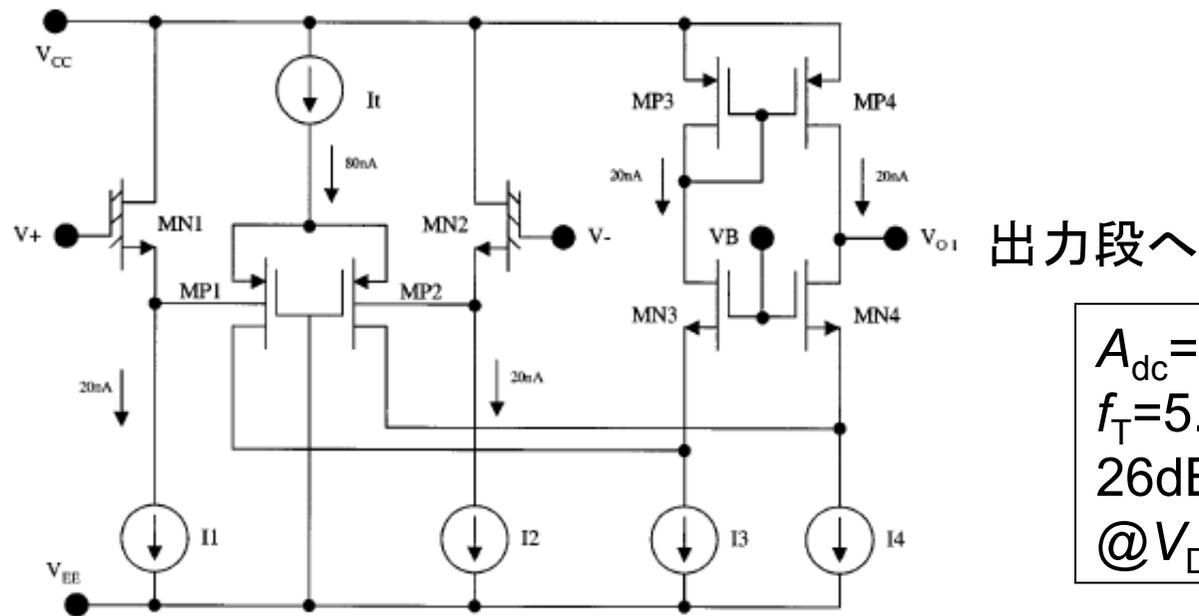


バックゲート入力OPAの特性

項目	実測値
電源電圧	$\pm 0.5 \text{ V}$ (1 V)
消費電流	278 μA
直流利得	48.4 dB@ $V_{\text{CM}}=0.5 \text{ V}$
$f_{\text{unity-gain}}$	1.3 MHz
ϕ_{M}	57°
出力スイング	-0.475~+0.491 V
同相入力範囲	-0.475~+0.450 V
SR \uparrow	0.7 V/ μs
SR \downarrow	1.6 V/ μs
CMRR	56.2 dB(simulation)

同相入力範囲拡大の努力の例

- レベルシフトにDMOSを使う←捻破り！
- 入力段はボディ入力のPMOS差動対
⇒0.9 Vで動作 (V_{DD} 側で詰まる)

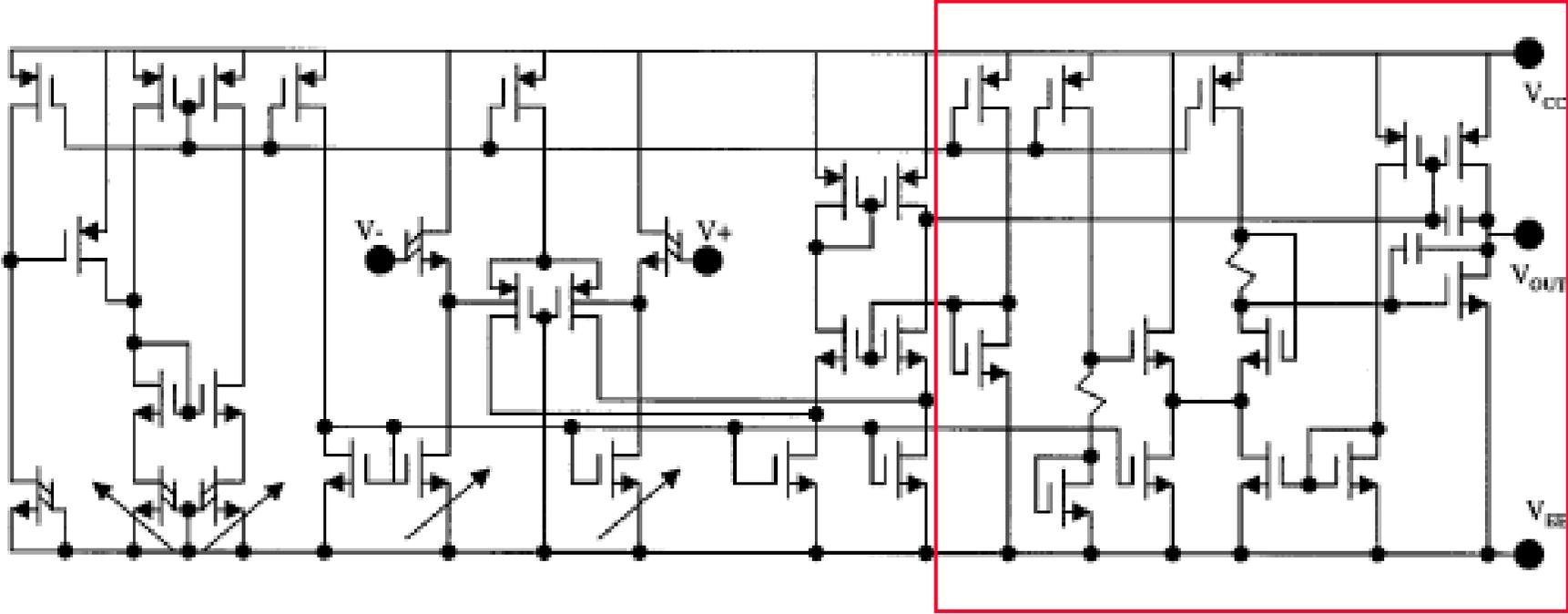


$A_{dc} = 70 \sim 79$ dB
 $f_T = 5.6$ kHz
 $26 \text{ dB} < \text{CMRR} < 59 \text{ dB}$
@ $V_{DD} = 0.9$ V

出典: T. Stockstad, H. Yoshizawa; IEEE JSSC, Vol.37, No.3, Mar. 2002



全体の回路



AB級出力段

出典: T.Stockstad, H.Yoshizawa; IEEE JSSC, Vol.37, No.3, Mar. 2002

差動対を使わない場合

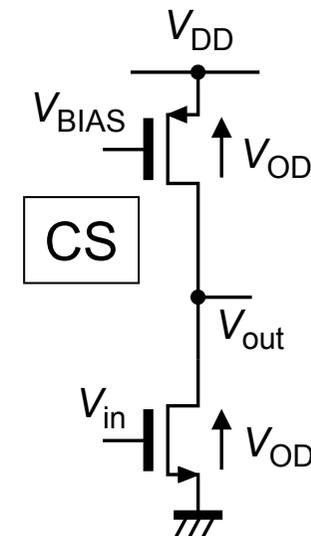
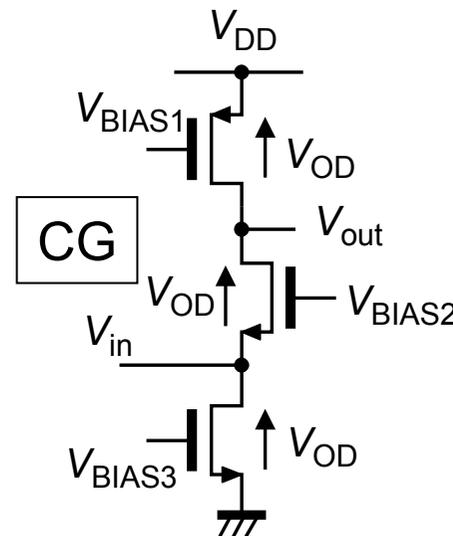
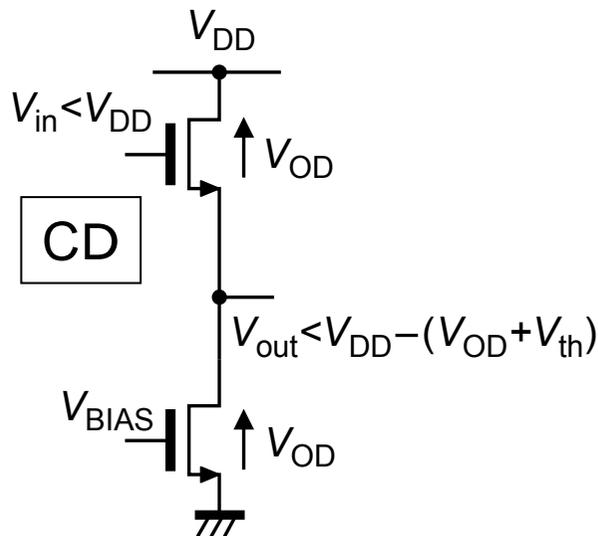
概 要

- 差動対の代わりに何を使うか？
- 同相抑圧をどのように実現するか？
- V_{th} の低減：基板バイアス効果



差動対の代わりに何を使うか

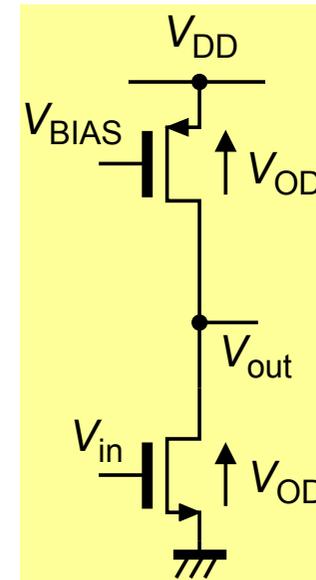
- ドレイン接地 (×)
 - 出カスイング減少, 利得小 (≈ 1)
- ゲート接地 (×)
 - 入力インピーダンス小さい ($\approx 1/g_m$), 3段積み
- ソース接地 (◎)
 - 電流源負荷: 利得大 ($\approx g_m r_O$), 出カインピーダンス大 ($\approx r_O$)



ソース接地増幅段の動作電圧

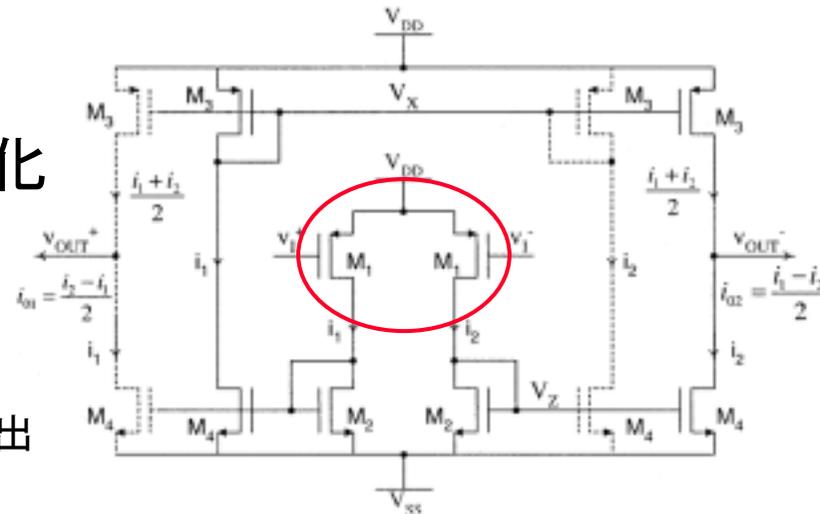
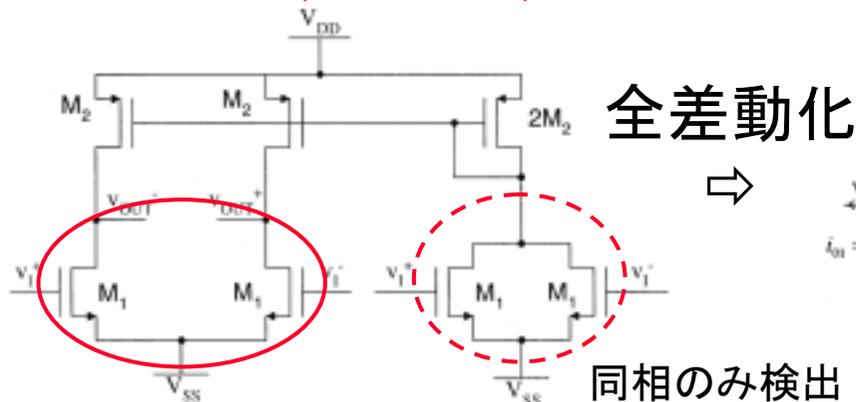
NMOSにPMOS電流源負荷の場合を考える

- 入力側 V_{th} 以下ではオンにならない
 - MOS: $V_{th} \approx 0.4 \text{ V}$ (DMOSなら V_{th} を負にもできるが...)
 - BJT: $V_{BE} \approx 0.7 \text{ V}$
- 出力側 動作領域が正しいか
 - MOS: $V_{DS} > V_{OD} \approx 0.2 \text{ V}$ (3極管領域付近)
 - BJT: $V_{CEsat} \approx 0.2 \text{ V}$ (飽和しかかり)
- 結局, 理論的最低電源電圧は
 - MOS: $V_{DD} > V_{th} + V_{OD} \approx 0.6 \text{ V}$
 $V_{th}=0$ のDMOSなら $V_{DD} > 0.4 \text{ V}$ くらい
 - BJT: $V_{CC} > 0.7 \text{ V}$ くらい



同相抑圧の手法 (JSSC'03[1])

従来回路(Rezzi,1995)

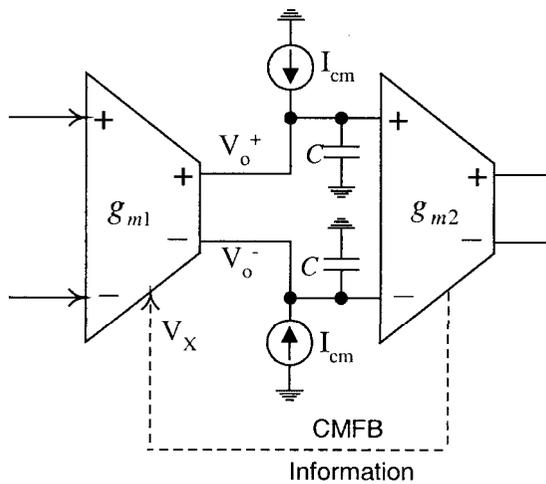
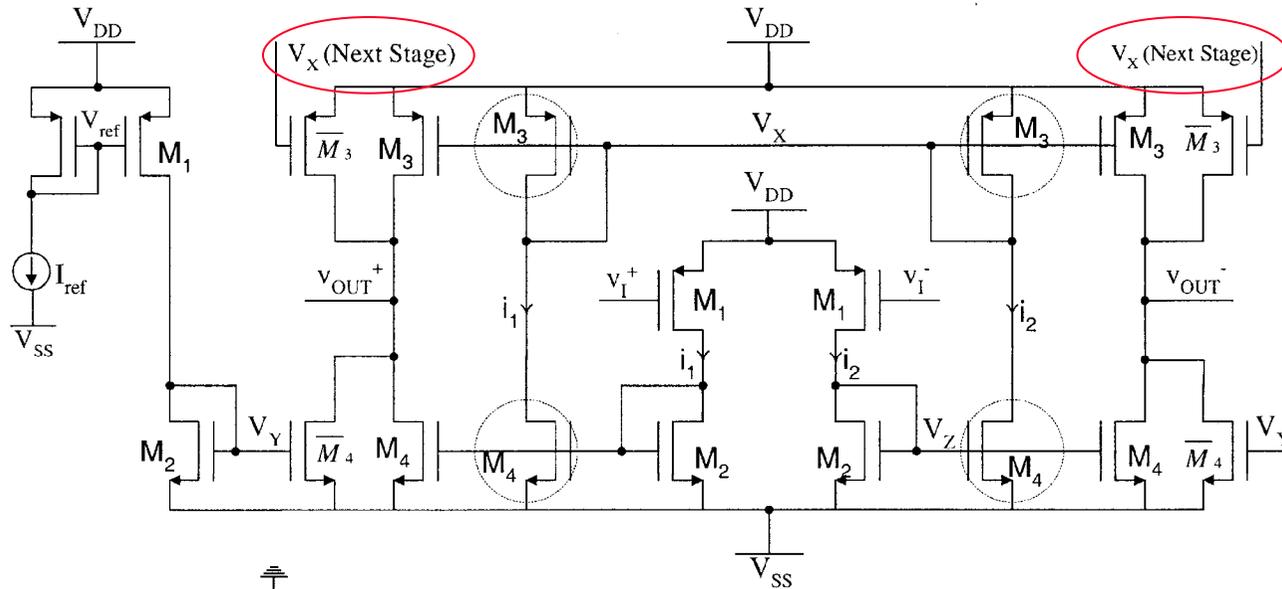


- 同相信号を差動信号と対称に扱うCMFF (common-mode feedforward)
- 電源電圧 $\pm 1.65\text{ V} \Rightarrow$ もっと下げられる (0.5 V)!!
- 1段増幅 ($0.5\ \mu\text{m}$) \Rightarrow 微細MOSでは利得小 \Rightarrow 要多段化
- 出力側の同相電圧を自分で決められない \Rightarrow 要CMFB

[1] A.N. Mohieldin, E.Sanchez-Sinencio, J.Silva-Martinez, " A Fully Balanced Pseudo-Differential OTA With Common-Mode Feedforward and Inherent Common-Mode Feedback Detector," *IEEE JSSC*, Vol.38, No.4, pp.663-668, Apr. 2003.



CMFF/CMFBの手法

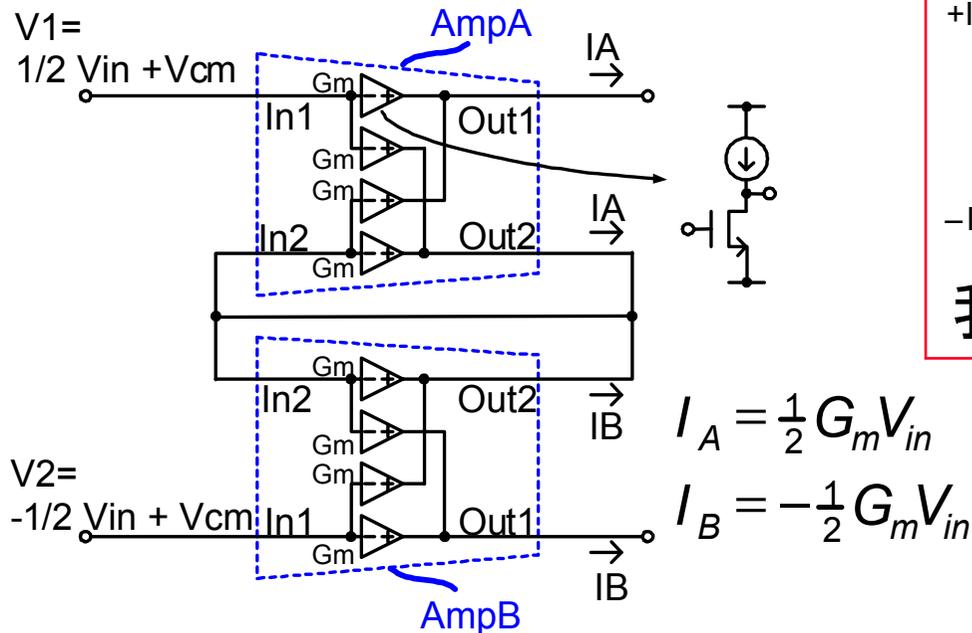


- 複数段使うときは後段の V_x を前段に帰還できる

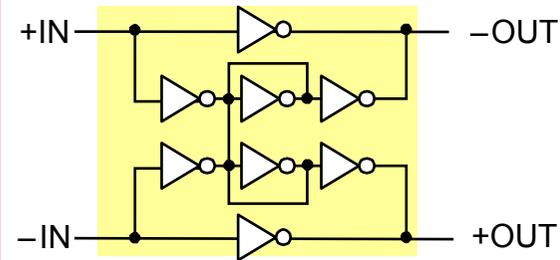


0.9 V動作全差動OTA (ISSCC'04[2])

Balanced OTA



よ〜く見ると...



我々の提案↑と同じ!

- CMOSインバータではなく、A級インバータを使っている
- F/Fで同相除去

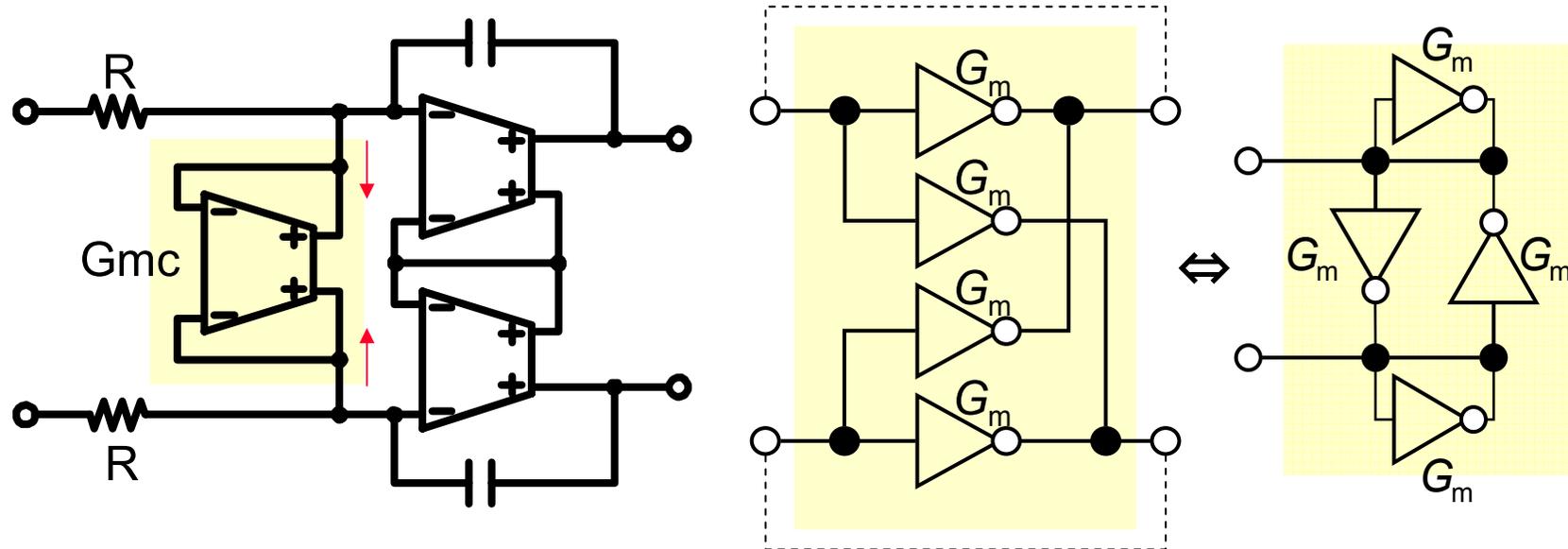
Common-mode rejection without using differential pairs

© 2004 IEEE International Solid-State Circuits Conference © 2004 IEEE

[2] T.Ueno, T.Itakura, "A 0.9V 1.5mW Continuous-Time $\Delta \Sigma$ Modulator for W-CDMA," ISSCC2004



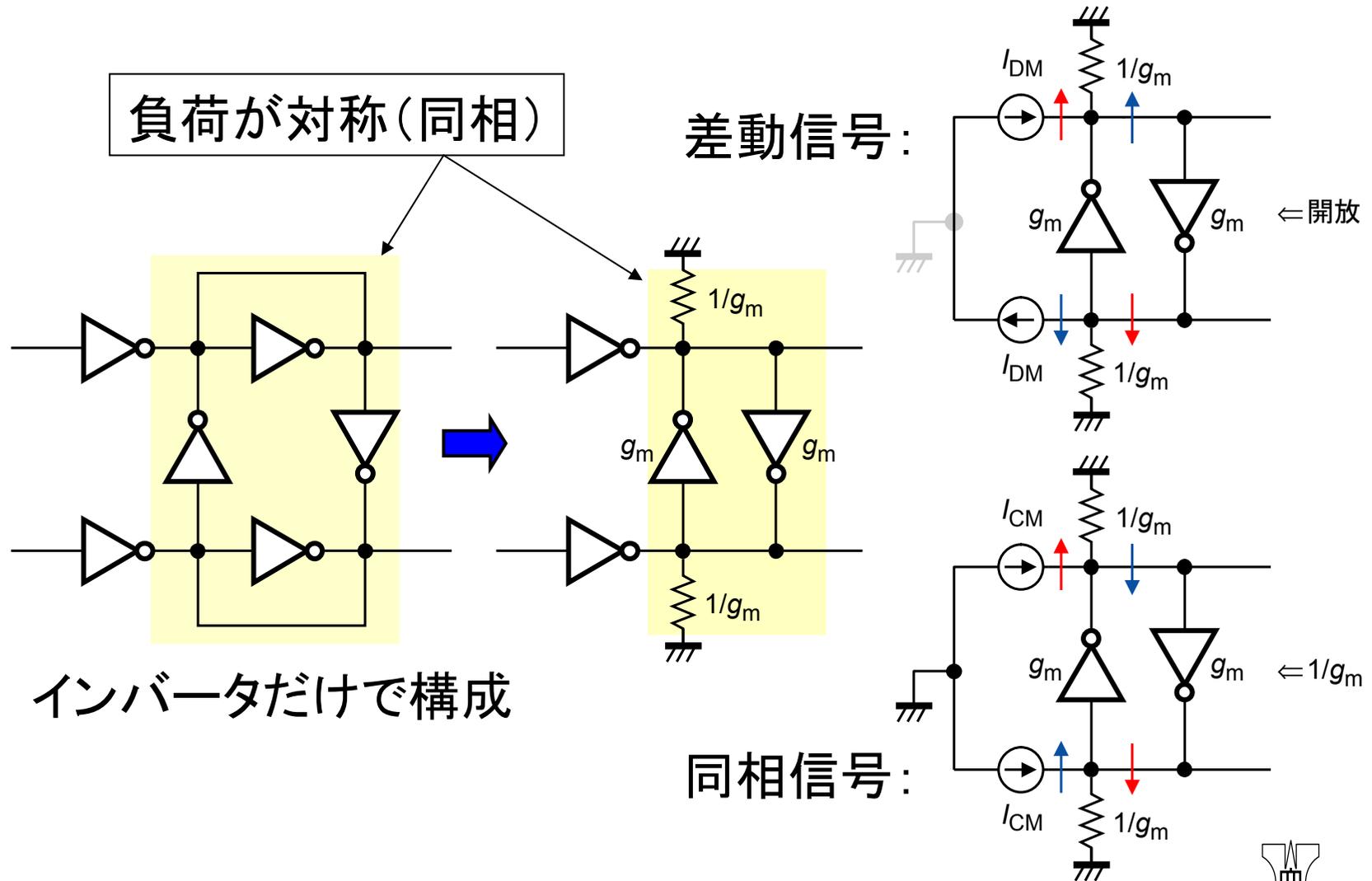
続き: 同相出力の制御



- 同相出力の制御にNauta's OTAの同相抑圧部分の構造を利用
 - 同相に対して $1/G_m$, 差動に対して ∞ のインピーダンスを示す
 - 同相入力電流を G_{mc} が吸収する
 - インバータの入出力が等しくなる電圧に制御される



同相抑圧の原理(Nauta's OTA)

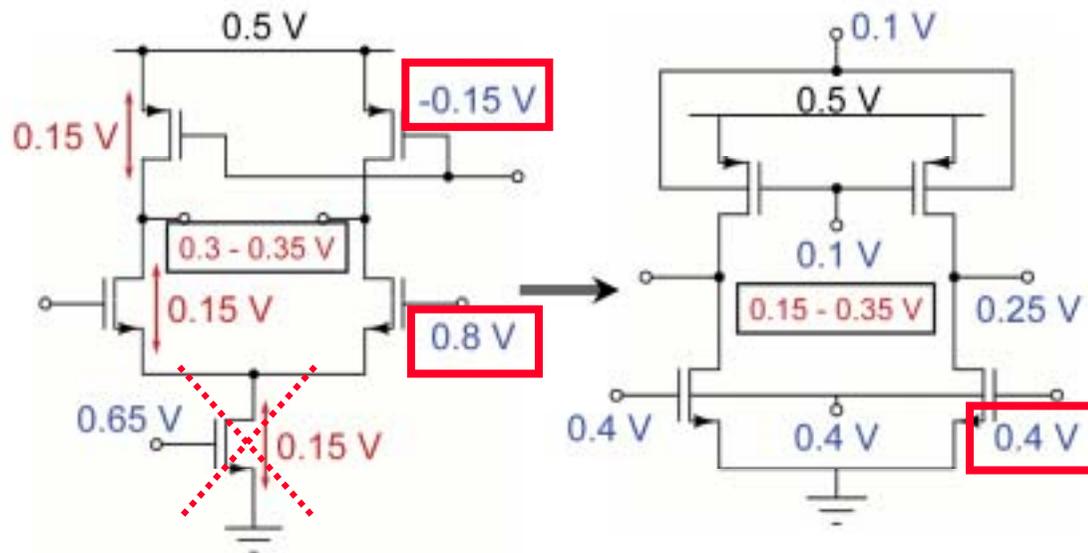


0.5 V動作OTA (ISSCC'05[3])

結局0.95 V必要!

0.5 Vで動く!

OTA design challenges



Assuming $|V_{GS} - V_T| = 0.15 \text{ V}$, $|V_T| = 0.5 \text{ V}$

5

© 2005 IEEE International Solid-State Circuits Conference © 2005 IEEE

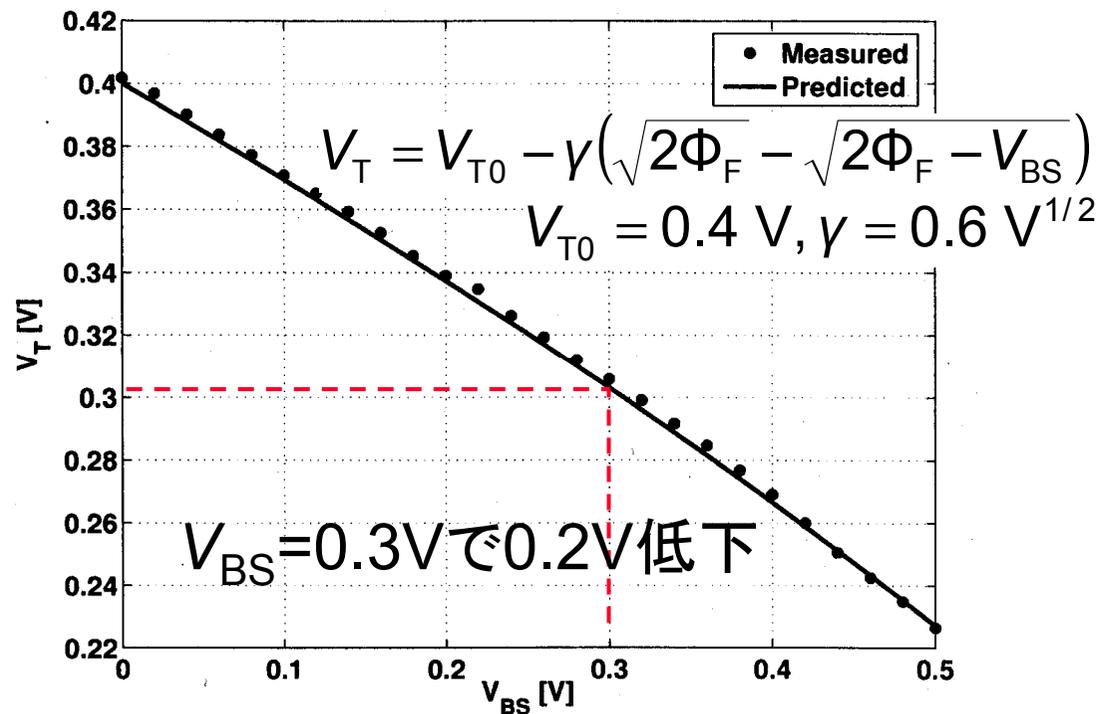
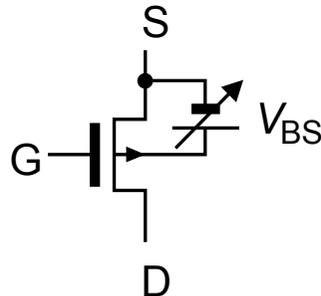
[3] S.Chatterjee, Y.Tsividis, P.Kinget, "A 0.5 V Filter with PLL-Based Tuning in 0.18 μm CMOS," ISSCC2005, 2005



- 差動対はNG
- 擬似差動OTA
 - 基本はRezziと同じ
- 同相抑圧(F/F)
 - $1/g_m$ の抵抗性負荷
- 利得増大
 - 負性抵抗, 2段化
- 基板バイアス効果の利用で $V_{th} \downarrow$
- 入力同相電圧 \neq 出力同相電圧

V_{th} を下げる: 基板バイアス効果の利用

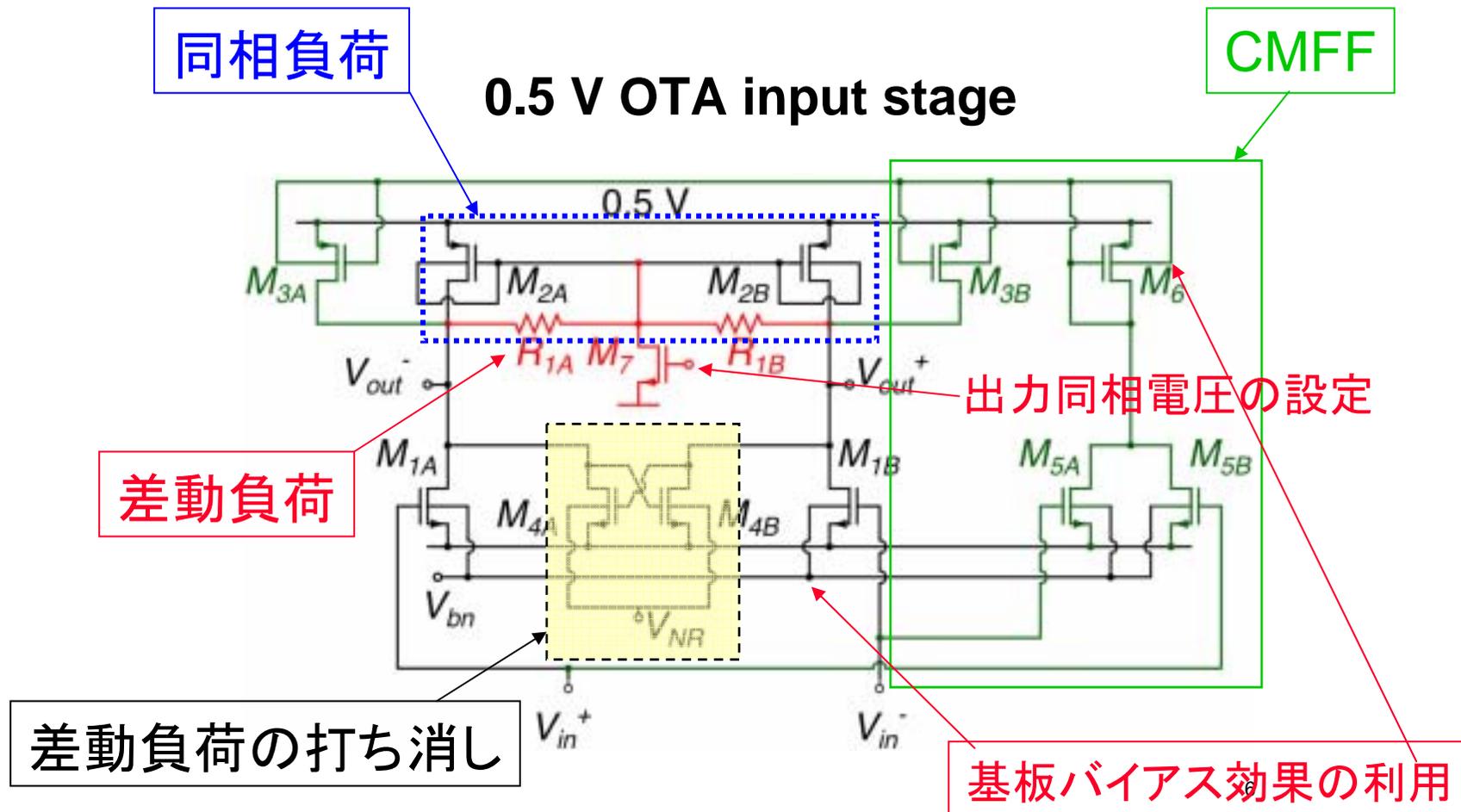
0.18 μm プロセスのPMOSの例 ($W/L=285\mu\text{m}/0.72\mu\text{m}$)



出典: S. Chatterjee et al., Analog Circuit Design Techniques at 0.5V,
Chapt.1, p.12, Springer, 2007



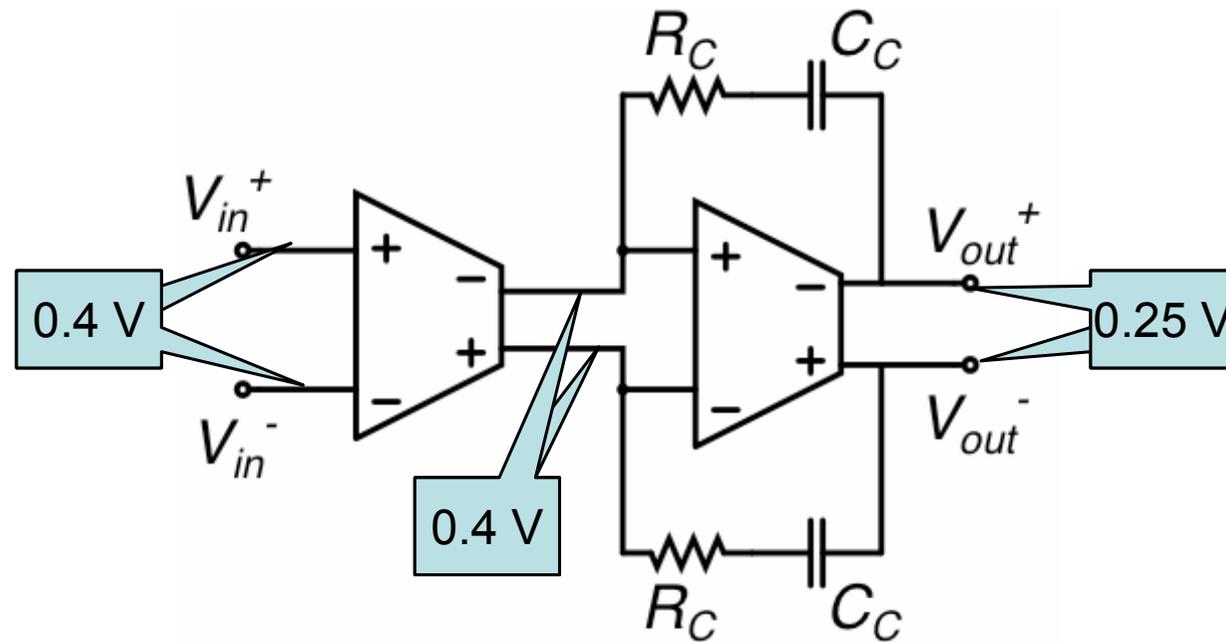
0.5 V動作OTA — つづき



[3] S.Chatterjee, Y.Tsividis, P.Kinget, "A 0.5 V Filter with PLL-Based Tuning in 0.18 μm CMOS," ISSCC2005, 2005



利得を稼ぐため2段構成にする



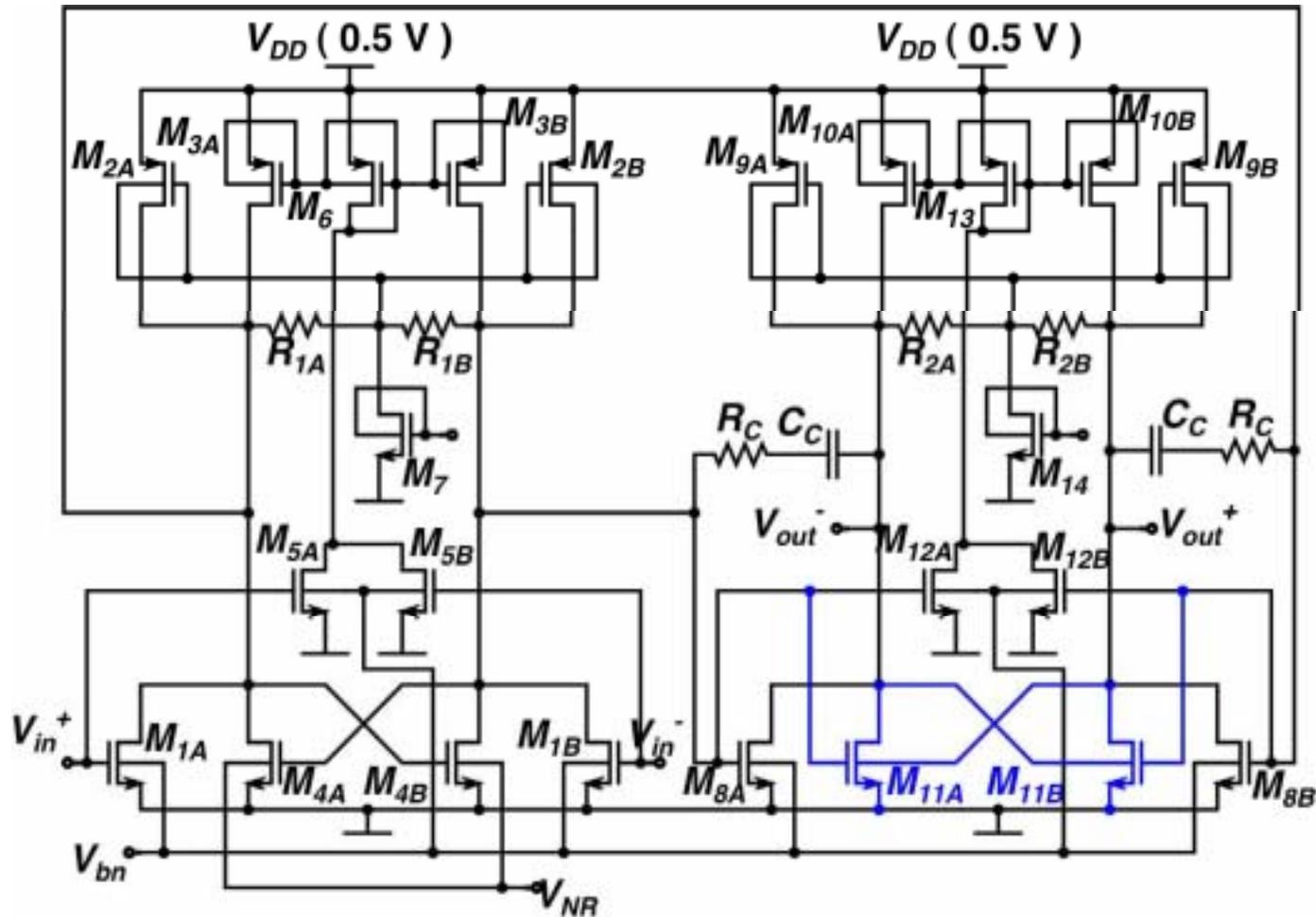
- Common-mode output of first stage is 0.4 V
- 55 dB gain, 15 MHz GBW, 60° PM for diff 10pF load

⇒ 27 dB/stageの低利得

[3] S.Chatterjee, Y.Tsividis, P.Kinget, "A 0.5 V Filter with PLL-Based Tuning in 0.18 μm CMOS," ISSCC2005, 2005



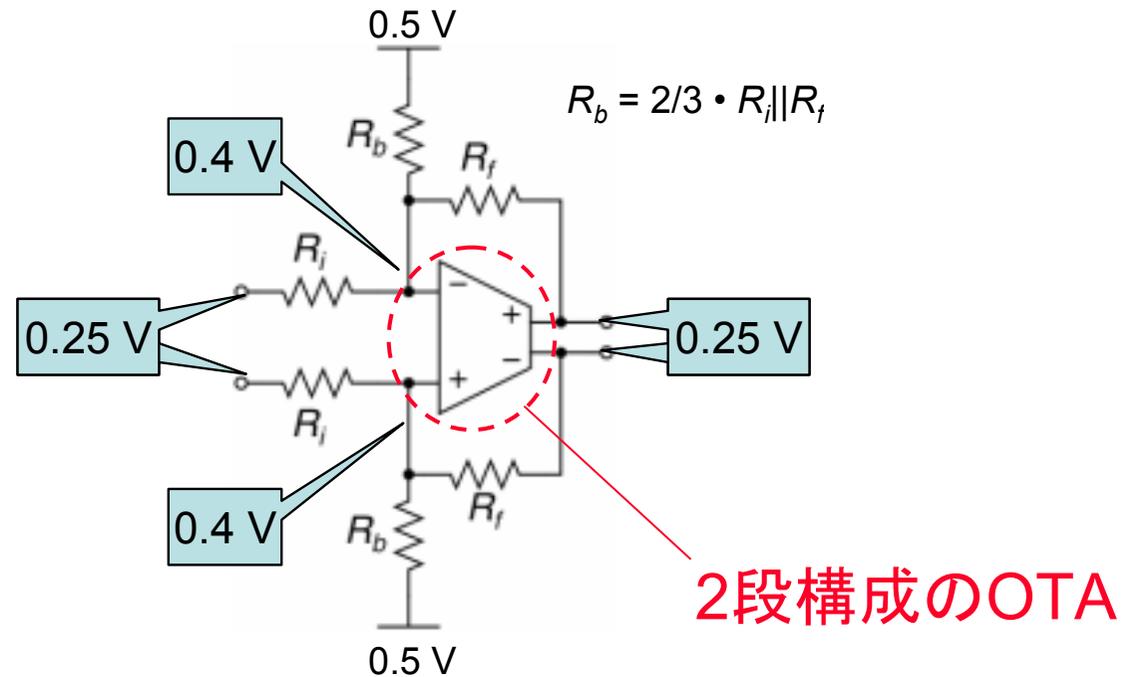
2段OTA全体の構成



[3] S.Chatterjee, Y.Tsividis, P.Kinget, "A 0.5 V Filter with PLL-Based Tuning in 0.18 μm CMOS," ISSCC2005, 2005



同相出力電圧の制御



- 同相入力電圧が変化しないので, 抵抗で設定する.

[3] S.Chatterjee, Y.Tsividis, P.Kinget, "A 0.5 V Filter with PLL-Based Tuning in 0.18 μm CMOS," ISSCC2005, 2005



我々のアプローチ： CMOSインバータ

概要

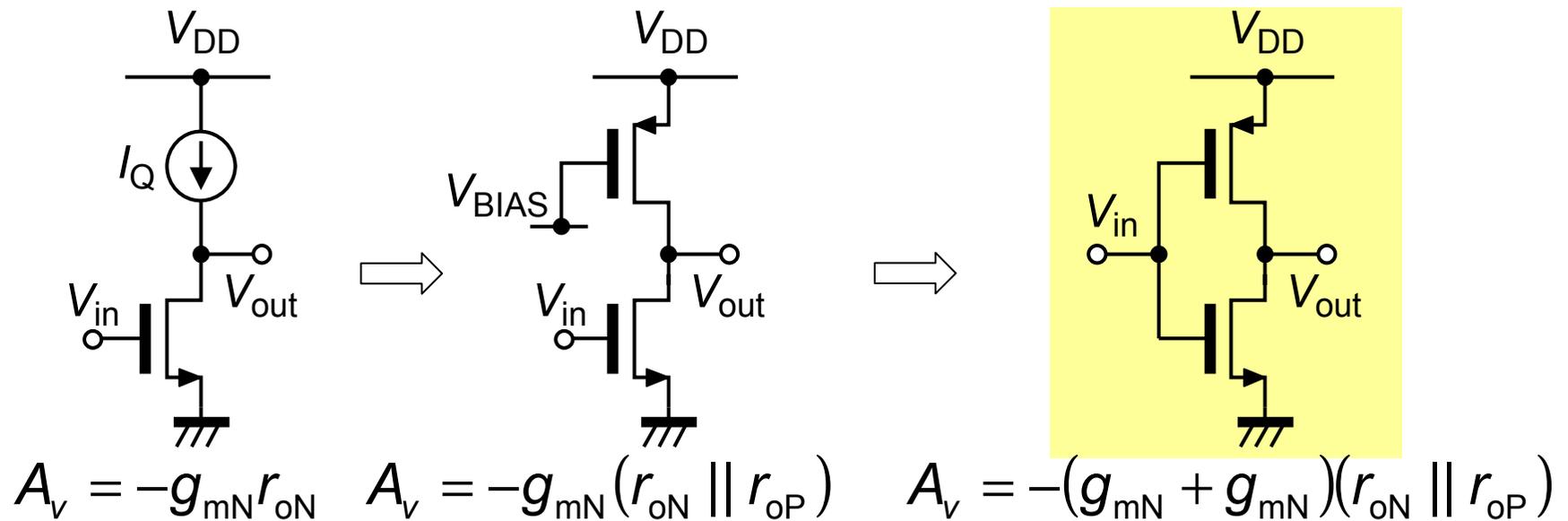
- CMOSインバータベース
 - インバータだけで全差動増幅器が構成できればよい
- 同相抑圧法
 - Nauta法, FF法; 同相成分を検出する方法としない方法
- 出力の同相電圧制御法
 - CMFB法
- CMFF法とCMFB法の縦続で利得を稼ぐ
 - 初段と出力段の動作条件を再考する
- 種々の変形と発展
 - より高利得化, より低電圧動作化



電源電圧を制約する要因再論

- デバイスをオンにする最低電圧
 - BJT: $V_{BE} \approx 0.7 \text{ V}$,
 - MOS: $V_{TH} \approx 0.4 \text{ V}$ (DMOSなら V_{TH} を負にもできる)
- デバイスが(飽和／3極管)領域に入らない
 - BJT: $V_{CEsat} \approx 0.2 \text{ V}$,
 - MOS: $V_{DS} > V_{OD} \approx 0.2 \text{ V}$
- オン電圧の方が大きい⇒これを攻める
 - BJT: $V_{BE(on)}$ は殆ど変えられないし、普通 V_{th} より大きい ×
 - MOS: V_{th} は変えられる ○
プロセス的手法: Depletion型MOSの導入(現実的でない)
回路的手法: 基板バイアス効果の利用
- 縦積み段数を2段に抑える⇒インバータの採用

ソース接地増幅段再論 — インバータの利点



• 利点

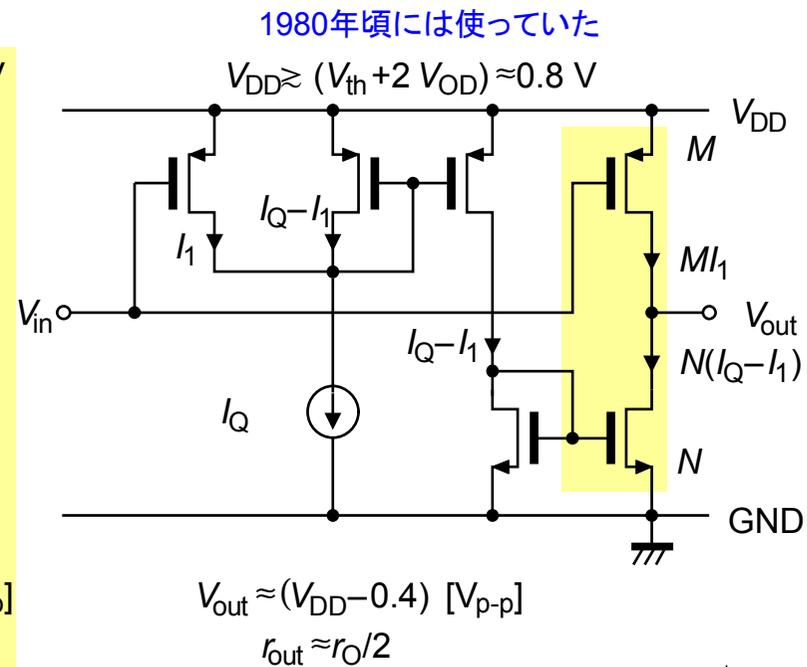
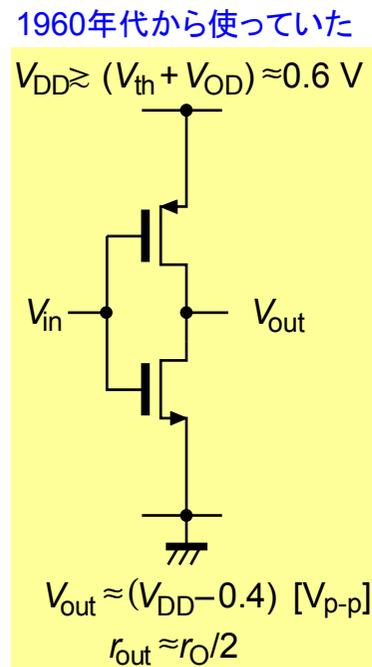
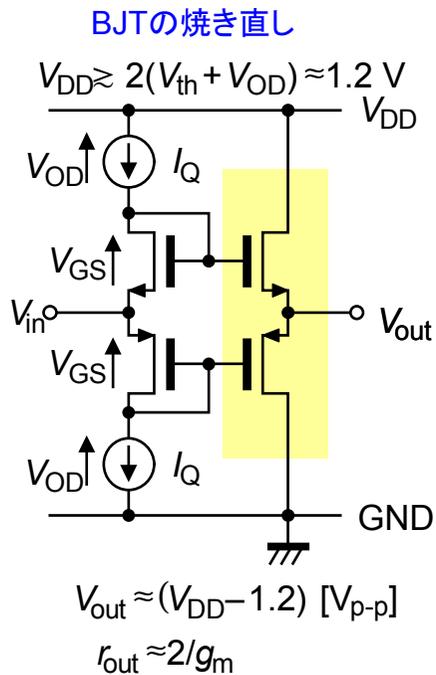
- 電流効率がよい
⇒ 電圧利得が大きい
- 入力電圧範囲が広い
- 駆動能力大きい (AB級)

• 問題点

- 動作電流がバラつき易い
(2乗特性のAB級動作)

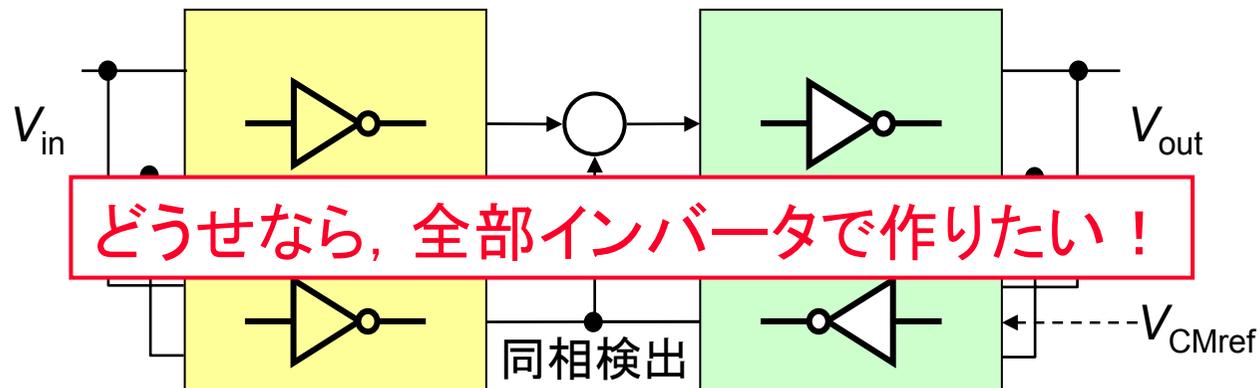
低電源電圧の出力段はどうする？

- プッシュプルソースフォロワ (AB級) はNG
⇒ プッシュプルの **ソース接地 (AB級)** しかない
 - 出力抵抗が大きいのは仕方がない (帰還を掛けて低下)



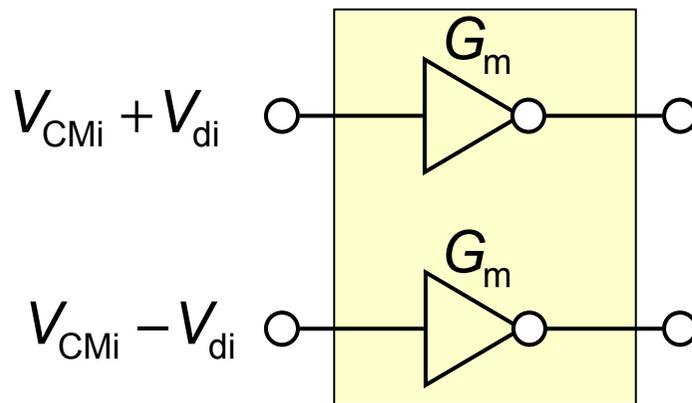
1V以下で動作するOPAの望ましい構成

- 高スイング化⇒全差動構成
- 高利得化⇒2段構成
 - 初段: 同相抑圧機能を持つソース接地アンプ
 - 同相入力範囲拡大のため, ソース接地push-pullアンプ(インバータ)使用
 - 同相抑圧機能はCMFF (CMFBでもよい)
 - 出力段: 出力同相電圧の制御可能なソース接地アンプ
 - 同相帰還(CMFB)を持つソース接地push-pullアンプ(インバータ)使用
 - 出力同相電圧は $V_{DD}/2$ 付近なら, 可変の必要は少ない



インバータで全差動アンプを作るには

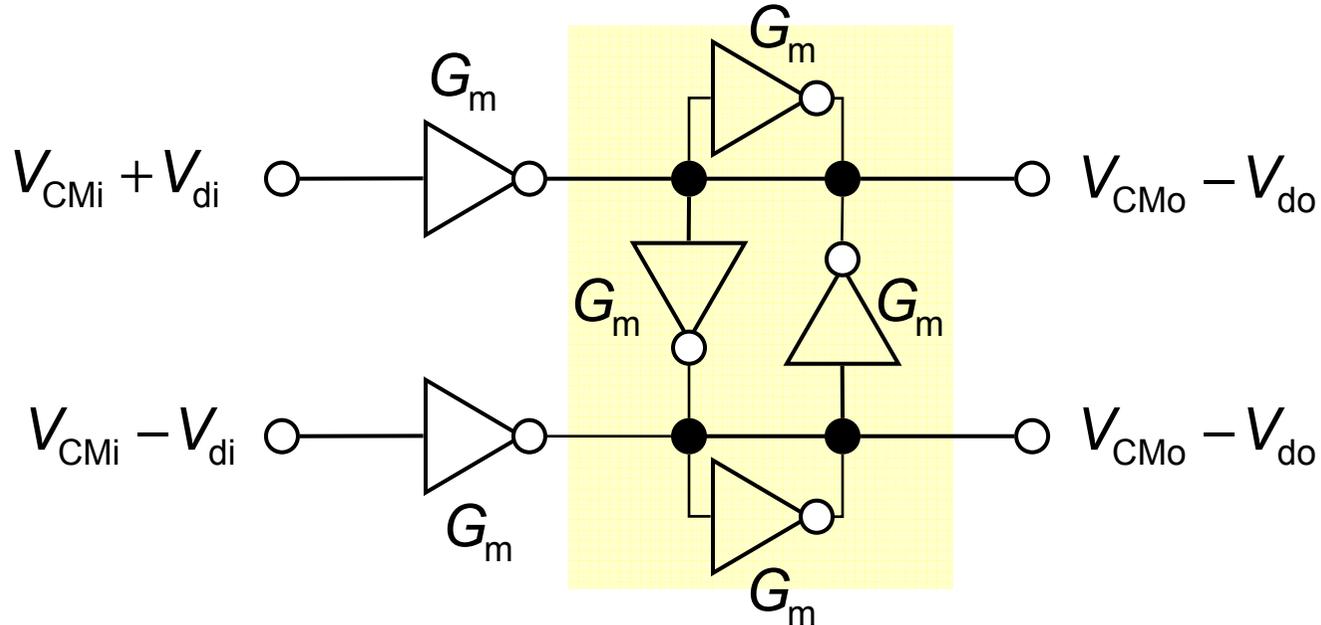
- 同相利得を低く抑える方法(同相抑圧法)?
 - NautaのOTAの利用
 - 同相成分に対してだけ低インピーダンスの負荷を付ける
 - フィードフォワード(FF)の利用
 - 入力の同相成分を**検出する**
⇒それを逆相でフィードフォワードして打ち消す
 - 入力の同相成分を**検出しない**
⇒それを逆相でフィードフォワードして打ち消す



インバータを2個並べただけでは同相抑圧作用がない！出力側で差動成分だけが増幅されるようにしたい！



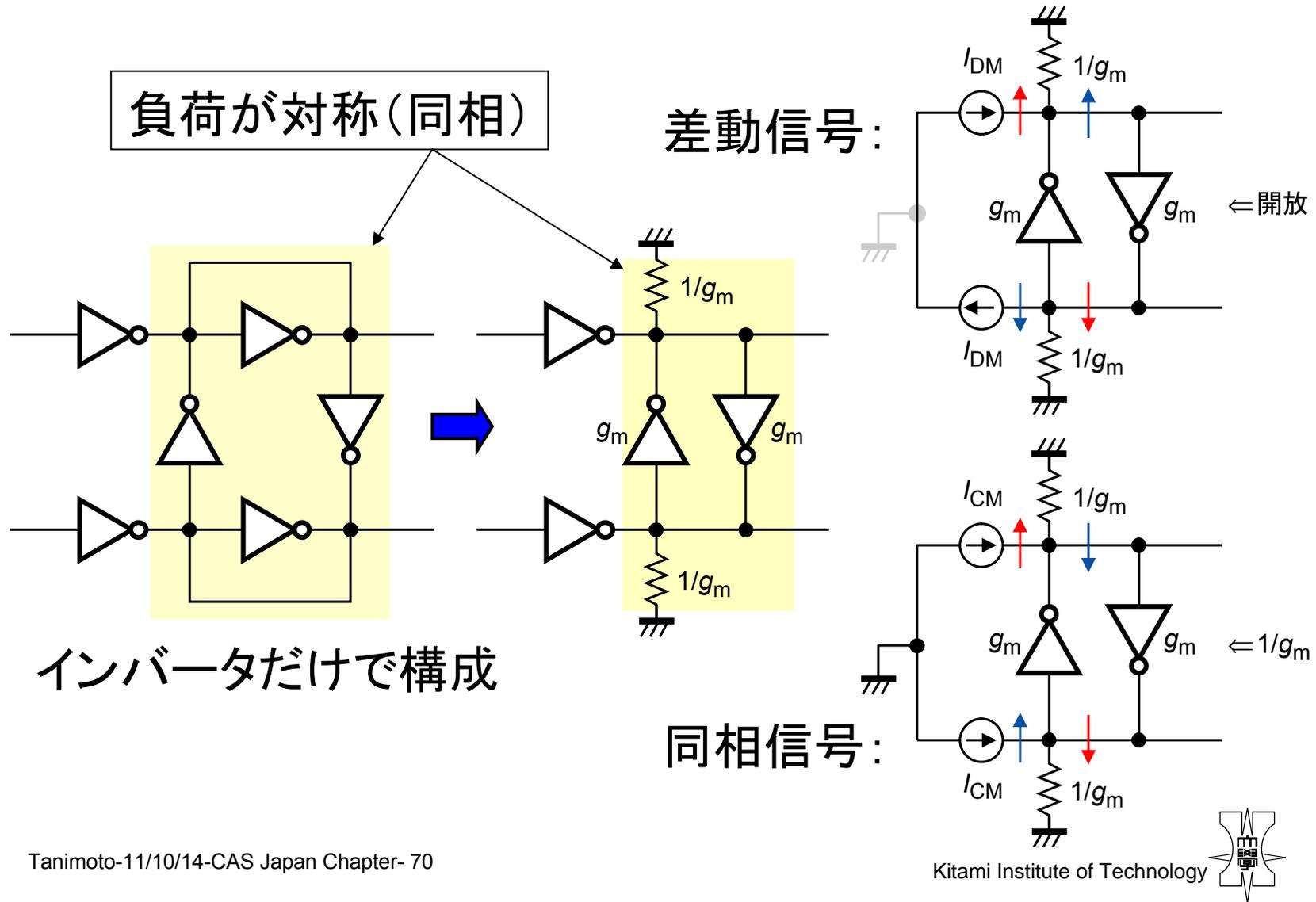
擬似全差動OTA (Nauta, 1989)



- 内部ノードがない: 寄生容量の影響を取り込める
⇒ 高周波向き
- 同相電圧利得 < 1/2, 差動電圧利得 = $G_m/3g_o$
- 微細プロセスでは電圧利得が低い ($\approx 20\text{dB}$)

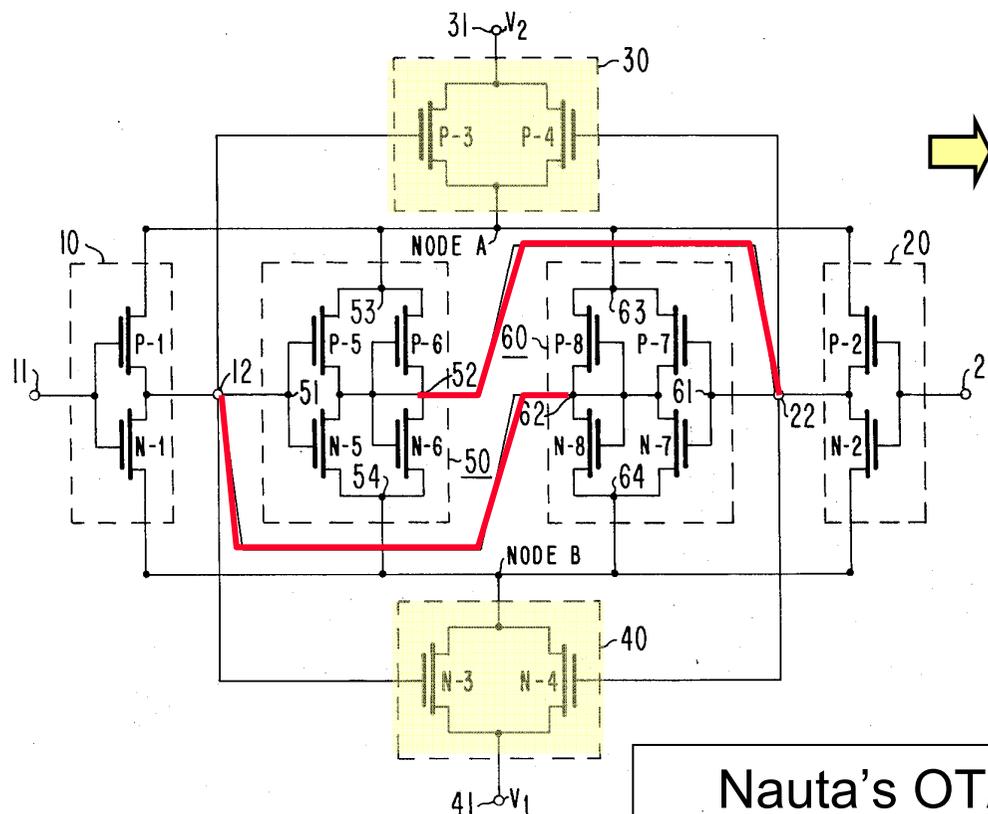


同相抑圧の原理(Nauta's OTA)一再掲

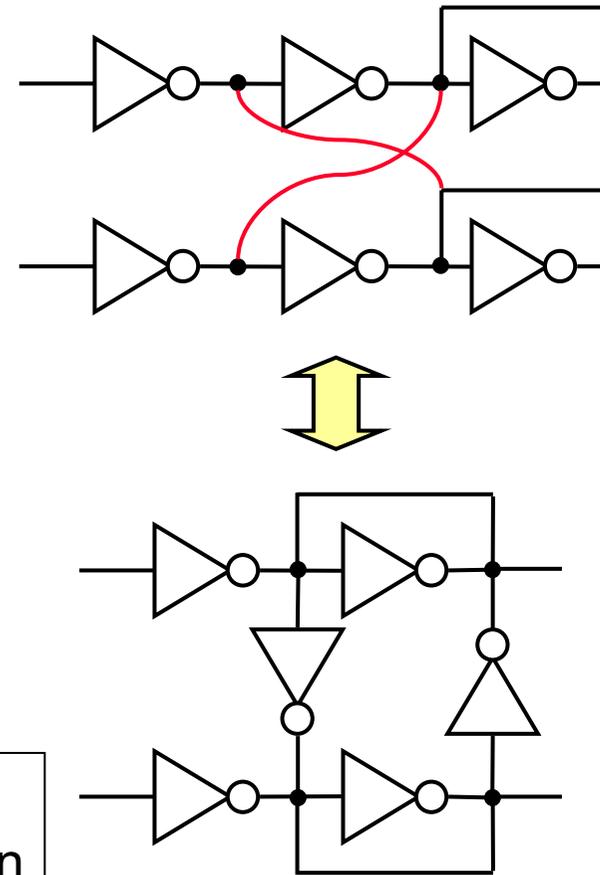


余談: USP3,991,380 (Nov. 9, 1976; RCA Corp.)

Complementary Field Effect Transistor Differential Amplifier (R. L. Pryor)



Nauta's OTA
+ CM stabilization

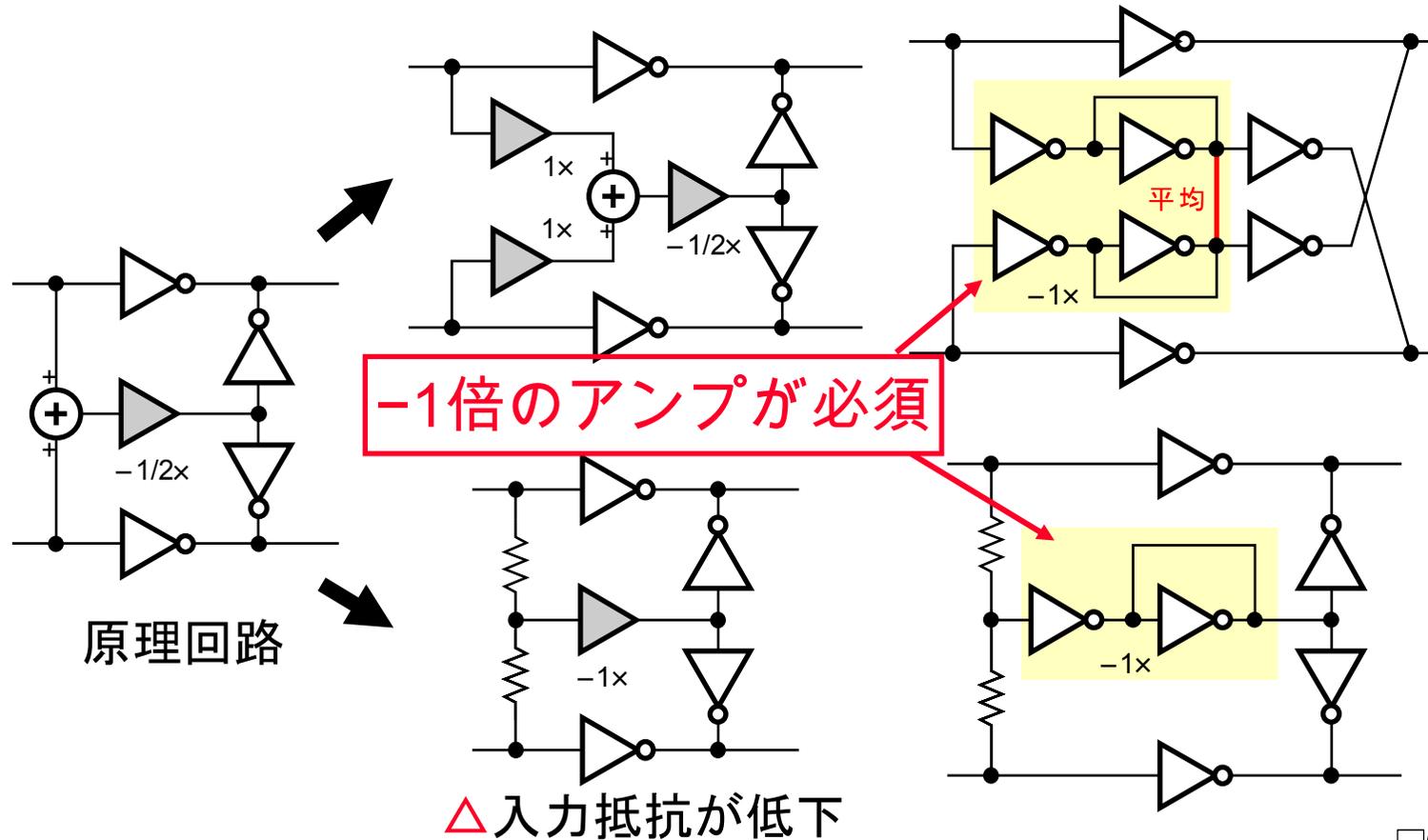


入力信号の同相成分検出法

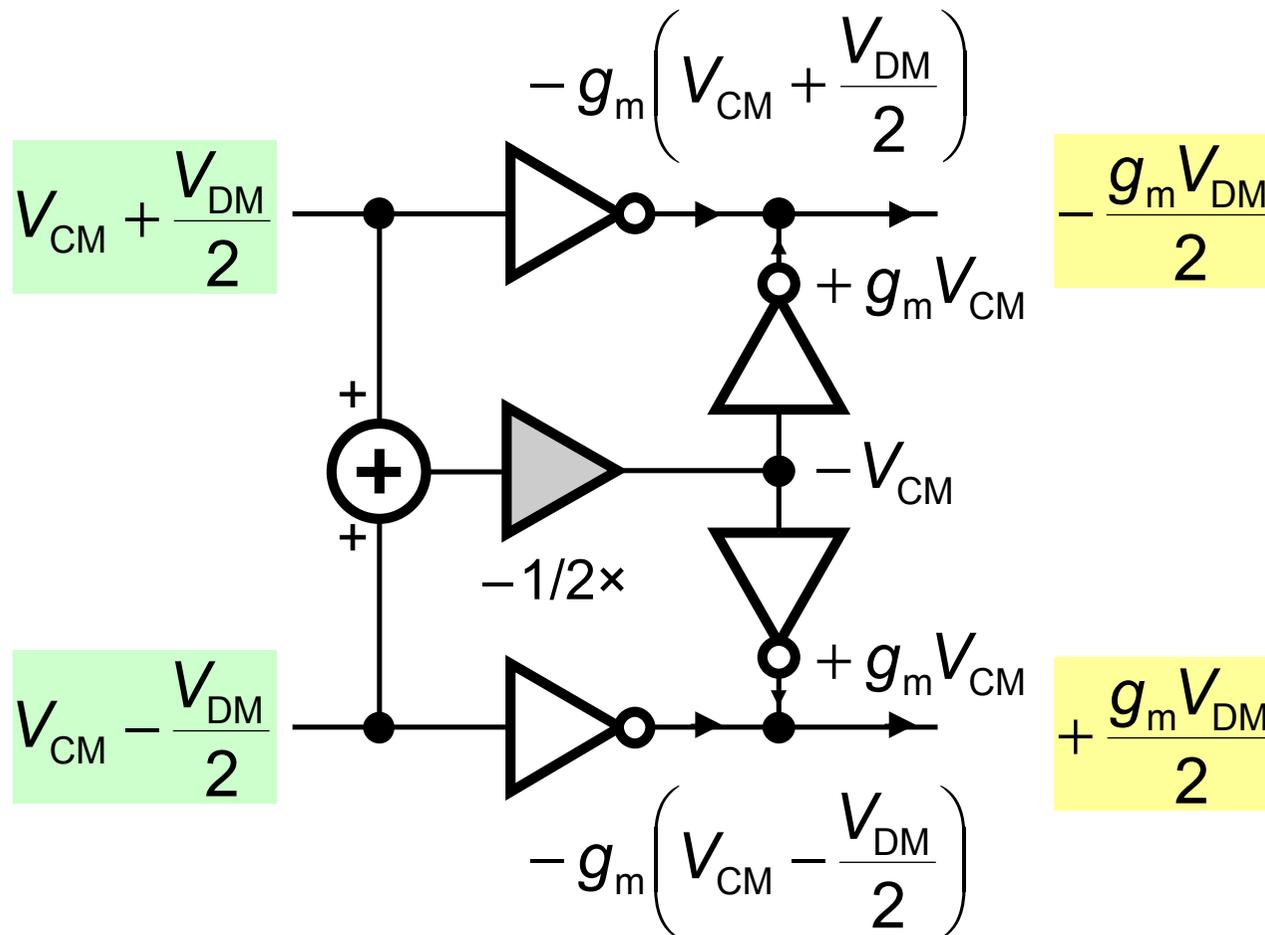
- 抵抗分圧による方法
 - 高線形, 高精度, 電力消費少ない
 - × 入力インピーダンス低下, 面積大
- バッファアンプを介してから平均する方法
 - 高入力インピーダンス; 信号源に影響与えない
 - × 消費電力増加
 - △ 線形範囲が制限される

同相抑圧の方法 — CMFF

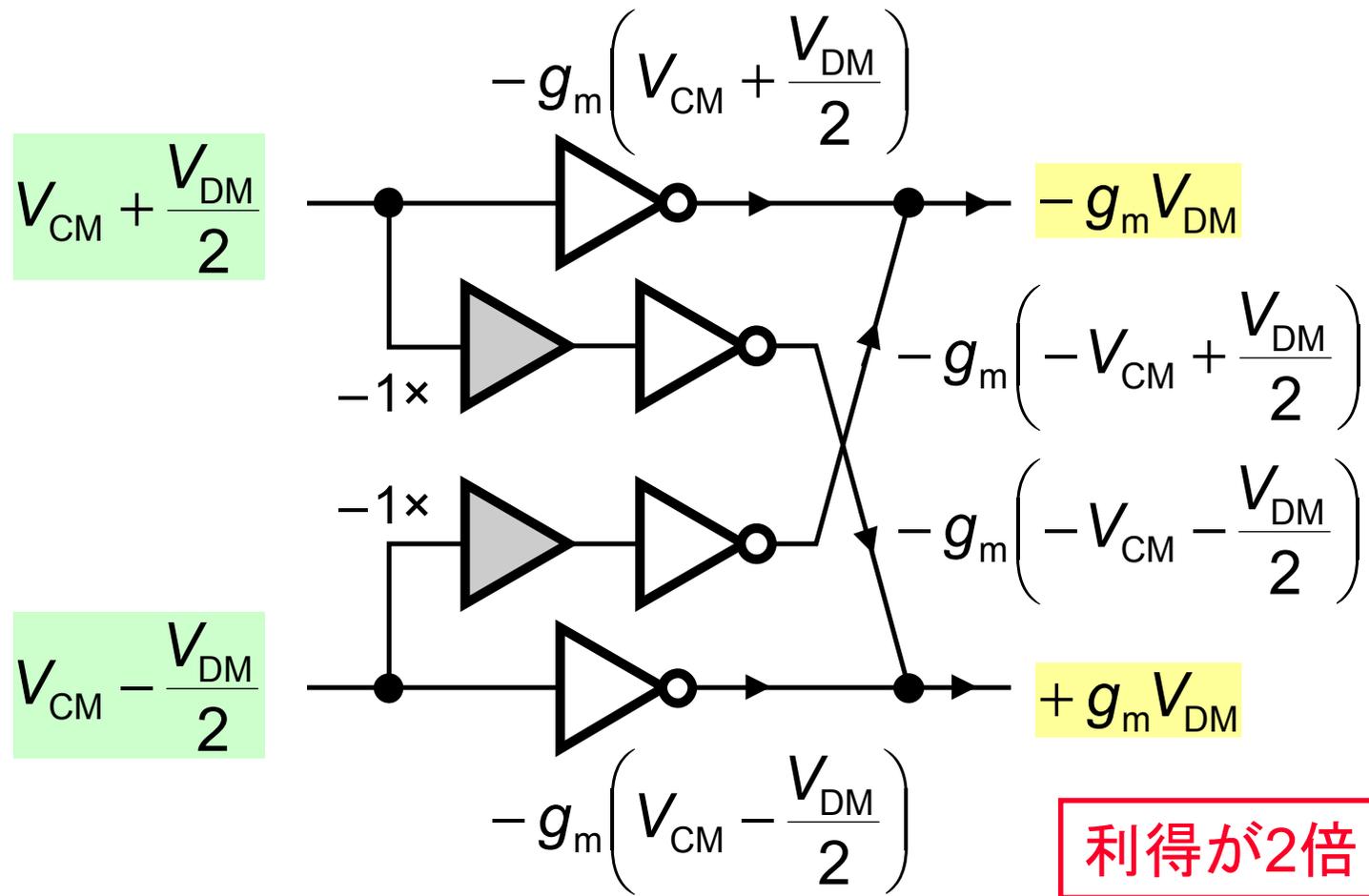
入力の同相電圧を検出して出力側で打消す



同相成分を検出する打ち消し法



同相成分の検出を要しない打ち消し法

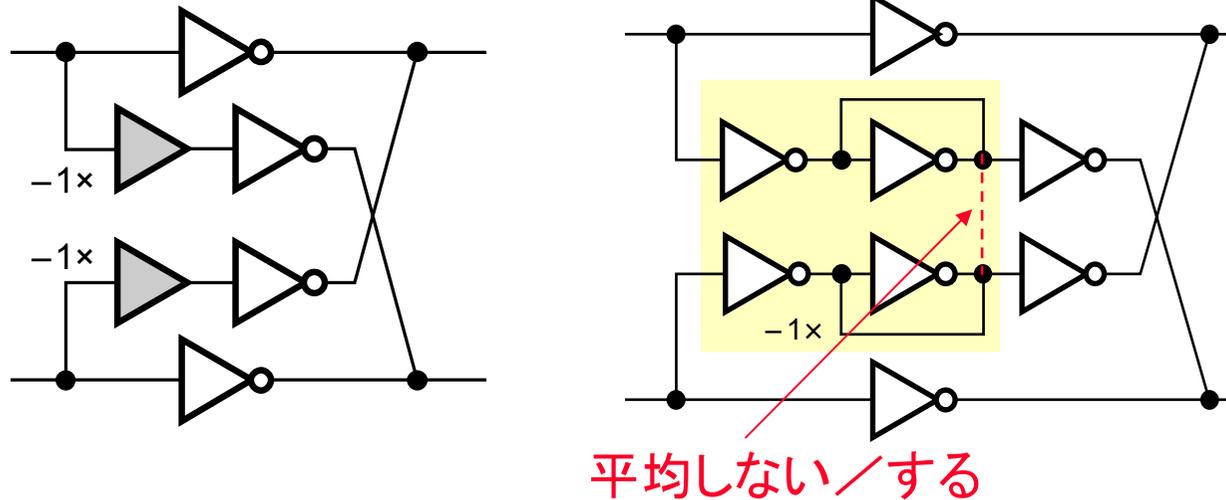


-1倍アンプに対する要求

- 広い線形入力範囲
 - さもなくば正確な同相成分 (= 平均値) が得られない
 $f(v_1+v_2) = f(v_1) + f(v_2)$ であることが必要
- 利得が正確に-1倍であること
 - メインの増幅経路と同じインバータを使って打ち消す
⇒インバータのマッチングの程度まで打ち消したい
- できれば同じインバータで作りたい
 - マッチングの性質を利用できる

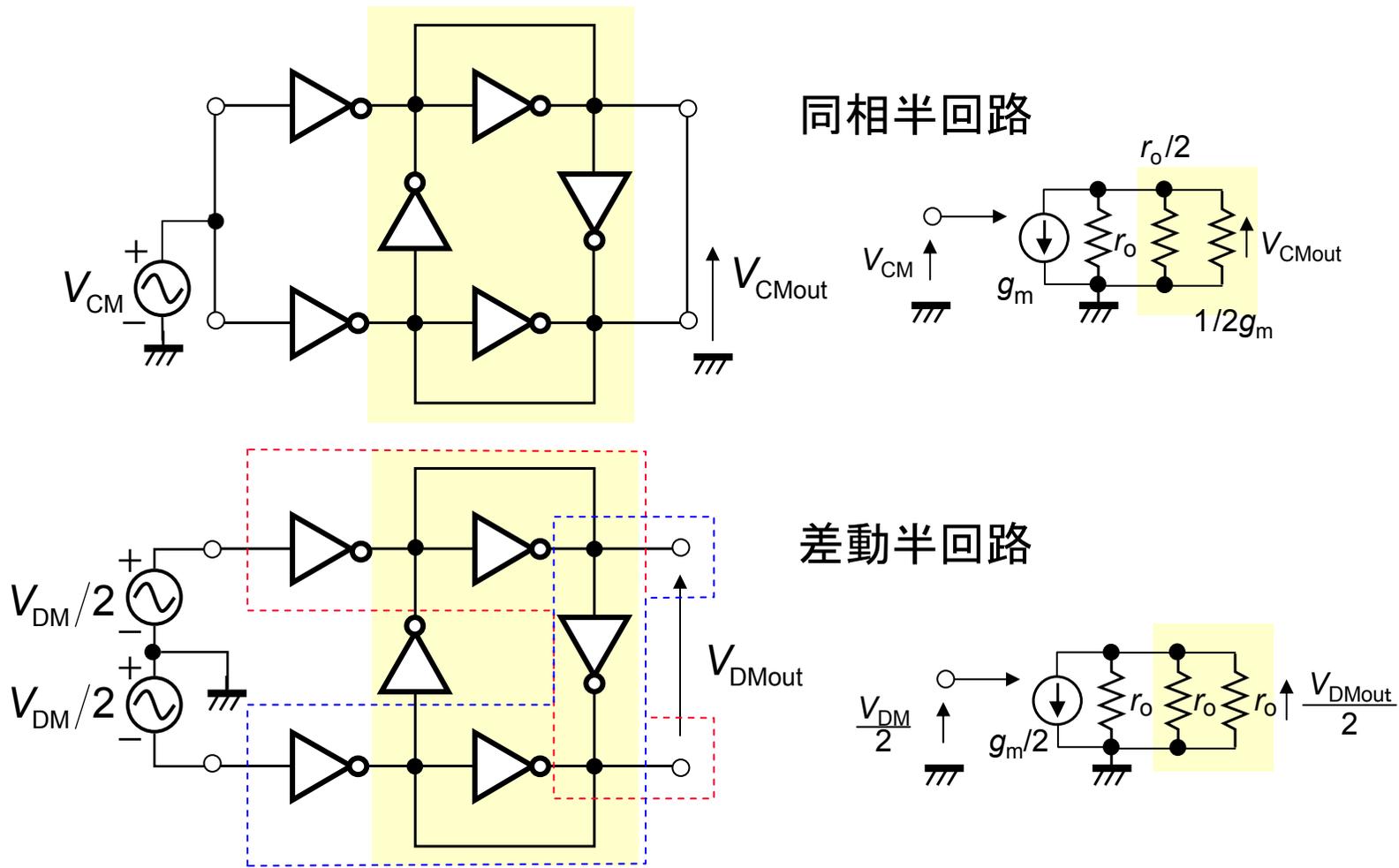
インバータだけで構成するCMFFの方法

同相成分検出しない方法



- インバータだけで構成できる
- 入力インピーダンスの低下なし
- スイッチひとつで平均する場合と共用可

全体の G_m と R_o の解析 (Nauta 's OTA の例)



Nauta-OTAとCMFF-OTAの比較

項目		Nauta-OTA	大小	CMFF(平均型)	CMFF(加算型)
トランスコンダクタンス	差動	$g_m/2$	=	$g_m/2$	$\approx g_m$
	同相	g_m	>	$g_m/2$	≈ 0
出力抵抗	差動	$1/3g_o \times 2$	<	$1/2g_o \times 2$	$1/2g_o \times 2$
	同相	$\frac{1}{3g_o + 2g_m} \times \frac{1}{2}$	\ll	$\frac{1}{2g_o} \times \frac{1}{2}$	$\frac{1}{2g_o} \times \frac{1}{2}$
開放電圧利得	差動	$g_m/3g_o$	<	$g_m/2g_o$	$\approx g_m/g_o$
	同相	$\approx \frac{1}{2}$	<	≈ 1	≈ 1
CMRR		$\approx 2g_m/3g_o$	>	$\approx g_m/2g_o$	$\approx g_m/g_o$

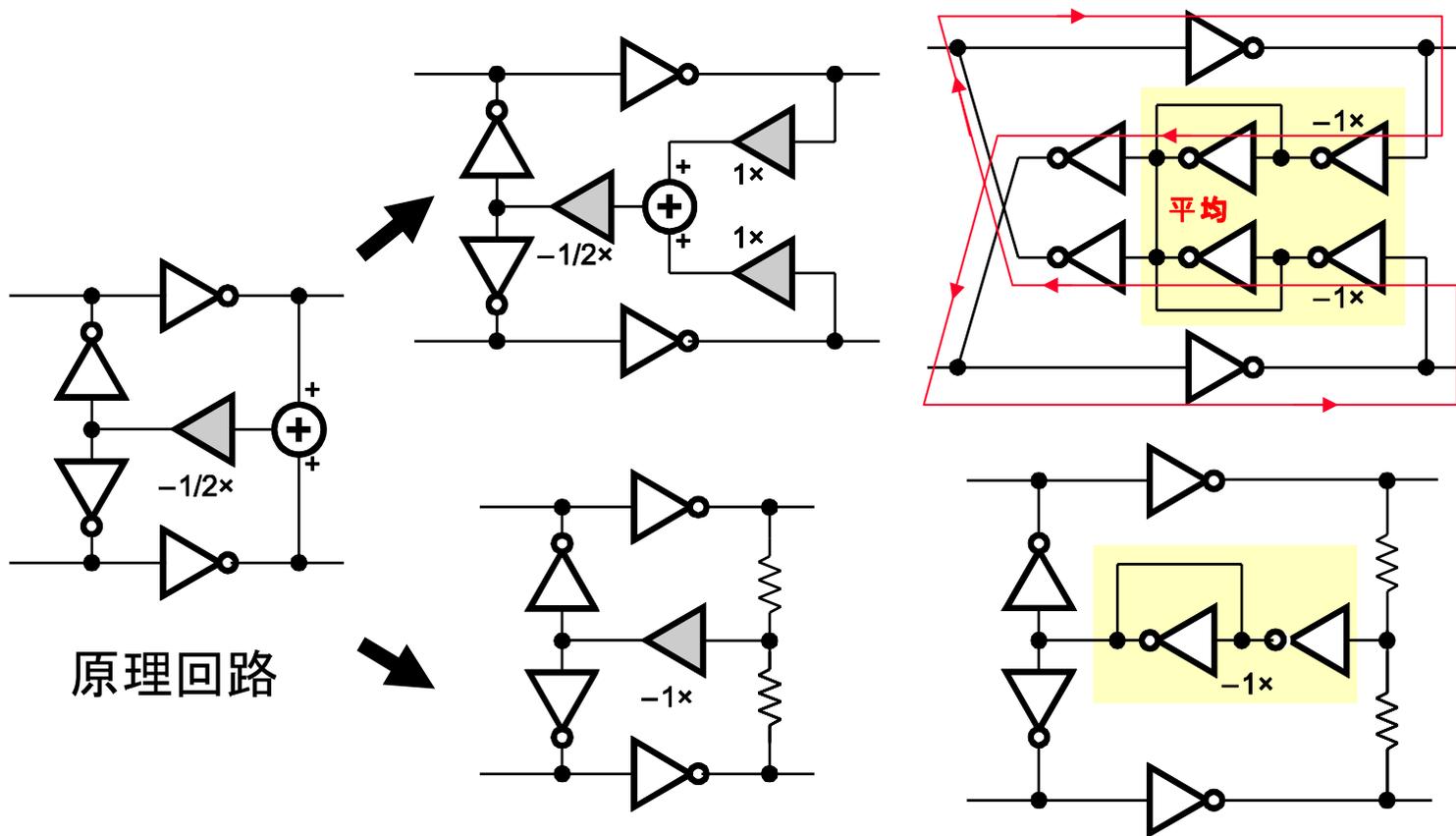
*) インバータを g_m と $g_o=1/r_o$ でモデル化した

同相出力の制御法

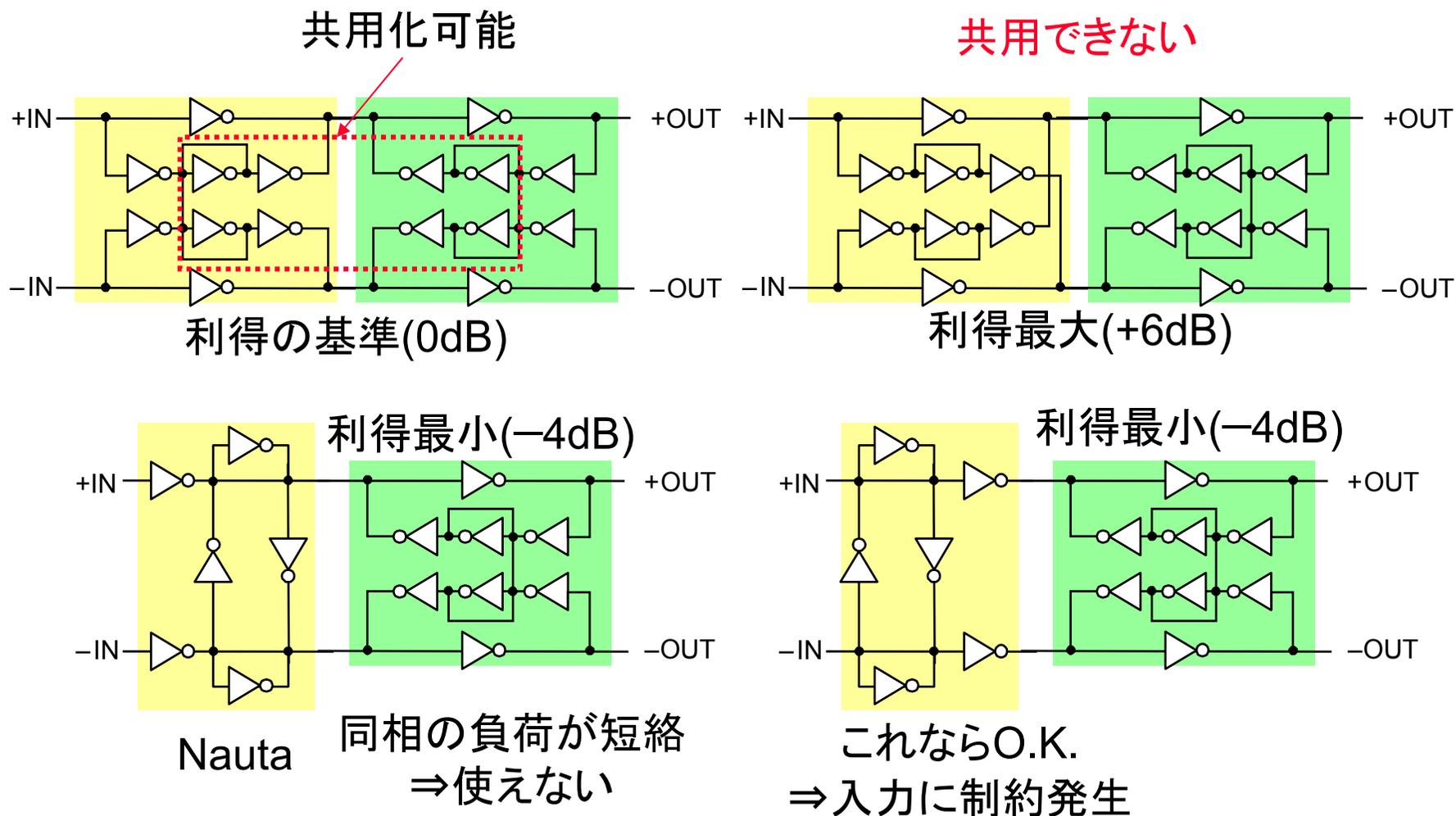
- レベルシフトを行う方法
 - 単純だが, 入力同相成分が変動する場合は面倒
- 出力の同相電圧を制御する方法？
 - 同相負帰還の利用
 - 出力の同相電圧を検出して帰還する
⇒同相利得低下の効果もある
 - 同相出力成分の検出法
 - 抵抗分圧による方法
⇒微細デバイスは出力抵抗が比較的低いので適用可
 - バッファを介してから平均する方法
⇒OTAには出力抵抗の低下しないこの方法がよい

同相出力制御の方法 — CMFB

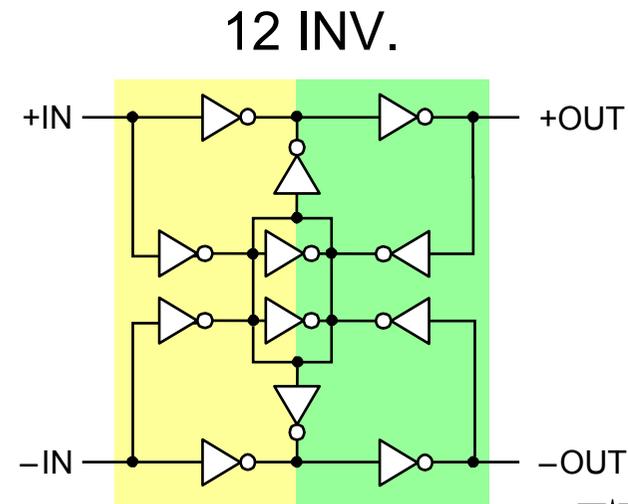
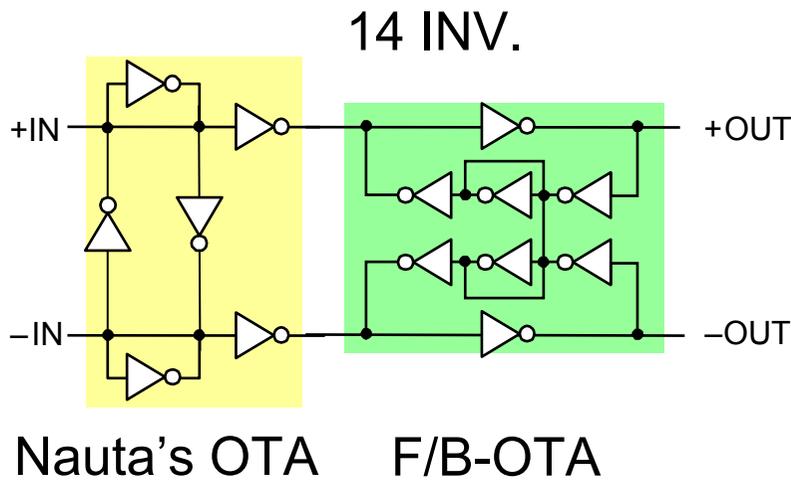
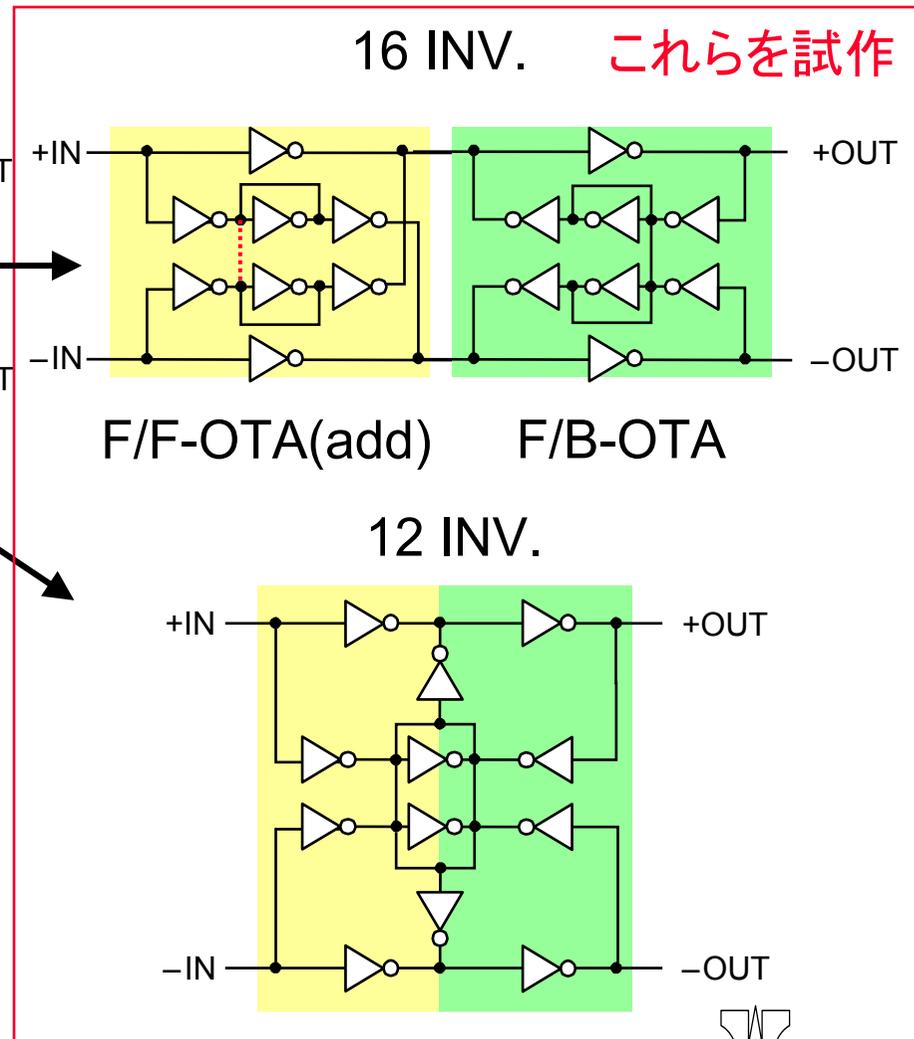
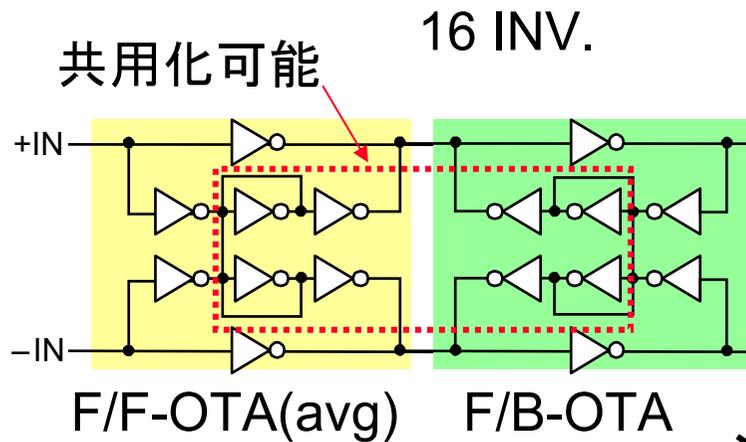
出力の同相電圧を検出して入力側へ帰還する



提案するOTAの基本構成 — F/F+F/B



試作するOTAの基本構成



設計例と試作結果

概要

- 基本形; 1~1.8 V動作
- 同相検出の有無による利得の違い
- 同相利得 (CMRR) の改善
- 高利得型; $V_{DD}=1$ Vでもあえてカスコード化
- より低電圧動作を求めて



基本的なCMFF+CMFB構成の 全差動増幅器

概 要

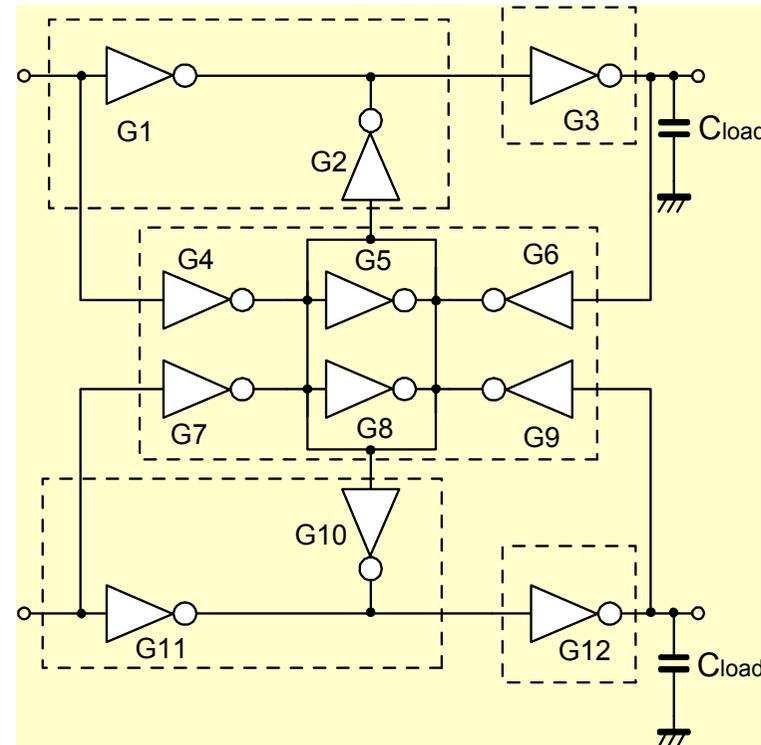
- プロトタイプ的设计と評価結果
 - 平均回路を共用するタイプ

設計した2段構成のOTA

- 同相入力電圧抑圧作用あり: N_{auta} , F/F
- 同相出力電圧抑圧作用あり: F/B

(a) $N_{\text{auta}}+F/B$ または
(b) $F/F+F/B$ が可能

- 電圧利得: $F/F > N_{\text{auta}}$
 なので $F/F+F/B$ を選択
 共用化でINVを16個
 から12個に削減⇒



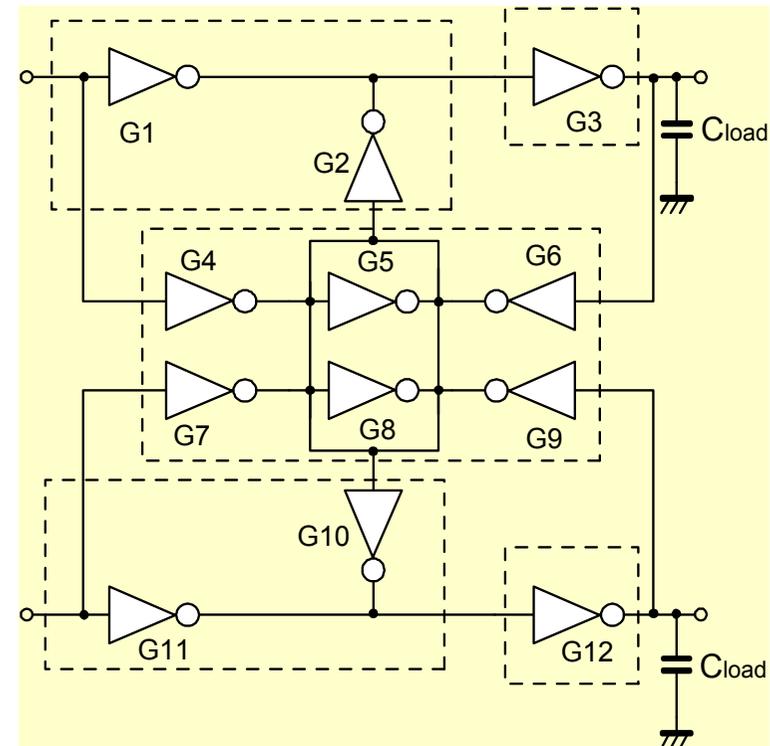
F/F+F/B OTA回路の設計パラメータ

FF-FB OTAに用いたMOSの
パラメータ

	Wn[um]	Wp[um]	L[um]
①	1.5	3	0.18
②	2	4	0.18
③	5	10	0.18

容量	[pF]
C load	16

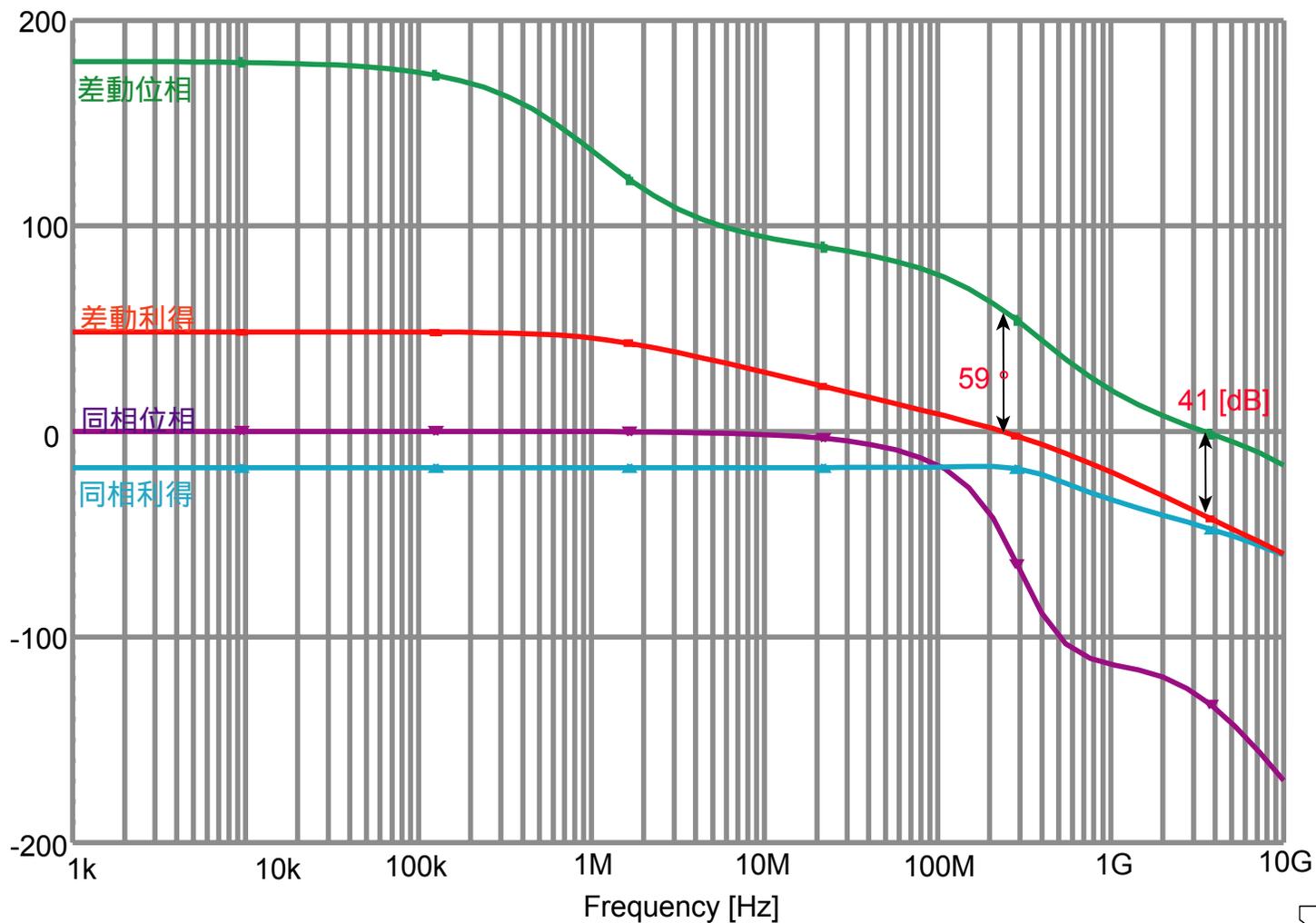
A_v : 48.21 [dB]
 g_m : 22.25 [mS]
 出力インピーダンス 5.797 [k Ω]
 $CMRR$: 65.75 [dB]
 消費電流: 2.832 [mA]
 電源電圧: 1.8(~1.0) [V]



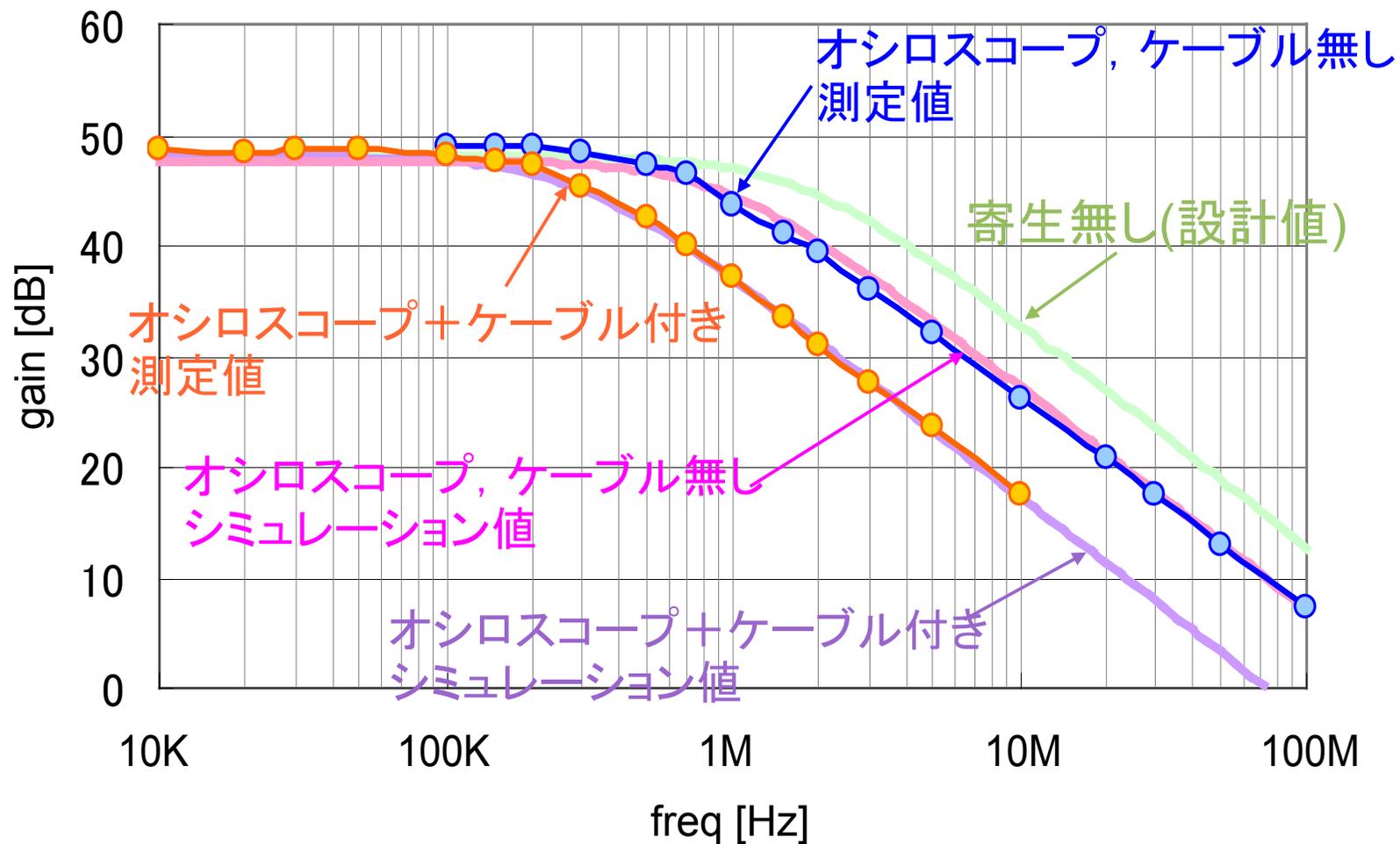
TSMC 0.18 μm CMOSにて試作



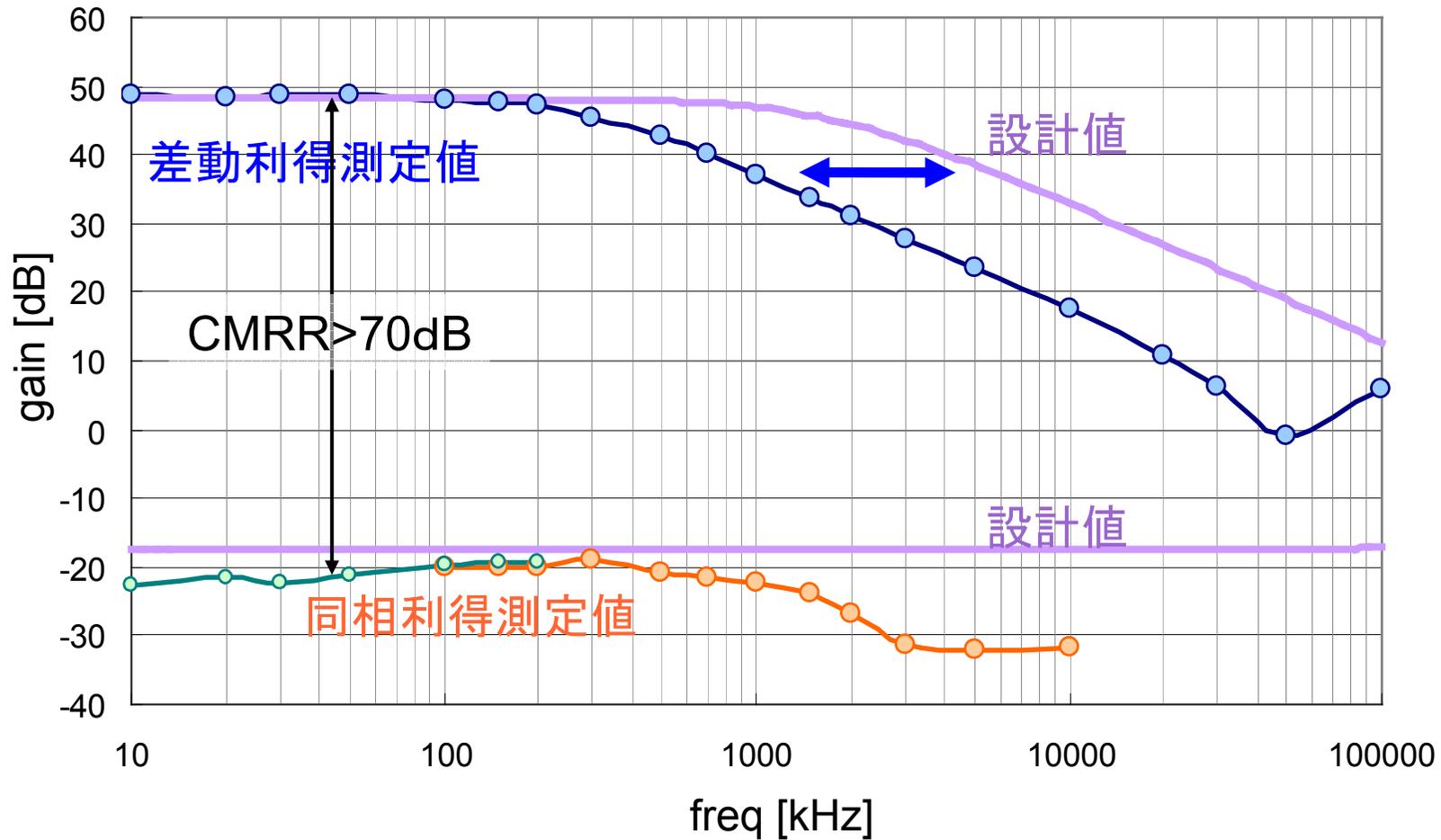
F/F+F/B OTAのボード線図(simu.)



差動利得の測定結果@ $V_{DD}=1.8\text{ V}$

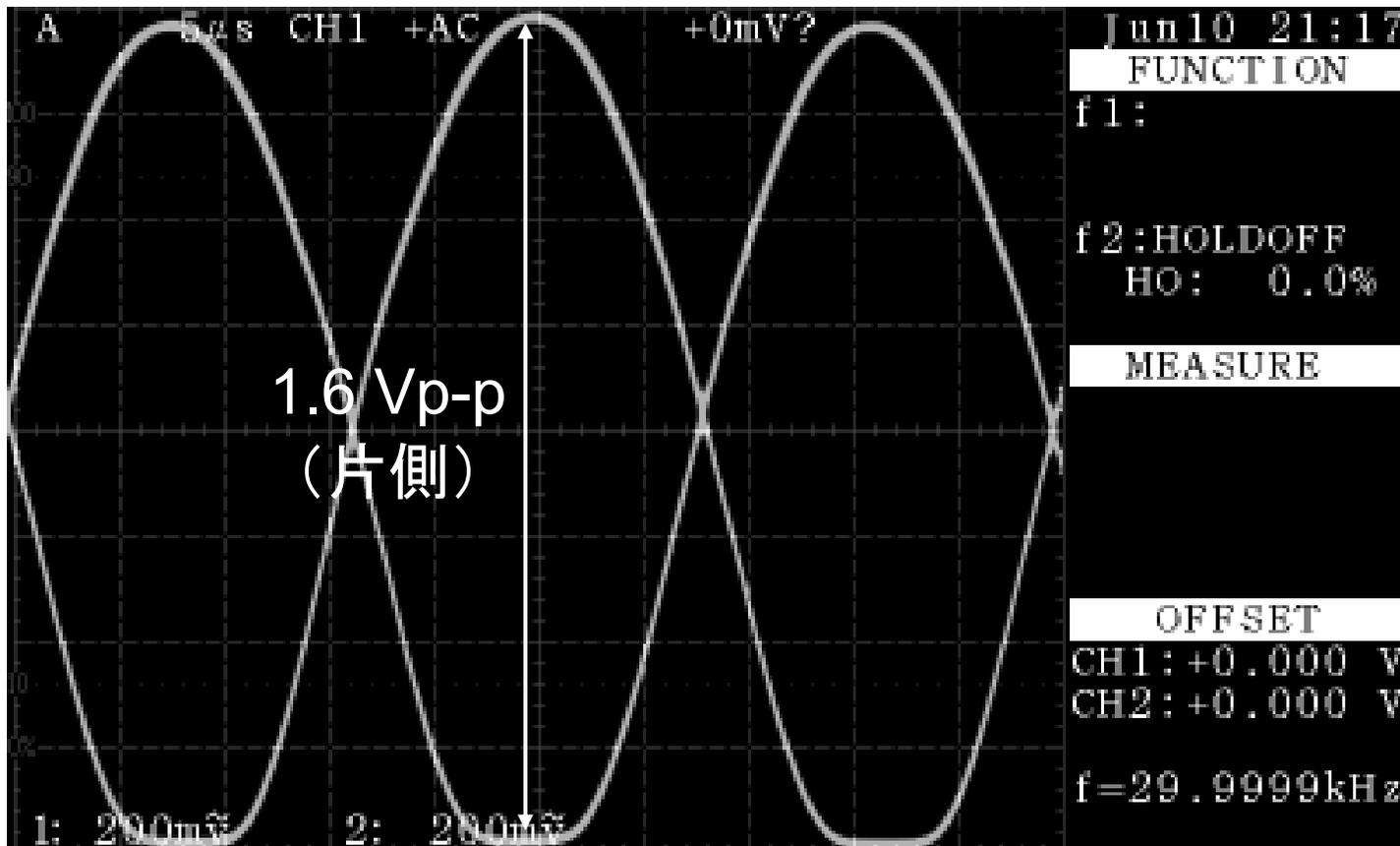


同相利得の測定結果@ $V_{DD}=1.8\text{ V}$

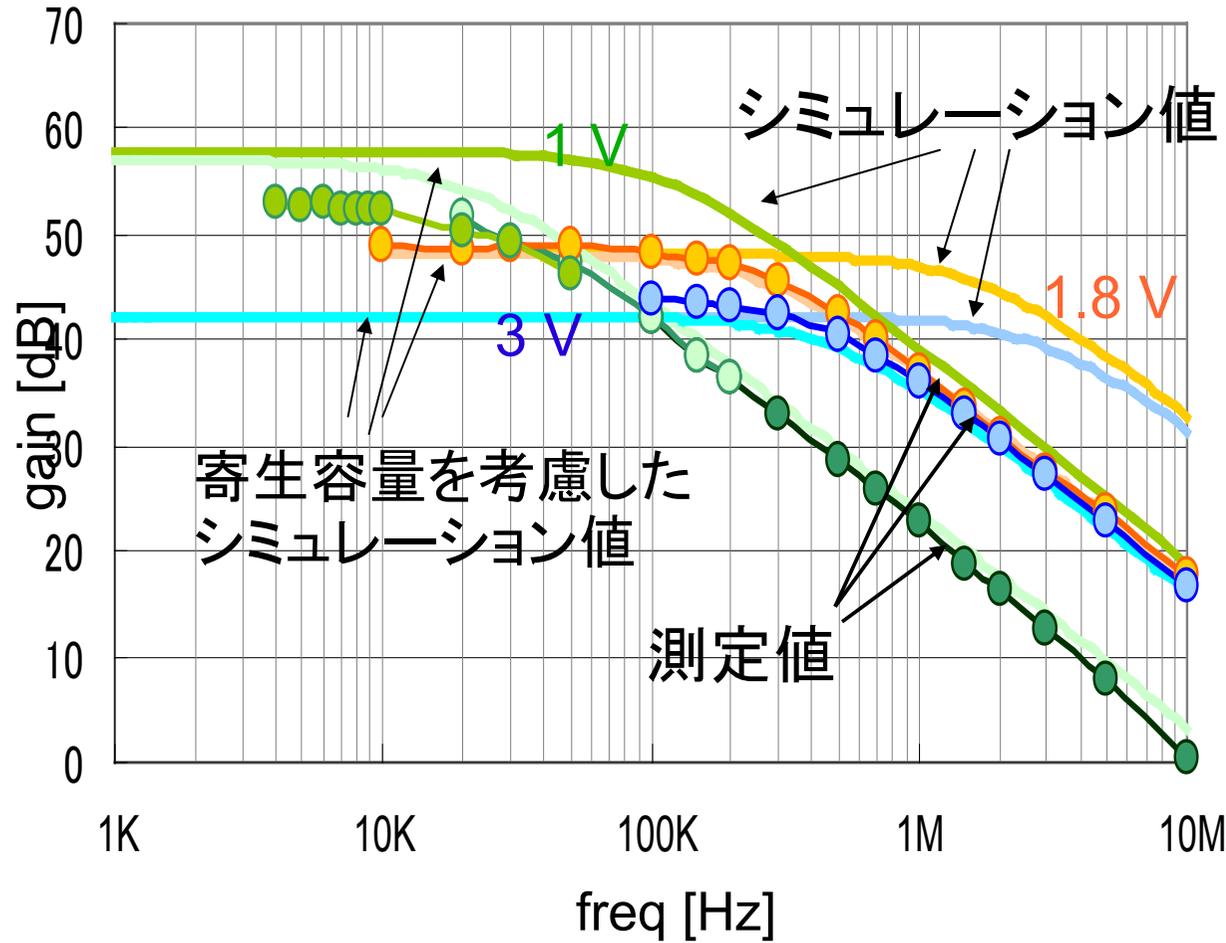


OTAの出力波形@ $V_{DD}=1.8\text{ V}$

出カスイングの様子 (3.2 Vp-p)



電源電圧による利得特性変化

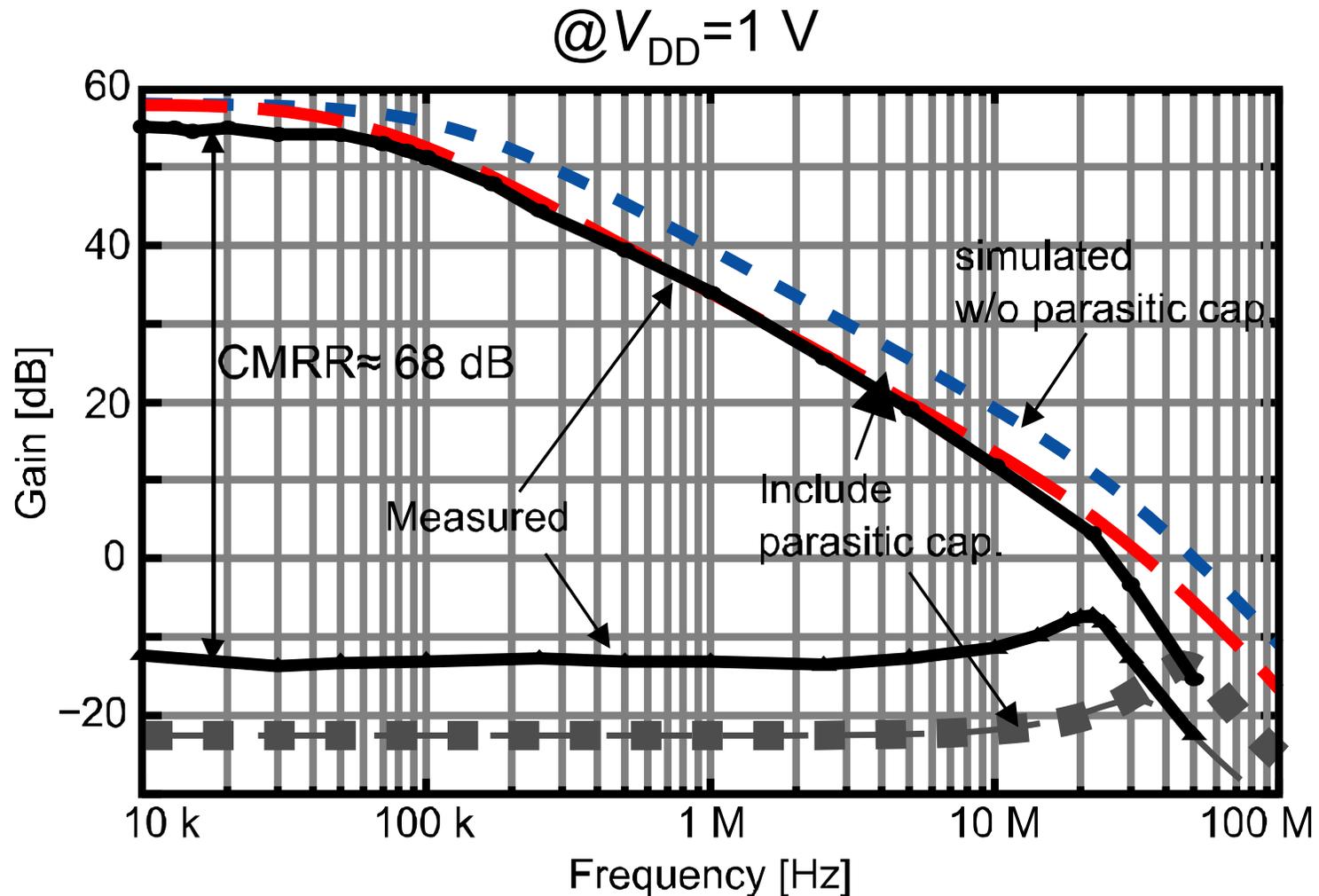


3 V
 gain: 43.9 [dB]
 f_{-3dB} : 500 [kHz]
 GBW : 78 [MHz]

1.8 V
 gain: 48.7 [dB]
 f_{-3dB} : 300 [kHz]
 GBW : 81.7 [MHz]

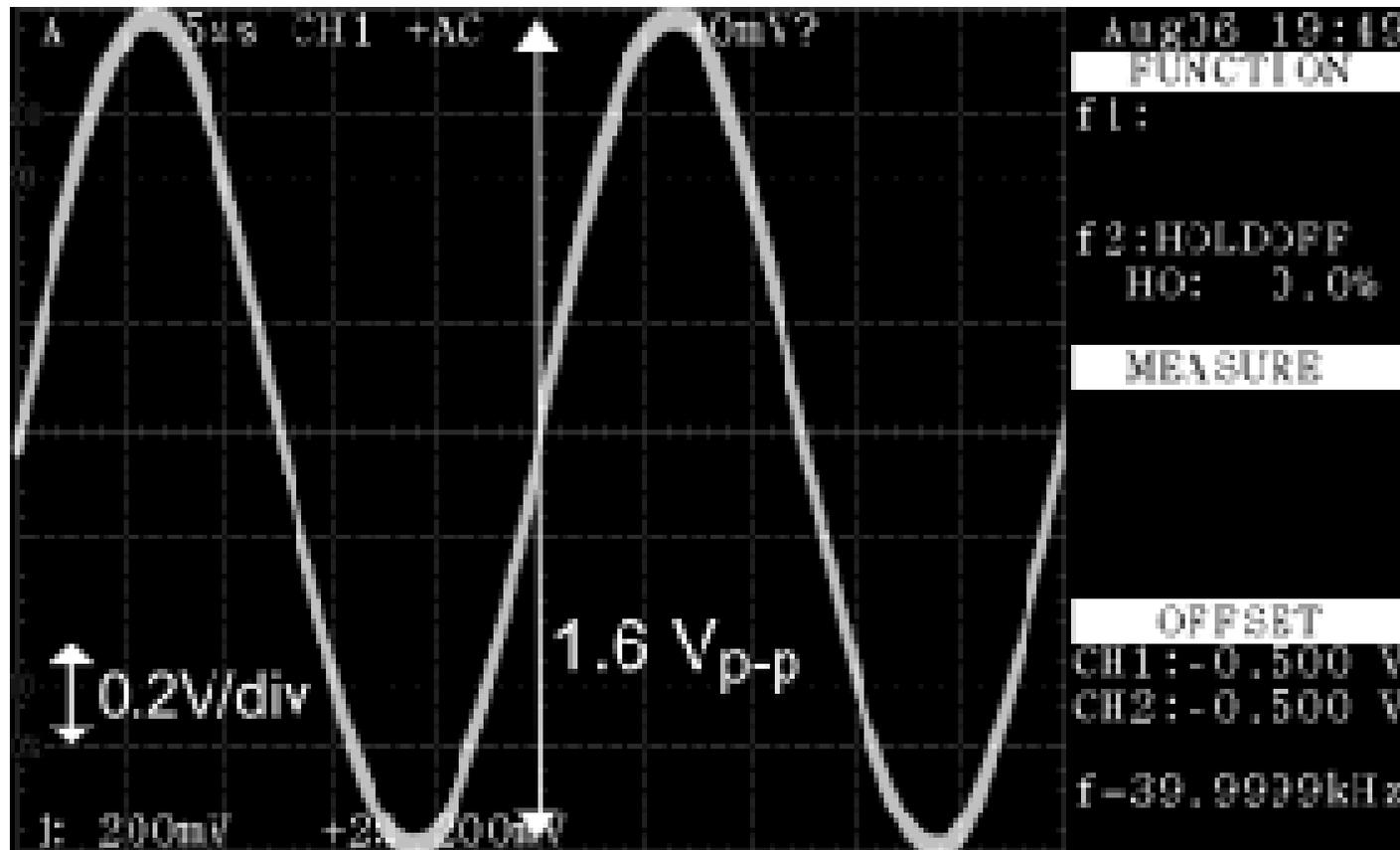
1 V
 gain : 53 [dB]
 f_{-3dB} : 30 [kHz]
 GBW : 13.4 [MHz]

F/F+F/B OTAの1 V動作時の特性



F/F+F/B OTAの1 V動作時の特性

出力スイングの様子 ($A_v = -2$)



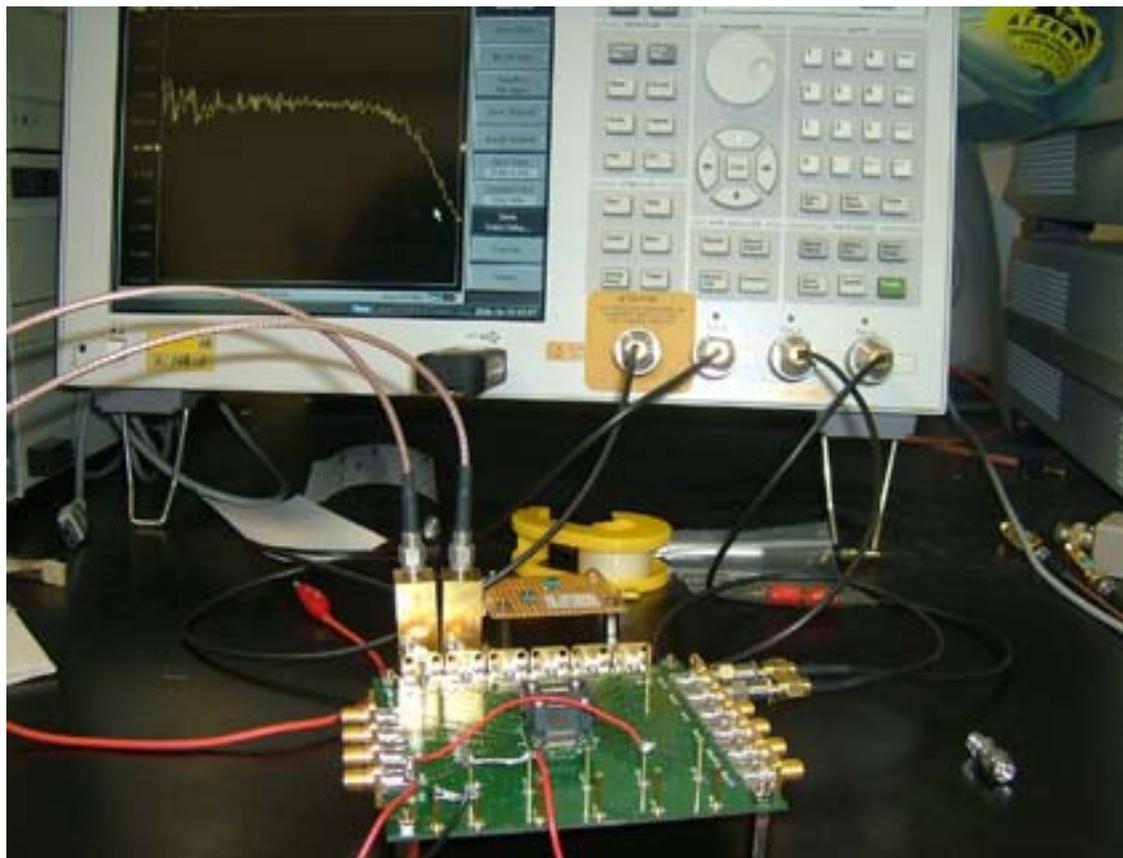
測定結果 まとめ

	記号	設計値	測定 1.8 V	測定 1 V	測定 3 V
差動 g_m	g_{md}	22.7 mS	21.9 mS	—	—
差動出力抵抗	R_{outd}	11.6 k Ω	12.6 k Ω	—	—
差動電圧利得	A_{vd}	48.2 dB	48.5 dB	53 dB	43.9 dB
同相電圧利得	A_{vc}	-17.6 dB	-20 dB	—	—
同相抑圧比	CMRR	65.8 dB	68 dB	—	—
-3 dB周波数	f_{3dB}	300 kHz *	300 kHz *	30 kHz *	500 kHz *
利得大域幅積	GBW	77 MHz *	81.7 MHz *	13.4 MHz *	78.7 MHz *
消費電流	I_{DD}	2.8 mA	2.4 mA	59 μ A	9.16 mA

* 測定系の寄生容量を含む

設計値とよく合っている

測定風景

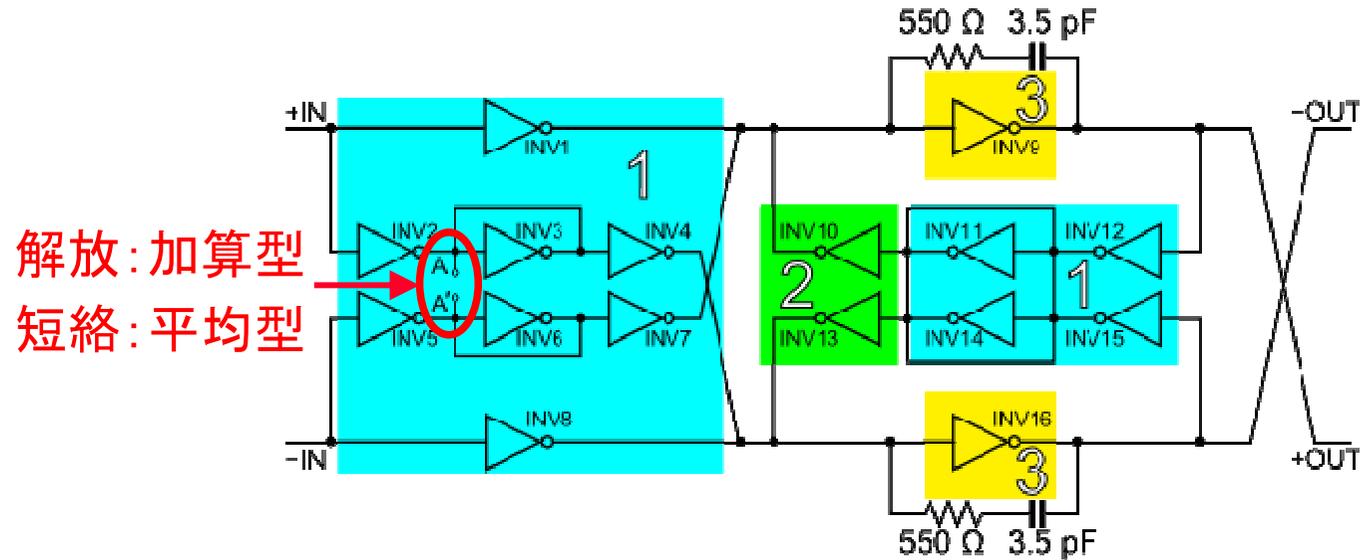


平均の有無による利得の相異

概 要

- 同相検出の有無
 - 平均しなければ利得が2倍に増加
 - 平均しない効果を確認

最終的な回路

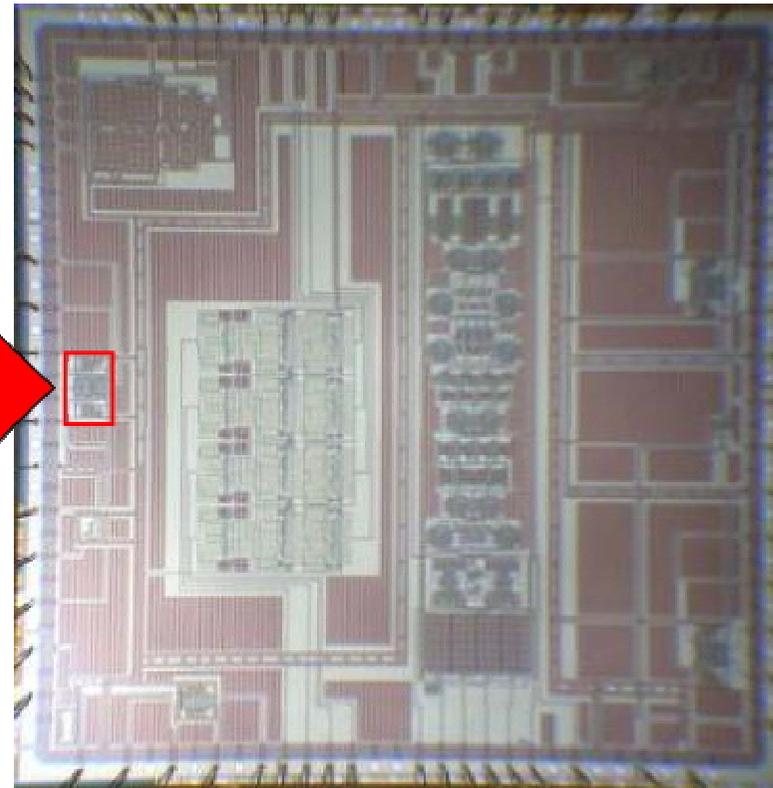
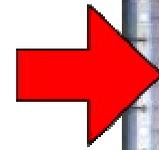
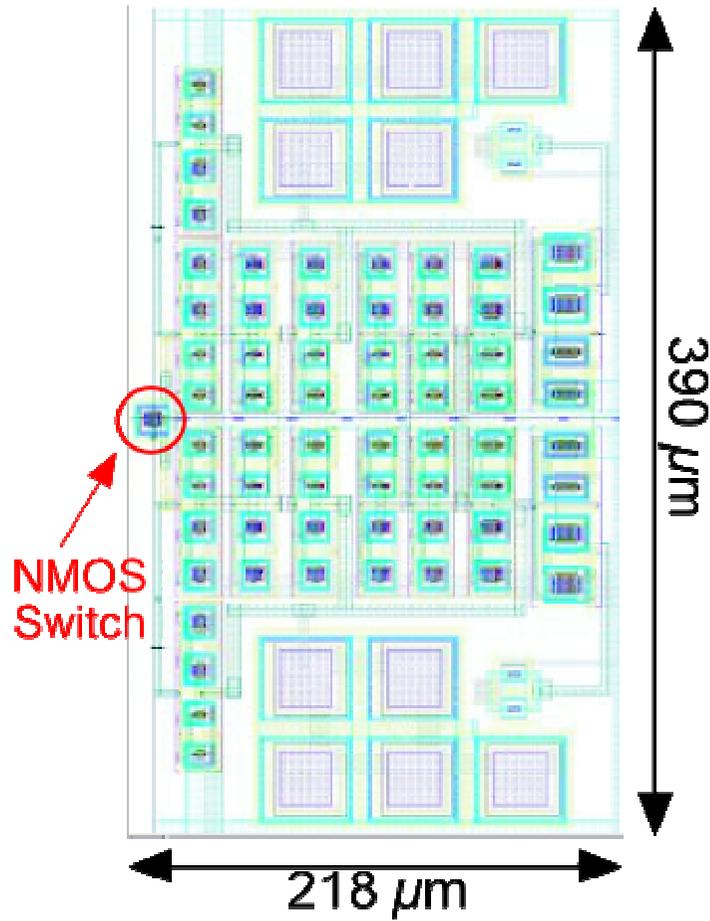


領域	L [μm]	W_p [μm]	W_n [μm]
1	0.90	15.0	5.40
2	0.90	30.0	5.40
3	0.90	71.0	25.0

同相検出の有無による違い(シミュレーション)

同相検出の有無	なし(加算型)	あり(平均型)
電源電圧	1.8 V	1.8 V
動作電流	3.01 mA	3.01 mA
差動利得	76.2 dB	71.0 dB
差動トランス コンダクタンス	136 mS	75.2 mS
出力抵抗	47.2 kΩ	47.2 kΩ
同相除去比	117 dB	112 dB
-3 dB周波数	13.4 kHz	13.3 kHz
Unity Gain Freq.	83.5 MHz	53.4 MHz
位相余裕	60 deg	70deg

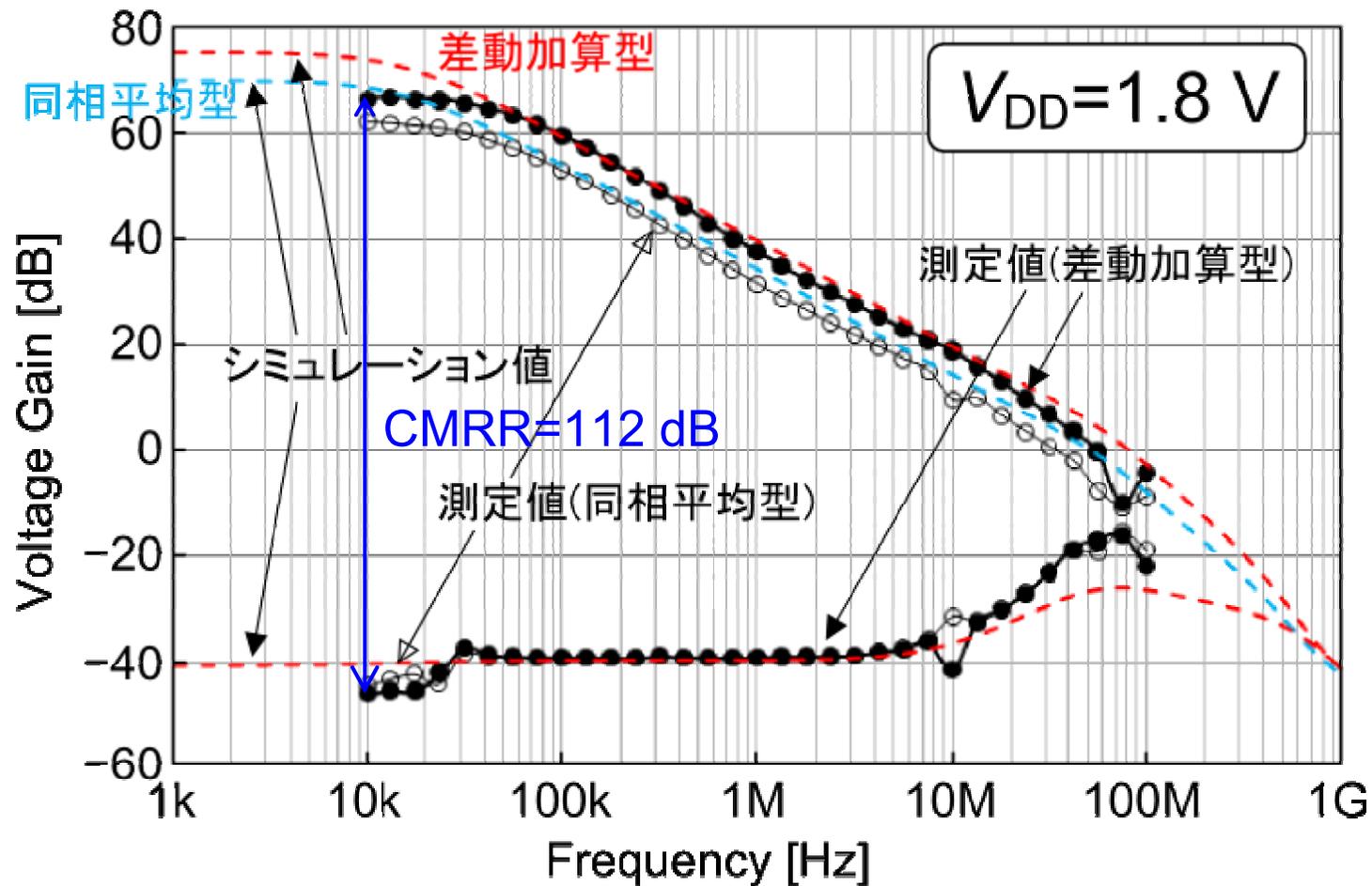
レイアウトとチップ写真



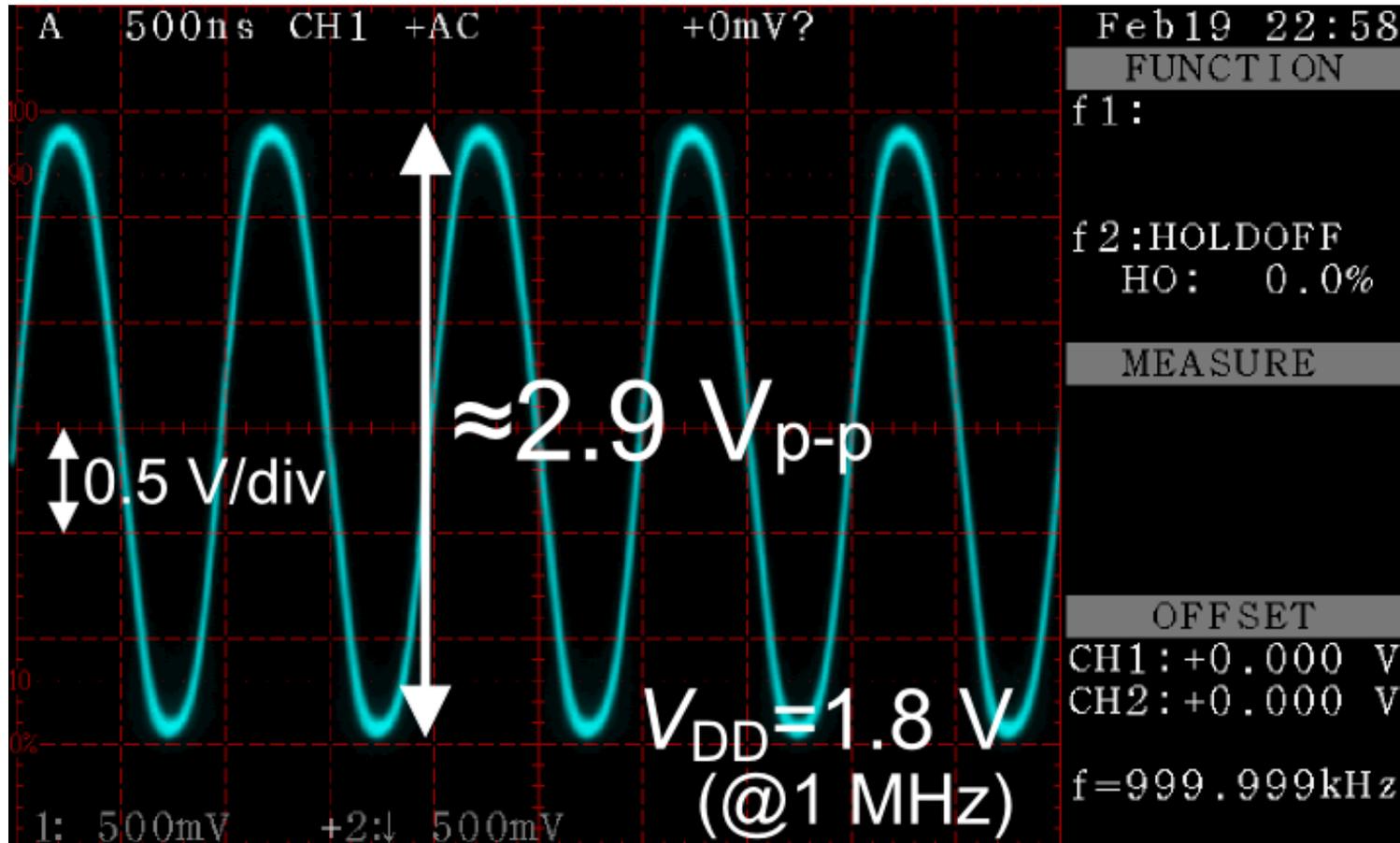
実際のLSIの写真



利得周波数特性の測定結果



差動出力電圧スイングの様子



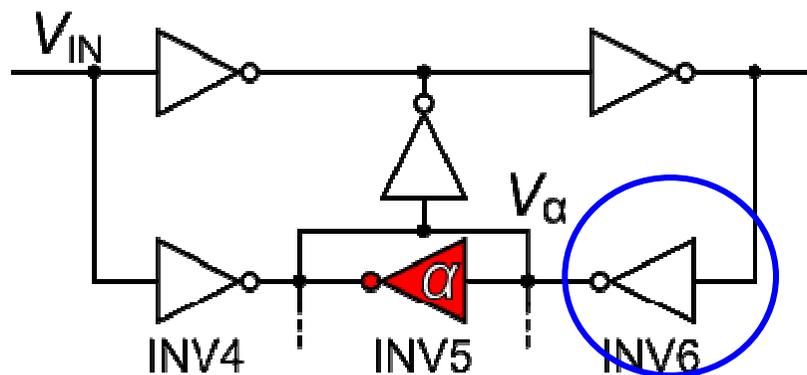
同相除去比の改善

概 要

- 平均回路共用の弊害とその改善
 - -1倍が不正確になった
 - インバータの g_m を補正して同相除去比を改善
- 使用素子の見直しによる占有面積低減
 - MIMCAP→MOSCAP, RF用MOS→LOGIC用MOS



平均回路共用化により-1倍の誤差増加



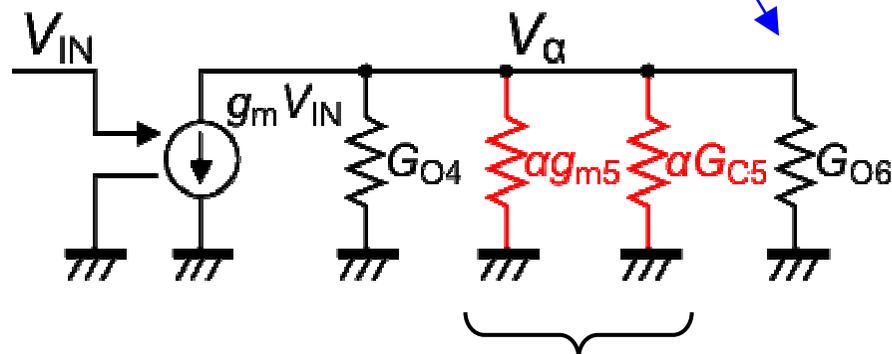
$$V_{\alpha} = \frac{I_{\alpha}}{G_{\text{total}}}$$

$$= \frac{-g_m V_{\text{IN}}}{2G_0 + \alpha(g_m + G_0)}$$

$V_{\alpha} = -V_{\text{IN}}$ としたい

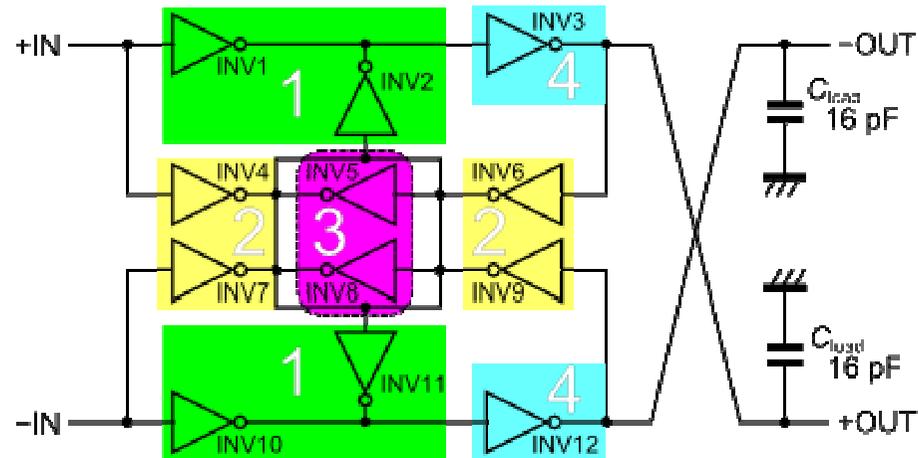
$$\therefore \alpha = \frac{g_m - 2G_0}{g_m + G_0} \approx 0.864$$

$\therefore g_m = 1.50 \text{ [mS]}, G_0 = 71.17 \text{ [\mu S]}$



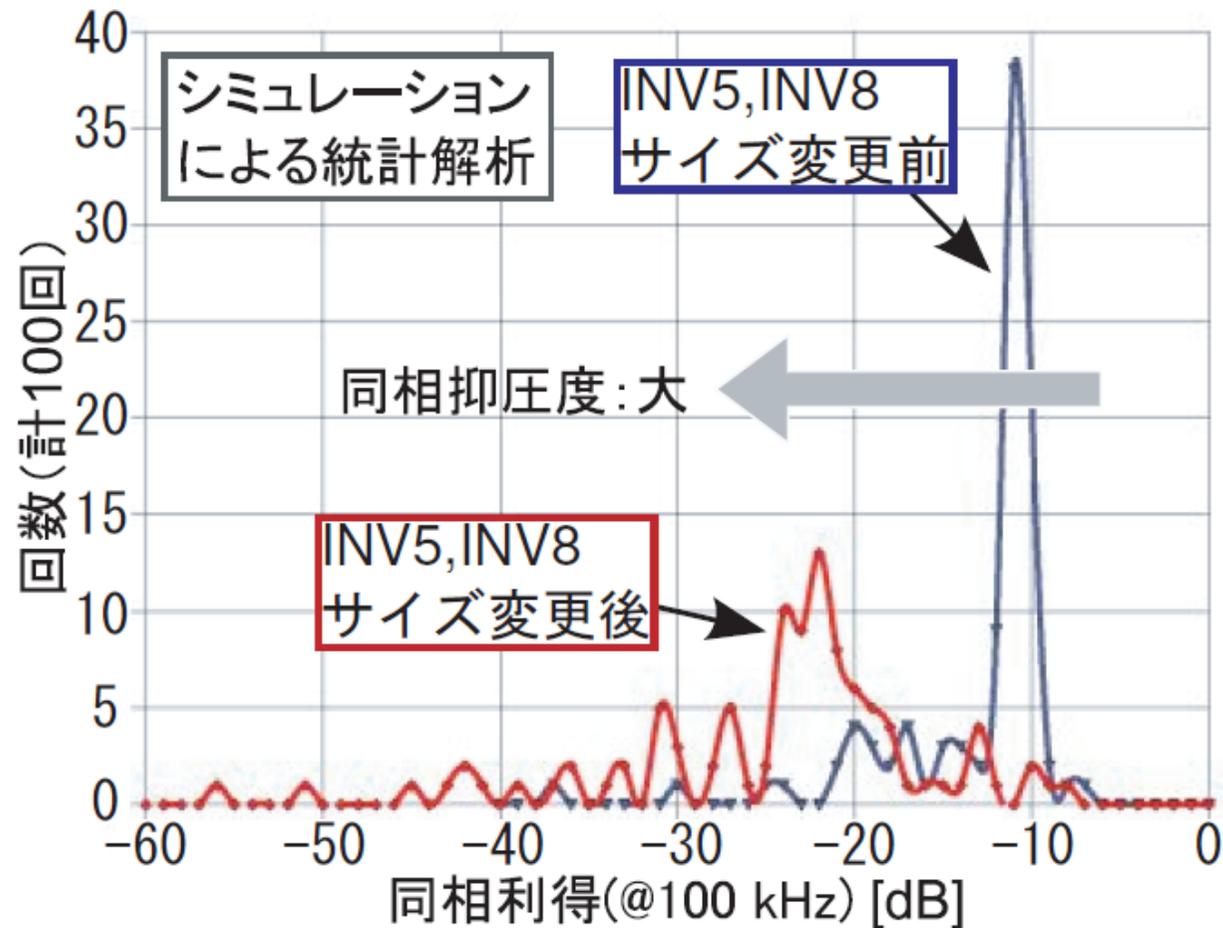
INV5のサイズを最適化して改善する

最終的なディメンジョン



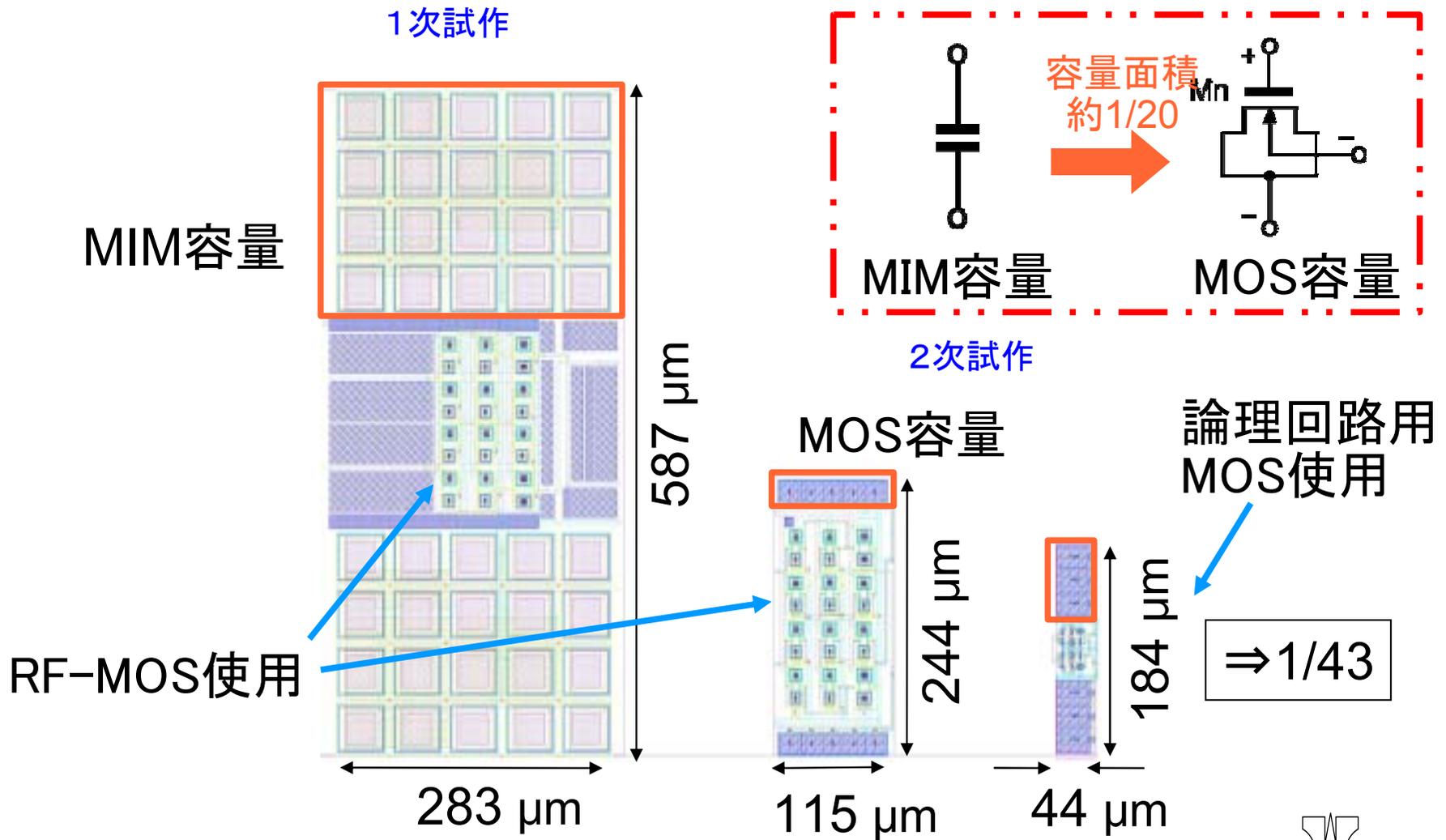
領域	L [μm]	W_p [μm]	W_n [μm]
1	0.18	3.00	1.50
2	0.18	4.00 $\times 0.864$	2.00 $\times 0.864$
3	0.18	3.46	1.73
4	0.18	10.0	5.00

L, Wのばらつきによる影響 (統計解析*)

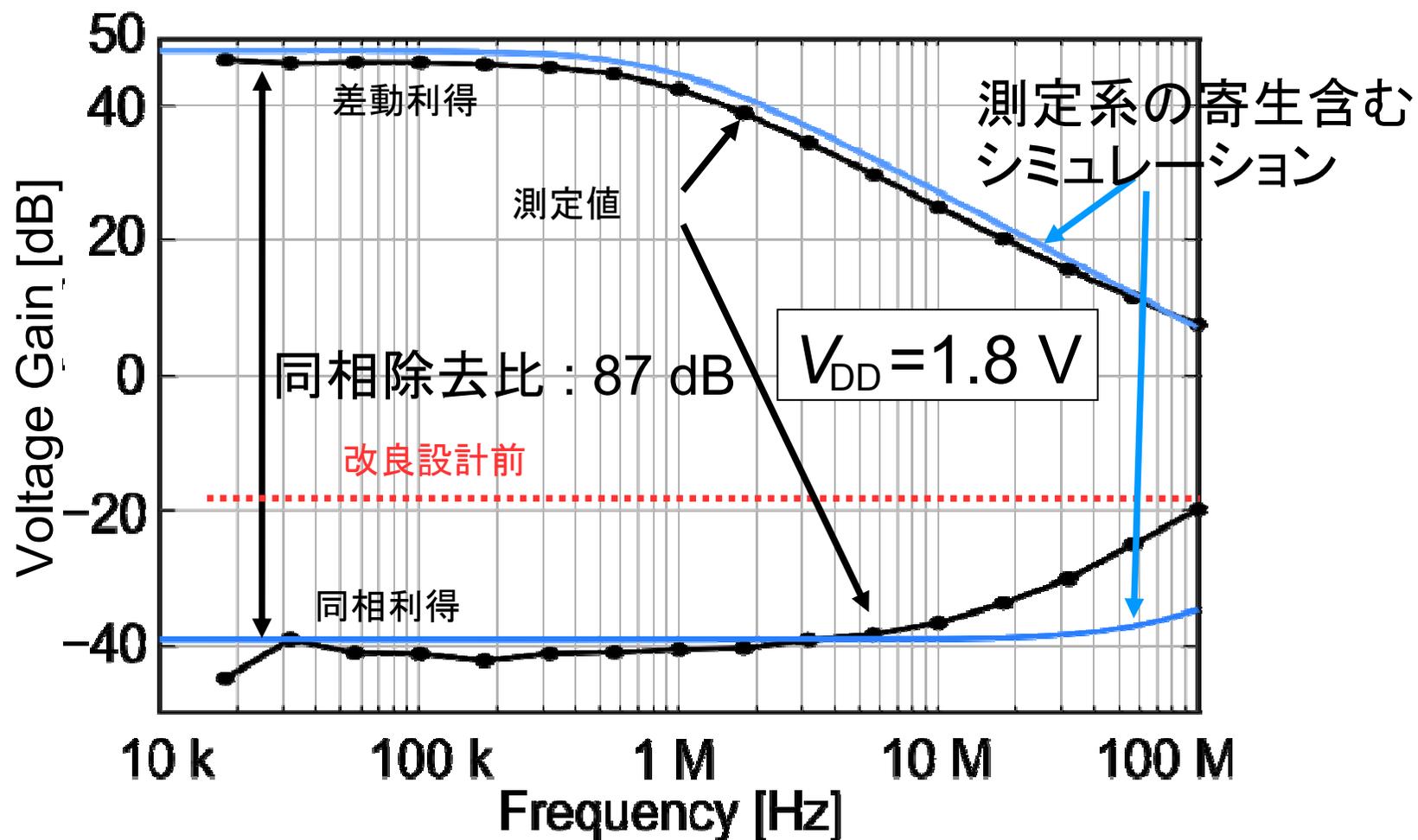


*) TSMC支給のバラつきモデルを使用

使用素子の見直しによる占有面積低減



CMRR改善の効果(実測値)



平均回路のCMRR改善効果(実測値)

	改善後	改善前
電源電圧	1.8 V	1.8 V
動作電流	2.88 mA*	2.4 mA*
差動利得	47 dB	48 dB
同相利得	-40 dB	-17 dB
同相除去比	87 dB ←	65 dB
3 dB 周波数	740 kHz	800 kHz

* シミュレーション値

同相除去比(CMRR)を22 dB改善



高利得化の設計と試作結果

概要

- 初段をカスコード化($V_{DD}=1\text{ V}$)
 - 基板バイアス効果の利用で V_{th} を低下
 - 初段のCMFFを廃止

2段構成全差動アンプの特徴再考

- 2段目の出力は $V_{DD}/2$ にしたい
 - 出力電圧を制御したいのでCMFBが必要
⇒2段目の入力同相電圧も $V_{DD}/2$ になる

↓
- 1段目の出力は実質固定電位($\approx V_{DD}/2$)
 - 2段目の利得が25dB前後で出カスイングが $1V \Rightarrow 50mV @ 入力$
 - 1段目の出力電圧はスイングしないのでCMFFなしで行けるかも?
⇒ $V_{DS}=0.5V$ 固定なら、ほとんど常に5極管領域動作!

↓
- 1段目:カスコードINVを用いたCMFF型OTA(加算型)
- 2段目:CMFB型OTA(抵抗で同相検出する)
- これで $V_{DD}=1V$ は可能か?

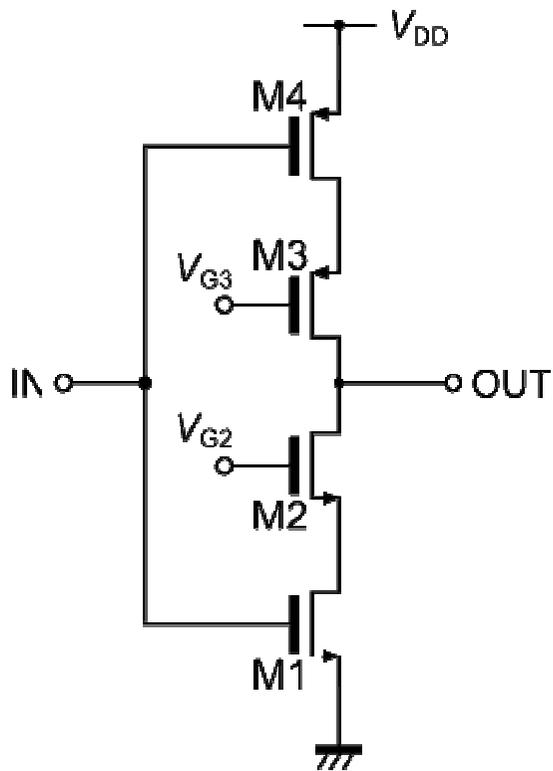
カスコード型CMOSインバータ

- 4段縦積みで設計が可能か？

- 出カスイングは50 mV程度
- 基板バイアス効果で V_{th} 低減



試す価値あり！



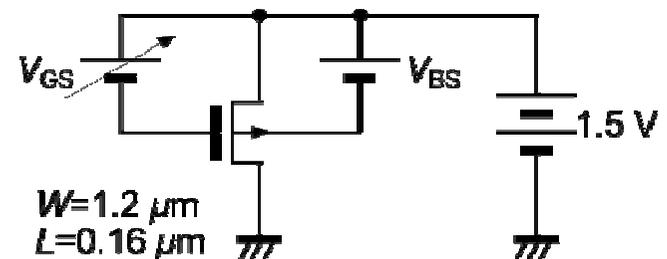
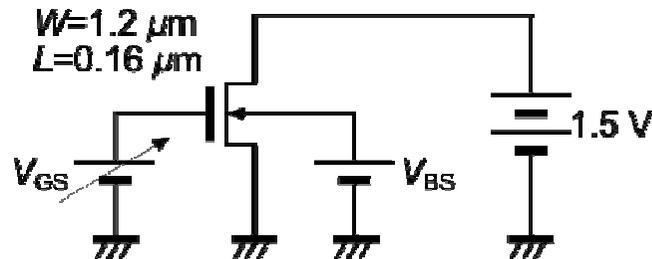
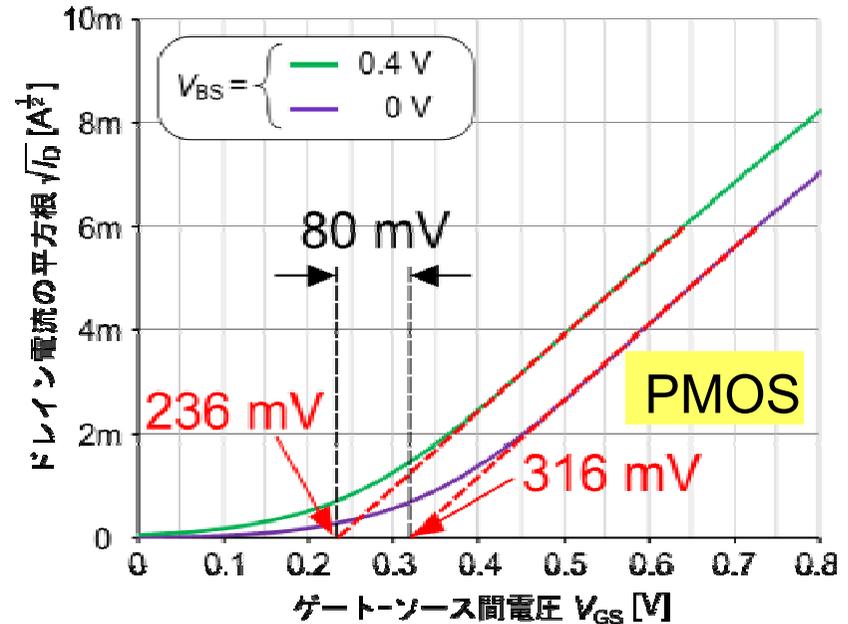
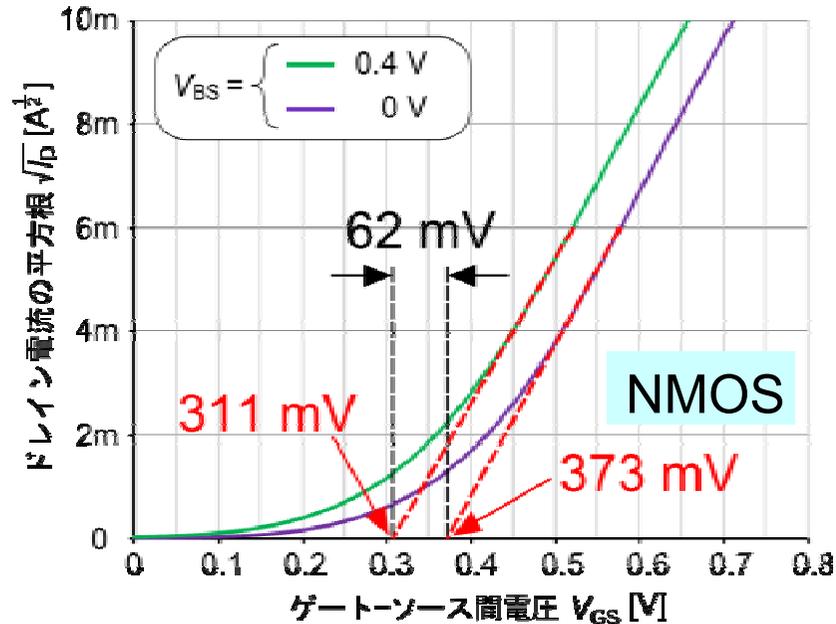
試作プロセスの特徴を活用する

Renesas社 0.15 μm CMOSトリプルウェルプロセス(マイコン用)

- 最小ゲート長の利用
 - 電流当りの g_m が大きい \Rightarrow 高利得化に有利
 - インバータ単体の電圧利得が24 dB程度
- NMOS/PMOSとも独立に基板バイアス可能
 - 基板バイアスにより V_{th} の和を約0.2 V低下できる
 - $V_{DD}=1$ Vでカスコードインバータを設計 \Rightarrow 高利得化
 \Rightarrow 差動電圧利得60 dBを目標とする



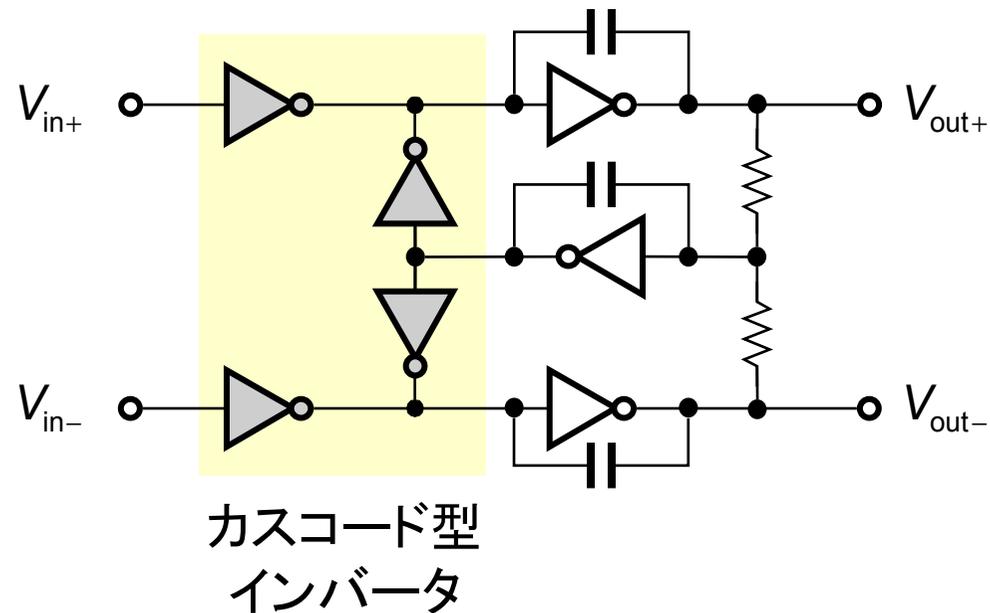
基板バイアスの効果(シミュレーション)



バラつきを考慮して $|V_{BS}|=0.4$ V に留める

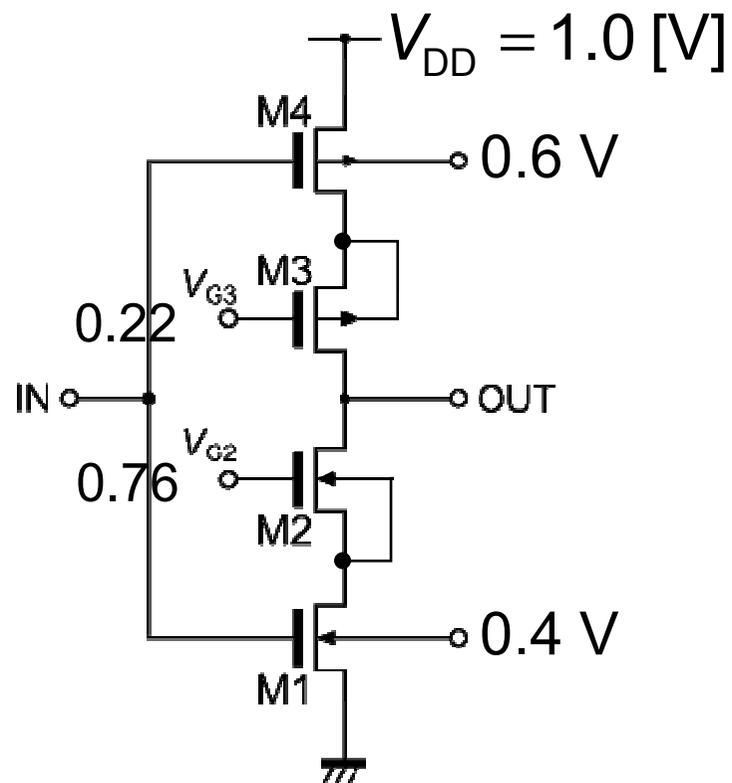


全体の回路構成

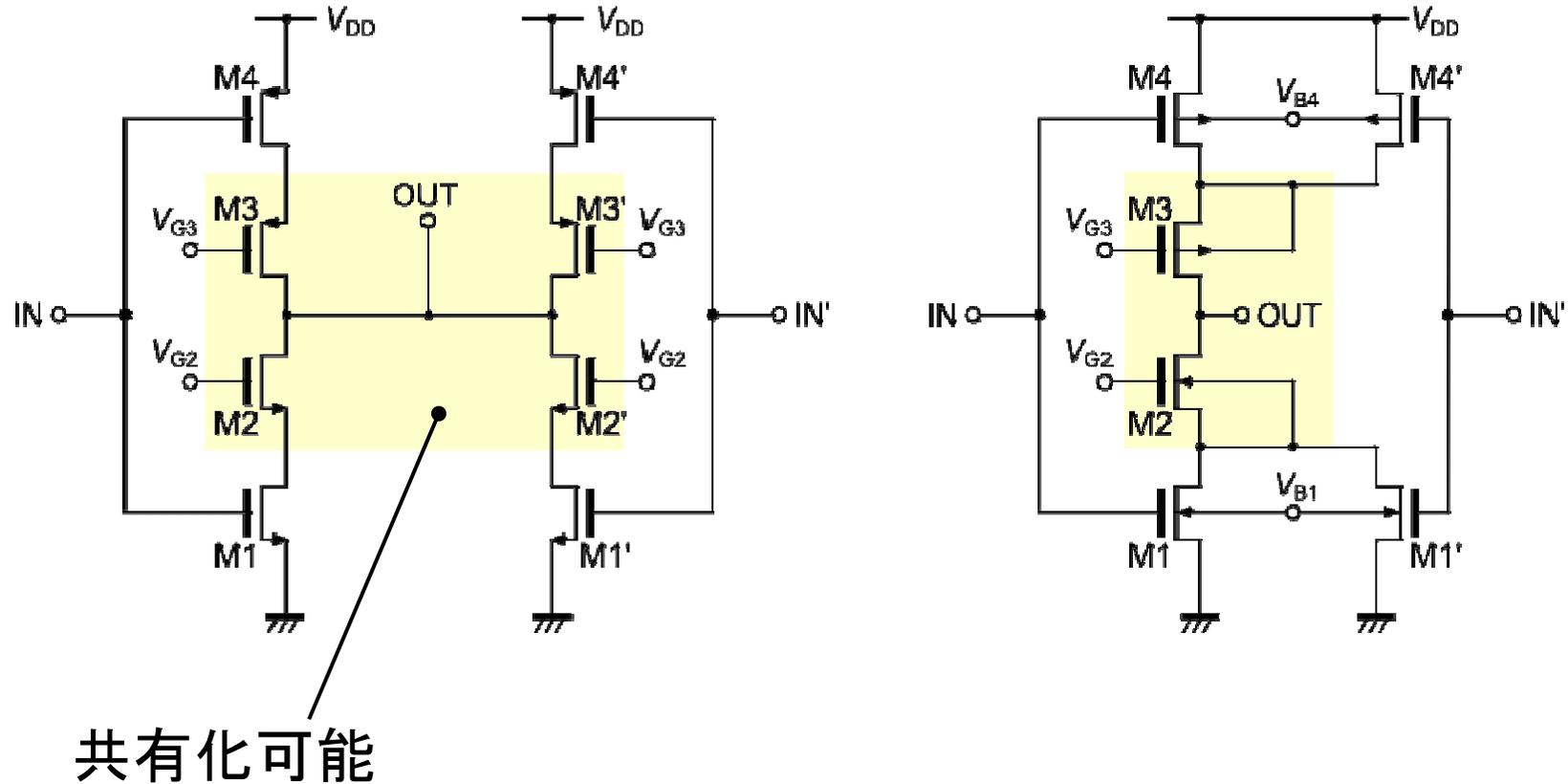


- 初段はCMFFなしのカスコードインバータ
 - CMFBのループ利得増加(3段アンプ)により対応
- 2段目は通常形式のインバータ
 - 駆動能力改善のため, 大きなWで設計
- 抵抗で出力同相成分を検出

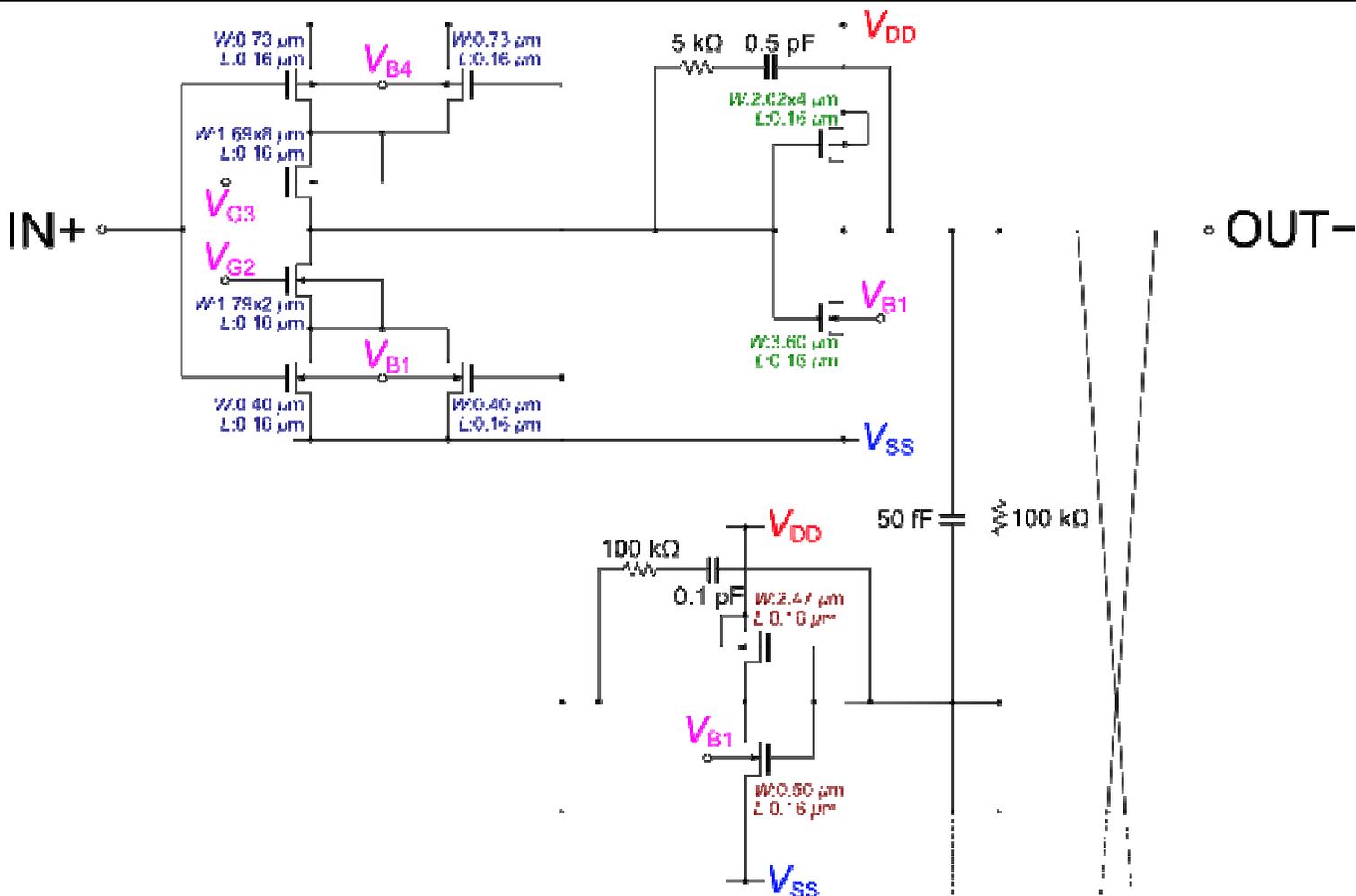
カスコード型インバータの設計



カスコードトランジスタの共有化



最終的な回路(上半分を示す)

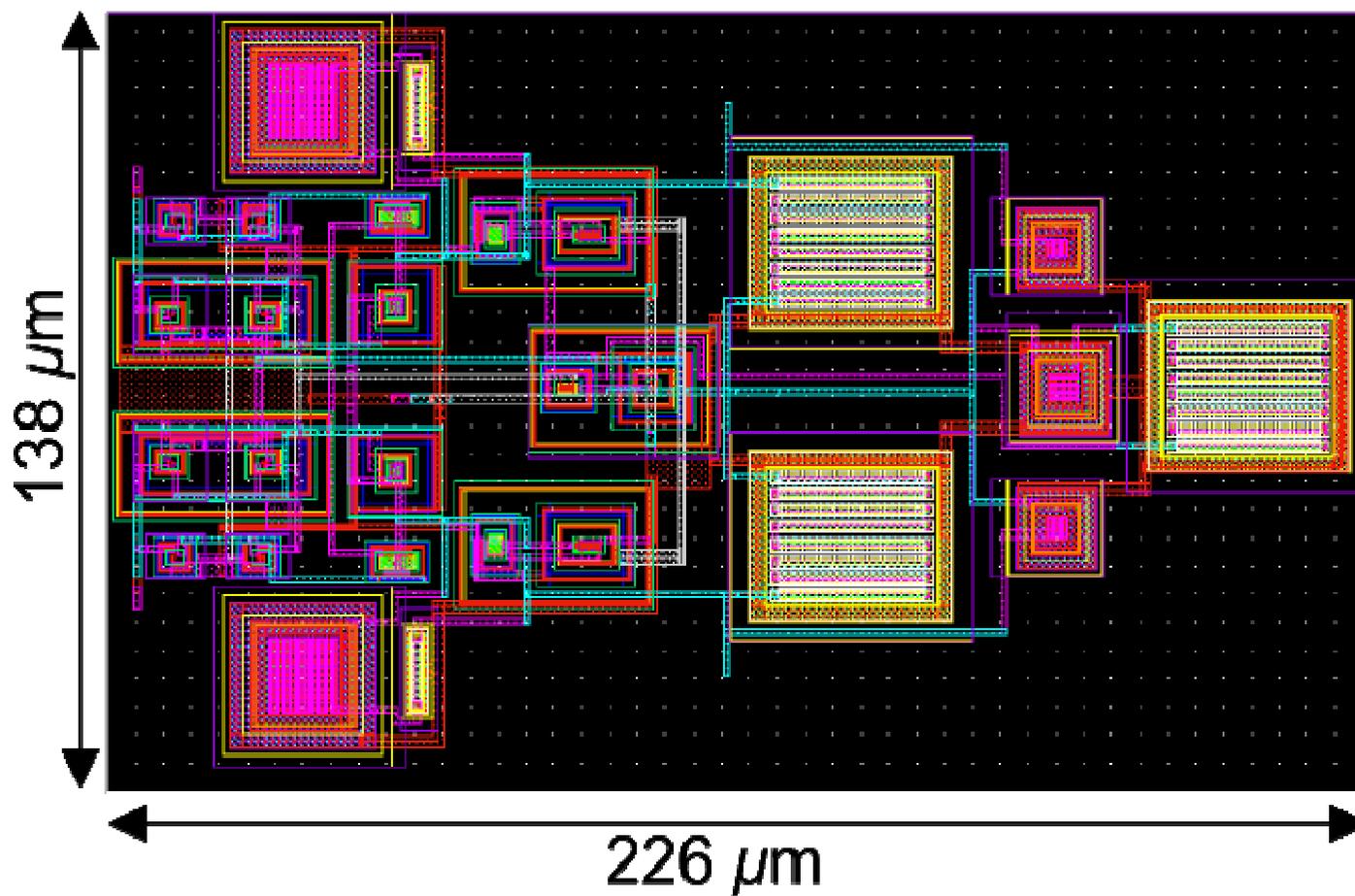


シミュレーション結果

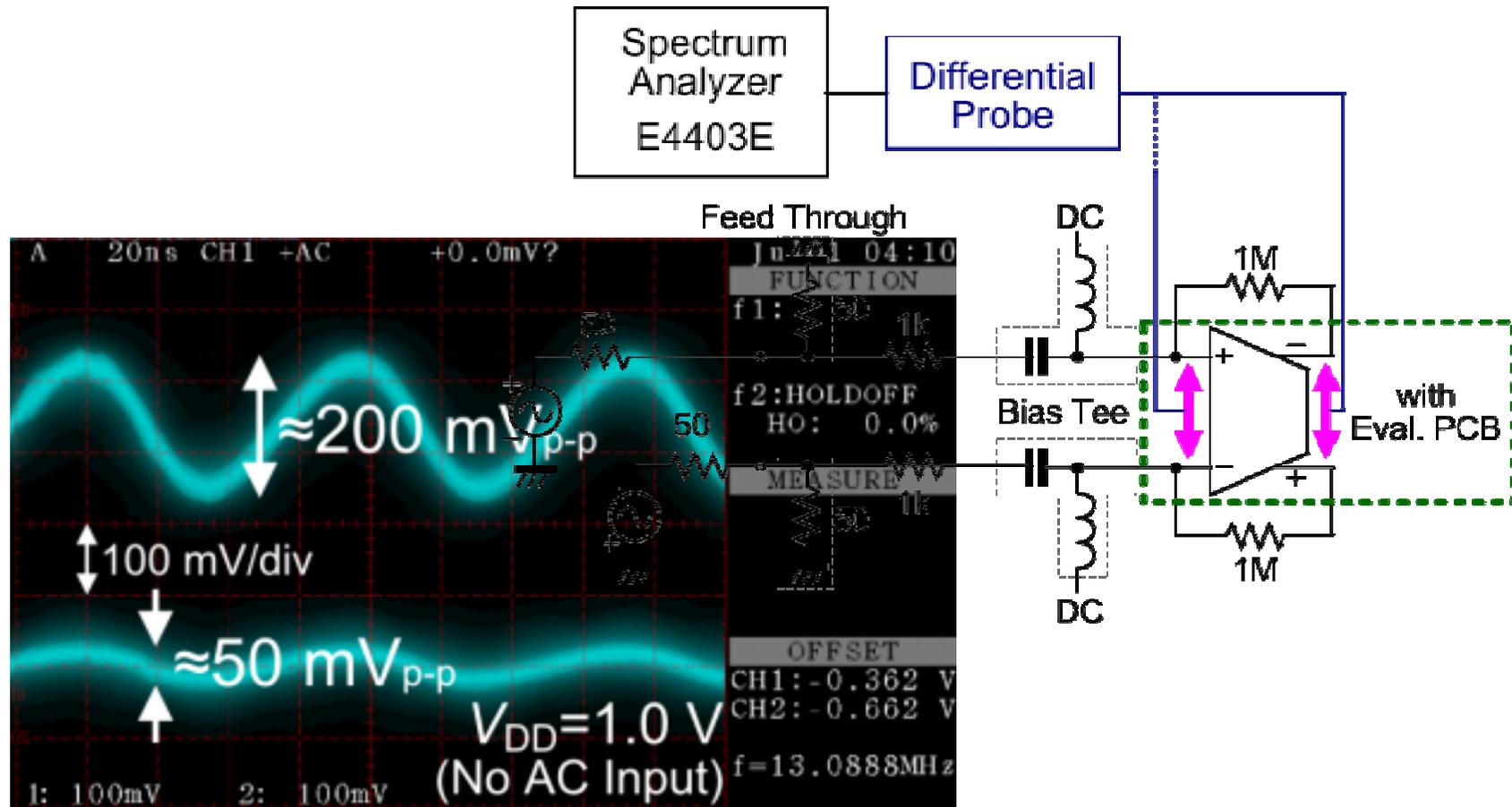
電源電圧	1.0 V
差動利得	63.7 dB
同相除去比	87.8 dB
動作電流	108.5 μ A
-3 dB周波数	20.5 kHz
利得帯域幅	30.4 MHz
差動位相余裕	79 deg
出力抵抗	8.81 k Ω

負荷: 50 k Ω + 5 pF

レイアウト結果

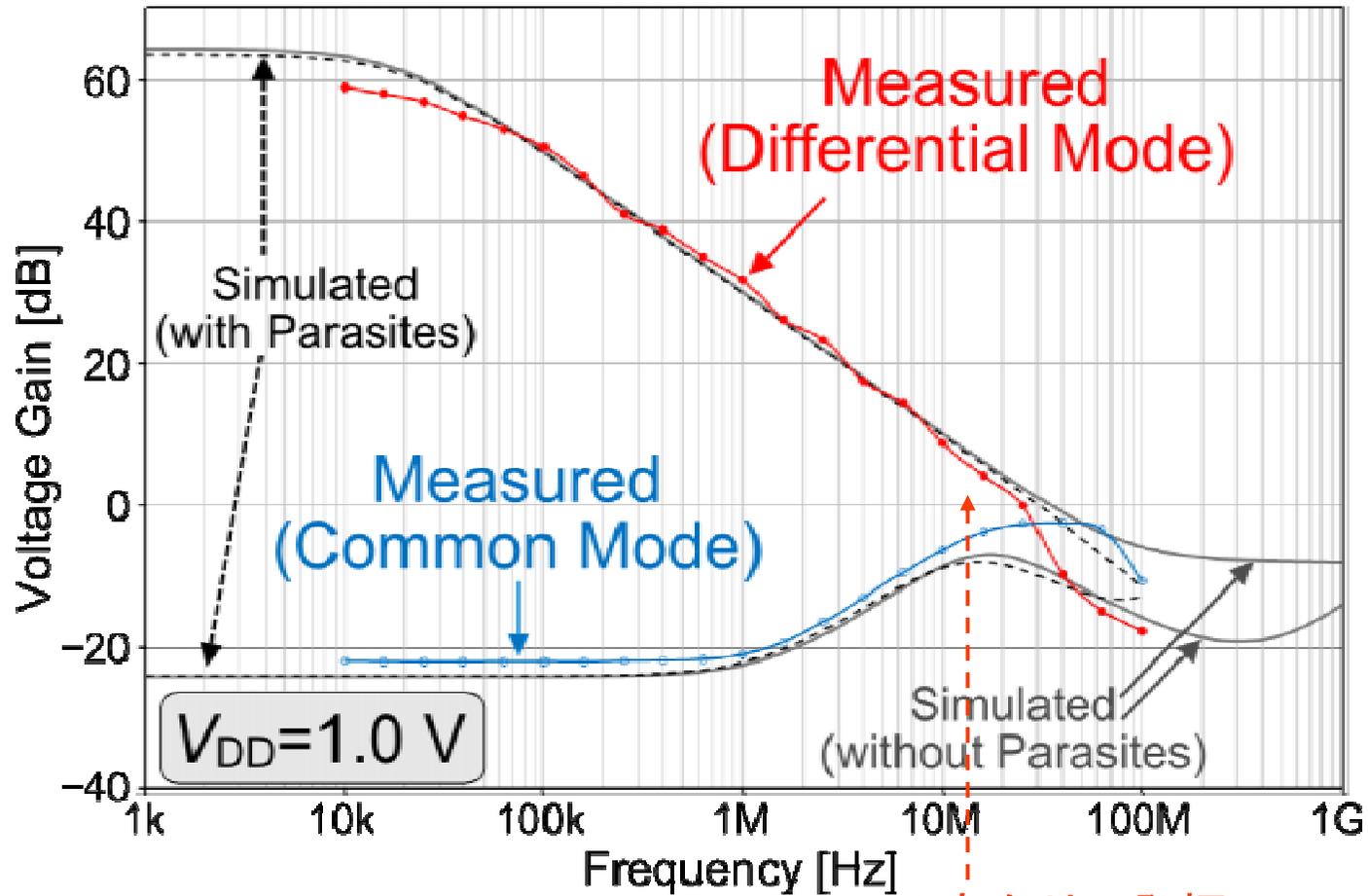


測定回路



入力信号がない状態で発振(同相)を確認

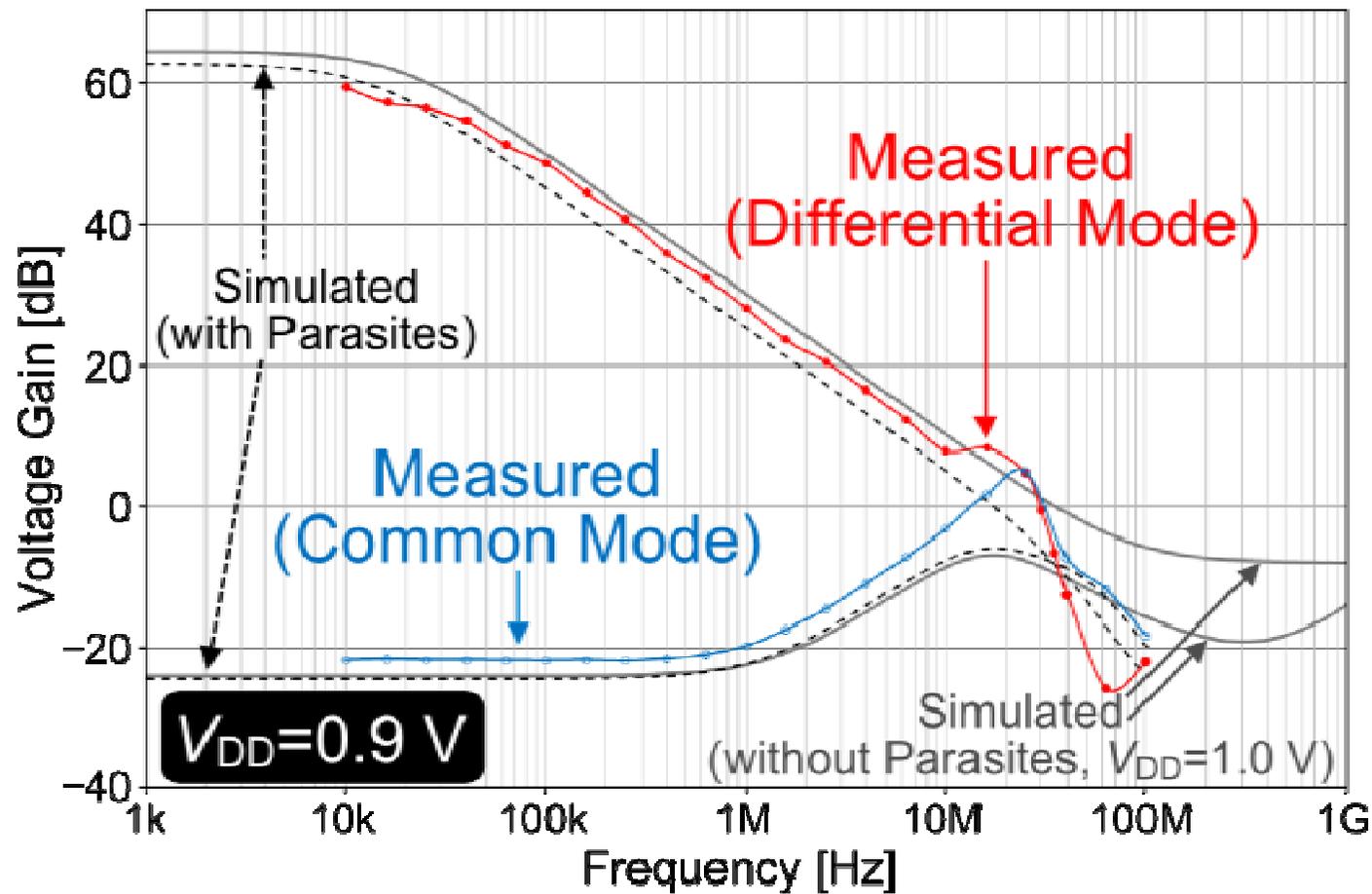
周波数特性の測定結果 (@ $V_{DD}=1.0$ V)



このあたりで発振していた



周波数特性の測定結果 (@ $V_{DD}=0.9\text{ V}$)



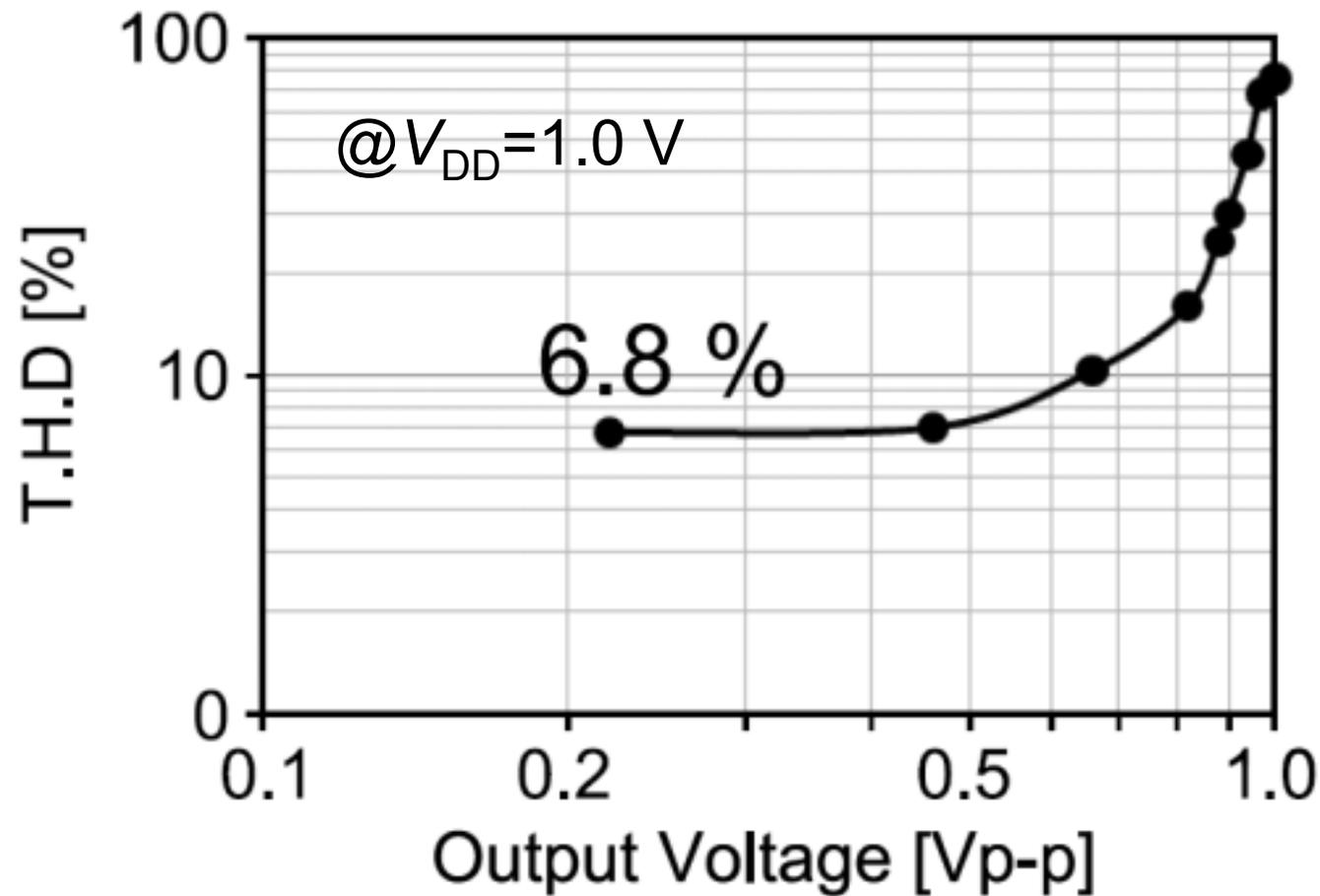
測定結果のまとめ (@ $V_{DD}=1.0$ V)

	シミュレーション	実測
電源電圧	1.0 V	1.0 V
差動利得	63.7 dB	59.0 dB
同相除去比	87.8 dB	80.9 dB
動作電流	108.5 μ A	59.9 μ A
-3 dB周波数	20.5 kHz	32 kHz
利得帯域幅	30.4 MHz	25 MHz
差動位相余裕	79 deg	—
出力抵抗	8.81 k Ω	—

実測は、発振を止めるため負荷容量を低減して測定.



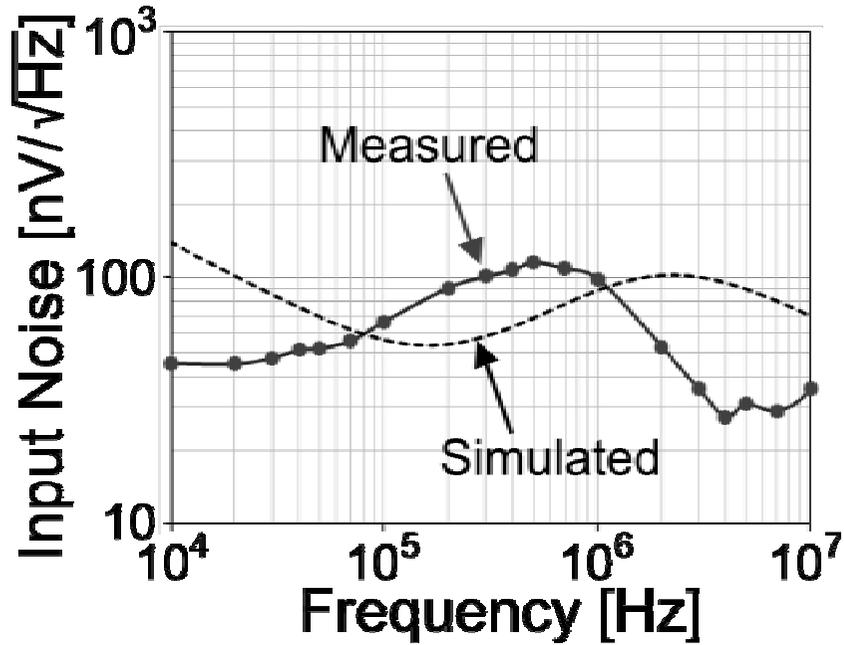
全高調波歪率の測定結果



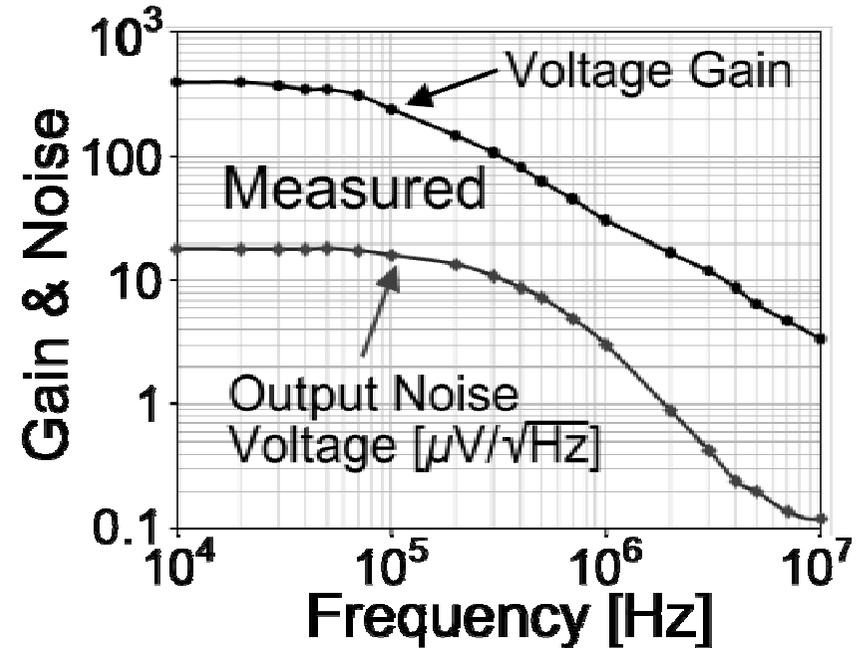
第10高調波までを測定



入力換算雑音の測定結果



入力換算雑音の周波数特性*



出力雑音と電圧利得の周波数特性*

*)シングルエンド出力を入力換算したので、差動成分と同相成分を含む。

更なる低電圧化を目指して

獲らぬ狸の皮算用？

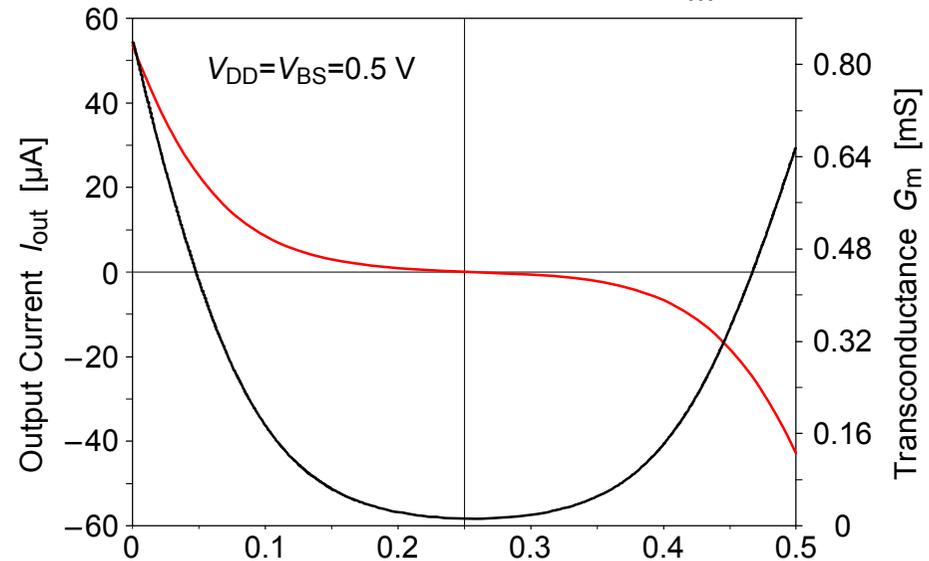
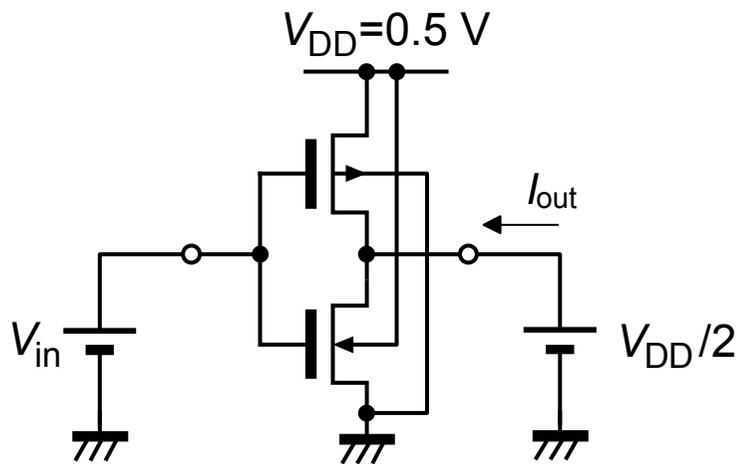
- 基板バイアス効果をしゃぶりつくす
- 弱反転領域動作の利用

いくつかのアイデア

- 基板バイアス効果をしゃぶりつくす
 - $V_{DD}=V_{BS}=0.5\text{ V}$ にしてしまえ!
 - その他
- 弱反転動作の積極的な利用
 - $V_{DD}=10V_T=0.25\text{ V}$ まで動作する!(Vittoz)
 - バラつきに強い回路の考案
 - デジタル補正技術の利用
- アンプだけ出来りゃいいわけじゃない
 - 他の機能ブロックをどのように実現するか?
 - Ex: 縦積みの代表ミクサはどうする?
 - スイッチングしなけりゃO.K.? 対称性の利用?

$V_{DD}=V_{BS}=0.5\text{ V}$ にしてしまえ!

- $|V_{th}|=V_{DD}/2$ なら常に5極管領域
 - $V_{th}>V_{DD}/2$ なら, デッドゾーンができる←NG
 - $V_{th}<V_{DD}/2$ なら, レール付近で3極管領域に入るが, I_{out} 自体は流れるので影響ない
- $V_{BS}=0.5\text{ V}$ にすると, $V_{th}<0.25\text{ V}$ になる
 - F/F+F/B構成で全差動アンプが実現できる? 0.25V 付近で G_m 小



謝 辞

STARCおよびルネサステエレクトロニクスの方々には多岐にわたり議論して頂き、チップ試作の機会を与えて下さいました。

東芝の方々には技術的に深い議論をしていただきました。

また、北見工大の学生諸君には設計・測定をしていただきました。

我々の研究を支えて下さった、これらの方々には深く感謝いたします。

本研究の一部は、VDECを通し、日本ケイデンス株式会社の協力で行われたものである。