

ミックスト・シグナル LSI テスタ技術の基礎



（後編）

MEMS技術がLSIテストの課題を解決

小室貴紀, 小林春夫, 酒寄寛, 光野正志

前半ではテスト容易化設計技術について解説する。デジタルLSIの分野ではテスト回路の挿入やテスト・パターン生成について自動化が進んでいる。一方、アナログ部のテストについては課題が多い。例えばLSI テスタとBIST (built-in self-test) 回路を併用してテストを行うなどの手法が必要になる。後半では、MEMS 技術を使った熱膨張スイッチや可変インダクタの技術を紹介する。 (編集部)

本稿ではミックスト・シグナルLSI テスタについて、アナログ関係のハードウェア技術を中心に解説しています。前回(本誌2005年6月号, pp.108-117)の前編では、LSI テスタを構成する要素技術や実際のLSI テストの例について説明しました。今回は、テスト容易化設計、およびLSI テストのためのMEMS 技術開発、通信用A-D変換器評価アルゴリズム開発などの産学協同研究事例を紹介します。

1 テスト容易化設計技術

LSI 内部の回路について、テストしやすいかどうか (testability ; テスト容易性)を示す尺度として、以下のものがあります。

- **可制御性**(controllability) 回路内部の状態を入力端子から制御しやすいかどうか
- **可観測性**(observability) 回路内部の状態を出力端子から観測しやすいかどうか

これらはもともと現代制御理論の分野から借りてきたことばです。DUT(device under test ; 測定対象となるデバイス)の内外にテスト回路を付加して可制御性や可観測性を向上させることがテスト容易化技術の目的です。また、テスト容易性に配慮した設計のことを、よくDFT(design

for testability)と呼びます。

● デジタルではテスト回路生成の自動化を追求

デジタルLSIのテストでは、DUTの回路規模が大きいたことが最大の問題となっています。すべての入力の組み合わせをテストすることは、事実上不可能です。

デジタルLSIの回路設計手法は自動化(自動配置配線や論理合成など)を追求して発展してきました。そのため、テスト回路についても自動的に生成する手法が古くから検討されてきました。現在では、次に説明するスキャン・パス・テストやBISTなどの手法が実用化されています。

1) スキャン・パス・テスト

現在のデジタルLSIは、同期回路方式を前提に設計されています。すなわち、クロック信号を共有したDフリップフロップ(FF)の間に組み合わせ回路が挿入され、これらがクロック信号に同期して動作しています。

スキャン・パス・テストでは、各DFFの入力にセレクタ(マルチプレクサ)を付加し、DFF どうしを直列につないで一種のシフト・レジスタを構成します(図1)。専用ピンからそのシフト・レジスタにシリアル・データ(テスト・データ)を流し込むことによって、回路中の任意のDFFの入力値を設定できるようになります。入力値を設定した後、DFFの接続を元に戻して動作させれば、チップ内の任意の状態を再現することができます。また、動作後にもう一度シフト・レジスタを構成し、各DFFの出力値を外部に取り出すこともできます。

この方式が有効なのは、テスト用回路(シフト・レジスタを構成する部分)や、流し込むシリアル・データを比較的容易に自動生成できるからです。現在では、論理合成の際に、テスト回路を生成するオプションを選択するだけで、

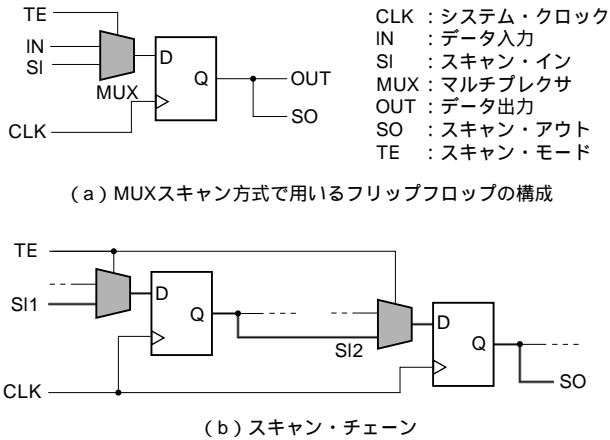


図1 スキャン・バス・テスト

スキャン・バス・テストでは、(a)のようにセクタ(マルチプレクサ; MUX)によってテスト・モードを切り替える。フリップフロップ(FF)のデータ入力ピンへの入力信号を、通常の入力とスキャン・インに切り替えて用いる。また、スキャン・アウトは通常の入力出力をファンアウトさせて用いる。(b)のようにセクタ付きのDFF(スキャンFF)を数珠つなぎにして、スキャン・チェーンと呼ぶシフト・レジスタを構成する。

テスト回路やテスト・データが手に入ります。ここで得られたシリアル・データは、そのままLSI テスタに与えることができます。テスト用回路やテスト手法の詳細について、回路設計者が意識する必要はほとんどありません。

最近ではテスト対象となるデバイスの回路規模が増大しているため、スキャン・バス・テストを行う際に数百Mビット相当のシリアル・データを取り扱うことが珍しくありません。LSI テスタには、このような大容量のデータを処理する能力が求められています。

スキャン・バス・テストとは異なりますが、シフト・レジスタを使って値を設定したり、読み出したりするテスト技術として、「バウンダリ・スキャン」があります(図2)。これは、LSI 間の接続テスト(ボード上の配線パターンやLSI の入出力バッファのテスト)やLSI の内部回路のテストなどに使われる手法で、IEEE 1149.1として標準化されています。バウンダリ・スキャンでは、LSI の入出力バッファと内部回路の間にDFFを挿入し、これらのDFFを数珠つなぎにしてシフト・レジスタを構成します。あとは、スキャン・バス・テストの場合と同じように専用ピンからテスト用のシリアル・データを流し込みます。

2) ロジック BIST(シグネチャ解析法)

テスト回路をチップに埋め込み、テストしやすくする手法をBISTと呼びます。デジタルLSIの論理回路部分を対象としたBISTが「ロジックBIST」です(図3)。ロジック

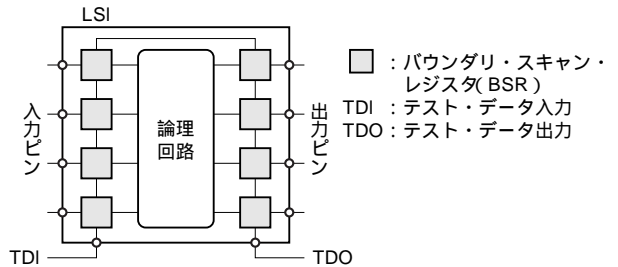


図2 バウンダリ・スキャン・テスト

バウンダリ・スキャン方式では、LSIのピンと内部回路の間(境界部分)にバウンダリ・スキャン・レジスタを設ける。これらを数珠つなぎにしてシフト・レジスタを構成する。

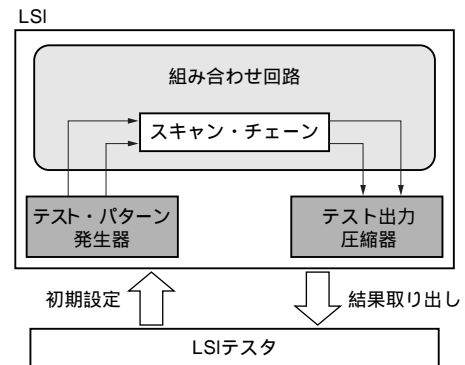


図3 ロジック BIST

テスト・パターン発生器で生成されるテスト・パターン(疑似ランダム・パターンなど)をスキャン・チェーンを介して各フリップフロップに与える。各フリップフロップの状態はスキャン・チェーンを介してテスト出力圧縮器に送られ、順次圧縮される。最終的に圧縮された結果が外部に取り出される。

ク BIST では、シグネチャ解析法がよく利用されています。この手法では、テスト・パターン発生器としてLFSR (linear feedback shift register; M 系列発生回路)と呼ばれる回路が、テスト出力圧縮器としてMISR (multiple input signature register)がよく利用されます。いわば、LSI テスタが持つ、テスト・パターンをDUT に与える機能をチップ上に組み込んだ手法とも言えます。

3) メモリ BIST(RAM BIST)

システムLSI内部のRAMブロックのテストを容易化するため、メモリBIST(RAM BIST)が利用されます。これは、チップ内にパターン発生器とアドレス発生器、結果比較器を埋め込む手法です(図4)。テスト・パターンの生成では、マーチングやチェック・ボードと呼ばれるアルゴリズムがよく用いられます。メモリBISTではRAMブロックに書き込んだデータを読み出すことが基本です。論理回路部分をテストする場合と異なり、期待値の生成や保持は不要となり、比較的簡単な回路でBIST機能を実現できます。