



群馬大学

マルチビット・ローパス $\Delta\Sigma$ AD変調器
DAC非線形性
2次DWAアルゴリズムの研究

群馬大学電気電子工学科

萩原広之 傘 昊 小林 春夫



発表内容

- 研究目標
- LP $\Delta \Sigma$ AD変調器
- DAC非線形性1次ノイズシェープ
- DAC非線形性2次ノイズシェープ
- 開発アルゴリズムの実現
- まとめ



研究目標

- ◆ マルチビット $\Delta \Sigma$ AD変調器用DAC非線形性を
2次ノイズシェーブするアルゴリズムの開発とその
回路実現



群馬大学

LP Δ Σ AD変調器

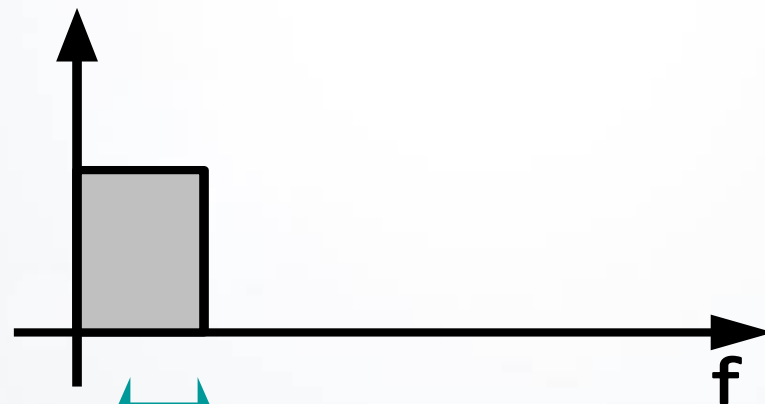


LP $\Delta\Sigma$ AD変調器

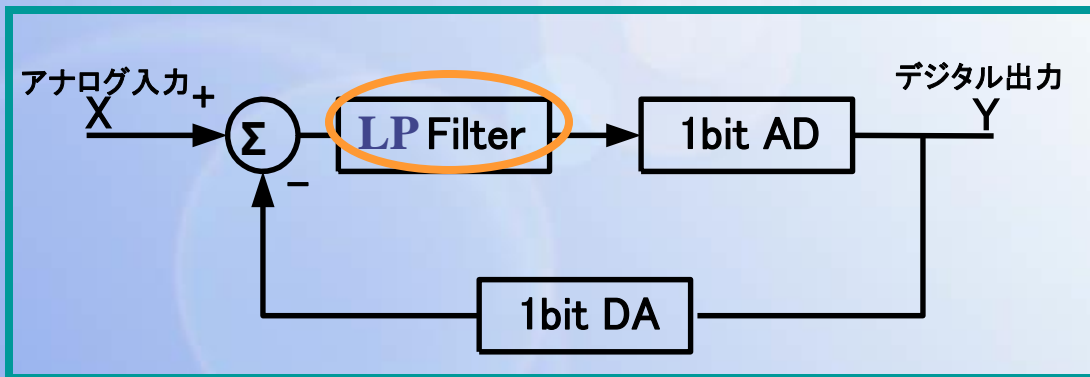
$\Delta\Sigma$ AD変調器

特徴

- ・アナログ回路規模が小さい
- ・精度の低いデバイスで
高精度AD変換を実現



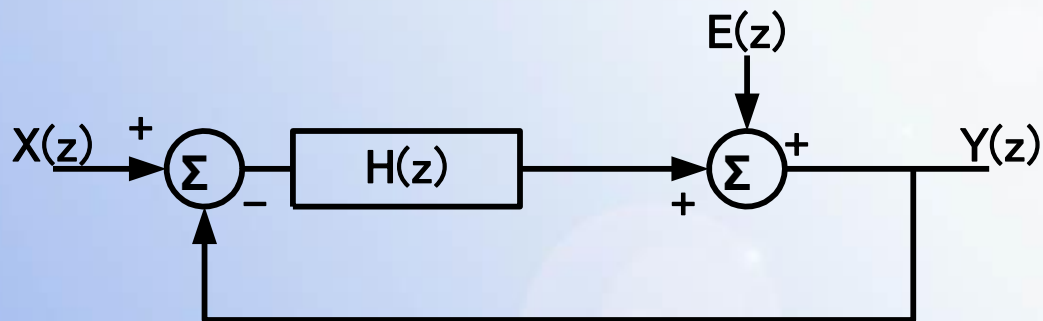
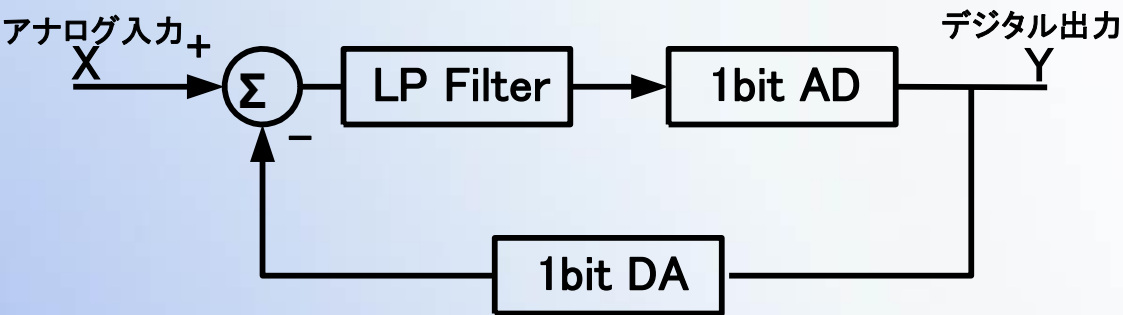
低周波



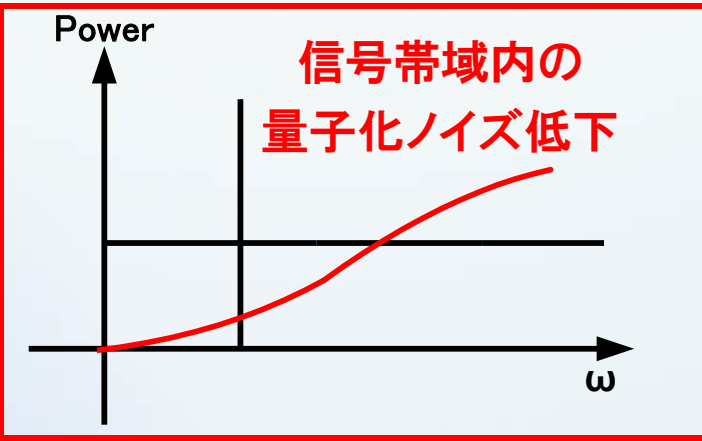
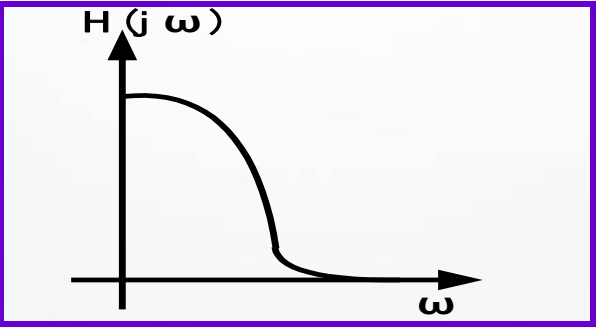
アプリケーション: 通信機器
センサー
オーディオ機器



LPΔΣAD変調器



$X(z)$: アナログ入力信号
 $Y(z)$: デジタル出力信号
 $E(z)$: 量子化ノイズ
 $H(z)$: フィルタ伝達関数



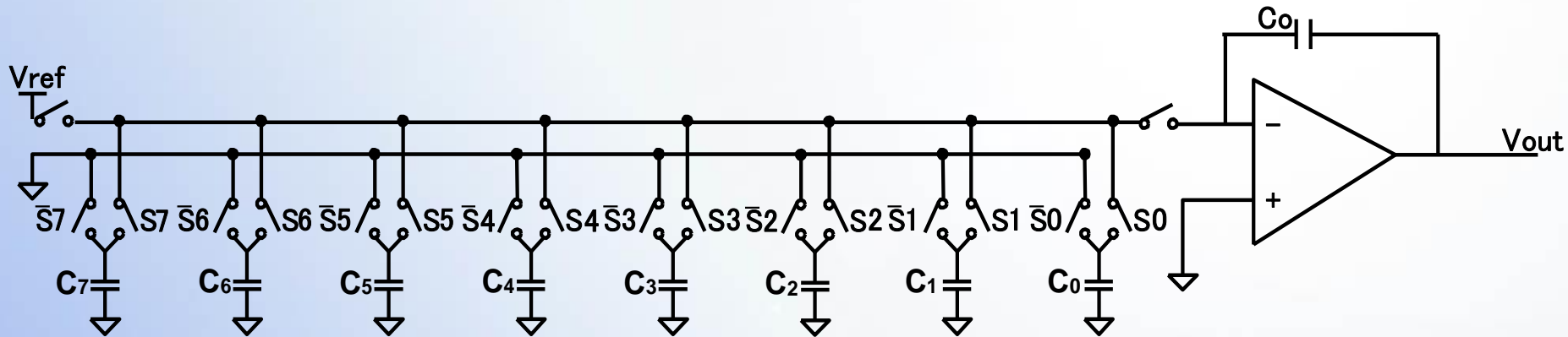
$$Y(z) = \frac{H(z)}{1+H(z)} \cdot X(z) + \frac{1}{1+H(z)} \cdot E(z)$$

$H(z) \Rightarrow \infty$ ↓
STF=1 **NTF=0**

⇒ **高SNRを実現** ⁶ Gunma University



マルチビットDAC回路図構成

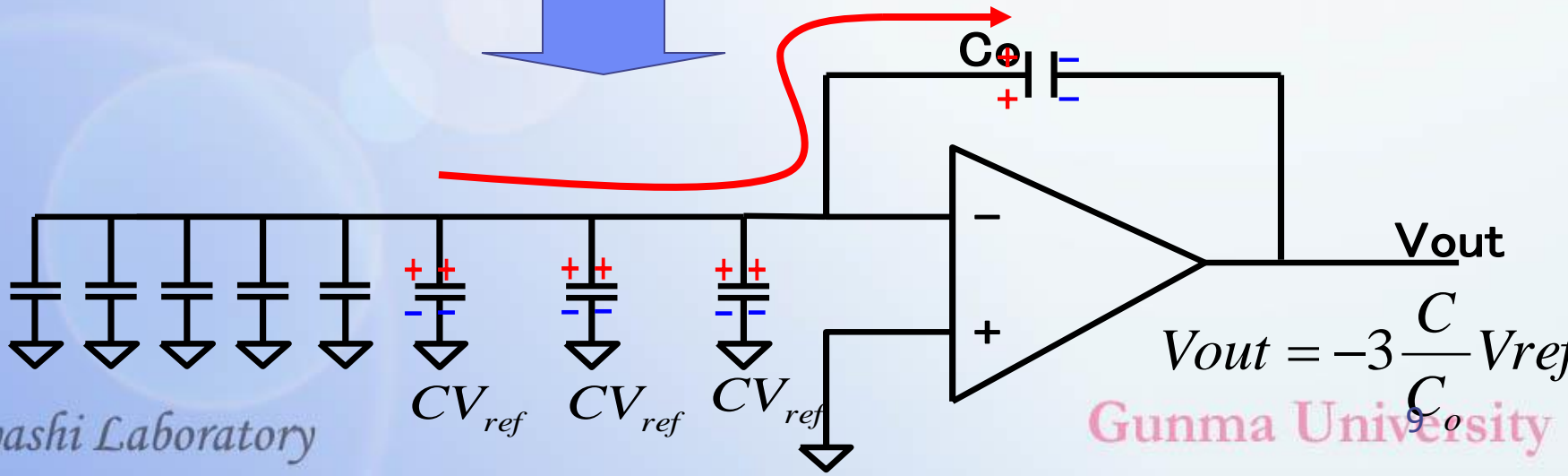
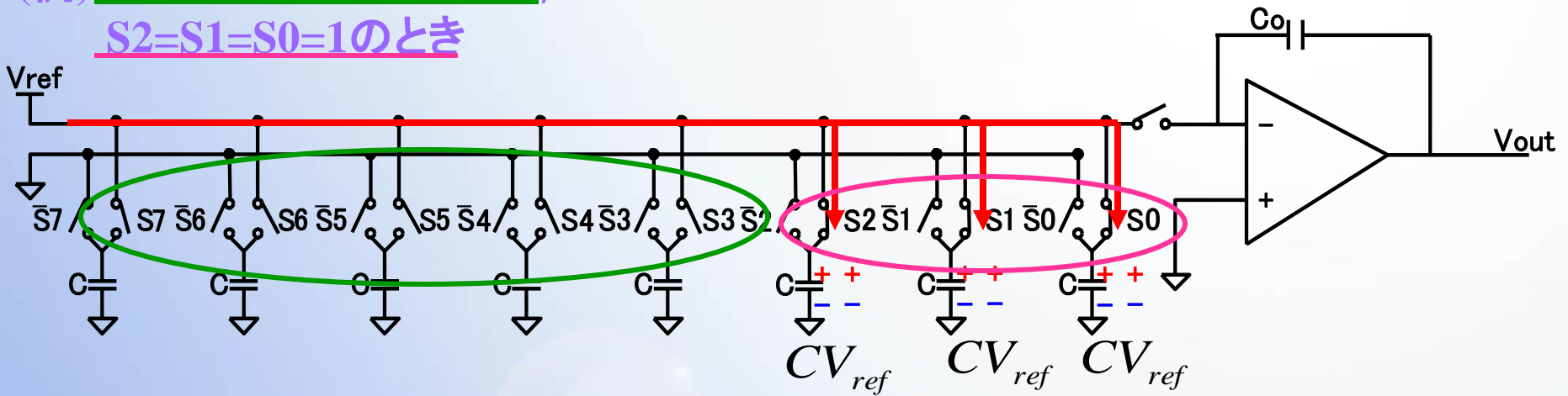


$$C_0 \sim C_7 = C$$



マルチビットDAC 動作

(例) $S_7=S_6=S_5=S_4=S_3=0$,
 $S_2=S_1=S_0=1$ のとき





マルチビットDAC問題点

$C_0 \sim C_7$ の値がバラ付く

$$\frac{C_0 + \dots + C_7}{8} = C$$



ミスマッチを

e_0, e_1, \dots, e_7 とおく

$$C_0 = C + e_0$$

$$C_1 = C + e_1$$

\vdots

$$C_7 = C + e_7$$

$$V_{out} = -m \frac{C}{C_o} V_{ref}$$

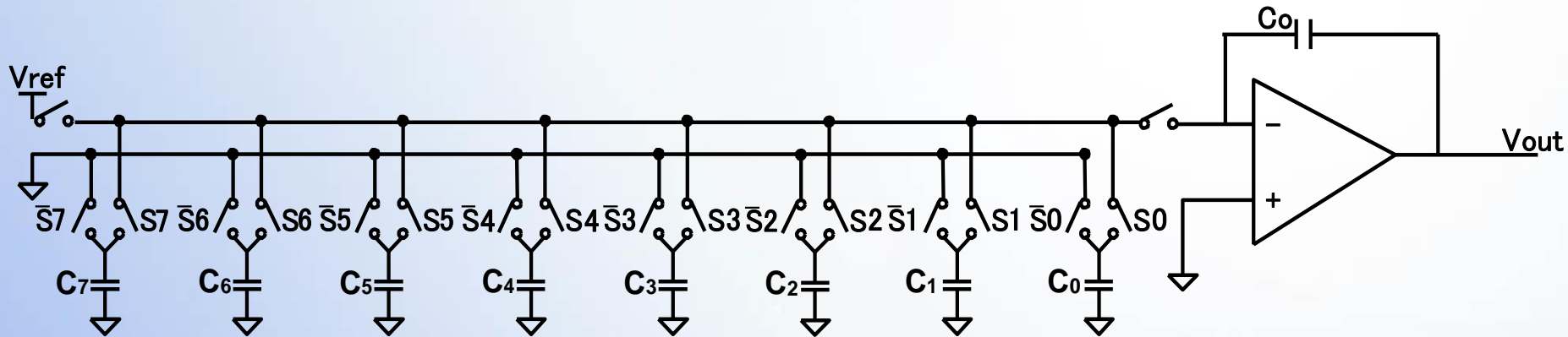


$$V_{out} = -m \frac{C}{C_o} V_{ref} + \delta$$

$$\delta = -\frac{e_a + \dots + e_h}{C_o} V_{ref}$$



マルチビットDAC問題点



input ↓

	0	1	2	3	4	5	6	7
4								
3								
2								
2								
5								
7								
1								
5								
4								

特定セルの非線形性ノイズが
信号に蓄積する

使用するセルを一定の法則下で
選択するアルゴリズムが必要

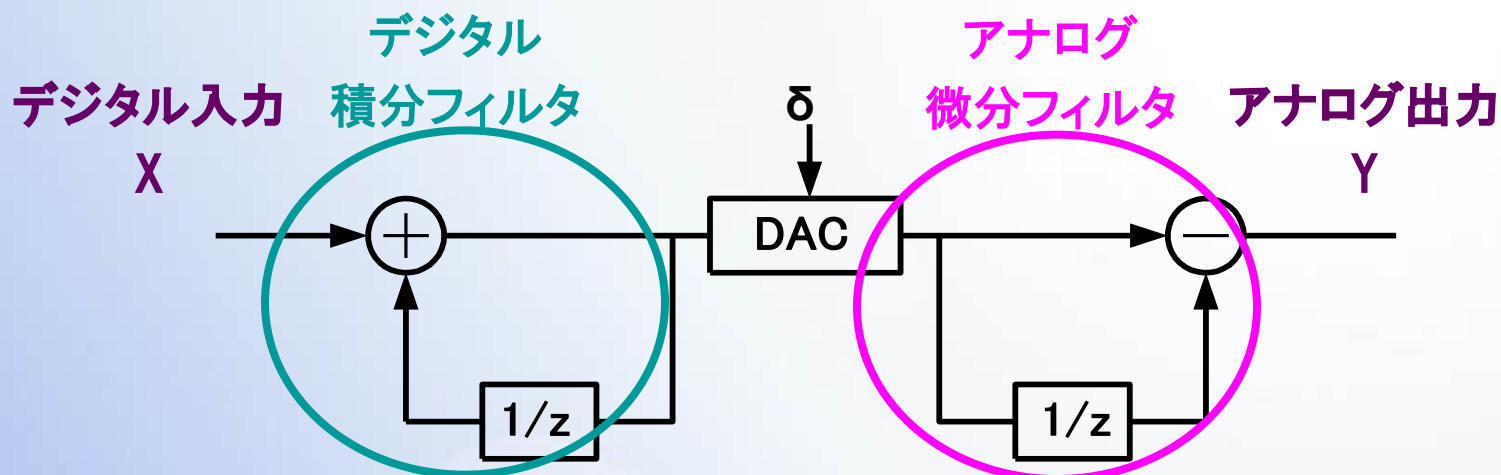


群馬大学

DAC非線形性 1次ノイズシェープ



1次ノイズシェープ



$$Y(z) = X(z) + (1 - 1/Z)\delta(z)$$



1次ノイズシェープ
 $1/(1-1/Z)$ されている



1次ノイズシェープの動作

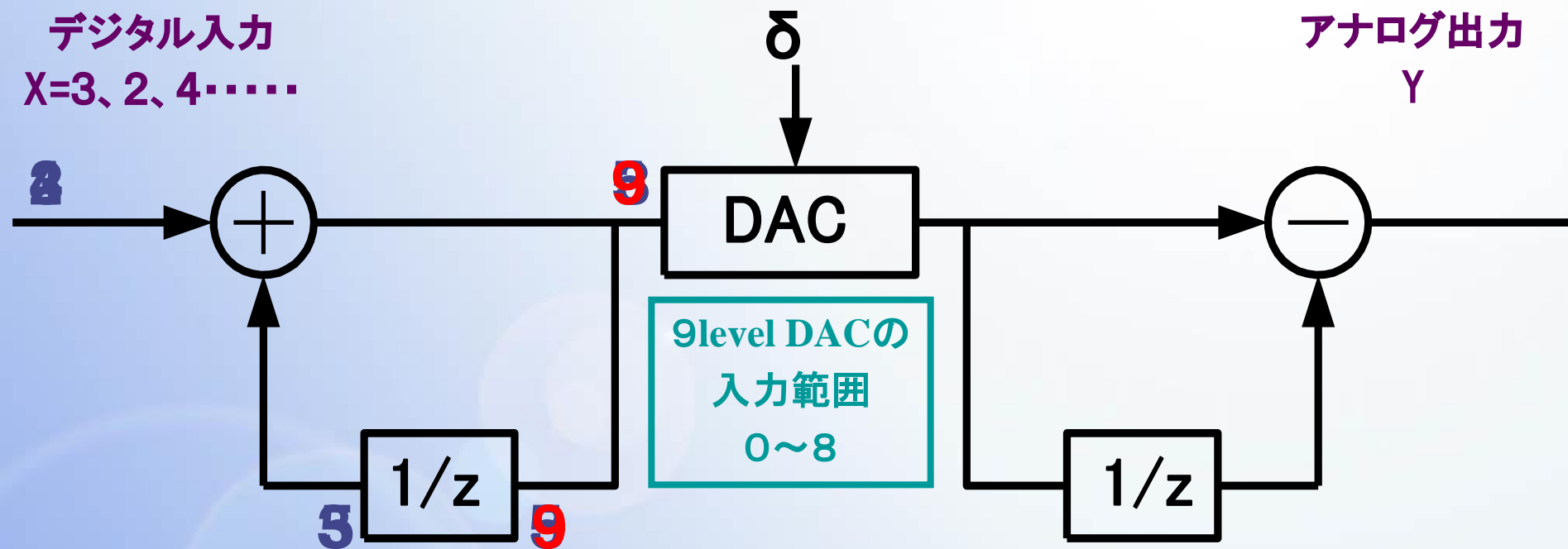
$$Y(z) = X(z) + (1 - 1/z)\delta(z)$$

デジタル入力

$X=3, 2, 4, \dots$

アナログ出力

Y



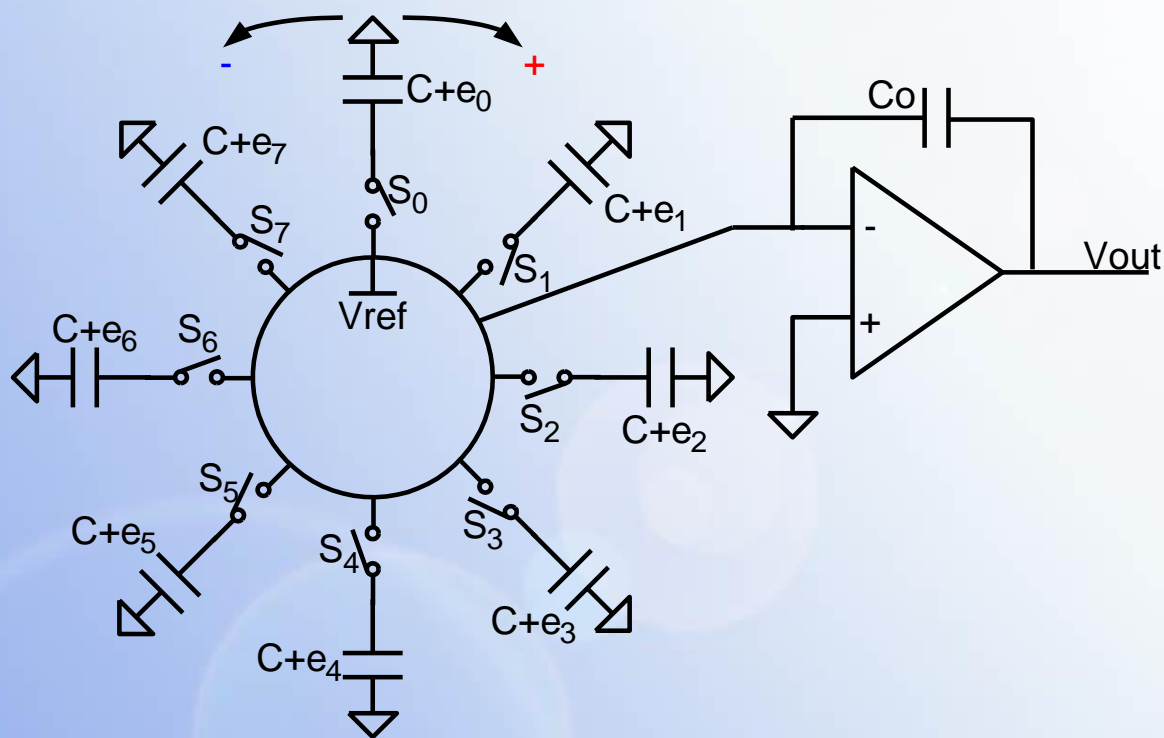
DACの入力範囲

$0 \sim +\infty$

直接実現不可能



ノイズシェープアルゴリズムの等価回路



ミスマッチを

e_0, e_1, \dots, e_7 とおく

$$C_0 = C + e_0$$

$$C_1 = C + e_1$$

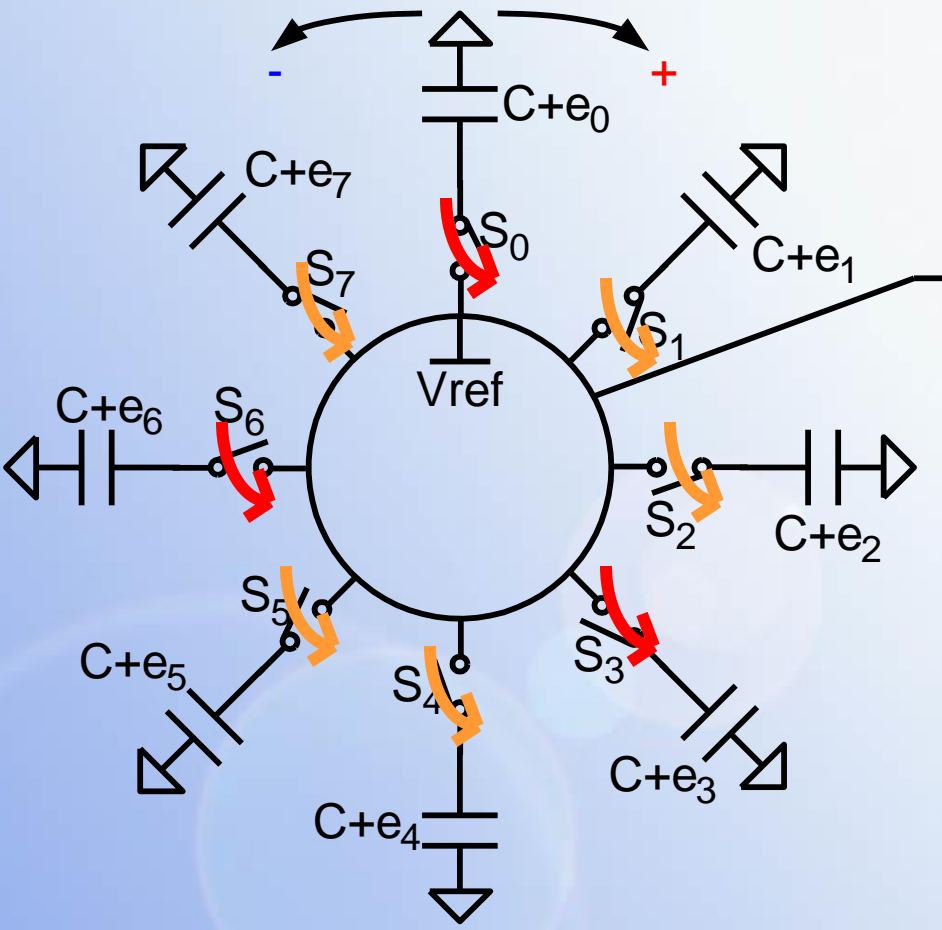
⋮

$$C_7 = C + e_7$$



1次ローパスエレメントローテーション法

↓ : Pointer
入力の最後の場所を記憶させる



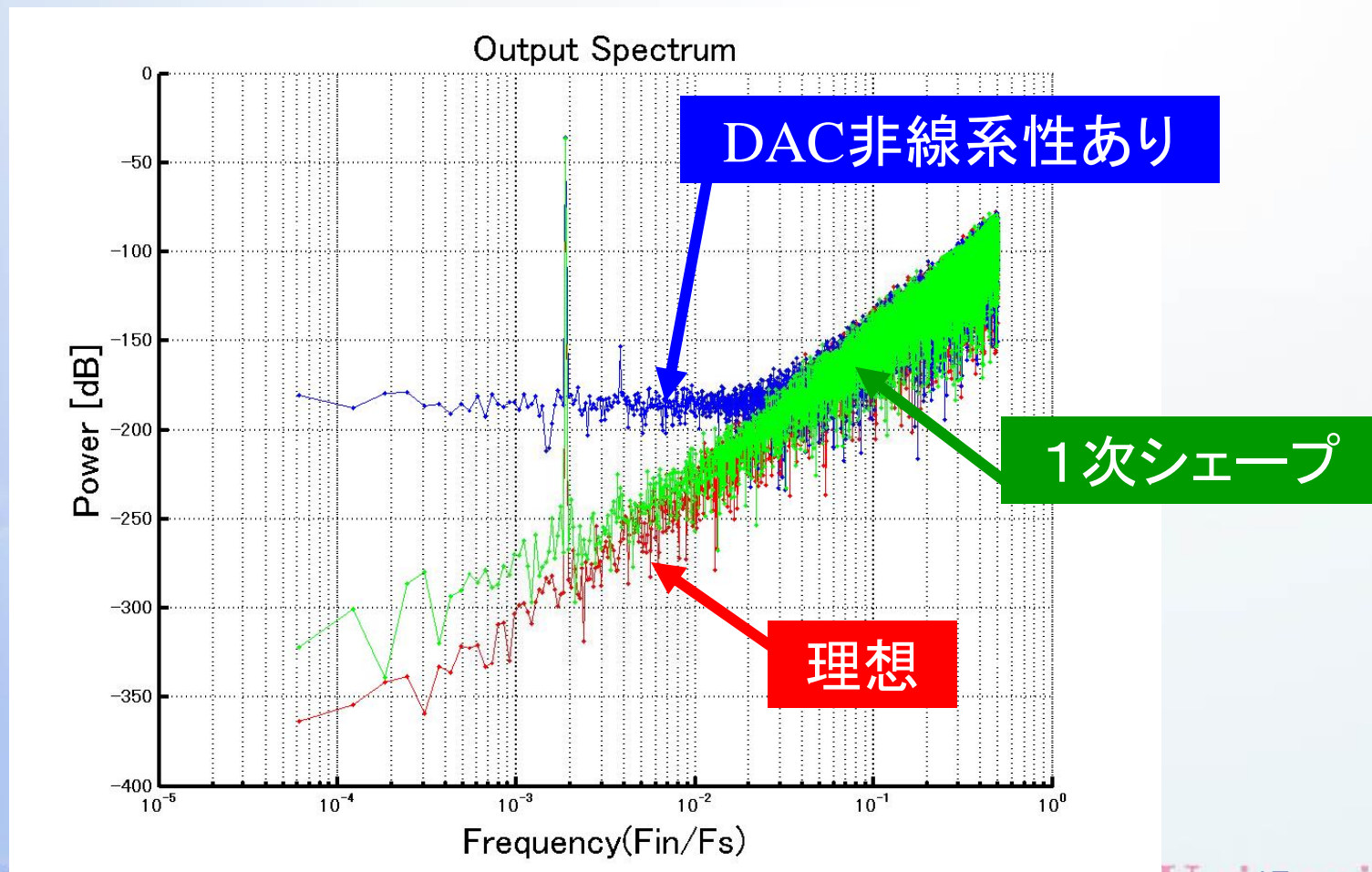
$$H(z) = 1/(1-1/Z)$$

	0	1	2	3	4	5	6	7
4								
3								
2								
2								
5								
7								
1								
5								
4								

信号の終わる所の次が次の信号のスタートライン



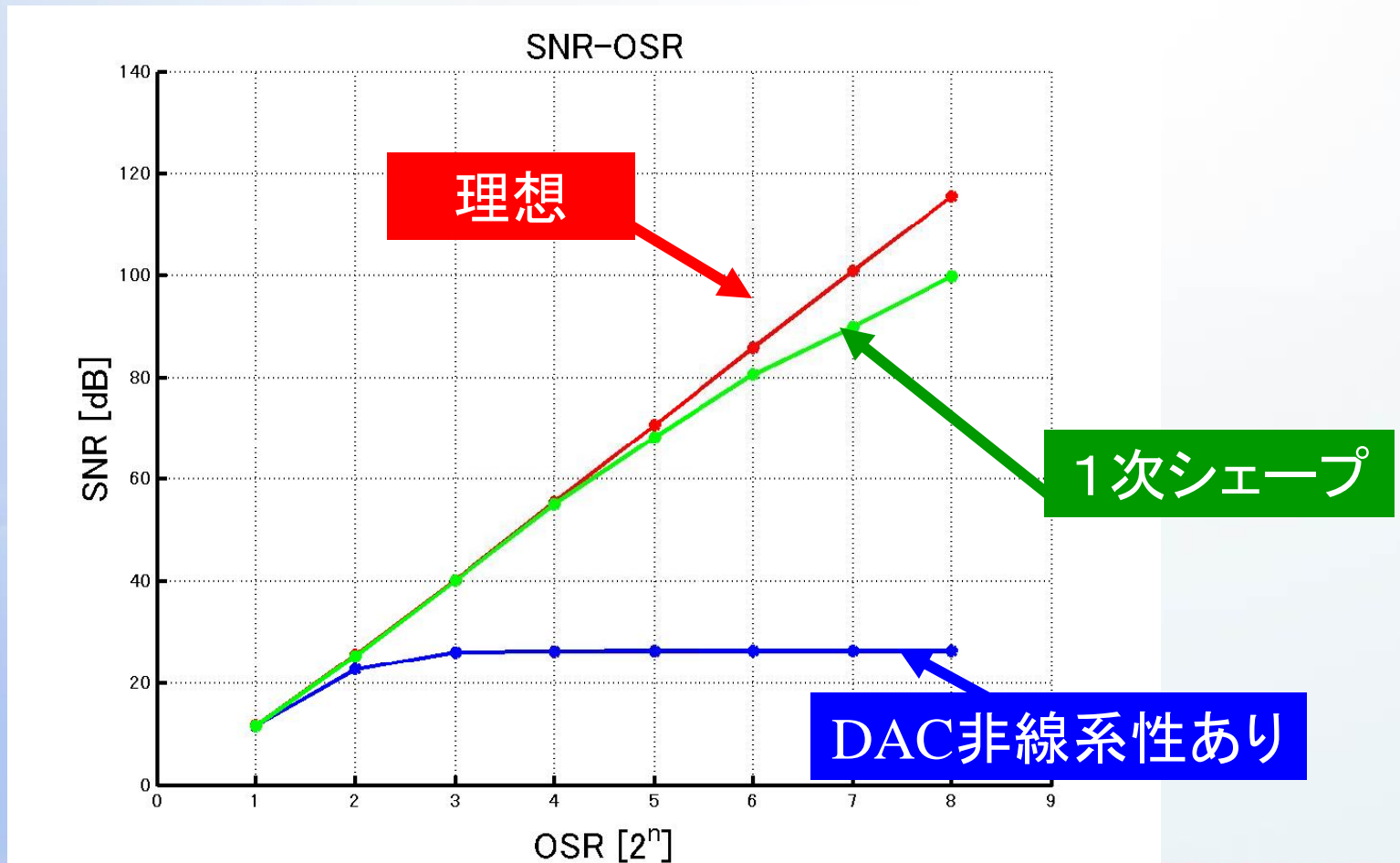
DAC非線形性1次シェープ結果確認 変調器出力パワースペクトラム





DAC非線形性1次シェープ結果確認

SNR vs OSR



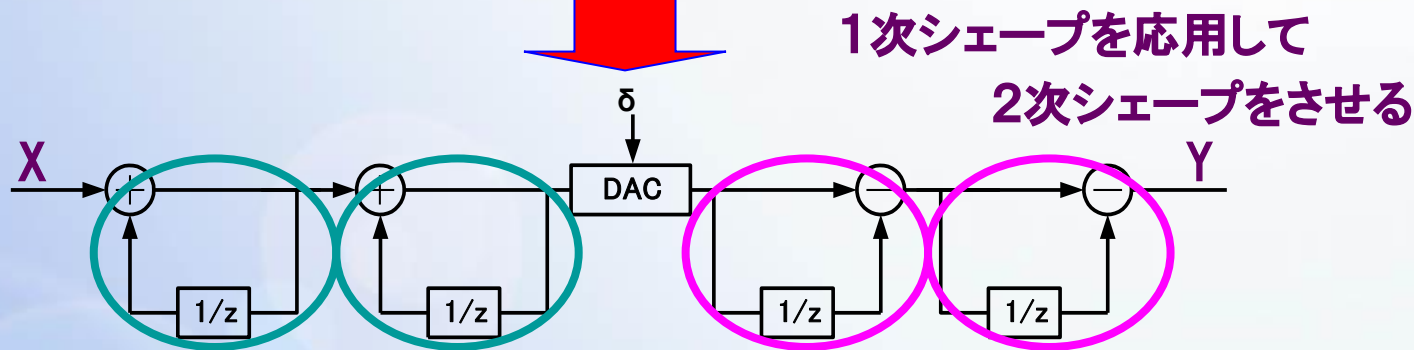
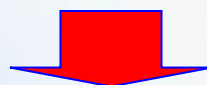
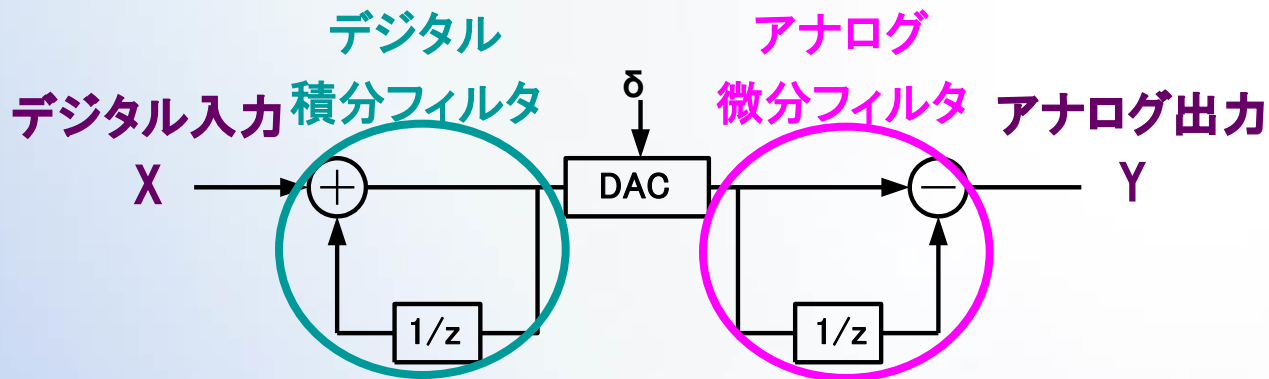


群馬大学

DAC非線形性 2次ノイズシェープ



2次ノイズシェープ



$$Y(z) = X(z) + \underline{(1 - 1/Z)^2} \delta(z)$$

2次シェープ

1/(1-1/Z)² を確認



動作


$$H(z) = 1/(1 - 1/Z)^2$$

	0	1	2	3	4	5	6	7
4	+	+	+	+				
3				-	+	+	+	+
6				++	+	+	+	+
2								
5								
7								
1								
5								
4								

: 一つ前のクロックで
使われた+の信号

 = 1

+

 = -1



0



0

$$4+3=7$$



一電荷が発生

$$4+3+6=13$$



2倍の電荷が発生



動作

$$Y(0)=I_0+I_1+I_2+I_3$$

$$Y(1)=I_4+I_5+I_6+I_7-I_3$$

$$Y(2)=2 \times I_3+I_4+I_5+I_6+I_7$$

$$Y(3)=I_0+I_1+I_2-I_7$$

$$Y(4)=I_0+I_1+I_2+2 \times I_7$$

$$Y(5)=2 \times I_3+2 \times I_4+2 \times I_5+I_6$$

$$Y(6)=I_0+I_1+I_6+I_7-(I_3+I_4+I_5)$$

$$Y(7)=2 \times I_2+I_3+I_4+I_5-I_7$$

$$Y(4)=I_0+I_1+I_2+2 \times I_7$$

$$Y(5)=2 \times I_3+2 \times I_4+2 \times I_5+I_6$$

$$Y(6)=I_0+I_1+I_6+I_7-(I_3+I_4+I_5)$$

$$Y(7)=2 \times I_2+I_3+I_4+I_5$$

$$Y(8)=I_3+I_4+I_5+I_6+I_7-I_2$$

$$H(z) = 1/(1-1/Z)^2$$

	0	1	2	3	4	5	6	7
4	+	+	+	+				
3				-	+	+	+	+
6				++	+	+	+	+
2	+	+	+					-
5	+	+	+					++
7				++	++	++		+
1	+	+		-	-	-	+	+
5			++	+	+	+		
4			-	+	+	+	+	+

2倍の電荷が必要

一の電荷が必要



動作

	0	1	2	3	4	5	6	7
4	+	+	+	+				
3				-	+	+	+	+
6				++	+	+	+	+
2	+	+	+					-
5	+	+	+					++
7				++	++	++		+
1	+	+		-	-	-	+	+
5			++	+	+	+		
4			-	+	+	+	+	+

- = -1 $D_{(+n}$: 入力データ
- = 0 $Po_{(+n}$: プラス側ポインター
- = 0 $Po_{(-n}$: マイナス側ポインター
- + = 1 $S_{(+n}$: プラス側信号スタートライン
- + = 1 $S_{(-n}$: マイナス側信号スタートライン
- ++ = 2 $A_{(+n}$: プラス側DAC入力
- ++ = 2 $A_{(-n}$: マイナス側DAC入力

プラス側計算

$$Po_+(n) = \text{mod}_8 \left(D_+(n-1) + \sum_{k=0}^{n-2} Po_+(k) \right)$$

$$S_+(n) = \text{mod}_8 (Po_+(n) + 1)$$

$$A_+(n) = D_+(n) + \text{mod}_8 (A_+(n-1))$$

マイナス側計算

$$Po_-(n) = Po_+(n-1)$$

$$S_-(n) = \text{mod}_8 (Po_+(n-1) + 1)$$

$$A_-(n) = \text{mod}_8 (A_+(n-1))$$

出力は
プラス側出力
 と
マイナス側力
 との差で
 表される



セルの-1,0,1,2の動作

+側

$$Po_+(n) \leq m \leq Po_+(n) + A_+(n) + 1$$

$$m \leq Po_+(n) + A_+(n) - 9$$



出力1の発生

$$Po_+(n) \leq m \leq Po_+(n) + A_+(n) - 9$$

$$m \leq Po_+(n) + A_+(n) - 17$$



出力2の発生

-側

$$Po_-(n) \leq m \leq Po_-(n) + A_+(n-1) + 1$$

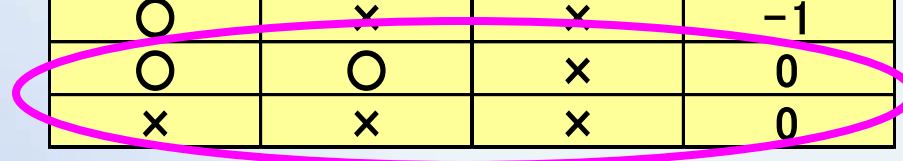
$$m \leq Po_-(n) + A_+(n-1) - 9$$



出力-1の発生

この条件で出力1と-1の条件を両方とも満たす場合、または満たさない場合は0

-1	1	2	出力
×	○	×	1
×	○	○	2
○	×	×	-1
○	○	×	0
×	×	×	0



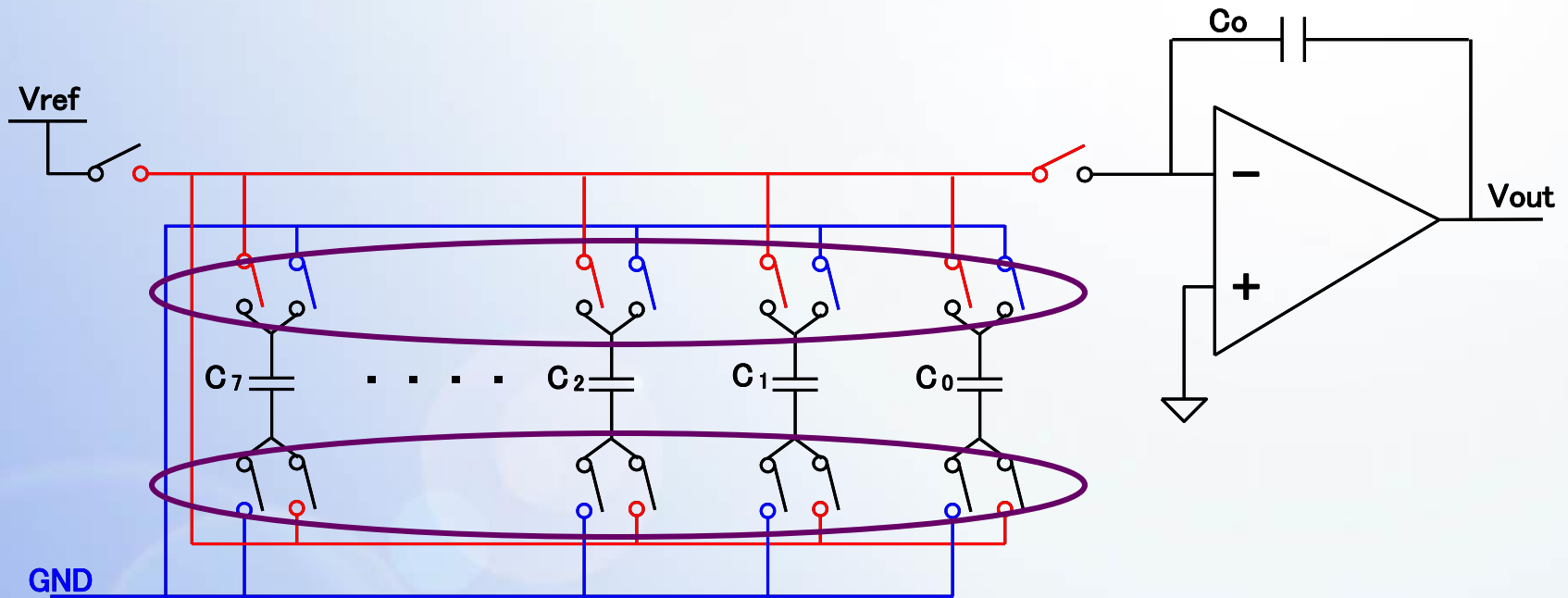


群馬大学

開発アルゴリズムの実現回路



スイッチドキャパシタセグメント型DAC





セルの入力について

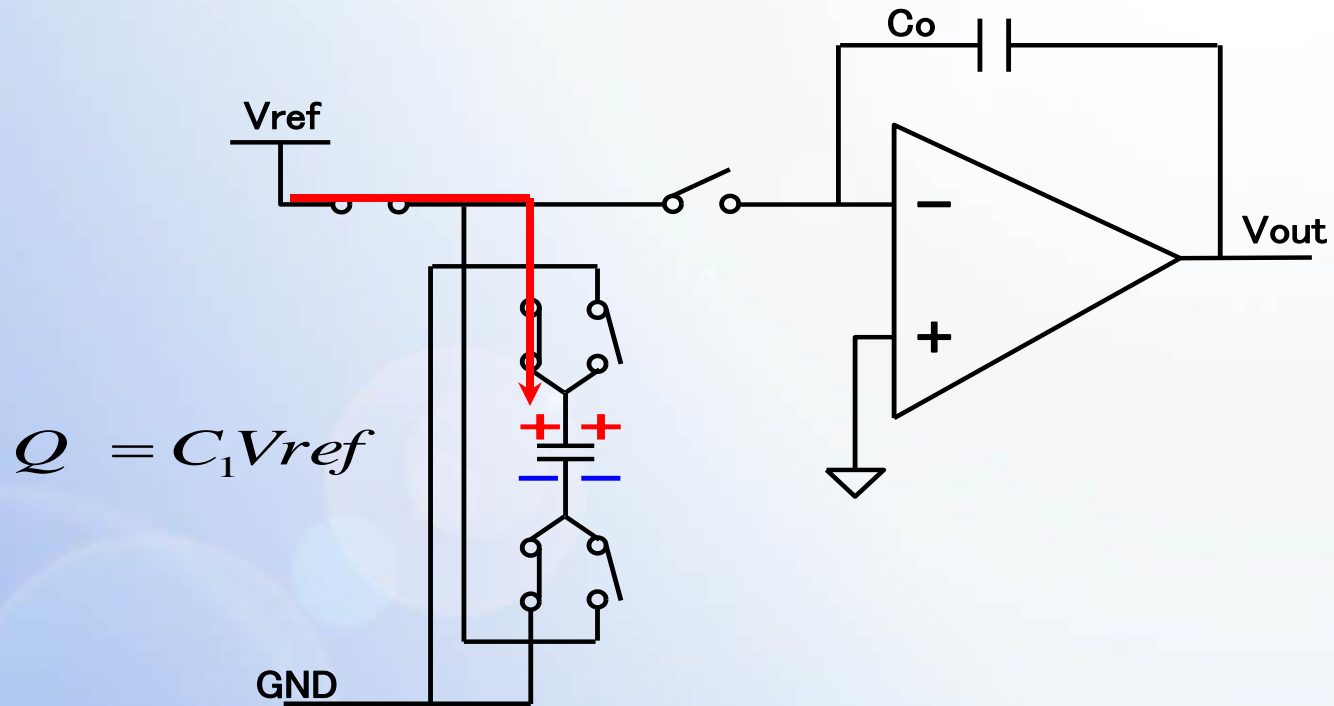
それぞれのセルが、-1,0,1,2を取れるようにしなければならない

↓
マイナス動作

↓
マルチクロック動作



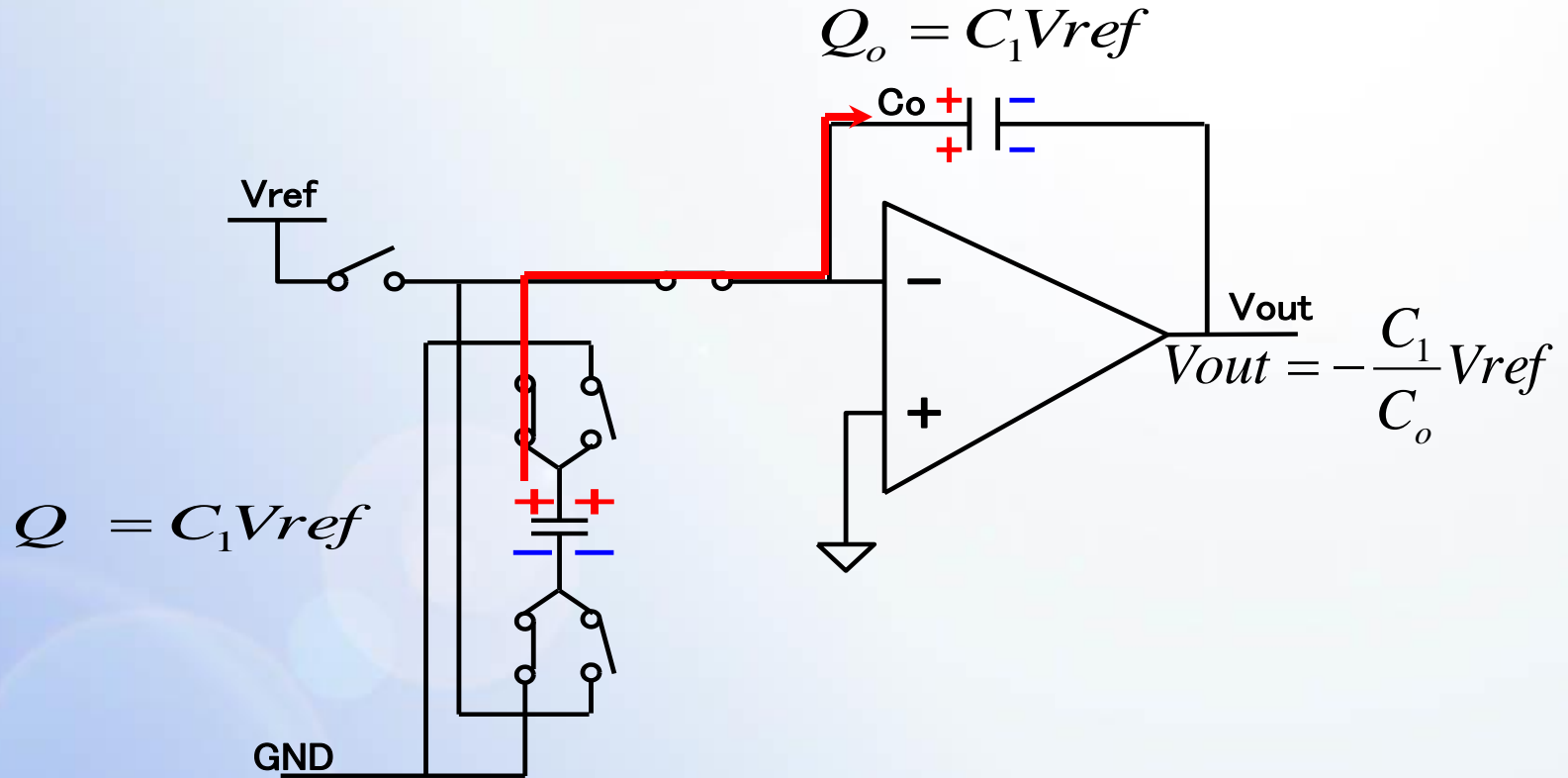
マルチクロック動作



- ・1クロックの間に2回
電荷を貯めて送り出す



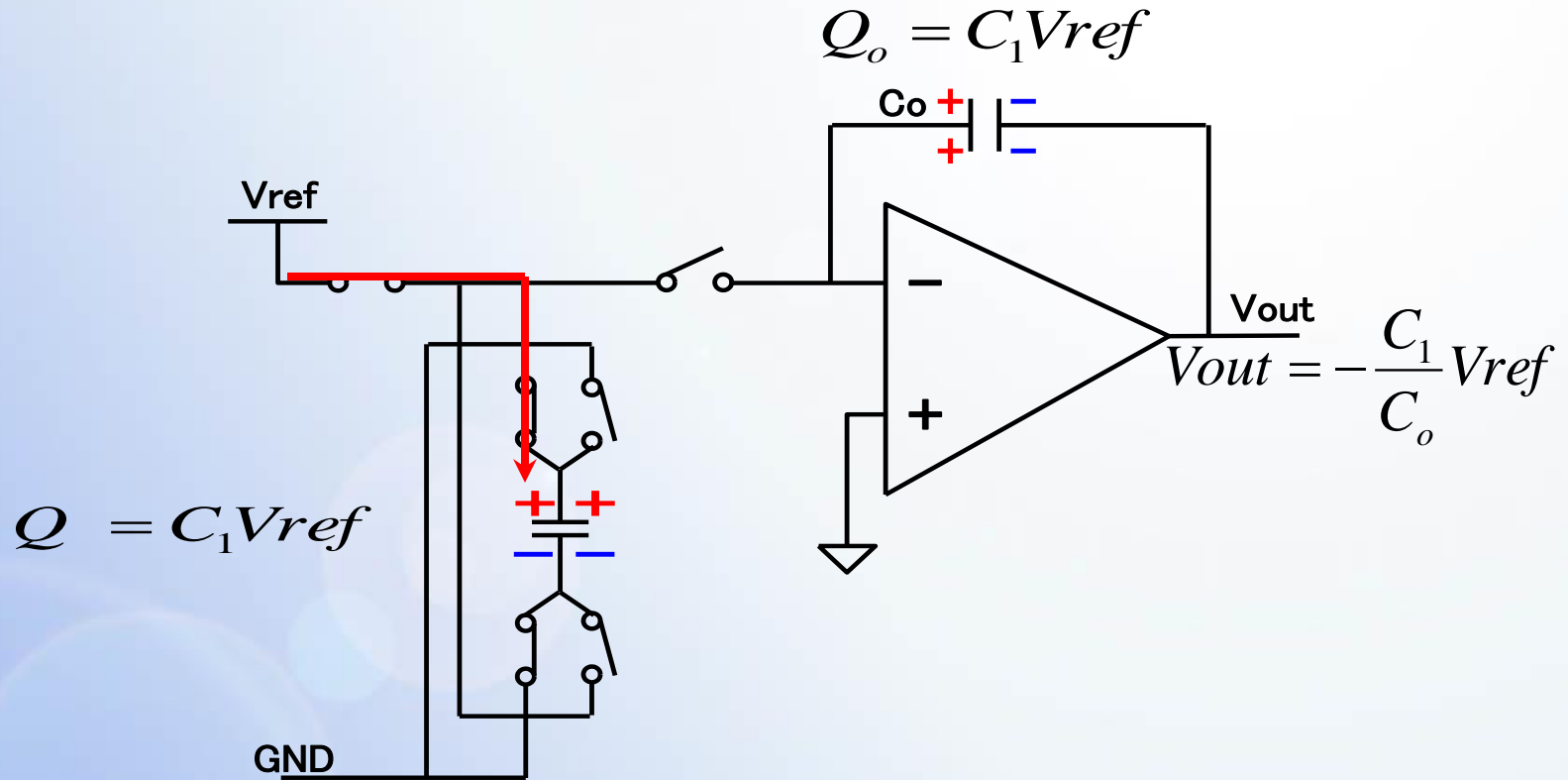
マルチクロック動作



- ・1クロックの間に2回
電荷を貯めて送り出す



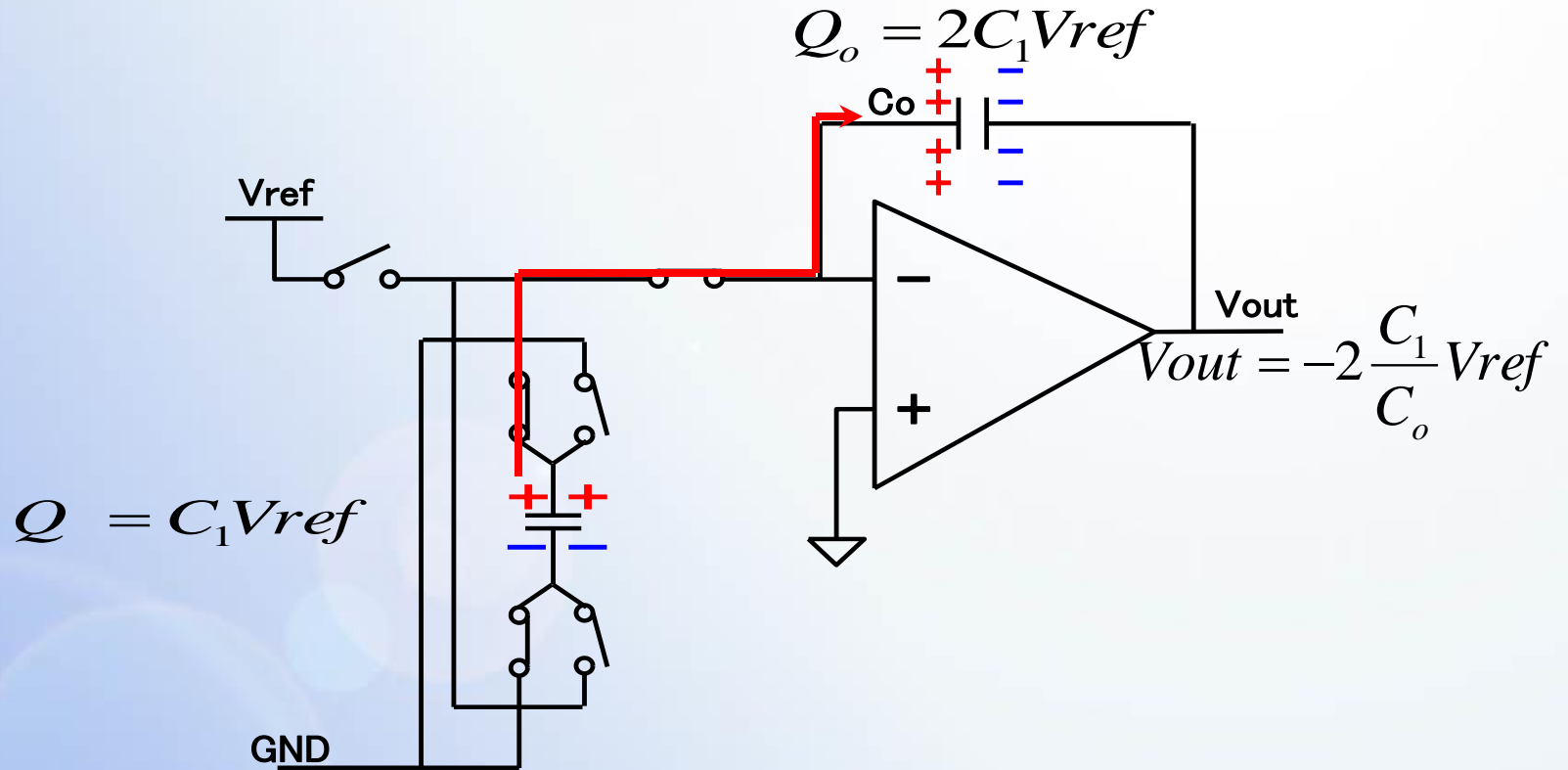
マルチクロック動作



- ・1クロックの間に2回
電荷を貯めて送り出す



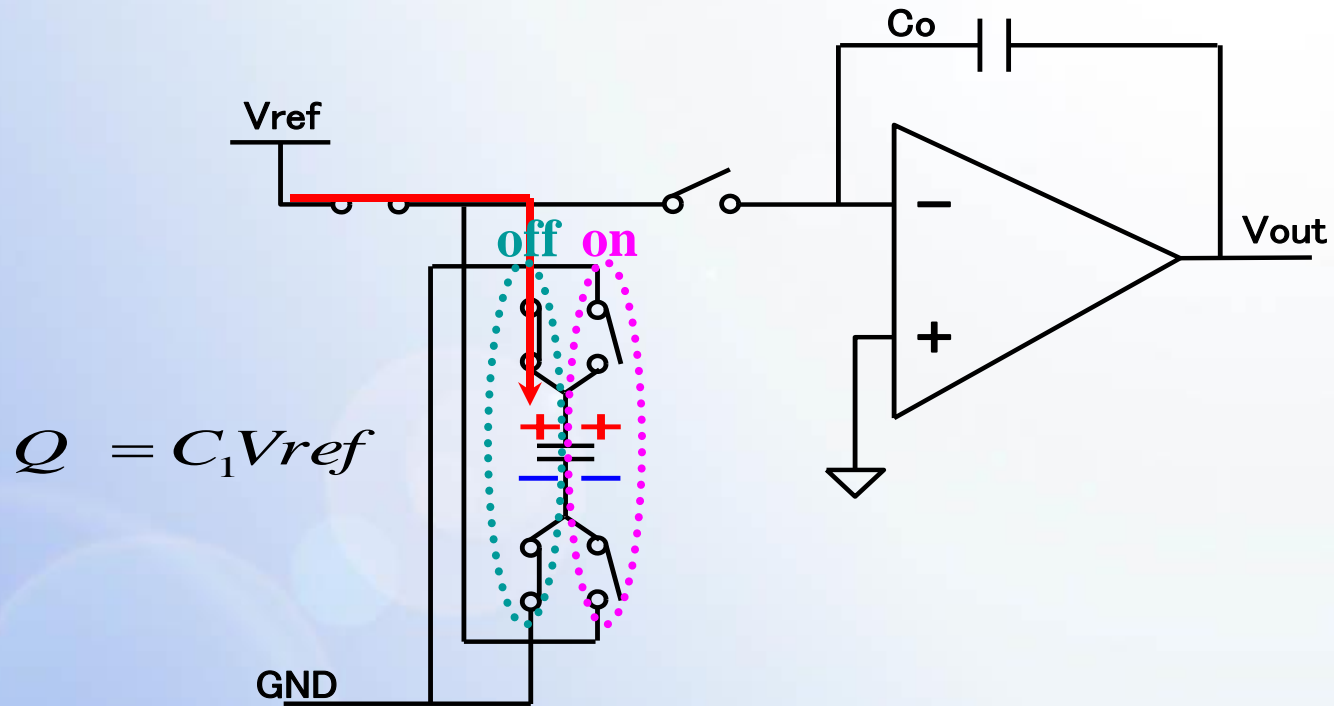
マルチクロック動作



- ・1クロックの間に2回
電荷を貯めて送り出す



マイナス動作

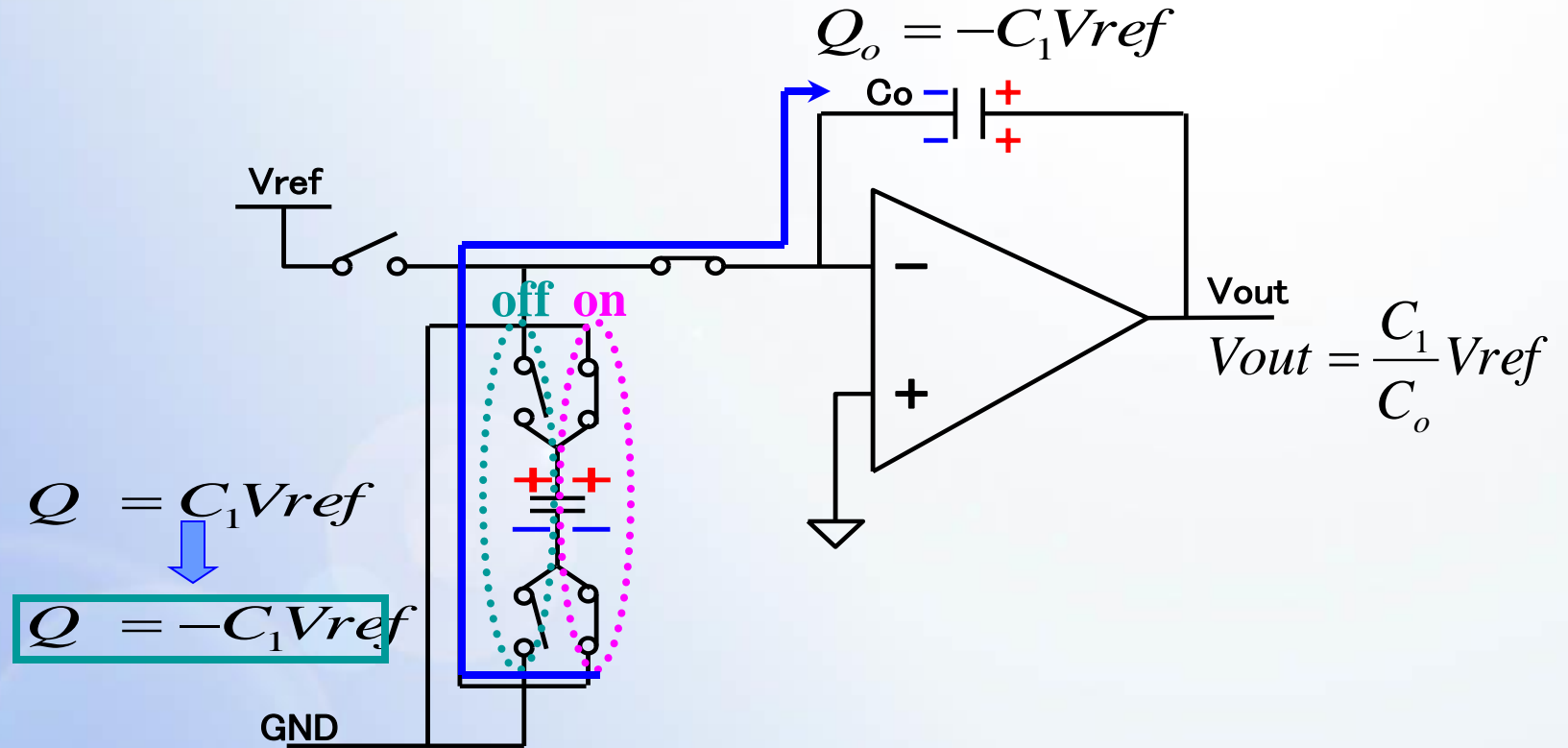


$$Q = C_1 V_{ref}$$

- ・キャパシタの**プラス側**と**マイナス側**を反対に繋ぐ



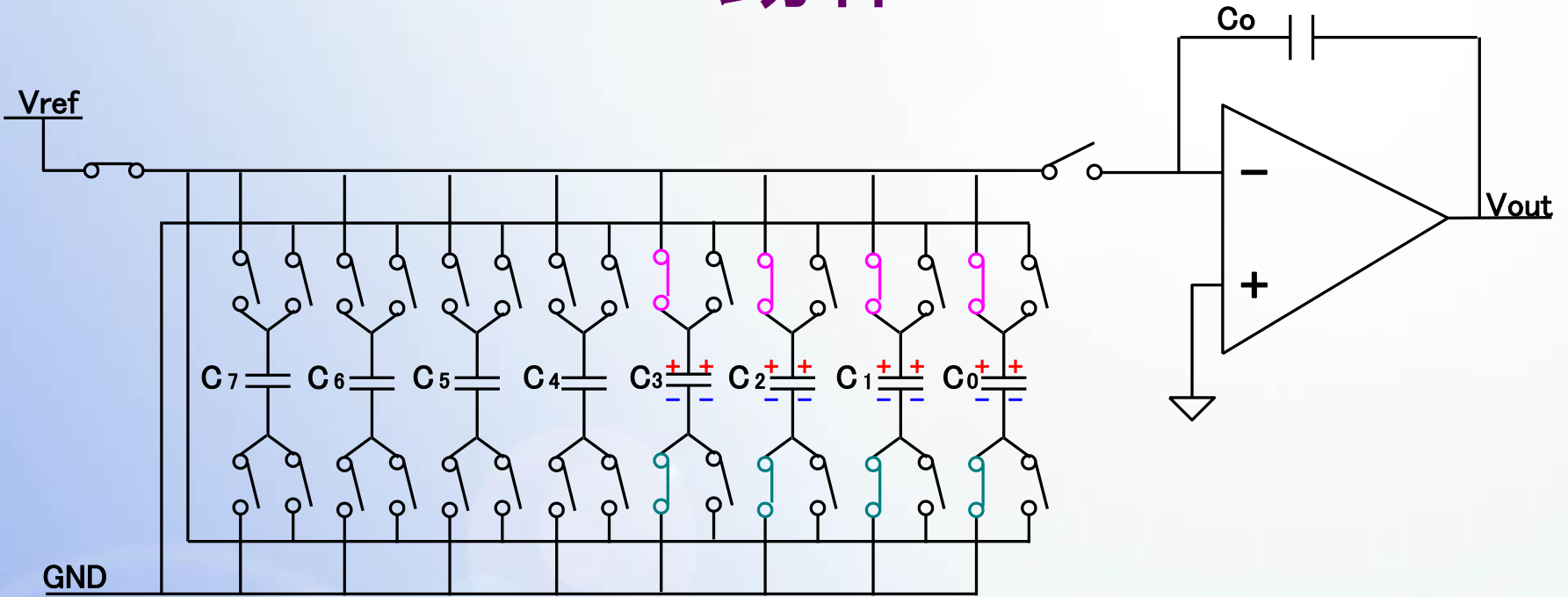
マイナス動作



- ・キャパシタのプラス側とマイナス側を反対に繋ぐ



動作

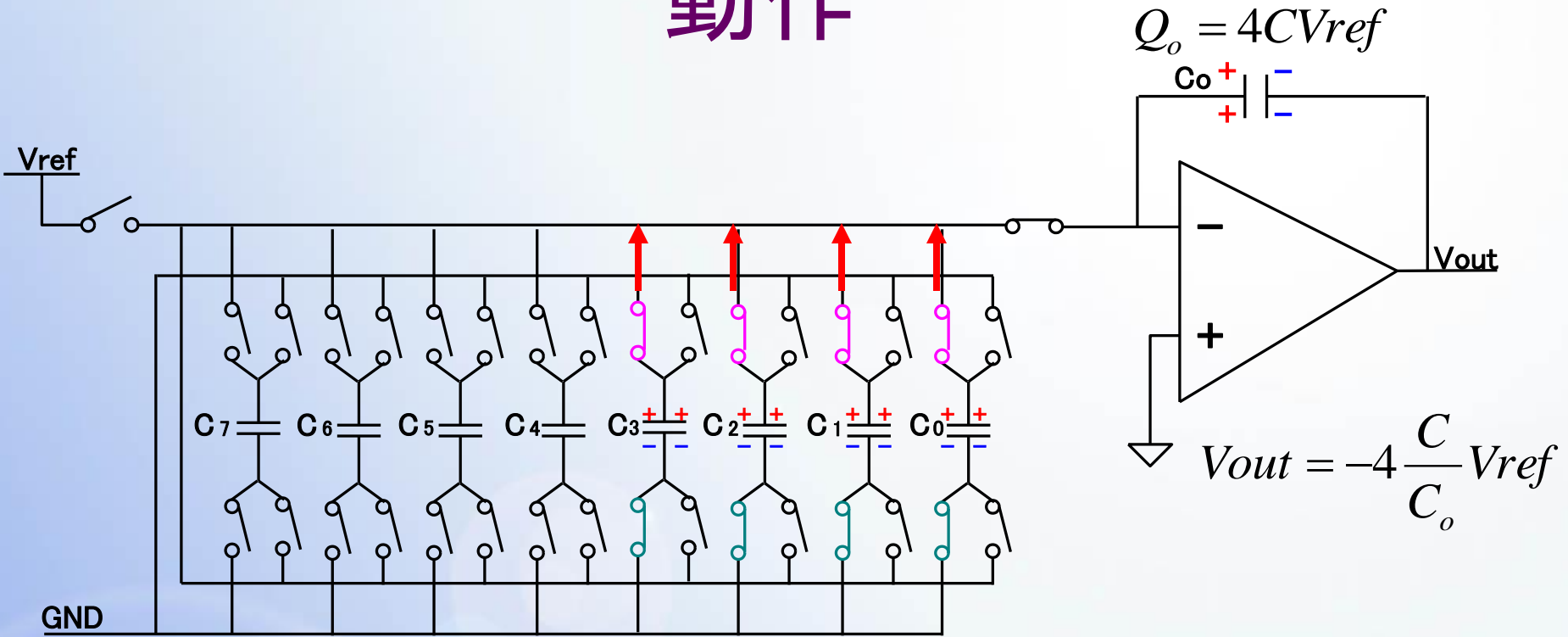


入力 4

	0	1	2	3	4	5	6	7
4	+	+	+	+				
3				-	+	+	+	+
6				++	+	+	+	+
2	+	+	+					-
5	+	+	+					++
7				++	++	++		+
1	+	+		-	-	-	+	+
5			++	+	+	+		
4			-	+	+	+	+	+



動作

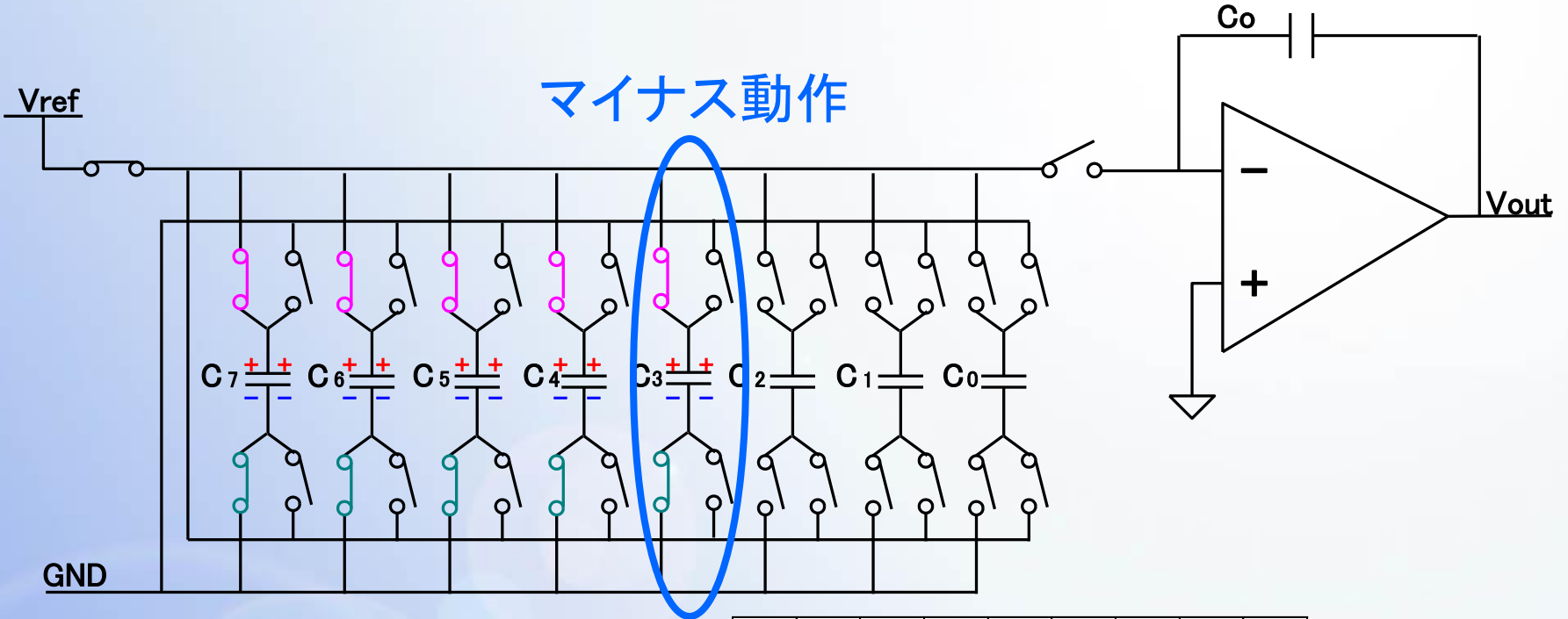


入力 4

	0	1	2	3	4	5	6	7
4	+	+	+	+				
3				-	+	+	+	+
6				++	+	+	+	+
2	+	+	+					-
5	+	+	+					++
7				++	++	++		+
1	+	+		-	-	-	+	+
5			++	+	+	+		
4			-	+	+	+	+	+



動作

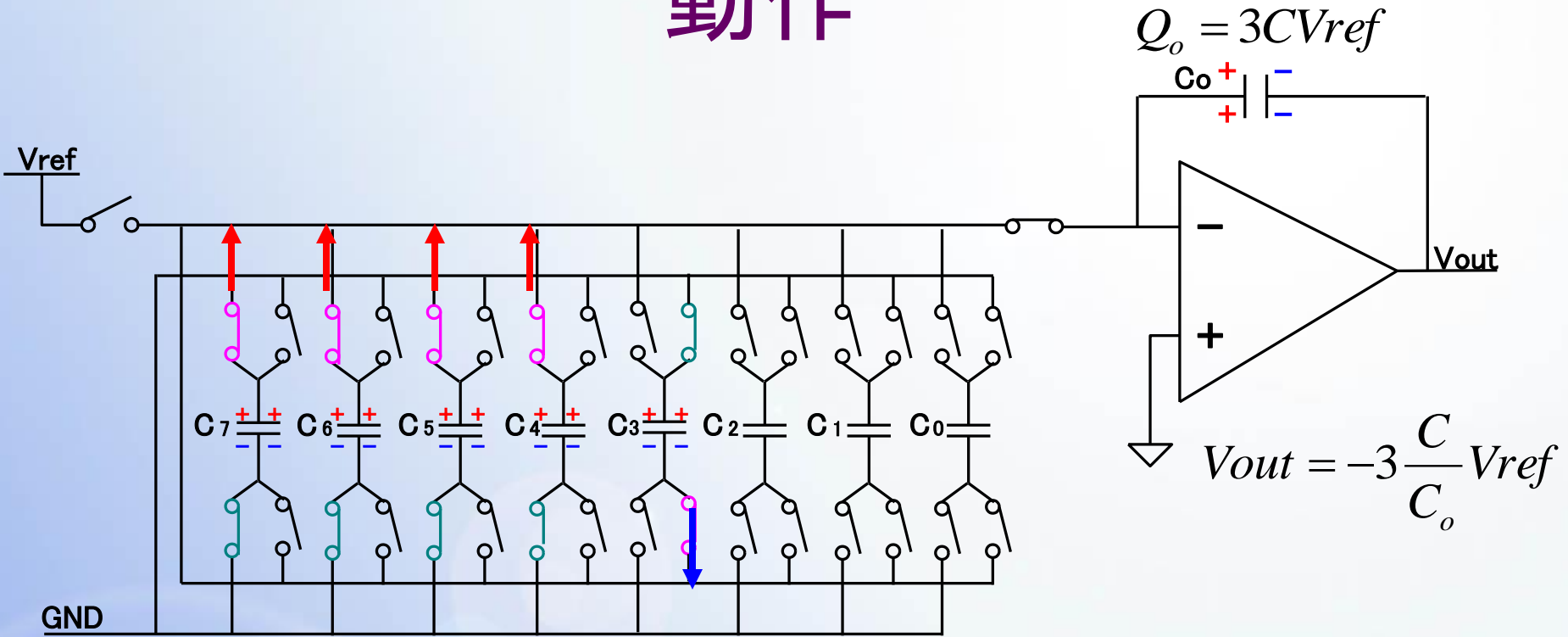


入力 3

	0	1	2	3	4	5	6	7
4	+	+	+	+				
3				-	+	+	+	+
6				++	+	+	+	+
2	+	+	+					-
5	+	+	+					++
7				++	++	++		+
1	+	+		-	-	-	+	+
5			++	+	+	+		
4			-	+	+	+	+	+



動作

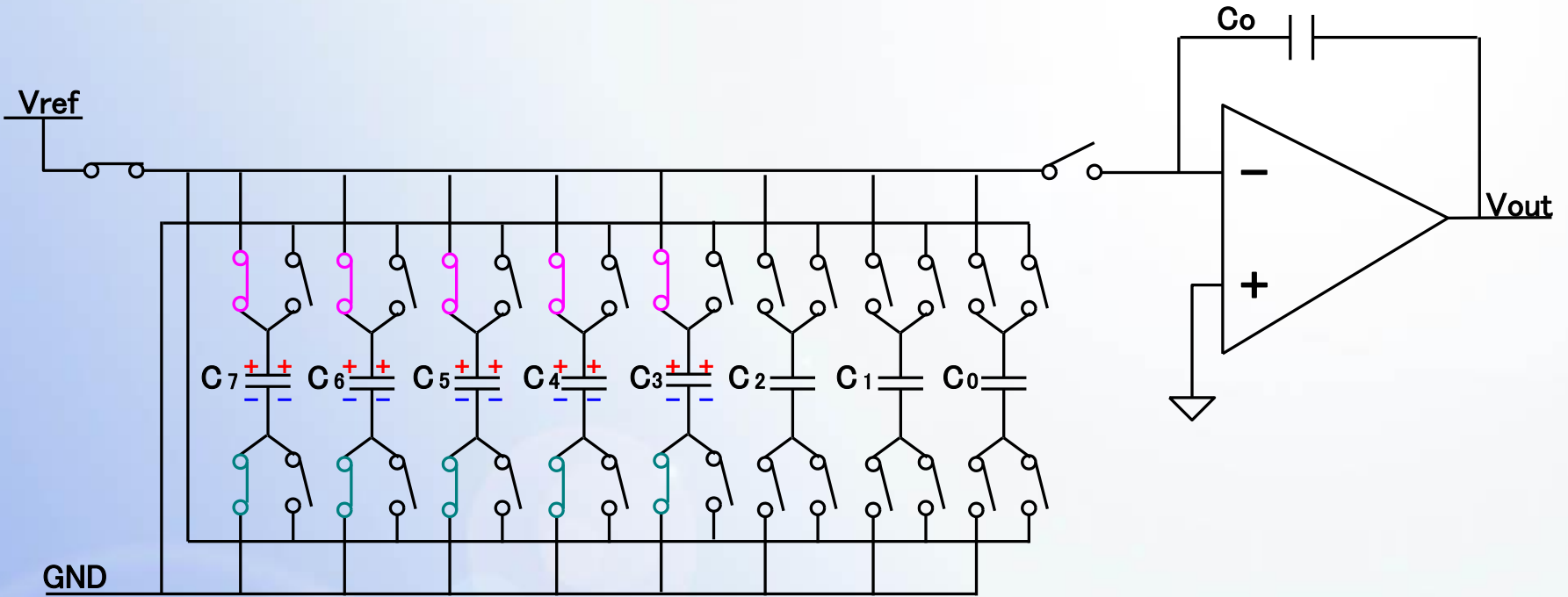


入力 3

	0	1	2	3	4	5	6	7
4	+	+	+	+				
3				-	+	+	+	+
6				++	+	+	+	+
2	+	+	+					-
5	+	+	+					++
7				++	++	++		+
1	+	+		-	-	-	+	+
5			++	+	+	+		
4			-	+	+	+	+	+



動作

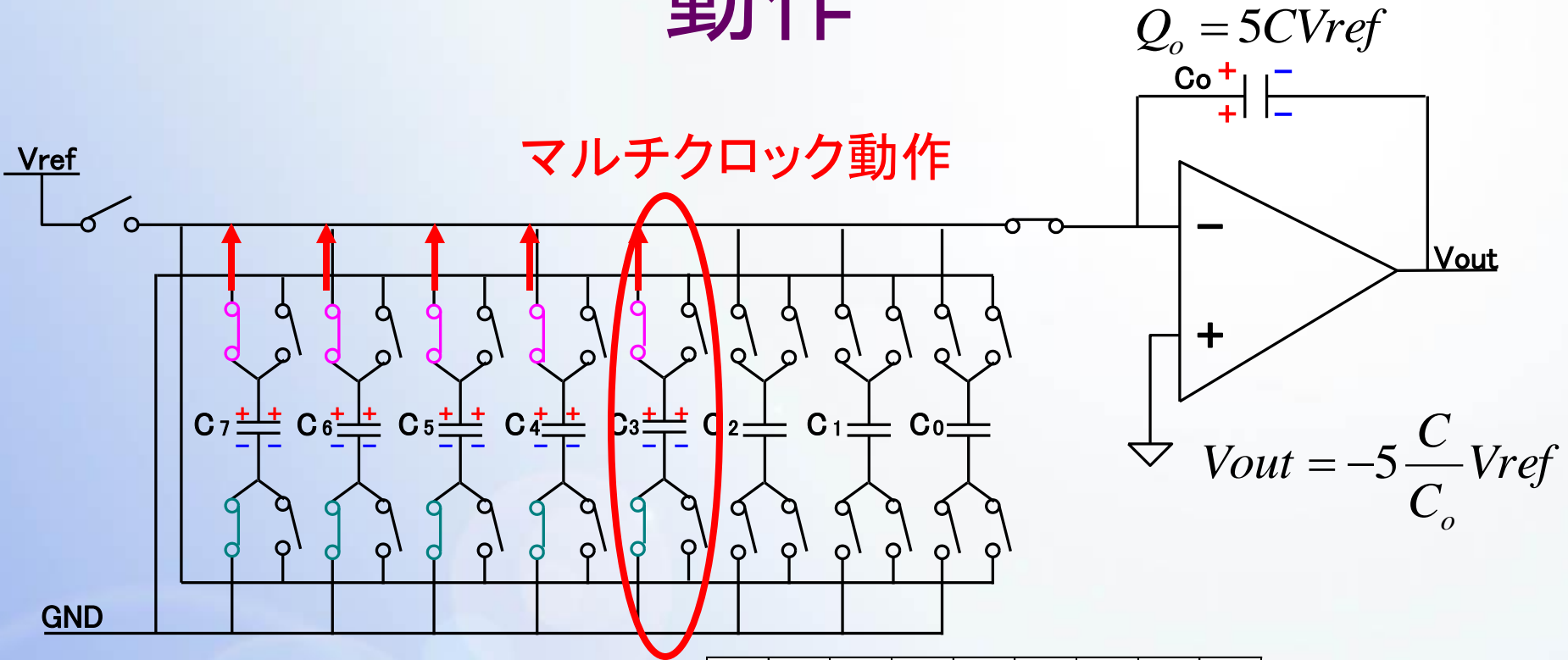


入力 6

	0	1	2	3	4	5	6	7
4	+	+	+	+				
3				-	+	+	+	+
6				++	+	+	+	+
2	+	+	+					-
5	+	+	+					++
7				++	++	++		+
1	+	+		-	-	-	+	+
5			++	+	+	+		
4			-	+	+	+	+	+



動作

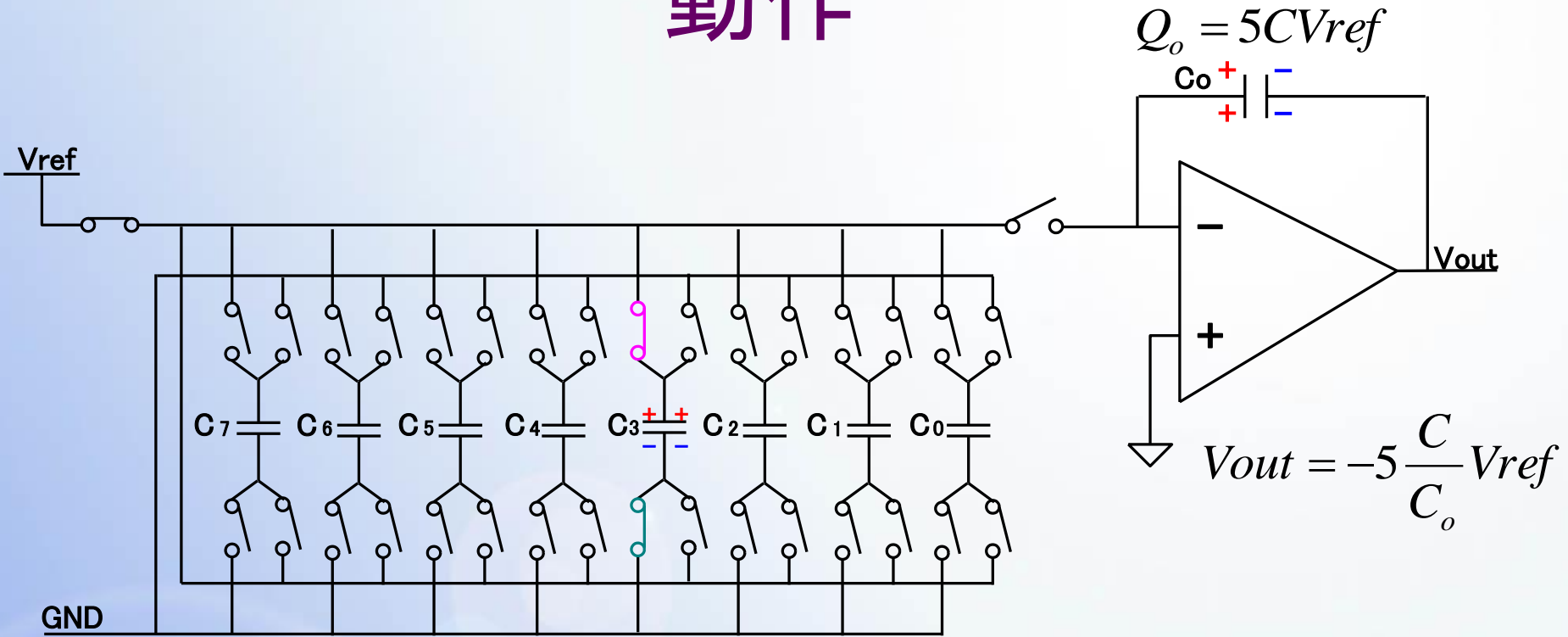


入力 6

	0	1	2	3	4	5	6	7
4	+	+	+	+				
3				-	+	+	+	+
6				++	+	+	+	+
2	+	+	+					-
5	+	+	+					++
7				++	++	++		+
1	+	+		-	-	-	+	+
5			++	+	+	+		
4			-	+	+	+	+	+



動作

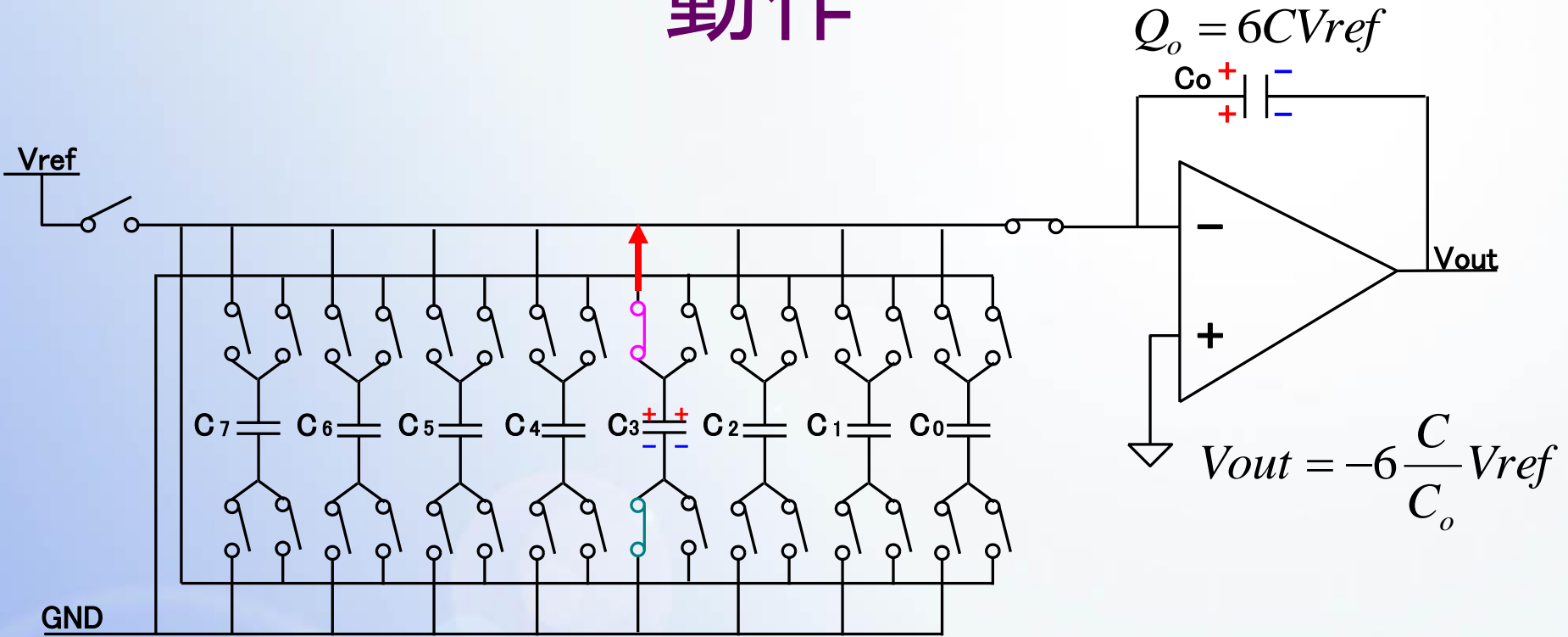


入力 6

	0	1	2	3	4	5	6	7
4	+	+	+	+				
3				-	+	+	+	+
6				++	+	+	+	+
2	+	+	+					-
5	+	+	+					++
7				++	++	++		+
1	+	+		-	-	-	+	+
5			++	+	+	+		
4			-	+	+	+	+	+



動作

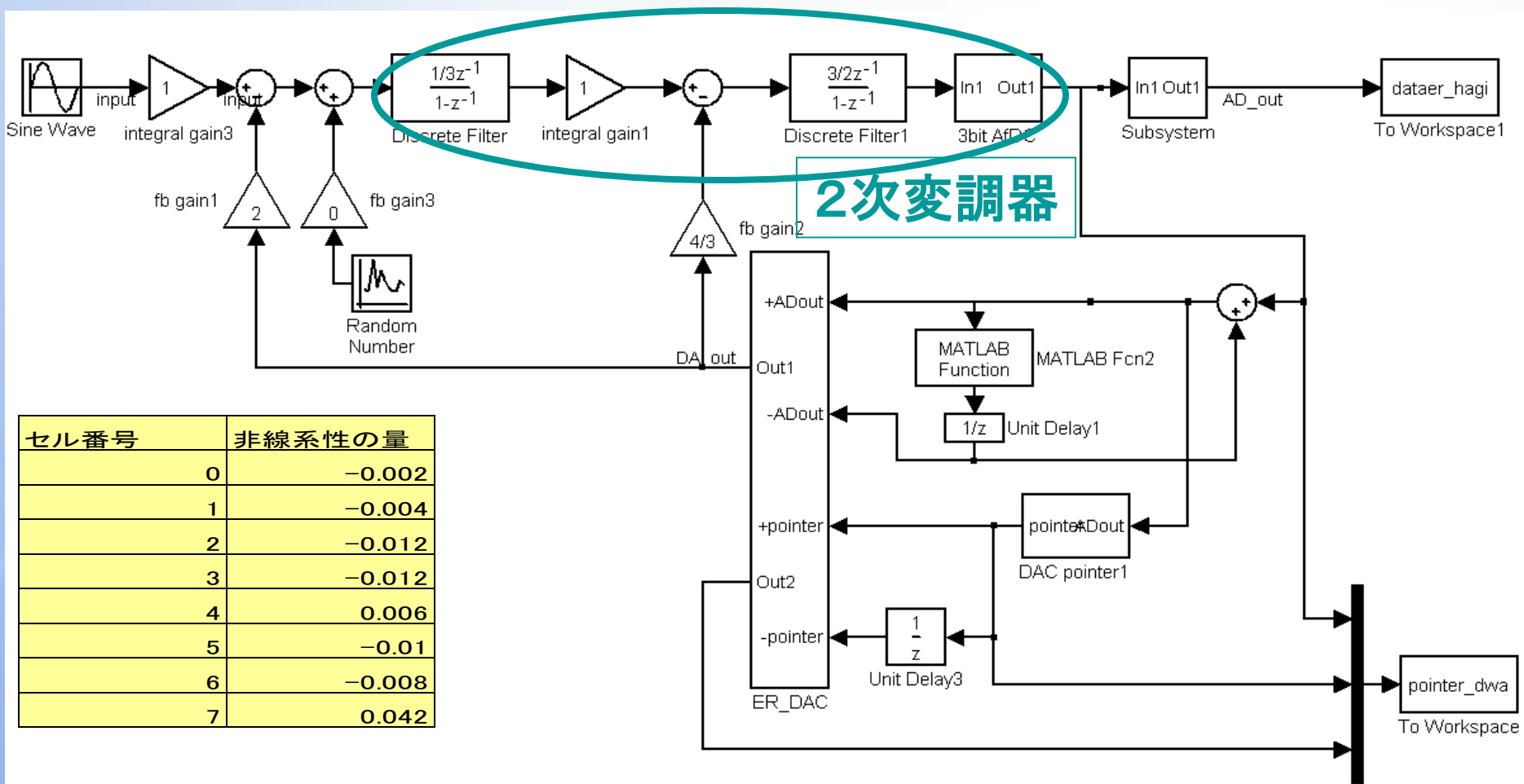


入力 6

	0	1	2	3	4	5	6	7
4	+	+	+	+				
3				-	+	+	+	+
6				++	+	+	+	+
2	+	+	+					-
5	+	+	+					++
7				++	++	++		+
1	+	+		-	-	-	+	+
5			++	+	+	+		
4			-	+	+	+	+	+

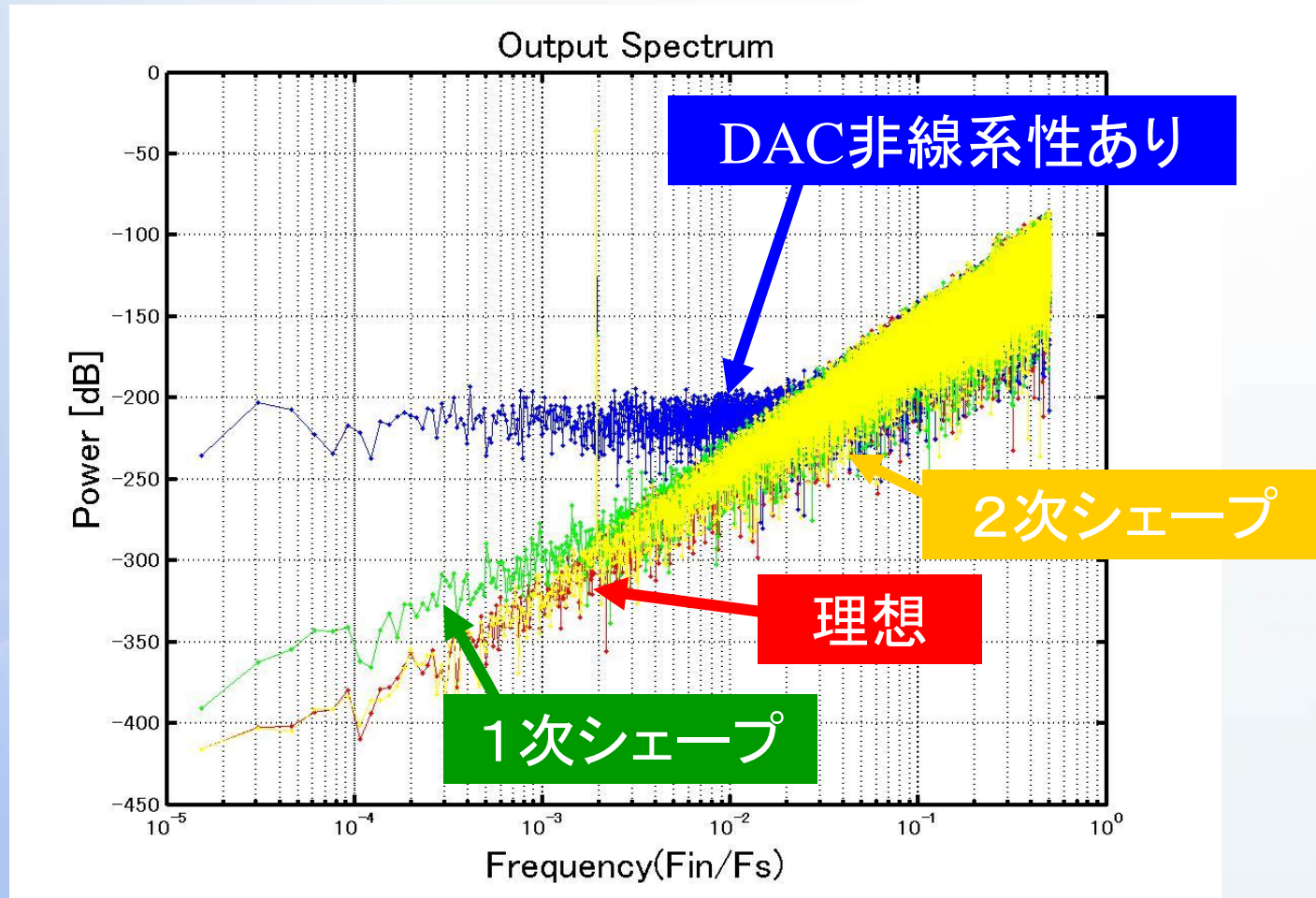


シミュレーション



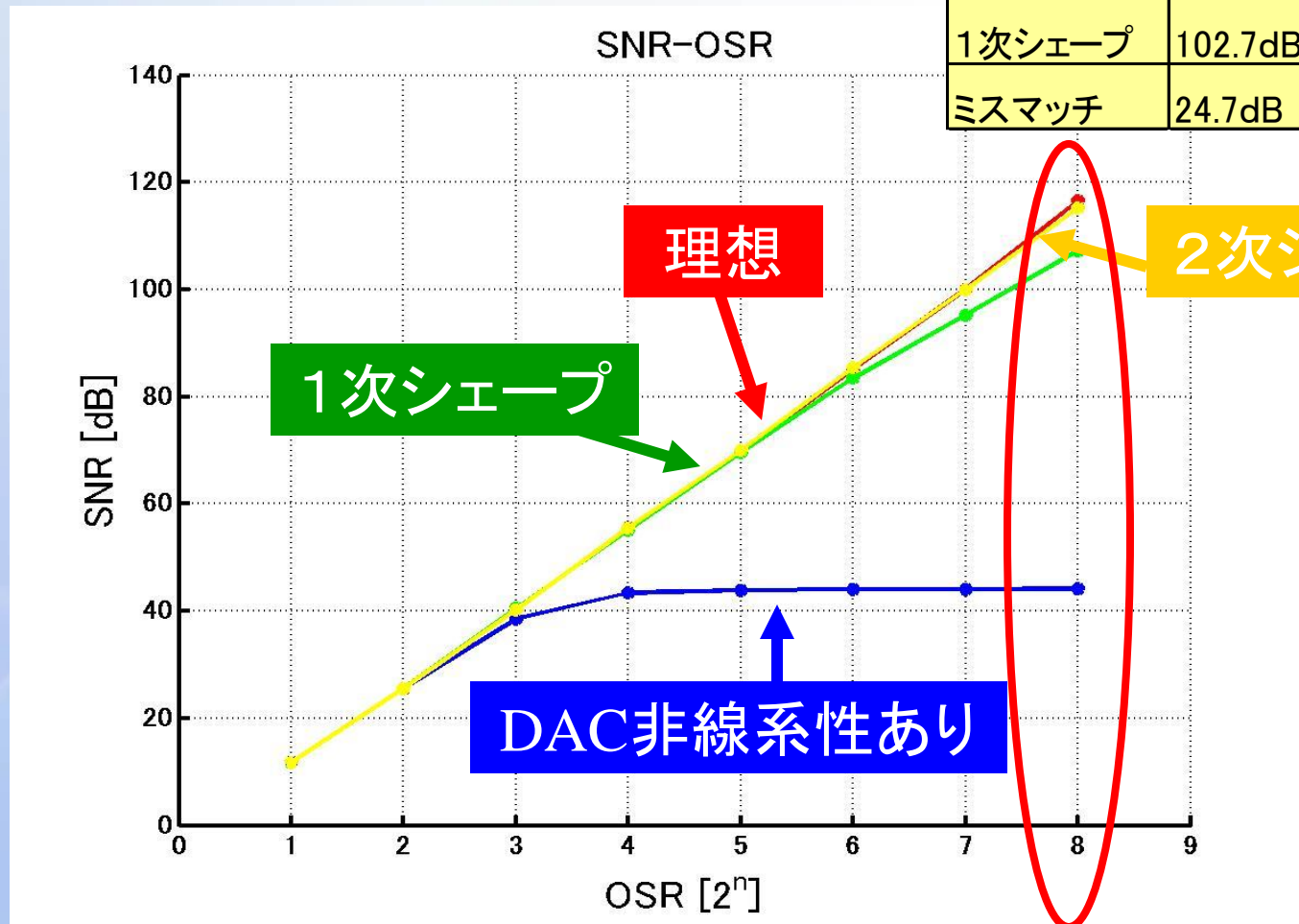
セル番号	非線系性の量
0	-0.002
1	-0.004
2	-0.012
3	-0.012
4	0.006
5	-0.01
6	-0.008
7	0.042

DAC非線形性2次シェープ結果確認 変調器出力スペクトラム



DAC非線形性2次シェープの SNR vs OSR

理想	116.6dB	↑ 0.6dB
2次シェープ	116dB	↓ 13.3dB
1次シェープ	102.7dB	↓ 78dB
ミスマッチ	24.7dB	





まとめ

- DAC非線形性を2次シェープするアルゴリズムを開発
- DAC非線形性をシェープする回路を実現
- MATLABシミュレーションにより提案アルゴリズムの効果を確認

今後の課題

複素バンドパス変調器への拡張