

# 複素バンドパス $\Delta\Sigma$ AD変調器 マルチビットDAC非線形性 ノイズシェーパアルゴリズム の回路実現

群馬大学大学院電気電子工学専攻  
通信処理システム工学第二研究室

和田宏樹

指導教官 小林 春夫 教授



群馬大学

## 発表内容

1. 研究目的
2. 複素バンドパス $\Delta\Sigma$ AD変調器
3. DAC非線形ノイズ・シェープの実現回路
4. DAC非線形ノイズ・シェープの実現回路設計
5. DWA logicの設計とシミュレーション
6. まとめ



群馬大学

# 発表内容

1. 研究目的
2. 複素バンドパス $\Delta\Sigma$ AD変調器
3. DAC非線形ノイズ・シェープの実現回路
4. DAC非線形ノイズ・シェープの実現回路設計
5. DWA logicの設計とシミュレーション
6. まとめ



群馬大学

## 研究目的

◆ 提案した

複素バンドパス $\Delta\Sigma$ AD変調器用

マルチビットDAC非線形性ノイズ・シェープ  
アルゴリズムの実現回路設計を行う



群馬大学

## 発表内容

1. 研究目的
2. 複素バンドパス $\Delta\Sigma$ AD変調器
3. DAC非線形ノイズ・シェープの実現回路
4. DAC非線形ノイズ・シェープの実現回路設計
5. DWA logicの設計とシミュレーション
6. まとめ

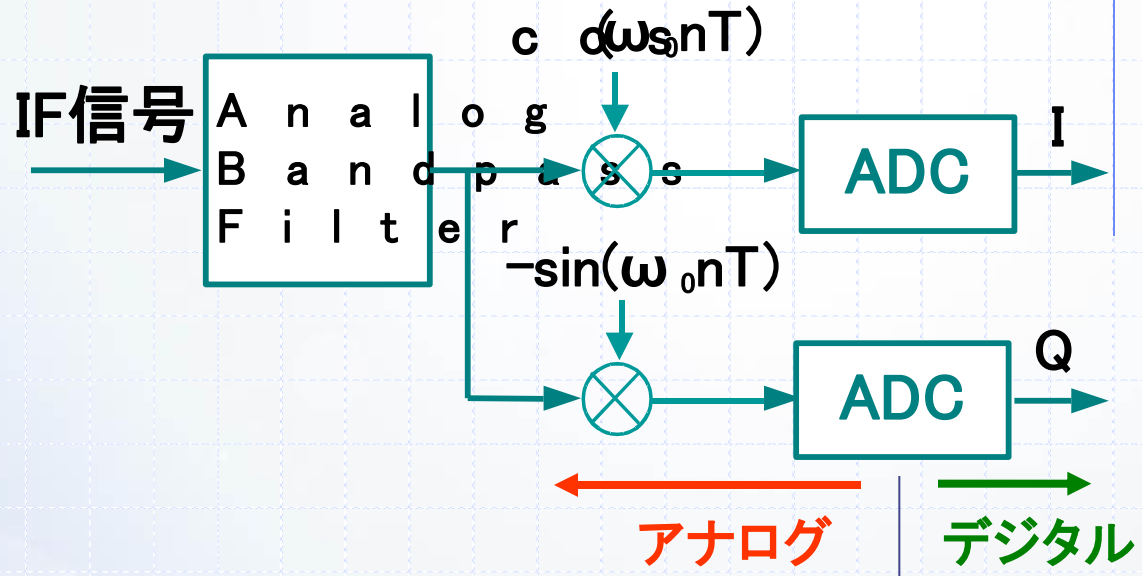


# バンドパスΣ Δ AD変調器の開発背景

アプリケーション:

通信システムのRF受信機

- 携帯電話
- 無線LAN

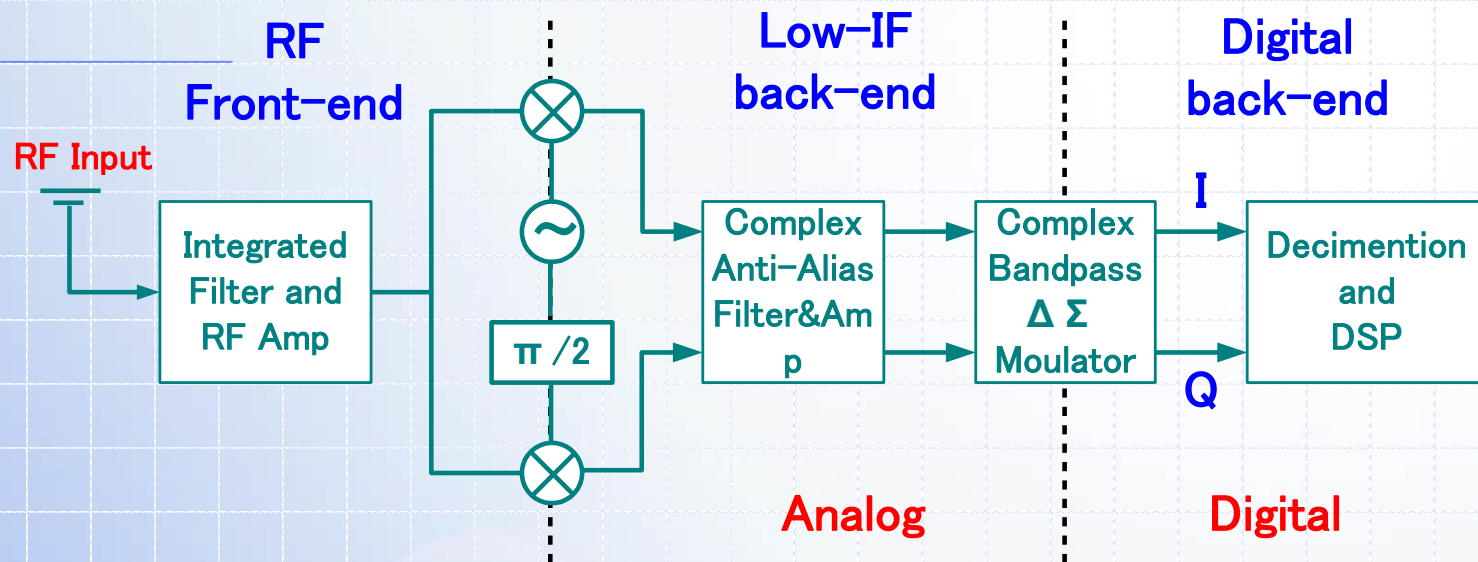


## ◆ 従来の受信回路の問題点

- 複雑なアナログ・バンドパス・フィルタが必要。
- アナログ・ミキサ、LO発振器が必要。
- I、Q経路の mismatchの問題あり。



## 複素バンドパス $\Delta\Sigma$ AD変調器を用いる受信機

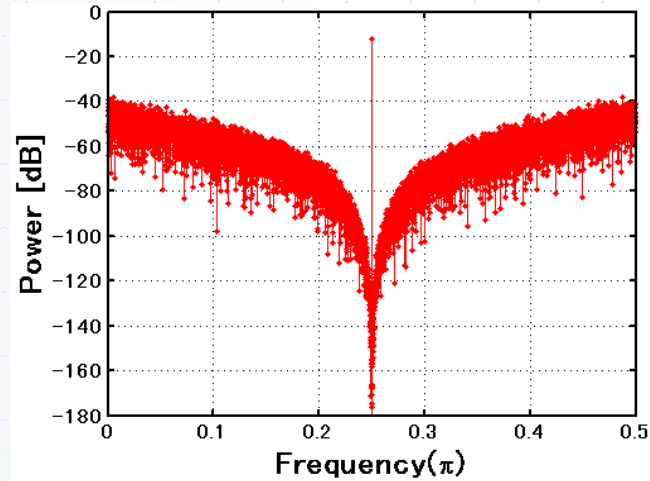
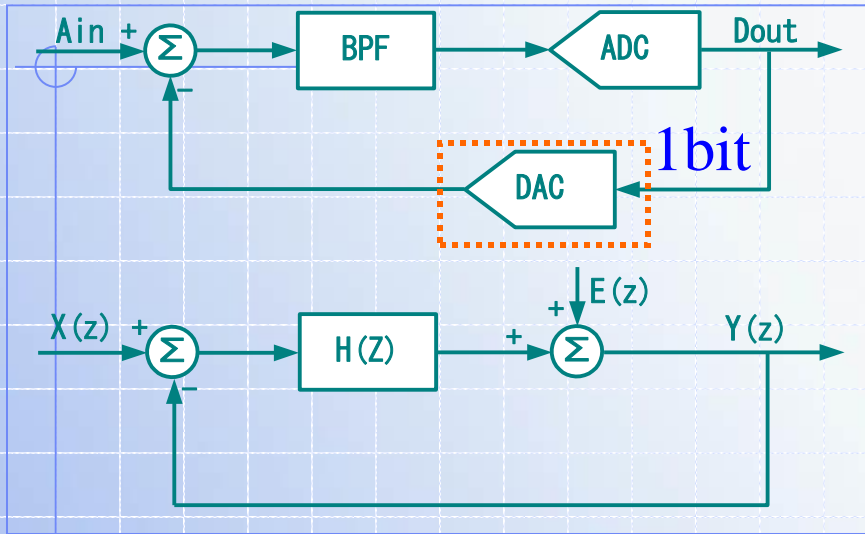


### ◆ 特徴

- 信号成分のみをAD変換
- イメージ成分を抑圧
- 2つの実バンドパス変調器に比べ同じ回路量で高性能



# 複素バンドパス $\Delta\Sigma$ AD変調器



- オーバー・サンプリング
  - ◆  $OSR = F_s / (2 \cdot BW)$
- ノイズ・シェーブ

Noise Shaping

$$Y(z) = \frac{H(z)}{1 + H(z)} \cdot X(z) + \frac{1}{1 + H(z)} \cdot E(z)$$

$H(z) \rightarrow \infty$

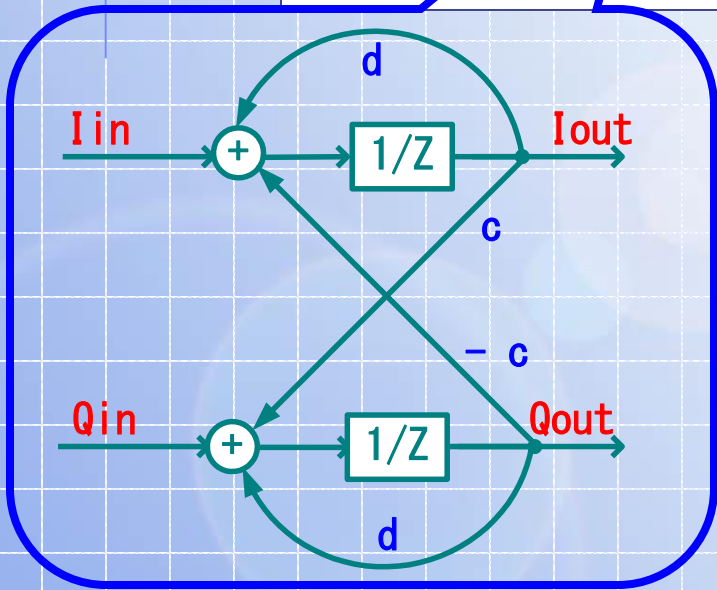
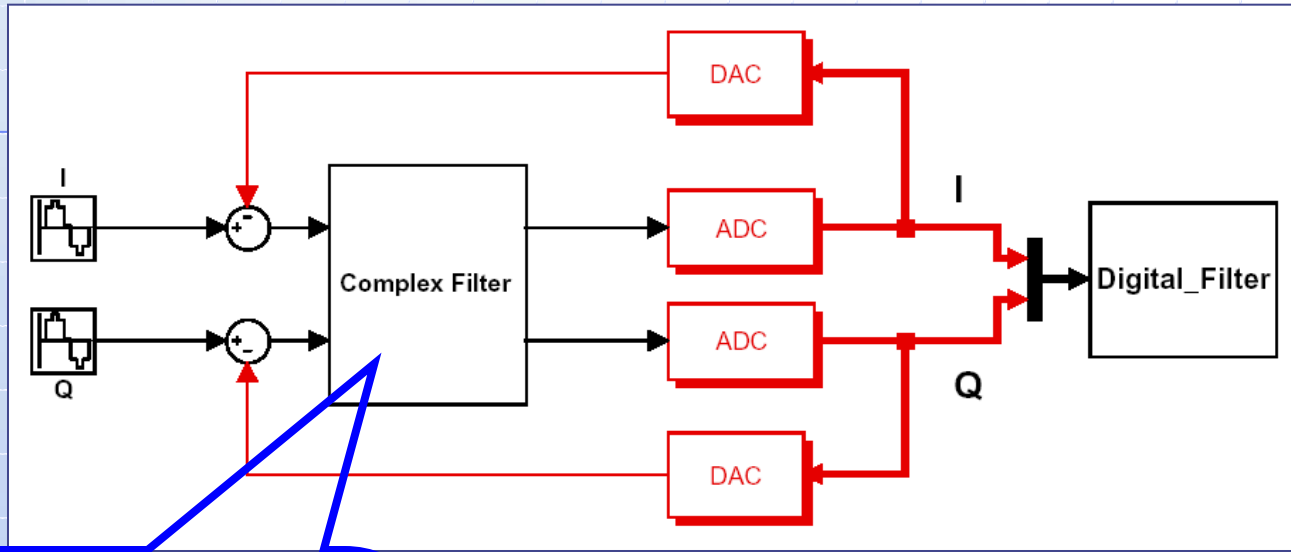
$X(z)$

0

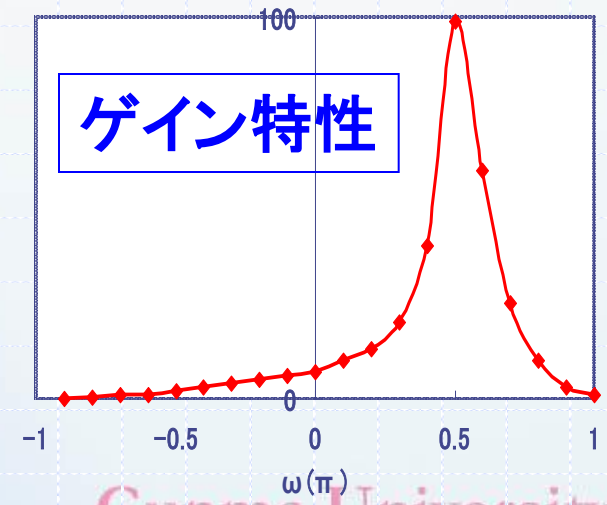
⇒ 高SNRを実現



# 複素バンドパス $\Delta\Sigma$ AD変調器



$$H(z) = \frac{Y_{I,Q}(z)}{X_{I,Q}(z)} = \frac{1}{z - (d + jc)}$$



# なぜマルチビット?

高分解能を達成するために

◆ OSR → 高

- サンプリング周波数 → 高
- 変調器回路 → 高速

◆ フィルタの次数 → 高

- 回路が複雑
- 安定性の問題

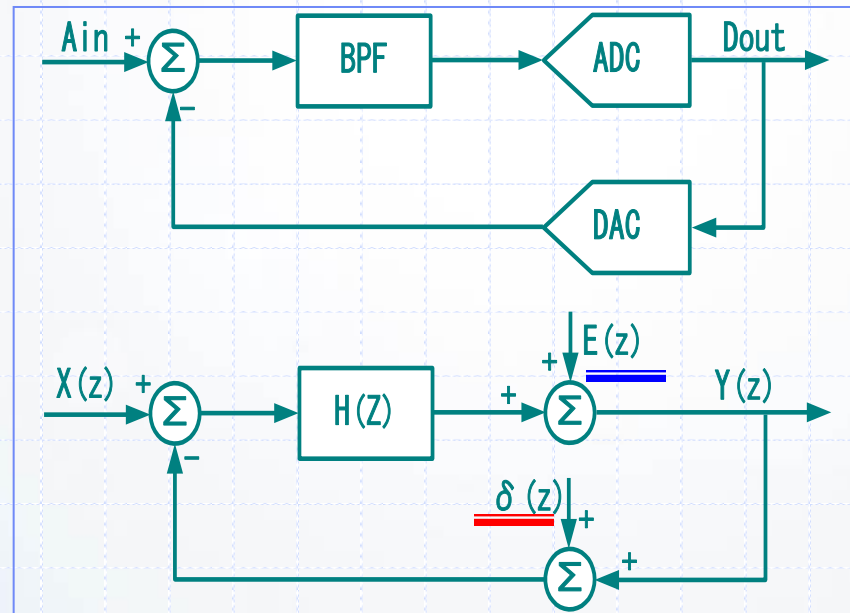
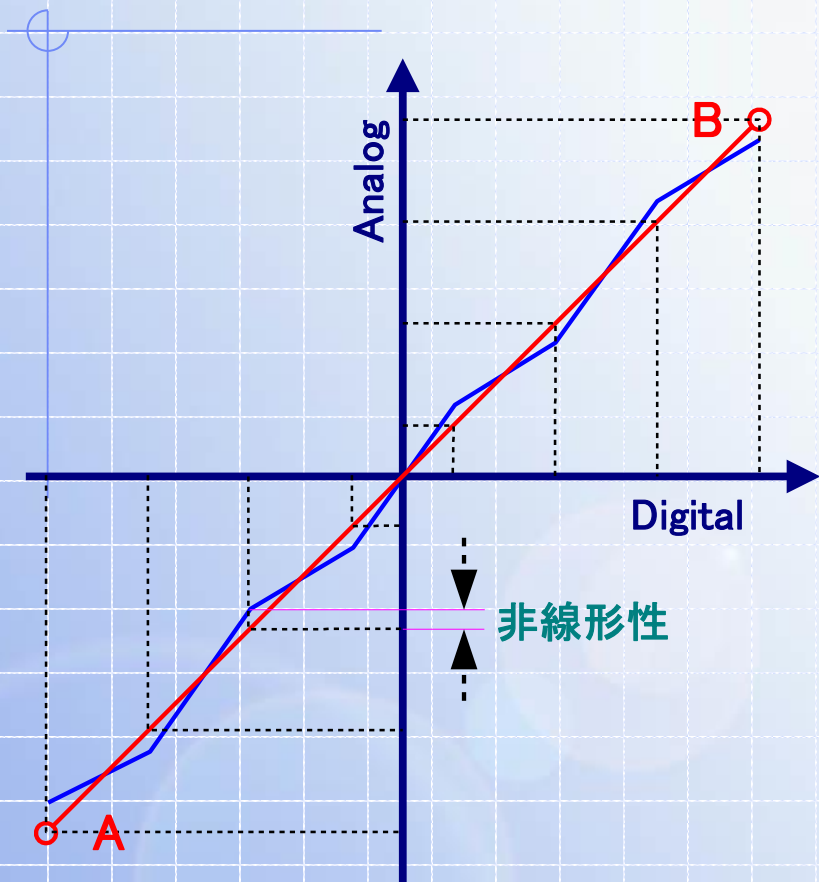
Single-bit  
Multi-bit

● 低OSRで高分解能

● 安定性の問題が軽減

Multi-bit DACの非線形性が問題

# マルチビットDACの非線形性



$$Y(z) = \frac{H(z)}{1+H(z)} \cdot X(z) + \frac{1}{1+H(z)} \cdot E(z)$$

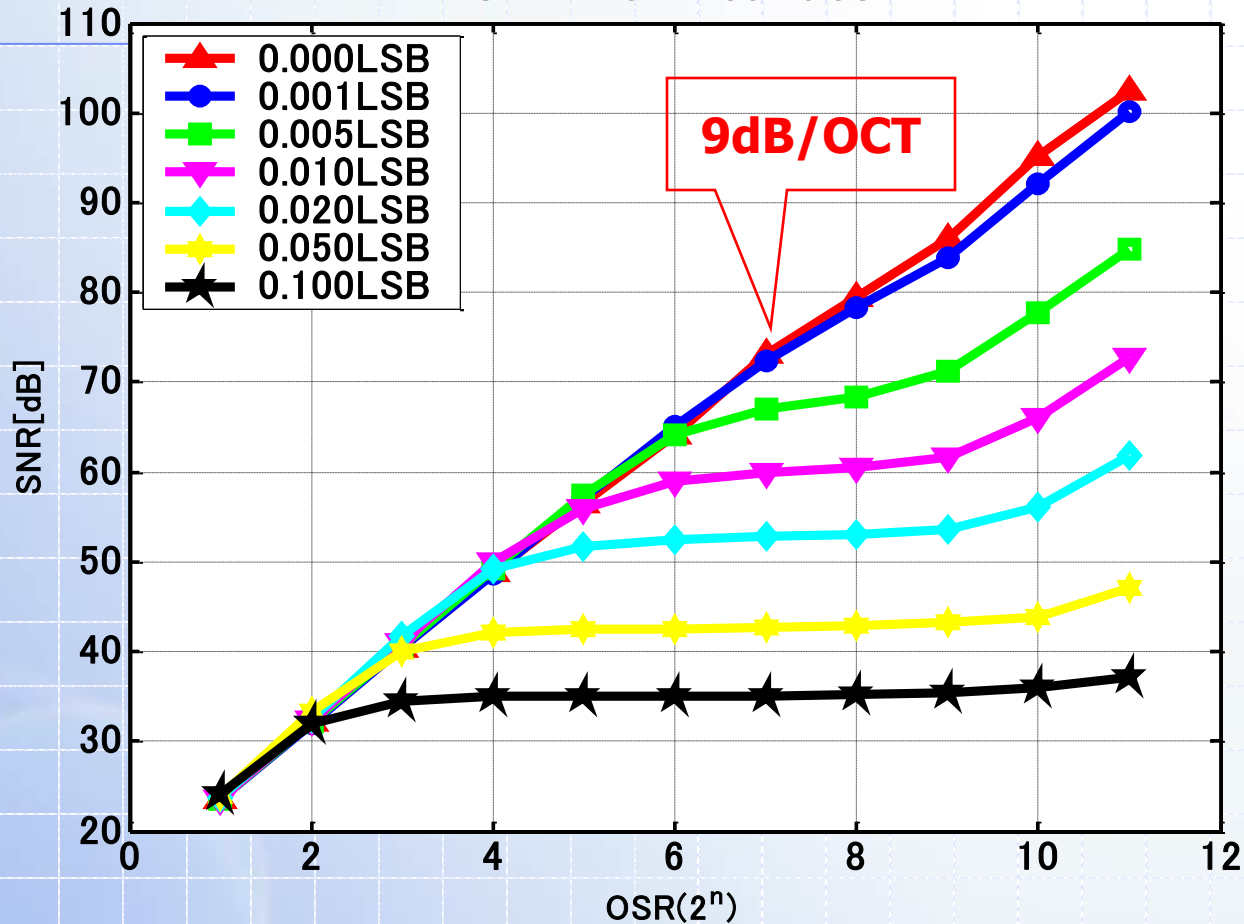
$$Y(z) = \frac{H(z)}{1+H(z)} \cdot X(z) + \frac{1}{1+H(z)} \cdot E(z) - \frac{H(z)}{1+H(z)} \cdot \delta(z)$$

$\delta(z)$ はノイズ・シェーブされない。

# DAC非線形性によるSNRの劣化

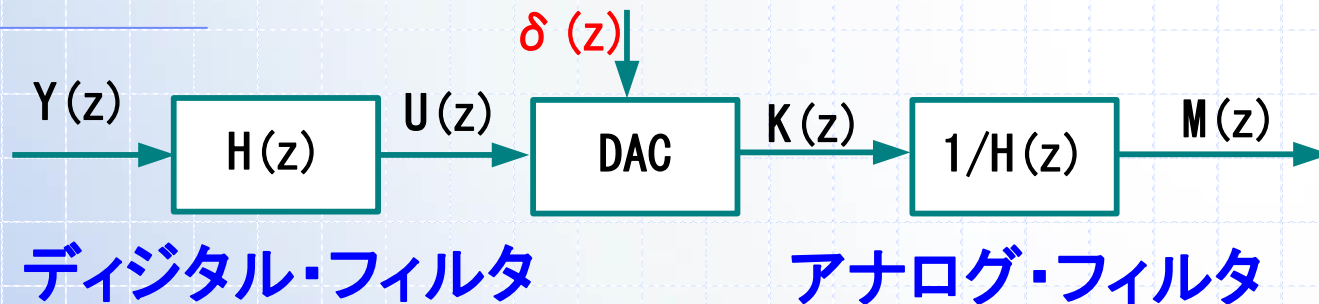
## 2次バンドパス $\Delta\Sigma$ 変調器のシミュレーション効果

SNR-Nonlinearities



**DACの非線形性をノイズ・シェーブするアルゴリズムが必要！**

# DAC非線形性のノイズ・シェープ



$$K(z) = H(z) \cdot Y(z) + \delta(z)$$

$$M(z) = Y(z) + \frac{1}{H(z)} \cdot \delta(z)$$

Noise Shape

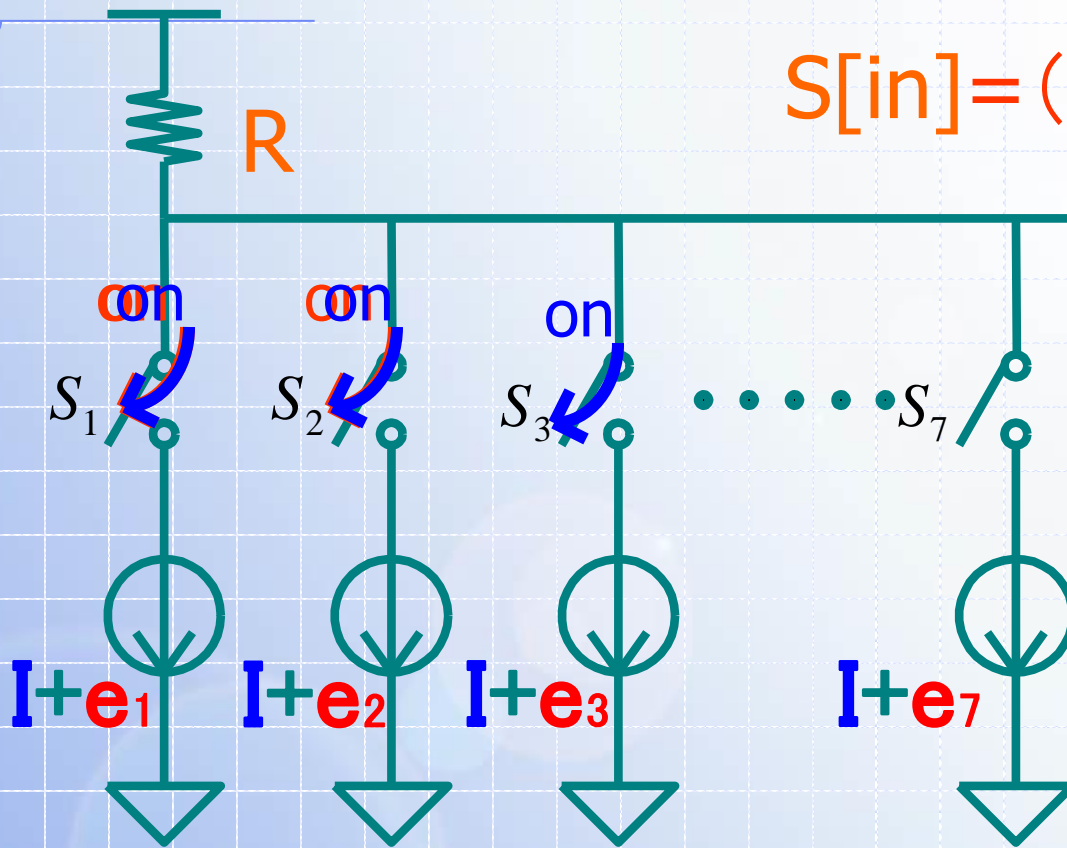
- 問題点:

U(z)はDAC入力レンジ外になりうる



# セグメント・電流セル型DACの非線形性

$$S[in] = (2; 3; 1)$$

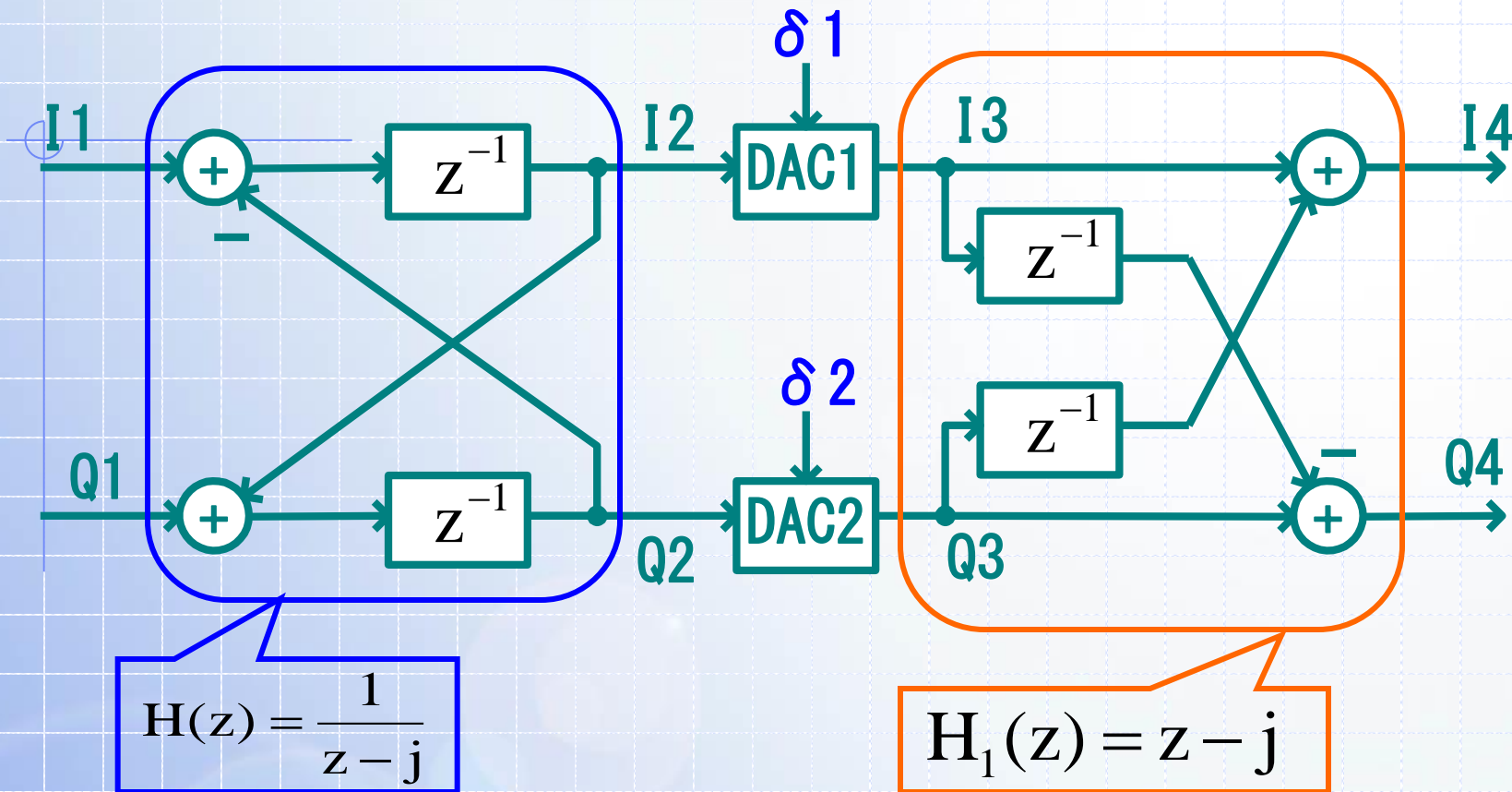


$$V_{out} = R \cdot I \cdot S[in]$$

電流セルのミスマッチ ( $e_1, e_2, e_3, \dots, e_7$ ) がDACの非線形性



# 複素バンドパス・ノイズ・シェープ

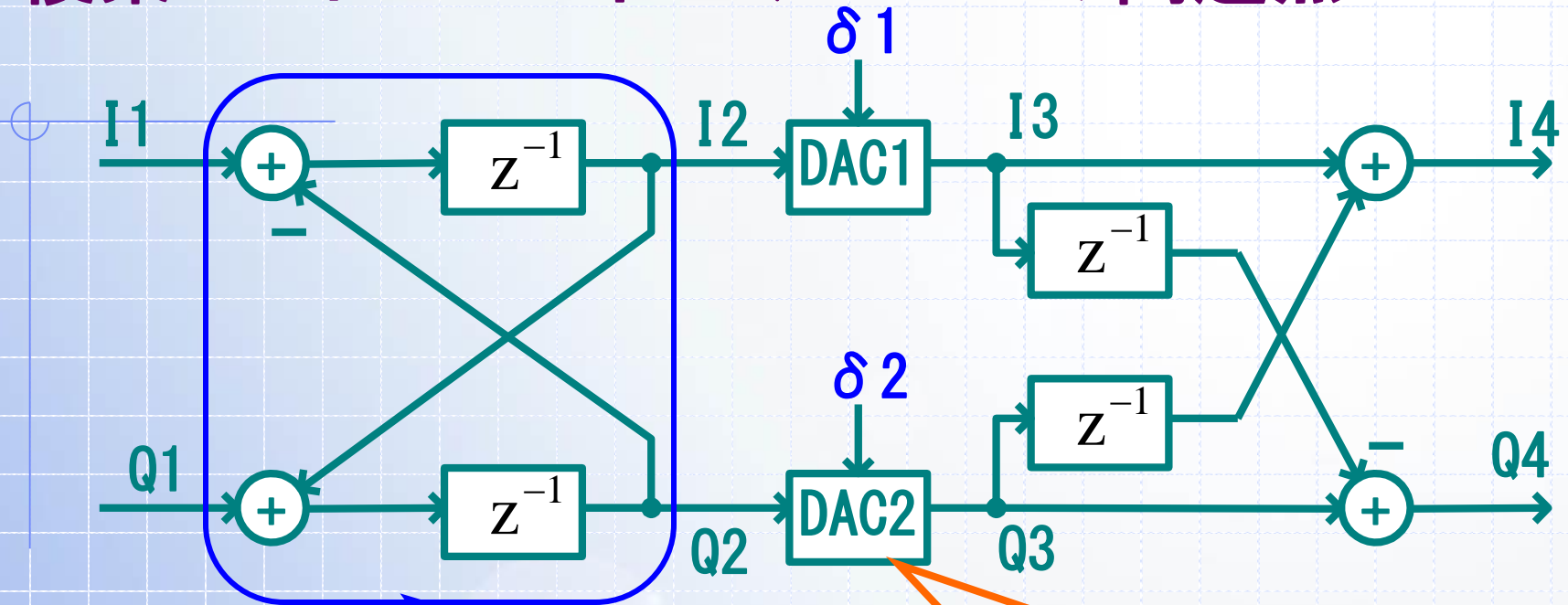


$$I_4(z) + j \cdot Q_4(z) = [I_1(z) + j \cdot Q_1(z)] + \frac{1}{H(z)} \cdot [\delta_1(z) + j \cdot \delta_2(z)]$$



**$\delta(z)$ を複素でノイズ・シェープ**

# 複素バンドパスノイズ・シェープの問題点



$$I_2(n+1) = I_1(n) - Q_2(n)$$

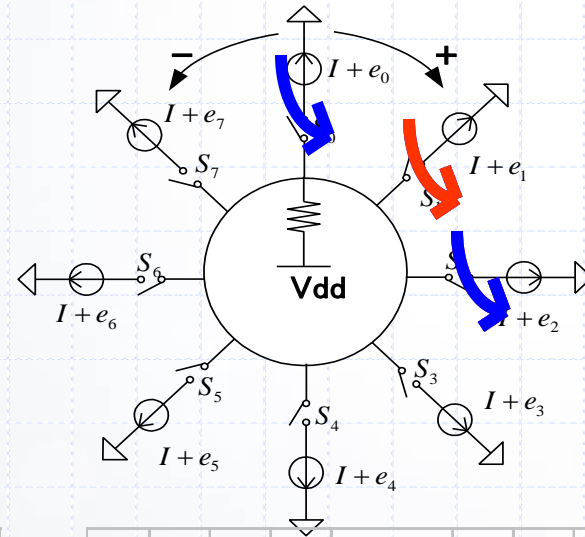
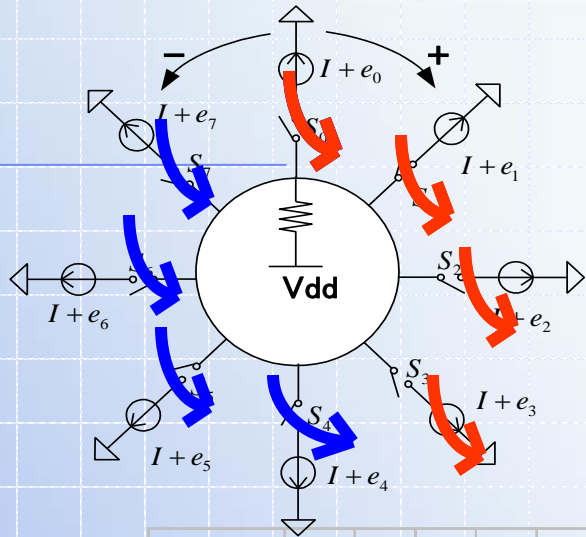
$$Q_2(n+1) = I_2(n) + Q_1(n)$$

**$I_2 < 0$ 、 $Q_2 > FS$  になり得る**

DACの入カレンジ  
0~FS



# 複素バンドパスノイズ・シェープの実現法



Time  
Input of DAC

		DAC1							
		0	1	2	3	4	5	6	7
4+3i	4								
2+5i	5								
3+1i	3								
6+2i	2								
5+4i	5								
1+3i	3								
7+2i	7								
4+6i	6								
2+4i	2								
3+3i	3								

		DAC2							
		0	1	2	3	4	5	6	7
3	3								
2	2								
1	1								
6	6								
4	4								
1	1								
2	2								
4	4								
4	4								
3	3								

■ I出力

■ Q出力



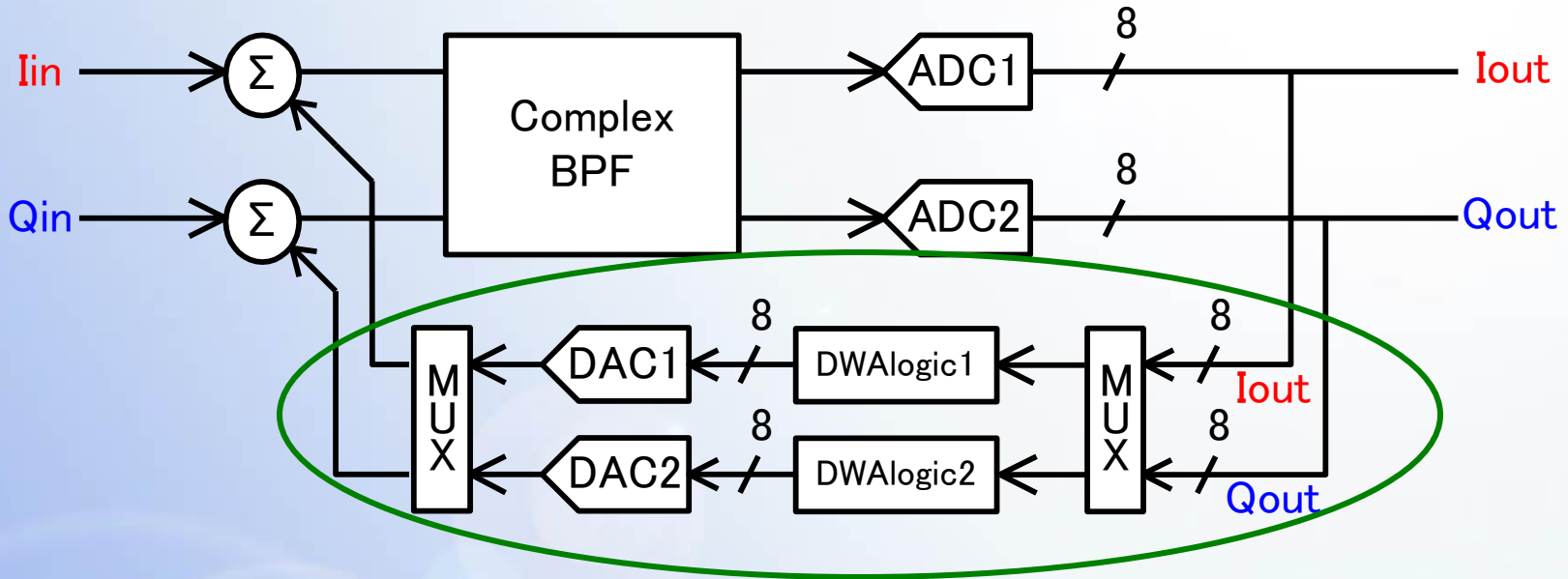
群馬大学

## 発表内容

1. 研究目的
2. 複素バンドパス $\Delta\Sigma$ AD変調器
3. DAC非線形ノイズ・シェープ・アルゴリズム
4. DAC非線形ノイズ・シェープの実現回路設計
5. 詳細設計とシミュレーション
6. まとめ



## ノイズ・シェープ回路の実現

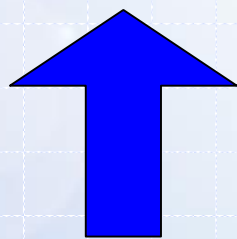


- ◆ 回路にマルチプレクサとDWAのlogicを加え、DWAのlogicの設計を行った



## 動作の特徴

- ◆ DAC1と2は交互にI,Q信号を出力
- ◆ DAC1は常に右方向に出力が変化
- ◆ DAC2は左右交互に出力が変化



MUXとDWA logic で制御

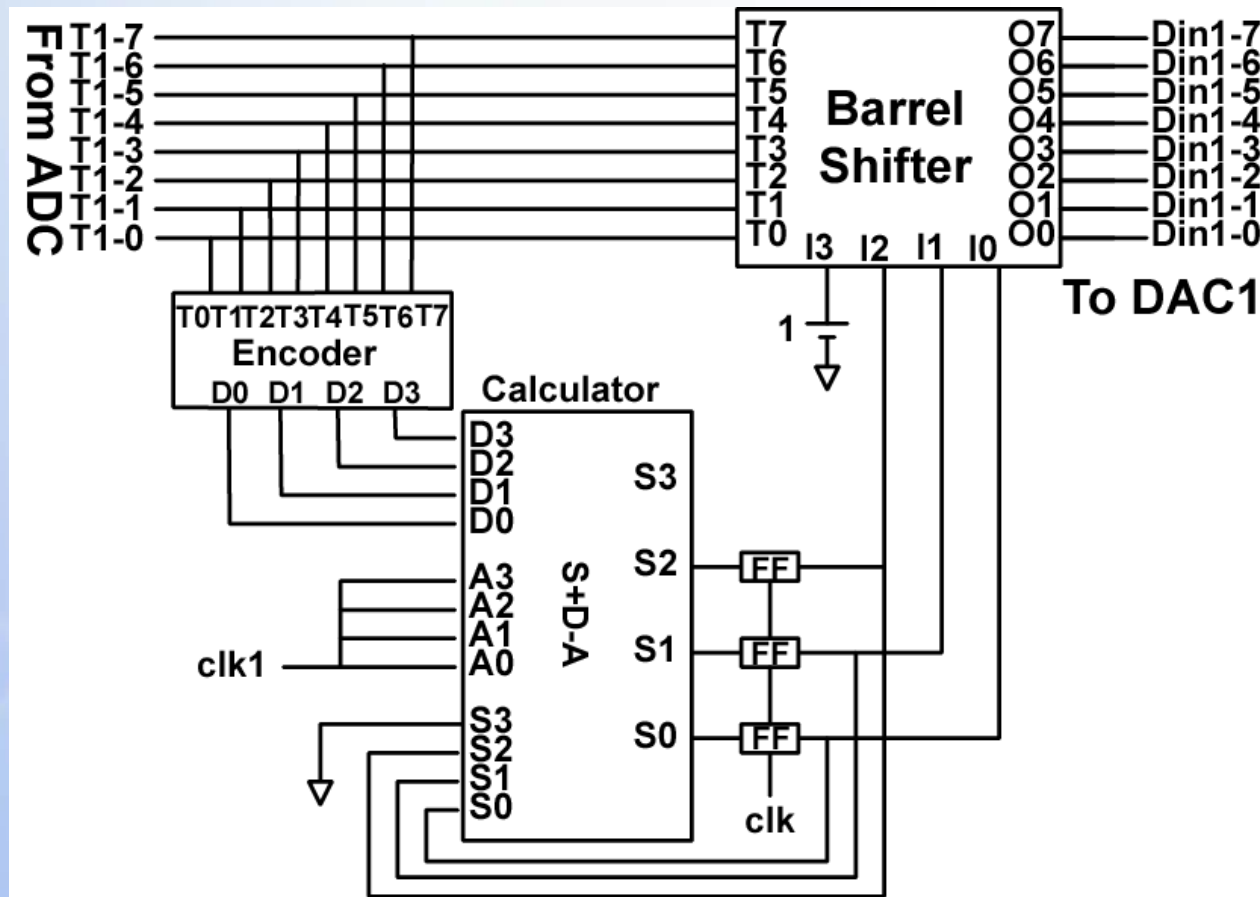


群馬大学

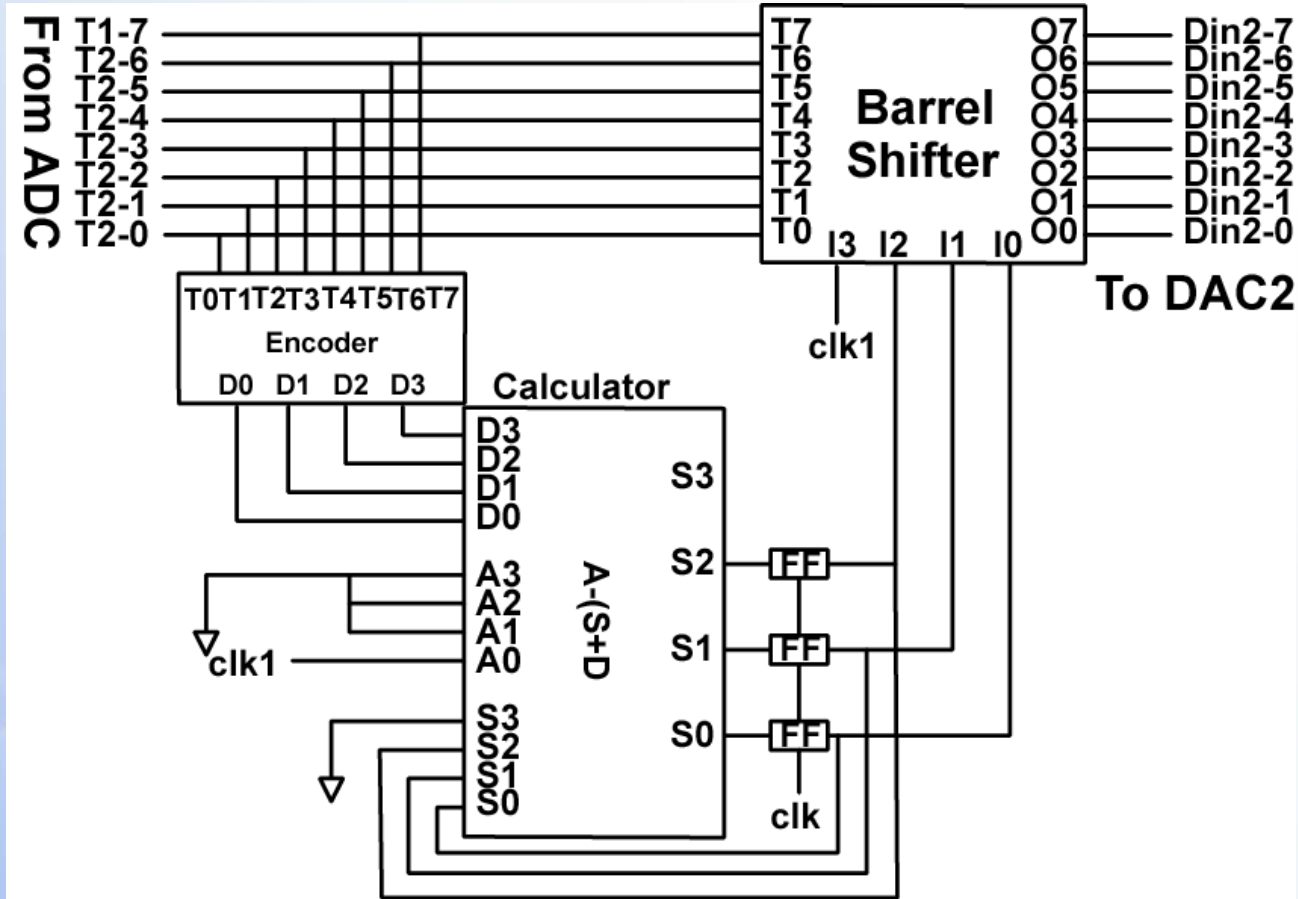
## 発表内容

1. 研究目的
2. 複素バンドパス $\Delta\Sigma$ AD変調器
3. DAC非線形ノイズ・シェープの実現回路
4. DAC非線形ノイズ・シェープの実現回路設計
5. DWA logicの設計とシミュレーション
6. まとめ

# 設計したDWA logic1の構成

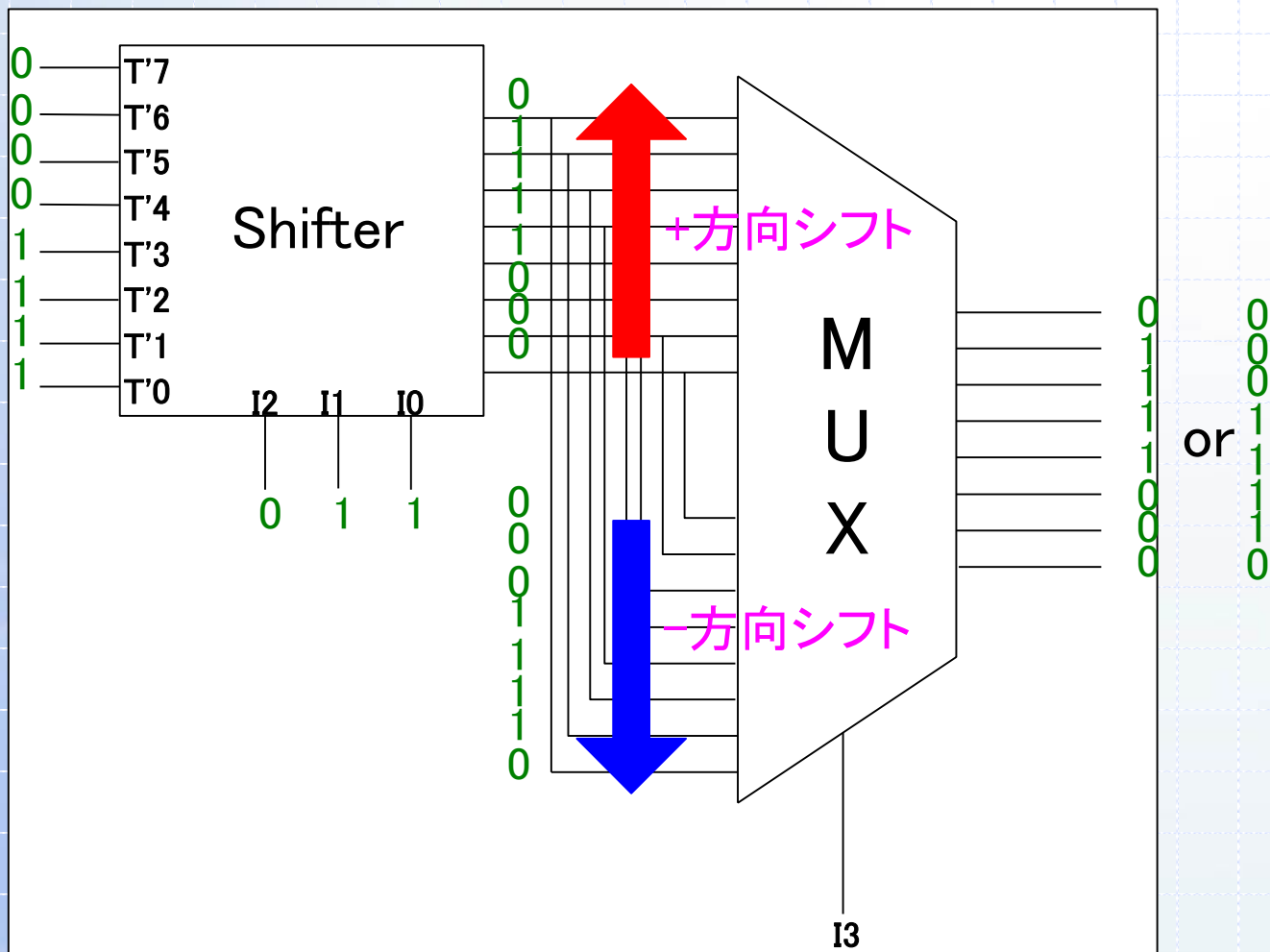


# 設計したDWA logic2の構成





# Barrel Shifter







## DWA logic2についての補足

### Shifter入力

### Shifter出力

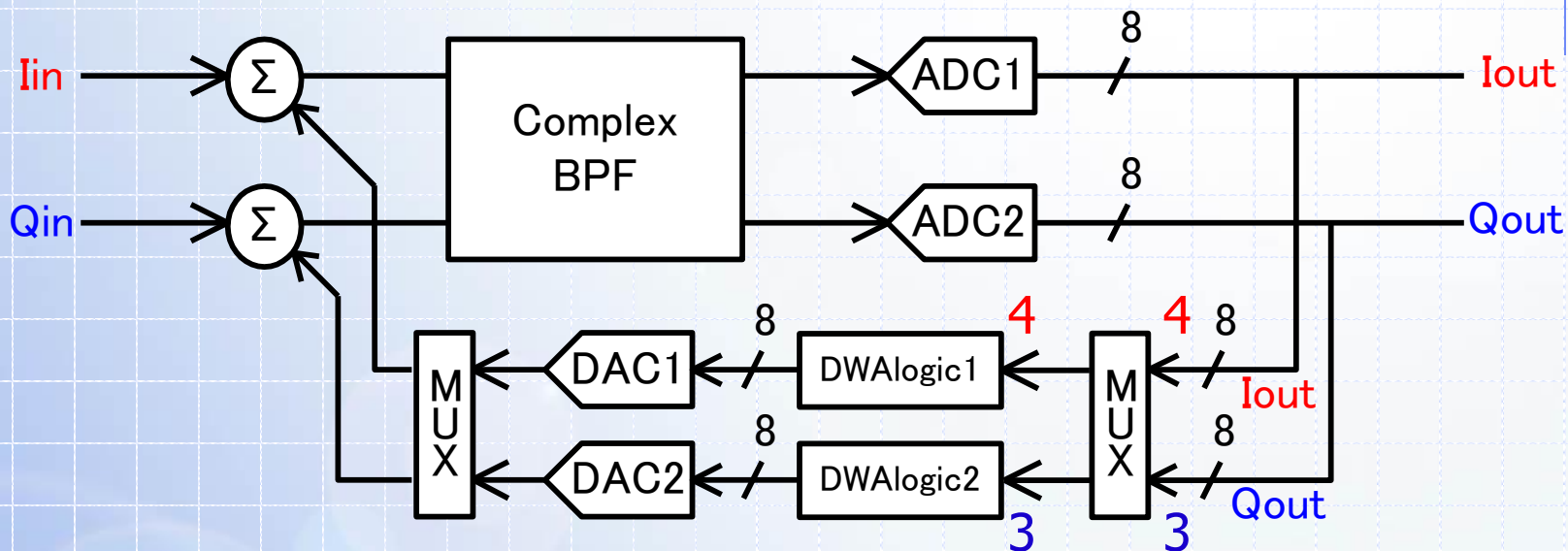
	T2'-7	T2'-6	T2'-5	T2'-4	T2'-3	T2'-2	T2'-1	T2'-0											
n	T2-0	T2-1	T2-2	T2-3	T2-4	T2-5	T2-6	T2-7											
1	■	■	■																シフトの向き
2							■	■											+
3	■																		-
4			■	■	■	■	■	■											+
5	■	■	■	■															-
6																			+
7	■	■																	-
8				■	■	■	■	■											+
9	■	■	■	■															-
10						■	■	■											+

n **奇数** : Shifter入力が左から始まる。  
 プラス側シフト。

n **偶数** : Shifter入力が右から始まる。  
 マイナス側シフト。



## DWA logicの動作(1)



入力
$4+3i$

DWA1に実部4、DWA2に虚部3が出力

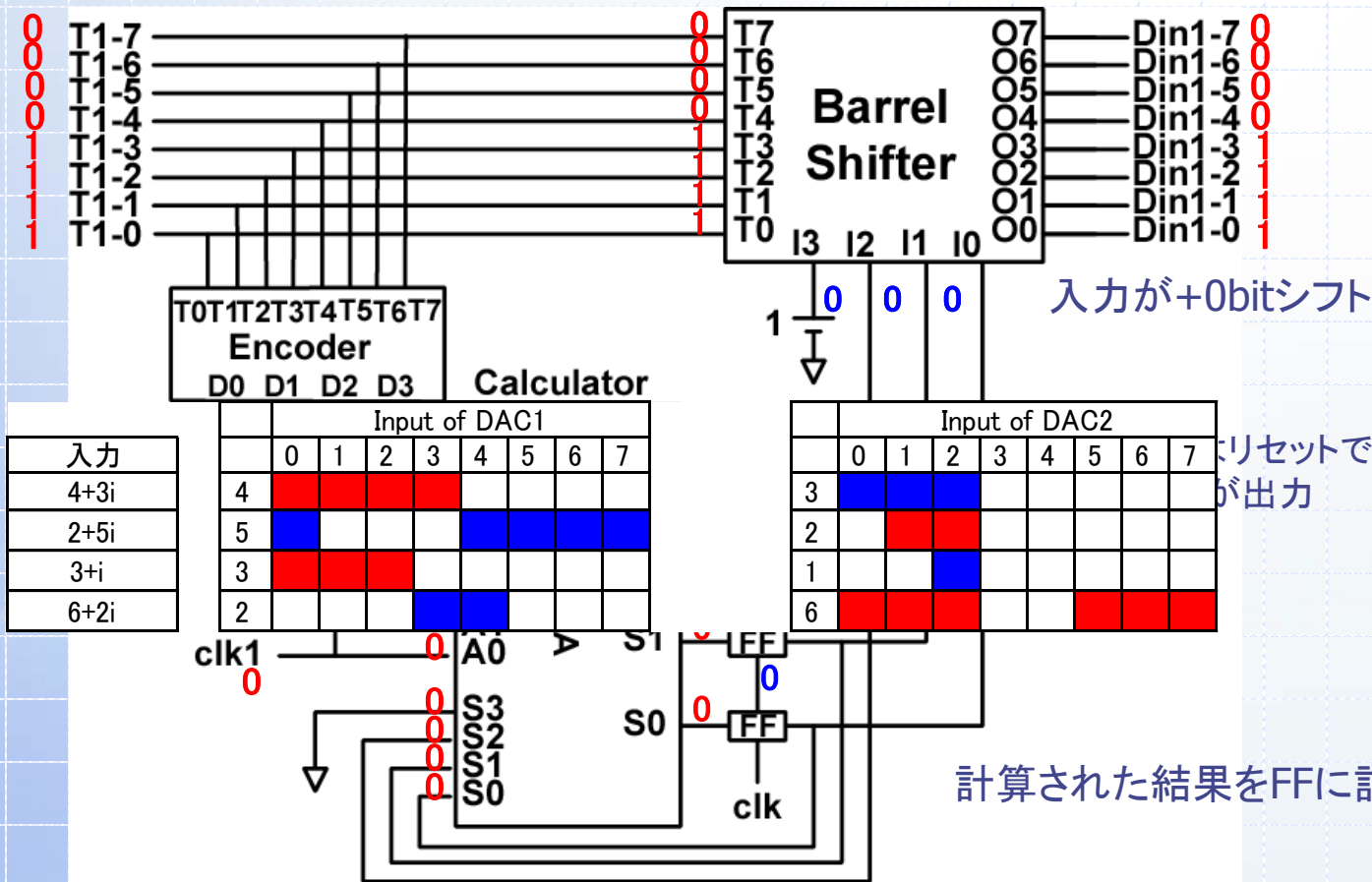


## 入力4+3i時のDWA logic1の動作

Input from ADC

Output for DAC

実部4  
入力



計算された結果をFFに記憶

リセットで出力

入力が+0bitシフト

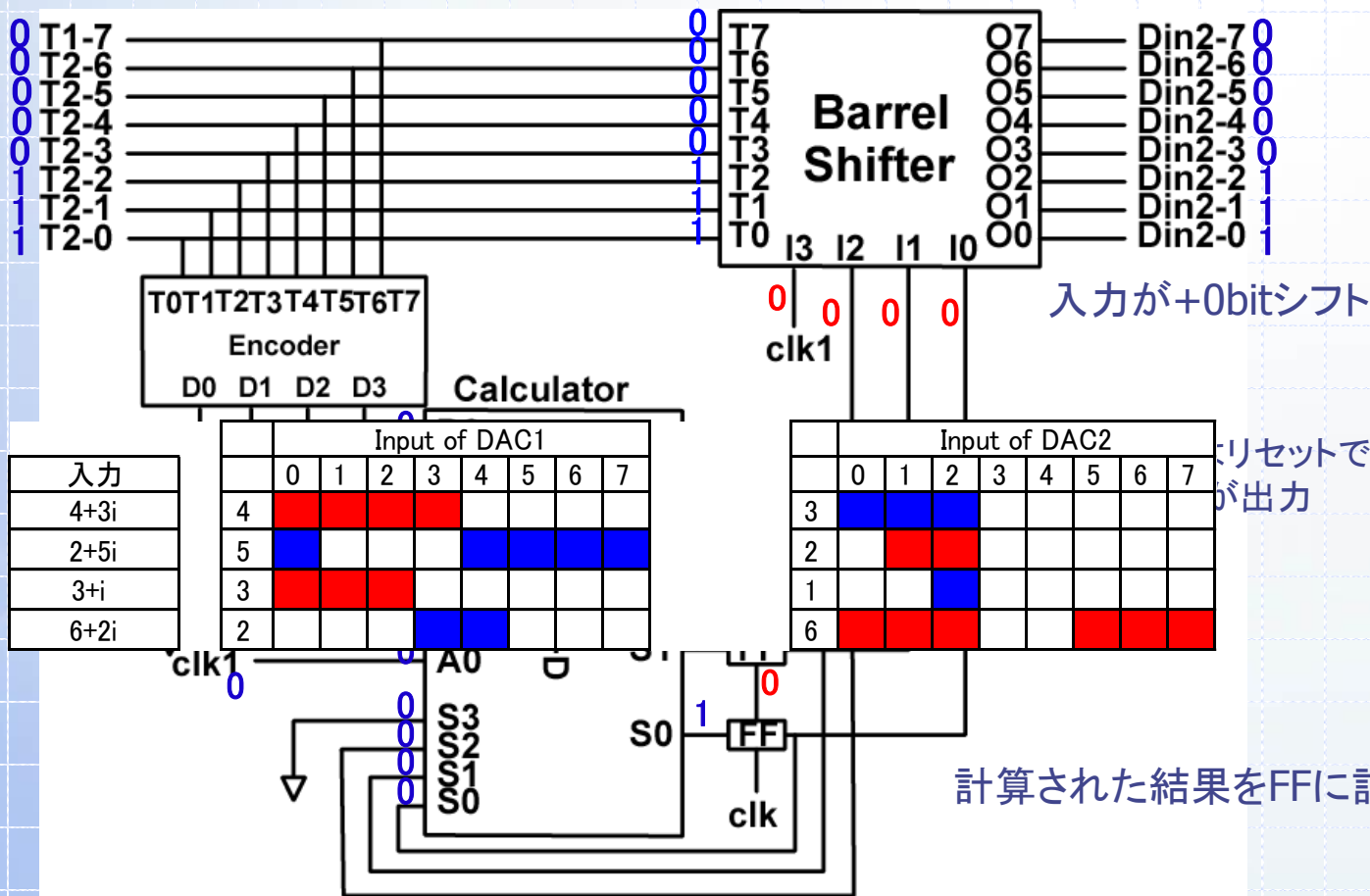


## 入力4+3i時のDWA logic2の動作

Input from ADC

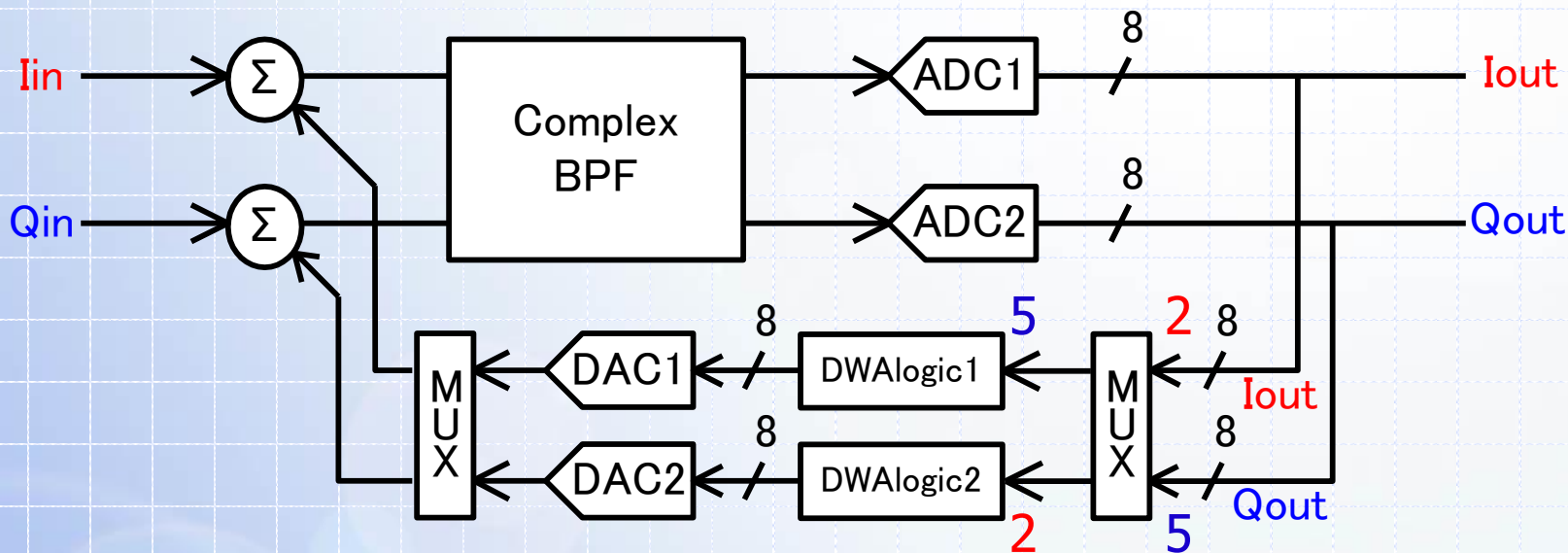
Output for DAC

虚部3  
入力





# DWA logicの動作(2)



DWA1に虚部5、DAC2に実部2が出力

入力
$4+3i$
$2+5i$

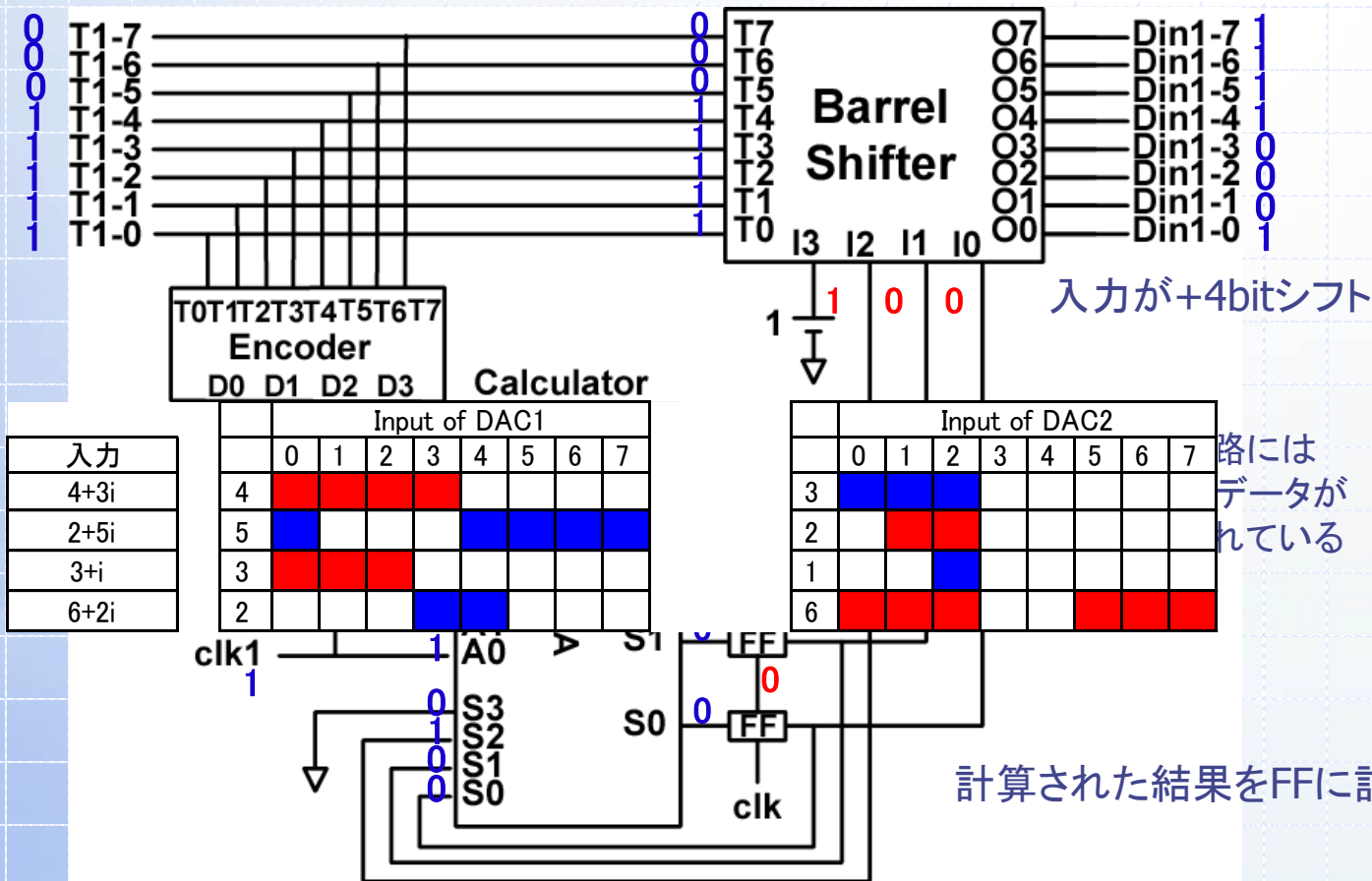


## 入力2+5i時のDWA logic1の動作

Input from ADC

Output for DAC

虚部5  
入力





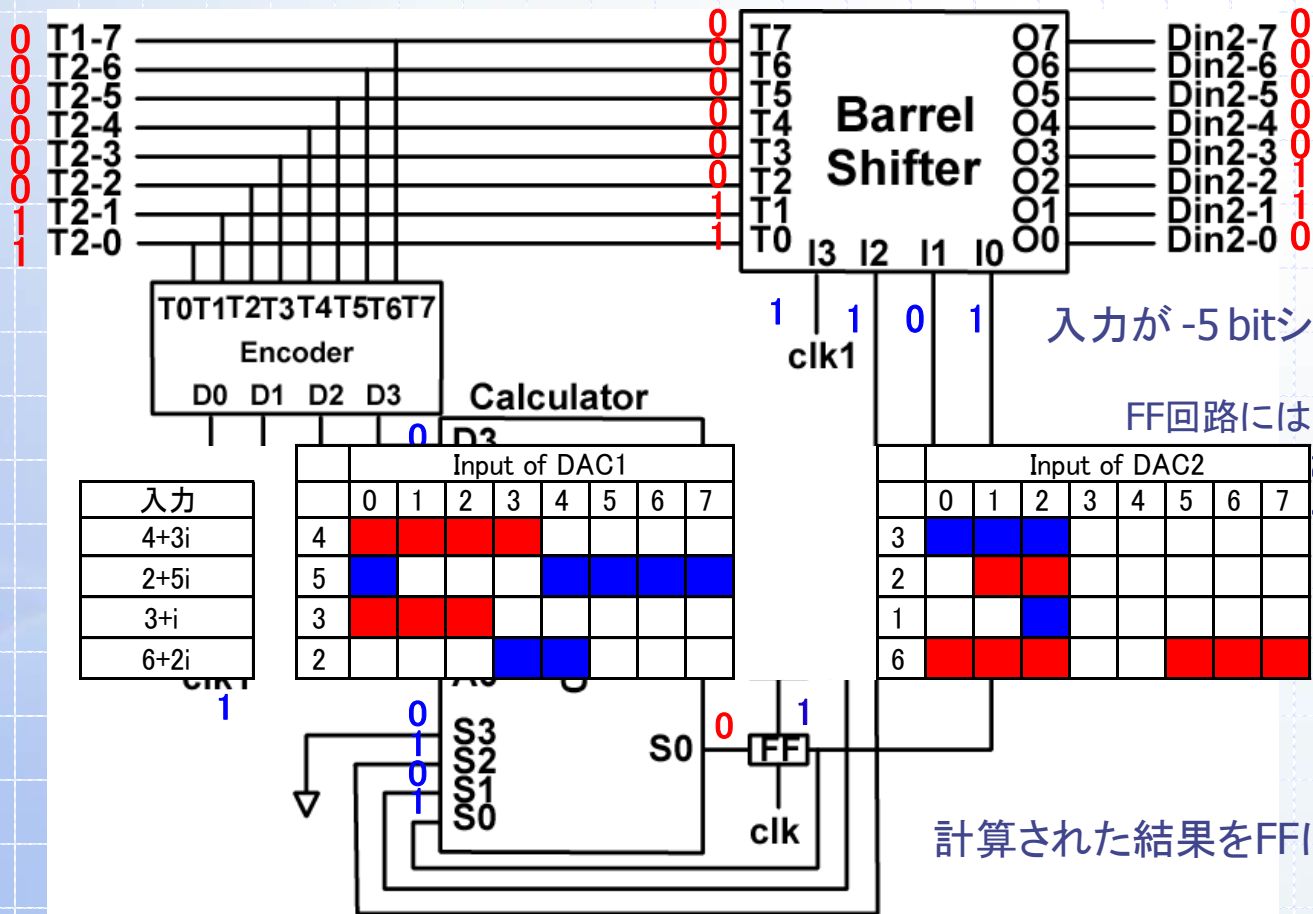


## 入力 $2+5i$ 時の DWA logic2 の動作

Input from ADC

Output for DAC

実部2  
入力



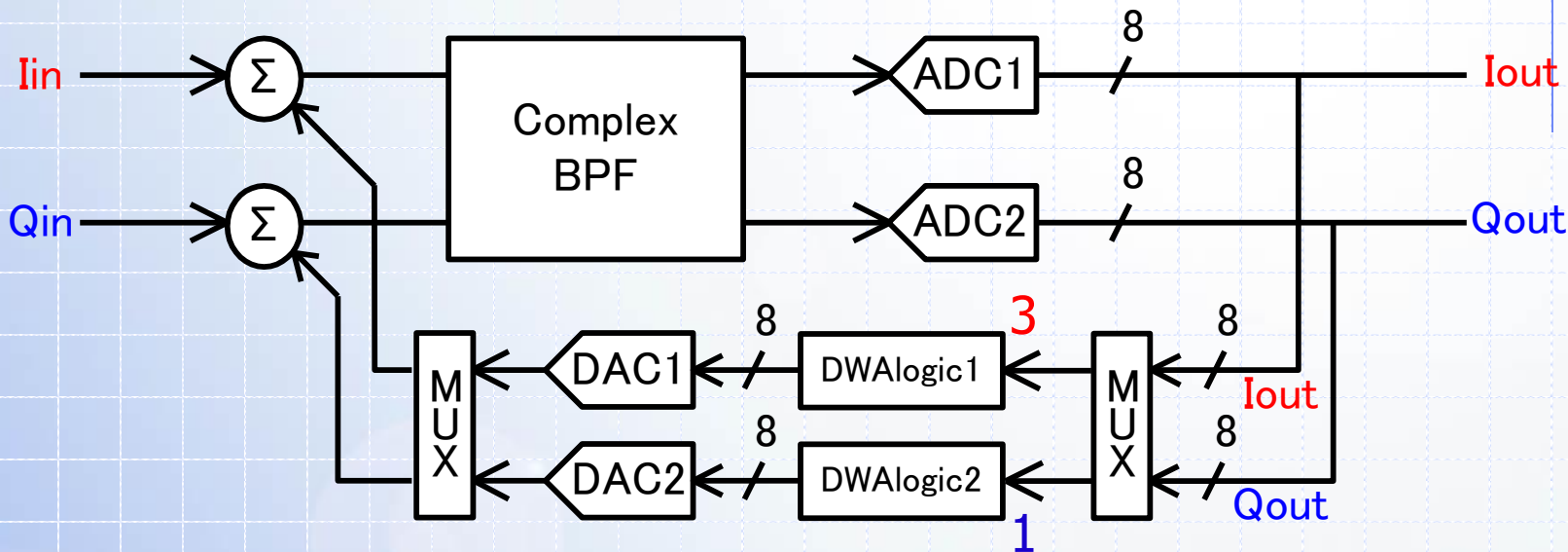
入力が -5 bitシフト

FF回路には  
がる

計算された結果をFFに記憶



# DWA logicの動作(3)



ADCから3+iが出力

DWA1に実部3、DWA2に虚部1が入力

入力
$4+3i$
$2+5i$
$3+i$

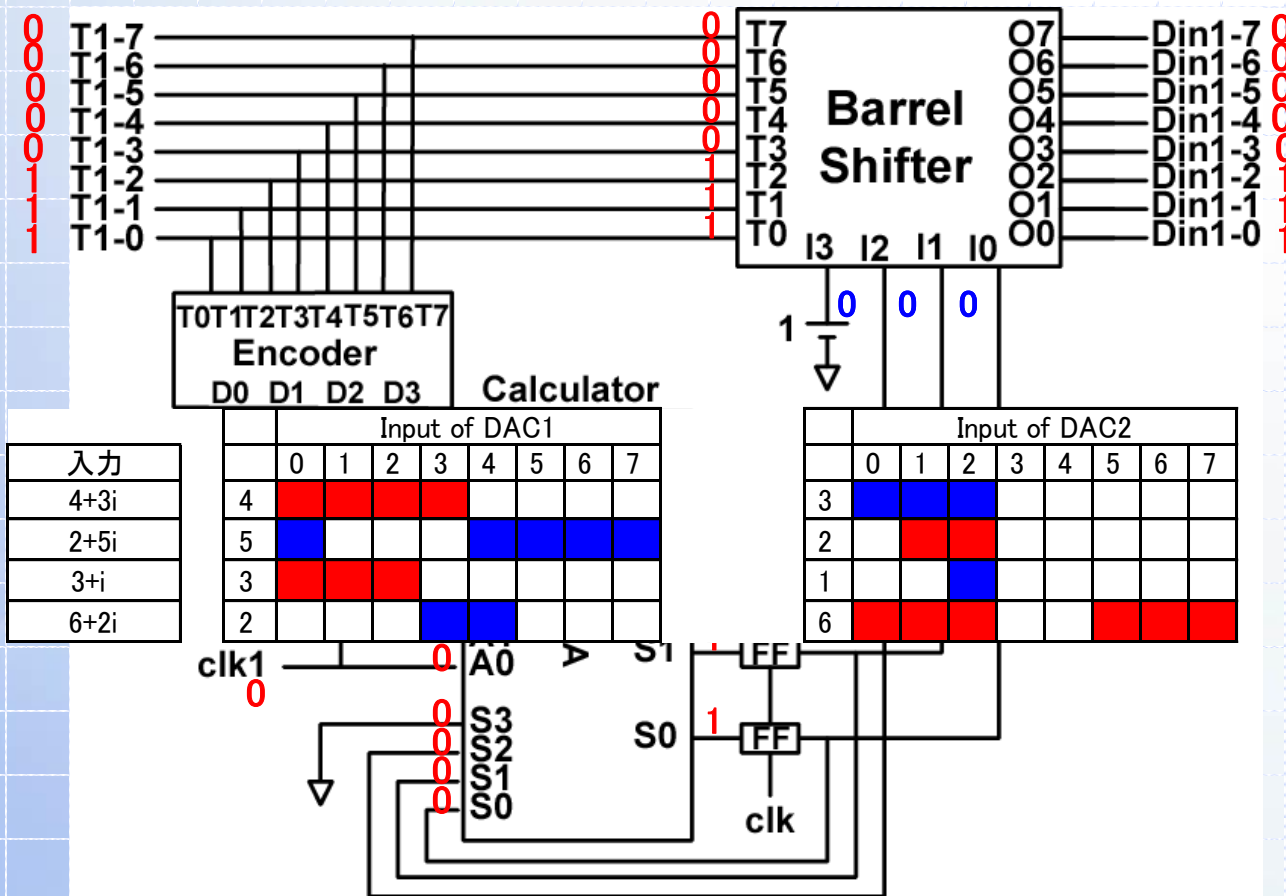




# 入力3+i時のDWA logic1の動作

Input from ADC

Output for DAC

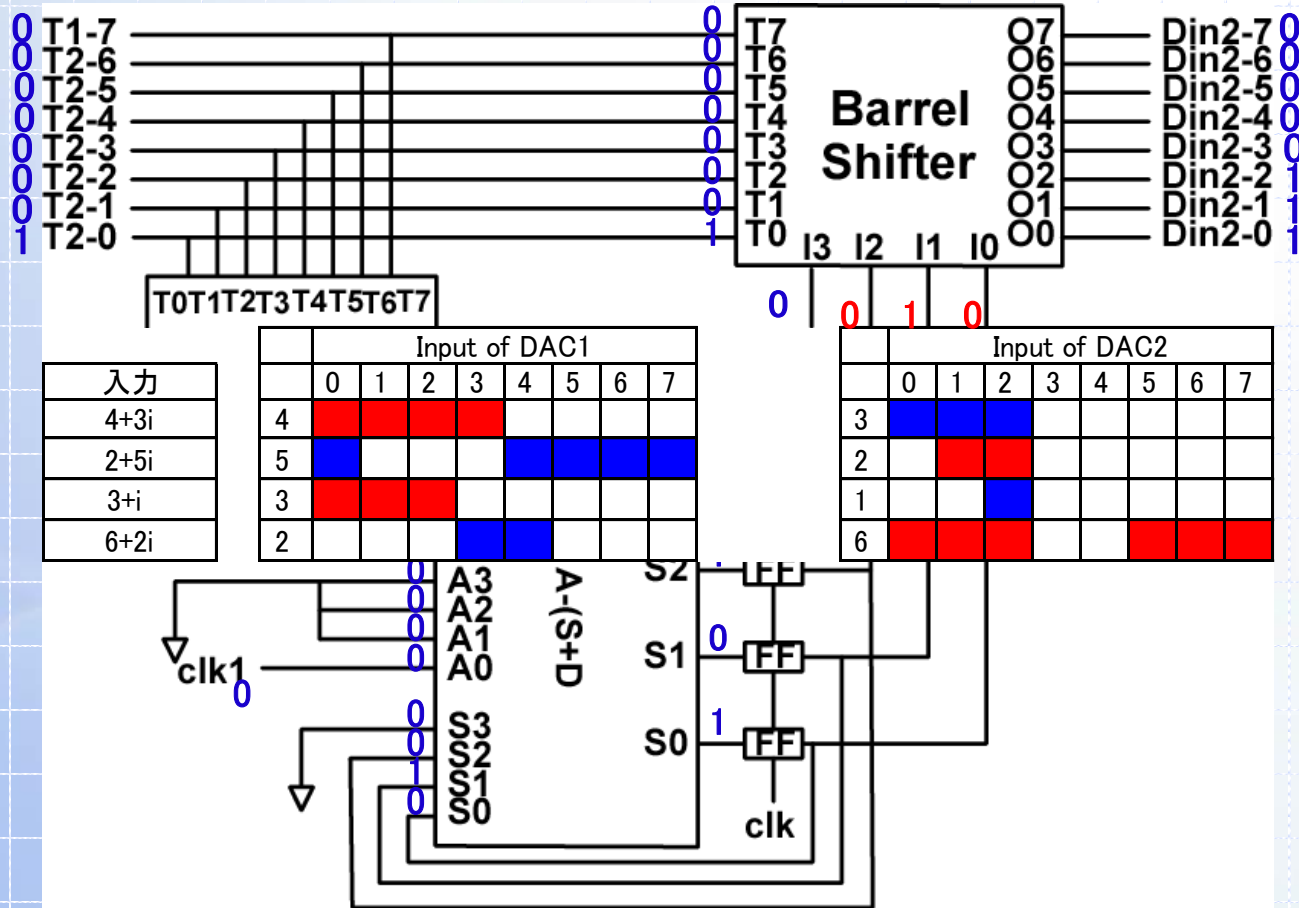




# 入力3+i時のDWA logic2の動作

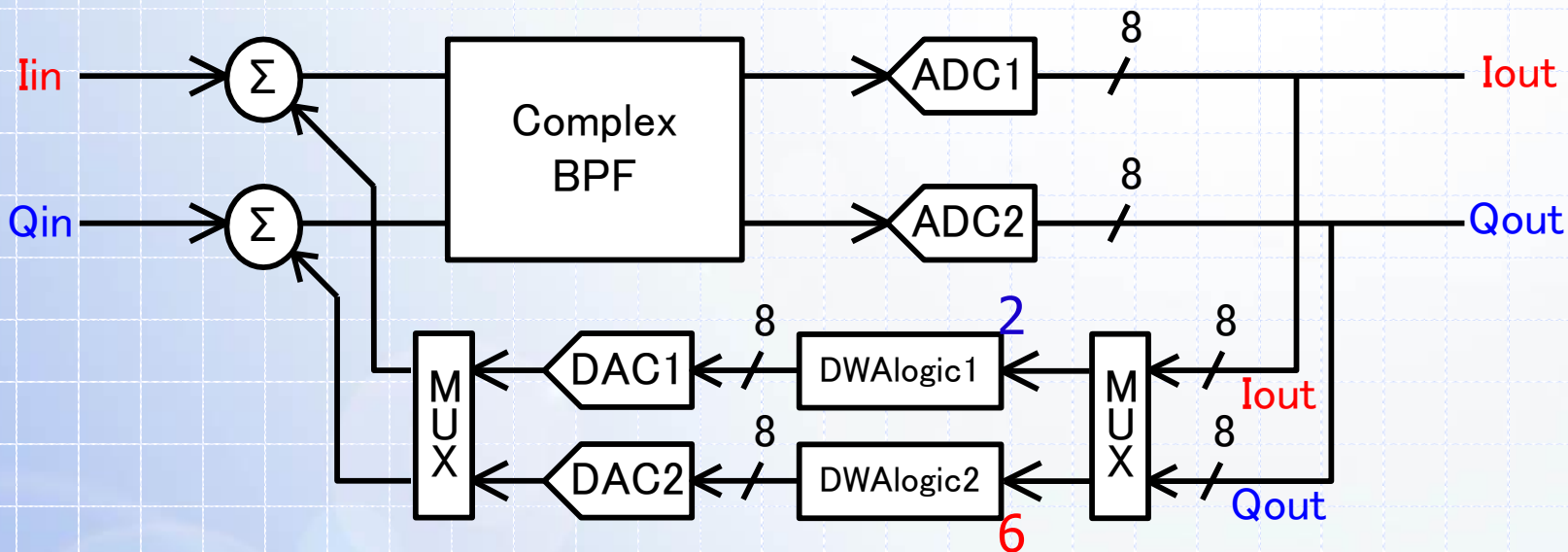
Input from ADC

Output for DAC





# DWA logicの動作(4)



入力
$4+3i$
$2+5i$
$3+i$
$6+2i$

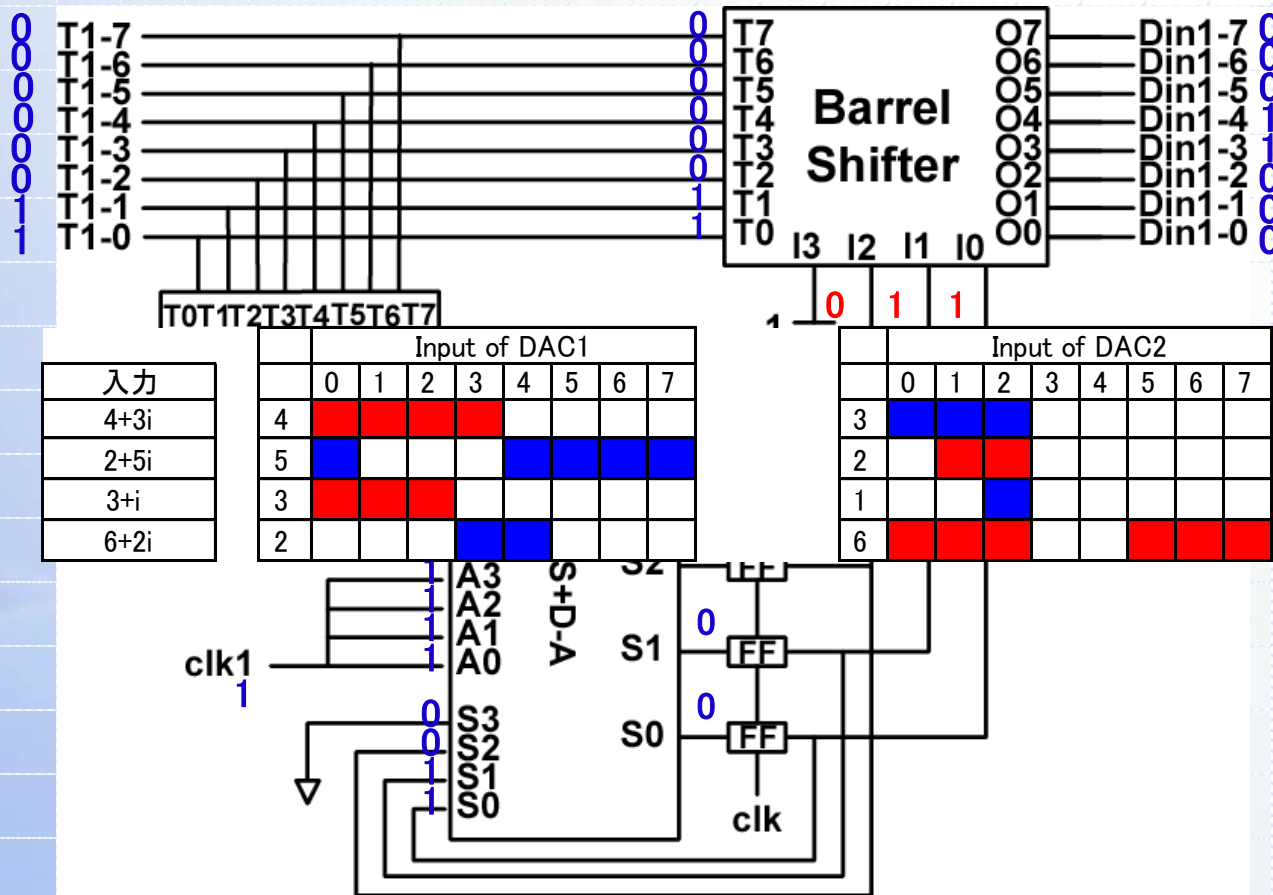
ADCから6+2iが出力  
 DWA1に虚部2、DWA2に実部6が入力



# 入力 $6+2i$ 時のDWA logic1の動作

Input from ADC

Output for DAC

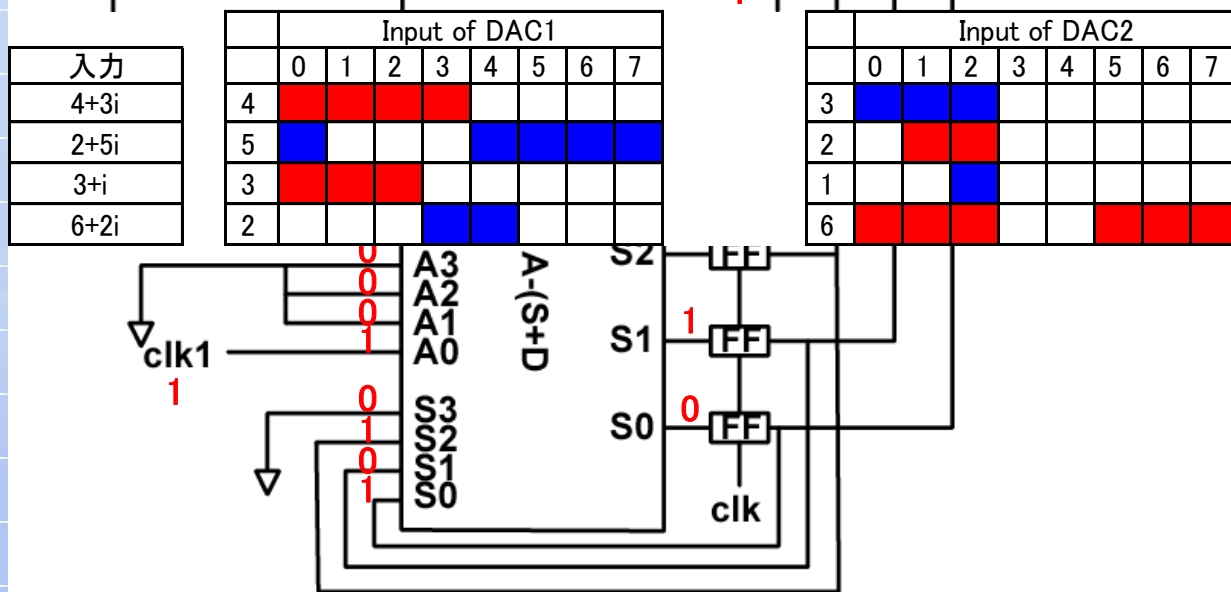




# 入力6+2i時のDWA logic2の動作

Input from ADC

Output for DAC





群馬大学

## 発表内容

1. 研究目的
2. 複素バンドパス $\Delta\Sigma$ AD変調器
3. DAC非線形ノイズ・シェープの実現回路
4. DAC非線形ノイズ・シェープの実現回路設計
5. DWA logicの設計とシミュレーション
6. まとめ

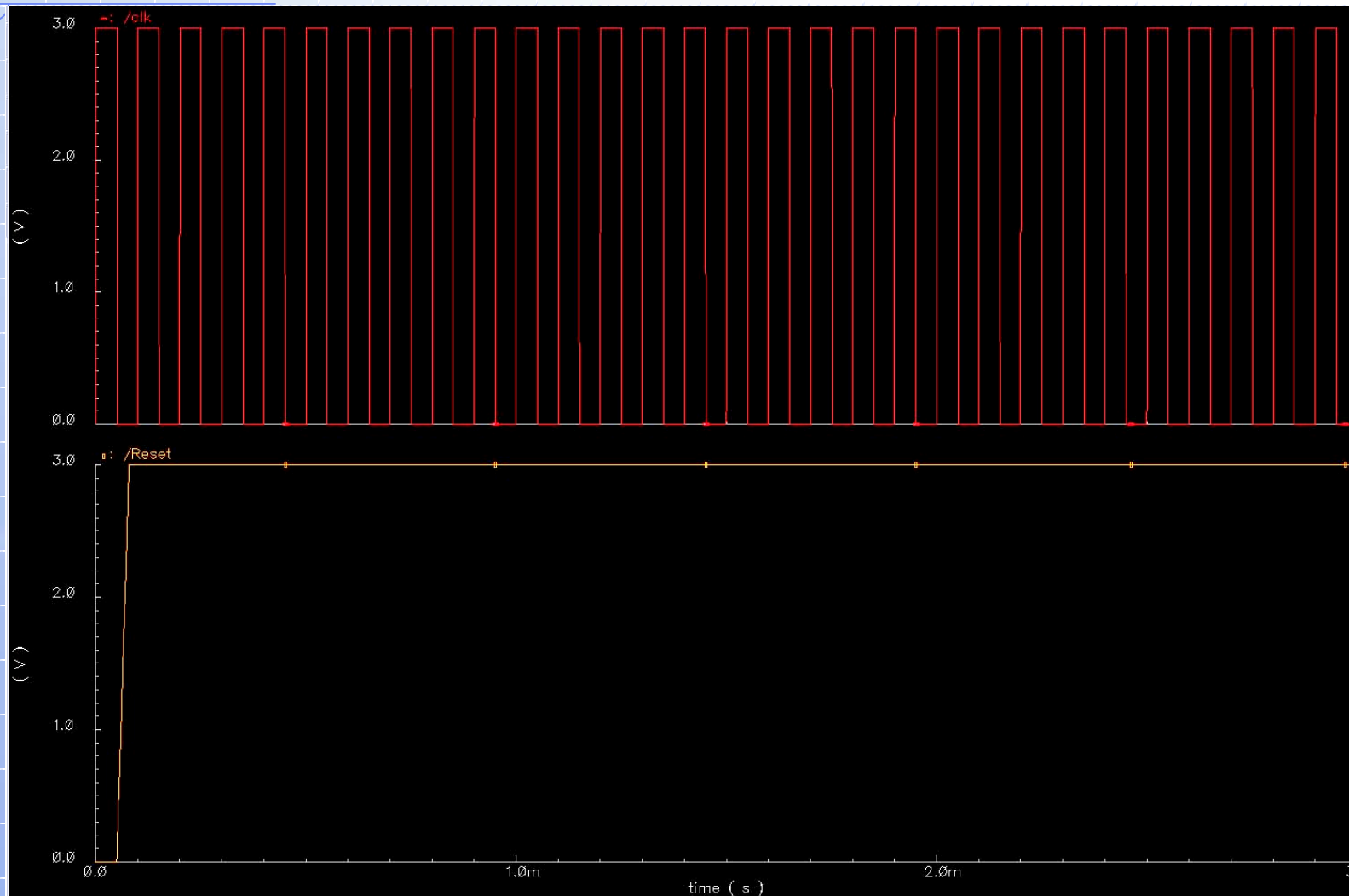
# DWA Logicの設計 及びシミュレーション

設計したDWA logicをCadence社の  
composer用いてシミュレーションを行った。



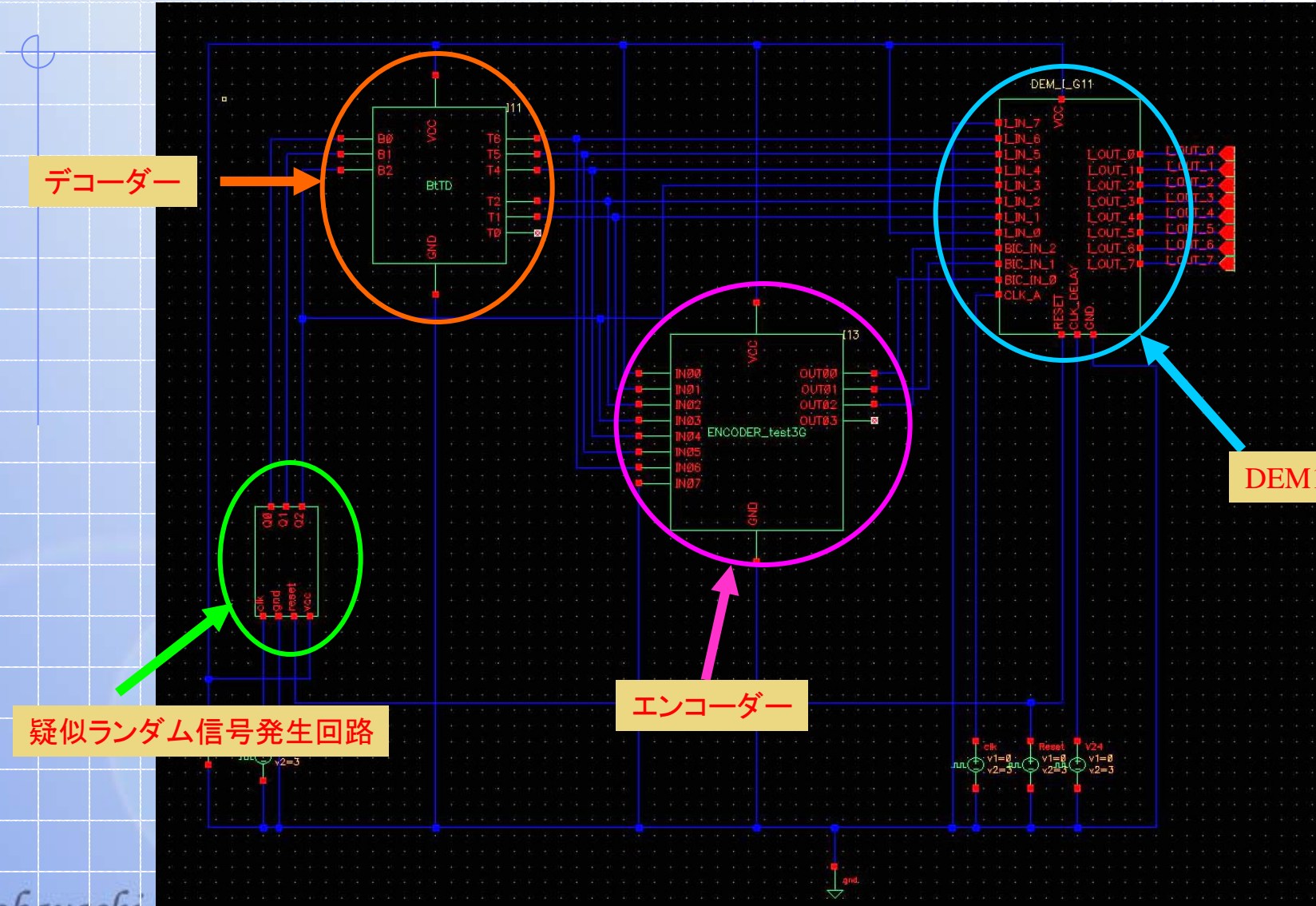


# 基本クロックとリセットクロック

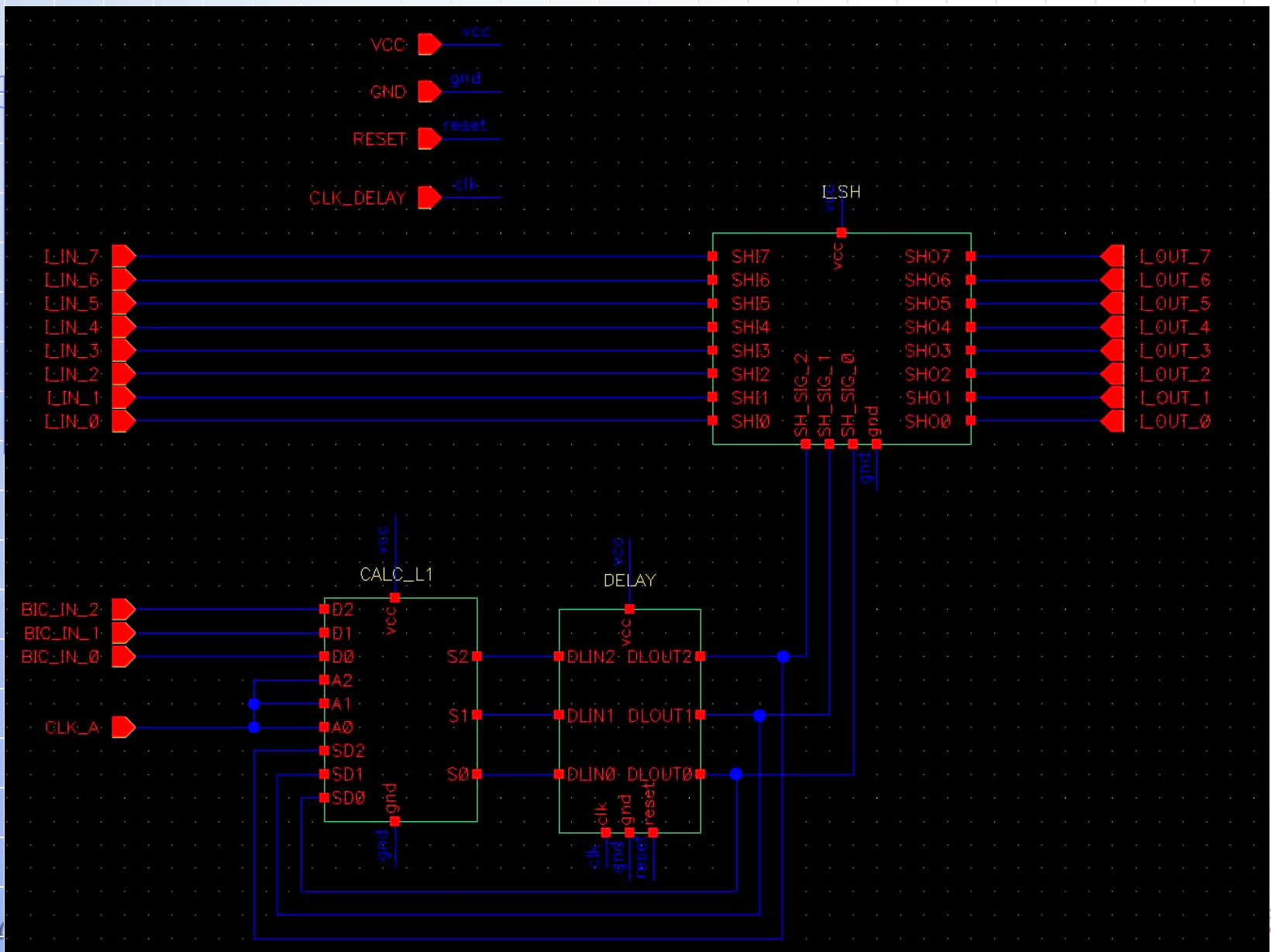




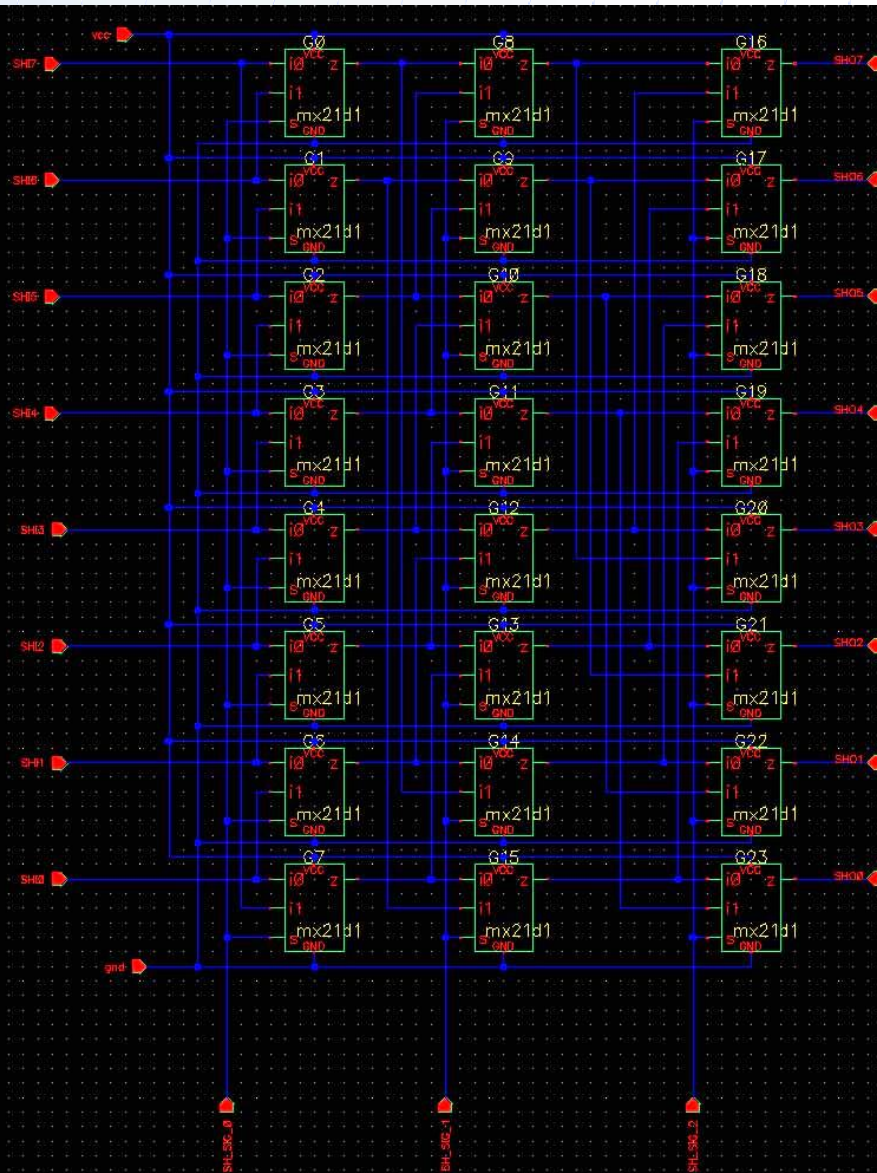
# DWA1のシミュレーション(1)



# DWA1の構成図

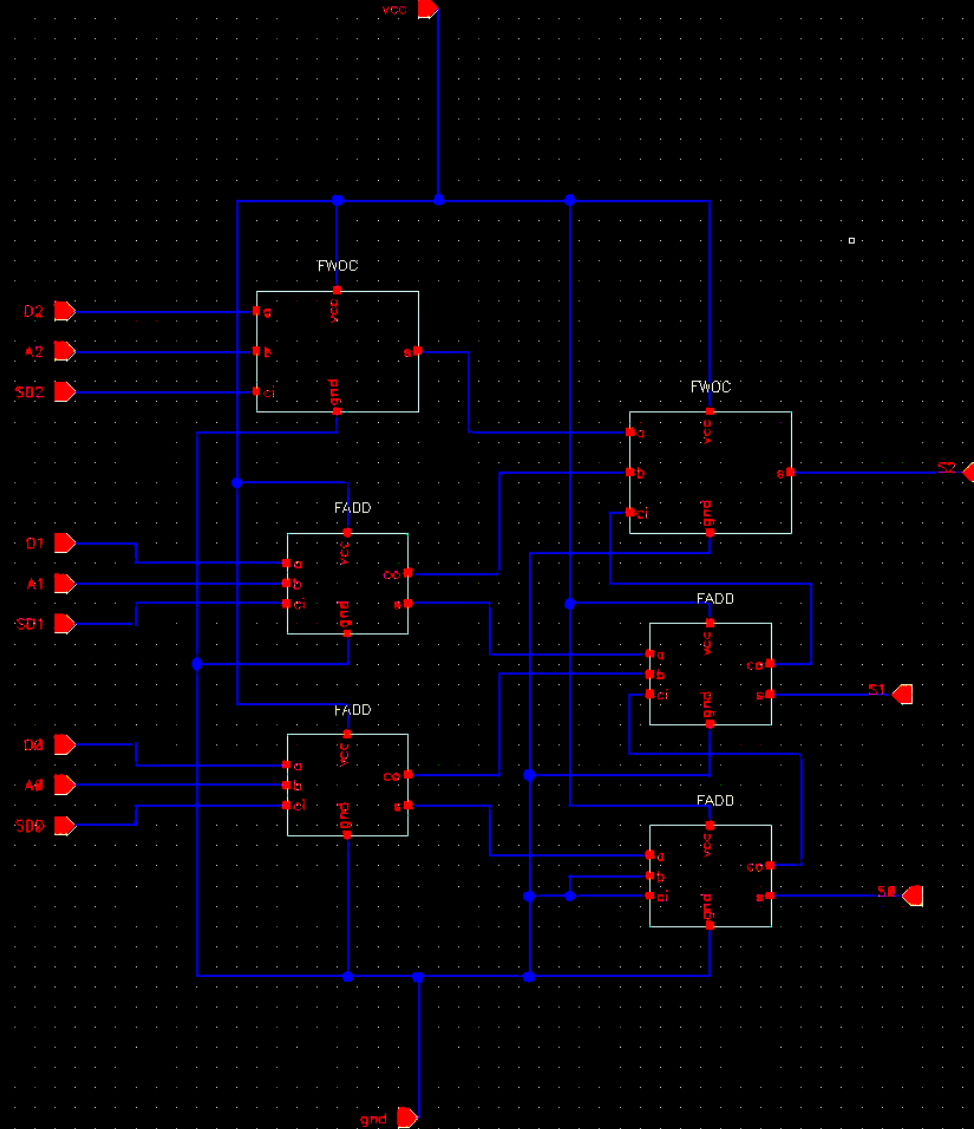


# Shifter1の構成図



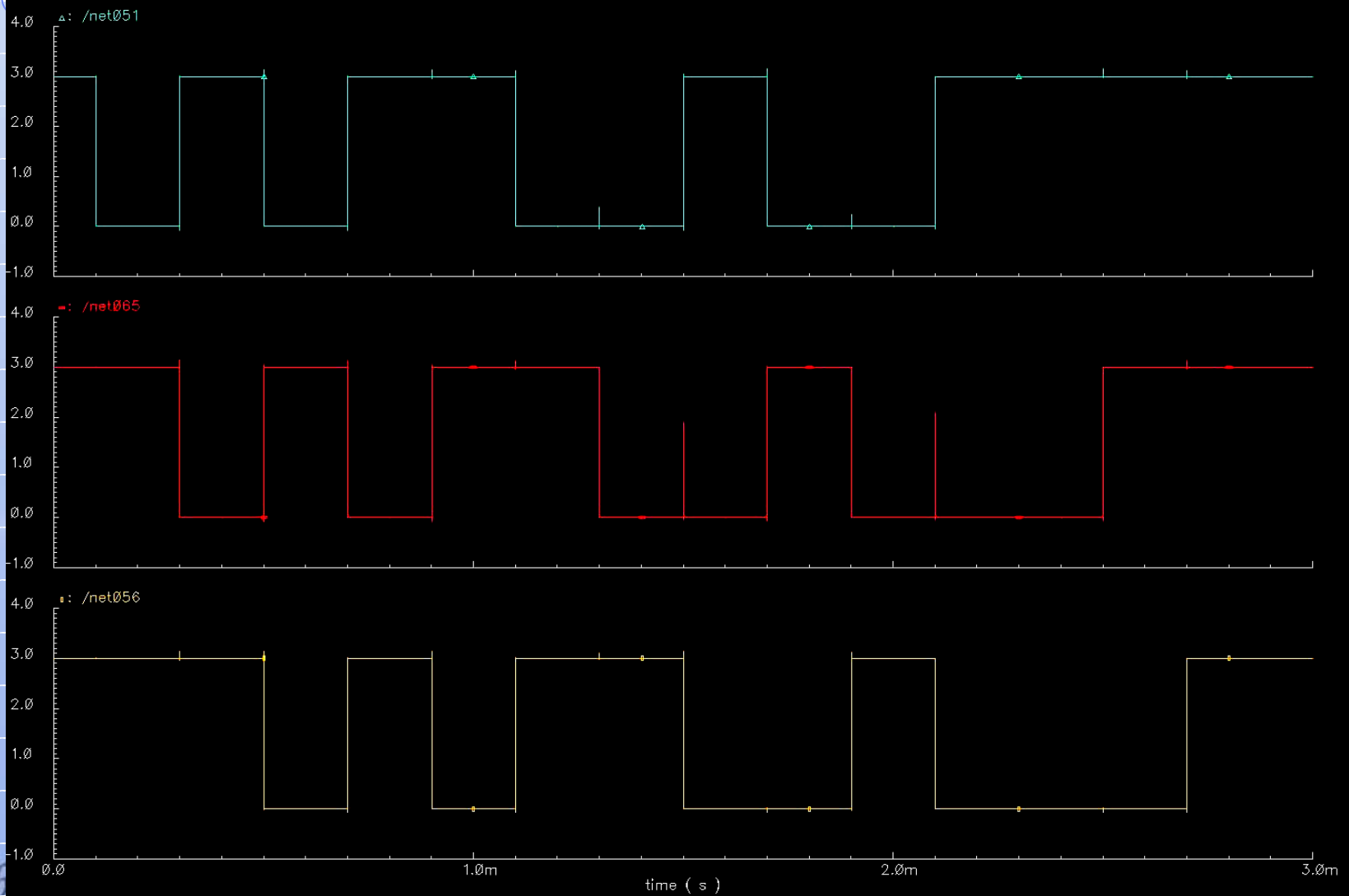


# Calculator1の構成図

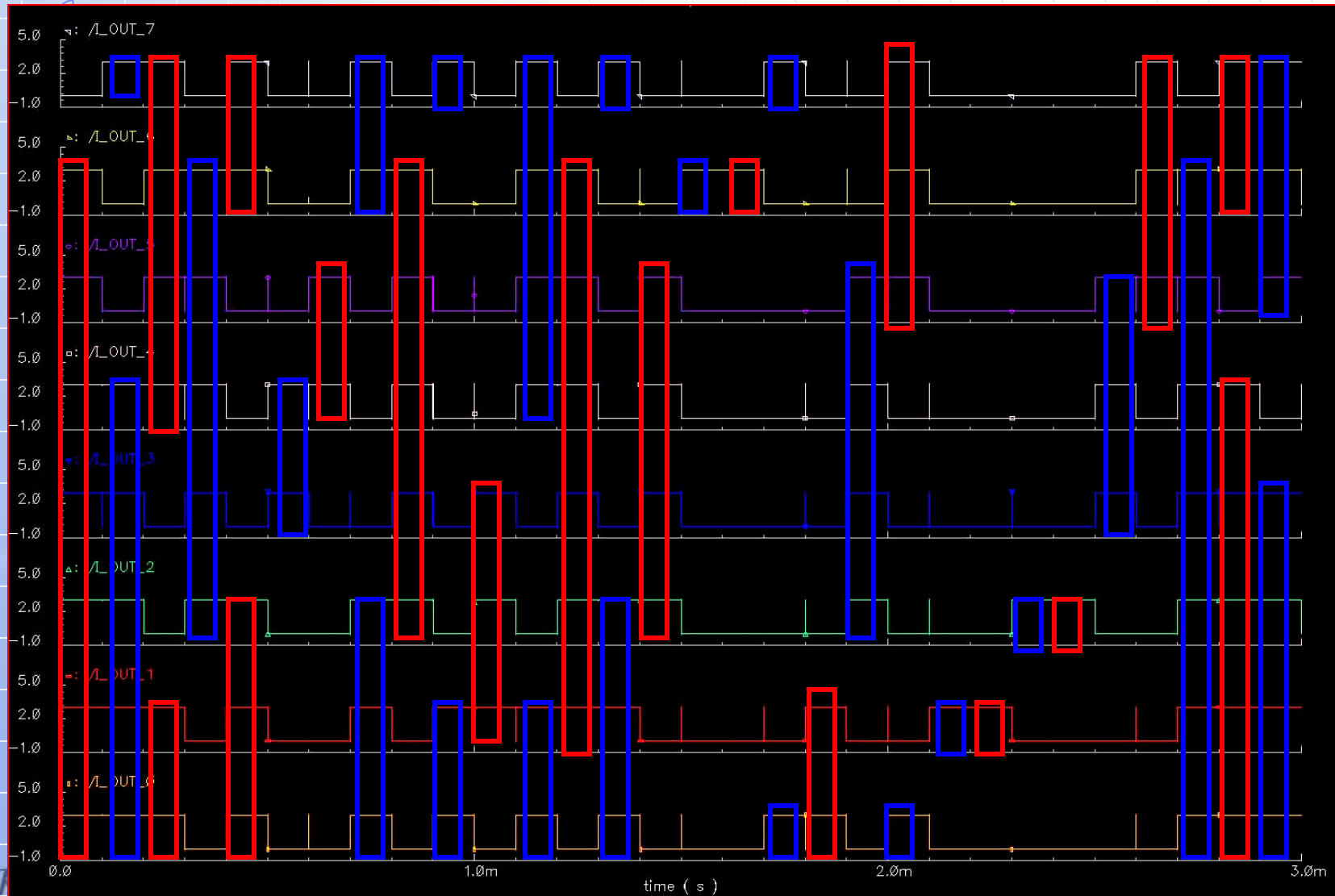


# DWA1のシミュレーション(2)

## 入力(Binary)

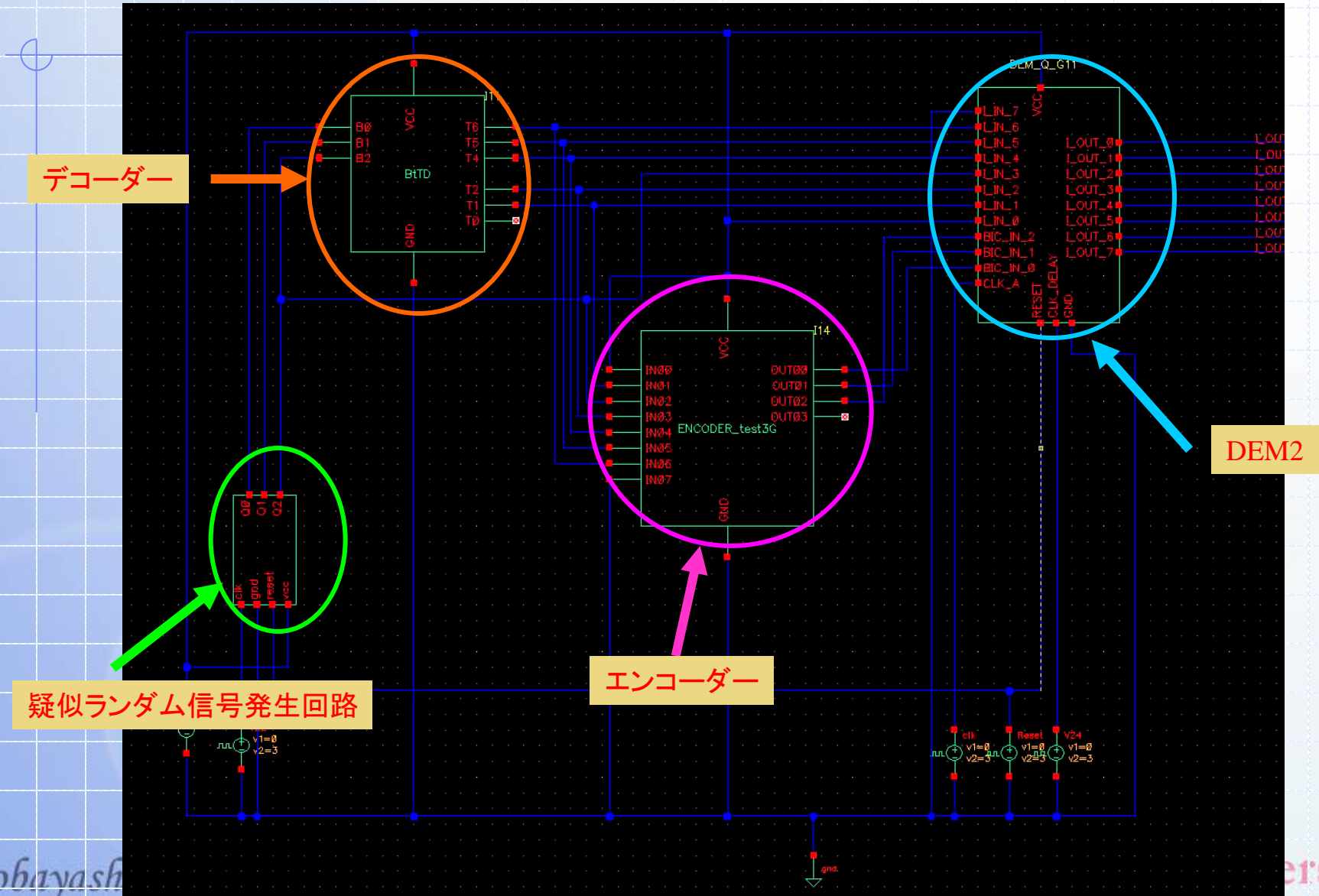


# DWA1のシミュレーション(3) 出力(Thermometer-code)

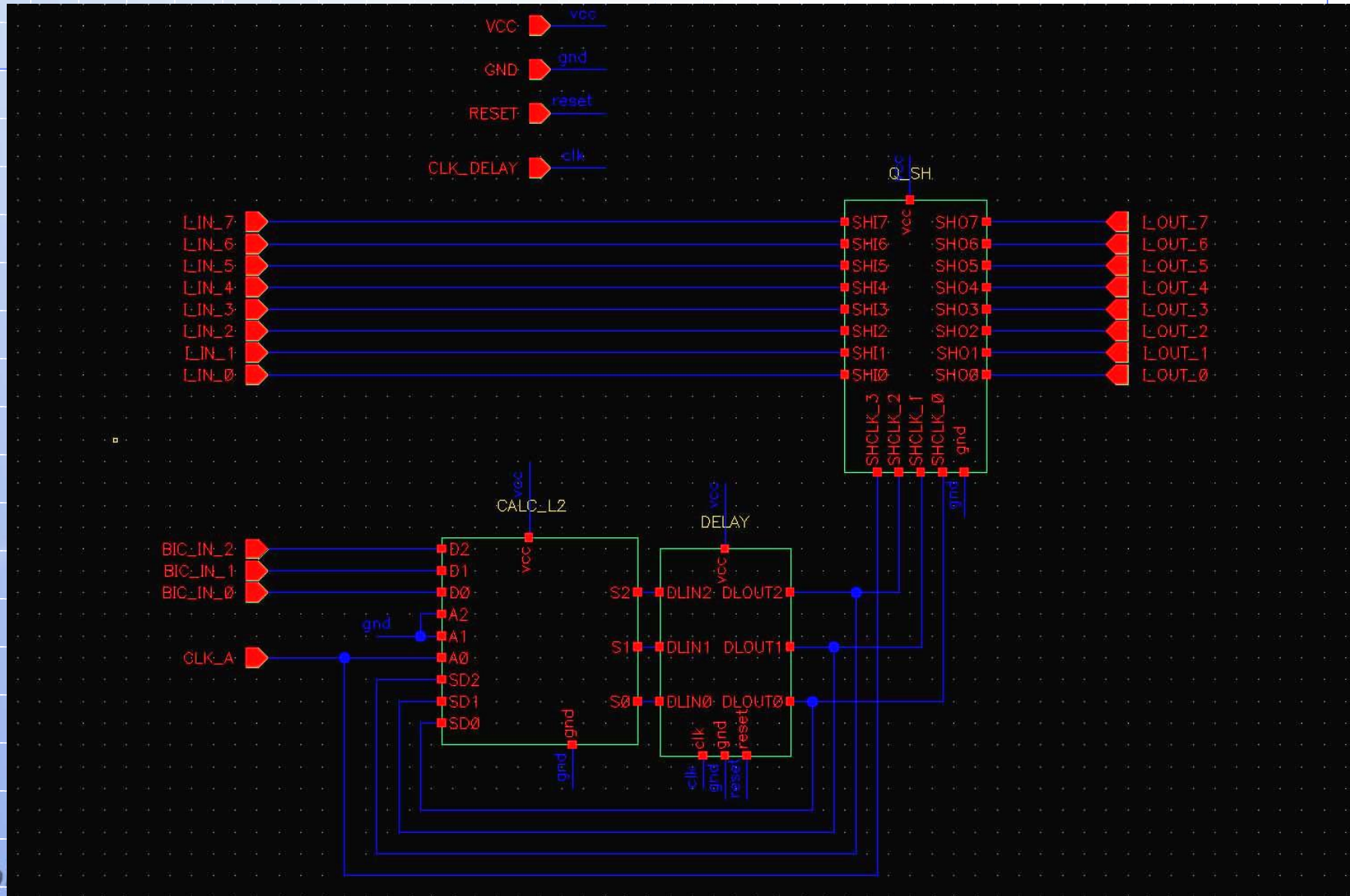


HighPass動作  
LowPass動作

# DWA2のシミュレーション(1)

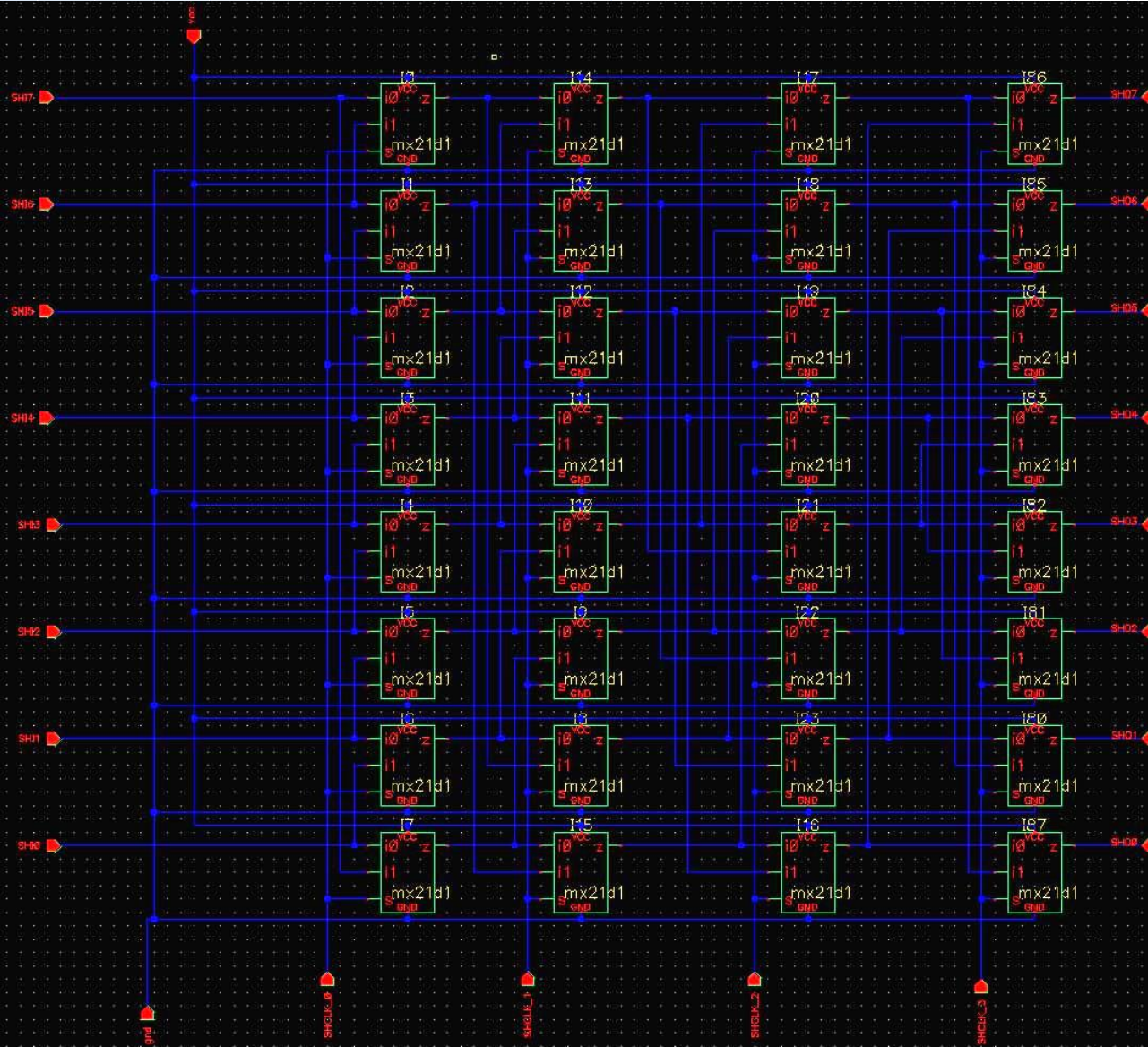


# DWA2の構成図

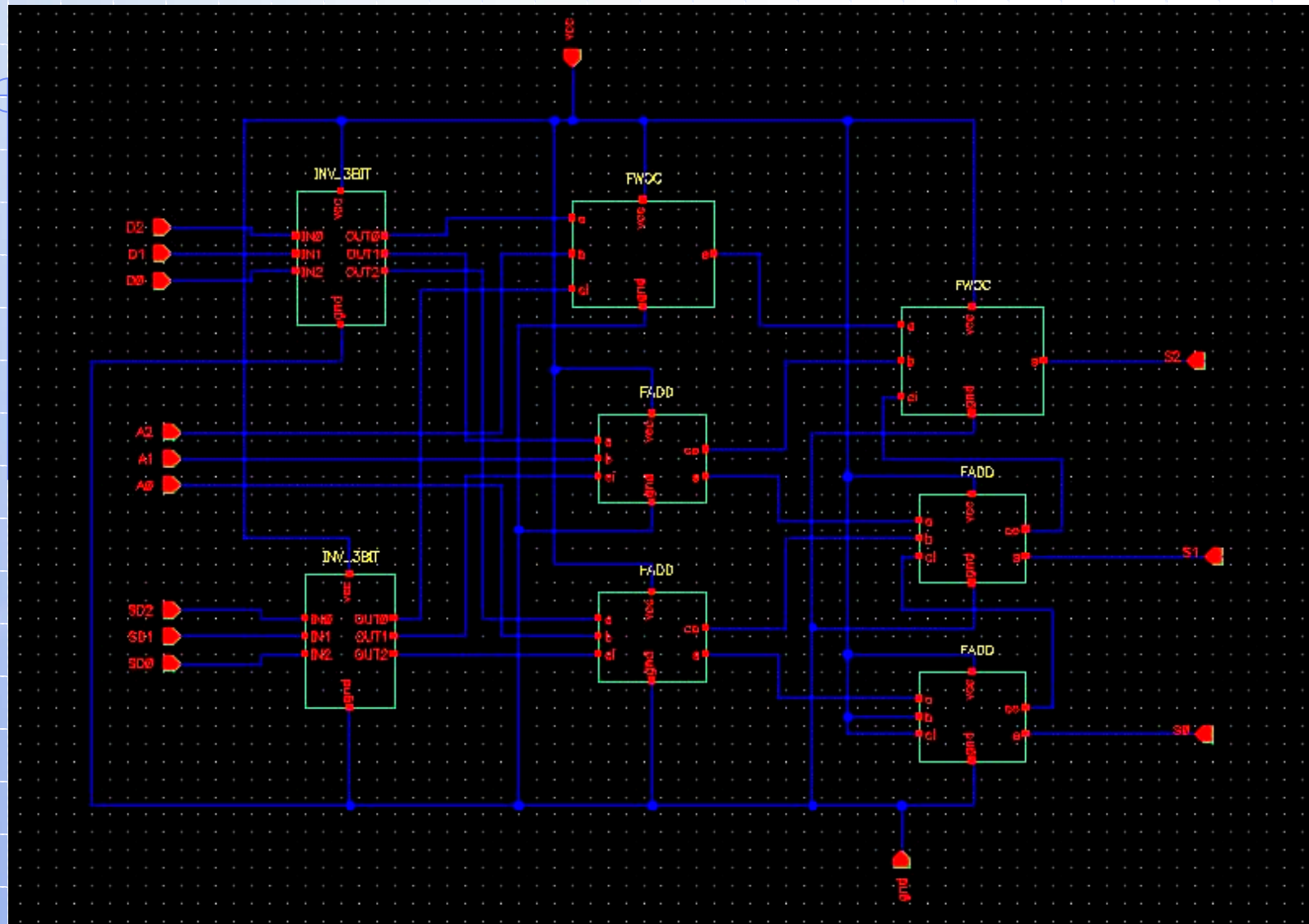




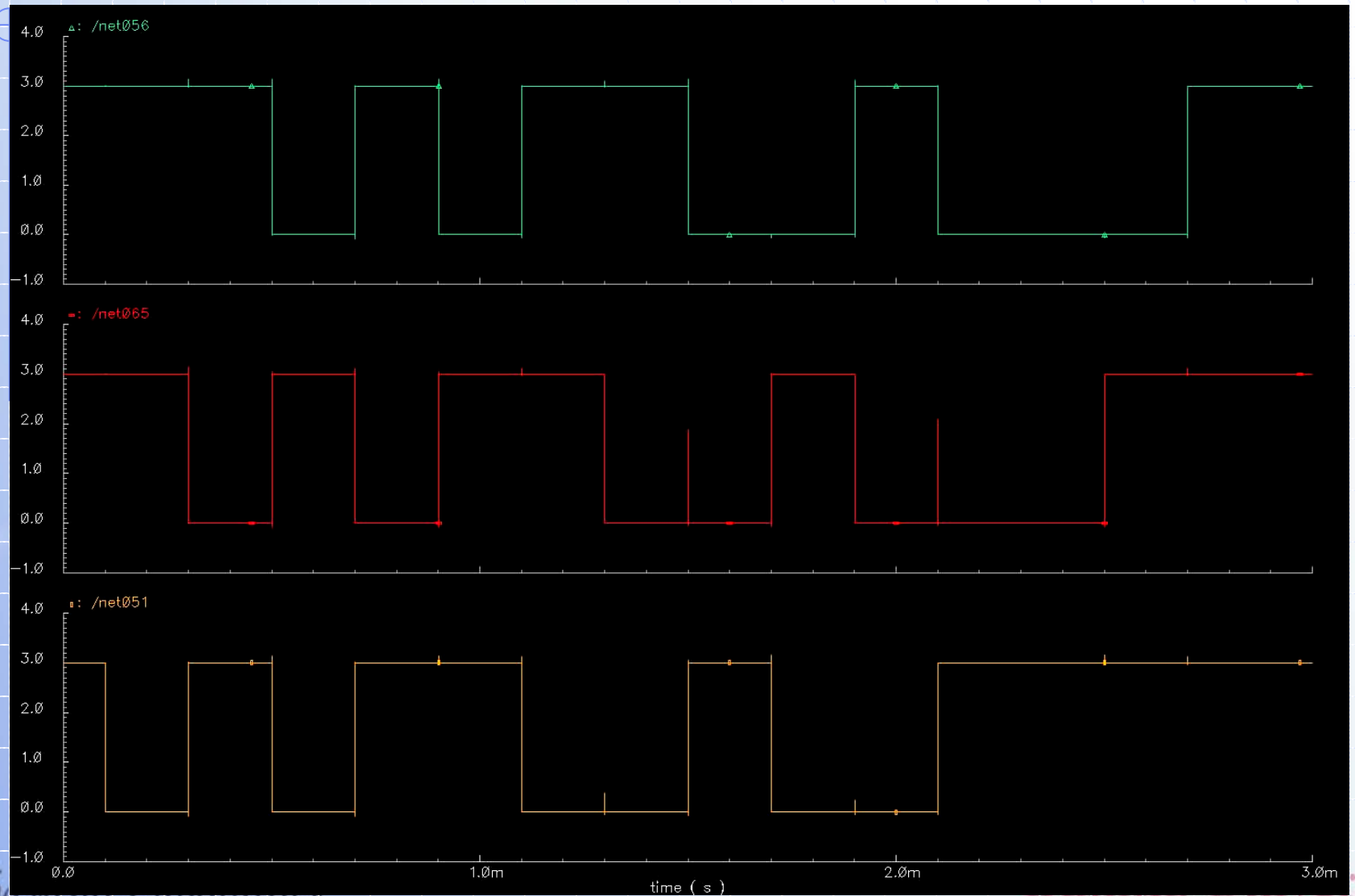
# Shifter2の構成図



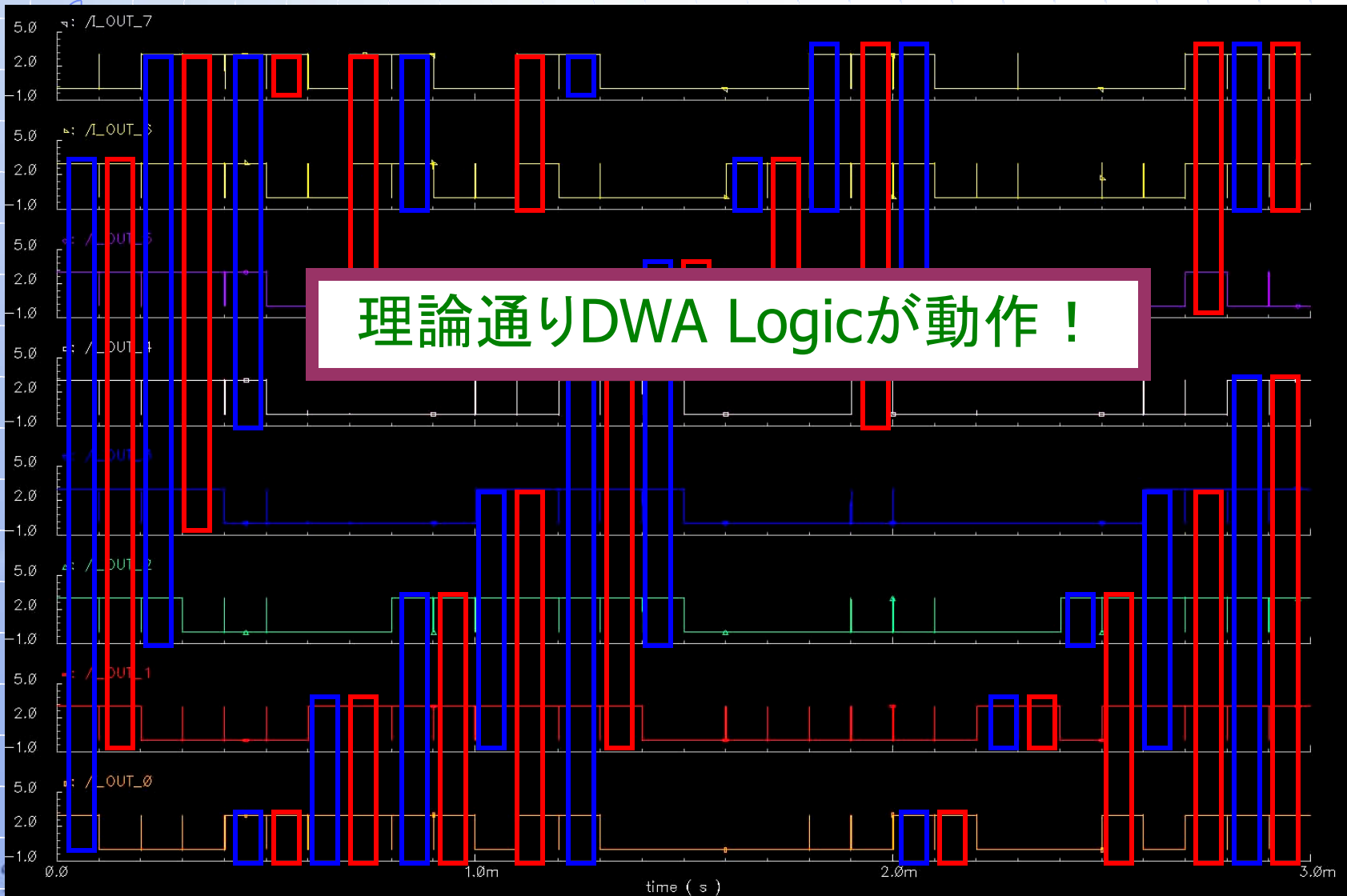
# Calculator2の構成図



# DWA2のシミュレーション(2) 出力(Binary)



# DWA2のシミュレーション(3) 入力(Thermometer-code)



HighPass動作  
LowPass動作

理論通りDWA Logicが動作！





## まとめ

- ◆ 複素バンドパス用DAC非線形性ノイズシェーブ・アルゴリズムの実現回路を設計
- ◆ DWA論理回路のCプログラム、Spiceシミュレーションでの動作確認

- ◆ 今後の課題  
複素バンドパス $\Delta\Sigma$ AD変調器全体に組み込んだものの検証

チップでの検証